

國立交通大學

電機學院 電信學程

碩士論文

低電壓互補式金氧半導體高頻壓控振盪器與
鎖相迴路設計



Low Voltage CMOS RF Voltage-Controlled Oscillator and
Phase-Locked Loop Design

研究生：邱顯鴻

指導教授：鍾世忠 教授

中華民國九十六年一月

低電壓互補式金氧半導體高頻壓控振盪器與鎖相迴路設計
Low Voltage CMOS RF Voltage-Controlled Oscillator and
Phase-Locked Loop Design

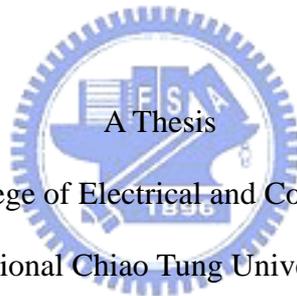
研究生：邱顯鴻

Student : Hsien-Hung Chiu

指導教授：鍾世忠

Advisor : Shyh-Jong Chung

國立交通大學
電機學院 電信學程
碩士論文



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Communication Engineering

January 2007

Hsinchu, Taiwan, Republic of China

中華民國 九十六 年 一 月

低電壓互補式金氧半導體高頻壓控振盪器與鎖相迴路設計

研究生：邱顯鴻

指導教授：鍾世忠

國立交通大學 電機學院 電信學程碩士班

摘要

無線通訊射頻晶片在收發機的應用裡，低功率消耗為一個重要的課題，本論文以壓控振盪器與鎖相迴路兩個部份來探討低電壓操作的電路設計，藉以降低功率消耗，並利用 TSMC 0.18 μm RF CMOS 製程完成可應用於超寬頻 UWB 系統之低電壓 CMOS 高頻壓控振盪器與鎖相迴路電路和 WiFi 系統的低電壓 CMOS 雙頻段壓控振盪器設計。

第一部份設計三種不同電路特性的低電壓壓控振盪器；第一個設計為應用於超寬頻 0.6V 低電壓之壓控振盪器，採用 NMOS 交連耦合對的 LC 調諧壓控振盪器加上交聯電容架構設計，藉由在主動埠並聯電容改善品質因數。量測結果，功率消耗僅有 0.54mW，FOM 值為 185。第二個振盪器採用四相位正交輸出的設計，利用基底串連高阻抗電阻來降低輸出相位雜訊，改善一般低電壓正交輸出壓控振盪器的相位雜訊率，在 0.65V 操作下量測功率消耗為 2.67mW，FOM 值為 181.7。第三個振盪器為雙頻段四相位正交輸出的設計，利用簡化雙頻帶 VCO 及電流再利用方式設計，降低一般雙頻段正交輸出壓控振盪器耗功率的缺點。在低頻段 1.3V 及高頻段 1.5V 電壓操作下，量測功率消耗為 5.46mW 及 6.75mW，FOM 值皆為 171。

第二部份設計可應用於超寬頻 UWB 系統之低電壓鎖相迴路。鎖相迴路設計在 1V 的低電壓操作，輸出頻率為 5.016GHz，採用的除頻器為使用位準偏移的主樸式耦合閘 (CML divider) 電路，配合預先充放電式的相位比較器，改良單相時脈除頻器 (TSPC divider) 的設計，整個迴路模擬結果功率消耗為 5.58mW。

Low Voltage CMOS RF Voltage-Controlled Oscillator and Phase-Locked Loop Design

Student : Hsien-Hung Chiu

Advisor : Shyh-Jong Chung

Degree Program of Electrical Engineering and Computer Science
National Chiao Tung University

ABSTRACT

The low power consumption plays an important role in RFIC's for wireless communication transceiver. RFIC usually consists of Mixer, Voltage-Controlled Oscillator (VCO), Filter, Power Amplifier, etc. One of important component is VCO in power consumption issue. In this thesis a low voltage operation circuit for VCO and Phase-Locked Loop (PLL) is developed. The TSMC 0.18 μ m RF CMOS manufacture Technology is used for ultra low voltage VCO and low voltage phase-locked loop which can be applied to UWB system and dual band quadrature phase voltage-controlled oscillator which can be applied to WiFi system.

There are three kinds of low voltage VCOs be implemented with different circuit characteristics. The first kind of VCO uses LC tank with NMOS cross-coupled pair and cross-paralleled capacitor improving the quality factor in the active port. The measured power consumption of VCO core circuit draws only 0.54mW and FOM value is 185. The second kind of VCO connects serial high impedance resistor to bulk to decreasing noise induce. That improves traditions quadrature phase VCO phase noise. The measured power consumption of VCO core circuit is 2.67mW and FOM value is 181.7 under 0.65V supply. The third kind of dual band low power QVCO simplify traditions dual band VCO circuit and adopts current-reuse topology. The measured power consumption of DB-QVCO core circuit is 5.46mW and 6.75mW under 1.3V and 1.5V supply for low band and high band. FOM value is both 171 .

The second part designs low voltage PLLs that can be applied to UWB system. PLLs output frequency is 5.016GHz and including I/Q signals. The low voltage PLL adopts level shift current mode logic (LS-CML) divider at the 1st stage divider. Using reform pre-charge phase frequency detector (PFD) and refine true single phase clock (TSPC) divider. The whole loop simulated power dissipation is 5.58mW.

誌謝

完成這篇論文首先要感謝指導老師鍾世忠教授的教導及愛護，讓我學習到研究之方法與解決問題之能力，而口試委員邱煥凱、孟慶宗、黃天偉教授在畢業口試時對論文內容需要在改進的地方提出他們寶貴的意見，在此表達致謝。

其次要感謝的是電資 810 實驗室，感謝博士班佩宗、清標在我遇到問題時，總能夠提出辦法解決，並提供意見跟我分享討論，在量測時從旁協助指導，實在讓我受益良多；感謝 810 實驗室夥伴天建、敦智、煥能、郁娟、源哥、竣義、淑君、永旭、威聰、智偉，有你們在一起努力研究，一起熬夜等待陽光的日子是種享受，感謝大家陪我度過研究所的美好時光，相信實驗室在各位共同努力下，一定能越來越強。

最後要感謝的是我的家人，爸爸、媽媽、姊妹們，感謝你們提供我生活上的幫助，感謝我的老婆舒凱及兒子奕璋還有老婆肚子裡的寶貝給了我精神上的支持，讓我在工作之餘，可以完成碩士班學業。

在這三年多的期間，歷經我生命中最重要求學結婚生子，承蒙許多人的提攜和照顧，對曾經關心幫助過我的人，至上萬分的謝意，並祝福你們。

顯鴻 2007 歲初

新竹 風城

目錄

中文摘要.....	I
英文摘要.....	II
誌謝.....	III
目錄.....	IV
表目錄.....	VI
圖目錄.....	VII
第一章 緒論	1
1-1 研究動機.....	1
1-2 研究方法.....	2
1-3 研究成果.....	3
1-4 章節概序.....	4
第二章 相位雜訊及壓控振盪器	5
2-1 相位雜訊的定義.....	5
2-2 相位雜訊對通訊系統的影響.....	7
2-3 振盪器的相位雜訊.....	8
2-4 壓控振盪器理論基礎及設計方法.....	18
2-4-1 重要規格參數.....	18
2-4-2 CMOS 壓控振盪器架構.....	22
2-5 壓控振盪器正交輸出方法.....	25
2-6 低電壓壓控振盪器設計方法.....	27
2-6-1 低電壓壓控振盪器考量.....	27
2-6-2 低相位雜訊壓控振盪器考量.....	30
2-6-3 低功率低相位雜訊壓控振盪器考量.....	31
2-6-4 低電壓 CMOS 壓控振盪器架構.....	31
第三章 低電壓壓控振盪器	36
3-1 應用於超寬頻 0.6V 低電壓壓控振盪器.....	36
3-1-1 設計方法.....	36
3-1-2 模擬及量測結果.....	38
3-1-3 討論.....	44
3-2 應用於超寬頻低電壓低功率四相位壓控振盪器設計.....	46
3-2-1 設計方法.....	46
3-2-2 在主動埠電晶體加基底電阻和交聯電容比較結果.....	47
3-2-3 模擬及量測結果.....	48

3-2-4 討論.....	55
3-3 應用於 WiFi 低功率雙頻段四相位壓控振盪器設計.....	57
3-3-1 設計方法.....	57
3-3-2 模擬及量測結果.....	63
3-3-3 討論.....	68
第四章 應用於 UWB 系統之低電壓鎖相迴路.....	70
4-1 鎖相迴路架構與基本原理.....	70
4-1-1 壓控振盪器概論.....	71
4-1-2 除頻器.....	72
4-1-3 相位頻率檢測器.....	72
4-1-4 電流幫浦與迴路濾波器.....	74
4-2 低電壓鎖相迴路設計.....	76
4-2-1 正交輸出壓控振盪器.....	77
4-2-2 除頻器.....	78
4-2-3 頻率相位檢測器.....	79
4-2-4 電流幫浦.....	80
4-2-5 迴路濾波器.....	82
4-2-6 其他設計考量.....	82
4-2-7 模擬結果.....	90
4-2-8 討論.....	91
第五章 結論.....	93
參考文獻.....	95



表目錄

表 1.1	本論文完成之射頻電路設計.....	3
表 2.1	低功率振盪器設計考量.....	30
表 2.2	低相位雜訊振盪器設計考量.....	31
表 2.3	低功率低相位雜訊振盪器設計對策.....	31
表 3.1	【電路 1】 應用於超寬頻 0.6V 低電壓之壓控振盪器模擬與量測總表.....	45
表 3.2	【電路 1】 電路之效能與其他低電壓之壓控振盪器的比較表.....	45
表 3.3	【電路 2】 應用於超寬頻之低電壓低功率四相位壓控振盪器規格表.....	56
表 3.4	【電路 2】 應用於超寬頻之低電壓低功率四相位壓控振盪器重調後比較表...56	
表 3.5	【電路 2】 電路之效能與其他低電壓之壓控振盪器的比較表.....	57
表 3.6	【電路 3】 低功率雙頻段四相位壓控振盪器設計模擬與量測規格表.....	69
表 3.7	【電路 3】 電路之效能與其他雙頻段四相位壓控振盪器的比較表.....	69
表 4.1	【電路 4】 低電壓鎖相迴路規格表.....	91
表 4.2	【電路 4】 電路之效能與其他低電壓鎖相迴路的比較表.....	91



圖目錄

圖 1.1	超寬頻頻率合成器架構.....	2
圖 1.2	直接降頻接收機架構.....	3
圖 2.1	振盪器輸出訊號頻譜圖.....	6
圖 2.2	相位雜訊定義.....	7
圖 2.3	相位雜訊在接收端的影響.....	7
圖 2.4	電感電容振盪器等效單端電路.....	8
圖 2.5	雜訊電流轉換為相位雜訊邊帶的頻譜示意圖.....	10
圖 2.6	Lesson's 相位雜訊模型.....	11
圖 2.7	電流脈衝注入 LC 振盪器.....	12
圖 2.8	脈衝注入造成振盪訊號的改變.....	13
圖 2.9	LC 振盪器與環形振盪器典型的脈衝響應函數曲線.....	14
圖 2.10	電流雜訊對相位雜訊的貢獻成分.....	17
圖 2.11	基本壓控振盪器.....	18
圖 2.12	基本壓控振盪器理想輸出的波形和頻譜.....	18
圖 2.13	振盪器輸出訊號頻譜圖.....	19
圖 2.14	相位雜訊在接收端的影響.....	20
圖 2.15	頻率漂移示意圖.....	22
圖 2.16	使用負阻消除 LC 諧振腔的寄生電阻示意圖.....	23
圖 2.17	串並聯轉換.....	23
圖 2.18	等效簡易模型.....	23
圖 2.19	NMOS 交錯耦合對.....	24
圖 2.20	互補式交錯耦合對.....	24
圖 2.21	單端式環型振盪器示意圖.....	25
圖 2.22	四級差動環型振盪器示意圖.....	25
圖 2.23	數位除頻器方法.....	26
圖 2.24	多相位濾波器方法.....	26
圖 2.25	雙交叉耦合方法.....	27
圖 2.26	低損耗的 LC 被動電路.....	27
圖 2.27	包含負電導的低損耗的 LC 被動電路.....	28
圖 2.28	交錯耦合的晶體形成的壓控振盪器.....	29
圖 2.29	基本的 LC 諧振腔.....	30
圖 2.30	LC 調諧壓控振盪器主動埠種類.....	32
圖 2.31	加入負電導 G_N 後 LC 諧振腔的示意圖.....	33
圖 2.32	外加 C_N 負電導組態的型態.....	33
圖 2.33	緩衝放大器.....	34
圖 2.34	完整的緩衝放大器考量設計圖.....	35
圖 3.1	0.6V 低電壓 7.92GHz 壓控振盪器.....	40

圖 3.2	0.6V 電路模擬及量測結果.....	40
圖 3.3	0.62V 電路模擬及量測結果.....	41
圖 3.4	0.65V 電路模擬及量測結果.....	43
圖 3.5	諧波信號量測結果.....	43
圖 3.6	應用於超寬頻 0.6V 低電壓之壓控振盪器佈局圖及實際電路.....	43
圖 3.7	應用於超寬頻 0.6V 低電壓之壓控振盪器測試板佈局圖及實際電路.....	44
圖 3.8	超寬頻低電壓四相位壓控振盪器.....	47
圖 3.9	外加 C_s 及 R_{si} 電路特性改善比較結果.....	48
圖 3.10	0.6V 超寬頻低電壓四相位壓控振盪器 7.92GHz 模擬結果.....	49
圖 3.11	整體四相位模擬輸出.....	49
圖 3.12	V_{Q+} 及 V_{I+} 正交訊號的輸出.....	50
圖 3.13	V_{Q+} 及 V_{Q-} 對稱訊號的輸出.....	50
圖 3.14	0.6V 調整後四相位壓控振盪器模擬及量測結果.....	52
圖 3.15	0.62V 調整後四相位壓控振盪器模擬及量測結果.....	53
圖 3.16	0.65V 調整後四相位壓控振盪器模擬及量測結果.....	54
圖 3.17	諧波信號量測結果.....	54
圖 3.18	應用於超寬頻之低電壓低功率四相位壓控振盪器佈局圖及實際電路..	54
圖 3.19	應用於超寬頻之低電壓低功率四相位壓控振盪器測試板佈局圖及實際電路.	55
圖 3.20	互補式交連耦合對電路.....	58
圖 3.21	一般雙頻帶壓控振盪器.....	59
圖 3.22	傳統雙頻帶壓控振盪器.....	59
圖 3.23	簡化型之壓控振盪器.....	60
圖 3.24	簡化型壓控振盪器重整後之電路圖.....	60
圖 3.25	低功率雙頻帶壓控振盪器之電路.....	61
圖 3.26	四相位產生概念圖.....	62
圖 3.27	一般的四相位壓控振盪器.....	62
圖 3.28	低功率雙頻段四相位壓控振盪器電路.....	63
圖 3.29	低功率雙頻段四相位壓控振盪器模擬低頻段 2.4GHz 特性.....	64
圖 3.30	低功率雙頻段四相位壓控振盪器模擬高頻段 5.2GHz 特性.....	65
圖 3.31	低功率雙頻段四相位壓控振盪器量測低頻段 2.4GHz 特性.....	67
圖 3.32	低功率雙頻段四相位壓控振盪器量測高頻段 5.2GHz 特性.....	67
圖 3.33	低功率雙頻段四相位壓控振盪器設計佈局圖及實際電路.....	67
圖 3.34	低功率雙頻段四相位壓控振盪器測試板佈局圖及實際電路.....	68
圖 4.1	鎖相迴路基本架構圖.....	70
圖 4.2	壓控振盪器特性圖.....	71
圖 4.3	相位頻率偵測器運作示意圖.....	73
圖 4.4	相位頻率偵測器三態狀態圖.....	73
圖 4.5	相位偵測與電壓輸出.....	74
圖 4.6	相位頻率偵測器與電荷幫浦之示意與時序圖.....	76

圖 4.7	鎖相迴路架構.....	77
圖 4.8	低電壓 5.016GHz 正交壓控振盪器.....	77
圖 4.9	位準偏移主僕式耦合閘預除器電路.....	78
圖 4.10	改良式真單相時脈(TSPC)除二電路.....	79
圖 4.11	除 64 電路.....	79
圖 4.12	傳統相位頻率檢測器.....	80
圖 4.13	預先充電型相位頻率檢測器.....	80
圖 4.14	傳統電流幫浦電路架構.....	81
圖 4.15	電流幫浦.....	81
圖 4.16	二階迴路濾波器.....	82
圖 4.17	緩衝放大器.....	82
圖 4.18	佈局考量.....	83
圖 4.19	PAD 等效模型.....	83
圖 4.20	鎊線等效模型.....	84
圖 4.21	正交輸出壓控振盪器模擬結果.....	85
圖 4.22	位準偏移主僕式耦合閘除 2 電路頻域輸出.....	85
圖 4.23	除 64 電路輸出時域波形圖.....	86
圖 4.24	參考信號(V_r)相位領先回授信號(V_d).....	87
圖 4.25	迴授信號(V_d)相位領先輸入信號(V_r).....	87
圖 4.26	迴路頻寬.....	88
圖 4.27	ADS Transient Response 安置時間模擬結果.....	88
圖 4.28	壓控振盪器控制電壓時域波形圖.....	89
圖 4.29	壓控振盪器控制電壓在穩態下時域變化.....	89
圖 4.30	迴路穩定下時域波形圖.....	90
圖 4.31	低電壓鎖相迴路佈局平面圖.....	90

第一章

緒論

§1-1 研究動機

超寬頻(UWB)技術自從 2002 年二月美國聯邦通訊委員會 (FCC) 核准 3.1GHz 至 10.6GHz 的頻帶共 7.5GHz 頻寬作為商業用途後，相關技術研發便在產業界及學術界上蓬勃的發展，目前由 MBOA 聯盟所提出的多頻帶正交頻率多工超頻寬(Multi-band OFDM UWB)系統為目前業界多數廠商所支持的方案。其中最重要應用的子頻帶在於最低的三個頻率，中心頻率分別為 3432MHz、3960MHz、4488MHz，因為位於較佳的通道效應中，此三個頻帶構成了 MB-OFDM 系統的第一模態傳收系統[1]，在實際超寬頻收發機電路設計的頻率合成器(Frequency Synthesizer)為收發機 (Transceiver) 中切換頻率最主要的元件，其目的主要做為訊號產生，此訊號可視為本地振盪(Local Oscillation)訊號，而在頻率合成器架構中壓控振盪器(Voltage Control Oscillation, VCO)和鎖相迴路(Phase Lock Loop, PLL)為一不可缺少之元件，故將以此方向來做相關研究。

目前在無線通訊設計上，多頻帶與多模態系統之整合射頻傳收模組為發展的趨勢，在傳統的互補式壓控振盪器(Complementary VCO)，其設計架構擁有較高的增益及較大的輸出功率，因而可得到相位雜訊較佳的表現。但此種架構在佈局走線上會較複雜，對於高頻電路來說，線與線之間跨線所產生的耦合效應及這些拉線所造成的寄生電阻及寄生電容都會對晶片設計產生影響。因此針對傳統架構的壓控振盪器來做簡化而得到簡化型壓控振盪器，用來減少佈局上的跨線，相對的減少了不必要之跨線及拉線本身之寄生效應，而會得到較好的特性，其中利用電流再使用的方式降低功率的損耗，配合一顆開關電晶體和電感即可達到雙頻帶的效果，再加上四相位耦合的電晶體交錯編排使用直接耦合(direct couple)及交錯耦合(cross couple)的連接方式來連接兩個雙頻帶振盪器，即可產生四相位訊號之輸出。此方式不僅簡化了雙頻帶正交壓控振盪器的設計，更因此減少電感的使用量，可減少面積的使用，及降低功率的損耗。

§1-2 研究方法

為設計低消耗功率的頻率合成器在超寬頻 MBOA 系統中可攜式無線傳輸系統的收發機應用，首先考量操作在低電壓低耗能的壓控震盪器，接著配合加上作為四相位耦合的電晶體交錯編排的连接方式來連接兩個振盪器，用以設計一組產生四個相位的低電壓正交輸出壓控振盪器。最後依實驗室超寬頻架構需求，設計 1V 低電壓鎖相迴路電路。

本研究將以低功率消耗為方向來設計一低電壓低功率壓控震盪器(Low Voltage Low Power VCO)，使其應用在超寬頻MBOA 系統中頻率合成器的鎖相迴路設計。由於主要應用在直接降頻接收機如圖1-1的架構，構想上利用頻率合成器產生一組固定的頻率 7920 MHz輸出，其中一路為經過除二電路後產生3960MHz透過選擇器擇一輸出到單一側頻混波器(SSB-Mixer)，另一路經過除法器分別產生適當頻率並搭配著多工器選擇其中之一輸出到另一端單一側頻混波器(SSB-Mixer)的輸入，混頻後可產生在超寬頻MBOA 系統中模態A (Group A)，模態B (Group B)，模態C (Group C)三個模態中的頻段，為實現於可攜帶式的應用，以低電壓低耗能壓控震盪器(Low Voltage Low Power VCO)操作頻率設計在7920 MHz做研究，最後並依照實驗室需求設計操作頻率在5016 MHz的1V低電壓鎖相迴路。

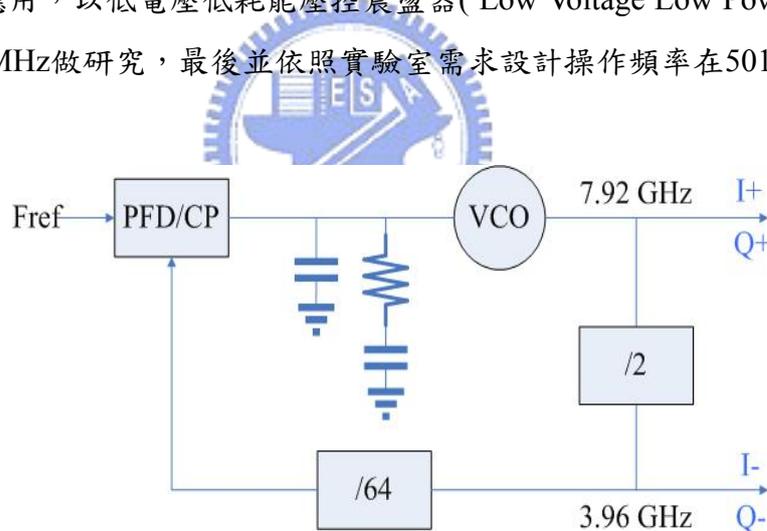


圖1.1 超寬頻頻率合成器架構

應用WiFi方面，主要是針對直接降頻接收機(direct-conversion receiver)架構，其操作頻率分別為2.4 GHz、5.2GHz，如圖1-2所示。其優勢在於降低功率損耗、縮小晶片及PCB面積(減少外部元件使用)，並且減少系統廠商所需整合的時間及具有適應不同頻寬和標準的靈活性。不過，直接降頻接收機在電路設計上需解決時變的直流偏移(DC offset)、本地訊號洩流(LO leakage)、增益/相位不匹配以及閃爍雜訊 (flicker noise) 等問題，必須經由額外的電路來消除這些現象，但此架構極適合高度整合成系統單晶片

(System on a Chip : SoC)，故以此為方向來設計一雙頻帶四相位壓控震盪器(Dual-Band Quadrature VCO)，使其應用在 WiFi 系統(802.11 a/b/g)上，針對消耗功率及佈線面積做改良設計。

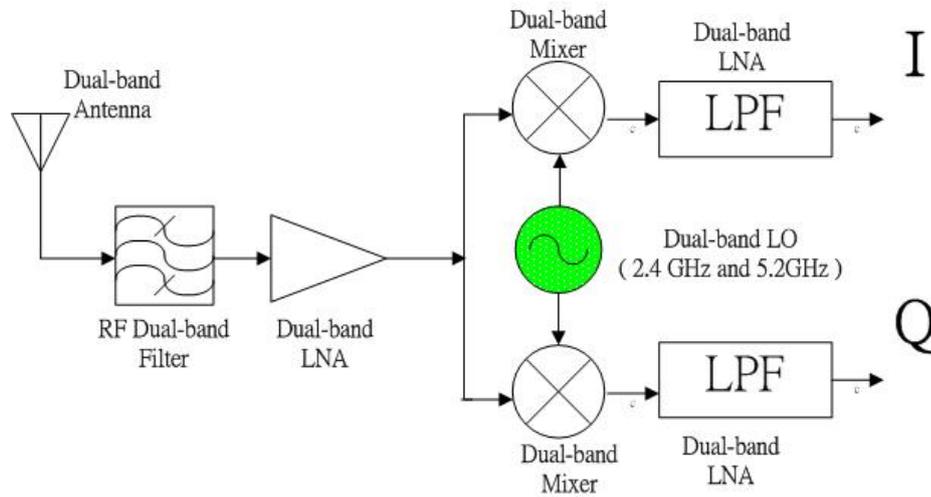


圖 1.2 直接降頻接收機架構

§1-3 研究成果

如表 1.1 所列，為本論文完成之射頻電路設計，其中【電路 1】為低電壓壓控振盪器(Ultra Low Voltage VCO) 架構設計，【電路 2】為低電壓正交輸出壓控振盪器(Ultra Low Voltage Quadrature VCO) 架構設計，【電路 3】低功率雙頻段正交輸出壓控振盪器 (Low power Dual Band QVCO) 架構設計，【電路 4】為低電壓鎖相迴路(Low Voltage PLL) 架構設計，而各電路之詳細設計內容，分別會在第三、四章中被敘述。

表 1.1 本論文完成之射頻電路設計

電路編號	電路名稱	頻率 (GHz)	面積 (mm ²)
1	應用於超寬頻 0.6V 低電壓之壓控振盪器	7.92	0.68x0.53
2	應用於超寬頻之低電壓低功率四相位壓控振盪器	7.92	1.03 x 0.636
3	低功率之雙頻帶四相位壓控振盪器	2.4/5.2	1.10 x 0.89
4	應用於超寬頻系統之低電壓鎖相迴路	5.016	1.360 x 1.125

§1-4 章節概述

本論文共分五個章節，第一章：敘述論文之研究動機與成果。第二章：針對振盪器的相位雜訊、工作原理和低電壓壓控振盪器的考量加以討論。第三章：介紹所設計的低電壓壓控振盪器【電路 1】【電路 2】【電路 3】。第四章：介紹鎖相迴路工作原理以及所設計應用於超寬頻 MBOA 系統的低電壓鎖相迴路【電路 4】，第五章：本章為結論，說明本論文之研究成果。



第二章

相位雜訊及壓控振盪器

在近代數位通訊中大量使用相位調變的技術，如 QPSK，QAM 調制等方式，使得對整個通訊系統對雜訊要求日益趨緊，尤其在相位雜訊的要求上，因不佳的相位雜訊會劣化星座佈置圖導致誤碼率升高，使得接收品質不良，而在多頻道接取的個人行動通訊系統中頻道的間隔非常緊密，本地訊號源必需避免過大的相位雜訊引入旁波信號而干擾主信號，造成接收靈敏度不良，因此相位雜訊對近代數位通訊系統而言是一個重要的參數。

壓控振盪器是鎖相迴路中最重要的電路部份，在積體電路上的應用，主要有環形振盪器(Ring Oscillator)及 LC 調諧振盪器(LC tank Oscillator)，在環形振盪器方面，因不需要電感被動元件，採用主動放大電路來組成，可節省面積，且容易整合和設計，且輸出的訊號振幅較大 (full swing) 及可以有許多相位的輸出等優點，但因使用較多主動電路，所以相位雜訊較差，而 LC 調諧壓控振盪器是在高頻段的相位雜訊和低耗能表現上皆優於環形振盪器，雖然 LC 調諧壓控振盪器有較佔面積以及較小的調整範圍等缺點，但基於使用在固定頻率的頻段以及要求低的相位雜訊和耗能的考量下，採取 LC 調諧壓控振盪器來做為應用於低電壓之壓控振盪器的設計。

§2-1 相位雜訊的定義

一個理想的振盪器輸出頻譜如圖2.1(a)所示，通常在時域軸以一個完美的弦波來表示：

$$V(t) = V_0 \sin(\omega_0 t) \quad (2-1)$$

其中 V_0 為輸出振幅， ω_0 為振盪中心頻率，由於振盪器對於周遭環境及雜訊相當敏感，當溫度，電源電壓變化或雜訊存在將使振盪器的輸出訊號在振幅、相位及頻率上發生改變，即形成所謂的 AM、PM 及 FM 雜訊。通常振盪器輸出振幅被溫度，電源電壓變化及雜訊影響產生的改變量不大且會在極短瞬間趨於穩度或被非線性的主動元件特性所限制著，因此 AM 雜訊影響較小可忽略，至於輸出相位的變動 (PM及FM雜訊)，即形成相位雜訊來源。而實際的振盪輸出信號在頻譜上的功率分佈，如圖2.1(b)所示，還包含了振盪頻率的諧波，寄生雜波 (spurious tone) 等，實際振盪輸出信號瞬間的輸

出如下式所示：

$$V(t) = V_o[1 + A(t)]\sin(\omega_0 t + \phi(t)) + \text{高階諧波} \quad (2-2)$$

其中 $A(t)$ 及 $\psi(t)$ 分別表示為信號振幅及相位的誤差，且分別在振盪時對頻譜造成兩種相位變化，前項涉及到寄生雜波（spurious tone）或信號的變化，而後者有隨機相位及頻率的誤差造成所謂的相位雜訊[2]。

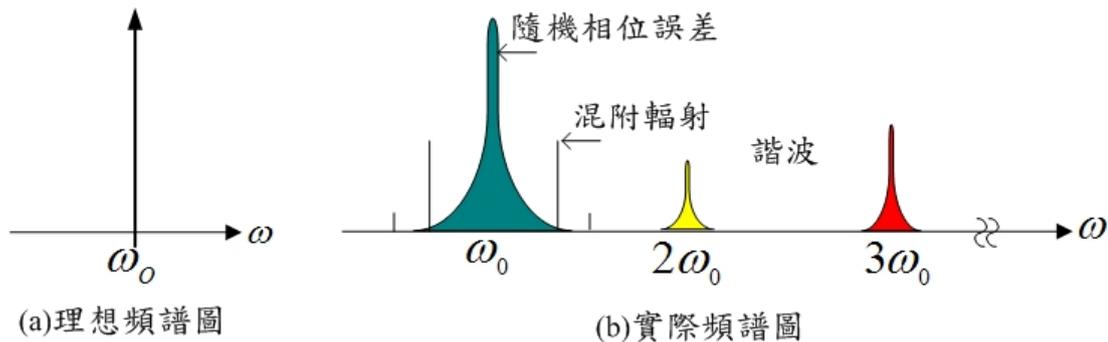


圖2.1振盪器輸出訊號 (a)理想頻譜圖 (b)實際頻譜圖

在振盪器中常見的雜訊來源為本質雜訊來源(internal noise source)如熱雜訊(thermal noise)和主動元件雜訊來源（active device noise source）來源如散射雜訊(shot noise)、閃爍雜訊(flicker noise)等，通常振盪器相位雜訊是由本質雜訊來源所引起的，而寄生雜波（spurious tone）大多由外部的雜訊所引起，如外加控制電壓的雜訊，電源供應的雜訊或電流源耦合訊號等等。因此我們將討論電路內部的雜訊所形成的相位雜訊，且將相位雜訊定義為 $L(\Delta f)$ ，並簡略說明相位雜訊的定義：振盪器在中心頻率偏移固定頻率下，1Hz頻寬的總雜訊功率對應中心頻率功率的比值，如圖2.2所示，可看到訊號頻譜的形狀在中心頻率周圍形成“裙帶”（skin）狀。相位雜訊亦可看為頻率的瞬間穩定度，因有相位雜訊的存在，造成在中心頻率兩邊有連續的調制邊帶產生，形成頻譜的延展，而相位雜訊定義式如下[3]：

$$L(\Delta f) = 10\log\left(\frac{f_0 + \Delta f \text{在} 1\text{Hz} \text{頻寬內之總雜訊功率}}{\text{中心頻率之總功率}}\right) \quad (2-3)$$

其中 $L(\Delta f)$ 為在單波帶（sing sideband）雜訊頻譜密度正規化下的相位雜訊，單位為dBc/Hz，而 f_0 為振盪器的中心頻率。

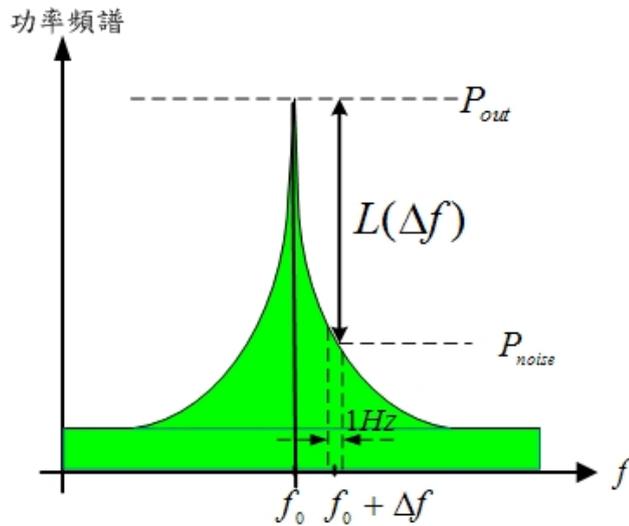


圖2.2 相位雜訊定義

§2-2 相位雜訊對通訊系統的影響

在無線通訊系統中通常都須要維持較高的SNR (信號雜訊比)，而本地振盪訊號源之相位雜訊的好壞會影響到接收訊號或是發射訊號的品質，進而降低SNR的數值。考慮一接收系統如圖2.3所示，本地振盪器為真實振盪器包含非理想的相位雜訊如圖2.3 (a)，假如無線收發機除了欲接收的訊號(wanted signal)外，也可能同時接收到鄰近頻帶的干擾訊

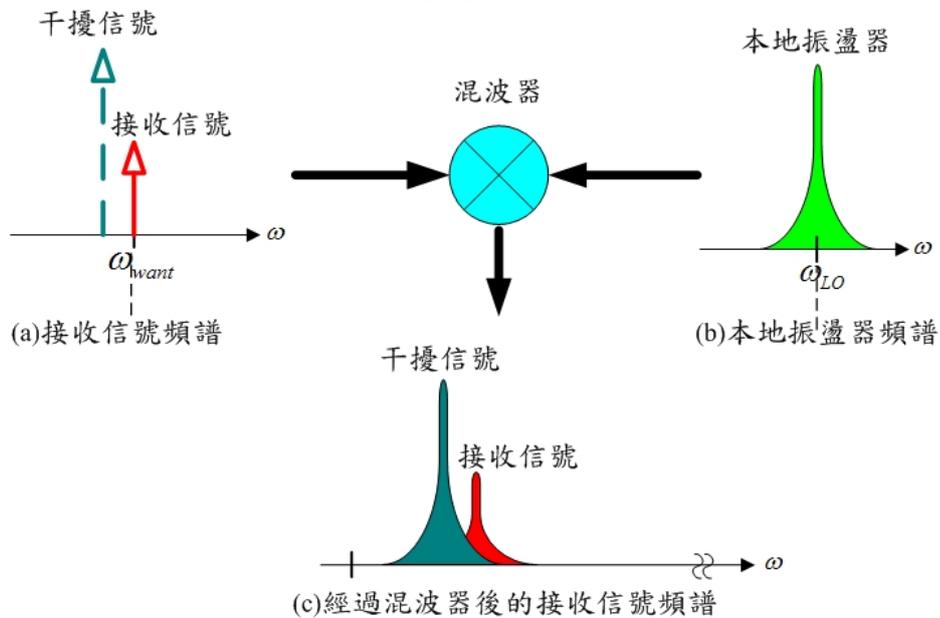


圖2.3 相位雜訊在接收端的影響

號(unwanted signal) 如圖2.3(b)。假設其功率大於欲接收的訊號，兩個訊號經過本地振盪器轉換後的重疊訊號頻譜如圖2.3(c)所示，此時鄰近頻帶干擾訊號將可能“淹沒”欲接收的訊號，直接造成接收機靈敏度下降，造成SNR下降，故需要降低本地振盪器的相位雜訊的設計來符合需求。因而在確認接收端的SNR後，振盪器的相位雜訊必須滿足下式[3]：

$$L(\Delta f) < \text{接收信號 (dBm)} - \text{干擾信號 (dBm)} - 10\log_{10}(\text{通道頻寬}) - SNR \quad (2-4)$$

其中減去 $10\log(\text{通道頻寬})$ ，是因為相位雜訊的單位為 Hz，而在接收時頻道寬等於中頻頻寬。

§2-3 振盪器的相位雜訊

雜訊在不同的時間的有著不同的變化，因而振盪器的相位雜訊理論也區分為非時變與時變的理論模型，以下分別來討論。

(1) 非時變模型(time invariant) [3][4]

以下以非時變概念來分析相位雜訊的形成原因，非時變指的是雜訊源不論任何時候注入壓控振盪器所得到的相位雜訊都是相同的；或是說不論在任何輸出波形的時間點上，雜訊造成壓控振盪器相位偏移的效果都是一樣的。因此不需要考慮雜訊是在壓控振盪器輸出波形的那個時間點進入壓控振盪器電路。假設振盪器是由主動埠與諧振腔(resonator)組成如圖2-4，而其諧振腔中等效並聯電阻的熱雜訊是唯一的雜訊來源，其可以用一個電流源來模擬，所表示的電流源均方根密度為

$$\frac{\overline{i_n^2}}{\Delta f} = 4kTG_L \quad (2-5)$$

其中 G_L 是諧振腔的並聯寄生電導，此電流源與諧振腔的阻抗相乘，就是雜訊的電壓。相對於諧振腔的中心頻率 ω_0 偏移一個很小的頻率 $\Delta\omega$ ，RLC 諧振腔的阻抗

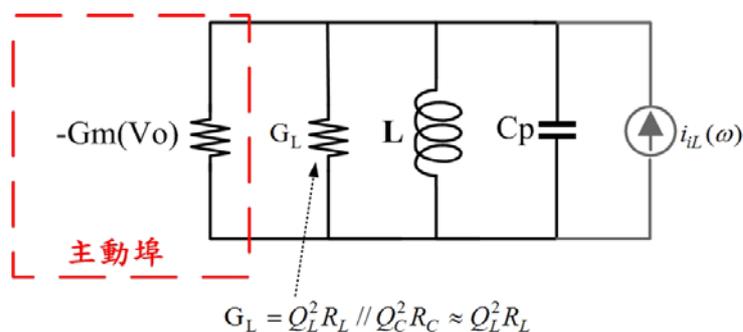


圖2.4 電感電容振盪器等效單端電路

可以近似為：

$$Z(\omega_0 + \Delta\omega) \approx -j \frac{\omega_0 L}{2(\Delta\omega / \omega_0)} \quad (2-6)$$

而電感與品質因素的關係如下式：

$$Q_L = \frac{L}{R_L} \omega_0 \quad (2-7)$$

利用上式轉換式(2-6)為下式：

$$Z(\omega_0 + \Delta\omega) \approx \frac{1}{G_L} \frac{1}{1 + j2Q_L(\Delta\omega / \omega_0)} \quad (2-8)$$

為維持振盪，RLC諧振腔所造成的損耗需由主動元件提供給諧振腔的平均功率來補償，因此主動元件就像是等效並聯負電導 $-G_m(V_o)$ ，其中諧振腔振幅決定負電導的值，當在穩態時，必須滿足 $G_m(V_o) = G_L$ ，而此時在電感電容振盪器等效單端電路的端點阻抗可以被表示為：

$$Z(\Delta\omega) = \frac{v_{out}(\omega_0 + \Delta\omega)}{i_{in}(\omega_0 + \Delta\omega)} = -j \frac{1}{G_L} \frac{\omega_0}{2Q_L \Delta\omega} \quad (2-9)$$

由式(2-5)和式(2-9)可以得到雜訊電壓均方根值的頻譜密度如下：

$$\begin{aligned} \frac{\overline{v_n^2}}{\Delta f} &= \frac{\overline{i_n^2}}{\Delta f} |Z(\Delta\omega)|^2 = 4kTG_L \left(\frac{1}{G_L} \frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \\ &= 4kTR_L \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \end{aligned} \quad (2-10)$$

由上式可以看出，諧振腔本身的濾波作用使得偏移頻率與雜訊有著反比平方的關係，隨著偏移頻率越接近 ω_0 ，雜訊電壓均方根值的頻譜密度也越趨近無限大，而雜訊電壓均方根值與阻抗也呈正比，式中也說明較高的品質因素(Quality factor, Q值)也可抑制熱雜訊。接著針對雜訊與載波信號作比較，將均方根雜訊電壓密度對均方根載波信號進行正規化處理，以dB值表示，如下式：

$$\begin{aligned} L\{\Delta\omega\} &= 10 \times \log \left[\frac{\overline{v_{noise}^2}}{v_{sig}^2} \right] = 10 \times \log \left[\frac{\frac{1}{2} |Z(\Delta\omega)|^2 \times \overline{i_n^2} / \Delta f}{\frac{1}{2} V_o^2} \right] \\ &= 10 \times \log \left[\frac{2kT}{P_s} \left(\frac{\omega_0}{2Q_L \Delta\omega} \right)^2 \right] \end{aligned} \quad (2-11)$$

此方程式說明距離振盪頻率 $\Delta\omega$ 處，單位頻率內的單邊帶(single sideband)雜訊對訊號比，也就是相位雜訊，其中 P_s 為振盪器輸出訊號功率，所以從以上的公式可看出相位雜訊與頻率的偏移量呈現反比，因諧振腔的阻值呈現 $1/Q\Delta\omega$ 關係來減少，而雜訊電壓均方根值與阻抗成正比。若要得到較好的相位雜訊表現則必需要增加訊號功率與諧振腔的品質因素。增加訊號功率也意謂增加振盪器等效模型中主動埠的功率，使主動埠的雜訊指數下降，如此可達到增加抑制相位雜訊的能力，由雜訊電流轉換為相位雜訊邊帶的頻譜示意圖，如圖2.5所示。

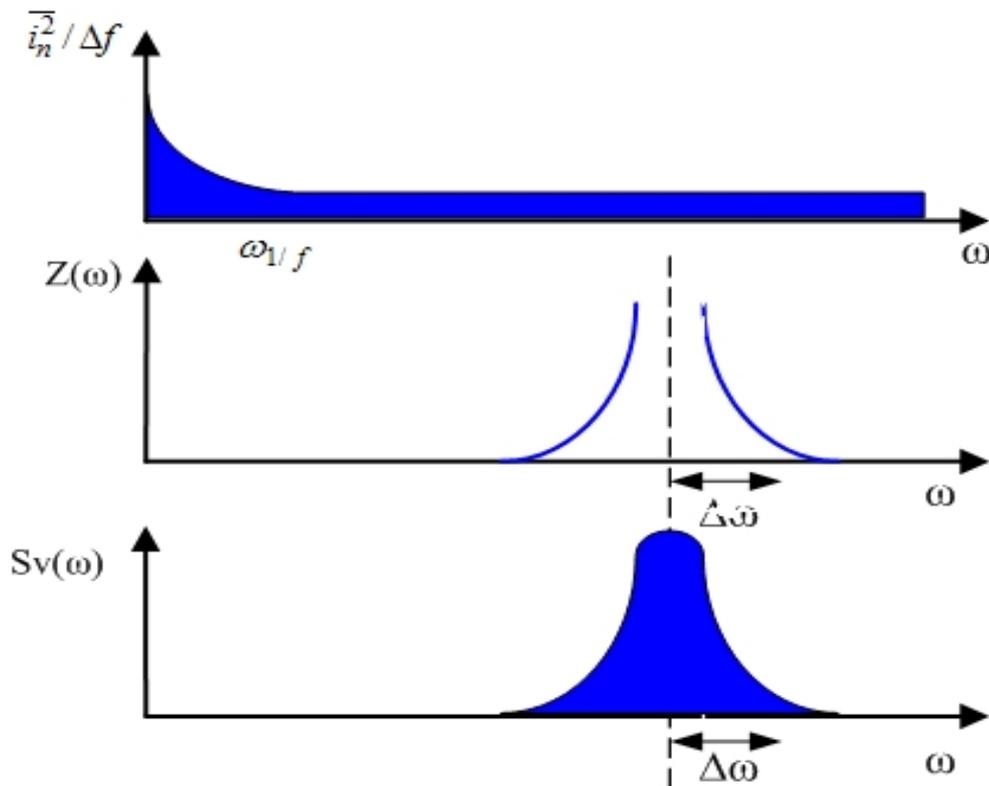


圖2.5 雜訊電流轉換為相位雜訊邊帶的頻譜示意圖

由式子(2-11)可對相位雜訊得到一概括性的了解，但是式子所描述的頻譜與壓控振盪器實際量測到的有很大的差異。因實際上除了熱雜訊外還有其它雜訊來源，壓控振盪器頻譜如圖2.6所示，在相當大的偏移頻率(frequency offset)壓控振盪器頻譜會趨於水平而非如式子(2-11)預測持續以二次方倒數下降，而在極小的偏移頻率時，壓控振盪器頻譜是以三次方倒數下降而不是如式子(2-11)所預測。

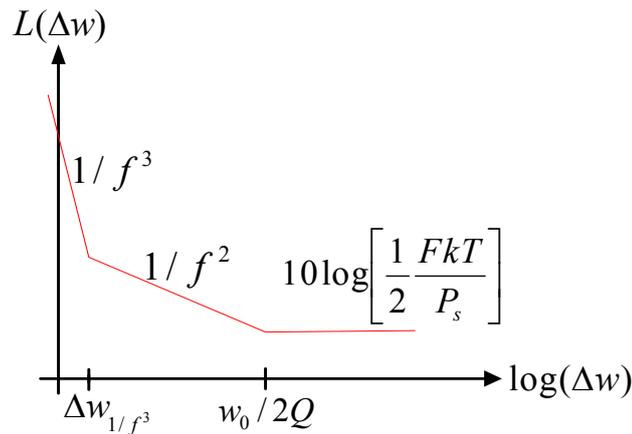


圖2.6 Lesson's 相位雜訊模型

因此在相位雜訊的描述上必需要修正為

$$L(\Delta\omega) = 10 \log \left[\frac{2FKT}{P_s} \left\{ 1 + \left(\frac{\omega_0}{2Q\Delta\omega} \right)^2 \right\} \left(1 + \frac{\omega_{1/f^3}}{|\Delta\omega|} \right) \right] \quad (2-12)$$

上式即所謂的 Leeson's 模型，它是一個由量測壓控振盪器頻譜後修正曲線的相位雜訊模型，用來描述其輸出頻譜。此模型中有些參數如必需要經過量測才能得到，如F是元件雜訊附帶的指數，或說是個單純的雜訊指數，用來計算在 $1/(\Delta\omega)^2$ 區域增加的雜訊，不同的振盪器有不同的值，括號中加1用來表示雜訊的最低值，末項表示 $1/(\Delta\omega)^3$ 在極小的偏移頻率時的關係，

經由上式可以觀察到要降低相位雜訊，可以增加信號功率 P_s ，且 $P_s \propto V_{peak}^2$ ，在實際的振盪器設計中， V_{peak} 通常被操作電壓所限制住，另外在諧振腔中提高品質因素，或提升L/Rs的比率，亦能使相位雜訊降低。在非時變分析中壓控振盪器頻譜成水平的轉角頻率(corner frequency)其值並不一定是 $\frac{\omega_0}{2Q}$ 。再者，在非時變分析中無法對壓控振盪器頻譜有 $1/(\Delta\omega)^3$ 範圍提出合理的解釋，雖然我們都知道是閃爍雜訊(1/f noise)造成的，但閃爍雜訊是如何升頻至中心頻率的附近？以下將介紹另一種分析方式(時變分析)，此分析可以解釋 $1/(\Delta\omega)^3$ 的成因，並應用其結論，提供除了增加諧振腔品質因素及訊號大小外的其它方式，用於壓控振盪器設計來降低相位雜訊。

(2) 時變模型(time variant)[3][5][6]

任何的實際的振盪器都是非線性時變系統，因而非時變模型假設雜訊在任何時候被

產生並影響壓控振盪器輸出得到的結果都是一樣的在事實並不是如此。考慮如圖2.7 所示的理想LC諧振電路。

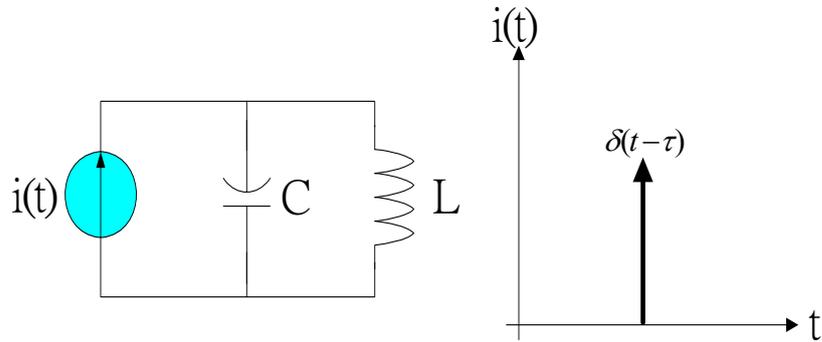


圖2.7 電流脈衝注入 LC 振盪器

假設振盪器處於諧振的穩態，瞬間的脈衝注入可視為頻率無窮大的輸入信號，在此頻率下電容的阻抗為零而電感的阻抗為無窮大，因而脈衝電流只注入電容而不影響電感中的電流，形成電容兩端的電壓發生改變，如下式：

$$\Delta V = \frac{|\Delta Q|}{C_{total}} \quad (2-13)$$

其中 ΔQ 為電流脈衝注入的電荷總量， C_{total} 為電路內的總電容，而振盪器的輸出可表示為

$$V_{out}(t) = A(t) \cos[\omega_0 t + \phi(t)] \quad (2-14)$$

其中 $A(t)$ 及 $\phi(t)$ 都是時間的函數，分別表示為振幅與相位，對上式做微分處理

$$\frac{\partial V_{out}}{\partial t} = \frac{\partial A(t)}{\partial t} \cos[\omega_0 t + \phi(t)] + A(t) \sin[\omega_0 t + \phi(t)](\omega_0 + \frac{\partial \phi(t)}{\partial t}) \quad (2-15)$$

即

$$\Delta V = \Delta A \cos[\omega_0 t + \phi(t)] + A(t) \sin[\omega_0 t + \phi(t)](\omega_0 + \Delta \phi) \quad (2-16)$$

當 $\omega_0 \tau + \phi(\tau) = 2n\pi$ 時，即在振盪波形的波峰時，後一項為零可得

$$\Delta V = \Delta A \quad (2-17)$$

當 $\omega_0 \tau + \phi(\tau) = \frac{\pi}{2} \pm 2n\pi$ 時，即在振盪波形的零交越(zero crossing)，前一項為零可得

$$\Delta V = \Delta A(\omega_0 + \Delta \phi) \quad (2-18)$$

上式表達在振盪波形的波峰處所產生的擾動，僅影響輸出振幅大小，而不影響相位，在零交越處所產生的擾動，僅影響輸出相位，因而改變瞬間振幅，但不影響振盪的最大振

幅，如圖 2.8所示，一個脈衝(impulse)電流注入一個理想的LC 諧振電路，假設此系統正振盪於某一頻率及固定的振幅。若脈衝注入時正好是訊號振幅最大的時候，此時電壓振幅將瞬間被提升 $\Delta V = \Delta Q/C$ ，但因為注入的脈衝正好疊在最大振幅處，此脈衝不會造成訊號相位有任何的改變，如圖 2.8(a) 所示。反之，若脈衝注入時正好是訊號振幅為零交越的時候，如圖2.8(b) 所示訊號的相位造成了改變，且相位改變量與注入脈衝大小有關。

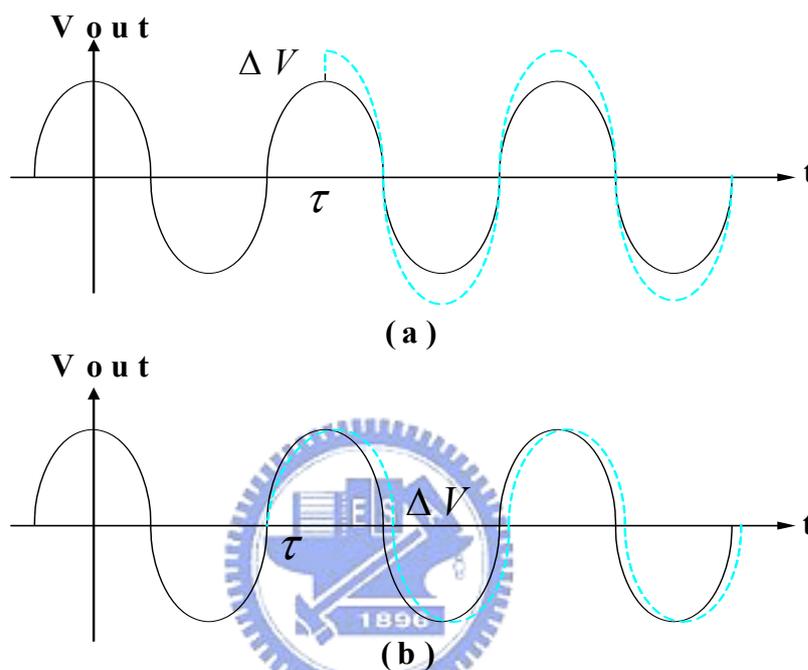


圖2.8 脈衝注入造成振盪訊號的改變

因此對於一個振盪器而言雜訊造成的相位改變是與雜訊注入的時間有關，對於相位雜訊的分析，顯然非時變模型是不足以完全地描述，而需採用時變的觀念。如圖2.7 所示，當一個脈衝在時間 τ 時注入，訊號將產生相位改變，其相位改變的脈衝響應(impulse response)可表示成

$$h\phi(t, \tau) = \frac{\Gamma(\omega_o \tau)}{q_{\max}} u(t - \tau) \quad (2-19)$$

其中 $u(t)$ 為單位步階函數(unit step function)， q_{\max} 為 LC 振盪器最大儲存的電荷量。 $\Gamma(x)$ 稱為靈敏度函數 (impulse sensitivity function，ISF)，它的週期為 2π ，且與訊號頻率及最大振幅無關，而與訊號波形有極大的關係。此函數表示一個振盪器對於一個脈衝在 $\omega_o \tau$ 注入的敏感度。一般來說 $\Gamma(x)$ 是可以透過模擬的方式來獲得，如圖2.9所示為LC 振盪器與環形振盪器典型的脈衝響應函數曲線。

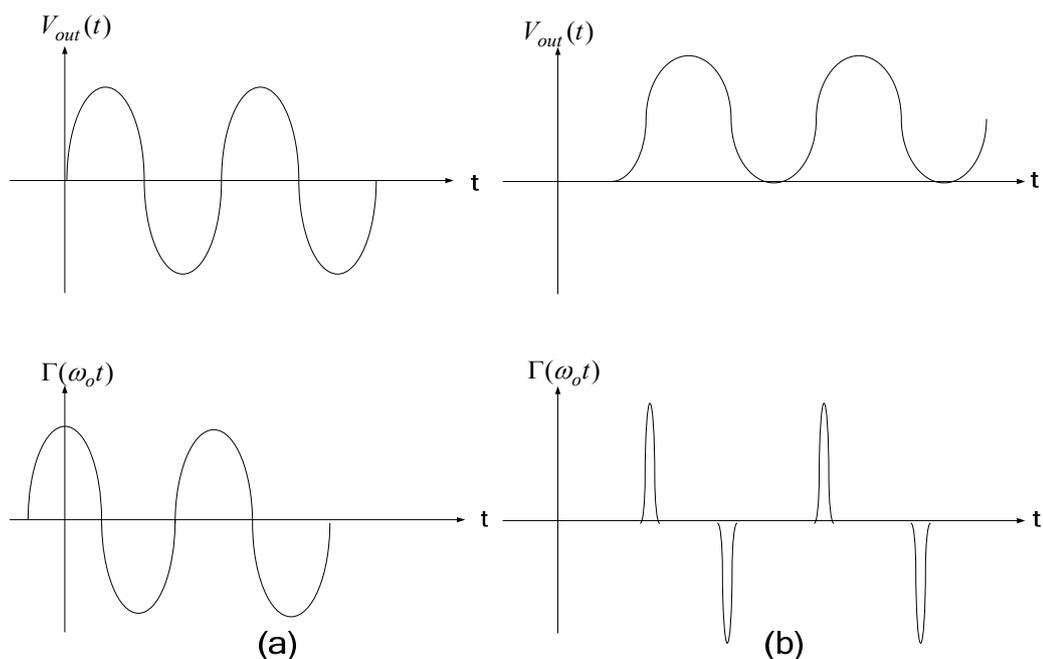


圖2.9 (a)LC振盪器與(b)環形振盪器典型的脈衝響應函數曲線

若 ISF 已知則可算出相位經由脈衝注入的改變量為：

$$\phi(t) = \int_{-\infty}^{\infty} h_{\phi}(t, \tau) i(\tau) d\tau = \frac{1}{q_{\max}} \int_{-\infty}^t \Gamma(\omega_o \tau) i(\tau) d\tau \quad (2-20)$$

因為 ISF 為一週期函數所以可由傅立葉級數(Fourier series)展開

$$\Gamma(\omega_o \tau) = \frac{c_0}{2} + \sum_{n=1}^{\infty} c_n \cos(n\omega_o \tau + \theta_n) \quad (2-21)$$

因為雜訊源的無關連(uncorrelated)特性，雜訊來源各不相同，因此雜訊間的相對相位也是無關的，所以式子(2-21)中 θ_n 可忽略以簡化之後的討論，將式子(2-21)代入式子(2-20)得到

$$\phi(t) = \frac{1}{q_{\max}} \left[\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t i(\tau) \cos(n\omega_o \tau) d\tau \right] \quad (2-22)$$

其中 c_n 為 ISF 的傅立葉係數(Fourier coefficient)。當 c_n 為已知時，就可以使用上式計算輸入電流雜訊所引起的相位偏移。

假設有一雜訊為弦波電流源形式其頻率在 $m\omega_o + \Delta\omega$ ，其中 m 為一常數，則此電流可表示成

$$i(t) = I_m \cos[(m\omega_o + \Delta\omega)t] \quad (2-23)$$

若 $\omega_0 \gg \Delta\omega$ ，將式子(2-23)代入式子(2-22)則可得到

$$\phi(t) = \frac{1}{q_{\max}} \left[\frac{c_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} c_n \int_{-\infty}^t \{I_m \cos[(m\omega_0 + \Delta\omega)t]\} \cos(n\omega_0\tau) d\tau \right] \quad (2-24)$$

忽略 $n \neq m$ 的項後簡化為

$$\phi(t) \approx \frac{I_m c_m \sin(\Delta\omega t)}{2q_{\max} \Delta\omega} \quad (2-25)$$

將此式代入(2-26)，可得輸出信號

$$V_{out}(t) = \cos[\omega_o t + \phi(t)] \quad (2-26)$$

假設 $\frac{I_m c_m}{2q_{\max} \Delta\omega} < 1$ ，則式子(2-24)的雜訊將造成輸出訊號頻譜在 ω_o 附近有二個等功

率的訊號其頻率與中心頻差 $\Delta\omega$ ，大小各為

$$P_{SBC}(\Delta\omega) \approx 10 \log \left(\frac{I_m c_m}{4q_{\max} \Delta\omega} \right)^2 \quad (2-27)$$

若電流雜訊源為白色高斯雜訊，功率頻譜密度為 $\frac{\overline{i_n^2}}{\Delta f}$ ，則其在振盪頻率附近造成壓控振盪器輸出頻譜展開的單頻帶雜訊功率除以訊號功率比為

$$C_{SSB}(\Delta\omega) \approx 10 \log \left(\frac{\frac{\overline{i_n^2}}{\Delta f} \sum_{m=0}^{\infty} c_m^2}{4q_{\max}^2 \Delta\omega^2} \right) \quad (2-28)$$

由 Parseval's 關係式可得

$$\sum_{m=0}^{\infty} c_m^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx = 2\Gamma_{rms}^2 \quad (2-29)$$

因此白色高斯雜訊造成的相位雜訊為

$$L(\Delta\omega) \approx 10 \log \left(\frac{\frac{\overline{i_n^2}}{\Delta f} \Gamma_{rms}^2}{2q_{\max}^2 \Delta\omega^2} \right) \quad (2-30)$$

又 $q_{\max} = CV_{\max}$ ， V_{\max} 為壓控振盪器最大振幅； $\overline{i_n^2} = \frac{4kT}{R} \Delta f$ 。代入式子(2-30)可得到

$$L(\Delta\omega) \approx 10 \log \left(\frac{4kT}{P_s} \Gamma_{rms}^2 \left(\frac{\omega_o}{Q\Delta\omega} \right)^2 \right) \quad (2-31)$$

上式與式子(2-11)只差一個常數項，但在非時變分析時式子(2-11)中的 F 通常為一個在壓控振盪器頻譜量測以後得到的經驗參數，而在式子(2-31)中卻可將由尋找 ISF 後計算而得，且由式子(2-31)也可知道除了增加訊號大小及增加諧振腔品質因素外，也可以經由改變波形，即降低 ISF 的 RMS 值 (Γ_{rms}) 來抑制白色雜訊造成的相位雜訊。

若輸入壓控振盪器的雜訊為閃爍雜訊(1/f noise)，其功率頻譜密度為：

$$\overline{i_{n,1/f}^2} = \overline{i_n^2} \frac{\omega_{1/f}}{\Delta\omega} \quad (2-32)$$

其中 $\omega_{1/f}$ 為閃爍雜訊的 1/f 轉角頻率(corner frequency)。將式子(2-32)代入式子(2-30)可以得到閃爍雜訊所引起的相位雜訊。

$$L(\Delta\omega) \approx 10 \log \left(\frac{\overline{i_n^2} c_0^2}{8q_{\max}^2 \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (2-33)$$

相位雜訊 $1/(\Delta\omega)^3$ 、 $1/(\Delta\omega)^2$ 範圍之間的轉角頻率可經由比較式子(2-30)及式子(2-33)得到：

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \frac{c_0^2}{4\Gamma_{rms}^2} \approx \omega_{1/f} \cdot \left(\frac{c_0}{c_1} \right)^2 \quad (2-34)$$

因此，若要減少 $1/(\Delta\omega)^3$ 範圍的相位雜訊及降低，則必需要降低 c_0 ，也就是 ISF 的 DC 成份。要降低 c_0 必須使得壓控振盪器的 $\Gamma(x)$ 函數輸出波形愈對稱愈好，採取透過電路結構的設計或元件特性的選擇來達到此要求，而應用在 CMOS 製程中，此規則對高閃爍雜訊的元件相對地重要，因為經由壓控振盪器設計時注意訊號波形則可抑制元件的閃爍雜訊造成相位雜訊表現嚴重惡化。

綜合上述，白色雜訊及閃爍雜訊以電流源的形式注入壓控振盪器，造成壓控振盪器的相位產生變化，而相位變化的大小與雜訊大小及訊號波形有關。雜訊造成的相位變化經

由相位調變(phase modulation)在壓控振盪器輸出訊號頻譜的週圍展開成裙帶狀相位雜訊，相位雜訊形成的示意圖如圖2.10 所示。

在時變模型分析中，解釋了相位雜訊 $1/(\Delta\omega)^3 \cdot 1/(\Delta\omega)^2$ 範圍形成的原因並可對相位雜訊做一精確的預測。對於壓控振盪器中任何一個雜訊源都可以依它的雜訊等效模型及訊號波形對應此雜訊源的 ISF 來求出相位雜訊。要找出 ISF 可以將雜訊源以一個脈衝訊號代替，並找出壓控振盪器對此脈衝訊號的脈衝響應即是壓控振盪器對應此雜訊源的 ISF。但有時壓控振盪器的雜訊來源很多或是雜訊模型不完整，所以利用ISF分析相位雜訊將變得複雜。

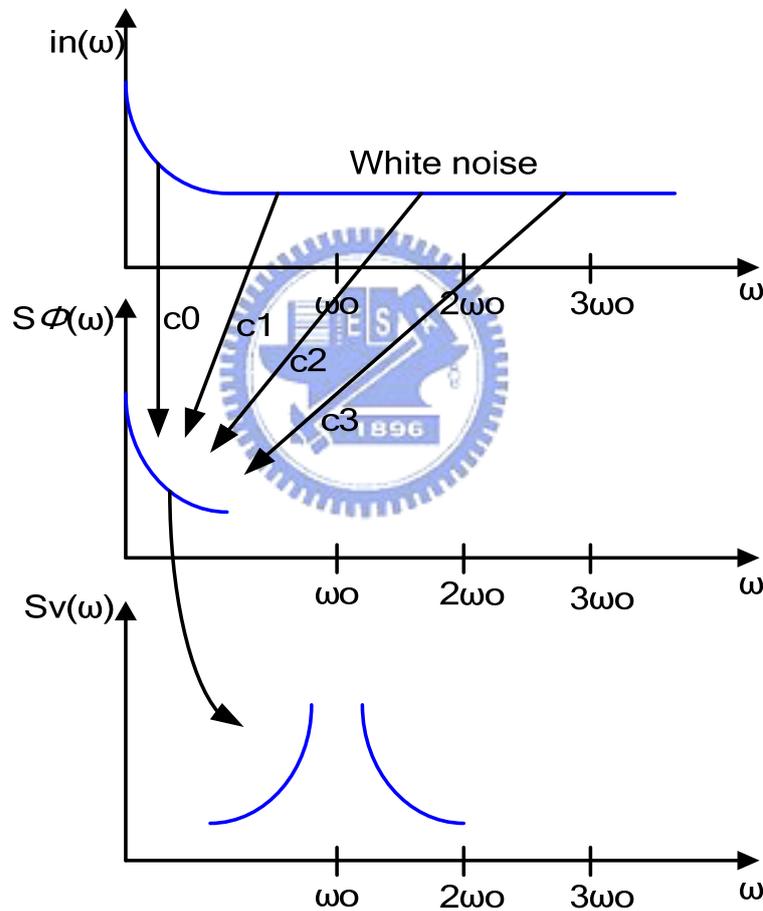


圖2.10 電流雜訊對相位雜訊的貢獻成分

時變模型除了比非時變模型更準確的來預測相位雜訊外，更指引設計者除了增加壓控振盪器的諧振腔的品質因素及訊號大小(非時變模型的結論)，或採用閃爍雜訊較小的 PMOS 元件外，波形也是一個相當重要的考量，尤其是閃爍雜訊的抑制，壓控振盪器的 $\Gamma(x)$ 函數輸出波形愈對稱愈好，特別是對於高閃爍雜訊的 CMOS 元件。

§2-4 基礎壓控振盪器理論及設計方法

壓控振盪器可視為一種能量轉換元件，如圖2-11，輸入為 V_{tune} 而產生週期性的輸出 $V_{out}(t)$ ，能將直流功率轉換為交流功率[7]。

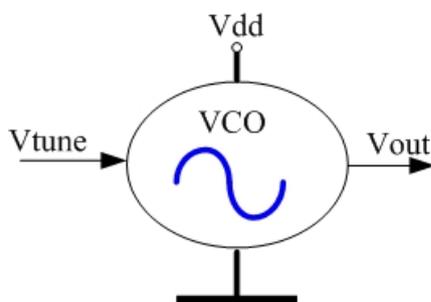


圖2.11 基本壓控振盪器

當接上電源後，產生單端或對稱的週期信號 $V_{out}(t)$ 輸出為

$$V_{out}(t) = V_o \sin(\omega_c t + \varphi) \quad (2-35)$$

其中 φ 為相位， V_o 為振幅，負載角頻率則定義為：

$$\omega_c(V_{tune}) = 2\pi f_c(V_{tune}) \quad (2-36)$$

由上式可看出調整控制電壓 V_{tune} 即可輸出需要頻率。理想輸出的波形和頻譜如圖2.12所示：

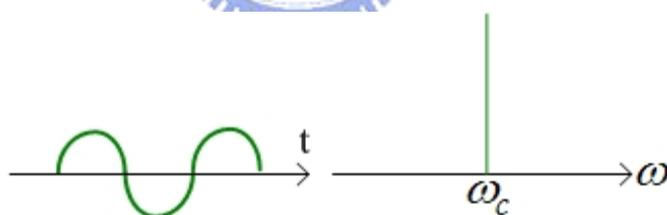


圖2.12 基本壓控振盪器理想輸出的波形和頻譜

§2-4-1 重要規格參數[2] [6] [7] [8]

在壓控振盪器電路設計上，一般考量的重要特性為：相位雜訊、輸出功率、頻率調整範圍、壓控振盪器增益 (VCO Gain)、推頻 (Pushing)、負載拉頻 (Load Pulling)、熱穩定性(thermal stability)、FOM (Figure of Merit) 等等，接著分別來探討。

1. 相位雜訊

理想壓控振盪器的輸出頻譜應該為單一脈衝型式如圖2.12所示，因為元件的非線性與電路所引入雜訊的影響，實際上輸出頻譜如圖2.13所示。雜訊所引入的額外裙

帶(skirts)，表示有存在著相位雜訊，亦可以看成訊號在時域上週期或是零交越點不固定所造成。裙帶高度越高表示相位雜訊越差，一個週期性的載波訊號可以表示為：

$$S_i = A_c(t) \cos(\omega_c t + \theta(t)) \quad (2-37)$$

$A_c(t)$ 表示雜訊源對於振幅的影響，即所謂AM雜訊，而 $\theta(t)$ 表示相位和頻率改變所形成雜訊源所造成的相位變化，即所謂PM及FM雜訊，一般來說振幅雜訊對於載波信號的影響較小，可將 $A_c(t)$ 以常數看待，接著說明相位雜訊對頻譜的影響，首先假設 $\theta(t)$ 為隨時間變化的單頻正弦波 $\theta(t) = \theta_m \sin(\omega_m t)$ ， θ_m 為最大偏移角， ω_m 為調變頻率。帶入(2-37)式

$$\begin{aligned} S_i &= A_c \cos(\omega_c t + \theta_m \sin(\omega_m t)) \\ &= A_c \{ \cos(\omega_c t) \times \cos[\theta_m \sin(\omega_m t)] - \sin(\omega_c t) \times \sin[\theta_m \sin(\omega_m t)] \} \end{aligned} \quad (2-38)$$

假設 $\theta_m \ll 1$ ，上式可改寫為

$$S_i = A_c \left\{ \cos(\omega_c t) - \frac{\theta_m}{2} \cos(\omega_c + \omega_m)t + \frac{\theta_m}{2} \cos(\omega_c - \omega_m)t \right\} \quad (2-39)$$

由此式可得知，在載波中心頻率信號兩旁距離 ω_m 會有一大小相等而相位相反的兩個旁波，即表示在與載波中心頻率信號相距頻偏量 ω_m (offset)，其雜訊電壓強度 $V_n = \theta_m A / 2$ ，對信號 A_c 來做比較，如下式：

$$\frac{V_n}{A_c} = \frac{\theta_m}{2} \quad (2-40)$$

由此式可以得知利用頻譜振幅 A_c 的相對比值可求得相位偏移 θ_m ，實際上 $\theta(t)$ 為隨機產生，包含各種頻率成分，因而會在頻譜上形成旁波帶。

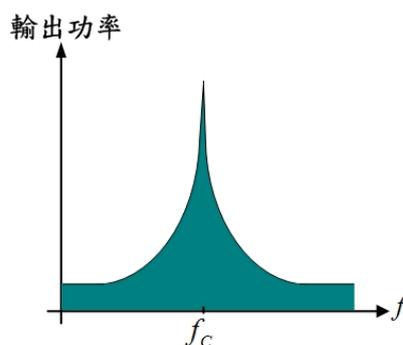


圖2.13 振盪器輸出訊號頻譜圖

相位雜訊的好壞會影響到整體接收訊號的品質，如圖2.14 所示。當一個很強的鄰進波道干擾和一個很弱的接收訊號同時出現時，多餘的相位雜訊會和很強的干擾交互調變到中頻，使得原本很弱的中頻訊號可能因此被干擾。故降低相位雜訊為設計振盪器者的重要考量之一。

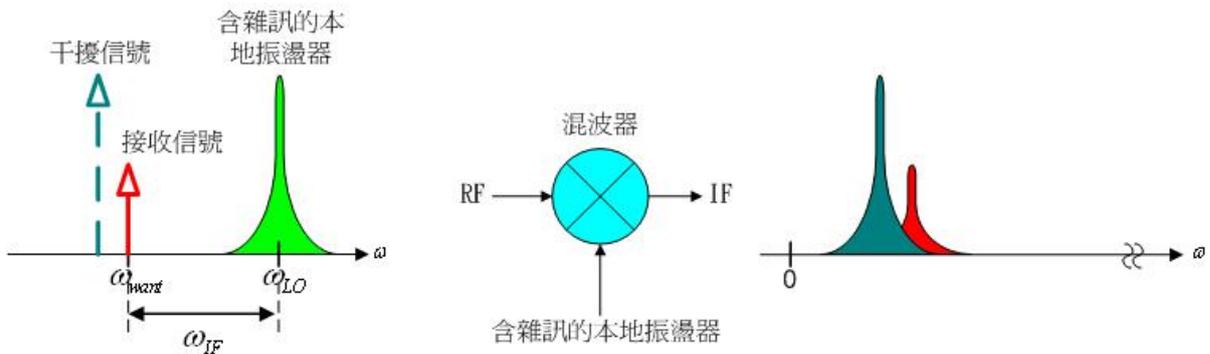


圖2.14 相位雜訊在接收端的影響

2. 輸出功率

振盪器的操作模式是在大信號模式進行的，因而會有諧波失真，此乃操作在非線性區所致，要減少失真就需減少非線性操作進行，大致有元件選取，直流偏壓設計，諧振電路設計等方向改善，其中輸出功率的規劃牽引著CMOS元件與直流偏壓的設計，其目標是以提升振盪器大信號操作能力為主，因此在CMOS電晶體元件設計上儘量操作在合適的 P_{1dB} 下與偏壓在線性的工作區，直流偏壓與諧振電路則以控制輸出功率和提供適當負阻用以減少諧波失真。而此輸出功率最大不會超過其電晶體在大訊號分析時所得的輸出功率。因此可在選擇振盪器主動元件的同時，利用此主動元件的已知參數，來規劃振盪器的輸出功率。

3. 頻率調整範圍

頻率調整範圍為振盪器設計所需考量的規格之一，而其往往都是利用一些可調元件來實現，如：二極體變容器(Diode Varactor)、電晶體變容器(MOS Varactor)...等，除了設計具有頻率調整功能外，其餘設計則應避免額外因素影響振盪器的輸出頻率。壓控振盪器的頻率調整範圍定義為

$$\text{頻率調整範圍} = \frac{f_{\max} - f_{\min}}{(f_{\max} + f_{\min})/2} \quad (2-41)$$

或者採用壓控振盪器所能調整的頻寬範圍來表示。

4. 壓控振盪器的增益

壓控振盪器的增益 (VCO Gain) 一般以 K_{VCO} 來表示，其與調整範圍成反比，定義為

$$K_{VCO} = \frac{df_c}{dV_{tune}} \quad (2-42)$$

5. 推頻效應

一般振盪器造成頻率變動的主要原因可分為控制訊號部分與輸出負載部分。就控制訊號部分而言，當主動元件所使用的控制訊號發生變動時，電晶體的偏壓也會改變，因為電晶體的 S 參數與 Γ_{in} 會隨直流偏壓變動，而造成振盪器輸出頻率產生變化，此情況又稱推頻效應 (Pushing Effect)。可表示為：

$$pushing = \frac{dfc}{dVdd} \quad (2-43)$$

避免推頻效應的發生，可使用高品質因數的諧振腔以減低推頻效應對振盪頻率的影響，因為較高的品質因數可以使共振電路與主動元件接面電容的變化有較好的隔離。另外，亦可利用穩定性較高的偏壓電路，如：能隙型 (Band Gap) 偏壓電路，使主動元件所需的偏壓訊號，不因訊號產生器本身的不穩定，造成推頻效應的發生。

6. 負載拉頻效應

振盪器輸出頻率變動的另一因素為輸出的負載造成。當輸出負載變動時，其等效的阻抗也發生變化，此時電晶體從輸入端看入的阻抗已不再符合當初設計的數值，進而造成整個輸出頻率變動，此情況又稱負載拉頻效應 (Load Pulling Effect)，可表示為：

$$pulling = \frac{\Delta fc}{\Delta load} \quad (2-44)$$

若欲避免負載拉頻效應，可在電路輸出級與輸出負載間，插入緩衝器 (Buffer)，以改善負載與電晶體之間的隔離度，且增加此緩衝器亦可提升振盪器輸出功率位準。

7. 熱穩定性

振盪器元件會因溫度改變而產生特性變化，這將造成振盪頻率與輸出功率發生變化，甚至停止振盪或寄生振盪，因此考量上以簡化振盪電路的結構及電源電路加

上適當的濾波電路處理來改善，若將主動元件的偏壓電路和被動元件的諧振電路，設計成具有溫度補償效應的功能，便可改善電路特性受到溫度影響的問題[6]。

8. 頻率漂移

振盪器在頻率變動時，需經過一段時間才會達到穩定的頻率輸出，等電路達到穩定後，實際的輸出振盪頻率會與預期的振盪頻率有一些差距，其稱為穩態的調整後漂移(Long-Term Post Tuning Drift, Δf_L)，如圖2.15 所示。通常造成調整後漂移發生的主要原因，乃是變容器熱能損耗的變化所形成的，故藉由選擇熱消散快速的頻率調整元件即可改善此現象的發生。

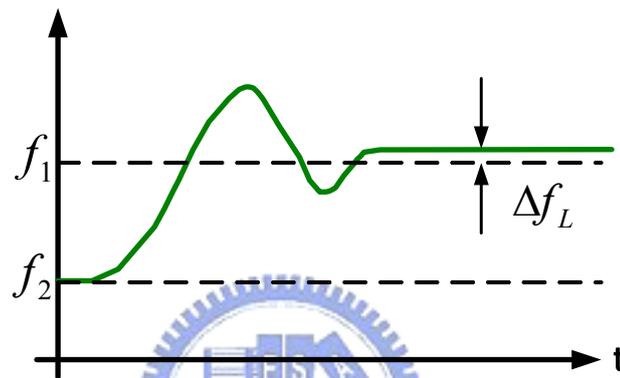


圖2.15 頻率漂移示意圖

9. FOM

振盪器在不同的頻率、功率損耗及相位雜訊下較難比較其特性，因而有其量化的參數FOM (Figure of Merit) 來做比較，其定義為

$$FOM = L(f_m) - 20 \log \left(\frac{f_0}{f_m} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right) \quad (2-45)$$

其中 $L(f_m)$ 為單邊帶頻譜的中心頻率 f_0 偏移頻率 f_m 所得到的相位雜訊， P_{diss} 為功率損耗。由上式可觀察出相位雜訊的影響最大，其次為取對數的中心頻率和偏移頻率之比值，而在式子中並未將頻率調整範圍和輸出的型態納入計算。

§2-4-2 CMOS壓控振盪器架構

目前在CMOS RFIC電路設計振盪器的方法主要有兩種型式：第一種為LC諧振(LC tank)振盪器及另一種為環形振盪器(ring oscillator)。前者利用被動元件組成的諧振腔來產生頻率，有較低的相位雜訊，但其可調頻率範圍較小；後者採主動元件設計，有較寬的可調頻率範圍且可產生多相位的功能，不過有較高的相位雜訊。其設計原理的方式約

略可分為符合巴克豪森準則(Barkhausen criterion)的回授觀點以及應用負電阻的觀點。以下將簡介此兩種振盪器的工作原理[6][9][10][11]。

1. LC 調諧振盪器

此振盪器常使用負電阻(-Rb)的概念來消除 LC 諧振腔的寄生電阻(Ra)，如圖 2.16 所示，而 LC 諧振腔(包含寄生電阻)可由串並聯轉換圖 2.17 等效成圖 2.18 之簡易並聯型式。

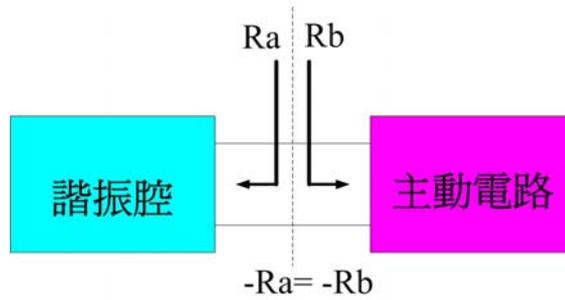


圖 2.16 使用負阻消除 LC 諧振腔的寄生電阻示意圖

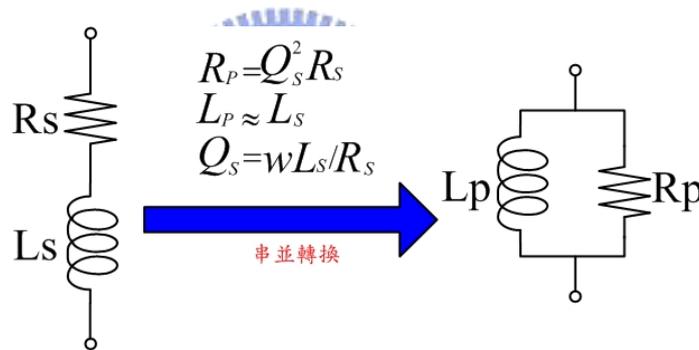


圖 2.17 串並聯轉換

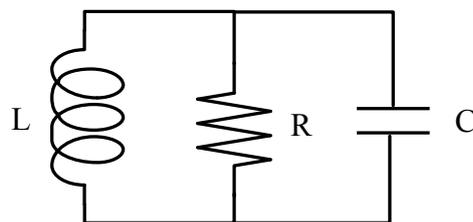


圖 2.18 等效簡易並聯模型

負電阻的產生是利用電晶體交錯耦合對(cross-coupled pair)產生回授，使得輸入阻抗為 $R_{in} = -2/g_m$ ，用以補償諧振腔的損耗，當 $|R_{in}|$ 小於或相等諧振腔的損耗時，就能產生振盪，圖 2.19 即為常使用的 NMOS 交錯耦合對。

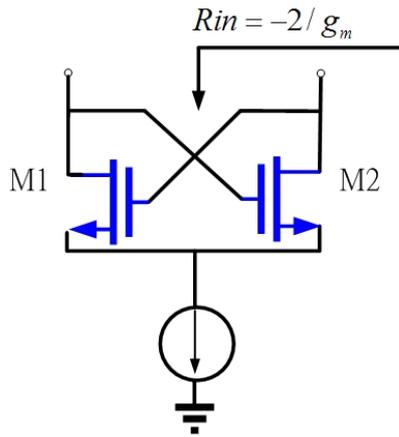


圖 2.19 NMOS 交錯耦合對

圖 2.20 為互補式交錯耦合對(complementary cross-coupled pair)互，上半部二個電晶體，將振盪器與供應電壓隔離降低推頻效應，可使得輸出振盪頻率更對稱，增加負電阻阻抗和輸出電壓有接地電位到操作電壓的擺幅，避免了下半部二個電晶體的汲極接面電容會隨著供應電壓變化的缺點，且具有較大的轉導，使得電晶體較快速的切換，輸出電壓波形的上升時間(rise-time)及下降時間(fall-time)也較對稱，由於輸出波形愈對稱， $\Delta\omega_{1/f^3}$ 愈小，因此有較低的相位雜訊。

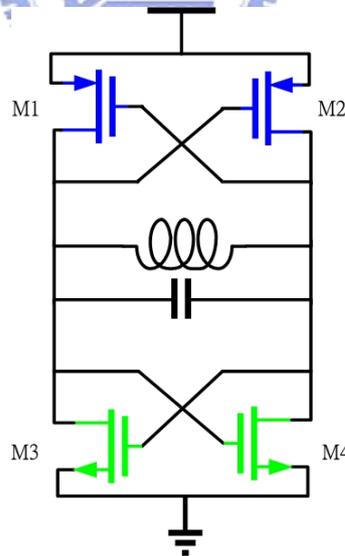


圖 2.20 互補式交錯耦合對

2. 環型振盪器

此振盪器工作原理如圖2.21 所示，利用奇數組反相器串接回授環路造成振盪，振盪週期由總時間延遲來決定。有奇數個反相器串接，振盪頻率為： $f_0 = \frac{1}{2NT_d}$ ，因

此改變單級延遲時間 T_d 即可改變振盪頻率，進而達成電壓控制振盪頻率的功能。環型振盪器不需要被動元件電感，因而可節省晶片面積並有較寬的調整範圍，且容易與鎖相迴路(PLL)電路整合。其缺點在於主動元件使用量較多，因此相位雜訊較大。另外，若使用 N 為偶數階的差動電路架構，可藉由在最後一級配置一個差動組態交叉反接來反轉使用偶數組態，如圖2.22 所示，當電路動作時其四極環路為符合巴克毫森準則，每個輸出端會形成正交的波形輸出。

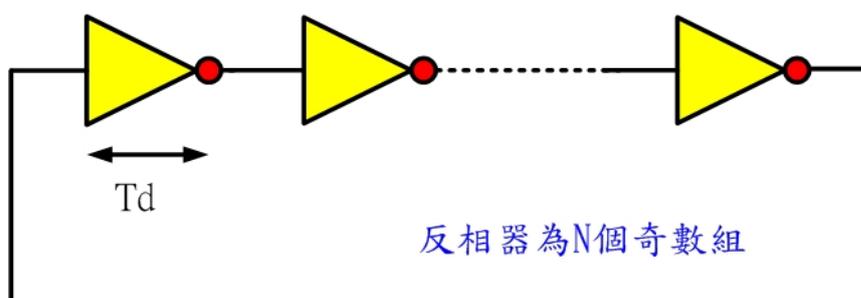


圖2.21 單端式環型振盪器示意圖

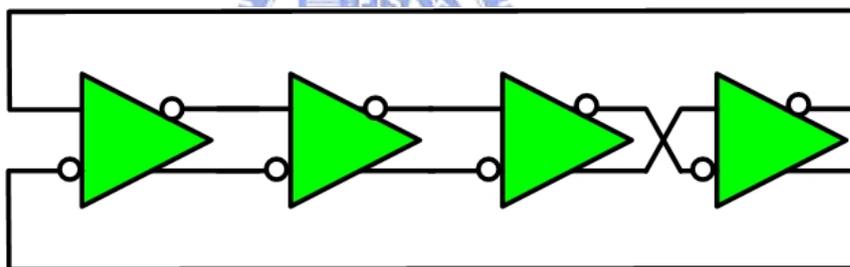


圖2.22 四級差動式環型振盪器示意圖

§2-5 正交輸出的方法

在現今數位通信應用中，傳輸接收信號在振幅及相位均含有調變訊息，因此需要配合正交輸出的本地振盪信號來調制發射或分解接收含有 I 與 Q 訊息的信號，另外在鏡像拒斥混波器的本地振盪器也需要有正交輸出的能力，因此設計有正交輸出的壓控振盪器，以應用在現代數位通信射頻晶體中是迫切需要的。在射頻積體電路中，常用來產生四相位訊號的方法有四種：一是數位除頻器，二是 $RC-CR$ 或多相位濾波器，三是雙交叉耦合 LC 振盪器，四是使用四級環型振盪器，其中第四種在上述已有初步的討論，底下將介紹前三種產生正交的方法[6][11]。

1. 數位除頻器

第一種方式為把壓控振盪器(voltage-controlled oscillator) 加上除頻器(divider)來產生四相位訊號。但利用此種方式來產生四相位訊號，要先將壓控振盪器操作在兩倍頻的振盪頻率才能在所需要的頻率產生四相位的訊號。而此種架構的缺點為，要讓振盪器操作在兩倍頻其困難度較高設計比較困難。另外，外加了一個除頻器也增加了功率的消耗。

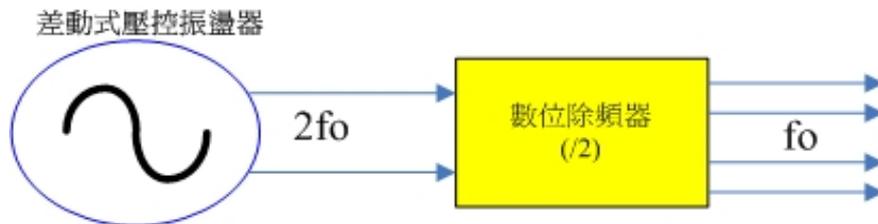


圖 2.23 數位除頻器方法

2. RC-CR 或多相位濾波器

第二種方式為將差動型式之壓控振盪器外加一個多相位濾波器(poly-phase filter)來產生四相位訊號，通常為使用電阻電容迴路式多相位濾波器(RC-network poly-phase filter)，如圖2.24所示。此種架構的缺點為，使用的頻寬較窄且此種振盪器之四相位輸出的準確度幾乎是依賴晶片內元件之間的匹配。若要改善此一缺點，則電阻電容迴路式濾波器就必需要串疊(cascade)多級，進而增加了許多無謂的功率消耗。因此，又需增加放大器(amplifier)或緩衝器(buffer)來做補償。

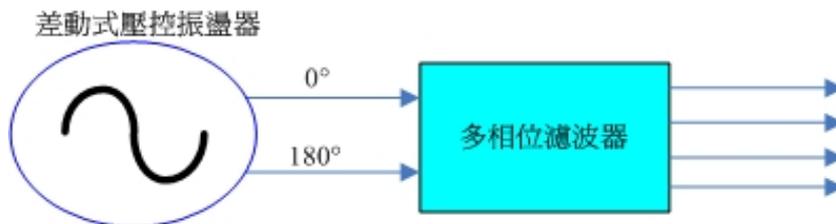


圖 2.24 多相位濾波器方法

3. 雙交叉耦合 LC 振盪器

第三種是利用兩組壓控振盪器加上四個相位移電路彼此交叉耦合來實現，此種架構的缺點為其四相位輸出訊號之相位誤差(phase error)與相位雜訊(phase noise)，彼此互有關聯，可用 α 來表示。而 α 可以定義為 $\alpha = W_{cpvl} / W_{dif}$ ，其中 W_{cpvl} 代表作耦合之電晶體的通道寬度而 W_{dif} 為振盪器核心電路之電晶體的通道寬度。當 α 值降低時，其相位誤差會很迅速的增加，同時卻可以發現相位雜訊隨著 α 值降低而下降。反之，當 α 值增加時，其相位誤差迅速的減少，同時相位雜訊卻隨著 α 值增加而上升。

因此在此種架構的電路設計上，對於核心電路之電晶體及作耦合之電晶體，其大小的選取必需作取捨，同樣的也會增加功率消耗，此為設計上的一大缺點。

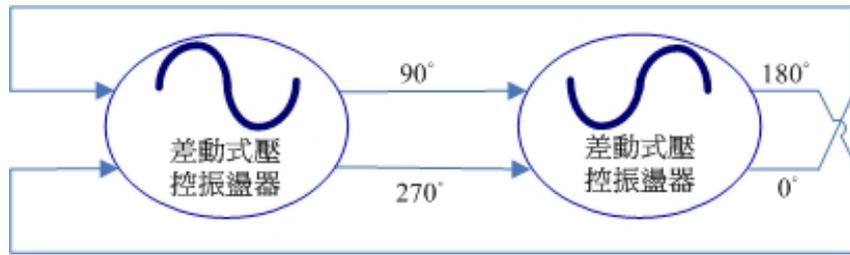


圖 2.25 雙交叉耦合方法

§2-6 低電壓低相位雜訊壓控振盪器設計方法

§2-6-1 低功率壓控振盪器考量

在一個 LC 諧振電路中，包含電感，電容等儲存能量元件和造成損耗的寄生電阻，如圖 2.26 所示，其諧振頻率約為 $\omega_n \approx 1/\sqrt{LC}$ ，但因電路中有電阻損耗，無法形成振盪，故需提供一個負電導 G_m 來補償損失，以滿足振盪要求，如圖 2.27 所示，

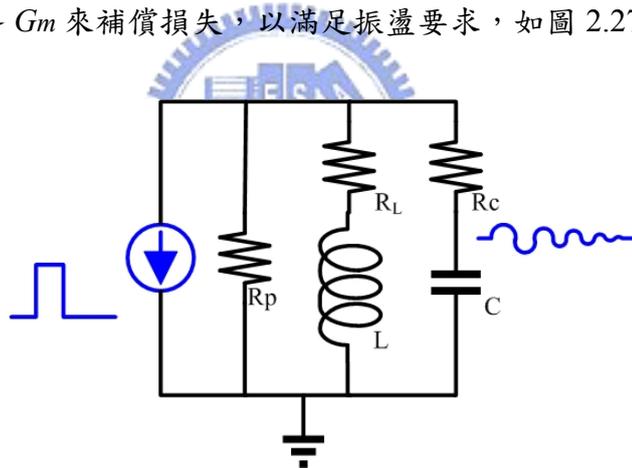


圖 2.26 低損耗的 LC 被動電路

而諧振電路中的損耗可由下式表示[12]：

$$Y(j\omega) = \frac{1}{j\omega L} + j\omega C_p + \frac{1}{R_p T + 1} - G_m \quad (2-46)$$

其中 R_p 為所有電阻的並聯，在 CMOS 的製程中，通常電容的品質因素較高，在串轉並的過程中視為原始串聯的電容，如下式所表示：

$$C_p = C \frac{Q_c^2}{Q_c^2 + 1} \approx C \quad (2-47)$$

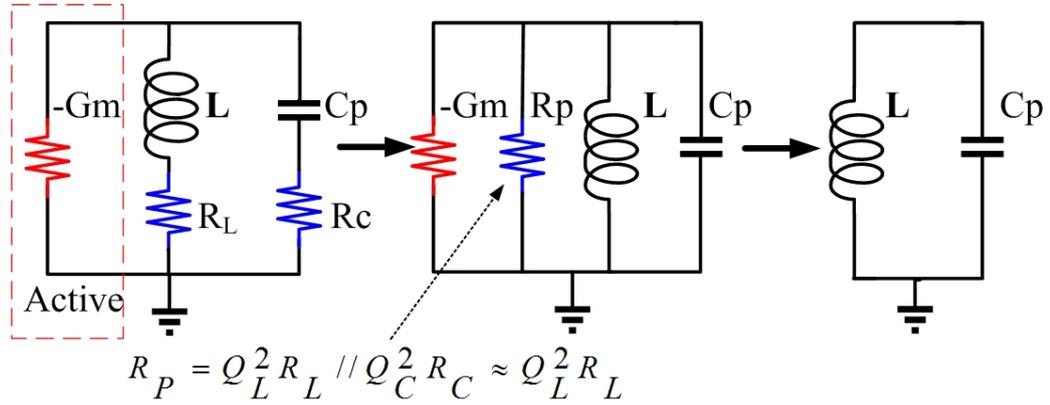


圖 2.27 包含負電導的低損耗的 LC 被動電路

因此在整個諧振電路中，主要損耗是由電感來決定。當可產生諧振頻率時，實部及虛部的值為零，而諧振頻率可由此來決定：

$$\text{imag}[Y(j\omega)] = 0 \quad (2-48)$$

$$\omega_0 \approx \frac{1}{\sqrt{LC_p}} \quad (2-49)$$

為了確保振盪能夠產生，負電導 G_m 需遵守下列原則：

$$\text{real}[Y(j\omega)] \leq 0 \quad (2-50)$$

$$G_m \geq \frac{1}{R_{pT}} = \frac{1}{R_L(1+Q_L^2)} \quad (2-51)$$

而電感的品質因素定義為：

$$Q_L = \frac{\omega L}{R_L} \quad (2-52)$$

在交錯耦合低損耗的電路中，如圖 2.28 所示，由 M1 及 M2 所組成的差動交錯對，單端的阻抗需為 $-G_m$ ，而在電路中提供所需要的負電導如下式表示：

$$-G_m = -g_m \quad (2-53)$$

其中 $-g_m$ 為電晶體的電導。

將低損耗的 LC 諧振電路一併考慮，所需要的電導如下式表示：

$$g_m \geq \frac{1}{R_{pT}} = \frac{1}{R_L(1+Q_L^2)} \approx \frac{1}{(\omega_0 L)Q_L} = \frac{\omega_0 C}{Q_L} \quad (2-54)$$

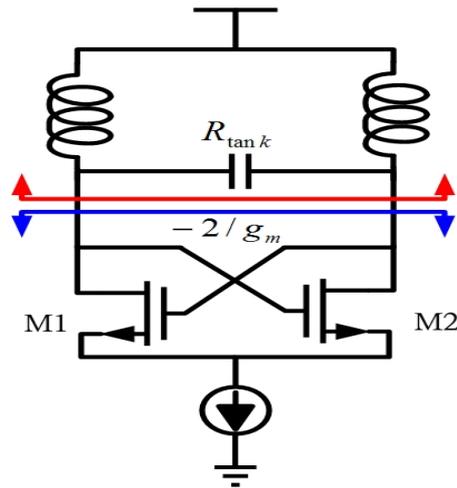


圖 2.28 交錯耦合的晶體形成的壓控振盪器

通常在設計上所需要的電導會比預估多兩倍，以確保振盪能夠穩定發生。而在針對壓控振盪器的功率消耗可以用下式表示：

$$\begin{aligned} power &= (I_{M1} + I_{M2})V_{DD} \\ &= 2I_{M1}V_{DD} \end{aligned} \quad (2-55)$$

和

$$I_{M1} = \mu C_{OX} \frac{W}{2L} (V_{GS} - V_T)^2 = \frac{gm^2}{2\mu C_{OX} \frac{W}{L}} \quad (2-56)$$

其中 C_{ox} 為單位面積的二氧化矽電容， V_T 為電晶體的轉換電壓，將上兩式整理可得到：

$$Power = \frac{V_{DD}}{\mu C_{OX}} \frac{1}{R_{pT}^2} = \frac{V_{DD}}{\mu C_{OX}} \frac{C}{\frac{W}{L} L Q_L^2} \quad (2-57)$$

由上式可看出在高的電感品質因素以及較大的電感對電容的比值下能夠得到較小的功率消耗。

另外從能量轉移定律來看，簡化的LC諧振腔如圖2.29所示，當諧振頻率產生時，儲存在電感的最大能量必須等於儲存在電容的最大能量，如下式[7]：

$$\frac{CV_{peak}^2}{2} = \frac{LI_{peak}^2}{2} \quad (2-58)$$

其中 V_{peak} 為橫跨電容上的弦波最大的峰值振幅電壓， I_{peak} 為流經電感上的弦波最大的峰值振幅電流，此電流沿著電阻 R_L 流過，造成LC諧振腔的損耗計算如下式：

$$P_{loss} = \frac{R_s I_{peak}^2}{2} = \frac{R_s}{2} \frac{C V_{peak}^2}{L} = \frac{R_s}{2} C \omega_c^2 V_{peak}^2 = \frac{R_s}{2L^2 \omega_c^2} V_{peak}^2 \quad (2-59)$$

上式的損耗必須由壓控振盪器的主動部份來補償以維持振盪，故 P_{loss} 為LC壓控振盪器中最基本的功率消耗。經由以上的討論，對低功率的LC壓控振盪器設計：

1. 電感中降低線圈內的串連阻抗，即可使功率損耗成線性的變化下降。
2. 增加電感感值亦能使功率損耗成二次方降低。

在積體電路設計的電感中，串連電阻被表層金屬的厚度和及集膚效應 (skin effects) 所限制，而傳統電感在需求較高的電感值設計時，需要佔據較大的晶體面積，較多的線圈數設計，也會降低自振頻率進而減少壓控振盪器調整範圍和製程量率。總結低功率壓控振盪器的設計考量如表2.1，其中 ω_c 為固定值。

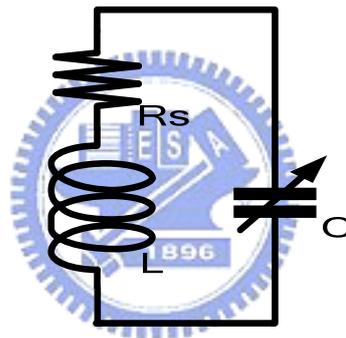


圖2.29 基本的LC諧振腔

表2.1 低功率振盪器設計考量

	低功率設計考慮	消耗功率的增益	積體電路設計限制
電感	最大值	二次方	晶體面積，調整範圍，量率
電容	最小值	二次方	調整範圍，量率
電阻	最小值	線性	表層金屬傳導能力
輸出振幅	最小值	二次方	相位雜訊，電路驅動需求

其中電感電容互為反比

§2-6-2 低相位雜訊壓控振盪器考量

在目前許多討論相位雜訊的研究下，產生許多降低相位雜訊的結論，例如：Leeson's 經驗式[4]提出需要把 Q_{tank} 和 V_o 最大化，Craninkx's [13]和Rael's[14]等人的研究認為需將 R_s/V_o^2 最小化，另外有諧振品質因素最大化，即為最大化 L/R_s 等討論[7]，總結低相位雜訊的壓控振盪器設計考量如表2.2。

表2.2 低相位雜訊振盪器設計考量

	低功率設計考慮	積體電路設計限制
電感	最大值	晶體面積，調整範圍
電容	最小值	調整範圍
電阻	最小值	表層金屬傳導能力
輸出振幅	最大值	功率消耗，可靠度

§2-6-3 低功率低相位雜訊壓控振盪器考量

由功率轉移定律，得到在諧振腔最小功率損耗與相位雜訊需求的考量，皆集中在諧振腔損耗的降低，在需求低功率消耗與低相位雜訊相的設計上，其設計的對策如表2.3。而降低 R_s 在元件與電路間的損耗，可作為諧振腔設計的依據[7]。

表2.3 低功率低相位雜訊振盪器設計對策

	低功率設計考慮	低相位雜訊
L_s/R_s	最大值	最大值
L_s/C	最大值	最大值
輸出振幅	最小值	最大值

§2-6-4 低電壓CMOS壓控振盪器架構

1. 主動埠的架構

LC諧振壓控振盪器是利用LC諧振埠決定振盪頻率及使用主動放大電路補償諧振埠寄生電阻所造成之損耗。其主動埠的架構可分為三種，分別為互補式交錯耦合對(Complementary cross-coupled pair)、PMOS 交錯耦合對(PMOS cross-coupled pair)與NMOS 交錯耦合對(NMOS cross-coupled pair)如圖2.30所示。而與NMOS 交錯耦合

對的比較上[15]:

- (1) PMOS 交錯耦合對的架構在低頻段可提供一個輸入負阻抗，但在高頻段時，其電路行為會偏向於形成電源凹陷負載(power sinking load)造成輸出衰減。
- (2) PMOS 交錯耦合對設計在與NMOS 交錯耦合對相同的輸出頻率時，會有較低的互導(transconductance)造成較多雜散電容的引入，降低變容器的容值，限制調頻範圍。
- (3) PMOS 交錯耦合對其輸出有電壓頭部空間 (larger head room) 的限制，造成輸出訊號振幅的降低。
- (4) 互補式交錯耦合對有兩組偏壓損耗，無法適用於低電壓模式。

而基於上述理由，本研究採用主動埠架構為NMOS交錯耦合對的LC 調諧壓控振盪器作為低電壓之壓控振盪器設計。

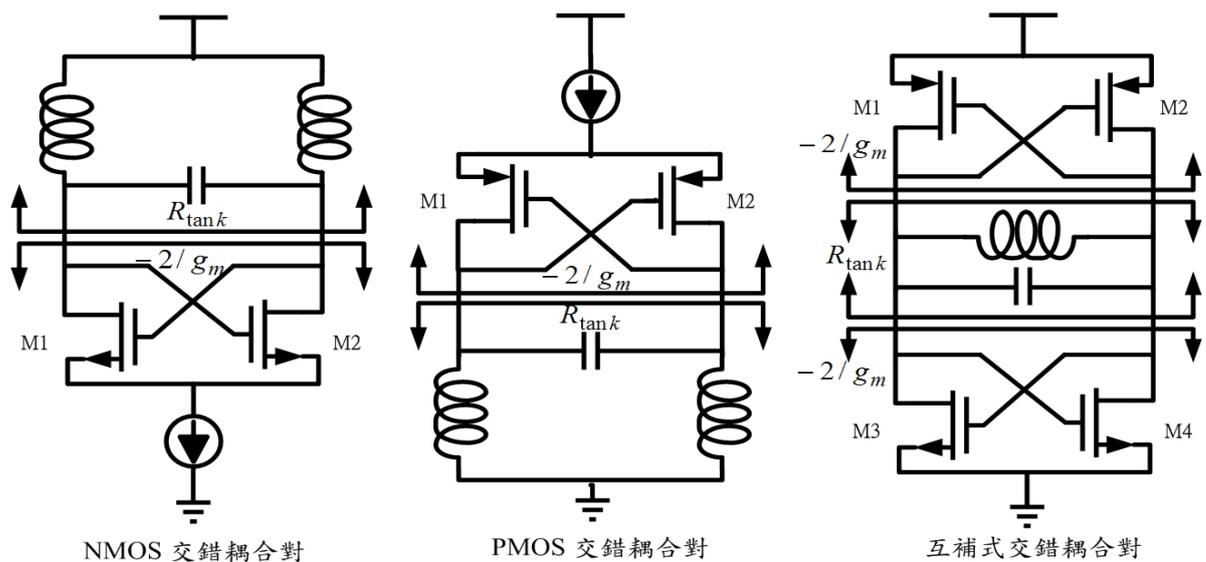


圖2.30 LC 調諧壓控振盪器主動埠種類

2. LC 諧振埠

- (1) 電感採用對稱式的結構增加品質因素[16]

在諧振電路的考量上，電感採用對稱式的結構，與傳統螺旋式在相同的感值下，能夠有較佳的品質因數，使用面積也較為節省，設計上先決定在寬度及感值表現上有最佳表現的品質因數。

- (2) 採用累加型可變電容(accumulation-mode varactor) [17]

變電容使用累加型可變電容(accumulation mode varactor)，因其只在累增模

式工作的變容器，沒有電洞注入MOS 通道中，因此有較高品質因素和較寬可調範圍。

3. 交聯電容

為了增加相位雜訊的特性，又不想以增加功率損耗來提升訊號振幅改善，故針對提升 LC 諧振的品質因數來改善，其中 LC 諧振的品質因數，定義為[6][18]：

$$Q = \frac{1}{G_{total}} \sqrt{\frac{C}{L}} \quad (2-60)$$

式中 G_{total} 為整個LC諧振的等效電導，且 G_{total} 受低品質因素電感器的等效電導 G_p 所主宰，因此如果能增加額外的負電導 G_N ，這時整體的等效電導則為如下式：

$$G_{total} = G_p - G_N \quad (2-61)$$

由以上式子(2-60)、(2-61)可知藉由額外的負電導 G_N 去降低電感器的等效電導 G_p ，勢必能提升整個LC諧振的品質因數，這樣將會改善能量在電感與電容間的轉換效率，當轉換效率提升後，LC諧振的儲存能量的能力變強，如此電流損耗會變小而且也能獲得較好的相位雜訊表現。圖2.31為加入負電導後，整個 LC諧振腔 的示意圖。如圖2.32為一種外加 C_N 負電導組態的型態，在電晶體 M_N 的汲極與源極之間，外加電容 C_N 。

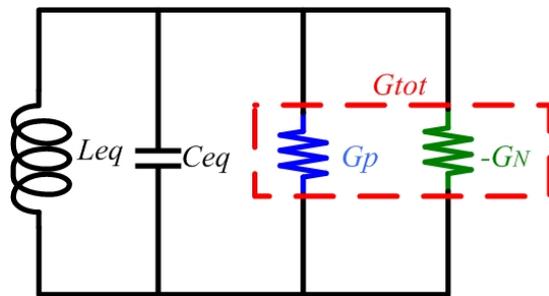


圖2.31 加入負電導 G_N 後 LC諧振腔的示意圖

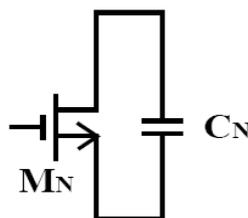


圖2.32 外加 C_N 負電導組態的型態

假設： $\omega \ll g_m / C_{gs} + C_N$ ，其中 C_{gs} 為 M_N 的閘極到源極的內部電容， g_m 則為 M_N 的轉導，則其負電導 G_N 為：

$$G_N = \frac{\omega^2 C_{gs} (C_N + C_{gd})}{g_m} \quad (2-62)$$

藉由 C_N 所產生的負電導 g_m ，加入額外的負電導 G_N ，提升 LC-諧振腔的品質因素，進而獲得較好的相位雜訊表現。如果不加入額外電容 (C_{N1} 、 C_{N2})，而只使用電晶體內部的汲極到源極的電容 (C_{gs})，在此電路中 C_{gs} 約為 pF 等級，由於其電容值太小，所提供的負電導有限，無法有效的降低 LC-諧振腔 的等效電導，因而限制了品質因素的提升，所以藉由加入較大的額外電容去彌補電晶體內部電容的不足，即可有效的提升 LC 諧振的品質因素。

4. 輸出緩衝放大器

採用 NMOS 設計的共源放大器結構作為振盪器的輸出緩衝級如圖 2.33，衝級輸入端的雜散電容也會影響到振盪頻率，因而在緩衝級的設計上，其線性度要高，避免因非線性造成輸出波形的失真或降低相位雜訊，而影響到輸出頻譜的純度，並考慮壓控振盪器的輸出阻抗匹配至 50Ω ，以簡化低電壓之壓控振盪器量測的問題。架構如圖 2.34 所示，由於此電路所使用的緩衝輸出級必須在外並聯大電容，使其下圖 A 點處對小訊號而言為接地，若沒有在 A 點並聯大電容，將使得看到的輸出阻抗為 $j\omega L + 1/g_m$ 而非寬頻帶的 $1/g_m$ ，且此段的鏽線效應亦將會影響到輸出匹配。此一大電容亦可包含在晶片內，但由於所需的電容值較大，可選擇將其外接[19]。

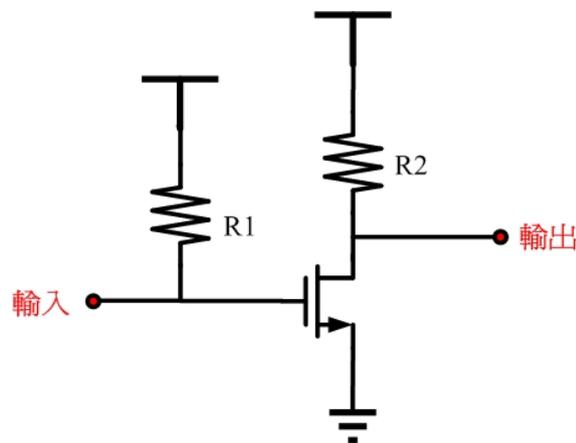


圖 2.33 緩衝放大器

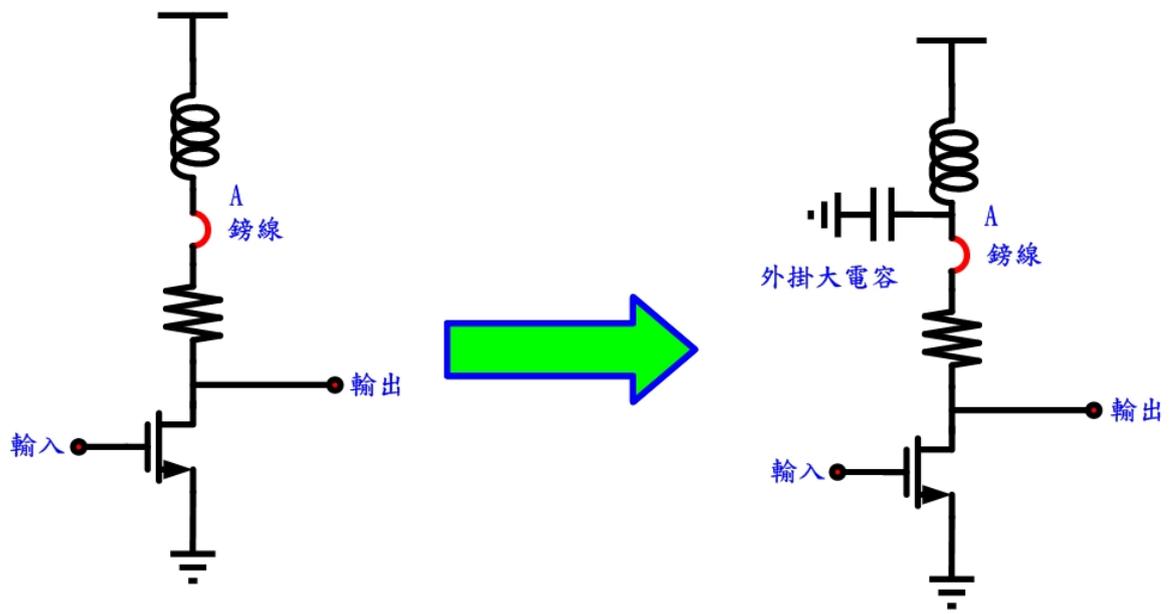


圖 2.34 完整的緩衝放大器考量設計圖



第三章

低電壓壓控振盪器

壓控振盪器設計上採取低電壓為未來應用趨勢，應用在低電壓的設計為此次研究的方向，本章介紹利用TSMC 0.18 μm 製程設計低電壓壓控振盪器，當射頻電路設計在低電壓操作時，會因限制驅動電壓和減少信號振幅導致影響操作頻率及SNR下降，且在低電壓壓控振盪器的設計中會使得頻率調整範圍變小，相位雜訊降低，需藉由電流和消耗功率的取舍上來考量改善上述缺點。

§3-1 應用於超寬頻 0.6V 低電壓壓控振盪器

為應用於超寬頻可攜式無線傳輸系統中，我們以低電壓為方向來研究相關低功率消耗的射頻積體電路元件，利用 NMOS-交錯耦合對加上交聯電容架構設計，藉由在主動埠並聯電容改善品質因數，來設計在降低電壓到 0.6V 電壓供應，並同時考量維持良好的相位雜訊 (phase noise)。

§3-1-1 設計方法

根據上一章對於低功率低相位雜訊壓控振盪器架構的探討，本節以 NMOS 交錯耦合 LC 振盪器方法設計一低電壓且具低相位雜訊的壓控振盪器，其電路設計的考量想法如下：

1. 對諧振腔部分，以 L_s/C_s 為最大值的設計考量

因此在符合輸出頻率調整範圍要求下，盡量增大 L_s/C_s 的比率。

2. 選擇高品質因素(Q 值)的電感

由於(2-12)式的 Lesson's 經驗方程式[4]得知，電感器高品質因素好壞直接影響振盪器的相位雜訊，故知選擇一高品質因素的電感應用於壓控振盪器電路中則相位雜訊將會降低，TSMC 0.18 μm RF CMOS 製程所提供的電感模型有對稱型及標準型兩種，而對稱式電感有較佳的高品質因素，所以設計振盪器時建議使用對稱式電感。

3. 降低電感的串連等效電阻值採取 L_s/R_s 設計為最大值

電感在選取時，配合需求的感值及品質因數來採取線寬合適的設計，藉以降低串連等效電阻值 R_s 。

4. 主動埠加上交聯電容

利用加入較大的額外電容在電晶體的汲極到源極的電容來提升整體電路的品質因素，假設 $\omega \gg gm/(C_{gs} + C_N)$ ， C_{gs} 為 M_N 的閘極到源極的內部電容， g_m 則為 M_N 的轉導，藉由 C_N 所產生的負電導 G_N ，讓整體諧振腔的負電導 G_{tot} 變小，提供的負電導來做降低 LC-諧振腔的等效電導，使電感的高品質因素變大，即可有效的提升 LC-諧振腔的品質因素。

5. 電晶體架構的選擇

低電壓操作時，因偏壓受限，基於2-6-3的討論，採用主動埠架構為NMOS交錯耦合對的LC-諧振腔壓控振盪器作為低電壓之壓控振盪器的設計。

6. 避免使用定電流源

去除電流源的使用亦可去掉電流源 $1/f$ noise 造成相位雜訊的惡化，原因在於若主動埠的交錯耦合對的不對稱或是波形不夠奇對稱，交錯耦合對的源極共點有二次諧波的訊號，使電流源的 $1/f$ noise 經由電晶體的通道長度調變效應升頻至中心頻率在二次諧波的地方。這時中心頻率在二次諧波的雜訊會進入壓控振盪器並和中心頻率做混頻的動作，將 $1/f$ noise 載至中心頻率附近造成相位雜訊的惡化。

7. 增加輸出功率

通常在諧振腔的功率增加時，會使得雜訊能量下降，進而使得相位雜訊改善，在諧振腔的能量，是以 $\frac{1}{2}CV^2$ 來儲存，其中 V 為正弦載波信號的振幅， C 為諧振腔的電容值總和，為了維持 Ls/Cs 為最大值的的考量，則使得 C 設計的變小，儲存在諧振腔的能量就會降低，因此儲存在諧振腔能量的提升，需藉由 V 來增加的，亦即增加輸出振幅 V_O 使輸出功率變大，相位雜訊相對就會降低。

綜合以上的設計方法，如圖3.1所示為應用於超寬頻系統架構中其操作頻率設計在 7920 MHz的0.6V低電壓之壓控振盪器的基本架構。壓控振盪器是採用NMOS-交錯耦合對加上交聯電容架構的設計方式，用負阻抗的觀點來設計製作電路，而為配合0.6V低電壓操作，在M1及M2的閘極考量上，需要將閘極面積選取較大的面積，但又需要與能夠維持一定的相位雜訊 (phase noise)，大面積的閘極會造成雜訊升高及消耗電流增加，因此我們在源極和汲極加上電容來增加看入的負電導來抵銷電感所造成的損耗，並藉此提

升電路的品質因素，配合選取電容C10及C9使得M1及M2的品質因素能夠提升，原則是將電容量選取較大，會使看入的負電導增加，但也會造成諧振電路（resonator）的頻率偏移，並增加整體的設計取捨考量。

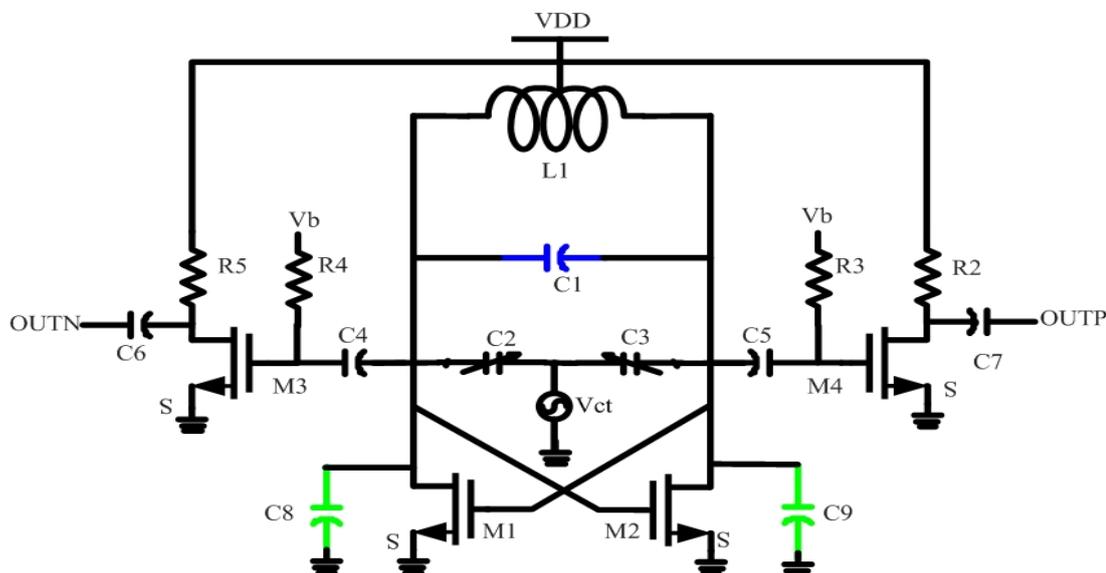


圖3.1 0.6V低電壓7.92GHz 壓控振盪器

在考量應用於超寬頻系統架構中，頻寬要求並不嚴謹，所以我們在變容二極體（varactor）上並聯另一組電容，在差動輸出架構下，中端視為短路，因而並聯後與上述的電容效果一樣，可以增加電路的品質因素，進而增加相位雜訊。

由於量測上的因素，壓控振盪器的輸出端必須加上輸出緩衝級，緩衝級輸入端的雜散電容也會影響到振盪頻率，在緩衝級的設計上，其線性度要高，避免因非線性造成輸出波形的失真或降低相位雜訊，而影響到輸出頻譜的純度，本電路選擇共源放大器結構作為振盪器的輸出緩衝級。在此電路中所使用緩衝輸出級，能將壓控振盪器的輸出阻抗輕易地匹配至 50Ω 且為寬頻帶的匹配，此相對的簡化了壓控振盪器量測的問題。

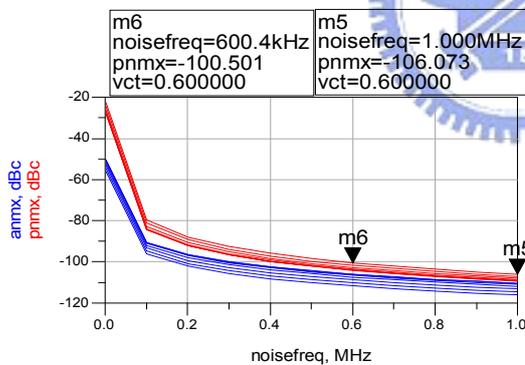
§3-1-2 模擬及量測結果

圖 3.2，圖 3.3 與圖 3.4 各為 VDD 等於 0.6V，0.62V 及 0.65V 利用 ADS 模擬軟體模擬 7.92GHz 信號輸出結果，在模擬時有考慮 layout 寄生效應、Pad 產生的效應。模擬的結果如下：在 0.6V 工作電壓下相位雜訊在 600KHz 的偏移下為 -100dBc/Hz ，1MHz 偏移下為 -104dBc/Hz ，FOM 為 188 dB，輸出功率為 -8.7dBm ，頻率調整範圍為於 252MHz；而實際量測以鏢線(Bond-wire)到 Rogers 基板上進行量測，並經由 E4445A 及 8564E 頻譜分析儀量測電路的輸出功率、相位雜訊與頻率調整範圍特性，考量接線的損耗約 2dB 的

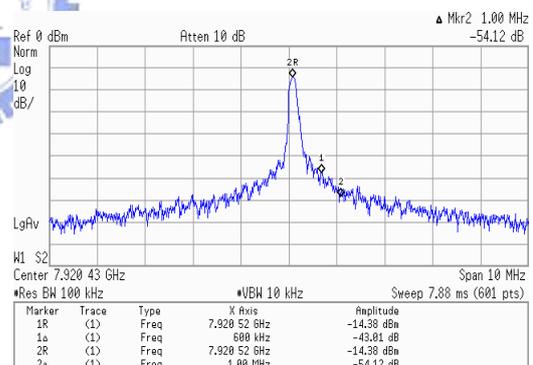
結果如下：在 0.6V 工作電壓下相位雜訊在 600KHz 的偏移下為-93dBc/Hz，1MHz 偏移下為-104dBc/Hz，FOM 為 185 dB，輸出功率為-12dBm，頻率調整範圍為於 325MHz。

由於 0.6V 工作電壓下量測的輸出功率偏低，故針對不同工作電壓做比較，逐對工作偏壓採用 0.62V 及 0.65V 的工作電壓進行模擬和量測 7.92GHz 的信號輸出，模擬的結果如下：在 0.62V 工作電壓下相位雜訊在 600KHz 的偏移下為-105dBc/Hz，1MHz 偏移下為-110dBc/Hz，FOM 為 190 dB，輸出功率為-7.7dBm，頻率調整範圍為 246MHz；在 0.65V 工作電壓下相位雜訊在 600KHz 的偏移下為-106dBc/Hz，1MHz 偏移下為-111dBc/Hz，FOM 為 190 dB，輸出功率為-6.9dBm，頻率調整範圍為 244MHz。

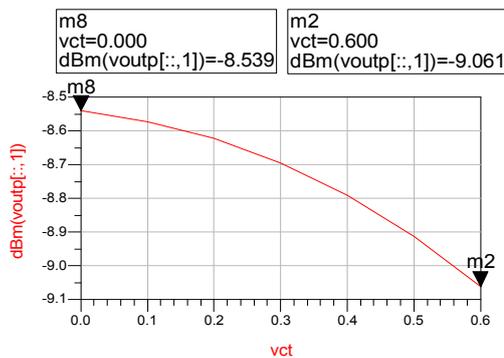
而對工作偏壓採用 0.62V 及 0.65V 的實際量測如下：在 0.62V 工作電壓下相位雜訊在 600KHz 的偏移下為-98dBc/Hz，1MHz 偏移下為-107dBc/Hz，FOM 為 186 dB，輸出功率為-10dBm，頻率調整範圍為 303MHz；在 0.65V 工作電壓下相位雜訊在 600KHz 的偏移下為-102dBc/Hz，1MHz 偏移下為-109dBc/Hz，FOM 為 187 dB，輸出功率為-8dBm，頻率調整範圍為 295MHz。圖 3.5 為諧波量測結果與二次諧波相差約 21dB，而圖 3.6 為應用於超寬頻 0.6V 低電壓之壓控振盪器佈局圖及實際電路，圖 3.7 為測試板佈局圖及實際電路。



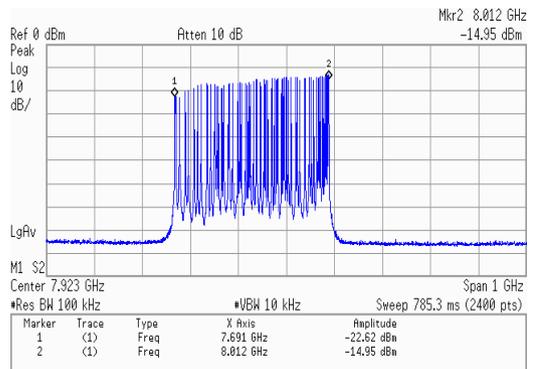
(a) 0.6V 相位雜訊模擬結果



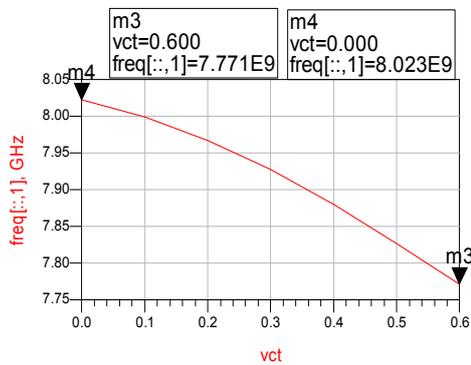
(b) 0.6V 相位雜訊量測結果



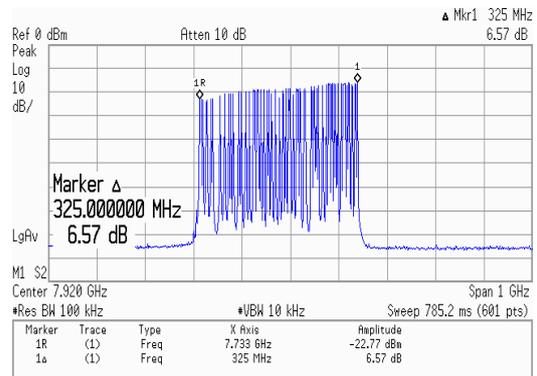
(c) 0.6V 輸出功率模擬結果



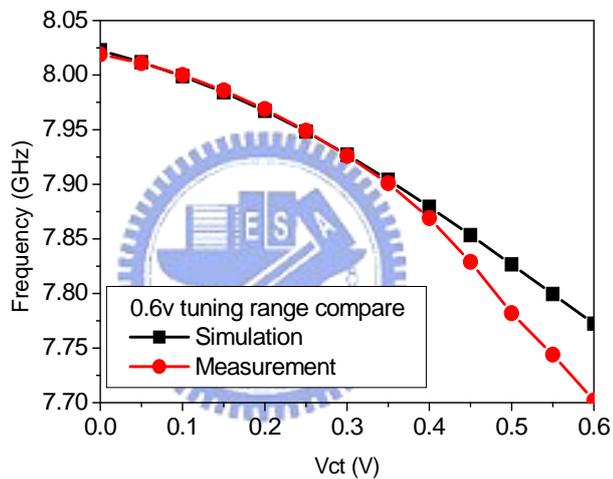
(d) 0.6V 輸出功率量測結果



(e) 0.6V 頻率調整範圍模擬結果

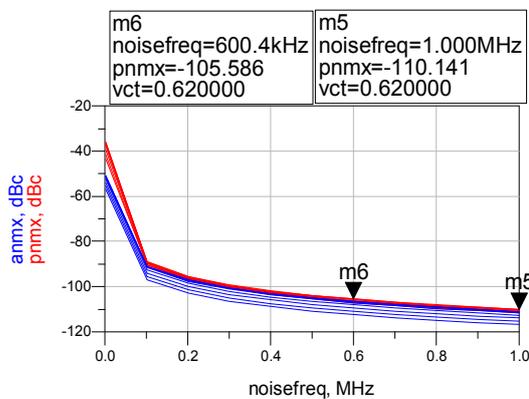


(f) 0.6V 頻率調整範圍量測結果

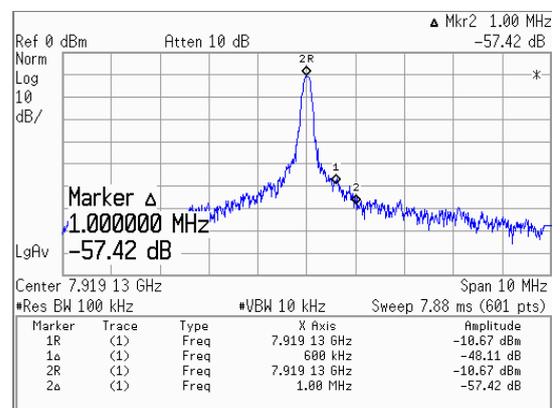


(g) 0.6V 頻率調整範圍模擬與量測結果比較

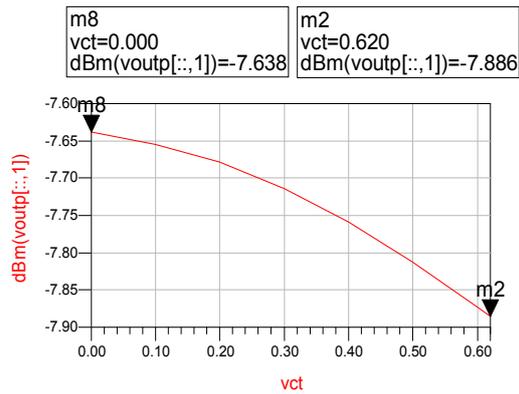
圖 3.2 0.6V 電路模擬及量測結果



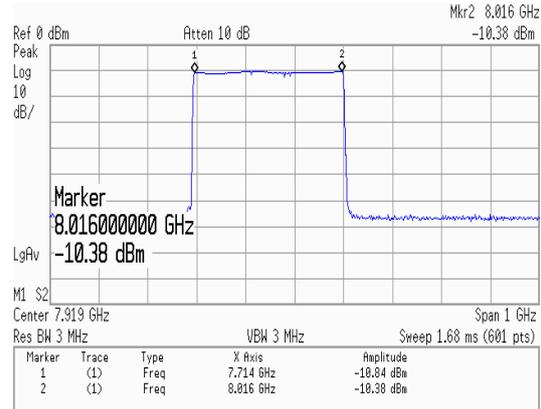
(a) 0.62V 相位雜訊模擬結果



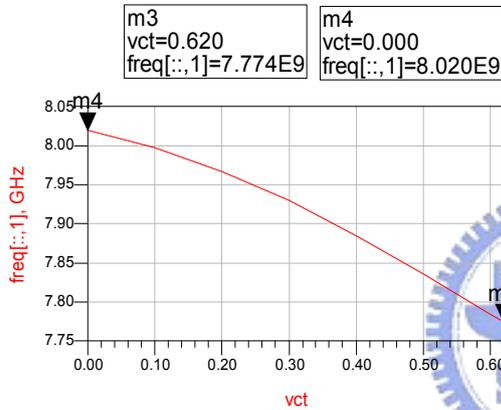
(b) 0.62V 相位雜訊量測結果



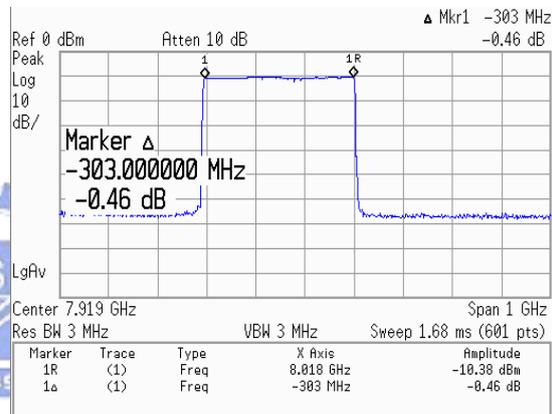
(c) 0.62V 輸出功率模擬結果



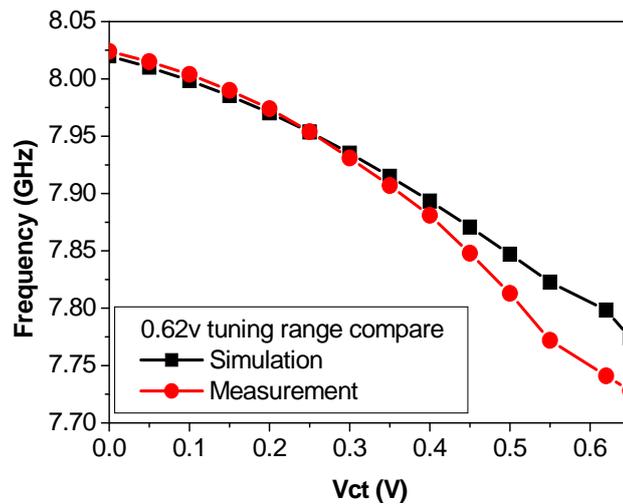
(d) 0.62V 輸出功率量測結果



(e) 0.62V 頻率調整範圍模擬結果

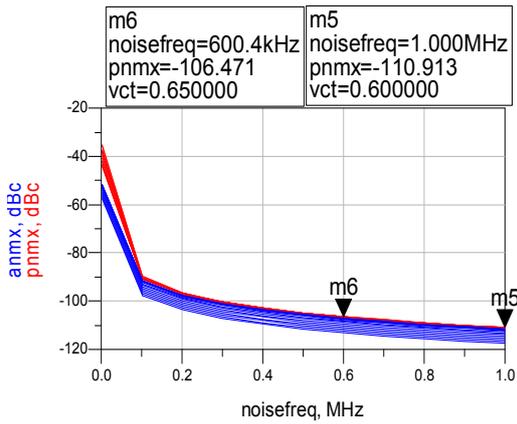


(f) 0.62V 頻率調整範圍量測結果

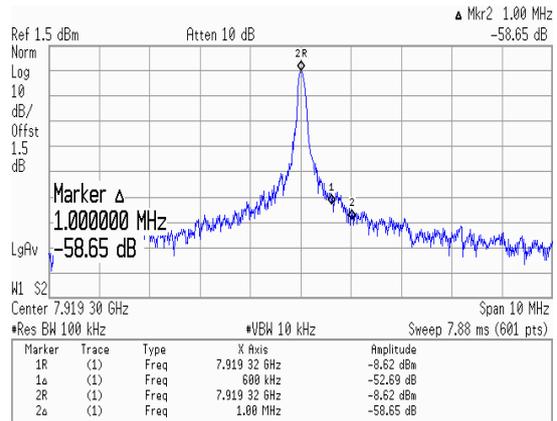


(g) 0.62V 頻率調整範圍模擬與量測結果比較

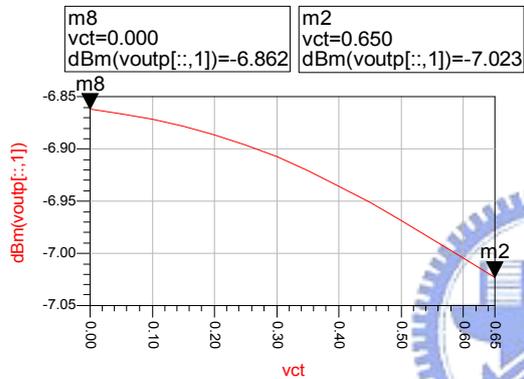
圖 3.3 0.62V 電路模擬及量測結果



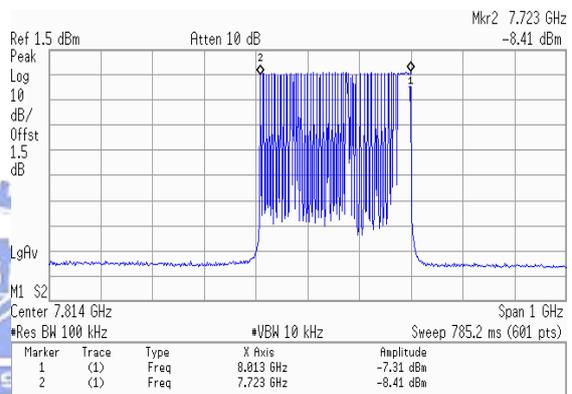
(a) 0.65V 相位雜訊模擬結果



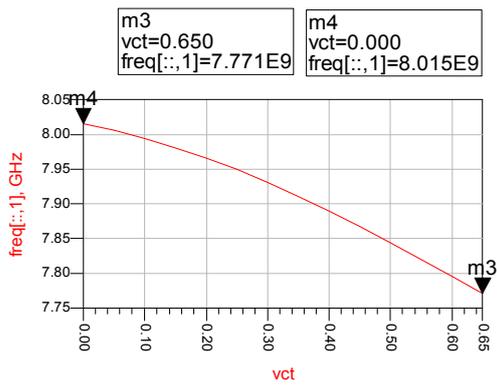
(b) 0.65V 相位雜訊量測結果



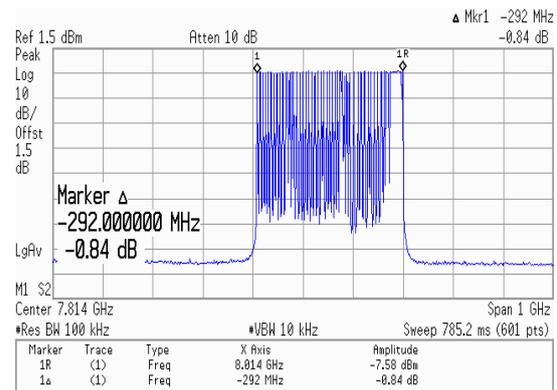
(c) 0.65V 輸出功率模擬結果



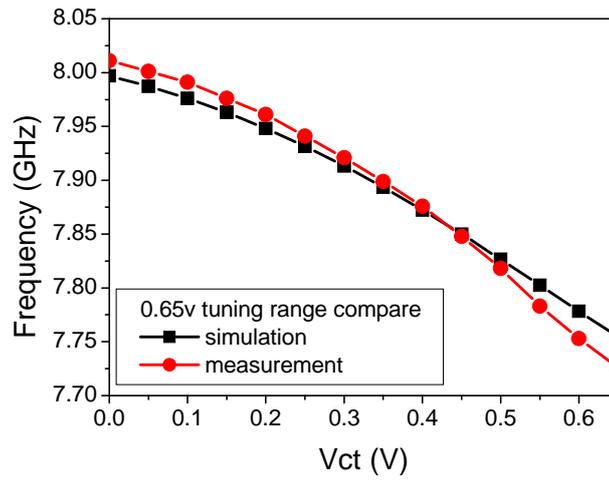
(d) 0.65V 輸出功率量測結果



(e) 0.65V 頻率調整範圍模擬結果



(f) 0.65V 頻率調整範圍量測結果



(g) 0.65V 頻率調整範圍模擬與量測結果比較

圖 3.4 0.65V 電路模擬結果

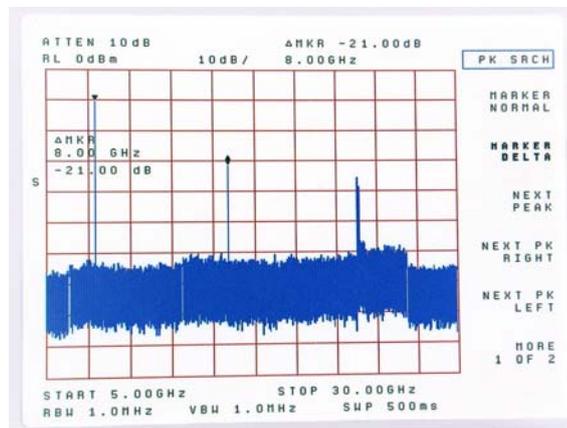


圖 3.5 諧波信號量測結果

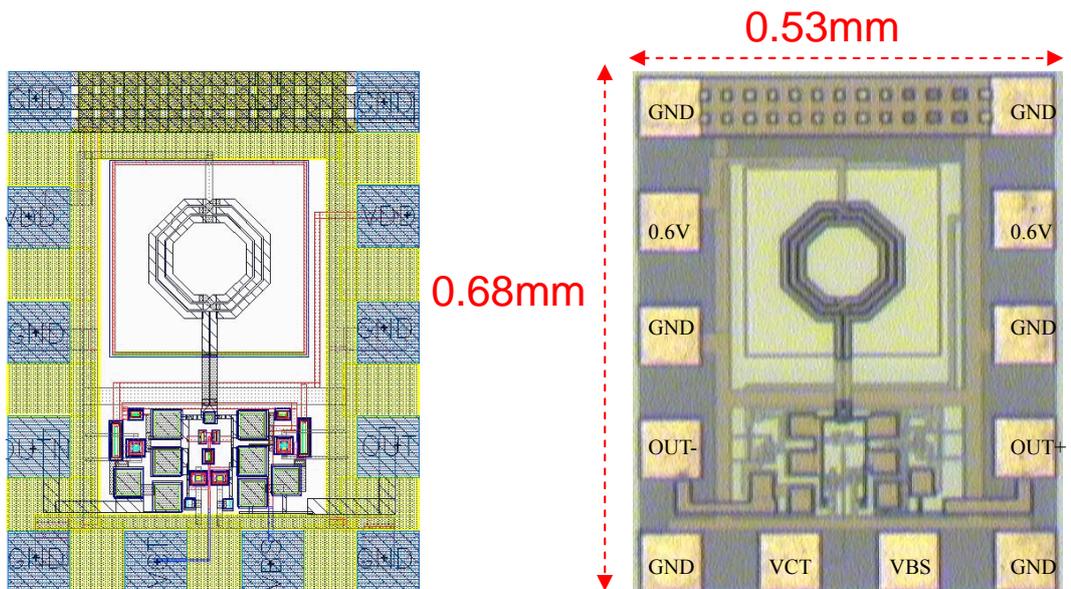


圖 3.6 應用於超寬頻 0.6V 低電壓之壓控振盪器佈局圖及實際電路

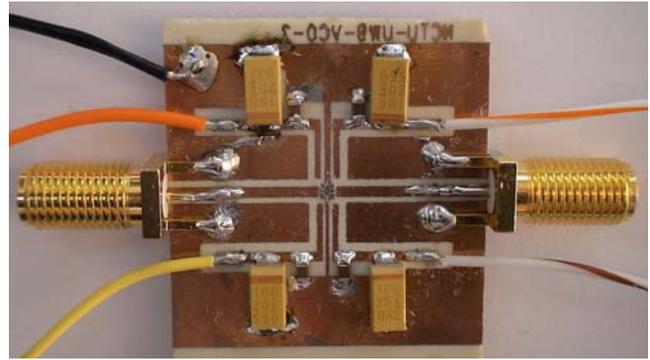
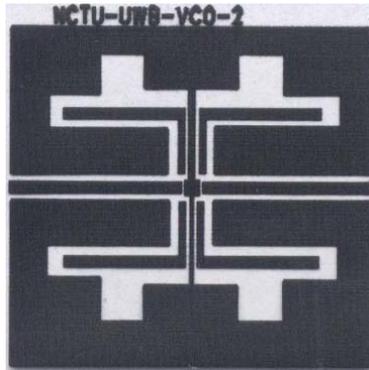


圖 3.7 應用於超寬頻 0.6V 低電壓之壓控振盪器測試板佈局圖及實際電路

§3-1-3 討論

此類 0.6V 低電壓之壓控振盪器，整體電路用 TSMC CMOS 0.18um 的製程來設計製作，採用 NMOS 交錯耦合對的 LC 調諧壓控振盪器加上交聯電容架構設計電路，在使用 0.6V 的電壓下，產生 7.92GHz 信號輸出，相位雜訊在 1MHz 偏移下為 -104dBc/Hz，FOM 值為 185，功率消耗僅有 0.54mW，將可應用在超寬頻(Ultra Wideband)系統上使用。表 3.1 為預計 0.6V、0.62V、0.65V 偏壓下，晶體規格與量測結果列表，其中頻率調整範圍皆較預估來的寬，可能為實際累加型可變電容的變化比模擬寬，輸出功率因鏢線及測試板匹配等問題較模擬低，由表中也得到，當偏較高時，提供的負阻較大，相位雜訊及輸出功率都有提升，但是消耗功率也因而較高。表 3.2 為與其他低電壓之壓控振盪器論文的比較表。

表 3.1 【電路 1】應用於超寬頻 0.6V 低電壓之壓控振盪器模擬與量測總表

Parameters	Sim 0.6 V	Meas 0.6 V	Sim 0.62 V	Meas 0.62V	Sim 0.65 V	Meas 0.65V
Center frequency (GHz)	7.92	7.92	7.92	7.92	7.92	7.92
Core Current (mA)	0.6	0.9	0.8	1.4	1.1	2.0
Tuning Range (MHz)	252	325	246	303	244	292
Vtune (V)	0 ~ 0.6	0~0.6	0~0.62	0~0.62	0~0.65	0~0.65
Output Power (dBm) (2dBm cable loss)	-9	-12	-8	-10	-7	-8
Phase Noise @600KHz offset (dBc/Hz)	-100	-93	-105	-98	-106	-102
Phase Noise @1MHz offset (dBc/Hz)	-106	-104	-110	-107	-111	-109
Power Consumption (mW)	0.36	0.54	0.50	0.87	0.71	1.3
@1MHz FOM (dB)	188	185	190	186	190	187

表 3.2 【電路 1】電路之效能與其他低電壓之壓控振盪器的比較表

	This work	[20] (Measurement)	[21] (Measurement)	[22] (Simulated)	[23] (Measurement)
Technology	0.18	0.18	0.18	0.18	0.18
Oscillation frequency(GHz)	7.92	5.2	1.95	5.52	0.9
Supply voltage(V)	0.6	0.6	1.5	0.8	1
Tuning Range (%)	4.1	8.9	NA	29.12	16.6
Power consumption (mW)	0.54	0.696	2.77	1.2	3.5
Phase Noise (dBc/Hz)	-104 @1MHz	-97 @1MHz	-112.75 @600KHz	-109 @1MHz	-136 @3MHz
FOM	185	173	178.56	184	180.1

§3-2 應用於超寬頻低電壓低功率四相位壓控振盪器設計

§3-2-1 設計方法

為配合超寬頻數位系統需求，本節設計一個含有正交輸出的低電壓壓控振盪器，根據 2-5 節所提到正交輸出的方法，其中利用除法電路來產生正交四相位，功率消耗大，且壓控振盪器需設計在兩倍的頻率上，設計上考量較多，利用多相位濾波器設計的正交輸出振盪器，頻寬較窄且相位誤差率與晶片內元件之間的匹配和負載及製程相關，設計上較難控制。而利用雙交叉耦合 LC 振盪器，則有功率消耗高，佈局對稱性需十分注意的考量，倘若元件，雜散電容，射頻連接的導線不匹配，就有相位誤差(phase error)發生，因本電路設計操作在低電壓，相對於相位雜訊之探討要求，採以雙交叉耦合 LC 振盪器方法設計一低相位雜訊且具正交輸出的低電壓壓控振盪器，其方法大致如前面章節所敘述，其中針對相位雜訊的特性，提出增加的改善考量，如下所述：

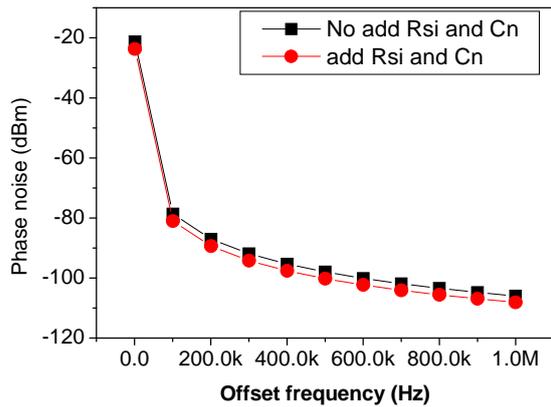
1. 電晶體的基底連接高阻抗

在現今CMOS製程中，使用高摻雜 P^+ 的基底以箝制磁化率最小化，但基板的低電阻性，在電路之間不同元件造成了傳輸的路徑，進而造成敏感信號的干擾破壞，在設計低電壓壓控振盪器時，採取對電晶體的基底(bulk)端連接大電阻到地，形成對類比信號的阻隔，但直流信號依舊為接地的方式，藉由電阻對基底的雜訊作阻隔，在不影響工作耗電量及特性的調整下，降低電晶體所引入的基板雜訊，以增加相位雜訊特性的提升。

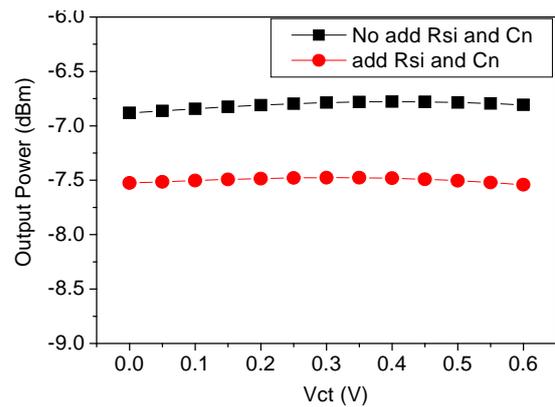
2. MOS 對稱性

利用兩組壓控振盪器加上四個相位移電路彼此交叉耦合來實現正交輸出的低電壓壓控振盪器，此種架構的缺點為其四相位輸出訊號之相位誤差(phase error)與相位雜訊(phase noise)，彼此互有關聯，如果設計交錯耦合的 NMOS 的尺寸與直接耦合 NMOS 得宜時，則可降低功率損耗，並維持良好的相位雜訊與正交輸出。

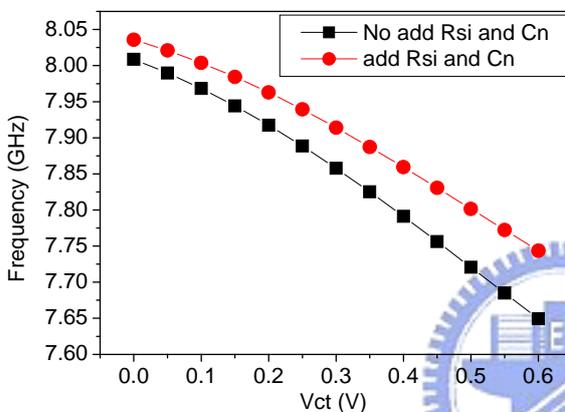
基於上敘設計考量，本次設計的應用於超寬頻低電壓四相位壓控振盪器的電路架構如圖 3.8 所示，由兩組 NMOS 交錯耦合對(NMOS cross -coupled pair)的主動埠及 LC 諧振埠，加上四個相位移電路彼此交叉耦合晶體和輸出緩衝放大器所組成，其中利用高阻抗的電阻串連基底，及在主動埠電晶體的汲極(drain)、源極(source)間並聯電容以產生一負電導值補償電感的損耗以改善品質因數，電感器的選擇品質因數較高的對稱型電感，電路中不使用定電流源來做偏壓，用以在低電壓操作時改善相位雜訊。



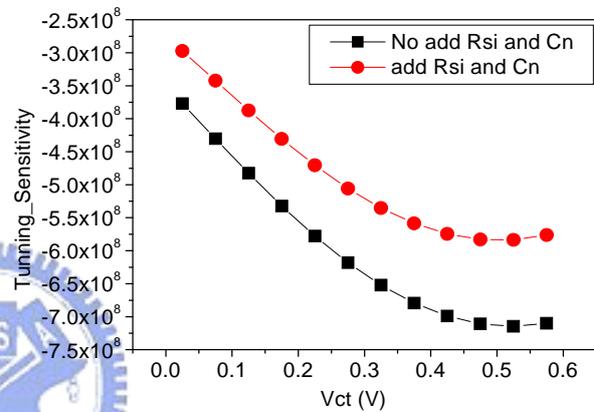
(a) 相位雜訊比較



(b) 輸出功率比較



(c) 調整範圍

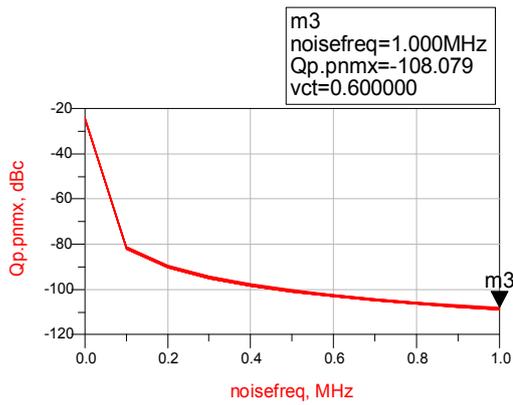


(d) 靈敏度

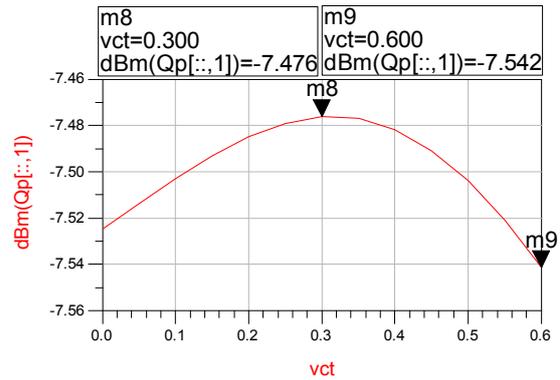
圖 3.9 外加 Cs 及 Rsi 電路特性改善比較結果

§3-3-2 模擬及量測結果

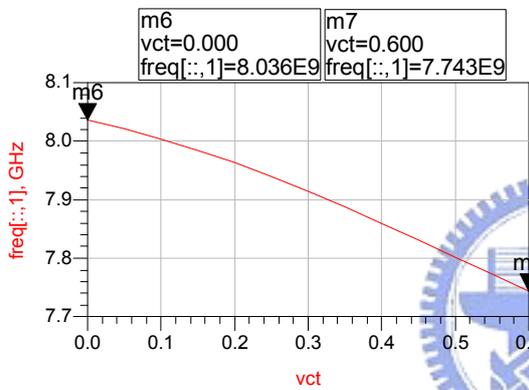
利用 ADS 軟體模擬電路產生 7.92GHz 信號輸出的特性，在模擬時有考慮 layout 寄生效應、Pad 產生的效應。模擬的結果如下：在 0.6V 工作電壓下相位雜訊在 1MHz 偏移下為 -108dBc/Hz，輸出功率為 -7.5dBm，頻率調整範圍約為 292MHz，如圖 3.10 所示。整體四相位模擬輸出，如圖 3.11，所顯示的是橫軸為時間，縱軸為振幅的四相位輸出，輸出振幅變化不大。而 VQ+ 及 VI+ 正交訊號的輸出，如圖 3.12 為所示，其 VQ+ 與 VI- 模擬結果在 Vct 變化時皆能達到相差約為 5 度內的要求。而 VQ+ 及 VQ- 對稱訊號的輸出，如圖 3.13 為所示，其 VQ+ 與 VQ- 模擬結果在 Vct 變化時皆能達到相差約為 180 度。經由模擬結果顯示，壓控振盪器四相輸出波形之相位差異 (Phase difference) 變化穩定，皆在規格內。



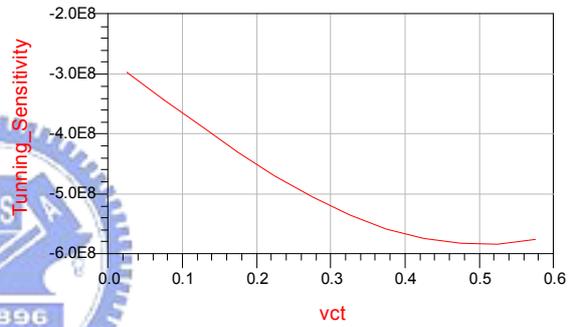
(a) 相位雜訊模擬結果



(b) 輸出功率模擬結果



(c) 頻率調整範圍模擬結果



(d) 頻率調整靈敏度模擬結果

圖 3.10 0.6V 超寬頻低電壓四相位壓控振盪器 7.92GHz 模擬結果

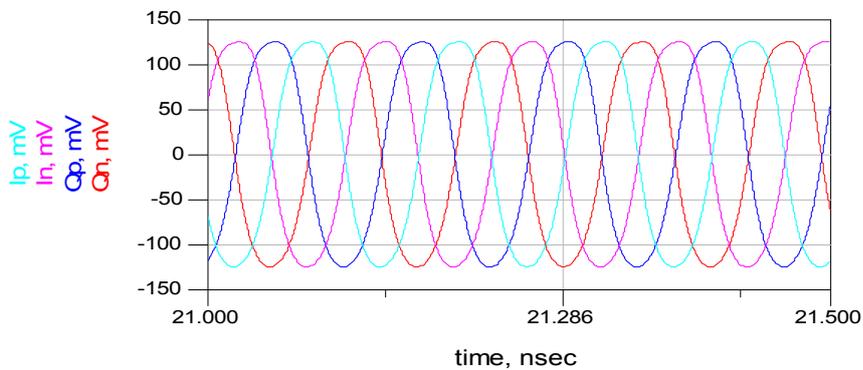


圖 3.11 整體四相位模擬輸出

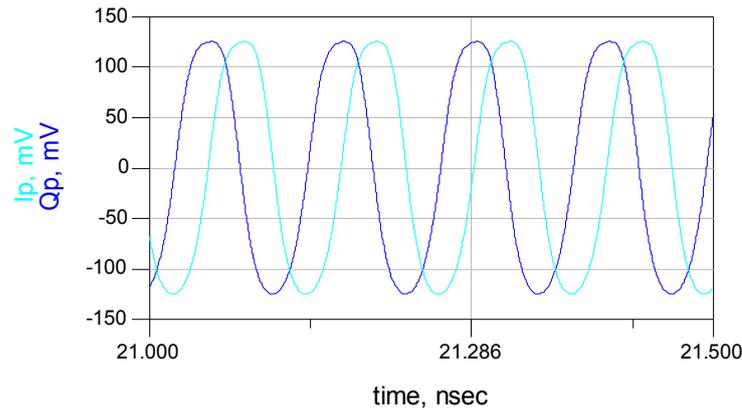


圖 3.12 VQ+ 及 VI+ 正交訊號的輸出

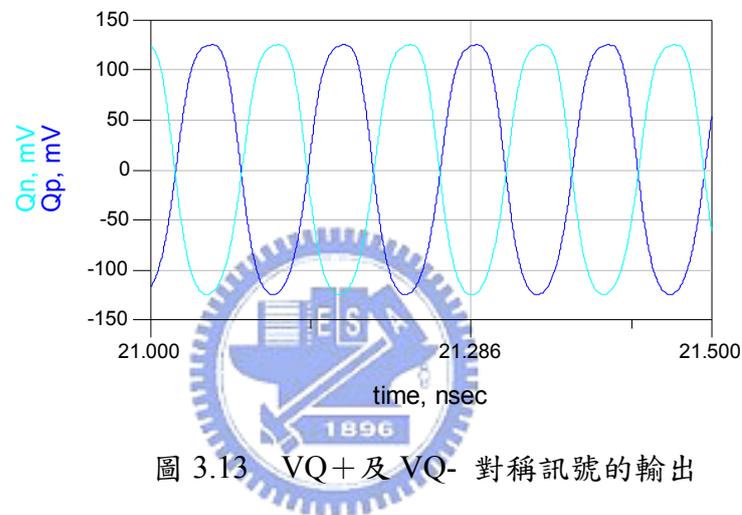
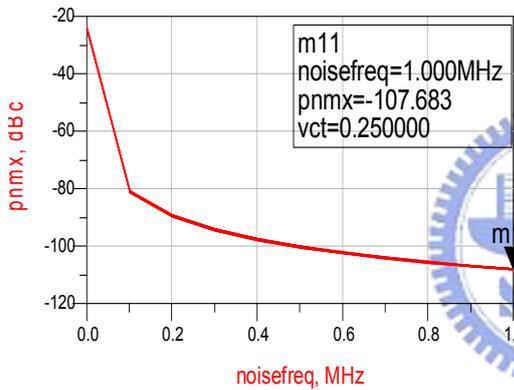


圖 3.13 VQ+ 及 VQ- 對稱訊號的輸出

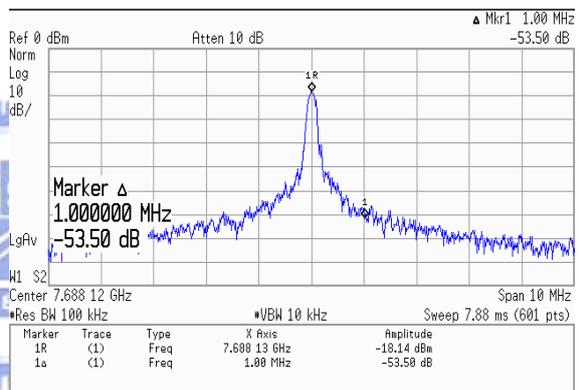
而實際量測以鏢線(Bond-wire)到 FR4 基板上進行量測，並經由 E4445A 及 8564E 頻譜分析儀量測電路的輸出功率、相位雜訊與頻率調整範圍特性，考量接線的損耗約 2dB，在 0.6V 操作電壓與模擬結果相比較的結果，其中操作頻率相差約 400MHz 的頻偏，頻率調整範圍在控制電壓 0.4V 後即無法振盪，功率輸出也相差約 8dBm，考慮製程偏移及佈局效應，調整工作偏壓等於 0.6V，0.62V 及 0.65V 與設定 Corner case 在 SS 設定後重新模擬，並與量測結果作比較，如圖 3.14，圖 3.15 與圖 3.16。

其中模擬的結果如下：在 0.6V 工作電壓下，輸出頻率為 7.67GHz，相位雜訊在 1MHz 偏移下為 -107.7dBc/Hz，FOM 為 186 dB，輸出功率為 -7.5dBm，頻率調整範圍為 273MHz；在 0.62V 工作電壓下，輸出頻率為 7.79GHz，相位雜訊在 1MHz 偏移下為 -108.5dBc/Hz，FOM 為 185 dB，輸出功率為 -6.8dBm，頻率調整範圍為 275MHz；在 0.65V 工作電壓下，輸出頻率為 7.80GHz，相位雜訊在 1MHz 偏移下為 -111dBc/Hz，FOM 為 186 dB，輸出功率為 -6.2dBm，頻率調整範圍為 274MHz。

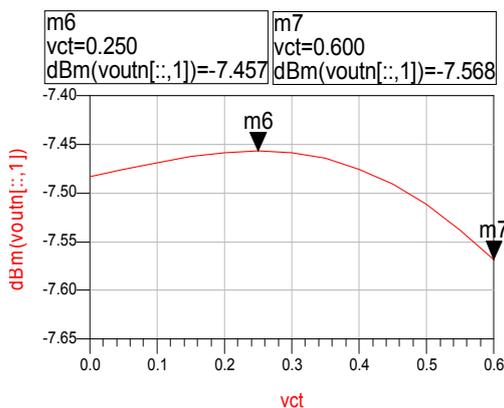
而對工作偏壓採用 0.6V, 0.62V 及 0.65V 的實際量測如下：在 0.60V 工作電壓下，輸出頻率為 7.69GHz，相位雜訊在 1MHz 偏移下為-103.5dBc/Hz，FOM 為 182 dB，輸出功率為-16 dBm，頻率調整範圍為 105MHz；在 0.62V 工作電壓下，輸出頻率為 7.67GHz，相位雜訊在 1MHz 偏移下為-106.4dBc/Hz，FOM 為 182 dB，輸出功率為-11dBm，頻率調整範圍為 237 MHz；在 0.65V 工作電壓下，輸出頻率為 7.68GHz，相位雜訊在 1MHz 偏移下為-108.3dBc/Hz，FOM 為 182 dB，輸出功率為-7dBm，頻率調整範圍為 232MHz。圖 3.17 為諧波量測結果與二次諧波相差約 23dB，而圖 3.18 為應用於超寬頻低電壓之壓控振盪器佈局圖及實際電路，圖 3.19 為測試板佈局圖及實際電路。



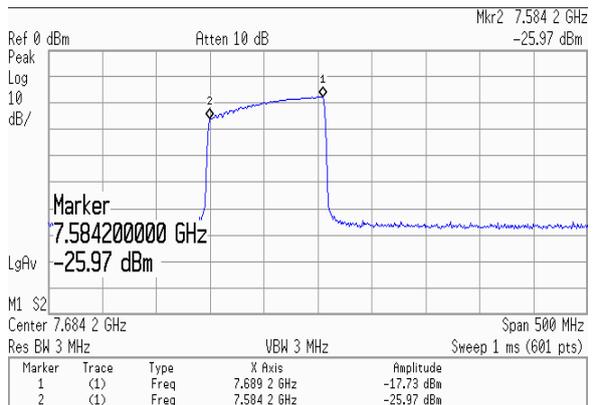
(a) 0.6V 相位雜訊模擬結果



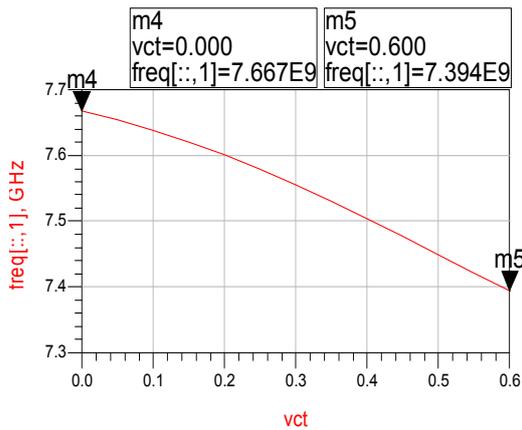
(b) 0.6V 相位雜訊量測結果



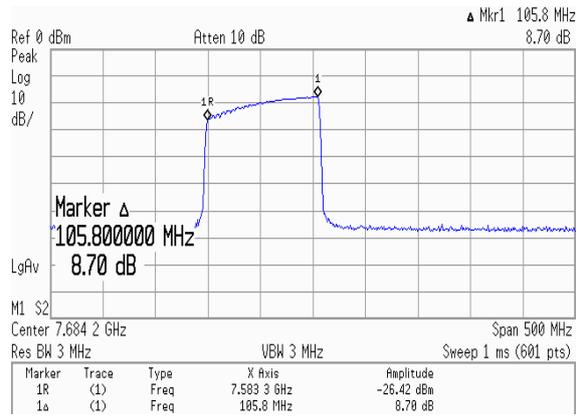
(c) 0.6V 輸出功率模擬結果



(d) 0.6V 輸出功率量測結果

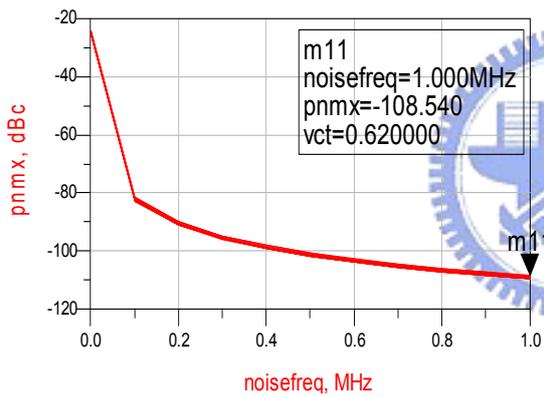


(e) 0.6V 頻率調整範圍模擬結果

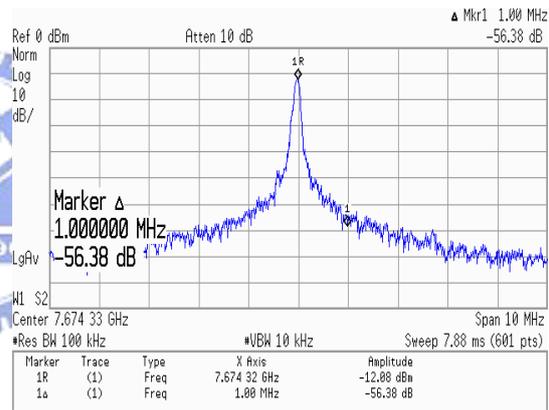


(f) 0.6V 頻率調整範圍量測結果

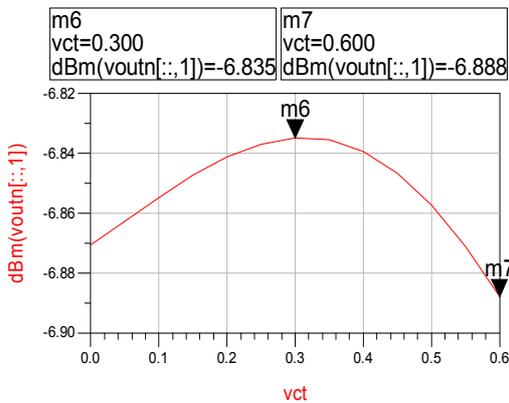
圖 3.14 0.6V 調整後四相位壓控振盪器模擬及量測結果



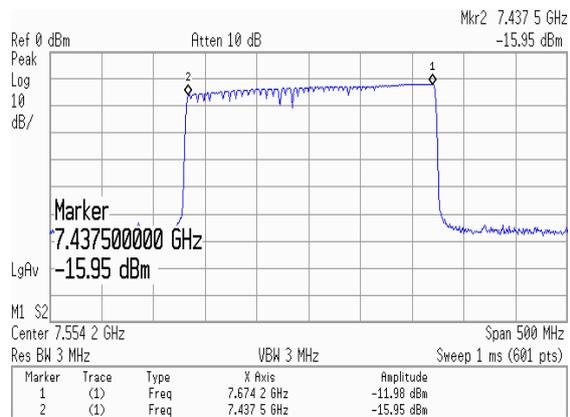
(a) 0.62V 相位雜訊模擬結果



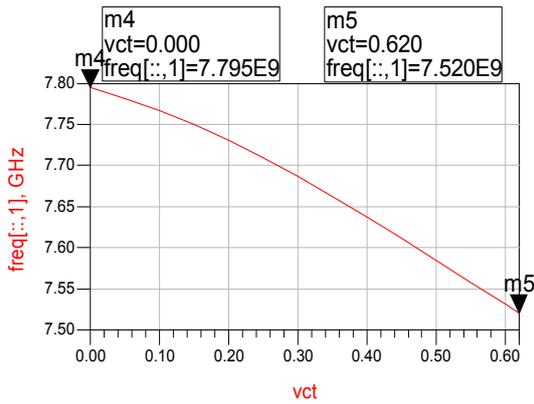
(b) 0.62V 相位雜訊量測結果



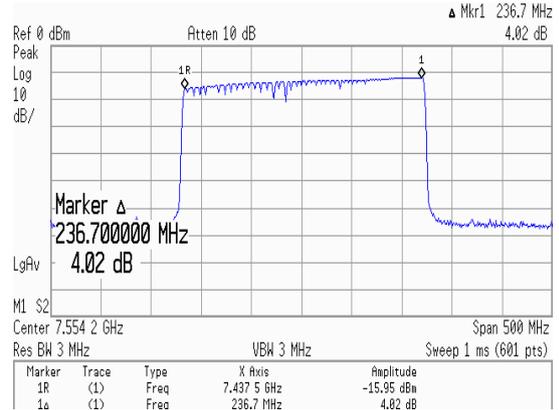
(c) 0.62V 輸出功率模擬結果



(d) 0.62V 輸出功率量測結果

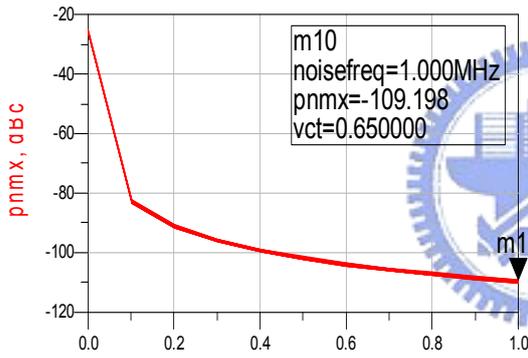


(e) 0.62V 頻率調整範圍模擬結果

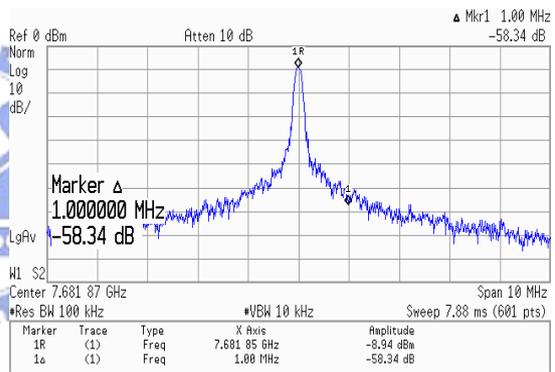


(f) 0.62V 頻率調整範圍量測結果

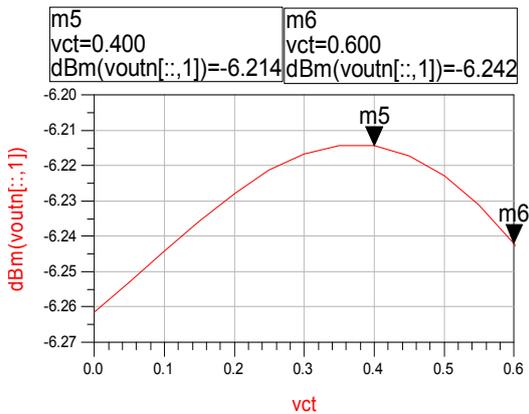
圖 3.15 0.62V 調整後四相位壓控振盪器模擬及量測結果



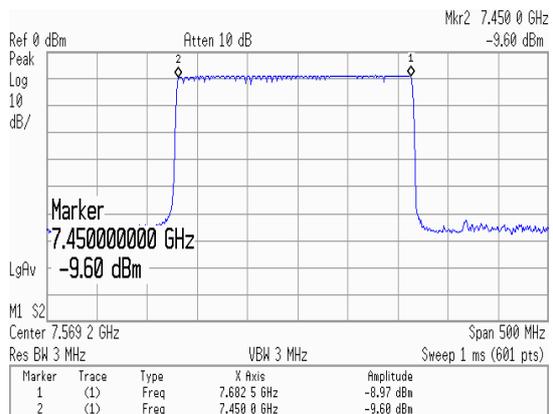
(a) 0.65V 相位雜訊模擬結果



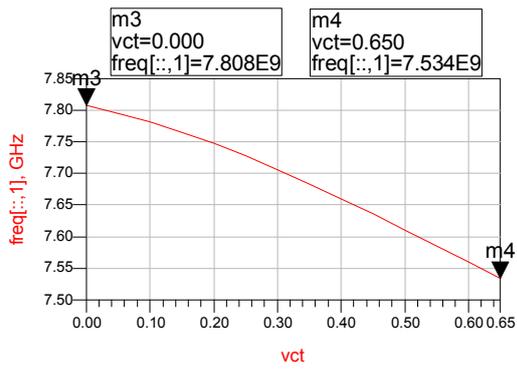
(b) 0.65V 相位雜訊量測結果



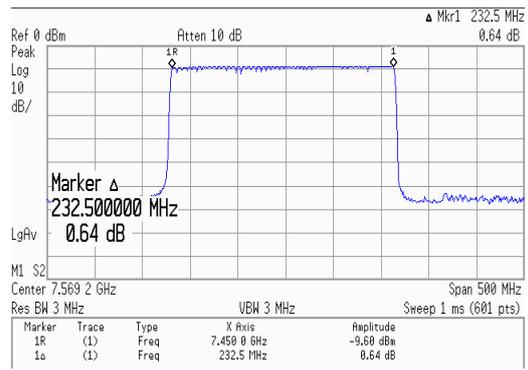
(c) 0.65V 輸出功率模擬結果



(d) 0.65V 輸出功率量測結果



(e) 0.65V 頻率調整範圍模擬結果



(f) 0.65V 頻率調整範圍量測結果

圖 3.16 0.65V 調整後四相位壓控振盪器模擬及量測結果

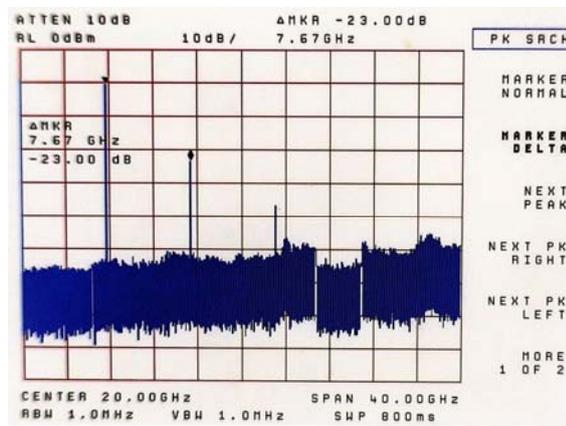


圖 3.17 諧波信號量測結果

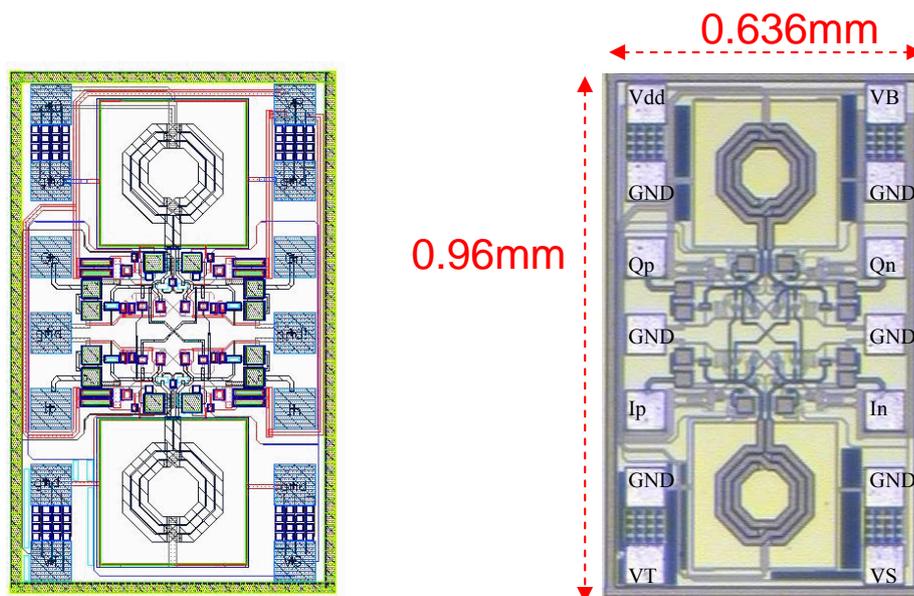


圖 3.18 應用於超寬頻之低電壓低功率四相位壓控振盪器佈局圖及實際電路

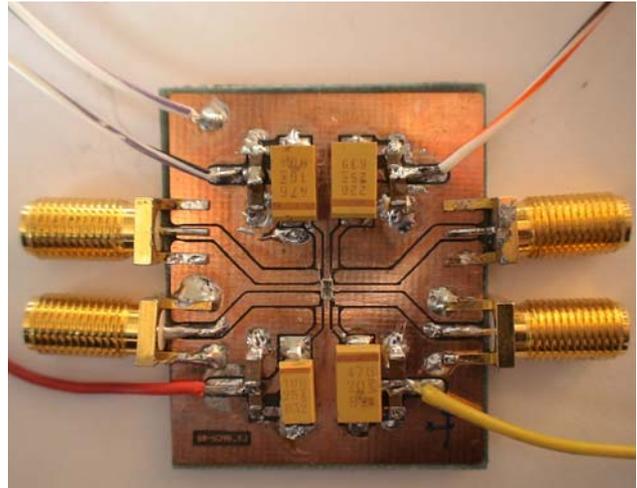
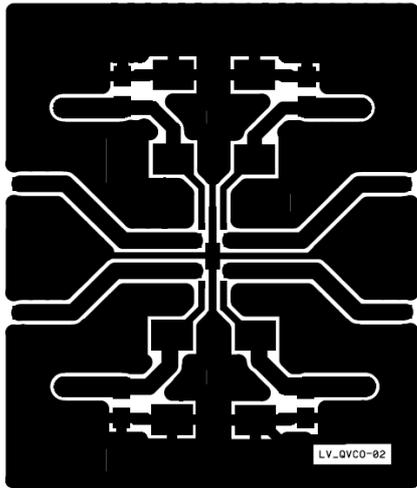


圖 3.19 應用於超寬頻之低電壓低功率四相位壓控振盪器測試板佈局圖及實際電路

§3-2-4 討論

此類應用於超寬頻之低電壓低功率四相位壓控振盪器，整體電路用 TSMC CMOS 0.18um 的製程來設計製作，採用 NMOS 交錯耦合對的 LC 調諧壓控振盪器加上交聯電容架構設計，藉由在主動埠並聯電容改善電路品質因數，配合新探討的基底端加上大電阻使相位雜訊特性改善，為此次研究的方向。在使用 0.6V 的電壓下，造成 V_t 在 0.4 後的控制電壓下無法振盪，可能原因為當初設計時考量低功率所以將看入的負阻，僅調整較為大一些，在考量推頻效應時加入製程偏移及跑線效應不夠仔細，導致實際量測時無法驅動，並造成頻率有偏移約 400MHz，如表 3.3 所示，應可考慮加大電晶體的電導，或提高工作偏壓，用以加強負阻的提升，避免有無法振盪的情形發生，但也需考量相位雜訊及功率損耗的取捨。表 3.4 為應用於超寬頻之低電壓低功率四相位壓控振盪器重新考量模擬和量測的比較表。

而在 0.65V 的操作偏壓下，相位雜訊在 1MHz 偏移下為 -108dBc/Hz，頻率調整範圍為 232MHz，功率消耗為 2.67mW，FOM 值為 182，其功率損耗配合相位雜訊的 FOM 值與其他電路表現相差不大，但電路更精簡，與其它強調低功率消耗的低電壓壓控振盪器 paper 比較表現如表 3.4 所示。

目前因實驗室儀器無法提供量測相位正交特性，待日後有相關設備儀器時再行量測補齊資料。

表 3.3 【電路 2】應用於超寬頻之低電壓低功率四相位壓控振盪器規格表

Parameters	Simulation 0.6 V	Measurement 0.6 V
Center frequency (GHz)	7.92	7.5
Core Current (mA)	1.63	1.53
Tuning Range (MHz)	292	105
Vtune (V)	0 ~ 0.6	0~0.4
Output Power (dBm)	-7.5	-16~-24
Phase Noise @1MHz offset (dBc/Hz)	-108	-103.5
Power Consumption (mW)	0.978	0.918

表 3.4 【電路 2】應用於超寬頻之低電壓低功率四相位壓控振盪器重調後比較表

Parameters	Sim 0.6 V	Meas 0.6 V	Sim 0.62 V	Meas 0.62V	Sim 0.65 V	Meas 0.65V
frequency (GHz)	7.67	7.69	7.79	7.67	7.80	7.68
Core Current (mA)	1.63	1.53	2.06	2.64	2.8	4.10
Tuning Range (MHz)	273	105	275	237	274	232
Vtune (V)	0 ~ 0.6	0~0.4	0~0.62	0~0.62	0~0.65	0~0.65
Output Power (dBm) (2dBm cable loss)	-7.5	-16	-6.8	-11	-6.2	-7
Phase Noise @1MHz offset (dBc/Hz)	-107.7	-103.5	-108.5	-106.4	-111	-108.3
Power Consumption (mW)	0.978	0.918	1.278	1.637	1.736	2.67
@1MHz FOM (dB)	185.5	181.6	185.3	182.0	186.4	181.7

表 3.5 【電路 2】 電路之效能與其他低電壓之壓控振盪器的比較表

Parameters	This work	[20]	[21]	[22]	[23]
Technology (μm)	0.18 quadrature	0.18 differential	0.18 differential	0.18 differential	0.18 quadrature
fosc(GHz)	7.68	5.2	1.95	5.52	0.9
Supply voltage(V)	0.65	0.6	1.5	0.8	1
Tuning Range (%)	3.6	8.9	N/A	29.12	16.6
Power consumption (mW)	2.67	0.696	2.77	1.2	3.5
Phase Noise (dBc/Hz)	-108.34	-97	-112.75	-109	-136
Offset MHz	1	1	0.6	1	3
FOM(dB)	181.7	173	178.56	184	180.1

§3-3 應用於 WIFI 低功率雙頻段四相位壓控振盪器設計

§3-3-1 設計方法[9] [11] [19]

在多頻帶與多模態系統之射頻傳收模組為無線通訊市場的趨勢，傳統的互補式壓控振盪器(Complementary VCO)，由於其本身擁有較高的增益及較大的輸出功率進而得到較佳的相位雜訊。但此種架構在佈局走線上會較複雜，而對於高頻電路來說，線與線之間跨線所產生的耦合效應及這些拉線所造成的寄生電阻及寄生電容都會對晶片本身產生很大的影響。因此此針對此架構的壓控振盪器來做簡化而得到簡化型壓控振盪器來減少佈局上的跨線，相對的減少了不必要之跨線及拉線本身之寄生效應，而會得到較好的特性，再配合一顆開關電晶體和電感即可達到雙頻帶的效果，加上四相位耦合的電晶體交錯編排使用直接耦合(direct couple)及交錯耦合(cross couple)的連接方式來連接兩個雙頻帶振盪器，即可產生四相位訊號之輸出。此方式不僅簡化了雙頻帶正交壓控振盪器的設計，更因此減少電感的使用量，可減少面積的使用。

考慮多頻段的壓控振盪器的設計方式，首先介紹為圖3.15為互補式交錯耦合對 (complementary cross-coupled pair)，上半部二個電晶體，將振盪器與供應電壓隔離降低推頻效應，可使得輸出振盪頻率更對稱，增加負電阻阻抗和輸出電壓有接地電位到操作電壓的擺幅，避免了下半部二個電晶體的汲極接面電容，會隨著供應電壓變化，而有了良好的相位雜訊，但其增加了寄生電容，使得頻率會降低。而相對於NMOS交錯耦合對 (NMOS cross coupled pair)或PMOS 交錯耦合對(PMOS cross-coupled pair)來做比較，在相同電流消耗之下(其觀念如同電流再使用)，互補式交錯耦合對具有較大的轉導，使得電晶體較快速的切換，輸出電壓波形的上升時間(rise-time)及下降時間(fall-time)也較對稱，由於較對稱的波形有較低的閃爍雜訊轉角頻率($\frac{1}{f^3}$ noise corner frequency)，因此有較低的相位雜訊。

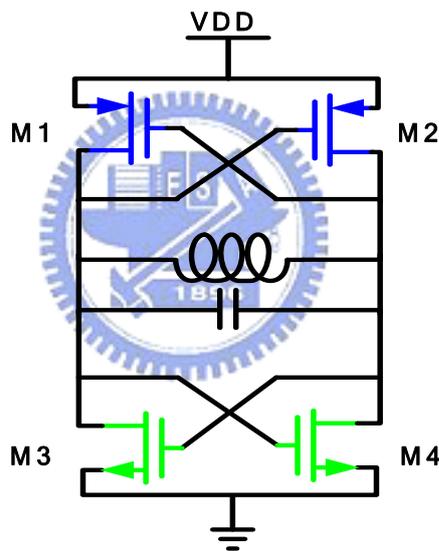


圖 3.20 互補式交錯耦合對電路

因互補式交錯耦合對的壓控振盪器驅動能力較佳，較適合設計在雙頻帶壓控振盪器，其簡化架構如圖 3.21 所示。在諧振腔採用有切換功能的設計，設計上常以切換電感的方式，作頻段的轉換。圖 3.22 即利用互補式交錯耦合對的方式所製作的雙頻帶壓控振盪器[24]，通常需要三顆以上的電感，使得晶體設計佈局上因多個電感的使用顯得面積較大，故減少電感的數量，即可降低晶體設計佈局的面積，對於設計低功率多頻帶壓控振盪器而言，似乎變得相對的重要。

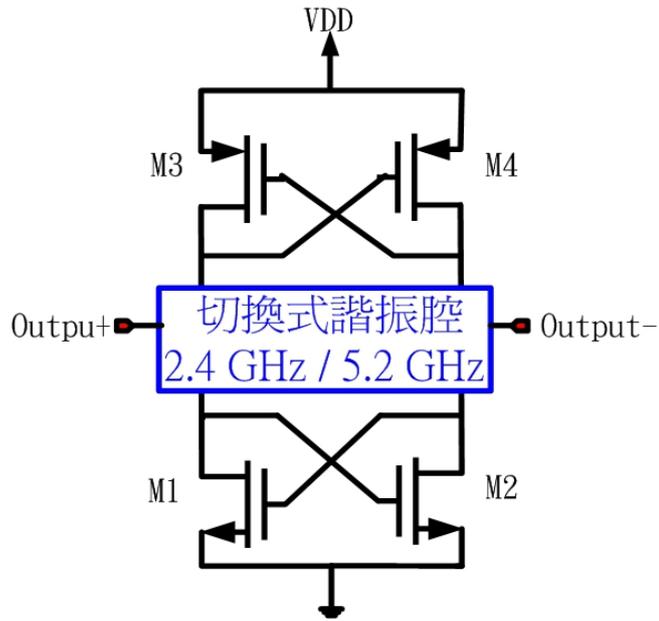


圖 3.21 一般雙頻帶壓控振盪器

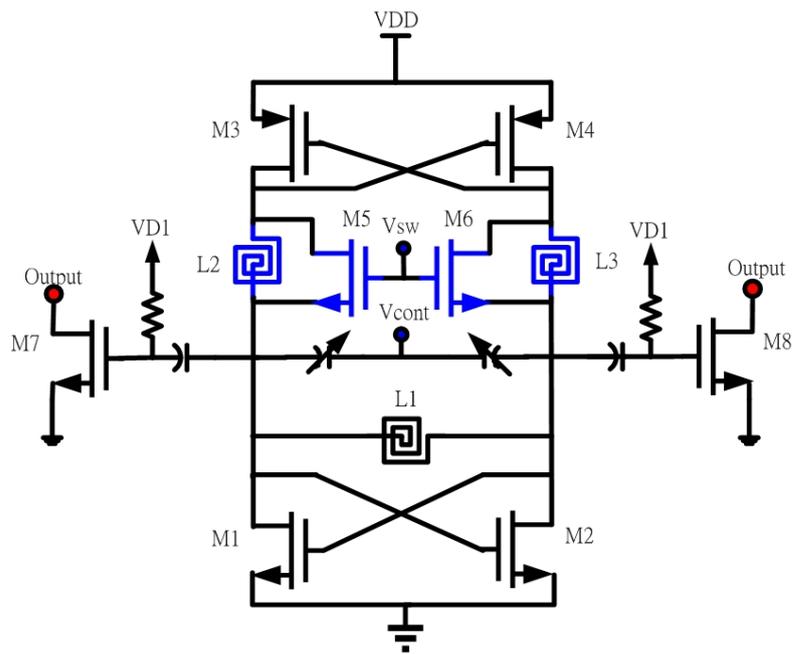


圖 3.22 傳統雙頻帶壓控振盪器

將圖 3.21 互補式交錯耦合對架構作改良，如圖 3.23 所示為簡化型之壓控振盪器，其作法為將傳統的互補式振盪器移除一個 PMOS 電晶體及一個 NMOS 電晶體來減少佈局上的跨線，可減少面積的使用，降低功率損耗。在此架構中，利用 PMOS 與 NMOS 之間的交錯耦合和電流再使用的方式，同樣的可以提供振盪時所需的負阻抗。模擬證實此簡化型之壓控振盪器亦可達到應有的功能。

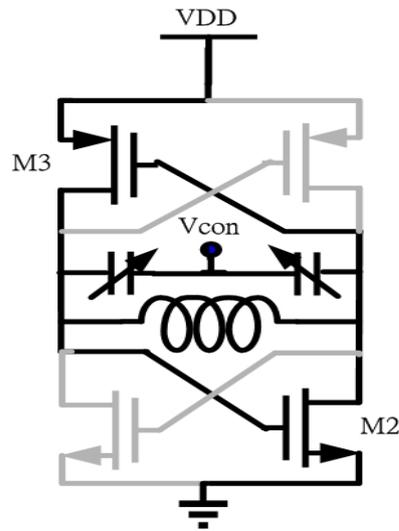


圖 3.23 簡化型之壓控振盪器

圖 3.24 為簡化型壓控振盪器重整後之電路圖，其方式可簡化壓控振盪器的設計，並利用電流再使用的方式減少耗電量，且利用此架構再配合一顆切換功用的電晶體，做切換頻帶開關，即可達到雙頻帶的效果。此方式不僅簡化了雙頻帶壓控振盪器的設計，更因此減少電感的使用量，降低佈局面積，並使得功率消耗下降。其雙頻帶壓控振盪器之電路如圖 3.25 所示。

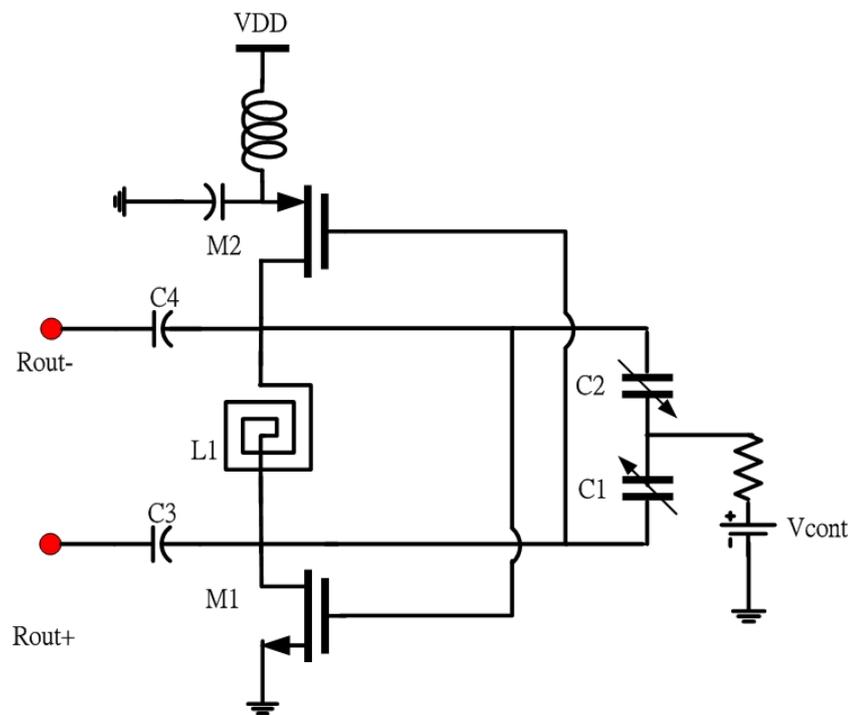


圖 3.24 簡化型壓控振盪器重整後之電路圖

雙頻帶壓控振盪器之電路採用簡化型壓控振盪器改良，使用兩組電感搭配變容二極體，來設計所需要的頻段，利用一組切換功用的電晶體做頻率選取，如圖 3.25 低功率雙頻帶壓控振盪器之電路。整個電路之諧振腔的電感值由電晶體 M3 的導通(on) 或不導通(off)來作改變，當電晶體不導通時，電感值幾乎為 L1 與 L2 的和，但實際上的電感值，會比 L1 與 L2 的和要來的小，主要是因為電晶體 M4 之 Cgd 與 Cgs 和 Cdb 作串聯造成的影響。在無線通訊的應用上，需要提供四個相位的本地訊號給接收端和傳送端的 I、Q 路徑，理想上，這四個相位的訊號彼此相差 90 度，即相位誤差為 0 度。於上個章節曾提出要產生四相位之輸出訊號的方法，本節即利用雙交叉耦合方法來設計，因此我們使用兩個相同的雙頻段壓控振盪器，加上作四相位耦合的電晶體來連接兩個振盪器。其概念示於圖 3.26 四相位產生概念圖，交錯編排使用直接耦合(direct couple)及交錯耦合(cross couple)的连接方式，理想上在振盪發生時，為符合巴克豪森準則，在 A、B、C、D 端點的相位差相同，可產生彼此各為正交的訊號，如此即有四相位正交訊號之輸出。

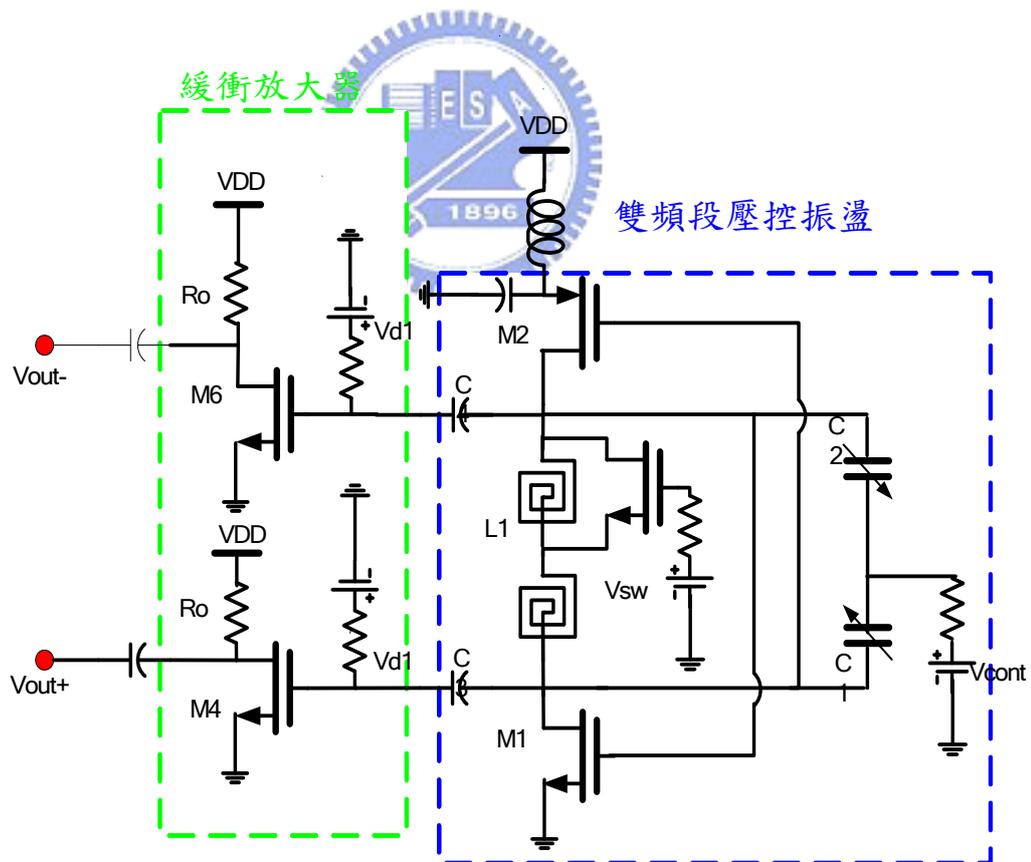


圖 3.25 低功率雙頻帶壓控振盪器之電路

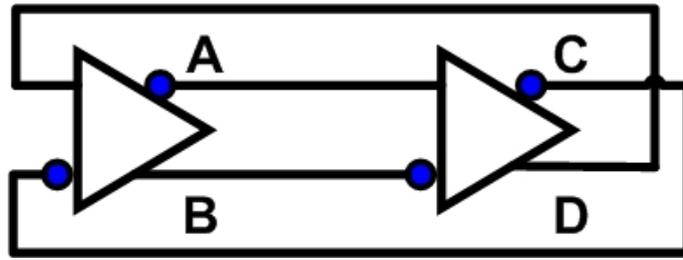


圖 3.26 四相位產生概念圖

一般在設計具有正交輸出的壓控振盪器所使用的電路架構如圖 3.27 所示，此電路是由兩個相同的差動輸出壓控振盪器組成，利用 NMOS 交錯耦合對與 PMOS 交錯耦合對來組成互補式交錯耦合對電路產生負阻，在上半部二個電晶體 PMOS 埠並聯一耦合電晶體連接兩壓控振盪器，達到四相位的輸出。

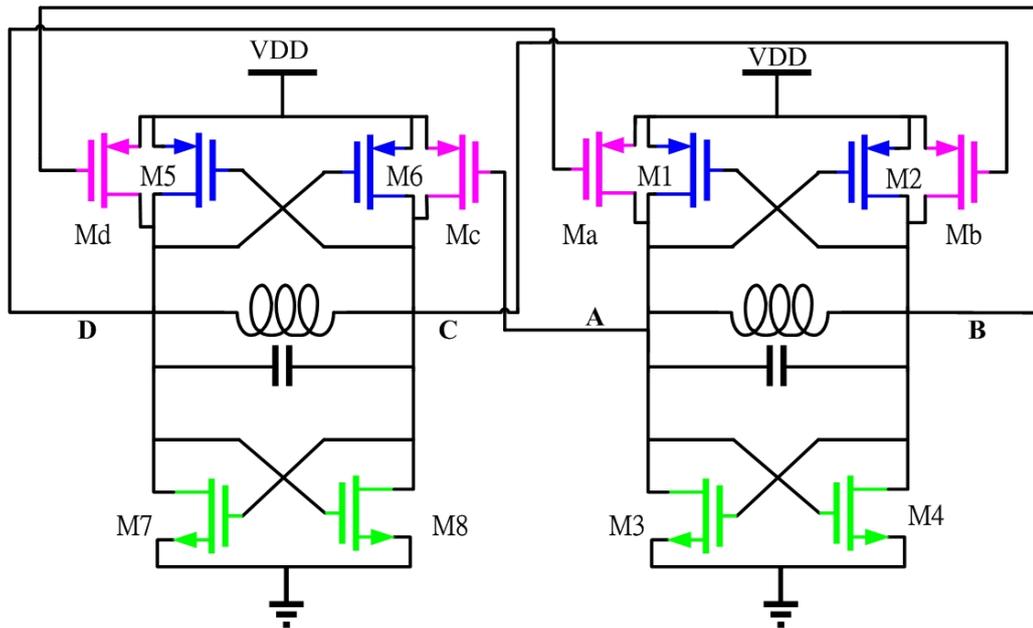


圖 3.27 一般的四相位壓控振盪器

傳統的四相位壓控振盪器用到四路電流，所以通常會比差動輸出的壓控振盪器多耗一倍功率。而低功率雙頻段四相位壓控振盪器電路的實現方法示於圖 3.28，僅使用兩路電流，因而功率消耗較低，並利用兩組電晶體的導通或不導通來改變電路諧振腔的感值做頻段切換。當電晶體導通時，L2 由於電晶體 M4 擁有較小的電阻性，因此被短路，故整個電感值下降只剩下 L1。當電晶體截止時，由於電晶體的電容及部份 L1 的電容和 L2 的電容一起被並聯到地，故整體的看入的電容的值也跟著下降。由此可知當電晶體

截止時，電感值和電容值都同時下降。對於電晶體做開關(switch)時，其大小的選取變得很重要，若電晶體較大，則導通時的寄生電阻(parasitic resistance)較小，但不導通時其寄生電容(parasitic capacitance)卻較大。相反的，若電晶體較小，則導通時寄生電阻較大，但不導通時其寄生電容卻較小。而利用四個額外的 NMOS 及 PMOS 將兩個雙頻段壓控振盪器作交錯編排的動作，產生正交四相位的輸出，而這四個 MOS 的雜散電容會使振盪頻率降低，且 MOS 之間的不匹配會造成輸出訊號有相位誤差，彼此之間並不是完美的 90 度，適當的調整 NMOS 及 PMOS 的面積比例有助於改善此問題。

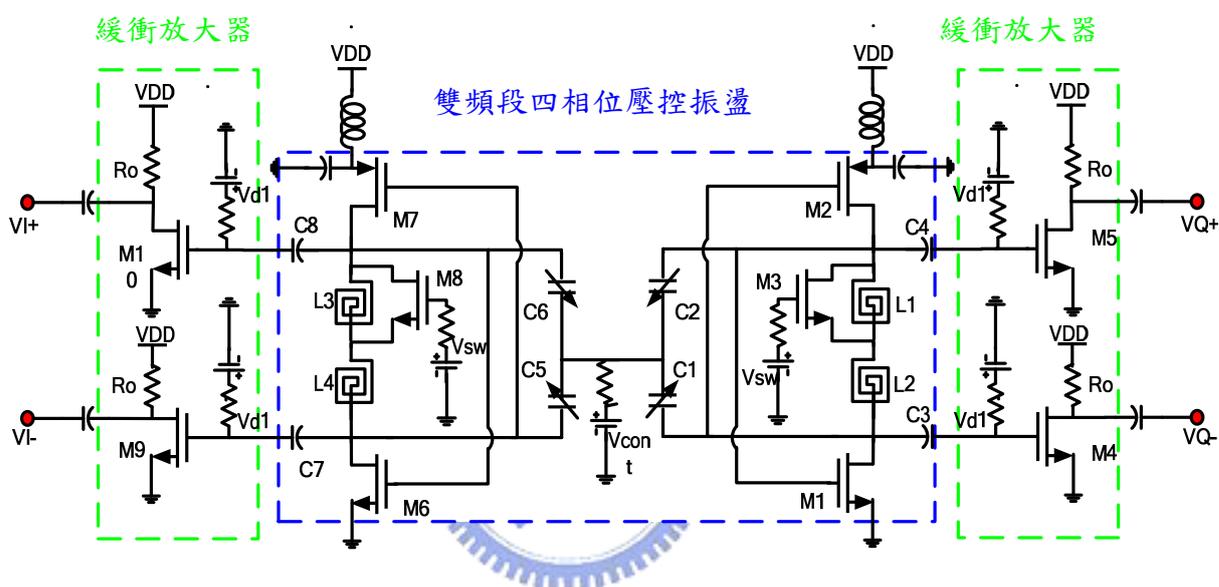


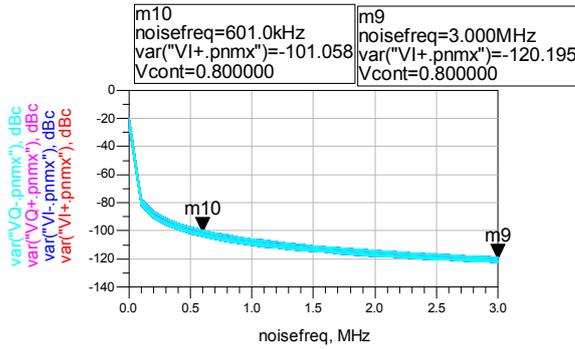
圖 3.28 低功率雙頻段四相位壓控振盪器電路

§3-3-2 模擬及量測結果

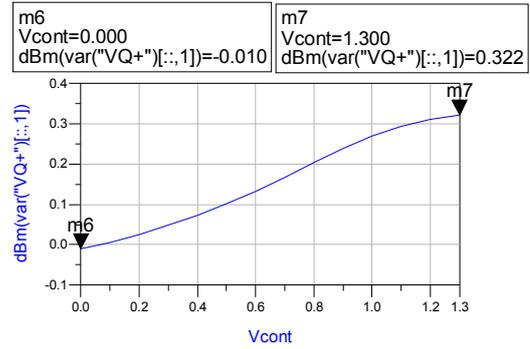
利用 Agilent ADS 軟體來模擬電路特性，並有考慮 layout 寄生效應、Pad 及 bond wire 產生的效應。模擬結果如圖 3.29 低功率雙頻段四相位壓控振盪器模擬低頻段 2.4GHz 特性及圖 3.30 低功率雙頻段四相位壓控振盪器模擬高頻段 5.2GHz 特性所示。

無論在低頻帶(2.4 GHz)或高頻帶(5.2 GHz)，在工作偏壓 1.3V 下，其偏壓電流皆為 2.8 mA；在低頻帶時，頻率可調範圍為 140 MHz，輸出功率為 0 dBm，在 600 KHz 的相位雜訊為 -101 dBc/Hz。在 3MHz 的相位雜訊為 -120 dBc/Hz；在高頻帶時，頻率可調範圍為 450 MHz，輸出功率為 -3 dBm，在 600 KHz 的相位雜訊為 -100 dBc/Hz。在 3MHz 的相位雜訊為 -119 dBc/Hz。

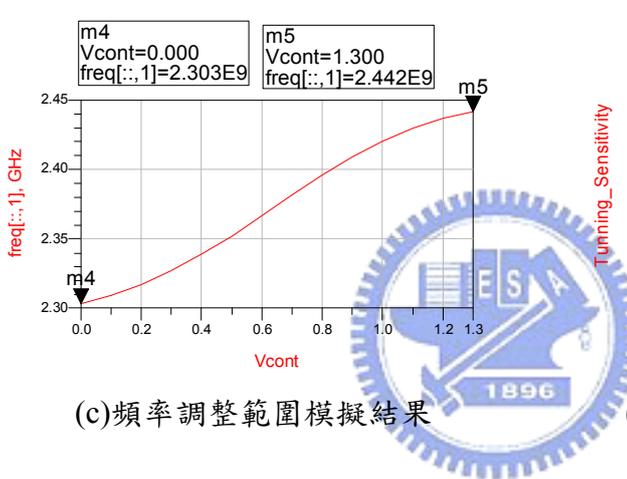
1. 低頻段 (2.4GHz) 模擬結果



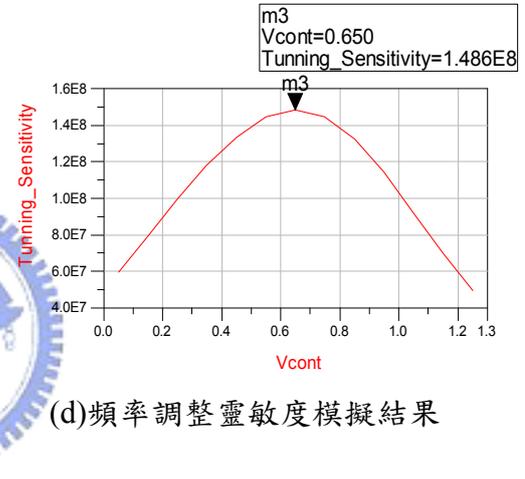
(a) 相位雜訊模擬結果



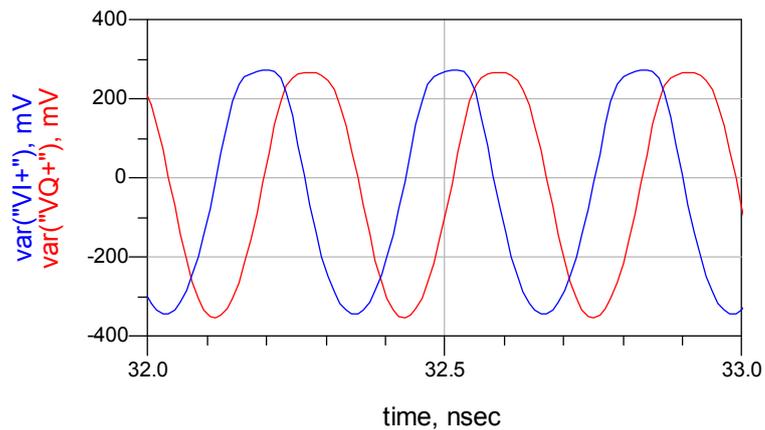
(b) 輸出功率模擬結果



(c) 頻率調整範圍模擬結果



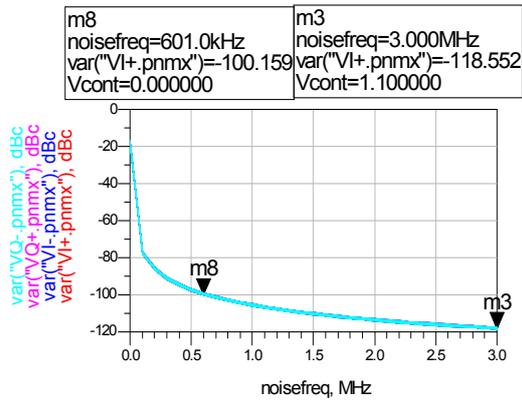
(d) 頻率調整靈敏度模擬結果



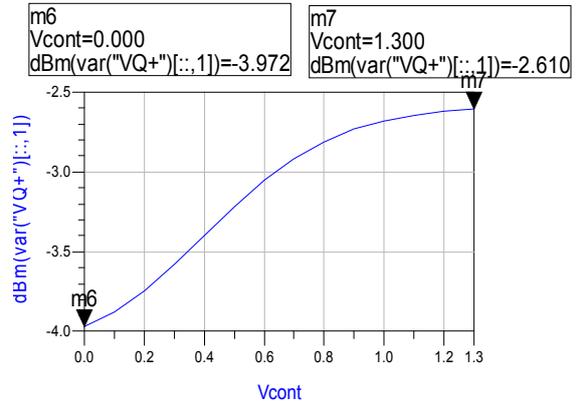
(e) VQ+ 與 VI+ 相位正交特性

圖 3.29 低功率雙頻段四相位壓控振盪器模擬低頻段 2.4GHz 特性

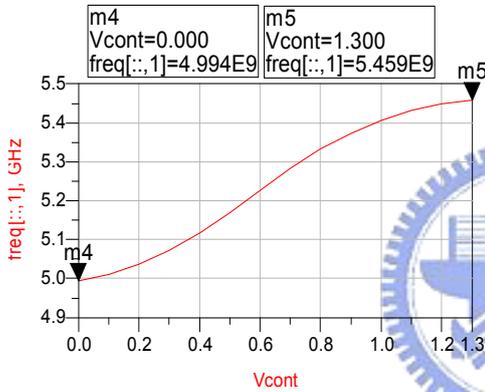
2. 高頻段 (5.2GHz) 模擬結果



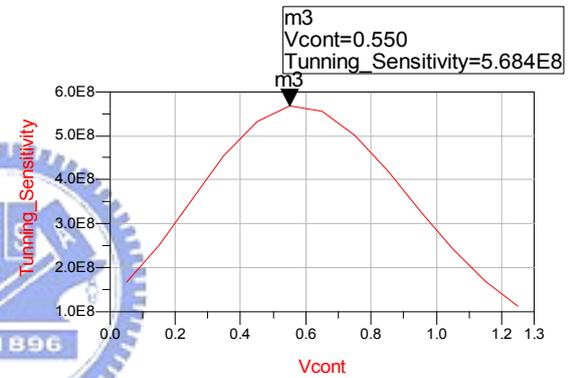
(a) 相位雜訊模擬結果



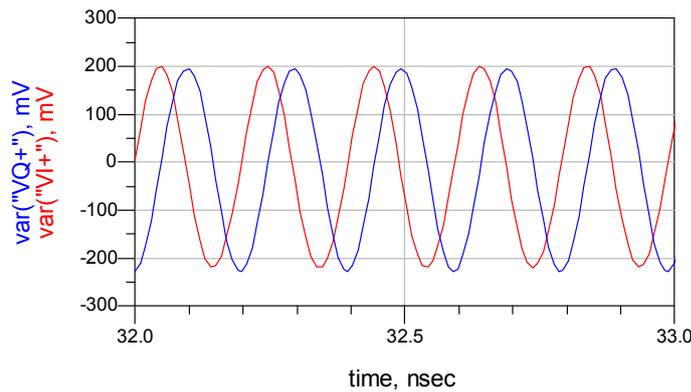
(b) 輸出功率模擬結果



(c) 頻率調整範圍模擬結果



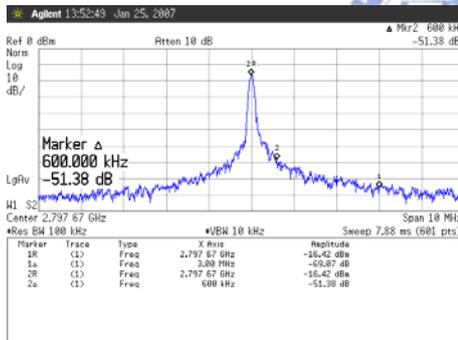
(d) 頻率調整靈敏度模擬結果



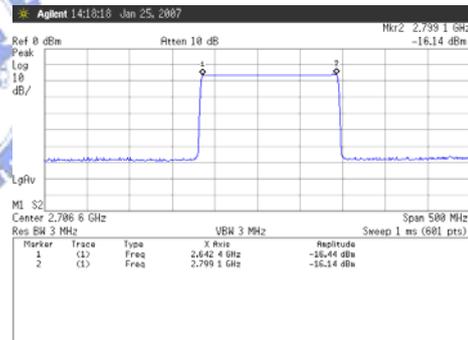
(e) VQ+ 與 VI+ 相位正交特性

圖 3.30 低功率雙頻段四相位壓控振盪器模擬高頻段 5.2GHz 特性

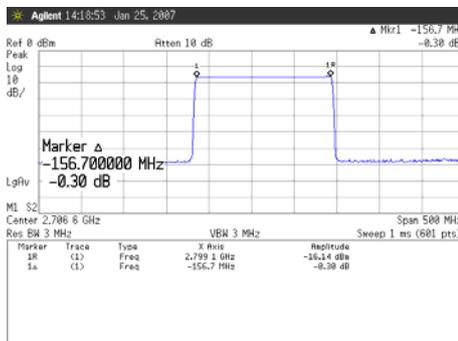
實際量測以鎊線(Bond-wire)到 FR4 基板上進行量測，並經由 E4445A 頻譜分析儀量測電路的輸出功率、相位雜訊與頻率調整範圍，二次諧波等特性，考量接線的損耗在 2.4GHz 及 5.2GHz 時約 0.7 dB 及 1.5dB，在 1.3V 操作電壓下與模擬相比較的結果，在低頻段的操作頻率相差約 320MHz 的頻偏，功率輸出相差約 16dBm，其結果如圖 3.31，高頻段的操作頻率相差約 1100MHz 的頻偏，功率輸出相差約 45dBm，考慮製程偏移及佈局效應，在量測高頻段時調整工作偏壓等於 1.5V 後重新量測，其結果如圖 3.32。整理量測的結果如下：在低頻段，輸出頻率為 2.79GHz，相位雜訊在 600KHz 偏移下為 -101.4dBc/Hz，在 3MHz 偏移下為-119.1dBc/Hz，輸出功率為-16dBm，頻率調整範圍為 156MHz，諧波量測與二次諧波相差約 26dB；在高頻段，輸出頻率為 4.63GHz，相位雜訊在 600KHz 偏移下為-91.3dBc/Hz，在 3MHz 偏移下為-116.4dBc/Hz，輸出功率為 -21dBm，頻率調整範圍為 301MHz，諧波量測與二次諧波相差約 34dB。所設計的低功率雙頻段四相位壓控振盪器電路佈局圖及實際電路圖如圖 3.33，而圖 3.34 為低功率雙頻段四相位壓控振盪器測試板佈局圖及實際電路。



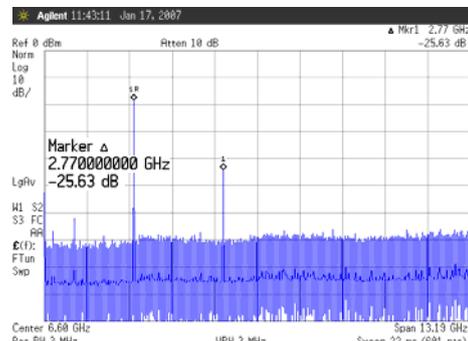
(a) 相位雜訊量測結果



(b) 輸出功率量測結果

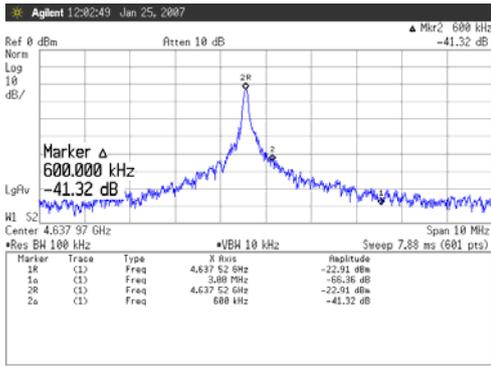


(c) 頻率調整範圍量測結果

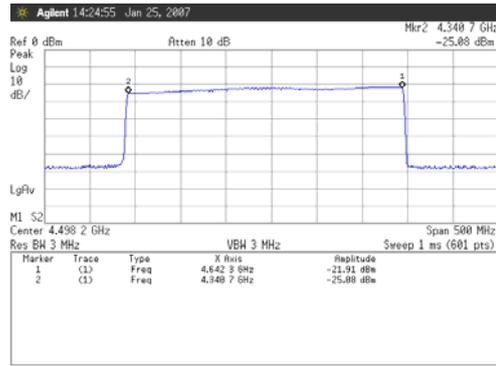


(d) 諧波量測結果

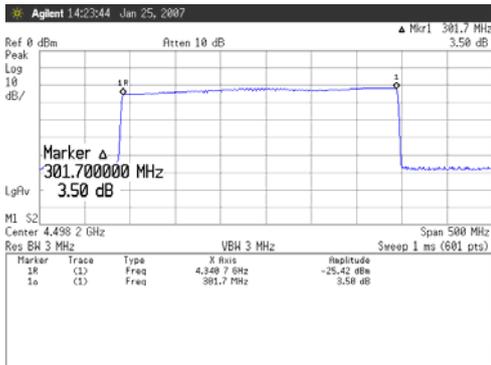
圖 3.31 低功率雙頻段四相位壓控振盪器量測低頻段 2.4GHz 特性



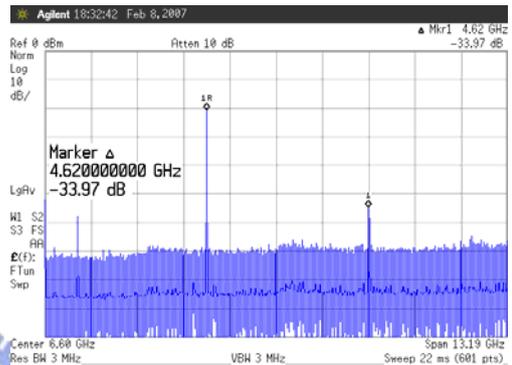
(a) 相位雜訊量測結果



(b) 輸出功率量測結果



(c) 頻率調整範圍量測結果



(d) 諧波量測結果

圖 3.32 低功率雙頻段四相位壓控振盪器量測高頻段 5.2GHz 特性

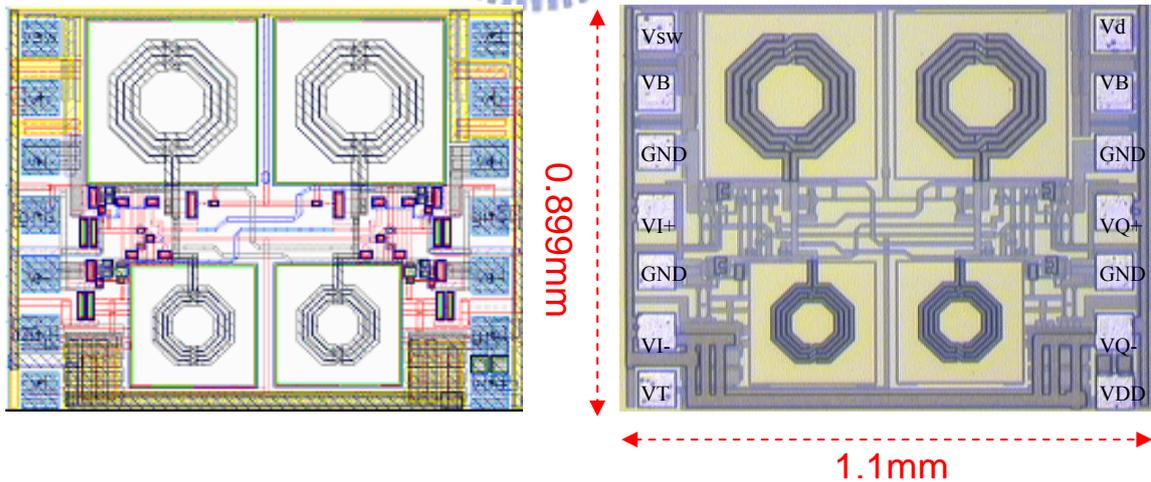


圖 3.33 低功率雙頻段四相位壓控振盪器設計佈局圖及實際電路

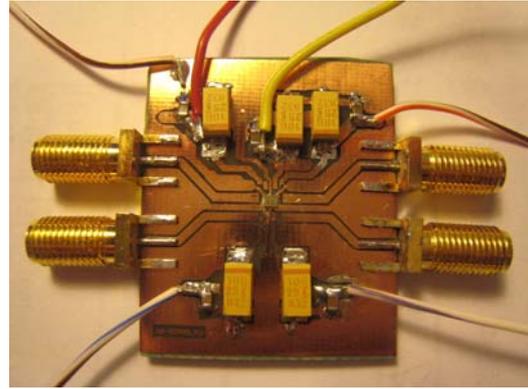
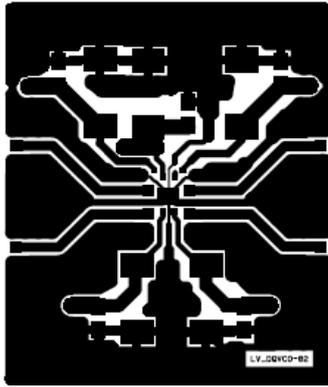


圖 3.34 低功率雙頻段四相位壓控振盪器測試板佈局圖及實際電路

§3-3-4 討論

雙頻帶四相位壓控振盪器採用簡化型壓控振盪器設計，將傳統的互補式振盪器架構作改良，即移除一個 PMOS 電晶體及一個 NMOS 電晶體來減少佈局上的跨線，再配合一顆 Switch 電晶體，做切換頻帶開關，即可達到雙頻帶的效果。再利用 2 組額外的 NMOS 及 PMOS 將兩個雙頻段壓控振盪器交錯耦合的連接方式去產生四個相位的訊號的輸出。實際量測結果在 1.3V 工作電壓下，在低頻段的操作頻率相差約 320MHz 的頻偏，功率輸出相差約 16dBm，而高頻段功率輸出異常，頻率漂移甚大，推測可能是開關電晶體在高頻帶操作時導通不完全所引發整體電路品質因素值下降，進而使得振盪頻率大幅的往低頻漂移，並使得諧振電路所需要的負阻增大，輸出功率下降，故在量測高頻段調整工作偏壓等於 1.5V 後重新量測，並與模擬相比較，在操作頻率相差約 700MHz 的頻偏，功率輸出相差約 18dBm，總整電路造成量測與模擬特性差異的原因可能是對部分佈局走線的影響、晶體開關寄生效應及製程偏移考慮不夠，使得把一些未考慮周全的走線效應、鏜線效應帶入製程偏移模擬則頻率與量測結果較為趨近。表 3.6 為使用 1.3V 及 1.5V 偏壓低功率雙頻段四相位壓控振盪器設計模擬與量測規格結果列表。主要表現在功率消耗上為低功率損耗，輸出為雙頻段四相位輸出，是目前較新沒有論文提出的電路設計方式。與其它雙頻段的壓控振盪器 paper 比較表現如表 3.7。

目前因實驗室儀器無法提供量測相位正交特性，待日後有相關設備儀器時再行量測補齊資料。

表 3.6 【電路 3】低功率雙頻段四相位壓控振盪器設計模擬與量測規格表

Parameters	Simulation 1.3 V	Measurement 1.3 V	Simulation 1.3 V	Measurement 1.5 V
Center frequency (GHz)	2.4	2.72	5.2	4.5
Core Current (mA)	2.8	4.2	2.8	4.5
Tuning Range (MHz)	140	156	450	301
Vtune (V)	0 ~1.3	0 ~1.3	0 ~1.3	0 ~1.5
Vswitch (V)	0	0	1.3	1.5
Output Power (dBm)	0	-16	-4	-21
Phase Noise @600KHz offset (dBc/Hz)	-101	-101	-100	-91
Phase Noise @3MHz offset (dBc/Hz)	-121	-119	-119	-116
Power Consumption (mW)	3.64	5.46	3.64	6.75
FOM(dB)	173	171	178	171

表 3.7 【電路 3】電路之效能與其他雙頻段四相位壓控振盪器的比較表

Parameters	This work	[25]	[26]	[27]
Technology (μm)	0.18	0.18	0.25	0.18
Quadrature Phase out	Yes	No	No	No
fosc(GHz)	2.4/5.2	0.667/1.125	1/2	0.865/1.812
Supply voltage(V)	1.3/1.5	1.8	2	1.8
Power consumption (mW)	5.46/6.75	21	11.25/ 13.5	16
Phase Noise (dBc/Hz) Offset MHz	-119/-116	-124/-123	-138/-132	-125/-123
	3	3	3	3
FOM(dB)	171/171	172/176	178/177	176/181

第四章

應用於超寬頻系統之低電壓鎖相迴路

在現今無線通訊要求越來越高的頻寬及處理速度下，射頻積體電路也隨之往越來越高的頻率發展，由於一般的振盪器頻率容易因環境變動，必須利用鎖相迴路來產生更高的頻率輸出信號，因為鎖相迴路是利用準確穩定的參考頻率來產生穩定信號輸出的回授系統，其準確度與參考頻率相近，又能操作在微波頻段，電路設計中亦可作為頻率合成器，當成本地振盪源成為無線收發器(transceivers)最關鍵的元件，提供對射頻信號升頻或降頻，本章針對鎖相迴路架構與基本原理來說明，並以1V的電壓來設計一個5.016GHz的鎖相迴路用以應用在超寬頻的頻率合成器設計中。

§4-1 鎖相迴路架構與基本原理[6][11][12][13]

基本架構之鎖相迴路為負回授系統如圖 4.1，其中包括五個子電路部份：分別為壓控振盪器(Voltage-Controlled Oscillator, VCO)、頻率相位檢測器(Frequency Phase Detector, PFD)、電流幫浦(Charge Pump)、迴路濾波器(Loop Filter)、除頻器(Frequency Divider)。鎖相迴路是控制壓控振盪器鎖定在 N 倍的參考週期頻率，而壓控振盪器輸出頻率會操作在迴路濾波器控制電壓 V_{ctrl} 的變化，因此如果壓控振盪器頻率的不等於參考頻率信號的 N 倍，相位檢測器與電流泵將與壓控振盪器的輸出信號經過除頻器除 N 後

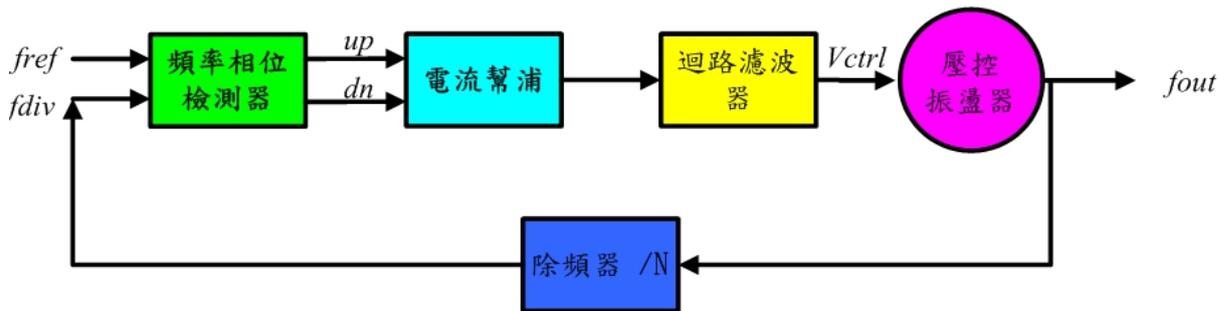


圖 4.1 鎖相迴路基本架構圖

的 f_{div} 和參考週期 f_{ref} 頻率之間相位差以成比例的低頻信號輸出，透過迴路濾波器調整零點極點來穩定系統和濾除參考頻率雜訊及高頻雜訊後進行充放電累積產生控制電壓，用以控制壓控振盪器頻率，使壓控振盪器的參考信號和輸出信號之間的相位差成為固定值，在穩定平衡時壓控振盪器頻率等於 $f_{out}=N \times f_{ref}$ ，若輸出有變化即立刻調整。通

常在鎖相迴路鎖定且小角度的操作時，其動態行為可以用線性係系統來做適當的推理和描述。以下針對各個部分做相關說明：

§4-1-1 壓控振盪器(Voltage-Controlled Oscillator)概論

在鎖相迴路設計中，壓控振盪器為最關鍵之元件，其功用為藉由調整外加控制電壓來改變振盪器之輸出振盪頻率，以得到需求的頻率，通常設計在線性區域，如圖4.2所示。

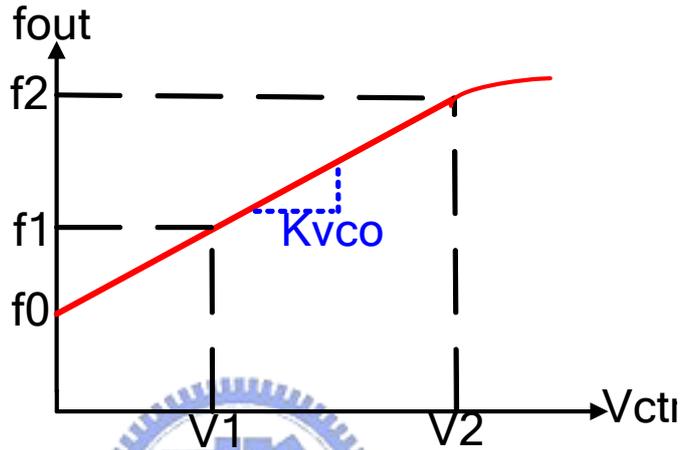


圖4.2 壓控振盪器特性圖

在圖4.2中， f_o 代表對應於 $V_{ctrl}=0$ 之交點，即為 free-running 頻率，可達到的範圍 $f_2 - f_1$ 稱為調頻範圍(Tuning Range)。理想的壓控振盪器為一個輸出頻率為控制電壓之線性函數的電路，其關係式為：

$$f_{out} = f_o + \frac{K_{vco}}{2\pi} V_{ctrl} \quad (4-1)$$

其中 K_{vco} 定義為

$$K_{vco} = \frac{2\pi \Delta f_{out}}{\Delta V_{ctrl}} \quad (4-2)$$

K_{vco} 象徵了電路增益或靈敏度(以 rds/s/V 來表示)。對於相位而言，它是頻率對時間的積分，所以壓控振盪器的輸出訊號可以表示為：

$$v(t) = A \times \cos[2\pi f_o t + K_{vco} \int V_{ctrl}(t) dt] \quad (4-3)$$

假設 V 為某個固定的電壓值 V ，則壓控振盪器的輸出訊號為：

$$v(t) = A \times \cos[(2\pi f_o + K_{vco} V) t + \phi_0] \quad (4-4)$$

其中 ϕ_0 代表相位之初始值。所以，當 V_{ctrl} 為一定值時，壓控振盪器之輸出頻率被提升了 $(K_{vco} \times V_{ctrl})$ 。

在鎖相迴路中，壓控振盪器可視為一線性時變系統，而控制電壓視為此系統之輸入，而多餘相位則視為此系統之輸出，其值為：

$$\theta_{vco} = 2\pi \int_{-\infty}^t (f_{VCO} - f_0) dt = \int_{-\infty}^t (K_{vco} V_{ctrl}(t)) dt \quad (4-5)$$

因此，壓控振盪器之轉換函數可以表示為

$$\frac{\theta_{vco}}{V_{ctrl}}(S) = \frac{K_{vco}}{S} \quad (4-6)$$

一般對於壓控振盪器而言，會要求其輸出頻率之頻譜純度要高(相位雜訊越小越好)、增益要大、控制特性的線性度要好、功率消耗要小、調頻範圍要廣等等。但這些往往是互相衝突的，設計者必需針對其需求做一取捨。

§4-1-2 除頻器 (Frequency Divider)

除頻器主要的功能為將壓控振盪器輸出之高頻訊號除 N 倍後降頻至相位頻率檢測器可接受的範圍。若輸入信號為 f_{div-in} 和輸出信號為 $f_{div-out}$ ，除頻器動作可表示為：

$$2\pi f_{div-out} = \frac{2\pi f_{div-in}}{N} \quad (4-7)$$

$$\int_{-\infty}^t \omega_{div-out} dt = \frac{\int_{-\infty}^t \omega_{div-in} dt}{N} \quad (4-8)$$

經過積分運算處理，除法器的相位轉移函數變成：

$$\frac{\theta_{div-out}}{\theta_{div-in}} = \frac{1}{N} \quad (4-9)$$

而加入除頻器的鎖相迴路應用更廣，除了可以操作在更高頻的環境(幾 GHz)外，本身可為多模式設計的除頻電路可使鎖相迴路具良好的倍頻功能，如此即可設計為頻率合成(Frequency Synthesis)，而被廣泛的應用於無線通訊方面；不過缺點是增加了鎖相迴路的複雜度，以及系統的功率消耗與晶片面積等。

§4-1-3 相位頻率檢測器 (Phase Frequency Detector, PFD)

相位頻率檢測器主要的功能為將外加參考訊號(A)與壓控振盪器輸出回授訊號(B)之間

相位(或頻率)的差異轉換為電壓訊號，如圖 4.3 所示。

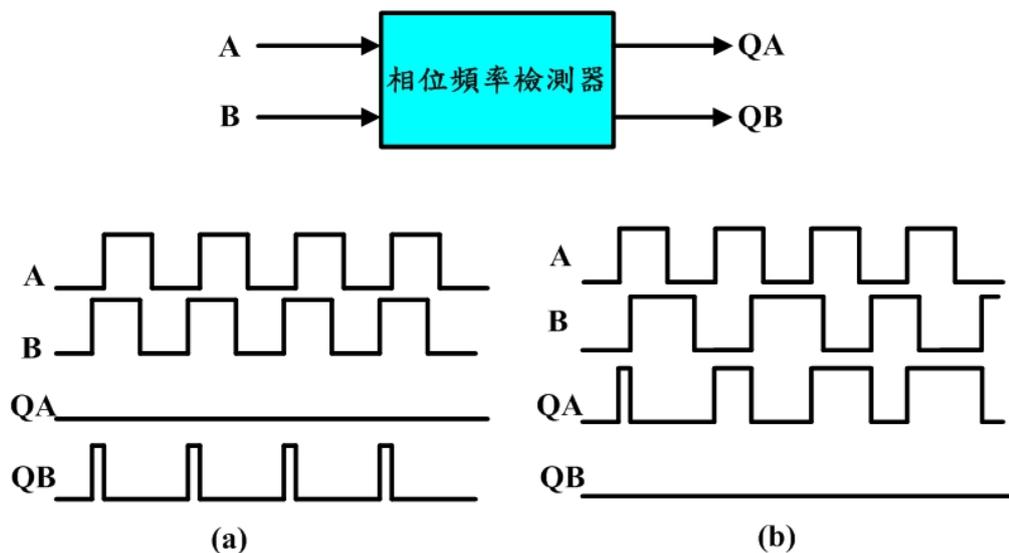


圖 4.3 相位頻率檢測器運作示意圖 (a)A 相位落後 B (b)A 頻率大於 B

在圖 4.3 (a)中，A 與 B 有相同的頻率，但 A 落後 B，輸出 QB 持續的產生寬度和 $\phi_B - \phi_A$ 成比例之脈衝，而 ϕ_A 維持在 0。在圖 4.3(b)中，A 的頻率大於 B 則 QA 會產生脈衝而 QB 不會。基於對稱性，若 A 相位領先 B，則 QA 會產生脈衝，而 QB 維持在 0，同理可得 A 頻率大於 B 之情形。若 A 與 B 相位相同，則 QA 與 QB 皆不會產生脈衝，維持在 0。

圖 4.3 之示意圖顯示了相位頻率檢測器的輸出時脈波形在進行中共出現了三種情形，稱之為相位頻率檢測器的“三態”特性，可以用一狀態圖來表示，如圖 4.4: 假設 QA 與 QB 在初始狀態時為 0，當 A 信號的正緣(Positive Edge)輸入時，相位頻率檢測器進入狀態 1(在此狀態輸出 QA=1, QB=0)。直到另一個 B 信號的正緣輸入時，相位頻率檢測器改變為狀態 0。同理，可得狀態 0 與狀態 2 之間的切換情形與上述相似。對於相位頻率檢測器相位檢測與輸出電壓之間的關係，可由圖 4.5 的特性關係圖得到。

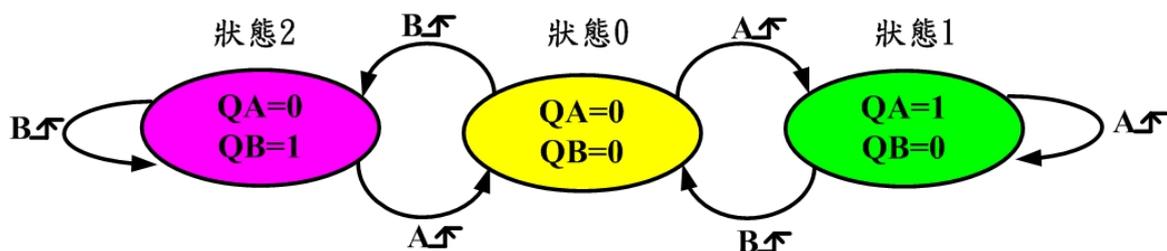


圖 4.4 相位頻率檢測器三態狀態圖

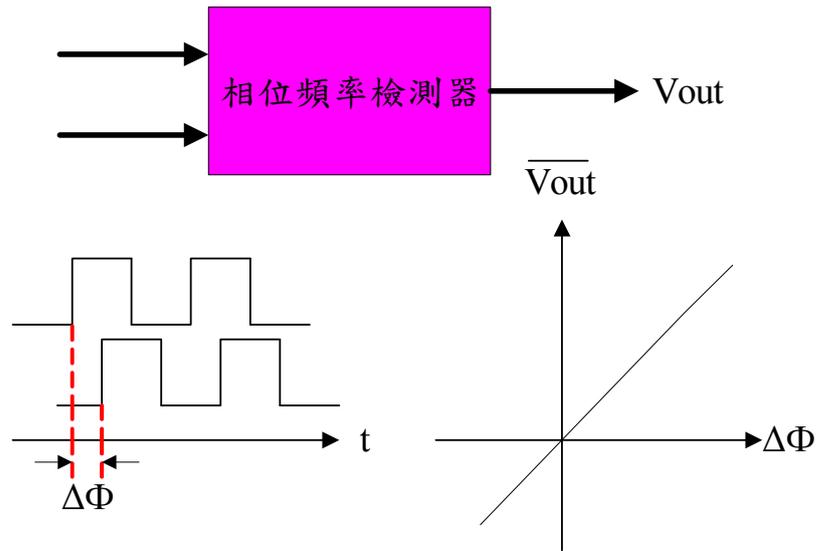


圖 4.5 相位檢測與電壓輸出

對於一個相位頻率檢測器而言，其平均輸出電壓 $\overline{V_{out}}$ 與兩個輸入端之間的相位差成線性比例，如圖 4.5 所示。其關係式為：

$$\overline{V_{OUT}} = K_{PD} \times \Delta\phi = K_{PD} \times (\phi_1 - \phi_2) = K_{PD} \times \phi_{PD-in} \quad (4-10)$$

$$K_{PD} = \frac{\overline{V_{PD-out}}}{\phi_{PD-in}} \quad (4-11)$$

其中 K_{PD} 為相位頻率檢測器之增益(單位為 V/rad)。在鎖相迴路中，相位頻率檢測器的輸出 QA 和 QB 之直流部份提供 $\phi_A - \phi_B$ 或 $\omega_A - \omega_B$ (A 與 B 之間的頻率差)的資訊，來給接在後面之電流幫浦(Charge Pump)電路做充電或放電動作的參考依據。輸出 QA 和 QB 分別被稱為 UP 和 DN 脈衝。此外，具檢測相位差與頻率差性質的電路對整個鎖相迴路來說是有益處的，它可以增加鎖相迴路的獲得範圍(Acquisition Range)以及鎖定速度(Lock Speed)。

§4-1-4 電流幫浦(Charge Pump)與迴路濾波器(Loop Filter)

電流幫浦主要的功能為將相位頻率檢測器輸出之電壓訊號轉換為電流訊號；其電路為開關及電流源的組合。開關由脈衝訊號控制，當相位頻率檢測器輸出為UP脈衝(QA)時S1導通，電流幫浦輸出充電電流對輸出端節點充電；反之，當相位頻率檢測器輸出為DN脈衝時(QB) S2導通，電流幫浦從輸出端節點汲取一電流，造成輸出端節點放電。在鎖定情況時(即外部輸入參考訊號與壓控振盪器回授訊號間無相位差)則相位頻率檢測

器不會輸出UP脈衝或DN脈衝且電流幫浦不會輸出充電或汲取放電電流，輸出端節點之電壓維持不變。為了使不匹配(Mismatch)的問題不會發生，須讓電流源 $I_1 = I_2 = I_{cp}$ ，如圖4.6所示。在圖4.6中，輸出電流與相位差成比例，兩者之間的關係為：

$$I_{cp-out} = I_{cp} \frac{\theta_{ferf} - \theta_{fdiv}}{2\pi} = I_{cp} \frac{\theta_{PD-in}}{2\pi} \quad (4-12)$$

$$\frac{I_{cp-out}}{\theta_{PD-in}} = \frac{I_{cp}}{2\pi}$$

其中 θ_{PD-in} 為相位頻率檢測器電路之兩個輸入訊號之間的相位差，其表示式為：

$$\theta_{PD-in} = \theta_{ferf} - \theta_{fdiv} \quad (4-13)$$

迴路濾波器為一低通濾波器，其功能為濾除電荷幫浦輸出之高頻部份、雜訊以及保持鎖相迴路的鎖定狀態。迴路濾波器在鎖相迴路中的頻寬需要依照應用來決定，一般的結構，都為二階低通濾波器，若為求仰制更多的高頻成分時，應設計較高階次的濾波器。

設計上通常是先決定整個鎖相迴路的型式及頻寬的相位邊緣(Phase margin)，然後再選擇RC濾波器的參數值。基本上，迴路濾波器低通截止頻率的選擇，決定於參考頻率的高低，目的在大幅衰減參考信號頻率，使之不能在壓控振盪器上產生調變信號，而分析PLL的穩定性我們常用相位邊緣來當作分析的條件，通常我們希望相位邊緣越大則表示系統的工作穩定性越高。如圖4.6中為二階迴路濾波器，其轉移方程式如下：

$$Z(s) = C_2 // (R_1 + \frac{1}{sC_1}) = \frac{1 + sC_1R_1}{s(sC_1C_2R_1 + (C_1 + C_2))} \quad (4-14)$$

$$= \frac{C_1R_1(s + \frac{1}{C_1R_1})}{(C_1 + C_2)s[\frac{s}{(C_1 + C_2)} + 1]} = Kh \frac{s + \omega_z}{s(\frac{s}{\omega_p} + 1)}$$

其中R1和C1提供一個穩定作用的 $\omega_z = 1/C_1R_1$ 的零點，並聯C2提供一較高的極點 $\omega_p = (C_1 + C_2)/C_1C_2R_1$ 增加濾波效果作為濾除控制信號其他的突波(ripple)，以避免在壓控振盪器的輸出產生寄生雜波(spurious)，不但如此，迴路濾波器的設計，對於鎖相迴路的特性影響甚大：如鎖定速度、迴路頻寬、阻尼因子(Damping Factor)等等。

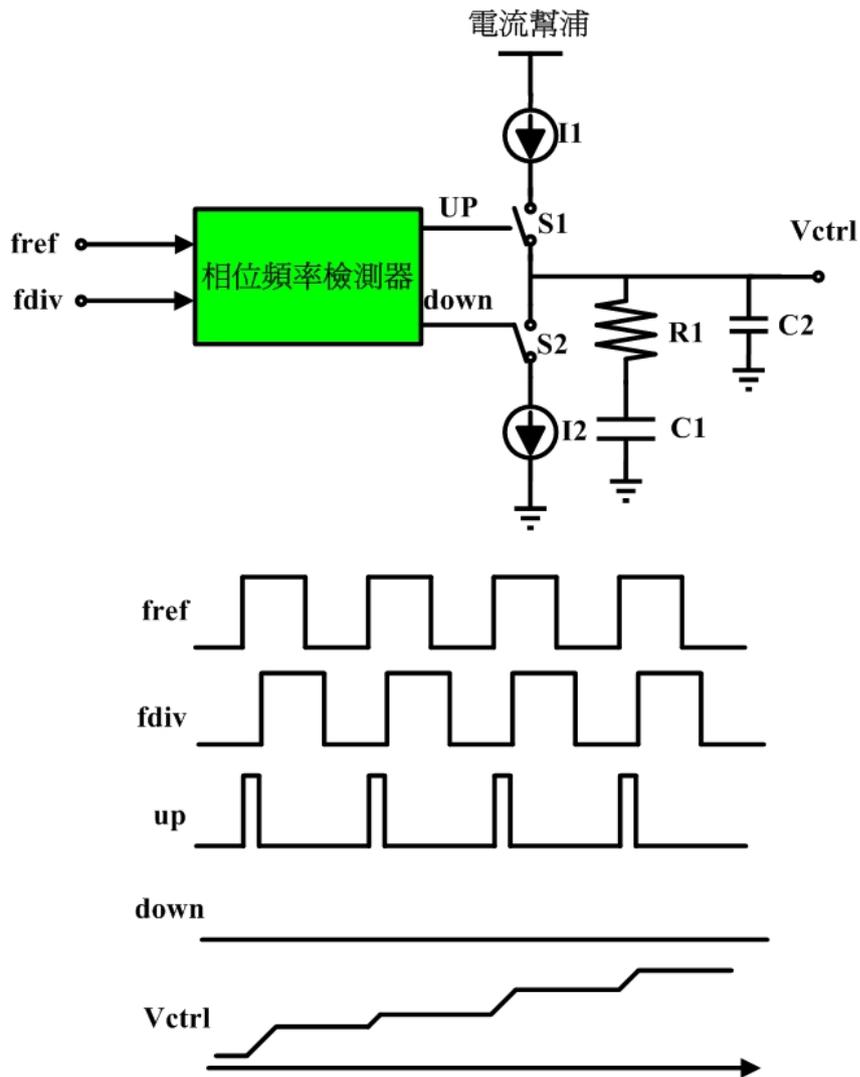


圖4.6 相位頻率檢測器與電流幫浦之示意與時序圖

§4-2 低電壓鎖相迴路設計

由於超寬頻在 MBOA 的規格要求中，切換時間僅有 9.5nS，採用傳統頻率合成器無法達到如此快速的鎖定時間來控制頻率的選擇，所以利用需外鎖相迴路來產生穩定的參考頻率，再經由除法器、多工器及單邊帶混頻器來產生每個頻帶的中心頻率。依據所提出的頻率合成器架構，鎖相迴路需要提供參考頻率及 5.016GHz 頻率等且需要能提供一組互相正交的信號 I/Q，設計的鎖相迴路如圖 4.8 所示，本架構採用三階鎖相迴路來設計，壓控振盪器輸出頻率為 5.016GHz 且能提供四個相位輸出(0°,90°,180°,270°)，再經過除以 128 電路產生低頻訊號來與參考頻率比較，達到鎖定輸出頻率的功能。內部電路底下細部介紹：

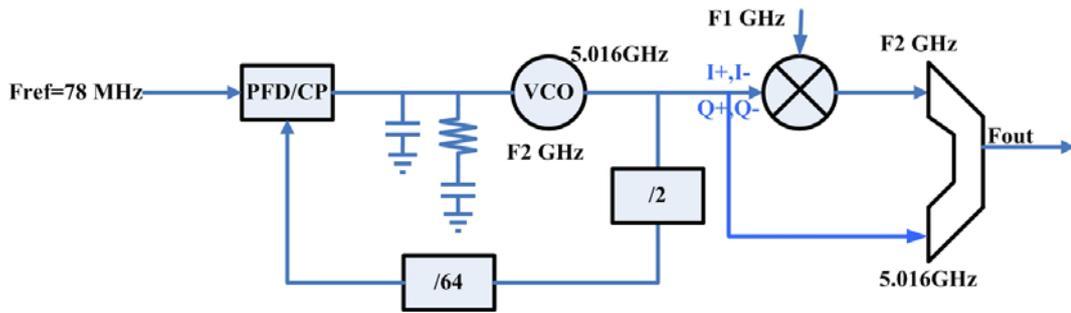


圖 4.7 鎖相迴路架構

§4-2-1 正交輸出壓控振盪器

超寬頻系統需求低功率損耗的電路設計，因此本研究主要著重於設計一低功率損耗壓控振盪器。根據實驗室所提出之超寬頻頻率合成器架構中的鎖相迴路的頻率要求，來設計壓控振盪器工作頻率在 5.016 GHz，在提出的架構中頻率可調範圍並不是特別要求，希望是在達到低功率損耗特性。

此次設計正交輸出壓控振盪器的電路架構如圖 4.8 所示，提出的電路架構如下：壓控振盪器電路是由兩個相同的差動輸出壓控振盪器組成，由兩組 NMOS 交錯耦合對 (NMOS cross-coupled pair) 的主動埠及 LC 諧振埠利用交錯耦合對來產生負阻，加上四個相位移電路彼此交叉耦合晶體，使兩個壓控振盪器對可以藉由像迴圈的方式串接產生相同的頻率但是不同的相位差的輸出，這樣的串接下使每個輸出的相差均有 90 度的變化且單一個壓控振盪器對相差為 180° 達到四相位的輸出。LC 諧振埠決定振盪頻率及使

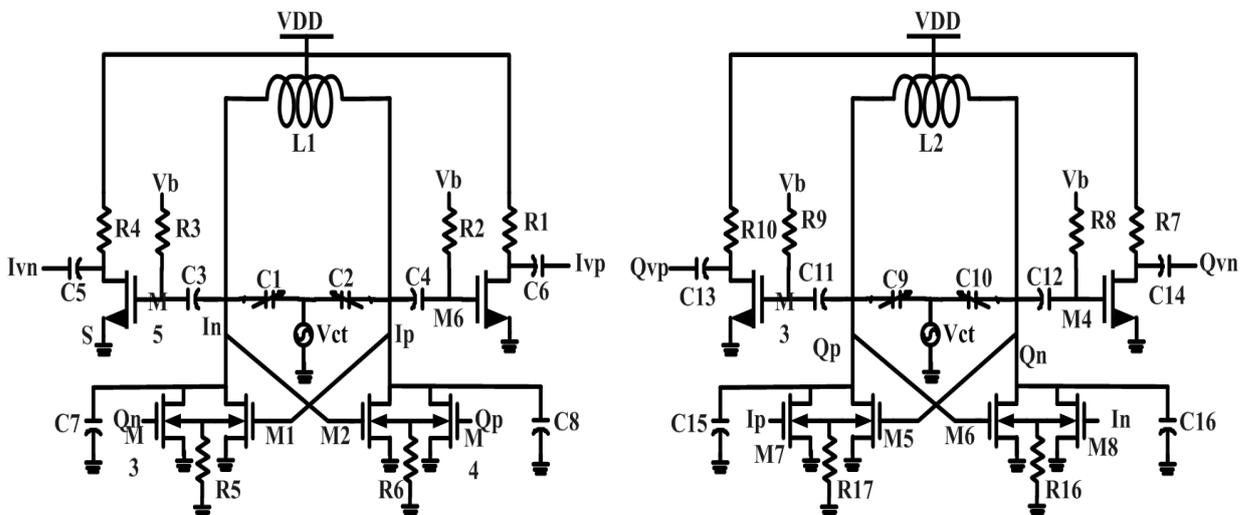


圖 4.8 低電壓 5.016GHz 正交壓控振盪器

用主動放大電路補償諧振埠寄生電阻所造成之損耗。利用基底串連高阻抗電阻來阻隔雜訊由地端引入基底，再配合在主動埠並聯電容達到改善品質因數並可降低電感感值的需求，減少面積，用以改善一般低電壓正交輸出壓控振盪器相位雜訊率較高的缺點。

§4-2-2 除頻器

除頻器可以藉由許多級的連接而產生我們所需要的比值。其中第一級的預除器需能承受壓控振盪器的高頻信號，而設計一個很快又有效率的預除器則可以減少壓控振盪器頻率變化造成的功率損失，因此設計上採用源極串接對的邏輯閘 source-coupled logic (SCL) 當第一級。整個電路的功率消耗與 CMOS 有關且整個相關式為 $C_{DB}V_{dd}V_Sf$ ， V_S 是電壓的變化， V_{dd} 是偏壓， C_{DB} 是源極到基底的相對電容， f 是壓控振盪器的頻率，這整個第一級的預除器如圖 4.9 所示的位準偏移主僕式耦合閘除二電路[28]，其輸入為一組差動訊號，在低電壓操作時，利用外加偏壓來對信號位準偏移，用以驅動電晶體，使輸出能產生四個相位的信號以符合我們架構的需求，設計上可以從四路輸出中取出一組信號 I+/Q+ 來利用在鎖相迴路。

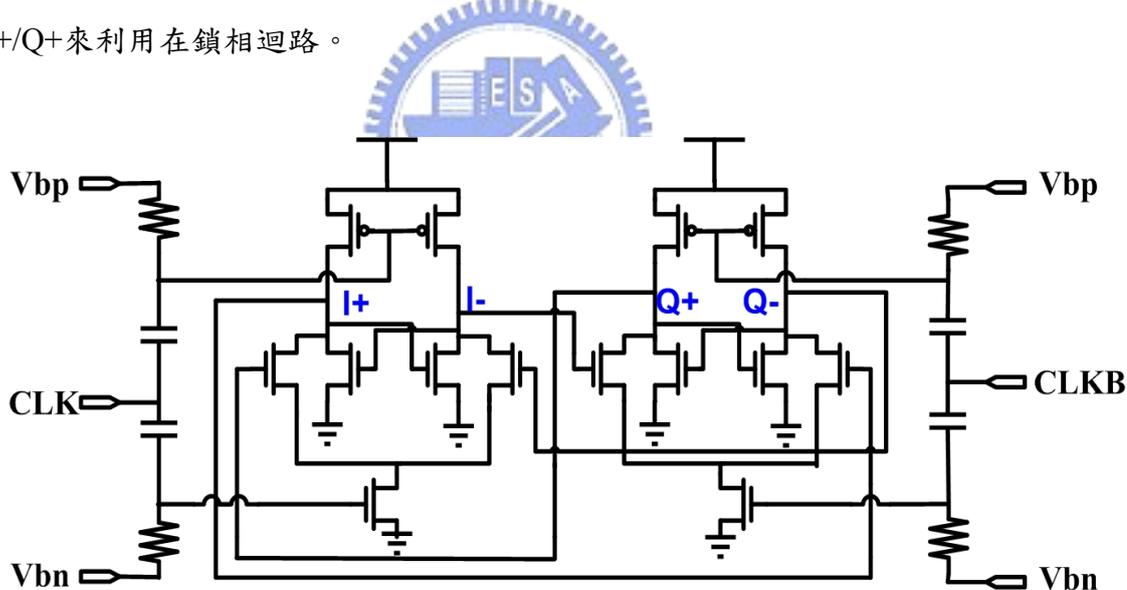


圖 4.9 位準偏移主僕式耦合閘預除器電路

壓控振盪器頻率在經過預除器後工作速度降低，此時後段的除頻器即可產生低頻信號來和參考頻率在相位頻率檢測器比較達到鎖頻功能，所以設計上選擇架構較為簡單的改良式真單相時脈除二電路[29]，如圖 4.10 所示。改良式真單相時脈電路只需要一個時脈訊號不需反相時脈，可以避免延遲時間簡化電路複雜度。不同於一般標準真單相時脈電路，輸入脈衝訊號接在最接近供應電源的電晶體，這樣可以減低內部節點的電容效

應，與 SCL 除頻器相比，這種除二電路只需用到 6 顆電晶體其結構具有簡單、低功率損耗的優點。除 64 電路如圖 4.11 所示，利用串接 6 級 TSPC 除 2 電路以達到除 64 功能。

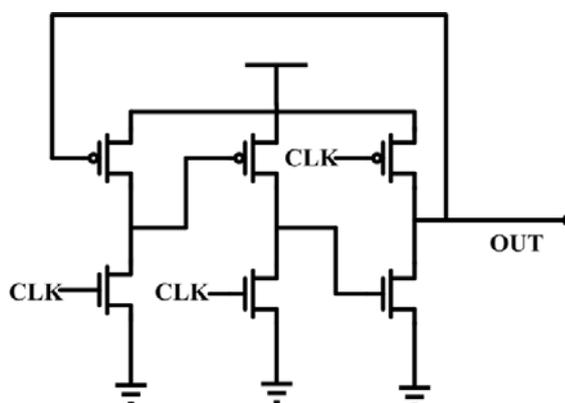


圖 4.10 改良式真單相時脈(TSPC)除二電路

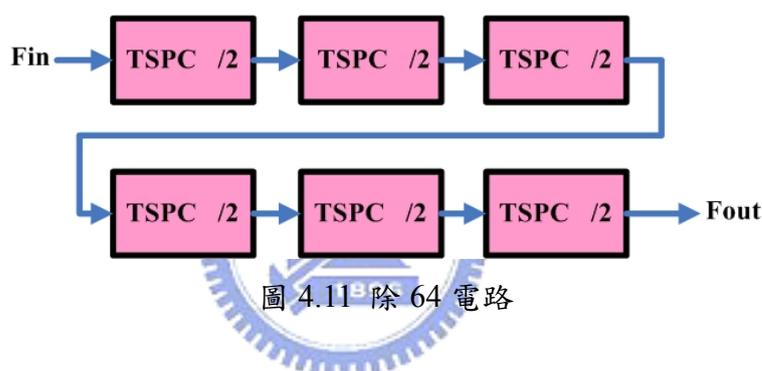


圖 4.11 除 64 電路

§4-2-3 相位頻率檢測器

傳統的三態相位頻率檢測器設計大都採 D 型正反器相位比較器架構，其電路架構如圖 4.12 所示，而此電路有電路最高操作頻率的限制及電路訊號死區(dead zone)現象的產生等缺點，尤其是訊號死區現象將會影響鎖相迴路之鎖入時間及鎖入狀態，而本設計所採用的電路架構為預先充電型相位頻率檢測器(Precharge-type PFD)[30]如圖 4.13 所示，相較於傳統電路架構，不但能降低傳統電路訊號死區現象及電路最大可操作頻率的限制，且而於使用較少的晶體結構，也可縮小佈局面積。

相位頻率檢測器會比較輸入信號相位，假設 Reference 比 Slave 快，則 Up 訊號為 high，Down 訊號為 low；反之 Reference 比 Slave 慢，則 Up 訊號為 low，Down 為 high。與傳統的檢測器相比，預先充電型相位頻率檢測器只需傳統架構的 1/3 的電晶體數目，可大大地縮小佈局面積。更能消除傳統電路訊號死區現象及增加電路最大可操作頻率的限制。

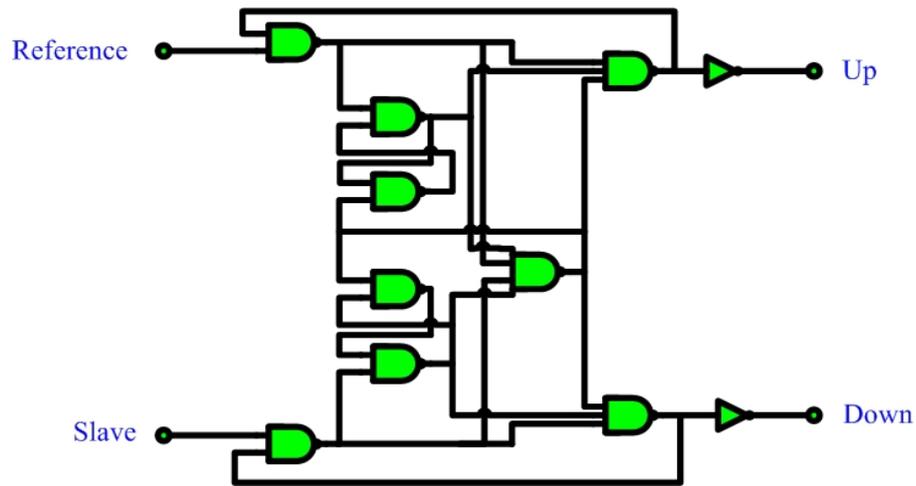


圖 4.12 傳統相位頻率檢測器

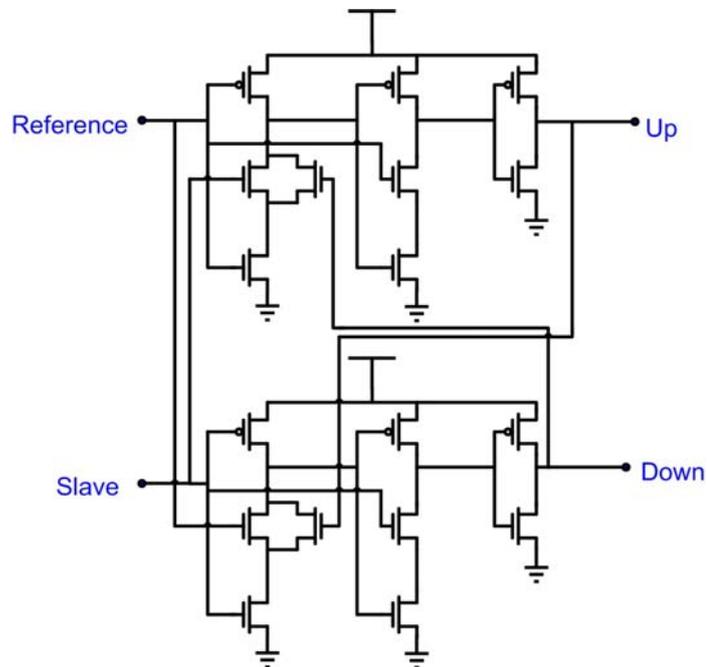


圖 4.13 預先充電型相位頻率檢測器

§4-2-4 電流幫浦

在電荷幫浦設計上，一般傳統的電流幫浦(charge pump)架構如圖 4.14 所示，根據相位比較器產生的 V_u 或 V_d 訊號來對迴路濾波器作充電或放電動作，去控制壓控震盪器的輸出頻率，其電路架構有兩種非線性效應[11] [31]。

1. 充放電流源不匹配

由於電流幫浦輸出的充放電開關在切換時會始電流不匹配，致使在真正零相位差時仍會產生些微的相位誤差以抵消電流源的不匹配，使控制電壓被週期性干擾產生漣波，造成壓控振盪器輸出頻譜產生兩旁波。

2. 電荷分配效應

由於開關是由 CMOS 製成，在兩者均開路時，X 與 Y 點電壓分別為工作偏壓與零，當開關再接上時，寄生電容 C_x 與 C_y 會與 C_p 瞬間重新分配電荷造成輸出電壓產生突波。

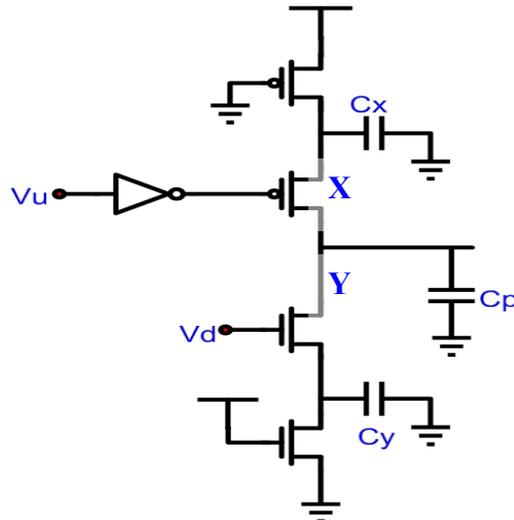


圖 4.14 傳統電流幫浦電路架構

基於這兩種非線性考量，採用可降低充放電流不匹配與電荷分配的電流幫浦電路，如圖 4.15 所示，電流幫浦根據相位頻率檢測器輸出數位邏輯訊號透過迴路濾波器轉換成類比訊號來控制壓控震盪器的輸出頻率， Upb 表示 Up 經過反相器之訊號，本架構採用源極切換(switch on source)方式，可降低電荷分配(charge sharing)效應的影響，且採用兩組電流鏡來使充放電流更加匹配。

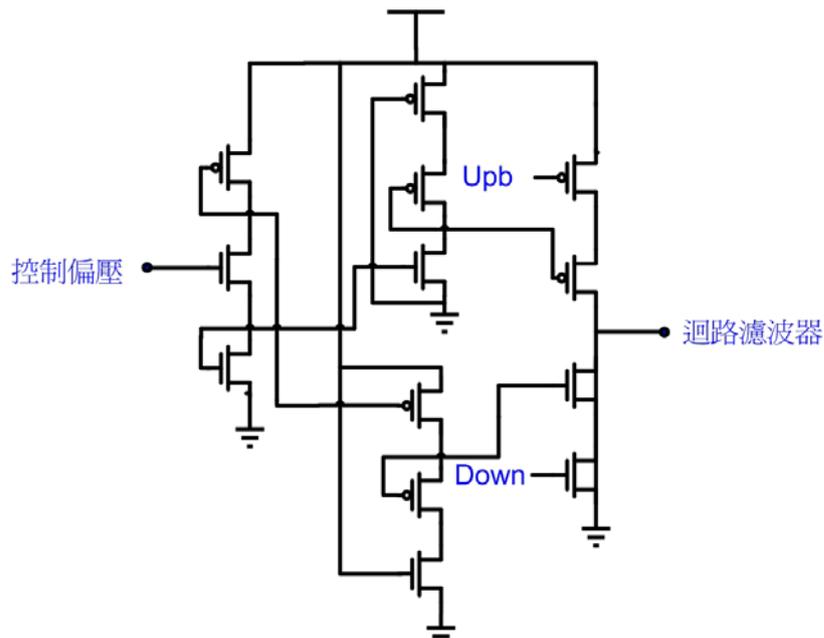


圖 4.15 電流幫浦

§4-2-5 迴路濾波器

此次採用的迴路濾波器為二階形式設計，如圖4.16所示，電流幫浦的電流源輸出電荷注入迴路濾波器，用來將電荷轉換為壓控振盪器的控制電壓，由於在電荷幫浦流輸出瞬間變化所引起在壓控振盪器控制埠的不連續電壓，可以增加並聯電容 C_2 來壓抑，使得電路穩定增加，一般都設計 $C_2 \leq 0.2C_1$ 。而電阻 R_1 會有雜訊直接進入壓控振盪器的問題，在設計時需注意在合理的相位邊緣下選較低的電阻 R_1 以降低相位雜訊或設計較大的電流幫浦充放電流，而迴路頻寬的選擇，通常為比較頻率的1/40，不能太小也不能太大，太小則迴路反應慢，太大則靠近比較頻率，中間無法再加入極點，迴路無法將比較脈衝濾除。

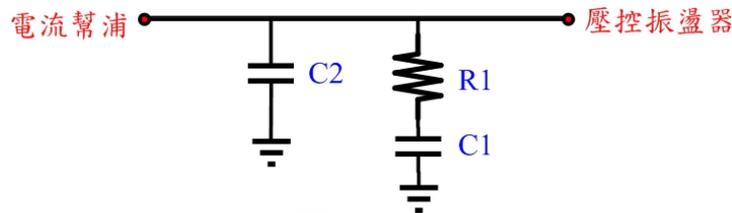


圖 4.16 二階迴路濾波器

§4-2-6 其他設計考量

1、緩衝放大器設計考量

基於量測上的因素，鎖相迴路中壓控振盪器的輸出端必須加上輸出緩衝級，本電路緩衝放大器的設計是採用 2.6.4 節所提出的 NMOS 共源極組態放大器結構，如圖 4.17 所示， R_1 為 $K\Omega$ 級， R_2 為幾十 Ω ，由於緩衝級輸入端的雜散電容也會影響到振盪頻率且振盪器起振後為大訊號，故緩衝級的設計上，其線性度要高，避免因非線性造成輸出波形的失真或降低相位雜訊，而影響到輸出頻譜的純度。

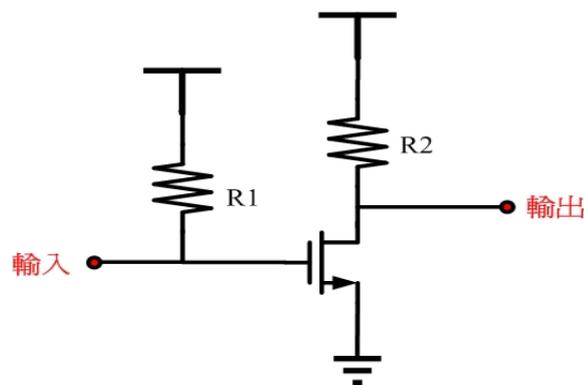


圖 4.17 緩衝放大器

2、電路佈局考量

鎖相迴路包含射頻及數位電路，考量數位電路的雜訊容易干擾射頻電路，所以在電路佈局將數位電路與射頻電路的接地線及工作偏壓分開，且另外利用接地guard ring把數位以及射頻電路分隔開來，降低數位電路雜訊對射頻電路影響，並在電路佈局剩餘空間加上旁路電容用以隔絕工作偏壓雜訊對電路影響。

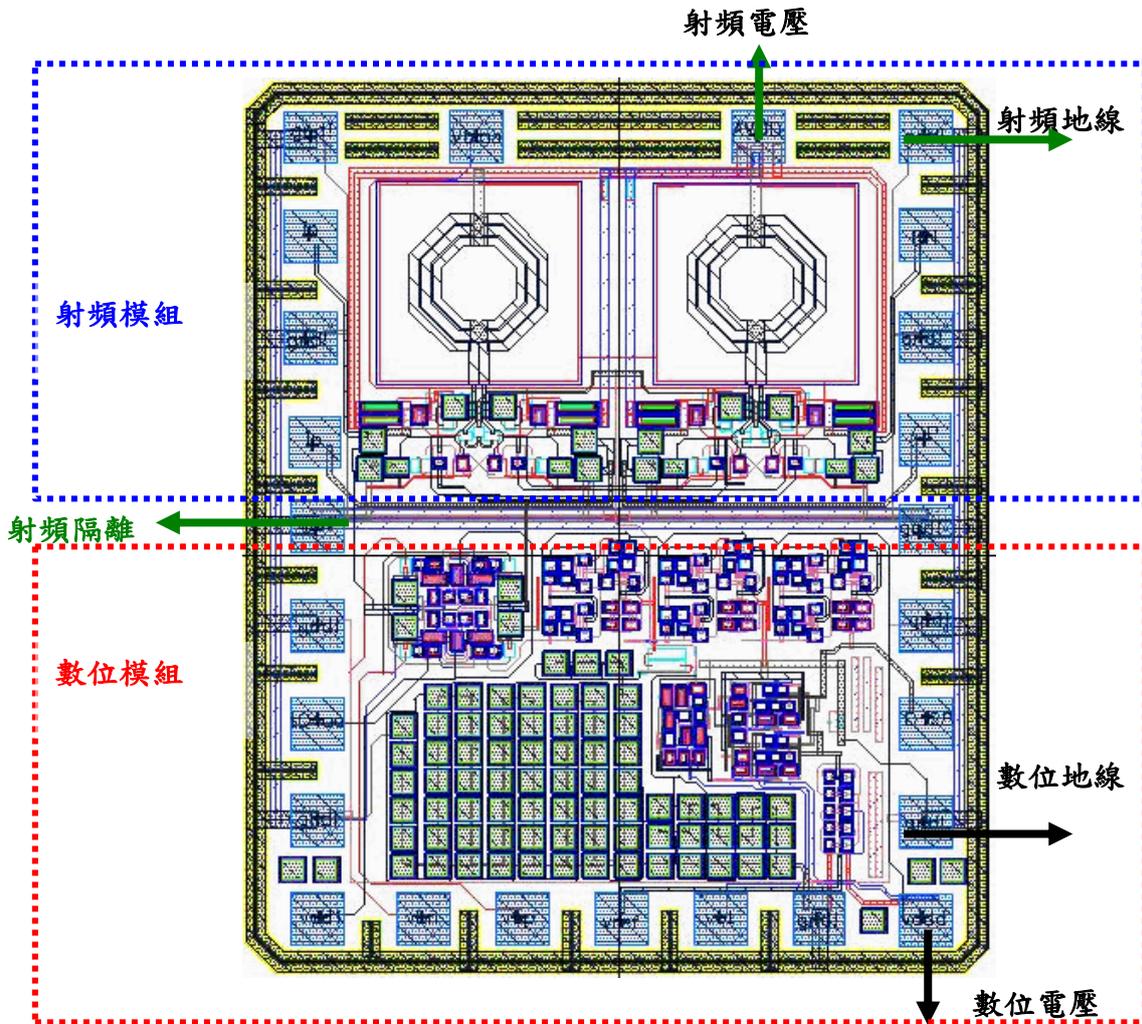


圖4.18 佈局考量

3、電路模擬結果之考量

(1) Pad 效應之考量

帶入晶片中心(CIC)所提供的等效電路，如圖 4.19 等效模型所示。



圖 4.19 PAD 等效模型

(2) 鍍線效應之考量

帶入晶片中心(CIC)所提供的等效電路，電感約為 0.8 nH/mm 、等效串聯電阻為 $0.16 \Omega/\text{mm}$ ，如圖 4.20 等效模型所示。

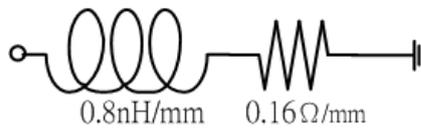


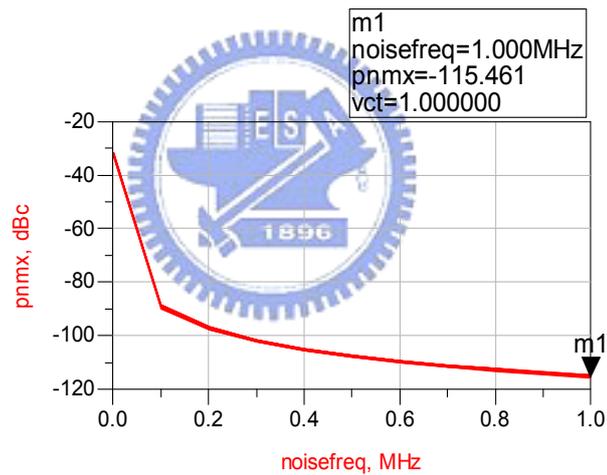
圖 4.20 鍍線等效模型

(3) EM 模擬之考量

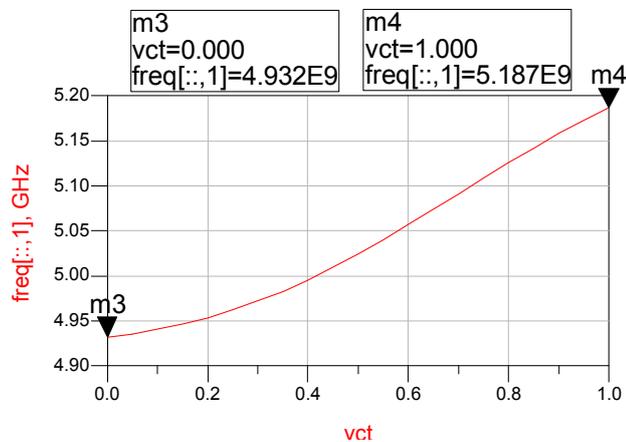
將電路佈局檔案(即.gds) 匯入至 ADS Momentum 粹取較長跑線之效應。

§4-2-7 模擬結果

1、正交輸出壓控振盪器



(a) 相位雜訊



(b) 頻率可調範圍

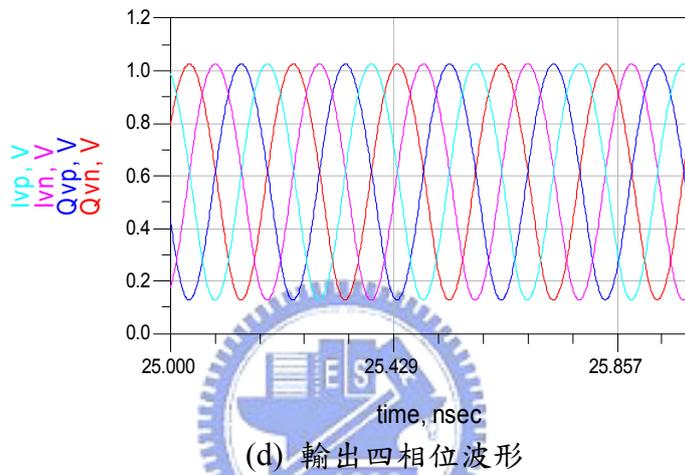
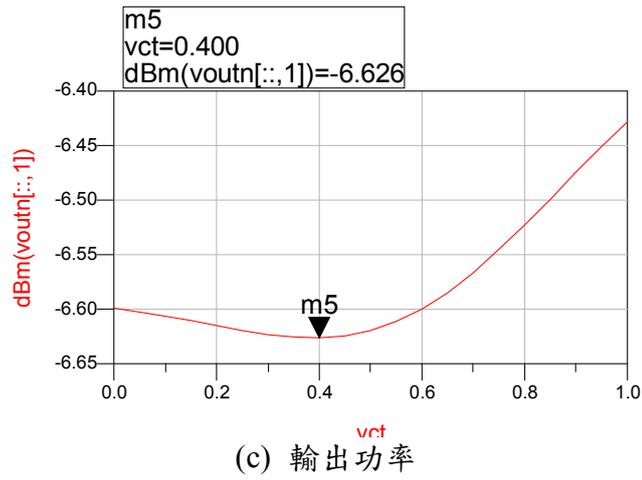


圖 4.21 正交輸出壓控振盪器模擬結果

2、除頻器

(1) 第一級預除器的除 2 電路

第一級預除器的除 2 電路採用位準偏移主僕式耦合閘預除器電路，其差動輸入頻率為 5.016 GHz，輸出為 2.508GHz，且有四相位弦波輸出，圖 4.22 為頻域頻譜圖。

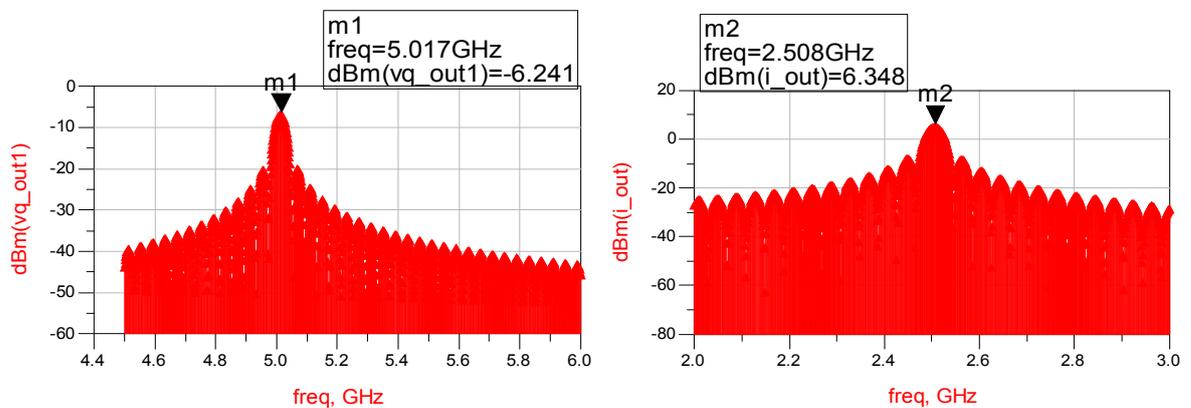


圖 4.22 位準偏移主僕式耦合閘除 2 電路頻域輸出

(2) 第二級除 64 電路

第二級的除 64 採用八個改良式 TSPC 除二電路串接與第一級連接形成除 128 電路，其輸入頻率為 2.508 GHz，輸出為 39.1875MHz，圖 4.23 為輸出時域波形圖。

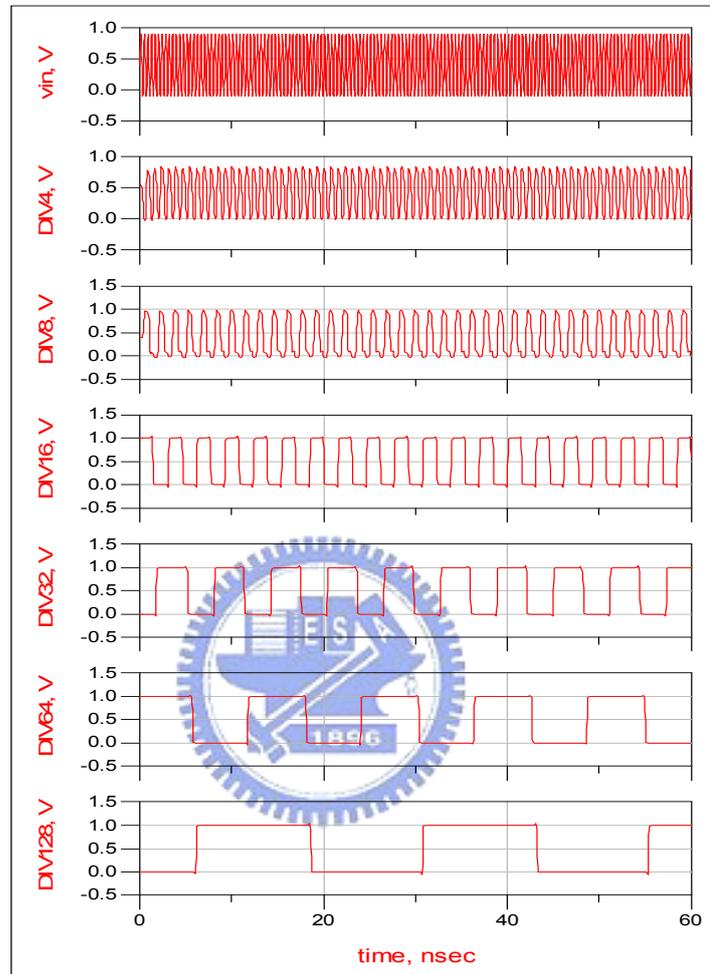


圖 4.23 除 64 電路輸出時域波形圖。

3、相位頻率檢測器、電流幫浦與迴路濾波器

當參考信號(V_r)相位領先回授信號(V_d)時，Up 訊號輸出為 high 的時間較長，所以控制電壓會往上升。圖 4.24 為 V_r 相位領先 V_d 時，充電情形的電壓時序圖。反之，當回授信號(V_d) 相位領先輸入信號(V_r)時，Down 訊號輸出為 high 的時間較長，所以控制電壓往下降，圖 4.25 為 V_d 相位領先 V_r 時，放電情形電壓時序圖。觀察圖 4.24 及 4.25 可看出，相位頻率檢測器能夠辨別輸入信號的相位不一樣而對迴路濾波器做充放電動作。

在迴路濾波器設計上，利用 ADS 模擬帶入設計的低通濾波器及相關參數做最佳化調整，得到迴路頻寬約為 400KHz 如圖 4.26。

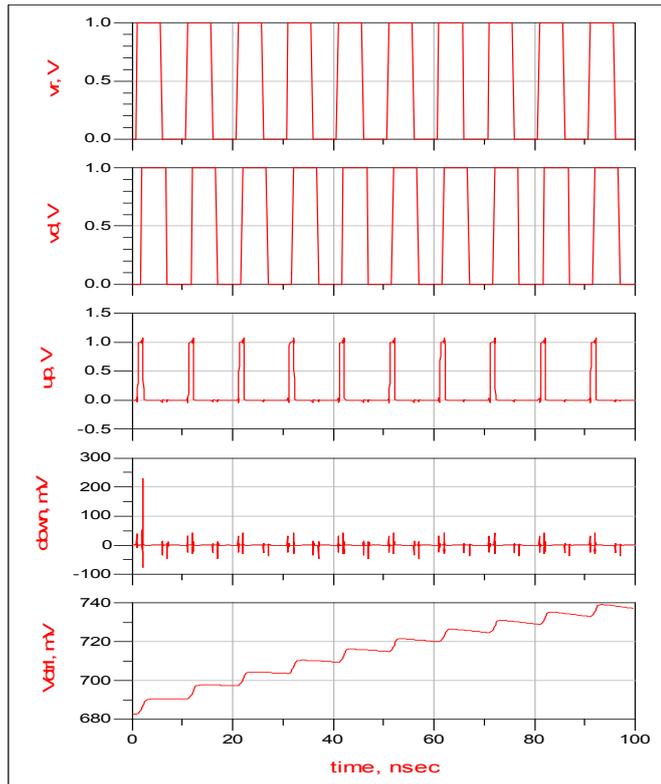


圖 4.24 參考信號(V_r)相位領先回授信號(V_d)

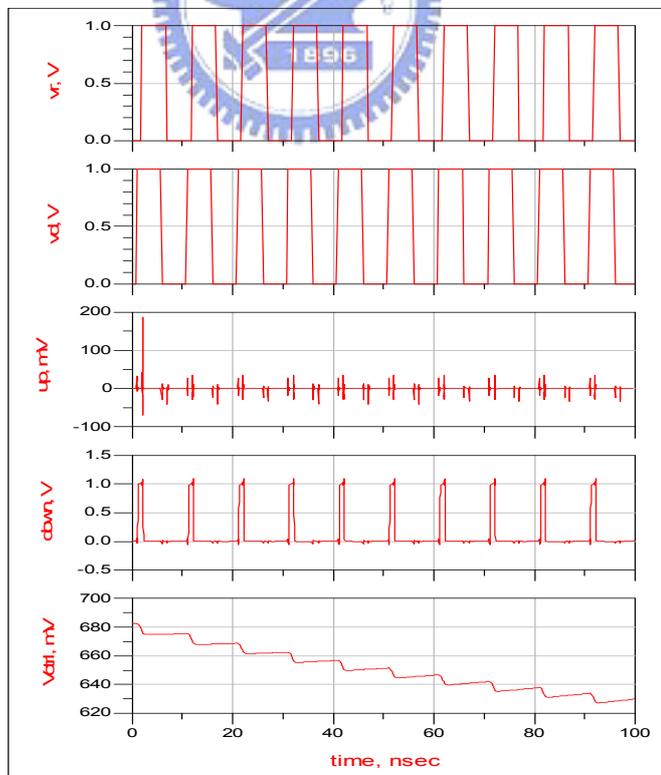


圖 4.25 回授信號(V_d)相位領先輸入信號(V_r)

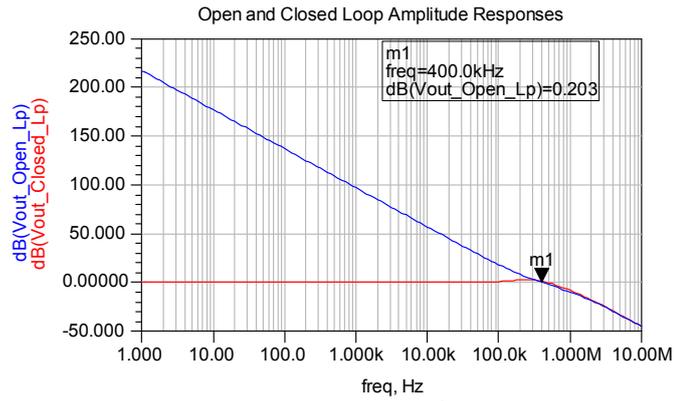
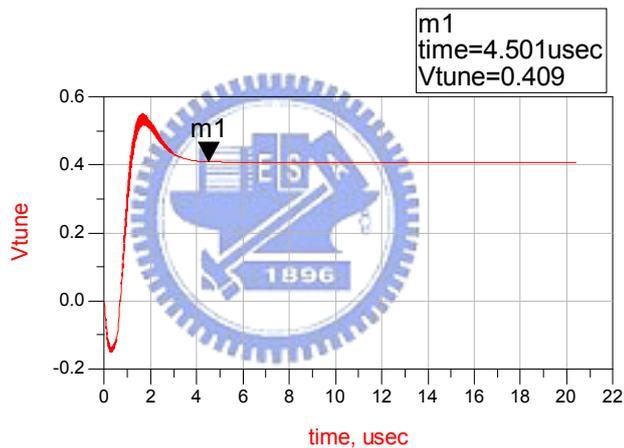


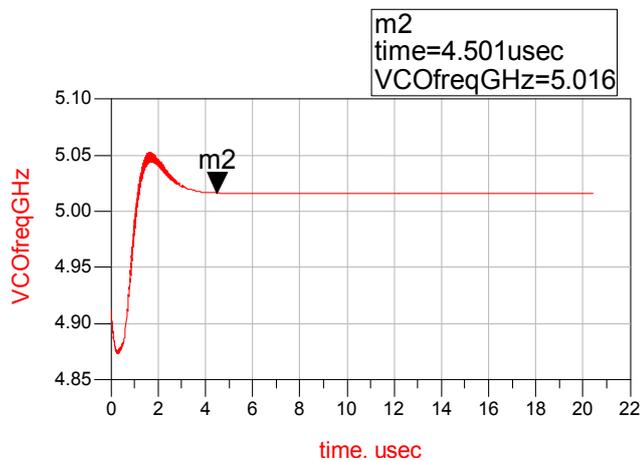
圖 4.26 迴路頻寬

4、鎖項迴路行為模擬

用 ADS PLL Transient Response Simulation 來模擬驗證，觀察調整電壓和輸出頻率的安置時間(Settling time)對時間的關係，如圖 4.27(a)及圖 4.27(b)可獲得迴路在 4.5us 內可達到穩定。



(a) 鎖定時，調整電壓的安置時間



(b) 鎖定時，輸出頻率的安置時間

圖 4.27 ADS Transient Response 安置時間模擬結果

5、整個迴路模擬

整個鎖相迴路包含所有子電路利用 ADS 軟體來模擬暫態分析，觀察迴路濾波器的電壓隨時間的變化情形，其結果如圖 4.28 所示。

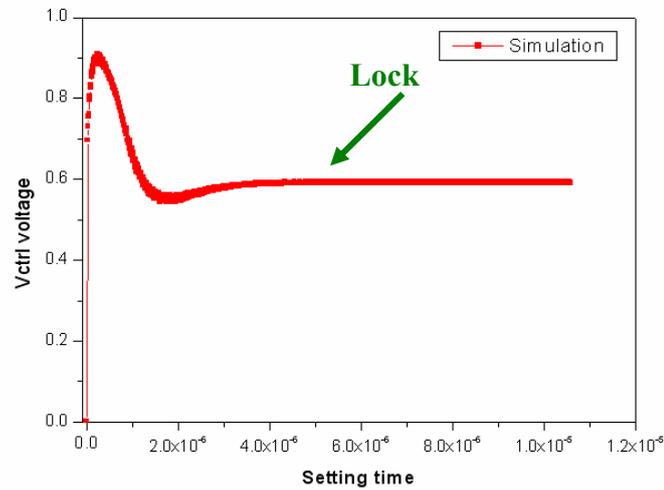


圖 4.28 壓控振盪器控制電壓時域波形圖

觀察波形圖可知，鎖相迴路控制電壓穩態大約在 0.592V，而可達到穩定輸出頻率的設定時間(setting time)約為 4.5 μ s。

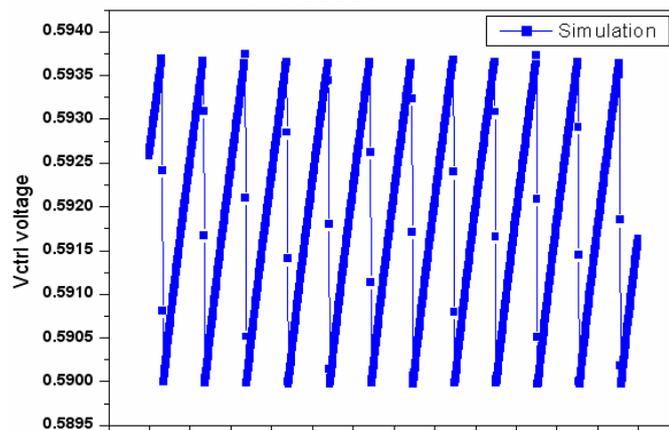


圖 4.29 壓控振盪器控制電壓在穩態下時域變化

圖 4.29 為壓控振盪器控制電壓在穩態下時域變化，圖中顯示迴路穩態之後的控制電壓(V_{ct})在 0.59V 以 3.75mV 之間擺幅，表示在鎖定情形下頻率誤差的平均值為零，瞬間誤差並非為零。

6、鎖相迴路輸出功率模擬

鎖相迴路輸出 5.016GHz 的頻率，且需要有一組正交訊號產生，圖 4.30 為迴路穩定下頻率的時域波形圖。

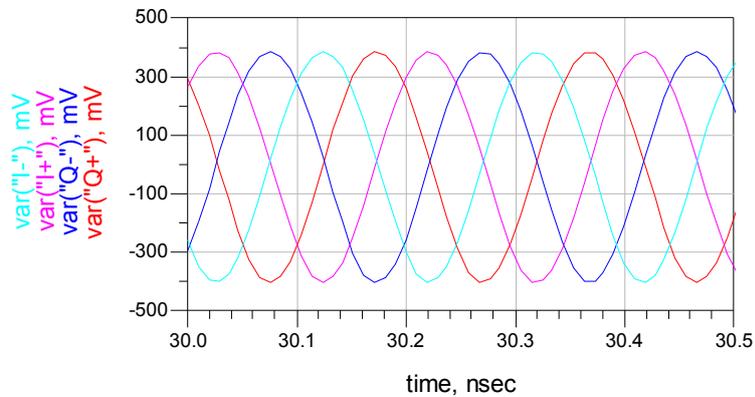


圖 4.30 迴路穩定下時域波形圖

觀察模擬結果知，5.016GHz 的輸出功率約有 -6.5dBm，有正交信號產生。使用 1V 低電壓之超寬頻 MBOA 系統低功率正交輸出鎖相迴路電路的佈局圖如圖 4.31，晶片面積為：1.360 x 1.125 mm²。

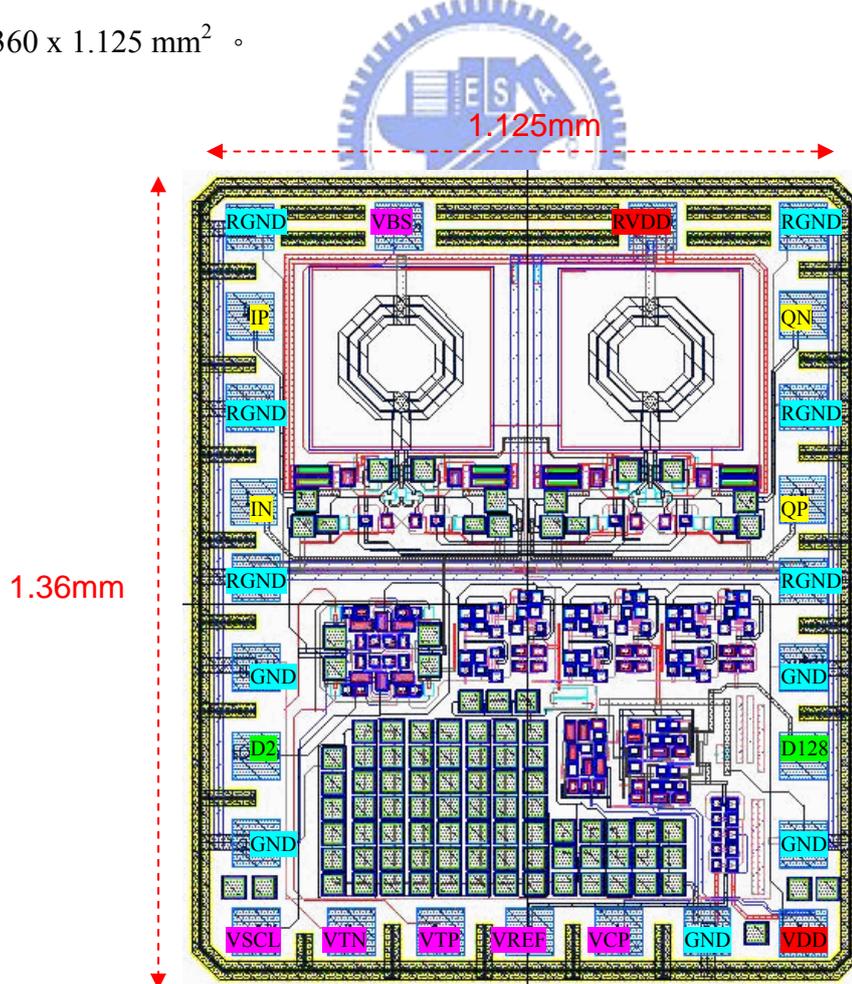


圖 4.31 低電壓鎖相迴路佈局平面圖

§4-2-8 討論

本章設計了一種可應用於超寬頻系統低電壓頻率合成器的鎖相迴路，操作在 1V 的低電壓操作，並提供 5.012GHz 的頻率輸出，同時產生一組互為正交的 I/Q 正交訊號：鎖相迴路電路採用的除頻器為使用位準偏移的主樸式耦合閘(CML divider)電路，預先充放電式的相位比較器，改良單相時脈(TSPC divider) 的除法器，功率消耗為 5.58mW。電流幫浦的設計採用源極切換(switch on source)方式加上使用電流鏡設計，使充放電流更加匹配。振盪器提出使用低電壓技術，具有低功耗優點。

整個迴路使用 ADS 模擬並做驗證，由於頻率合成器的切換時間是由多工器來決定，鎖相迴路的鎖定時間並不是要求重點，目標是達到低功率損耗功能，及頻率的穩定。

表 4.1 為預計使用 1V 低電壓之超寬頻 MBOA 系統低功率正交輸出鎖相迴路設計模擬規格結果列表。與其低電壓鎖相迴路比較表現如表 6.2。由上表可知 phase noise 的特性相比較與上述的 paper 差不多，但是這次下線的 1V 低電壓之超寬頻 MBOA 系統低功率正交輸出鎖相迴路，其功率消耗較低，所以設計上達到預期的效果。

表 4.1 【電路 4】低電壓鎖相迴路規格表

Parameter	Quadrature output PLL ; vdd=1V	
Reference frequency	78.375 MHz	
Output frequency	5.016 GHz	
Divider ratio	128	
VCO Phase Noise@1MHz (dBc/Hz)	-115	
Lock time(us)	4.5	
Chip size	1.36 × 1.125 mm ²	
Power Consumption (mW)	QVCO	3.51 mw
	Divider	1.15 mw
	PFD&CP	0.92 mw
	total	5.58mw

表 4.2 【電路 4】與近年強調低功耗鎖相迴路論文期刊比較表

Reference	Technology	Frequency (GHz)	Phase noise (dBc/Hz)	Tune range (GHz)	Supply voltage	Power consumption (mW)
[28]	0.18um CMOS	5.5	-111dBc @1MHz	5.45 5.65	1V	27.5
[32]	0.18um CMOS	5.2	-113dBc @1MHz	5.15 5.35	1.8V	56
[33]	0.13um CMOS	3.125	NA	NA	1/2.5V	15
[34]	0.25um CMOS	5	-116dBc @1MHz	5.14 5.70	2.5V	13.5
This work	0.18um CMOS	5.016	-115dBc @1MHz	4.936 5.192	1V	5.58



第五章

結論

現代通信技術日新月異，隨著頻寬不斷的要求，超寬頻 UWB 的 MB-OFDM 技術提出最高 480Mbps 的速率傳輸，成為無線 USB(Wireless USB, WUSB)和藍芽 3.0 所採行的技術標準，WiFi 的 802.11n 亦朝此方向發展，此外系統單晶片(System on chip)的研發，更加促進系統電路單一積體化的趨勢，加上射頻電路研發將使得多模態系統邁入實用階段，也因此多頻帶與多模態系統之射頻傳收模組儼然已成為未來無線通訊市場的趨勢。而上述的應用在相關可攜式產品裡首當其衝的議題即是耗電量，本論文即朝此方向做相關的研究，利用 TSMC 0.18 μ m RF CMOS 製程，配合安捷倫公司所提供的模擬軟體 Advance Design System (ADS)，設計完成兩個可應用於超寬頻系統及一個應用於 WiFi 系統的低電壓高頻壓控振盪器和一個應用於超寬頻系統的低電壓鎖相迴路電路設計。共計四類的低電壓低功率電路設計。

第一個設計為應用於超寬頻低電壓之壓控振盪器；此類應用於超寬頻 0.6V 低電壓之壓控振盪器，採用 NMOS 交錯耦合對的 LC 調諧壓控振盪器，其特色在於加上交聯電容架構設計，藉由在主動埠並聯電容達到改善品質因數，進而降低相位雜訊。在使用 0.6V 的電壓量測結果如下，以 7.92GHz 信號輸出時，相位雜訊在 600KHz 的偏移下為 -95dBc/Hz，1MHz 偏移下為 -104dBc/Hz，頻率調整範圍為 325MHz，功率消耗僅有 0.54mW，FOM 值為 185。

第二個振盪器採用四相位正交輸出的設計，採用 0.65 低電壓操作，其特色為利用基底串連高阻抗電阻來阻隔雜訊由基底引入地端，再配合在主動埠並聯電容達到改善品質因數並可降低電感感值的需求，減少面積，用以改善一般低電壓正交輸出壓控振盪器相位雜訊率較高的缺點，而電路的量測結果如下：頻率可調範圍為 232MH，功率消耗為 2.67mW，在產生 7.68GHz 信號輸出時，相位雜訊@1MHz offset 為 -108dBc/Hz，輸出功率約 -7dBm，FOM 值為 181.7。

第三個振盪器為雙頻段四相位正交輸出的設計，其特色為利用簡化雙頻帶壓控振盪器及電流再利用方式來設計電路，因減少電感的使用量，降低一般雙頻段正交輸出壓控振盪器耗功率的缺點。在低頻段 1.3V 及高頻段 1.5V 操作下，電路的量測結果如下：在低頻段 2.79GHz 頻率輸出下，頻率可調範圍為 156MHz，功率消耗為 5.46mW，相位雜訊在 600KHz offset 為 -101dBc/Hz，在 1MHz offset 為 -119dBc/Hz，輸出功率約 -16dBm，

在高頻段 4.63GHz 頻率輸出下，頻率可調範圍為 301MHz，功率消耗為 6.75mW，相位雜訊在 600KHz offset 為 -91dBc/Hz，在 1MHz offset 為 -116dBc/Hz，輸出功率約 -20 dBm。兩者的 FOM 皆為 171。

第四個低電壓之超寬頻 MBOA 系統低功率正交輸出鎖相迴路振盪器，可應用於超寬頻系統之低電壓鎖相迴路。鎖相迴路設計在 1V 的低電壓操作，輸出頻率為 5.016GHz 且有一組互為正交的 I/Q 訊號：鎖相迴路電路採用的除頻器為使用位準偏移的主樸式偶合閘(CML divider)電路，預先充放電式的相位比較器，改良單相時脈(TSPC divider) 的除法器，而電路的模擬結果如下：頻率可調範圍約為 250MHz，在產生 5.016GHz 信號輸出時，相位雜訊@1MHz offset 為 -115dBc/Hz，輸出功率約 -6.5dBm，整個迴路模擬結果功率消耗為 5.58mW。

在設計及模擬過程中的討論學習到對相關的效應考慮的越詳細，對實際的晶片量測結果就會越接近設計規格，測試時相關環境的建立設定，亦須有細節要注意考量，而隨著 CMS 製程技術的提升，在更高頻段領域各種電路逐漸被實現，未來高品質因素的被動元件開發出來，將使得 CMOS 所製作的射頻電路更加多元化。



參考文獻

- [1] C.C. Lin and C.K. Wang, "A Regenerative Semi-Dynamic frequency Divider for Mode-1 MB-OFDM UWB Hopping Carrier Generation", IEEE ISSCC 2005 Dig. of Tech. Papers, pp. 206-207, Feb. 2005.
- [2] Adem Aktas and Mohammed Ismail, CMOS PLLs and VCOs for 4G Wireless Springer, 2004.
- [3] Ali Harjimir and T.H.Lee, The Design of Low Noise Oscillator. Kluwer Academic Publishers, 2000.
- [4] D. B. Lesson, "A Simple model of feedback oscillator noise spectrum", Proceedings of the IEEE, vol. 54, pp 329-330, Feb. 1996
- [5] Ali Harjimir and T.H.Lee, "The General Theory of Phase Noise in Electrical Oscillator", IEEE JSCC, vol. 33,, no. 2, pp. 179-194, February 1998
- [6] 許敦志, 『0.18 μm 互補式金氧半導體高頻壓控振盪器與鎖相迴路設計』, 國立交通大學電信工程研究所, 碩士論文, 2006。
- [7] Marc Tiebout, Low-Power VCO Design in CMOS, Springer, 2005
- [8] 袁帝文, 『高頻通訊電路設計』, 高立書局, 2000年4月。
- [9] B. Razavi, Design of Analog CMOS Integrated Circuit, McGraw Hill, 2000.
- [10] T.H.Lee, The Design of CMOS Radio Frequency Integrated Circuits, Cambridge, 2004
- [11] 高曜煌, 『射頻鎖相迴路 IC 設計』, 滄海書局, 2005年10月。
- [12] Howard C. Luong and Gerry C.T.Leung, Low-Voltage CMOS RF Frequency Synthesizers, Cambridge, 2004.
- [13] J. Cranincks, M. Steyaert., Wireless CMOS Frequency Synthesizer Design, Kluwer, London, 1998.
- [14] J. Rael and A. Abidi, "Physical Processes of Phase Noise in Differential LC Oscillators", Proc. Custom Integrated Circuits Conf. IEEE Press, Piscataway, N.J., 2000, pp. 569-571
- [15] J. H. C. Zhan, J. S. Duster and Kevin T. Kornegay, "A comparative study of MOS VCOs for low voltage high performance operation", ISLPED 2004: 244-247
- [16] J. N. Burghartz, B. Rejaei, "On the design of RF spiral inductors on silicon", IEEE Trans. Electron Devices, vol. 50, Mar. 2003, pp.718-729.
- [17] P. Andreani and S. Mattison, "On the Use of MOS Varactors in RF VCOs", IEEE J.Solid-Satate Circuits, vol1.35, No.6, pp.952-955, June 2000.
- [18] M.A. Do, R. Zhao, K.S. Yeo, J.G. Ma, "1.5V 1.8GHz band pass amplifier", in IEEE

Proceedings-Circuits, Devices and System, Dec. 2000, pp. 331-333

- [19] 梁清標，『應用於無線通訊射頻接收機之電路研製』，元智大學通訊工程研究所，碩士論文，2005年。
- [20] Hsieh-Hung Hsieh; Kuo-Sheng Chung; Liang-Hung Lu,” Ultra-low-voltage mixer and VCO in 0.18- μm CMOS” , IEEE Radio Frequency integrated Circuits (RFIC) Symposium 12-14 June 2005 Page(s):167 – 170
- [21] Meng-Ting Hsu; Chung-Yu Chiang; Ting-Yueh Chih,” Design of low power with low phase noise of VCO by CMOS process”, Microwave Conference Proceedings, APMC 2005. Volume 2, 4-7 Dec. 2005 Page(s):4 pp
- [22] Chung-Yu Wu; Chi-Yao Yu; “A 0.8V 5.9GHz Wide tuning range cmos vco using inversion-mode band switching varactors” , Circuits and Systems, ISCAS. IEEE International Symposium on 23-26 May 2005 Page(s):5079 - 5082 Vol. 5.
- [23] Prabir K. Saha, Ashudeb Dutta, A. Patra, T. K. Bhattacharyya, “Design of a 1 V Low Power 900 MHz QVCO”, VLSI Design 2006: 57-62.
- [24] S.Yim and K. K. O, “Demonstrator of a switched resonator concept in dual-band monolithic CMOS LC tuned VCO” , in IEEE Custom Integrated Circuits Conference Proceedings, 2001, pp. 205-208.
- [25] Z. Li and K. K. O, “A 900-MHz 1.5-V CMOS voltage-controlled oscillator using switched resonators with a wide tuning range” , IEEE Microw. Wireless Compon. Lett., vol. 13, no. 4, pp. 137–139, Apr. 2003.
- [26] M. Tiebout, “A CMOS fully integrated 1 GHz and 2 GHz dual band VCO with a voltage controlled inductor” , in Proc. Eur. Solid-State Circuits Conf., Sep. 2002, pp. 799–802.
- [27] Yim AND O, “Switched Resonators and Their Applications in Dual-band Monolithic CMOS -Tuned LC-VCO” , IEEE Transactions on Microwave Theory and Techniques, vol. 54, NO. 1, January 2006
- [28] Leung, G.C.T.; Luong, H.C., "A 1V 5.2GHz CMOS synthesizer for WLAN applications", IEEE Journal of Solid-State Circuits, vol.39, no.11, pp. 1873- 1882, Nov. 2004
- [29] Xiao Peng Yu, Manh Anh Do, “Design and Optimization of the Extended True Single-Phase Clock-Based Prescaler” , IEEE Transactions on Microwave Theory and Techniques, vol. 54, NO. 11, November 2006
- [30] Johansson, H.O.,”A simple precharged CMOS phase frequency detector”, in IEEE Journal of Solid-State Circuits, Feb. 1998, pp. 295 - 299.
- [31] Rhee, W., “Design of high-performance CMOS charge pumps in phase-locked loops,” in

IEEE International Symposium Circuits and Systems, June 1999, pp. 545 – 548.

- [32] P. Zhang *et al.*, “A direct conversion CMOS transceiver for IEEE 802.11a WLANs” , in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2003, pp. 354–355.
- [33] Parker, J.F.; Weinlader, D.; Sonntag, J.L., "A 15mW 3.125GHz PLL for serial backplane transceivers in 0.13 μm CMOS", in IEEE Solid-State Circuits Conference, 2005, pp.412-607
- [34] S. Pellerano, S. Levantino, and A. L. Lacaita, "A 13.5-mW 5-GHz Frequency Synthesizer With Dynamic-Logic Frequency Divider", in IEEE Journal of Solid-State Circuits, Feb. 2004, pp. 378-383.

