

# 國立交通大學

工學院精密與自動化工程學程

## 碩士論文

以乾濕複合蝕刻法進行微壓力感測器  
微小化之研究

**Miniaturization of Micro Pressure Sensor by  
Combining Dry and Wet Etching**

研究生：黃德昌

指導教授：徐文祥 博士

林弘毅 博士

中華民國九十四年七月



以乾濕複合蝕刻法進行微壓力感測器

微小化之研究

Miniaturization of Micro Pressure Sensor by  
Combining Dry and Wet Etching

研究生：黃德昌

Student : Ter-Chang Huang

指導教授：徐文祥

Advisor : Wensyang Hsu

林弘毅

Hung-Yi Lin

國立交通大學

工學院精密與自動化工程學程

碩士論文

A Thesis

Submitted to Degree Program of Automation and Precision  
Engineering

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Automation and Precision Engineering

July 2005

Hsinchu, Taiwan, Republic of China

中華民國九十四年七月



# 以乾濕複合蝕刻法進行微壓力感測器 微小化之研究

學生：黃 德 昌

指導教授：徐 文 祥 博士  
林 弘 毅 博士

國立交通大學工學院精密與自動化工程學程碩士班

## 摘 要

---

本文之方向上主要是透過一種乾、濕複合蝕刻的矽晶隔膜加工技術，進一步縮小化體型微加工(buck micromachining)法製作之壓阻式壓力感測器晶方尺寸，這種複合式加工技術相較於傳統式矽濕蝕刻技術，可使得感測元件晶方尺寸縮小達 57%，換言之，此複合式加工技術可於相同之矽晶面積上，生產之壓力感測元件數量為傳統濕蝕刻技術之兩倍。

技術實施方法上，將感測隔膜之製作程序分為兩階段進行，第一階段進行乾蝕刻矽加工，使用電感耦合式電漿蝕刻(inductively coupled plasma, ICP)進行深度約 80% 晶圓厚度之矽蝕刻；第二階段實施電化學蝕刻停止(electro-chemical etch stop, ECE)技術，將隔膜厚度加工至元件設計值，完成感測隔膜之製作。

製作完成之壓力感測元件尺寸為  $1080 \mu\text{m} \times 1080 \mu\text{m} \times 800 \mu\text{m}$ ，電性測試結果元件靈敏度為  $0.324 \text{ mv/v/Psi}$ ，略大於有限元素法模擬之靈敏度數值約 4.5%，分析可能之誤差來源應為感測元件製作之隔膜厚度略小於原設計厚度約  $0.3 \mu\text{m}$  所導致。

# Miniaturization of Micro Pressure Sensor by Combining Dry and Wet Etching

student : Ter-Chang Huang

Advisors : Dr. Wensyang Hsu

Dr. Hung-Yi Lin

Department ( Institute ) of Automation and Precision Engineering  
National Chiao Tung University

---

## ABSTRACT

---

In this research, silicon piezo-resistive pressure sensor were fabricated by the combining dry and wet silicon etching method. The combining etching method can reduce the pressure sensor chip size fifty-seven percent. That is to say, the combining silicon etching wafers can yield approximately two times the number of chips than typically silicon wet etched wafers.

The combining silicon etching have two major process. First step, to use the inductively coupled plasma etching equipment etch about eighty percent depth of the wafer thickness. Second step, to put electro-chemical etch stop technology in used. Make sure the sensing diaphragm's thickness were achieved the goal of the design.

In this study, the chip size after sawing is  $1080 \mu\text{m} \times 1080 \mu\text{m} \times 800 \mu\text{m}$ . The sensor sensitivity is 0.324 mv/v/Psi. the sensitivity result is grater than the estimated data by finite elements method about 4.5 percents. The variation of sensitivity resulted largely from the  $0.3 \mu\text{m}$  difference of the diaphragm thickness.

## 誌 謝

寫這封誌謝函心中真是百感交集，回想少年時期父母親不斷的鼓勵、勸進我努力向學，年少的我卻是絲毫都不懂得父母親的苦心，時常讓雙親為我的學業擔心，今日自己身為人父才真真正正的了解父母親的苦心。

年幼時，因家庭經濟環境不是很好，父母親哪怕是颶風下雨或烈日當頭，依然彎著腰、留著汗於農田裏工作，但因政府農業政策的錯誤，卻是讓父母親即使辛勤工作、省吃儉用仍無法供應我與哥哥姐姐的學業開銷，記得當時每當學校註冊時，母親總是得要低著頭向親戚朋友借錢，父親也總是會用那一種非常有自信的口吻告訴著我：「認真唸書就好，錢！免環樂！」，今日我希望能將這本論文獻給我的父母，告訴父親：「阿爸！我讀冊您免環樂拉！」。

順利完成這兩年的研究所求學過程，我要衷心的感謝師長、親人、同事、朋友們，特別是探微科技公司總經理馬堅勇博士、林弘毅博士與陳宗義經理，感謝您的指導、鼓勵與支持，心中對各位的感謝實在很難用言語形容，如果真要用文字表達，我想應當是這句話最能表達此時此刻內心的感受吧！「without you, I am nothing」。

在此我也要感謝我的太太叔怡，謝謝你陪我一起走過這段辛苦的日子，希望我們可以實現我們所許下的美麗願望，要在年老時，一同在夕陽下攜手散步。

# 目 錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	ix
<b>第 1 章 序論.....</b>	<b>1</b>
1.1 研究動機.....	1
1.2 文獻回顧.....	4
1.3 研究目的.....	8
1.4 本文結構.....	9
<b>第 2 章 壓力感測原理.....</b>	<b>10</b>
2.1 壓力與壓力感測.....	10
2.2 感測器形式.....	12
2.3 壓阻效應.....	14
2.4 惠斯登電橋.....	18
2.5 規格與專有名詞.....	21
<b>第 3 章 壓力感測器設計.....</b>	<b>24</b>
3.1 壓力感測器規格選定.....	24
3.2 製作流程設計.....	26
3.3 隔膜設計.....	32
3.4 元件尺寸設計.....	48
3.5 元件細部設計與特性預估.....	52
<b>第 4 章 壓力感測器製作.....</b>	<b>54</b>
4.1 惠斯登電路製作.....	54
4.2 隔膜製作.....	59
<b>第 5 章 量測與分析.....</b>	<b>64</b>
5.1 元件尺寸量測.....	64

5.2 元件電性量測 .....	68
5.3 誤差分析 .....	74
<b>第 6 章 結論與未來展望 .....</b>	<b>81</b>
6.1 結論 .....	81
6.2 未來工作 .....	83
<b>參考文獻 .....</b>	<b>84</b>
<b>附錄文件 .....</b>	<b>86</b>



# 圖目錄

圖 1.1.1 壓力感測器的應用範圍 .....	2
圖 1.2.1 面型微加工技術製作之壓力感測器 .....	5
圖 1.2.2 SOI-LIKE 壓力感測器 .....	6
圖 1.2.3 BESOI晶圓製作壓力感測器 .....	6
圖 1.2.4 CMOS整合壓力感測器 (左)120×120MIL (右)105×105MIL .....	7
圖 2.1.1 壓力的種類區分 .....	10
圖 2.1.2 壓阻式壓力感測示意圖 .....	11
圖 2.2.1 絕對壓力式感測器 .....	12
圖 2.2.2 大氣壓力式感測器 .....	13
圖 2.2.3 差壓式壓力感測器 .....	13
圖 2.3.1 電阻變化與應力關係 .....	16
圖 2.4.1 四分之一電橋 .....	18
圖 2.4.2 二分之一電橋 .....	18
圖 2.4.3 全橋式電橋 .....	18
圖 2.4.4 全橋式壓力感測器上壓阻擺放方式 .....	20
圖 3.2.1 壓力感測器元件製作流程示意圖 .....	29
圖 3.2.2 光罩布置設計圖 .....	31
圖 3.3.1 均勻加壓且四周固定平板 .....	32
圖 3.3.2 有限元素分析模型 .....	34
圖 3.3.3 壓阻位置模擬分析模型 .....	34
圖 3.3.4 水平中心軸上之三軸向應力分布圖 .....	36
圖 3.3.5 水平中心軸上之應變分布圖 .....	37
圖 3.3.6 垂直軸壓阻阻值變化率分佈圖 .....	37
圖 3.3.7 水平軸壓阻阻值變化率分佈圖 .....	38
圖 3.3.8 水平中心軸上之三軸向應力分布圖 .....	40
圖 3.3.9 水平中心軸上之應變分布圖 .....	41
圖 3.3.10 垂直軸壓阻阻值變化率分佈圖 .....	41
圖 3.3.11 水平軸壓阻阻值變化率分佈圖 .....	42
圖 3.3.12 水平中心軸上之三軸向應力分布圖 .....	44
圖 3.3.13 水平中心軸上之應變分布圖 .....	45

圖 3.3.14 垂直軸壓阻阻值變化率分佈圖 .....	45
圖 3.3.15 水平軸壓阻阻值變化率分佈圖 .....	46
圖 3.3.16 壓阻電阻設計示意圖 .....	47
圖 3.4.1 壓力感測器尺寸設計示意圖-1 .....	49
圖 3.4.2 ICP蝕刻背孔尺寸設計示意圖 .....	50
圖 3.4.3 ICP蝕刻深度與開孔尺寸示意圖 .....	51
圖 3.4.4 ICP與ECE製程後之感測器剖面示意圖 .....	51
圖 4.1.1 第一道離子佈植區域示意圖 .....	55
圖 4.1.2 壓阻電阻佈植區域示意圖 .....	56
圖 4.1.3 金屬導線接觸窗蝕刻示意圖 .....	57
圖 4.1.4 金屬導線蝕刻示意圖 .....	58
圖 4.2.1 SOI壓力感測器剖面圖 .....	59
圖 4.2.2 ICP蝕刻後結構SEM圖片 .....	60
圖 4.2.3 ICP與電化學蝕刻結合之結構剖面圖 .....	61
圖 4.2.4 ICP蝕刻後隔膜厚度影響最終隔膜尺寸 .....	63
圖 4.2.5 ECE蝕刻深度與底部尺寸縮減比例值 .....	63
圖 5.1.1 TPS隔膜水平尺寸量測統計圖 .....	65
圖 5.1.2 TPS隔膜垂直尺寸量測統計圖 .....	65
圖 5.1.3 APS隔膜水平尺寸量測統計圖 .....	66
圖 5.1.4 APS隔膜垂直尺寸量測統計圖 .....	66
圖 5.1.5 BPS隔膜水平尺寸量測統計圖 .....	67
圖 5.1.6 TPS隔膜垂直尺寸量測統計圖 .....	67
圖 5.2.1 TPS阻值電測統計圖 .....	69
圖 5.2.2 APS阻值電測統計圖 .....	69
圖 5.2.3 BPS阻值電測統計圖 .....	70
圖 5.2.4 TPS零點偏移電壓電測統計圖 .....	71
圖 5.2.5 APS零點偏移電壓電測統計圖 .....	72
圖 5.2.6 BPS零點偏移電壓電測統計圖 .....	72
圖 5.2.7 一大氣壓力下TPS輸出電壓電測統計圖 .....	73
圖 5.2.8 一大氣壓力下APS輸出電壓電測統計圖 .....	73
圖 5.2.9 一大氣壓力下BPS輸出電壓電測統計圖 .....	74
圖 5.3.1 雙面對準誤差示意圖 .....	76

圖 5.3.2 雙面對準水平誤差量與壓阻阻值變化率關係.....	76
圖 5.3.3 雙面對準垂直誤差量與壓阻阻值變化率關係.....	77
圖 5.3.4 隔膜尺寸變異量示意圖 .....	78
圖 5.3.5 隔膜尺寸與壓阻阻值變化率關係 .....	79
圖 5.3.6 隔膜厚度變異量與壓阻阻值變化率關係 .....	80



# 表目錄

表 1-1-1 國內主要微壓力感測器廠商 .....	3
表 2-3-1 室溫中矽的壓阻係數值(單位：10 <sup>-11</sup> Pa).....	17
表 2-3-2 $\pi_l$ 與 $\pi_t$ 與晶軸方向關係.....	17
表 3-1-1 選用之EPITAXY 與SOI晶圓規格表 .....	25
表 3-1-2 壓力感測器之概念規格表 .....	25
表 3-3-1 TPS有限元素分析參數.....	36
表 3-3-2 APS有限元素分析參數 .....	40
表 3-3-3 BPS有限元素分析參數.....	44
表 3-3-4 隔膜尺寸與壓阻尺寸設計值.....	47
表 3-5-1 元件設計細部尺寸表.....	53
表 4-1-1 離子佈植阻值量測結果.....	55
表 4-2-1 ICP與ECE蝕刻後隔膜尺寸紀錄表.....	62
表 5-1-1 TPS隔膜厚度量測紀錄表.....	65
表 5-1-2 APS隔膜厚度量測紀錄表.....	66
表 5-1-3 BPS隔膜尺寸量測紀錄表.....	67
表 5-2-1 壓阻阻值量測比較表.....	68
表 5-2-2 元件靈敏度電測紀錄表.....	71
表 5-3-1 實際隔膜尺寸與設計差異表.....	75
表 5-3-2 隔膜尺寸變異分析表.....	78
表 5-3-3 隔膜厚度變異量與阻值變化率分析.....	80
表 6-1-1 各項感測器微小化技術比較表.....	82



# 第1章 序論

## 1.1 研究動機

壓力感測器是所有微機電系統(Micro Electro-Mechanical System ; MEMS)技術中最早商品化而且是目前最成功的產品之一。壓力感測器基本上分類為五大類：壓阻式壓力感測、壓電式壓力感測以及電容式壓力感測、光學干涉式壓力感測及共振式壓力感測器等五大類[1]。其中又以壓阻式壓力感測器最為被廣泛應用，絕大部分的微壓力感測器市場需求，均是以壓阻式壓力感測器為主。

矽基壓阻式壓力感測器的發展歷史相當久遠，主要是利用矽單晶所具有的優良機械性質、矽材料具有的壓阻效應及半導體製程處理技術整合而成，在工業上的應用相當廣泛，包括：工業量測、自動化控制、醫療環保、家電用品與汽車組件等。(如圖 1.1.1)

微壓力感測器的市場規模，長久以來都有著相當穩定且正面的成長，根據 In-Stat 組織於 2004 年所做的研究報告指出，壓力感測器 2003 年的市場產值為 11.8 億美元，預估於 2008 年全球的微壓力感測器市場將達到每年 20.7 億美元的市場規模，每年市場所需求的微壓力感測器元件超過 3 億顆，在產品銷售量上，將有平均每年 14.6% 的複合成長；在產品營收上也有平均每年 10.5% 複合成長率[2]，反應出微壓力感測器已經全面性的進入到普羅大眾的日常生活，近年國內也開始有多家廠商積極地投入資本，佈局微壓力感測器的設計、製造與銷售。

MEMS 產業歷經 2000-2001 年光通訊的美夢幻滅，隨之 2002-2003 年全球將近有 100 家 MEMS 廠商面臨關門的窘態，使得 MEMS 產業現在回歸到基本面[3]。在微壓力感測器的整個的生產製造過程中，追求較大的晶圓尺寸(Wafer size)、較小的晶方大小(die size)、較佳元件效能、高可靠度、更精

簡的製作流程和與半導體共用標準型製程相容等議題，都是目前全球微壓力感測廠家們所共同面臨的問題，國內目前投入微壓力感測器製作生產的廠商們大多遵循著國內半導體產業的成功模式，所生產的微壓力感測器均是以所謂的生產代工(OEM)，為供應鏈下游的系統整合廠商提供微壓力感測器元件為主，所以微壓力感測器元件的生產良率、成本、交期等因素，也就相當直接的影響到目前台灣微壓力感測器元件製造廠商的獲利率。

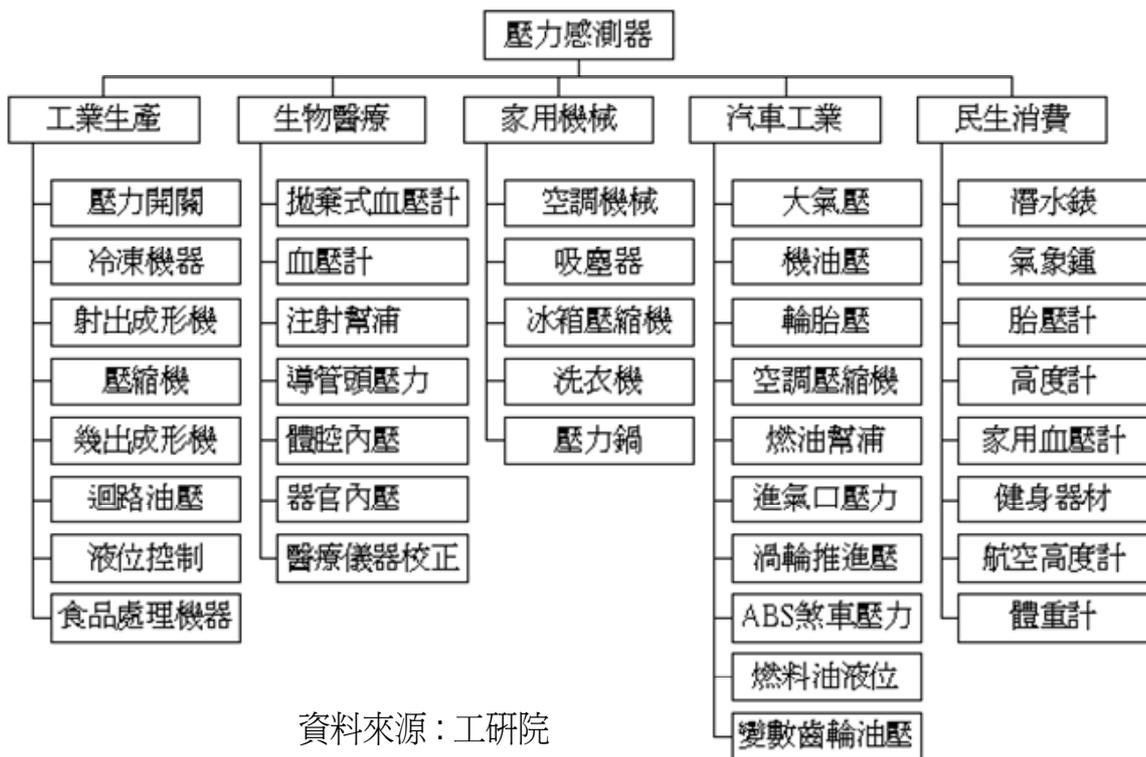


圖 1.1.1 壓力感測器的應用範圍

目前國內微壓力感測器元件製作廠商(表 1-1-1)，除亞太優勢及探微科技外，主要是以 4 吋晶圓生產線為主，每一片 4 吋晶圓約可以產出約 1000~2000 顆左右的微壓力感測器元件，生產過程中，因個別細部設計差異，約使用 6 至 7 到光罩，整個生產製作流程需約耗時 30 至 50 的工作天，且微壓力感測器元件並非高單價產品，因此微壓力感測器元件的製造商並無法藉由目前的生產方式，來取得較佳的獲利。

表 1-1-1 國內主要微壓力感測器廠商

廠商名稱	資本額	設備型態	特色
全磊微機電	5 億元	4/6 吋晶圓廠	設計及製程代工
亞太優勢	20 億元	6 吋晶圓廠	設計及製程代工
坤德	2 億元	設計/測試為主	大同公司轉投資
乾坤	12.7 億元	設計/測試為主	台達電轉投資
探微科技	N/A	6/8 吋晶圓廠	設計及製程代工
祥群科技	1.3 億元	結合半導體製程	委外代工
騏通科技	5 億元	微機電晶圓代工	研發、製造代工

資料來源:工研院

本研究的動機便是希望能夠透過材料與製作流程的改變，結合有限元素分析方法於產品設計階段的應用，來提升壓阻式壓力感測器的元件性能並藉著實體模擬分析結果，預估最終製品元件的性能表現，縮短產品開發流程與時間。同時變更傳統壓力感測器的製作方式，追求更小的晶方尺寸，使單位元件生產的成本可獲得大幅度的降低，提昇國內業界生產壓力感測器之獲利能力。

## 1.2 文獻回顧

壓阻式壓力感測器主要是利用矽單晶所具有的優良機械性質、單晶矽材料絕佳的壓阻效應並且結合微機電與半導體製程技術所製作而成的；其中壓力感測器所運用之壓阻效應，早於 1856 年由 Lord Kelvin 就已經發現，但一直到 1939 年才有規因數 (Gage Factor) 在 2 左右的金屬應變計 (Strain Gage) 出現。此種應變計如果用在應力較小的區域則應變計輸出值過低，而且訊號 (Signal) 對雜訊 (Noise) 比低，容易造成誤差。爾後於 1954 年才由 C. S. Smith 發現矽材料本身絕佳的壓阻特性 [4]，方才開始展開了一連串的矽質壓阻式感測器的發展歷程。而壓阻效應成功應用在於壓力感測器的發展上，最早是由 W. G. Pfann 等人於 1961 年採用半導體積體電路製作技術，成功的做出擴散型薄膜感測器 (diffused silicon sensor) [5]，當年的感測器設計也一直被沿用，到目前為止，市面上絕大多數的矽質微壓力感測器產品仍保有當年的基本架構。

若從微機電製作技術的觀點上，應大致可將微壓力感測器分類為：面型微機電壓力感測器與體型微機電壓力感測器，目前市場上以體型微壓力感測器使用最為廣泛，也是其選定為研究標的之主要原因，壓阻式壓力感測器的發展歷程與文獻探討有如下幾個重要指標：

1954 年 C. S. Smith 發現矽與鍺等半導體材料所擁有之壓阻效應。

1961 年 W. G. Pfann 等廣泛的應用軸向、側向與剪力壓阻效應與方向性的選擇，設計各種樣式的感知器形狀以量測應力分量、力與扭矩等。

1962 年 O. N. Tufte 等人在其所研究之壓力感測器中，直接將雜質佈於圓形隔膜形成壓阻，使感測元件與感測結構合而為一，具有去除組裝及黏貼造成的遲滯與潛變現象的優點 [6]。

1981 年 T. N. Jackson 等發表電化學蝕刻停止技術於矽微結構製作方式，

後續被廣泛應用於微壓力感測器之隔膜厚度蝕刻控制上，大幅提升感知器元件性能[7]。

1984 年 H.Guckel 與 D.Burns 利用平面化製程，即面型微加工

(Surface-micromachining) 技術製作壓力感測器(圖 1.2.1)，相較於體型微加工技術，此種方法可避免晶背蝕刻所造成晶方浪費問題，有利於製作較微小之壓力感測器[8]。

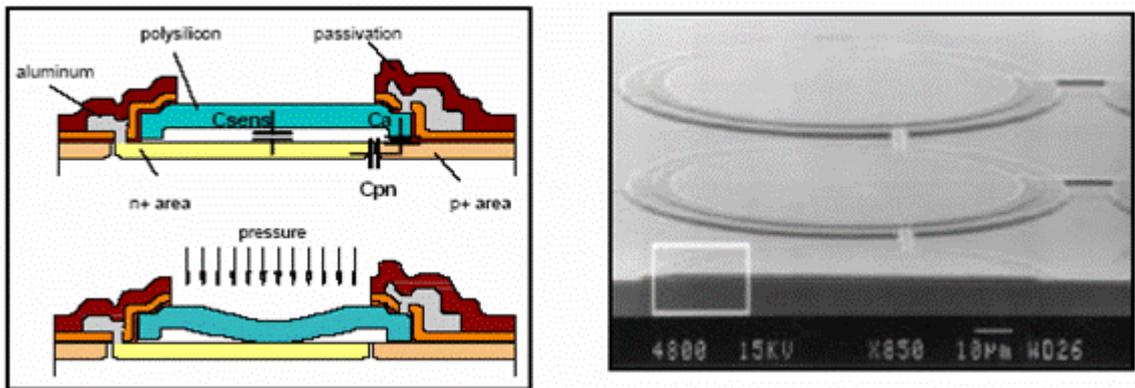


圖 1.2.1 面型微加工技術製作之壓力感測器

1987 年 H.D. Keller 與 K. Anagnostopoulos 使用藍寶石(SOS)作為絕緣層製作出高溫下使用的壓力感測器，開啟了使用 SOI 技術製程製作壓力感測器的研究與應用[9]。

1990 年 G.S. Chung 等以矽為基材，利用二氧化矽做為蝕刻停止層，製作壓力感測器於複合層 SOI 結構上[10]。

1990 年 Kert Pertersen 等，利用矽與矽間之融接 (fusion bonding) 方式製作微壓力感測器，此製程的應用改善了體型加工法所產生之缺點，解決壓力感測器無法大幅縮小的難題[11]。

1999 年張晉榮、楊龍杰等，利用體型微加工方式，將壓力感測器之壓力空穴，由矽晶移轉至玻璃，以所謂 SOI-Like 方式(圖 1.2.2)成功縮小微壓力感測器尺寸[12]。

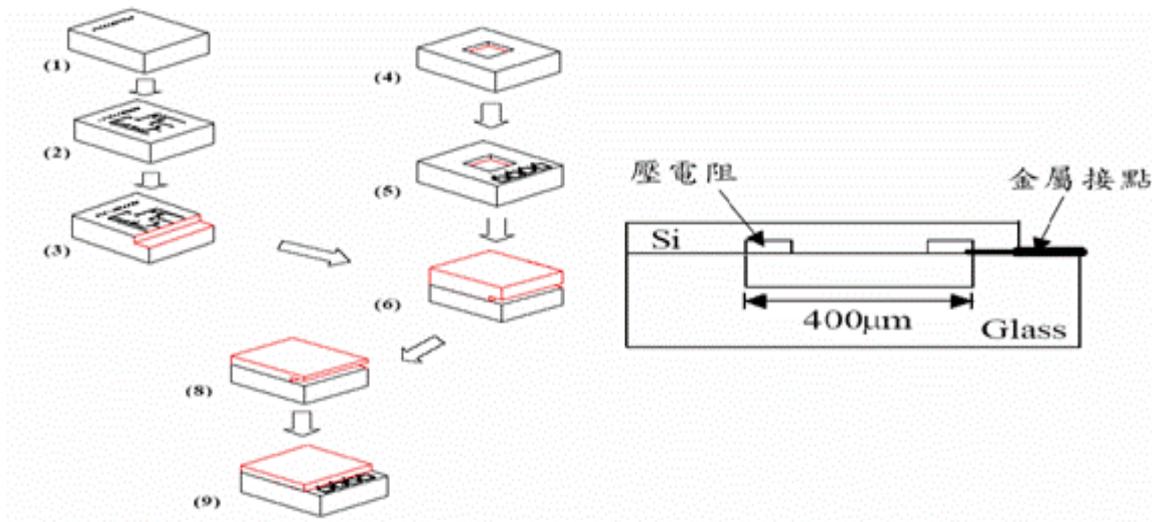


圖 1.2.2 SOI-like 壓力感測器

1999 年 Merlos 等人利用 BESOI(bonding and etch-back silicon on insulator) 晶圓與濕蝕刻技術(圖 1.2.3)，利用二氧化矽作為蝕刻停止層，使得壓力感測器的隔膜厚度得到更精準的控制[13]。

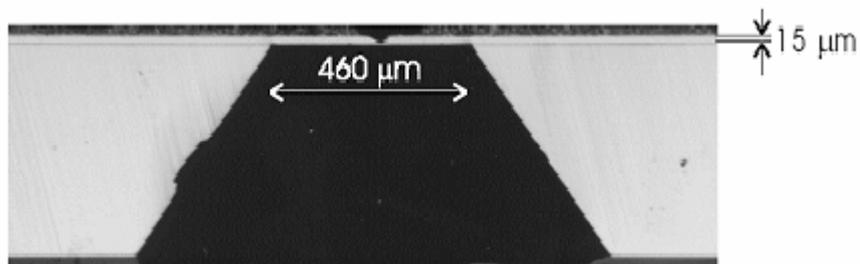


圖 1.2.3 BESOI 晶圓製作壓力感測器

2004 年 Shih-Chin Gong 利用 Silicon direct bonding 方法取代典型陽極接合技術，將體型壓阻式壓力感測器晶方尺寸縮小，成功於六吋晶圓上做出 1.1mm\*1.1mm 之壓阻式壓力感測器[14]。

最近幾年微壓力感測器的發展，因市場競爭激烈，轉為由業界廠商所主導之狀態，研究方向上，也以之前所提之較大的晶圓尺寸、較小的晶方大小、較佳元件效能、更精簡的製作流程和與半導體共用標準型製程相容等議題為主，如 Motorola 公司成功將 CMOS 與微壓力感測器結合，使得壓力感測器具備訊號放大與部分訊號處理功能(圖 1.2.4)，成功製作出 120×

120mil大小的微壓力感測器 [15] ；SMI公司於公司網頁上發佈其研發團隊成功利用乾蝕刻技術，有效的縮小體型壓力感測器元件的尺寸。

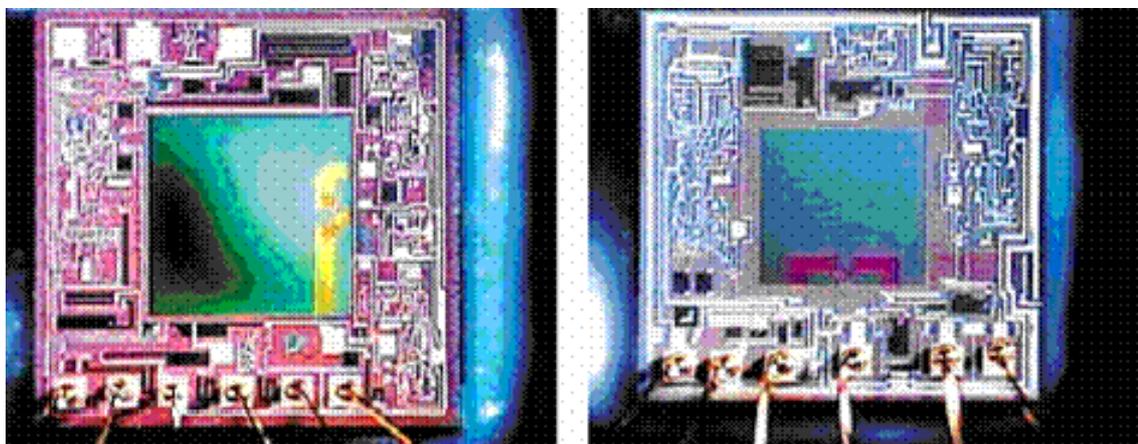


圖1.2.4 CMOS整合壓力感測器 (左)120×120mil (右)105×105mil

回顧壓阻式壓力感測器之主要發展歷程上，依其製作技術主要可分為體型微壓力感測器與面型微壓力感測器兩大類，在感測器的尺寸縮小上，以面型微壓力感測器佔有較大優勢，也較易做到元件的微小化。

體型微壓力感測器的縮小化研究方向上，主要是利用矽-矽直接接合 (fusion bonding) 方式製作，但由於接合製程中對晶圓表面潔淨度的要求度高，使得生產之良率低於使用陽極接合方式製作之方式，傳統使用陽極接合技術製作之體型微壓力感測器受限於矽晶圓非等向性蝕刻的晶格方向與結構強度限制，並無法大幅度的縮小元件尺寸，無形中限制了許多可能的應用方向，但由於體型微壓力感測器具有材料性質穩定、製程良率高、元件精確度穩定等優點，因此仍是目前市場使用量最大之壓阻式壓力感測器。

### 1.3 研究目的

最近幾年微壓力感測器的發展轉為由業界廠商所主導之狀態，研究的方向上，主要都朝以下幾項主軸上潛進：

- (1) 追求較大晶圓尺寸與較小的晶方大小，增加單一批次生產所能產出的元件數目。
- (2) 較佳的元件效能，使元件獲得更佳的量測精密度與準確度，並具有高抵抗量測環境干擾的能力。
- (3) 縮短產品開發與製作流程，達到縮短產品交期，並且降低生產成本與庫存。
- (4) 相容於半導體標準型製程，使元件與訊號處理電路結合，朝向SOC(System on Chip)方向整合。
- (5) 客製化壓力感測器設計與製作。

本研究之目的在於將壓阻式矽基壓力感測器晶方縮小化，使得生產上可以在相同生產線產能與相同之晶圓面積上，生產出數量更多之壓力感測器元件，來提升生產獲利。並且藉由壓力感測器元件的尺寸縮小，得以擴展產品的新應用層面。

本研究於技術方法上，將利用深反應離子蝕刻技術(deep reactive ion etching technology, DRIE)來結合目前電化學蝕刻停止技術(electrochemical etching stop Technology, ECE)，使壓力感測器於製作上，相對的減少典型電化學蝕刻技術於矽晶圓晶格方向上晶方面積的浪費，典型微壓力感測器元件製作上，晶方尺寸面積大於隔膜尺寸面積與陽極接合(Anodic bonding)面積之和，使得元件尺寸縮小上受到極大的限制。使用深反應離子蝕刻技術結合電化學蝕刻停止技術，在隔膜大小與陽極接合區域寬度不變的假設之下，預估將可大幅縮小壓力感測器元件尺寸。

## 1.4 本文結構

本文將針對壓阻式矽基微壓力感測器之微小化進行設計分析與研究，研究方向與結構上，利用絕緣層上矽晶圓(SOI)與磊晶晶圓(Epitaxy)結合深反應離子蝕刻技術及電化學蝕刻停止技術，設計出可行之壓力感測器製作流程與可縮小化之壓阻式壓力感測器，並結合有限元素分析預測出設計元件之性能表現。

文中將依序於第二章介紹矽質壓力感測器之壓力感測原理、元件型式規格與專有名詞定義解釋；第三章節中描述壓力感測器之製程設計與尺寸選定過程，內容中包含有元件模型之有限元素分析結果；第四章節中紀錄壓力感測器元件之製作過程資料與量測數值；第五章中將針對壓力感測器之測試結果與原設計資料、製程資料，進行交互比對分析；第六章則是對於此研究之結果進行討論與分析，並檢討出未來研究之可能改善方向，提供探討與建議。



# 第2章 壓力感測原理

## 2.1 壓力與壓力感測

壓力 (pressure) 的定義是以單位面積 (area) 上所承受的力量 (force) 為定義，而壓力區分是取自於大氣壓力為基準的標準壓與真空壓。如以絕對真空為基準，則為絕對壓力 (圖 2.1.1) 所示為其關係圖，標準壓力為正壓，而負壓有真空壓力和絕對壓力，而壓力的量測方式則是利用壓力感測器進行量測，依其量測原理主要分為四大類：

- (1) 巴登 (Bourdon) 管式壓力感測器
- (2) 波紋管 (bellows) 型壓力感測器
- (3) 隔膜 (diaphragm) 式壓力感測器
- (4) 應變計 (strain gauge) 型壓力感測器

目前以應變計型壓力感測器為市場上應用之主流，而本研究之壓阻式壓力感測器便是屬於此類之壓力感測器。

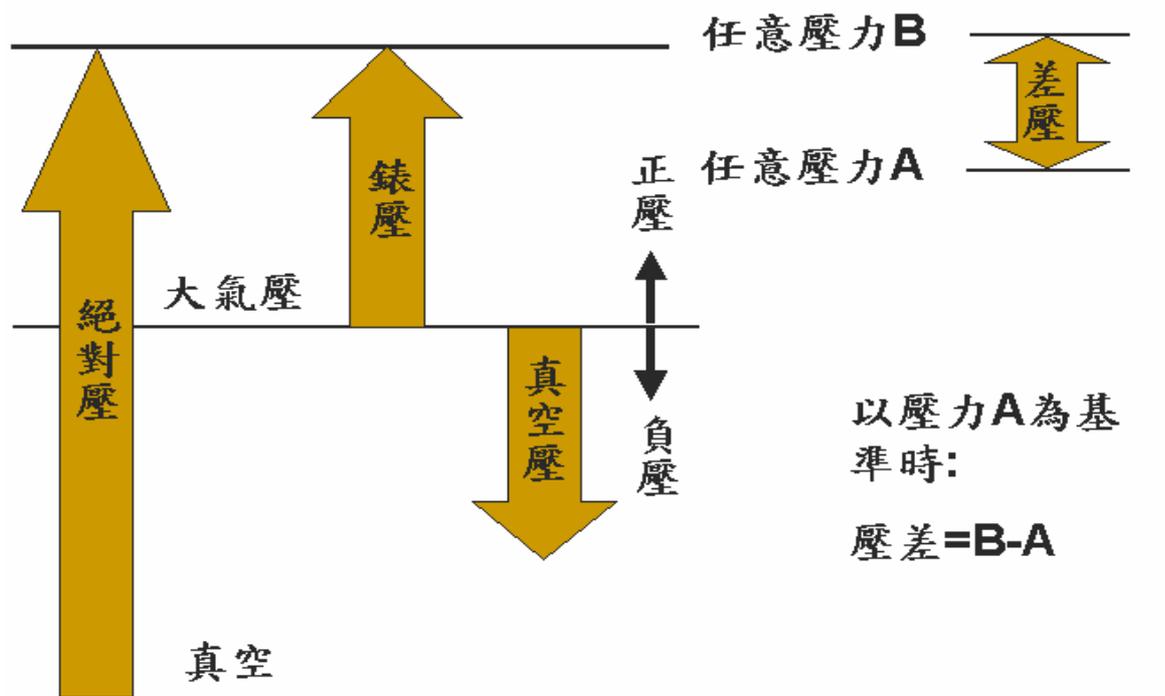


圖 2.1.1 壓力的種類區分

壓阻式壓力感測器的感測原理是利用矽材料本身所具有之優良的壓阻特性，將壓力變化轉換為電阻變化，再利用壓阻材料之阻值變化透過惠斯登電橋的轉換與放大為電壓的輸出(圖 2.1.2)。

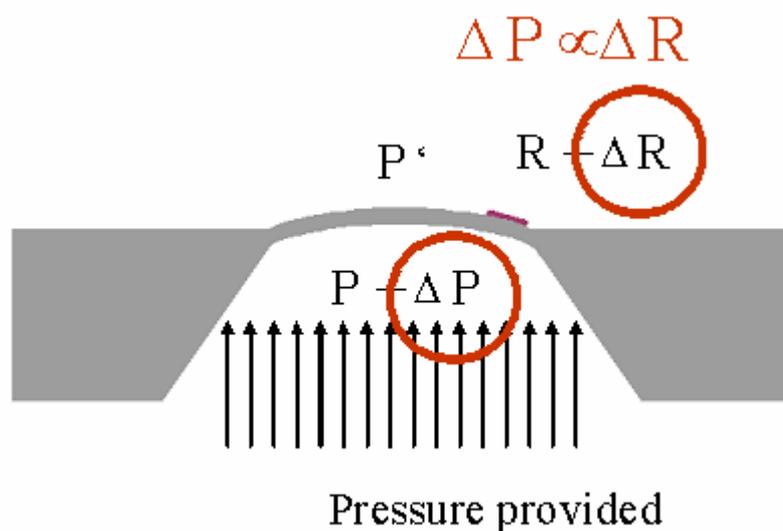


圖 2.1.2 壓阻式壓力感測示意圖

當施加壓力(P)於隔膜上時，會造成隔膜的變形( $\epsilon$ )，而隔膜上的壓阻材料則受到應力( $\sigma$ )之作用而使得電阻的變化( $R \pm \Delta R$ )，透過四組壓阻所串聯的惠斯登電橋輸出電壓( $\Delta V$ )訊號，理論上，壓力、阻值、電壓成正比關係，因此可藉由電壓的量測值反推論出施加於隔膜上壓力的大小。

## 2.2 感測器形式

### (A) 絕對壓力感測 (Absolute Pressure)

絕對壓力感測器之基本形式如圖 2.2.1 所示，腔體內形成真空狀態，所以感測器所量測到之壓力值即為絕對壓力值。

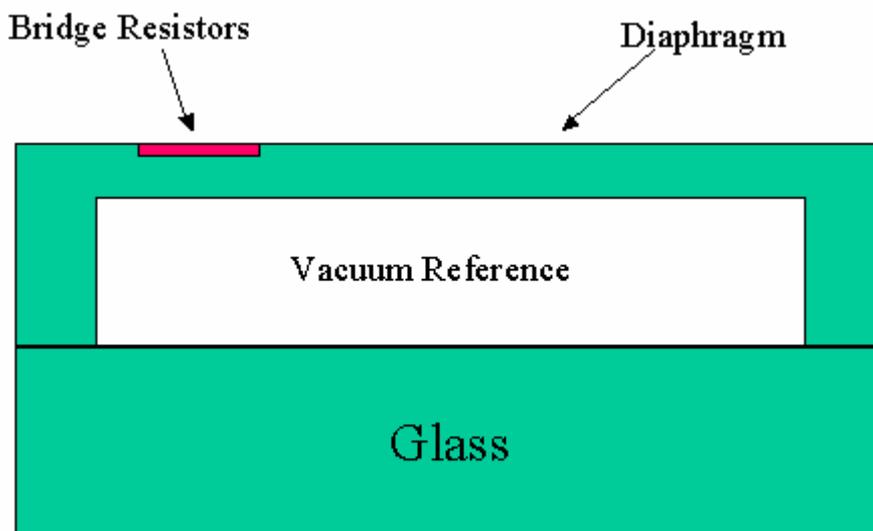


圖 2.2.1 絕對壓力式感測器

### (B) 大氣壓力感測 (Gauge Pressure)

大氣壓力感測器之基本形式如圖 2.2.2 所示，腔體內注入大氣壓，所以感測器所量測到之壓力值即為所施加壓力與大氣壓力之差值，即是標準壓力值。

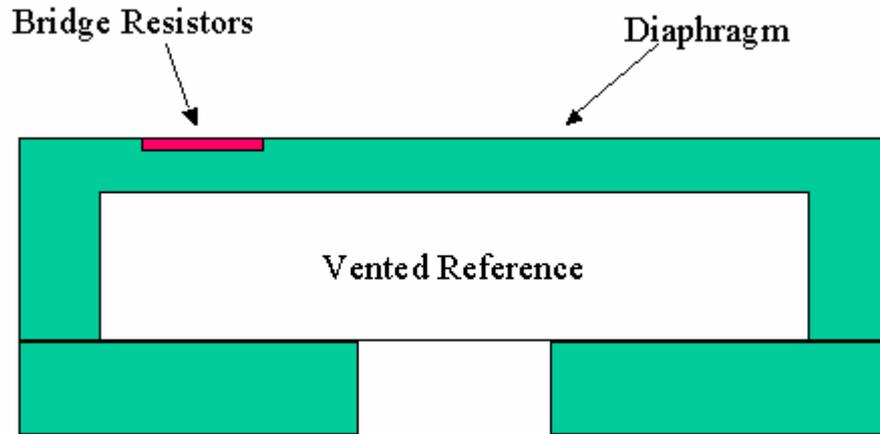


圖 2.2.2 大氣壓力式感測器

(C) 差壓感測 (Differential Pressure)

差壓壓力感測器之基本形式如圖 2.2.3 所示，隔膜兩側分別施加壓力，隔膜因兩者之壓力差而造成變形，所以感測器所量測到之壓力值即為所施加之兩端壓力之差值，即是差壓壓力值。

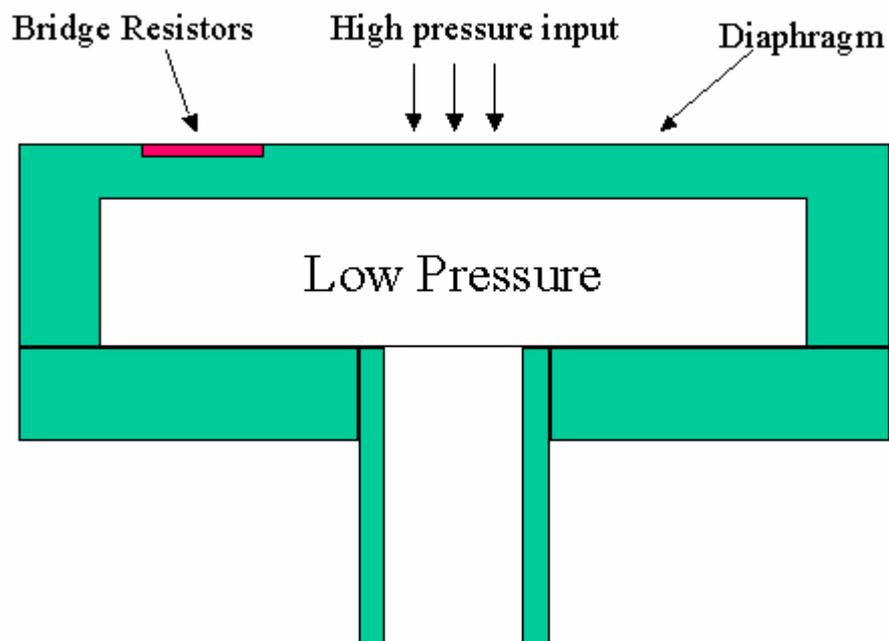


圖 2.2.3 差壓式壓力感測器

## 2.3 壓阻效應

[1][12][16][17][18]材料受到應力作用時，其電阻或電阻率產生變化之現象稱為壓阻效應。此現象於各種材料均可以發現，只是變化程度的差異而已。單晶矽是一種非常優良的壓阻材料，當矽質薄膜受到一均佈負載時，薄膜變形，其內部產生應力，其電阻亦跟隨改變。

壓電阻  $R$  的大小定義為：

$$R = \rho \times \frac{l}{A} \quad (2.3.1)$$

$\rho$ ：電阻率

$l$ ：長度

$A$ ：截面積



對(2.3.1)式微分

$$dR = \frac{l}{A} d\rho + \frac{\rho}{A} dl - \frac{\rho l}{A^2} dA \quad (2.3.2)$$

將(2.3.2)式整理，得出下列式子：

$$\frac{dR}{R} = \frac{d\rho}{\rho} + \frac{dl}{l} + \frac{dA}{A} \quad (2.3.3)$$

其中  $dl/l$  是正向應變 (normal/longitudinal strain,  $\varepsilon$ ) 的定義，若假設壓阻截面積為矩形  $A=wh$ ，

$$\frac{dA}{A} = \frac{dw}{w} + \frac{dh}{h} \quad (2.3.4)$$

對於電阻長度  $l$  縱向而言， $dw/w$  或  $dh/h$  都是側向的應變 (transverse strain)，依照 Poisson's ratio ( $\nu$ ) 的定義，也就是正向應變與側向應變之比值：

$$\frac{dw}{w} = \frac{d\rho}{\rho} = -\nu \frac{dl}{l} = -\nu \epsilon \quad (2.3.5)$$

所以整體電阻變化率變成：

$$\frac{dR}{R} = \frac{d\rho}{\rho} + (1 + 2\nu)\epsilon \quad (2.3.6)$$

然而半導體材料當中，因為其壓阻係數遠大於一般金屬材料，所以 (2.3.6) 式中，因形變所導致之電阻變化可忽略不計，可簡化為：

$$\frac{dR}{R} = \frac{d\rho}{\rho} = \pi \sigma \quad (2.3.7)$$

$\pi$ ：壓阻係數

$\sigma$ ：應力

對於非等向性材料而言，電阻率會受到應力之影響，其關係如下：

$$\begin{bmatrix} E_1 \\ E_2 \\ E_3 \end{bmatrix} = \begin{bmatrix} \rho_1 & \rho_6 & \rho_5 \\ \rho_6 & \rho_2 & \rho_4 \\ \rho_5 & \rho_4 & \rho_3 \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ i_2 \\ i_3 \end{bmatrix} \quad (2.3.8)$$

$E$ ：電場向量

$\rho$ ：電阻率張量 (tensor)

$i$  : 電流密度向量

將以上所列之式合併整理，阻值的變化率可由下式來表示：

$$\frac{\Delta R}{R} = \sigma_l \pi_l + \sigma_t \pi_t \quad (2.3.9)$$

$\sigma_l$  : 壓電阻所受之縱向應力

$\sigma_t$  : 壓電阻所受之橫向應力

$\pi_l$  : 縱向壓阻係數

$\pi_t$  : 橫向壓阻係數

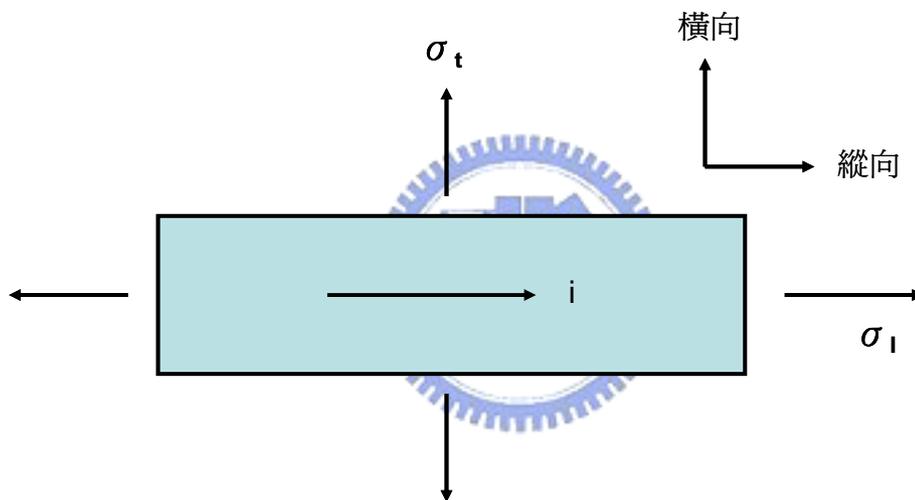


圖 2.3.1 電阻變化與應力關係

對於{100}矽晶圓，若壓電阻沿著主切邊<110>方向製作，則相關之壓阻係數定義如下：

$$\begin{aligned} \pi_l &= \frac{1}{2}(\pi_{11} + \pi_{12} + \pi_{44}) \\ \pi_t &= \frac{1}{2}(\pi_{11} + \pi_{12} - \pi_{44}) \end{aligned} \quad (2.3.10)$$

上式中各項壓阻係數之值可由表 2-3-1 與表 2-3-2 求得。

表2-3-1 室溫中矽的壓阻係數值(單位：10<sup>-11</sup>Pa)

Type	$\sigma$ ( $\Omega$ -cm)	$\pi_{11}$	$\pi_{12}$	$\pi_{44}$
P-silicon	7.8	+6.6	-1.1	+138.1
n-silicon	11.7	-102.2	+53.4	-13.6

表2-3-2  $\pi_l$ 與 $\pi_t$ 與晶軸方向關係

縱軸方向	$\pi_l$	橫軸方向	$\pi_t$
100	$\pi_{11}$	010	$\pi_{12}$
001	$\pi_{11}$	110	$\pi_{12}$
111	$1/3(\pi_{11} + 2\pi_{12} + \pi_{44})$	$1\bar{1}0$	$1/3(\pi_{11} + 2\pi_{12} - \pi_{44})$
$11\bar{0}$	$1/2(\pi_{11} + 2\pi_{12} + \pi_{44})$	111	$1/3(\pi_{11} + 2\pi_{12} - \pi_{44})$
$11\bar{0}$	$1/2(\pi_{11} + 2\pi_{12} + \pi_{44})$	001	$\pi_{12}$
110	$1/2(\pi_{11} + 2\pi_{12} + \pi_{44})$	$1\bar{1}0$	$1/2(\pi_{11} + 2\pi_{12} + \pi_{44})$

## 2.4 惠斯登電橋

惠斯登電橋 (Wheatstone bridge) 原理上使用分壓定理，利用四組電阻構成一簡單且實用之橋式感測電路，當感測元件之阻值變化時，即改變了惠斯登電橋之平衡狀態，因而產生電橋中之電壓輸出；傳統之惠斯登電橋使用上包含下列三種方式：

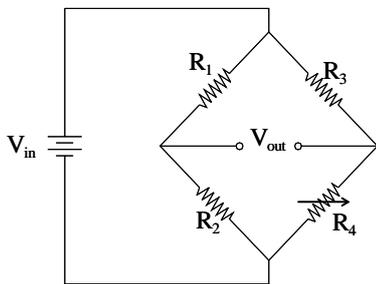


圖 2.4.1 四分之一電橋

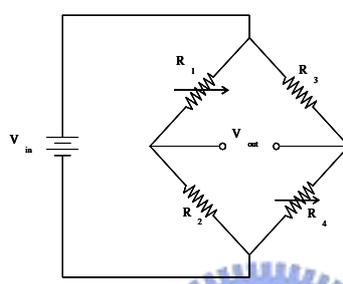


圖 2.4.2 二分之一電橋

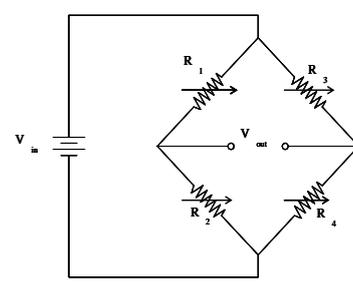


圖 2.4.3 全橋式電橋

### A、四分之一電橋

四分之一電橋之使用方法上，是運用一組感測壓阻與三組固定電阻構成(如圖 2.4.1)，電橋上之輸出可表示如公式(2.4.1)：

$$V_{out} = \left[ \left( \frac{R_2}{R_1 + R_2} \right) - \left( \frac{R_4}{R_3 + R_4} \right) \right] V_{in} \quad (2.4.1)$$

初始之平衡狀態下  $R_1=R_2=R_3=R_4=R$ ，所以電橋之電壓輸出為零 ( $V_{out} = 0$ )，當感測元件受外力作用而改變初始平衡狀態，也就是電橋上的電阻不相等 ( $R_1=R_2=R_3 \neq R_4$ )。

假設感測壓阻的阻值變化為 $R_4 = R + \Delta R$  代入公式(2.4.1)整理後可得下式：

$$\frac{V_{out}}{V_{in}} = \left( \frac{R}{2R} - \frac{R + \Delta R}{2R + \Delta R} \right) \cong \left( \frac{\Delta R}{4R + 2\Delta R} \right) \quad (2.4.2)$$

實際電路中  $4R \gg 2\Delta R$  所以分析上忽略分母項之 $\Delta R$ ，所以式(2.4.2)可簡化為：

$$\frac{V_{out}}{V_{in}} = \left( \frac{\Delta R}{4R + 2\Delta R} \right) \cong \left( \frac{\Delta R}{4R} \right) \quad (2.4.3)$$

#### B、二分之一電橋

二分之一電橋之使用方法上，是運用二組感測壓阻與二組固定電阻構成(如圖 2.4.2)，初始之平衡狀態下  $R_1=R_2=R_3=R_4=R$ ，當感測元件受外力作用而改變初始平衡狀態，電橋上的電阻不相等( $R_1=R_4 \neq R_2=R_3$ )，假設感測壓阻的阻值變化為 $R_1 = R_4 = R + \Delta R$  且 $R_2 = R_3 = R$ 代入公式(2.4.1)整理後，電橋上之輸出可表示如公式(2.4.4)：

$$\frac{V_{out}}{V_{in}} = \left( \frac{R + \Delta R}{2R + \Delta R} - \frac{R}{2R + \Delta R} \right) \cong \frac{\Delta R}{2R} \quad (2.4.4)$$

#### C、全橋式電橋

全橋式電橋運用四組感測壓阻所構成(圖 2.4.3)，應用於壓力感測器上的四組壓力感測壓阻佈置如圖 2.4.4。

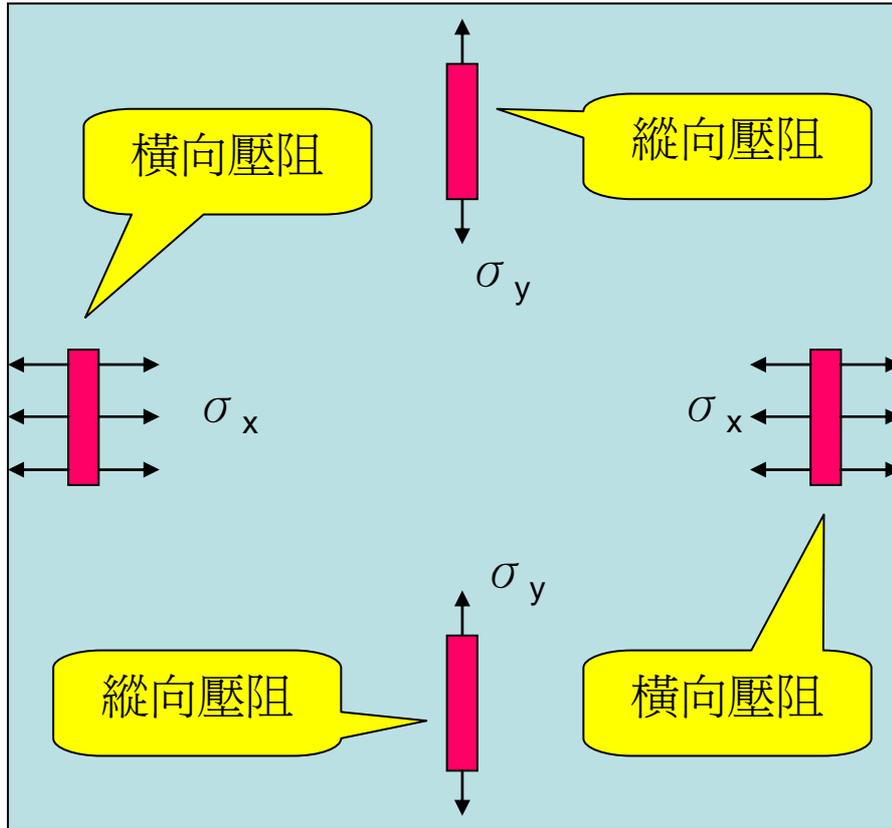


圖 2.4.4 全橋式壓力感測器上壓阻擺放方式

由四組壓阻電阻所受之應力方向分析可得  $R_1 = R_3 = R - \Delta R$  且  $R_2 = R_4 = R + \Delta R$ ，所以代入公式(2.4.1)整理後，電橋上之輸出可表示如公式(2.4.5)：

$$\frac{V_{out}}{V_{in}} = \left( \frac{R + \Delta R}{2R} - \frac{R - \Delta R}{2R} \right) \cong \frac{\Delta R}{R} \quad (2.4.5)$$

由上列三種電橋的輸出分析上，可明顯比較出全橋式電橋之能量轉換率為二分之一電橋的兩倍，為四分之一電橋的四倍，因此於壓阻式壓力感測器的設計上，採用全橋式電橋與上述的四組壓阻擺放方式，有助於壓力感測器擁有較佳的感應輸出靈敏度。

## 2.5 規格與專有名詞

目前市面上販售使用之矽基壓力感測器種類繁多，依據不同的使用用途與感測壓力範圍而有所不同，所以使用者須依據本身使用之條件，參考各家廠商所提供之壓力感測器規格型錄進行選用，換言之，設計者亦需要設計初符合各項元件規格之壓力感測器，以下是針對壓力感測器之規格特性與專有名詞進行解釋與定義〈參閱附錄 A、B、C〉:

### A、 一般特性

壓力範圍：感測器之有效壓力量測範圍。

最大壓力：對感測器不會造成破壞下，所可以容許的最大壓力值，一般為壓力範圍之三倍壓力值。

### B、 電氣特性

驅動電壓：驅動感測器之額定輸入電壓，一般標定額度值與上下限。

驅動電流：驅動感測器之額定輸入電流，一般標定額度值與上下限。

輸出阻抗：標示感測器元件輸出端間之阻抗值。

輸入阻抗：標示感測器元件輸入端間之阻抗值。

### C、環境特性

操作溫度範圍：感測器可有效動作的環境溫度範圍。

儲存溫度範圍：感測器可有效儲存的環境溫度範圍。

### D、機械特性

元件重量：標示感測器之重量值。

元件尺寸：標示感測器之尺寸大小，如為裸晶片販售時，此尺寸即為晶方大小。

適用媒介：受測壓力之適用傳導媒介。



### E、性能特性

靈敏度(sensitivity):單位壓力及單位輸入電壓或電流下之輸出電壓或電流，如 mV/V/psi。

全尺度跨距電壓(full scale output, FSO):最大操作壓力範圍下之輸出值。

零點偏移(zero offset):感測器於未施加壓力時之輸出，一般表示為±%FSO或輸出電壓 mV。

線性度(linearity):線性度表示為校正點與輸出直線間之最大差異量，一般以%FSO 表示。輸出直線有四種表示方法：(a)最

佳匹配法：包含所有校正點之兩平行線間的中間線。(b)最小平方法：線性迴歸法所得之直線。(c)終點法：由零點及校正終點所連之直線。(d)端點法：由第一校正點與第二校正點所連之直線。

遲滯性(hysteresis)：輸入壓力由零增加到最大，再降低為零，其中同一壓力間之最大差，一般以%FSO表示。

穩定性(stability)：長時間下之性能保持能力，一般定義以12個月內變化多少%FSO表示。

再現性(repeatability)：兩次校正循環中，輸出之再現能力，一般以%FSO表示。

零點偏移電壓溫度係數(temperature coefficient of offset, TCO)：環境溫度變化所致之零點電壓偏移，一般以%FSO/°C表示。

全尺度輸出溫度係數(temperature coefficient of span, TCS)：環境溫度變化所致之全尺度輸出偏移量，一般以%FSO/°C表示。

電阻溫度係數(temperature coefficient of resistor, TCR)：環境溫度變化所致之電阻阻值變異量，一般以溫度變化之阻值百分比表示如%/°C。

# 第3章 壓力感測器設計

## 3.1 壓力感測器規格選定

分析目前市面上所廣泛使用的壓阻式壓力感測器，大致可依其壓力感測範圍區分為：

- (A) 5.8 psi 之血壓壓力感測器 (Blood Pressure Sensor, BPS)
- (B) 15 psi 之大氣壓壓力感測器 (Atmospheric Pressure Sensor, APS)
- (C) 100 psi 之輪胎壓力感測器 (Tire Pressure Sensor, TPS)

上述三種壓力感測器目前於市場上均有相當大量的使用，是相當具代表性之壓力感測器；因此研究中，便設定此三種壓力感測器作為研究分析之比較標的。

在材料的選用上，使用目前市售產品所最為普遍使用之磊晶晶圓及 SOI 矽晶圓，材料之選用規格如附表 3-1-1。由晶圓材料規格中，選定 4 吋晶圓進行設計以節省材料與研究成本，晶圓軸向為 100 之 n-type 晶圓，元件層厚度分別為 15um 與 17um，由此便相對的決定了最終壓力感測元件之隔膜厚度為 15um 與 17um。後續設計規格中，參考目前一般業界之工程能力與業界使用規格，先行對壓阻式矽基壓力感測元件設計之概念規格做一初步設定，設定規格如表 3-1-2。

表3-1-1 選用之Epitaxy 與SOI晶圓規格表

Type	SOI	Epitaxy
Wafer Size (mm)	100	100
Resistor ( $\Omega$ )	0~25	0~25
Direction	(100)	(100)
Wafer type	n-type	n-type
Device layer thickness (um)	15	17um
SiO2 layer thickness (um)	1	NA
Substructure layer thickness (um)	300	400

表3-1-2 壓力感測器之概念規格表

項目	BPS	APS	TPS
額定壓力範圍 (psi)	0~5.8	0~15	0~100
過大壓力 (psi)	17.5	45	300
靈敏度 (mv/v/psi)	4	2	0.4
壓阻阻值 ( $\Omega$ )	5K	5K	5K
壓阻尺寸 (um)	100x12	70x10	56x8
重度佈植劑量	80Kev 8E15	80Kev 8E15	80Kev 8E15
輕度佈植劑量	70Kev 4.5E14	70Kev 4.5E14	70Kev 4.5E14
壓阻位置	設計參數	設計參數	設計參數
隔膜厚度 (um)	17	17	17
隔膜尺寸 (um)	1200*1200	900*900	500*500
元件厚度 (um)	417	417	417
切割道寬度 (um)	120	120	120
陽極接合寬度 (um)	200	200	200

## 3.2 製作流程設計

### 3.2.1 製程設計

本研究中之壓力感測器的製作流程上，主要依據使用的晶圓材料 SOI 晶圓與磊晶晶圓而有些微的不同，其差異點主要在於晶圓背面製程中使用的製作技術不相同所造成，當使用 SOI 晶圓搭配 ICP 蝕刻技術製作壓力感測器時，因材料本身具有一本身之二氧化矽(SiO<sub>2</sub>)層，可作為 ICP 蝕刻過程之停止層(stop layer)，使得製作之壓力感測器具有相當不錯之隔膜厚度控制能力；利用磊晶晶圓進行壓力感測器製作，於整體製作流程中大致上與傳統壓力感測器之製程相同，維一的差異點在於晶背的隔膜製作過程中，使用 ICP 蝕刻技術搭配傳統電化學蝕刻停止技術，使元件之晶背開孔尺寸得以縮小，相對的，也進一步縮小壓力感測器之整體晶方尺寸，達成本研究之目的。

兩者詳細之製作流程可區分為晶圓正面製程與晶圓背面製程，在正面製程中主要包含兩道離子佈植與金屬導線製作部份，並不因使用之材料不同而有差異。晶背製程中則因製作技術使用上的不同而略做改變，各主要之製作流程設計規劃如下：(圖 3.2.1)

#### 正面製程：

Step-1：A. 進行晶圓雷射刻號

B. 晶圓厚度量測與

C. 圓清洗製程。

Step-2：A. 二氧化矽沉積，作為離子佈植遮罩

B. 第一道重度離子佈植微影製程(mask-01)

C. 第一道重度離子佈植

D. 晶圓清洗

Step-3 : A. 第二道重度離子佈植微影製程(mask-02)

B. 第二道輕度離子佈植

C. 晶圓清洗

Step-4 : A. 二氧化矽蝕刻

B. 晶圓清洗

Step-5 : A. 二氧化矽沉積

B. 氮化矽沉積

Step-6 : A. 第三道金屬接觸窗微影製程(mask-03)

B. 氮化矽蝕刻

C. 二氧化矽蝕刻

D. 晶圓清洗

Step-7 : A. 導線金屬層沉積

B. 第四道金屬導線層微影製程(mask-04)

C. 電性量測



#### 背面製程(SOI wafer)

Step-8 : A. 第五道背面開孔微影製程(mask-05-1)

B. 氮化矽蝕刻

C. 二氧化矽蝕刻

Step-9 : A. ICP 矽蝕刻

B. 晶圓背面介電層移除

C. 陽極接合(7740-glass)

背面製程(Epitaxy wafer)

Step-8 : A. 第五道背面開孔微影製程(mask-05-2)

B. 氮化矽蝕刻

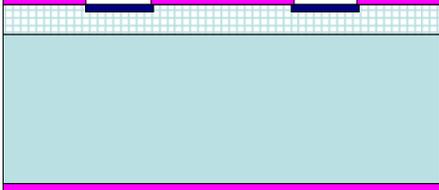
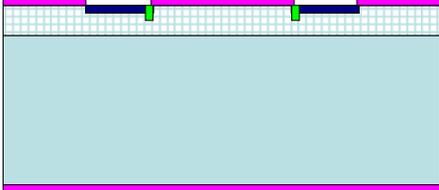
C. 二氧化矽蝕刻

Step-9 : A. ICP 矽蝕刻

B. 電化學蝕刻停止矽蝕刻

C. 晶圓背面介電層移除

D. 陽極接合(7740-glass)

序號	SOI wafer 製作流程	Epitaxy wafer 製作流程
Step-1	 <p>■ silicon ■ SiO2 ■ IMP-2 ■ IMP-1 ■ Al-Cu</p>	 <p>■ P-Si ■ n-Si ■ SiO2 ■ Imp-1 ■ Imp-2 ■ Metal</p>
Step-2	 <p>■ silicon ■ SiO2 ■ IMP-2 ■ IMP-1 ■ Al-Cu</p>	 <p>■ P-Si ■ n-Si ■ SiO2 ■ Imp-1 ■ Imp-2 ■ Metal</p>
Step-3	 <p>■ silicon ■ SiO2 ■ IMP-2 ■ IMP-1 ■ Al-Cu</p>	 <p>■ P-Si ■ n-Si ■ SiO2 ■ Imp-1 ■ Imp-2 ■ Metal</p>

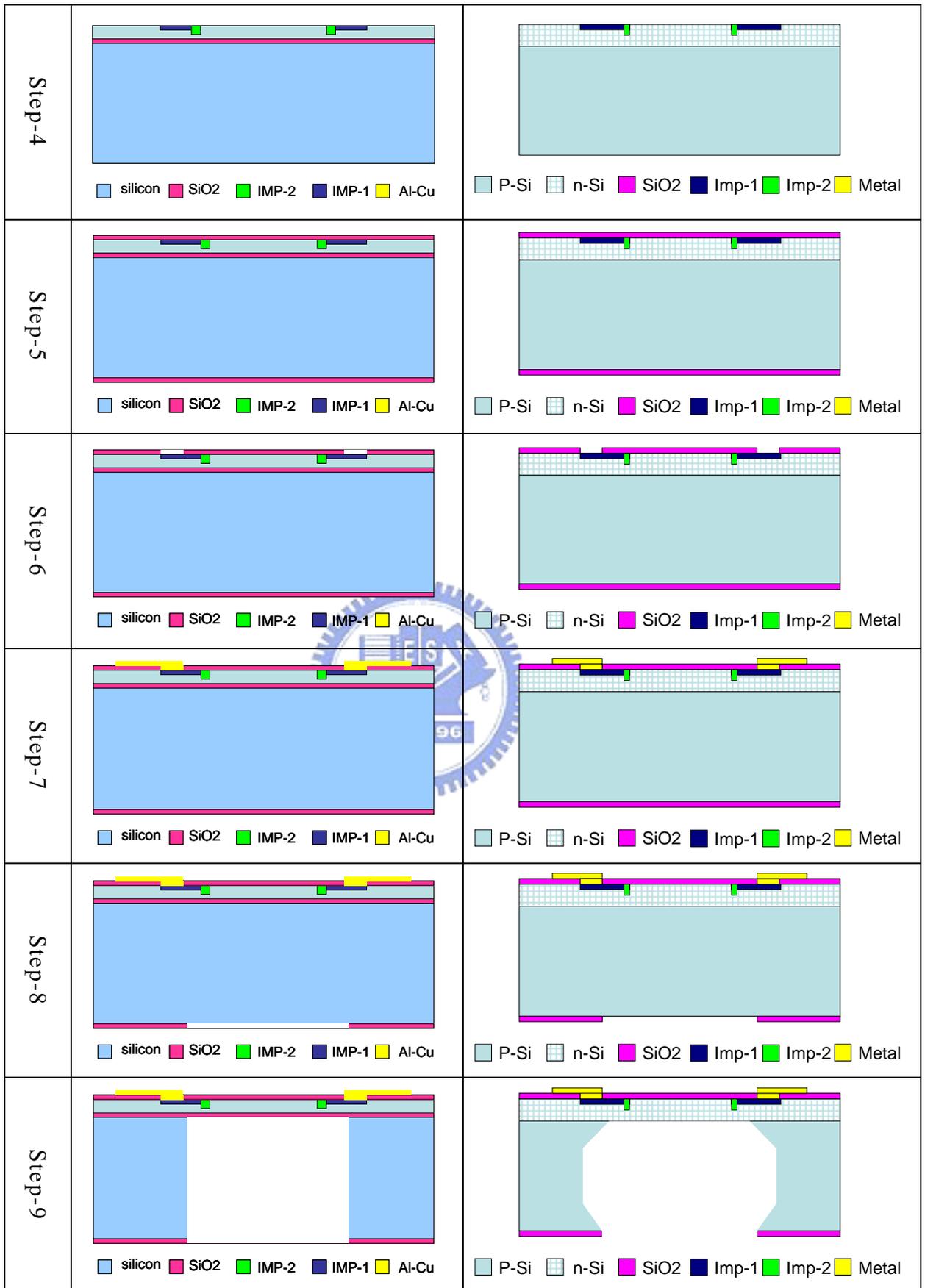


圖 3.2.1 壓力感測器元件製作流程示意圖

### 3.2.2 光罩分層設計

壓阻式矽基壓力感測器的製作流程設計上，主要共分為六道光罩製程，依序如下所列：

第一道光罩：此道光罩(Align-Key)目的在於定義各道黃光對準鍵的製作。

第二道光罩：此道光罩(Implante-1)目的在於定義第一次離子佈植圖形。

第三道光罩：此道光罩(Implante-2)目的在於定義第二次離子佈植圖形。

第四道光罩：此道光罩(Contact-Via)目的在於定義金屬與壓阻導線接觸窗圖形。

第五道光罩：此道光罩(Metal Line)目的在於定義金屬導線圖形。

第六道光罩：此道光罩(Back Side Open)目的在於定義晶圓背面矽蝕刻開孔圖形。



上列各道光罩之對準方式操作上，第一道光罩採用 First Print 方式操作；第二道 Implant-1 光罩與第三道 Implant-2 光罩皆對準第一道 Align Key 光罩；第四道 Contact Via 光罩優先對準第二道 Implant-1 光罩，其次選擇對準第一道光罩；第五道 Metal 光罩優先對準第四道 Contact Via 光罩，其次選擇對準第一道光罩；第六道 Back Side 光罩優先對準第三道 Implant-2 光罩，其次選擇對準第一道光罩，如此可避免多道光罩製程上之累積對位誤差。

光罩佈置上將光罩區分為四個象限(圖 3.2.2)，第一象限與第二象限設計擺放 TPS 設計，第三象限擺置 BPS 設計，而第四象限則放置 APS 設計，已縮減光罩及元件製作成本。

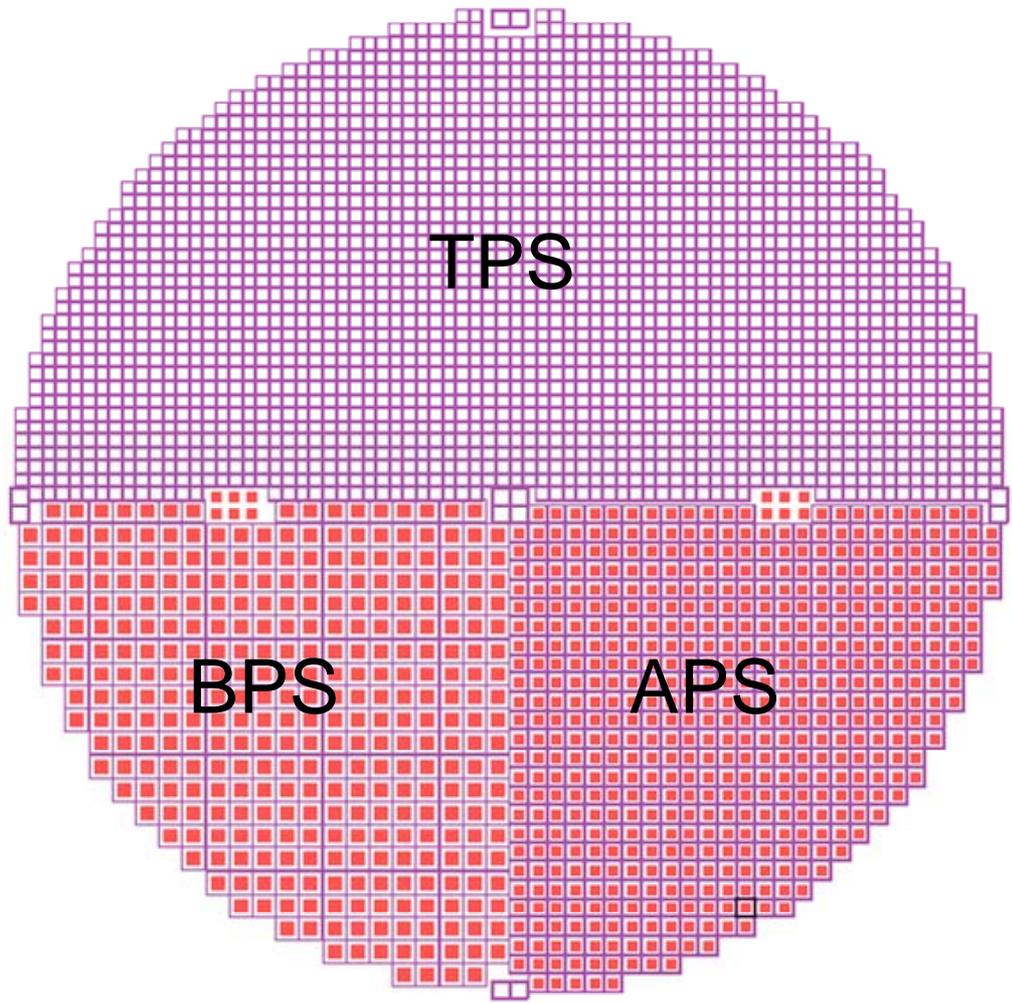


圖 3.2.2 光罩布置設計圖

### 3.3 隔膜設計

#### 3.3.1 平板應力

[1][19]由於壓阻式壓力感測器的感測原理上而言，感測隔膜上之應力值決定了壓阻阻值變化率(章節 2.3)，也決定了壓力感測器之靈敏度，利用正方形薄板分析中小變形的薄板理論推導結果如下：

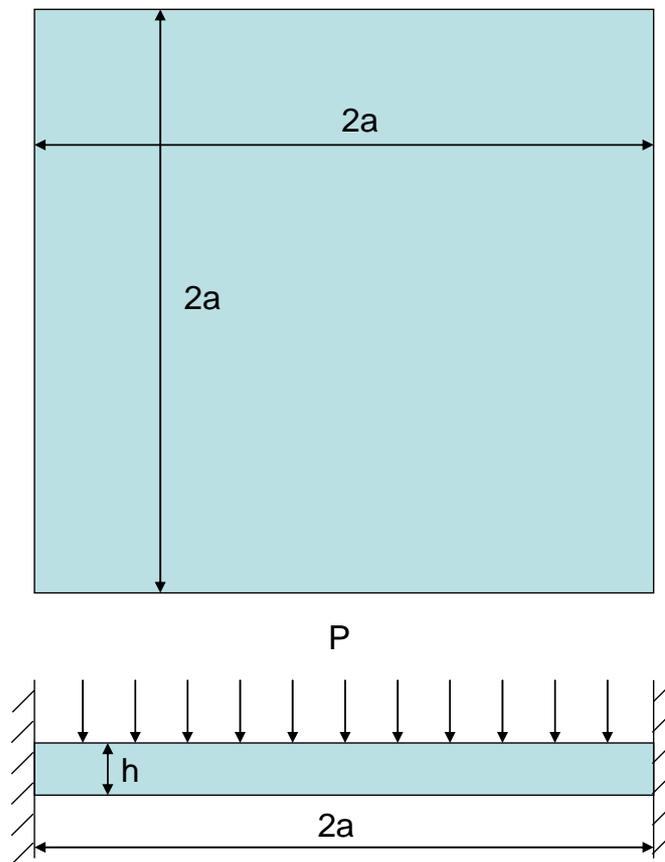


圖 3.3.1 均勻加壓且四周固定平板

首先設定依長寬均為  $2a$ 、厚度  $h$  之平板(圖 3.3.1)，當受到壓力  $P$  時其變形  $W$  之微分方程式可寫成：

$$\frac{\partial^4 w}{\partial x^4} + 2\frac{\partial^4 w}{\partial x^2 \partial y^2} + \frac{\partial^4 w}{\partial y^4} = \frac{1}{D} \left( q + N_x \frac{\partial^2 w}{\partial x^2} + 2N_{xy} \frac{\partial^2 w}{\partial x \partial y} + N_y \frac{\partial^2 w}{\partial y^2} \right) \quad (3.3.1)$$

其中  $N_x$ 、 $N_y$ 、 $N_{xy}$  分別為內平面單位寬度的正向力及剪力。 $D$  為彎曲剛度 (flexural rigidity)，包含材料係數  $E$  且

$$D = \frac{Eh^3}{12(1-\nu^2)} \quad (3.3.2)$$

公式假設：

1. 整體結構之最大變形需小於五分之一的薄膜厚度  $h$ 。亦即只適合於中性平面存在的微小變形。
2. 薄膜邊緣為固定 (built-in edge)，無法考慮晶粒的邊柱 (rim) 之影響。因為使用非等向性蝕刻會造成薄膜邊形成斜度，此會減小應力集中現象及在邊緣外產生小變形，亦即預測變形的結果會較小而產生較大應力。
3. 無熱應力及殘餘應力。且只適用於有限形狀，如方形、長方形及圓形。

因真實解不易求得，故通常以變分方法 (variation methods) 來求近似解。再配合彎曲力矩及彎曲應力公式：

$$M_x = -D \left( \frac{\partial^2 w}{\partial x^2} + \nu \frac{\partial^2 w}{\partial y^2} \right), \quad M_y = -D \left( \frac{\partial^2 w}{\partial y^2} + \nu \frac{\partial^2 w}{\partial x^2} \right)$$

$$(\sigma_x)_{\max} = 6 \frac{M_x}{h^2}, \quad (\sigma_y)_{\max} = 6 \frac{M_y}{h^2}$$

由此可推論出一些重要關係：

1. 最大變形出現於薄膜中心： $w_{\max} = 0.02024 p \frac{a^4}{D}$
2. 薄膜中心之應力為： $\sigma_x = \sigma_y = -0.42028(1+\nu)p \frac{a^2}{h^2}$
3. 最大應力出現於薄膜邊緣中央： $\sigma_{x,\max} = 1.2324 p \frac{a^2}{h^2}$ ， $\sigma_y = \nu \sigma_{x,\max}$
4. 應力值與平板厚度  $h$  平方項成反比，厚度越厚應力越小。
5. 應力值與平板寬度  $a$  平方項成正比，寬度越大應力越大。
6. 應力由兩邊緣中央往板中央遞減，且由正變負。

由上述理論推導結論結合有限元素分析法軟體 ANSYS 進行模擬分析，求解平板受壓力後之各位置點之變形量與應力值；依據章節 3.1 所選定之三種型態壓力感測器，分別進行有限元素分析：

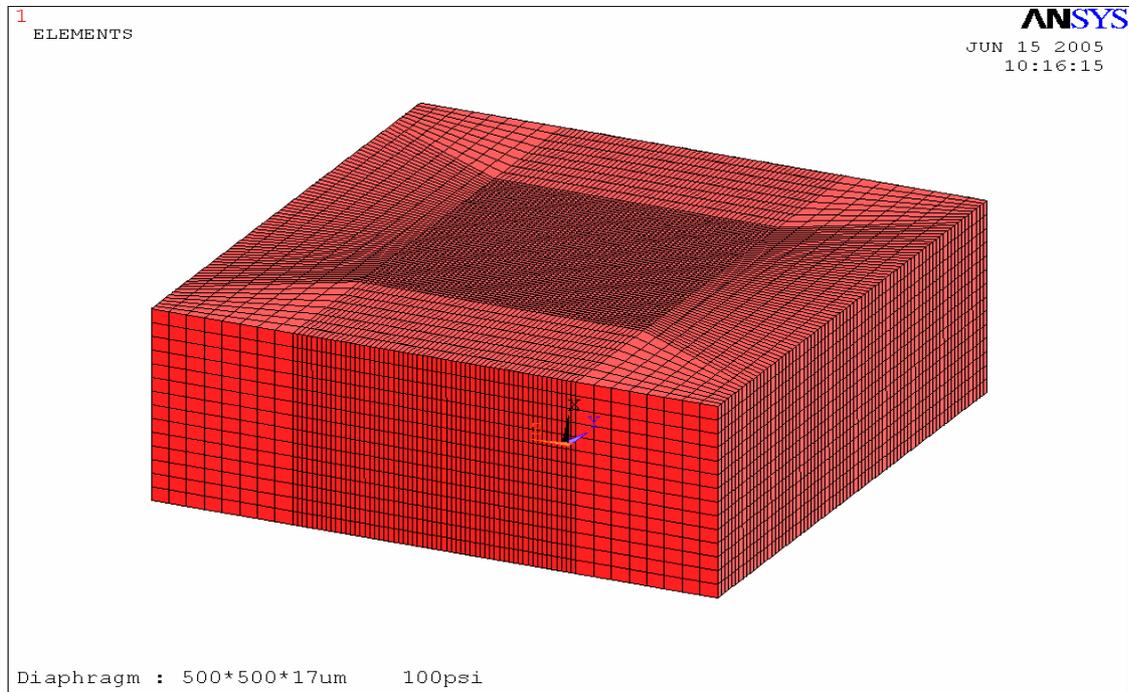


圖 3.3.2 有限元素分析模型

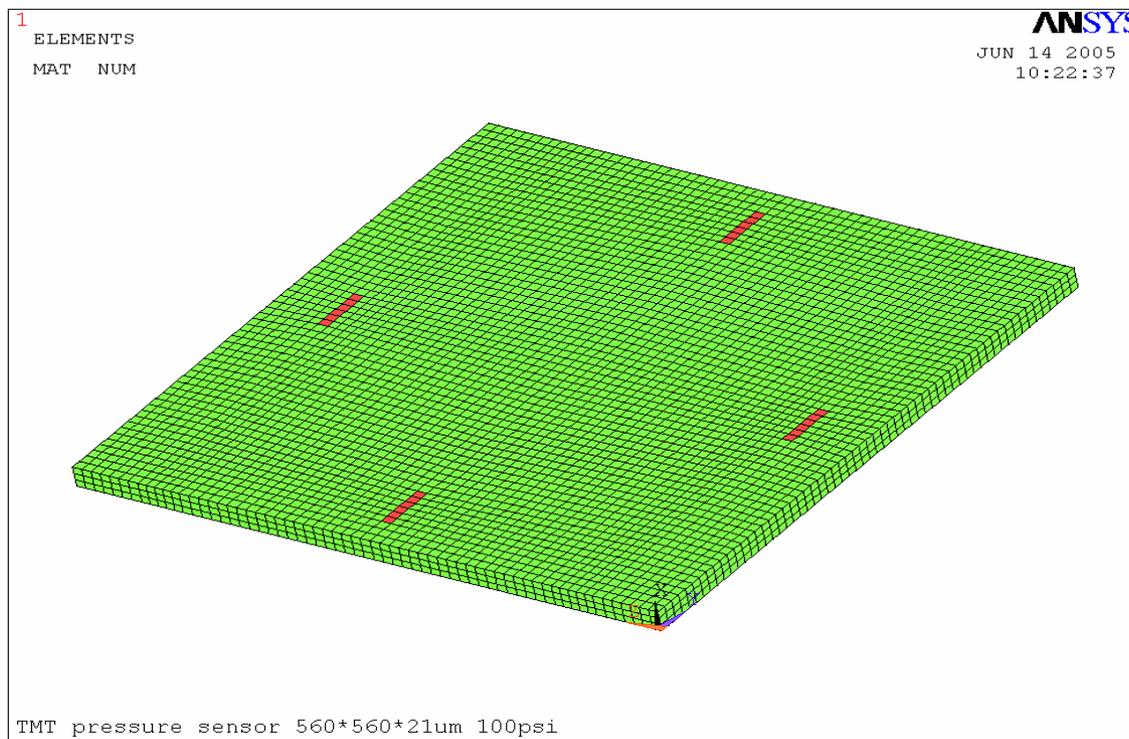


圖 3.3.3 壓阻位置模擬分析模型

### (1) TPS-100 Psi

初步對於 TPS 進行有限元素分析，設定分析之隔膜尺寸邊長為 500 $\mu\text{m}$ ，隔膜厚度為 17 $\mu\text{m}$ ，對隔膜施加壓力為 100psi，由於材料為矽晶圓屬於非等向性材料，因此使用 ANSYS 軟體所提供之元素為 Solid-64 非等向性材料分析元素進行分析，相關模擬分析之參數如表 3-3-1。

模擬分析結果：

1. 水平軸(Z)上之應力最大值出現於隔膜邊緣兩側往內約 9 $\mu\text{m}$  位置，橫向應力( $\sigma_t$ )最大應力值為 127.4 Mpa，縱向應力值( $\sigma_l$ ) 最大應力值為 30.4 Mpa。(圖 3.3.4)
2. 分析之隔膜形狀為正方形薄板，因此垂直軸(Y)上之應力值與水平軸(Z)呈現相同趨勢，但橫向應力( $\sigma_t$ )與縱向應力值( $\sigma_l$ )互換， $\sigma_t$ 最大值为 30.1 Mpa， $\sigma_l$ 最大值为 127.1 Mpa。
3. 隔膜之最大變形呈現於隔膜中央，最大變形量為 0.96 $\mu\text{m}$ ，符合薄板變形量之假設。(圖 3.3.5)
4. 垂直軸上壓阻之阻值變化率為正值，最大變化率約為 4%，因此垂直軸上之壓阻阻值增加。(圖 3.3.6)
5. 水平軸上壓阻之阻值變化率為負值，最大變化率約為 5%，因此水平軸上之壓阻阻值減少。(圖 3.3.7)
6. 分析結果上厚度方向(X)之應力值，除兩側邊緣位置外，軸向應力值均小於 1Mpa。(圖 3.3.4)

表 3-3-1 TPS 有限元素分析參數

項目	設定參數
元件尺寸(um)	1000*1000*417 (Y,Z,X)
隔膜尺寸(um)	500*500*17 (Y,Z,X)
PZR 尺寸(um)	56*8
隔膜材料	n-type silicon
Stiffness coefficients of silicon(Gpa)	$\begin{pmatrix} 166 & 64 & 64 & 0 & 0 & 0 \\ 64 & 166 & 64 & 0 & 0 & 0 \\ 64 & 64 & 166 & 0 & 0 & 0 \\ 0 & 0 & 0 & 80 & 0 & 0 \\ 0 & 0 & 0 & 0 & 80 & 0 \\ 0 & 0 & 0 & 0 & 0 & 80 \end{pmatrix}$
輸入壓力(Psi)	100
Element type	Solid 64

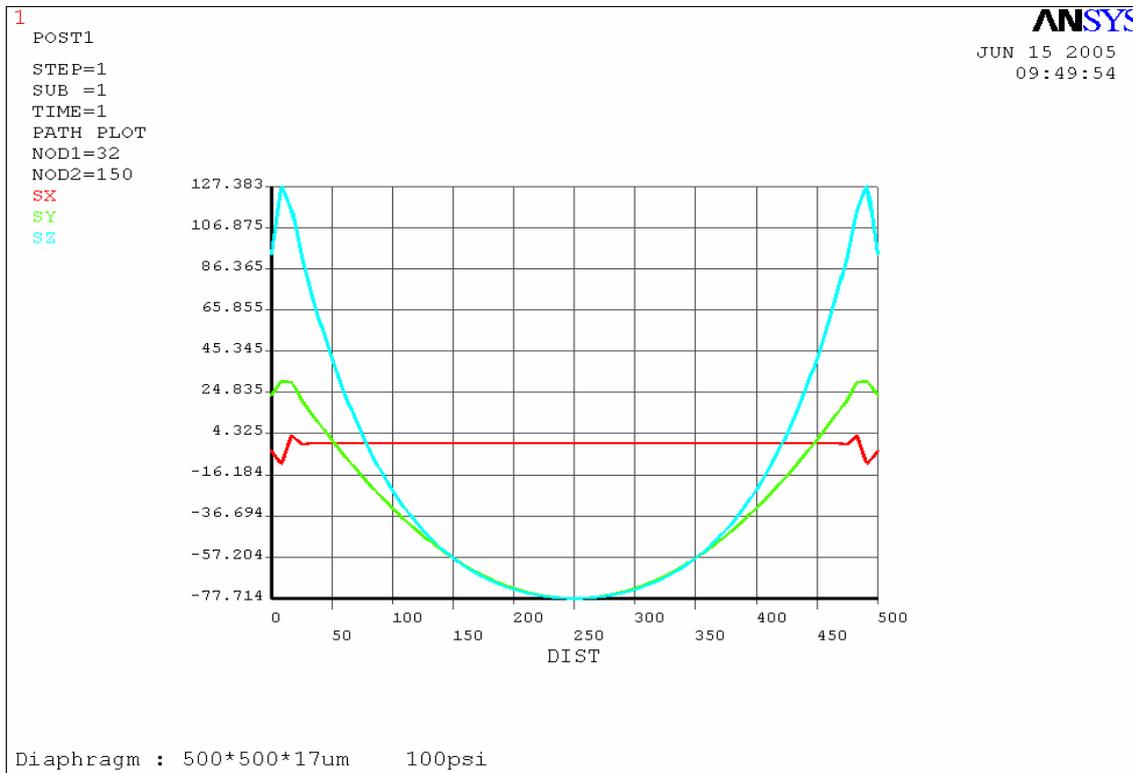


圖 3.3.4 水平中心軸上之三軸向應力分布圖

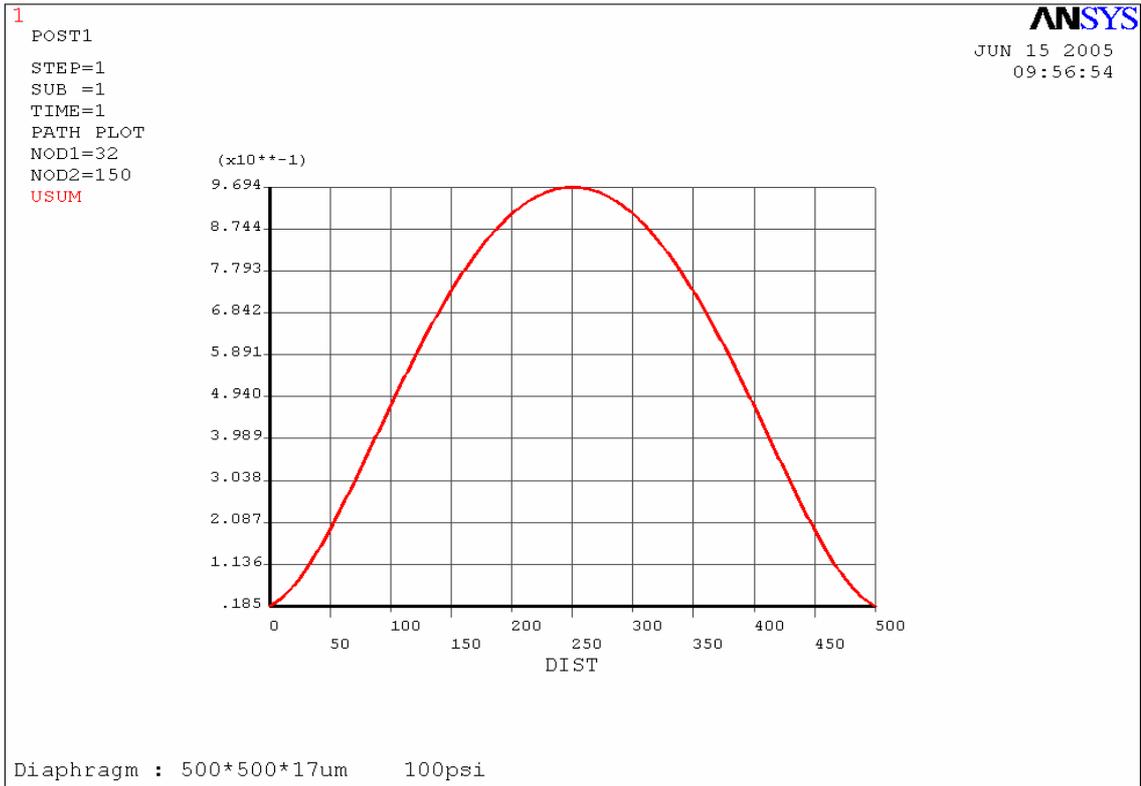


圖 3.3.5 水平中心軸上之應變分布圖

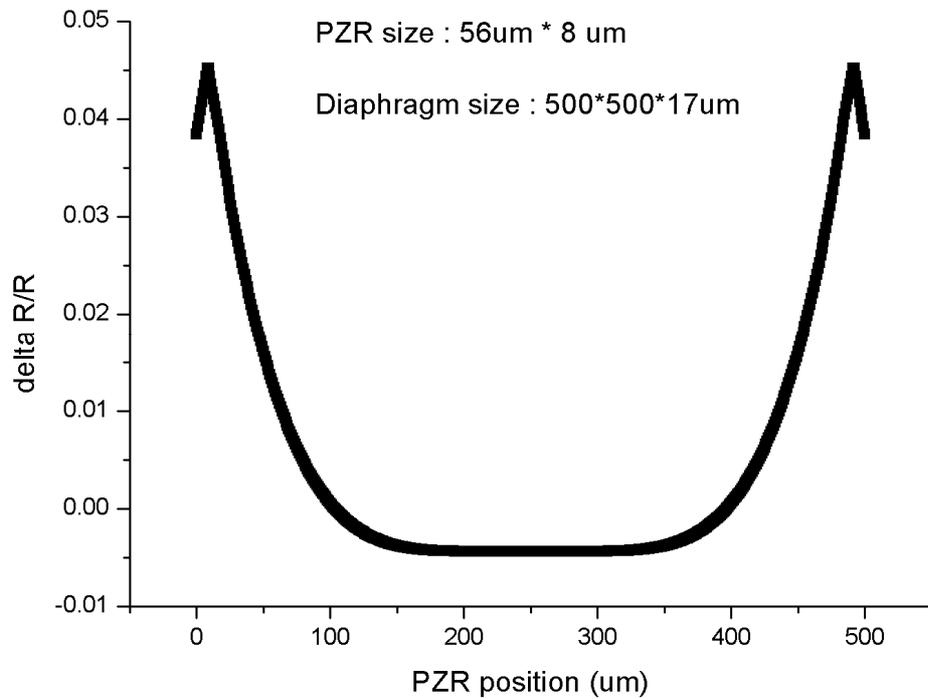


圖 3.3.6 垂直軸壓阻阻值變化率分佈圖

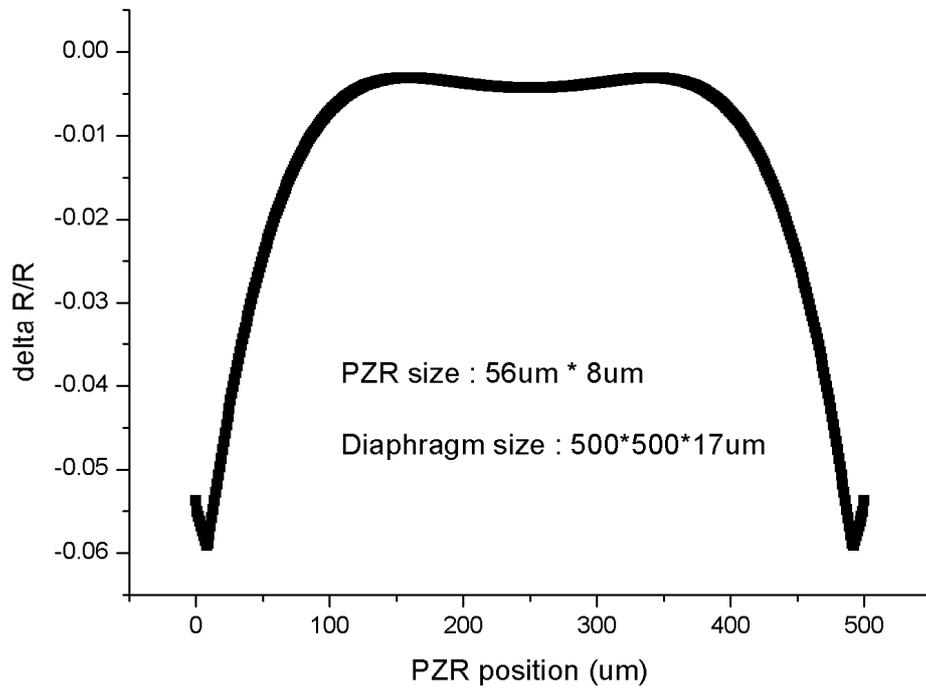


圖 3.3.7 水平軸壓阻阻值變化率分佈圖



## (2) APS-15 Psi

對於 APS 進行有限元素分析，設定分析之隔膜尺寸邊長為 900 $\mu\text{m}$ ，隔膜厚度為 17 $\mu\text{m}$ ，對隔膜施加壓力為 15psi，由於材料為矽晶圓屬於非等向性材料，因此使用 ANSYS 軟體所提供之元素為 Solid-64 非等向性材料分析元素進行分析，相關模擬分析之參數如表 3-3-2。

模擬分析結果：

1. 水平軸(Z)上之應力最大值出現於隔膜邊緣兩側往內約 9 $\mu\text{m}$  位置，橫向應力( $\sigma_t$ )最大應力值為 70.4 Mpa，縱向應力值( $\sigma_l$ ) 最大應力值為 19.0 Mpa。(圖 3.3.8)
2. 分析之隔膜形狀為正方形薄板，因此垂直軸(Y)上之應力值與水平軸(Z)呈現相同趨勢，但橫向應力( $\sigma_t$ )與縱向應力值( $\sigma_l$ )互換， $\sigma_t$ 最大值为 19.0 Mpa， $\sigma_l$ 最大值为 70.4 Mpa。
3. 隔膜之最大變形呈現於隔膜中央，最大變形量為 1.44 $\mu\text{m}$ ，符合薄板變形量之假設，略大於 TPS 之變形量。(圖 3.3.9)
4. 垂直軸上壓阻之阻值變化率為正值，最大變化率約為 2.5%，因此垂直軸上之壓阻阻值增加。(圖 3.3.10)
5. 水平軸上壓阻之阻值變化率為負值，最大變化率約為 3.0%，因此水平軸上之壓阻阻值減少。(圖 3.3.11)
6. 分析結果上厚度方向(X)之應力值，除兩側邊緣位置外，軸向應力值均小於 1Mpa。(圖 3.3.8)

表 3-3-2 APS 有限元素分析參數

項目	設定參數
元件尺寸(um)	1600*1600*417 (Y,Z,X)
隔膜尺寸(um)	900*900*17 (Y,Z,X)
隔膜材料	n-type silicon
Stiffness coefficients of silicon(Gpa)	$\begin{pmatrix} 166 & 64 & 64 & 0 & 0 & 0 \\ 64 & 166 & 64 & 0 & 0 & 0 \\ 64 & 64 & 166 & 0 & 0 & 0 \\ 0 & 0 & 0 & 80 & 0 & 0 \\ 0 & 0 & 0 & 0 & 80 & 0 \\ 0 & 0 & 0 & 0 & 0 & 80 \end{pmatrix}$
輸入壓力(Psi)	15
Element type	Solid 64

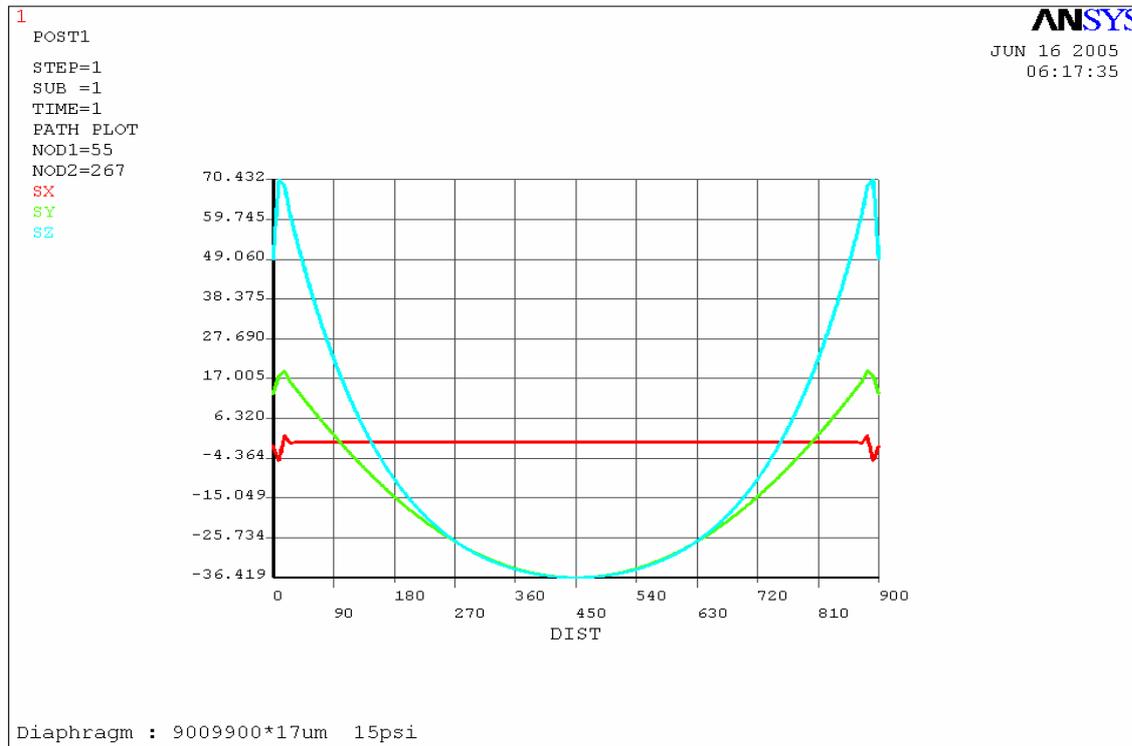


圖 3.3.8 水平中心軸上之三軸向應力分布圖

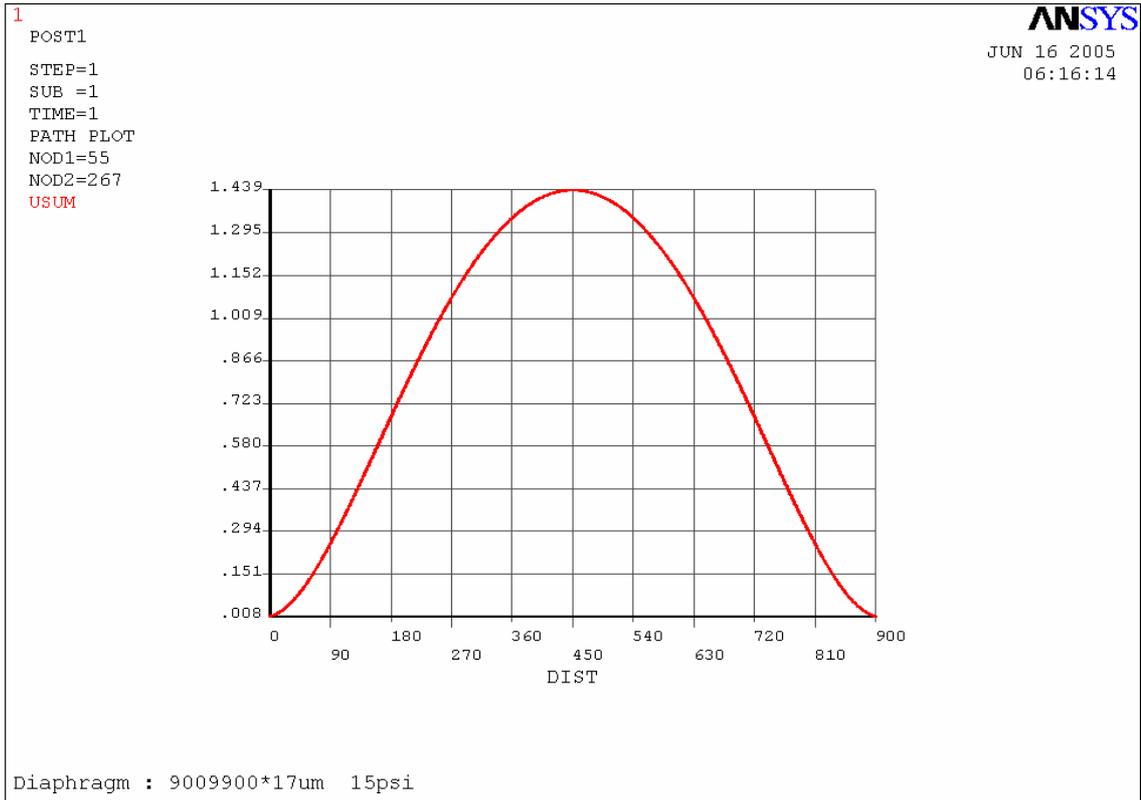


圖 3.3.9 水平中心軸上之應變分布圖

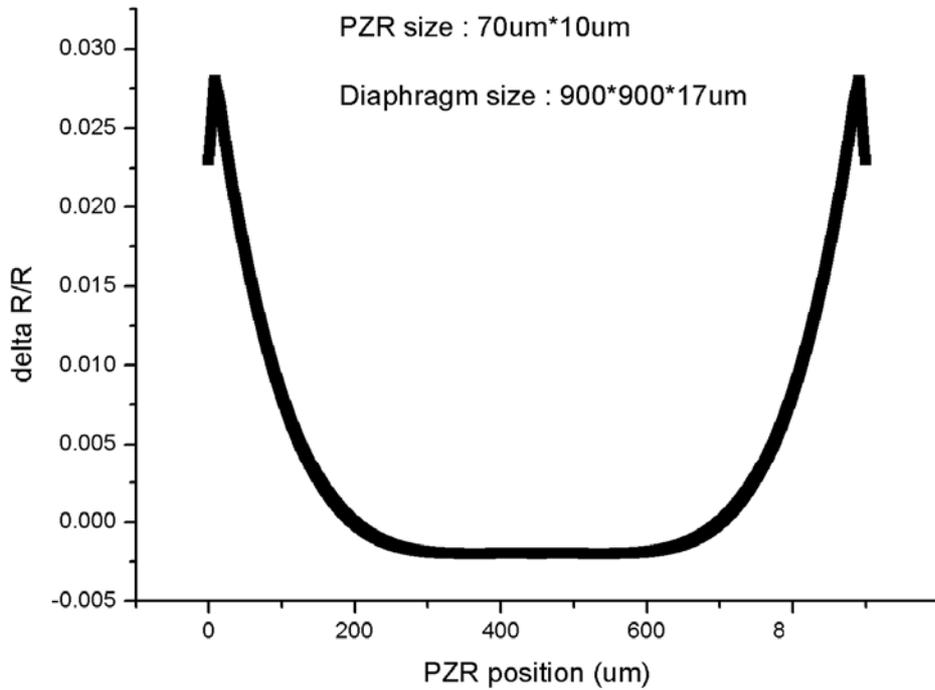


圖 3.3.10 垂直軸壓阻阻值變化率分佈圖

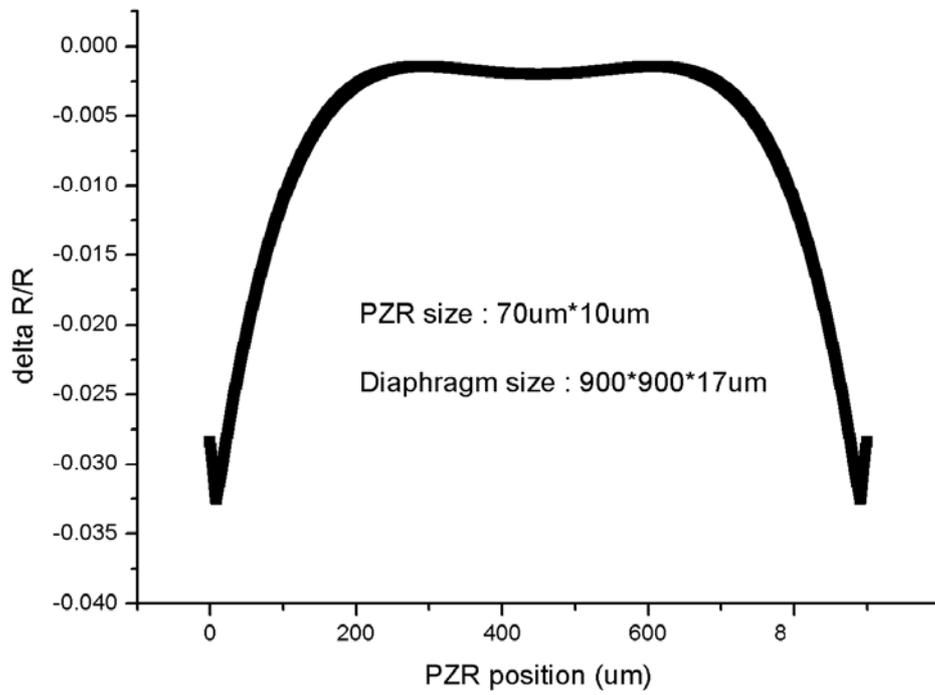


圖 3.3.11 水平軸壓阻阻值變化率分佈圖



### (3) BPS-5.8 Psi

初步對於 TPS 進行有限元素分析，設定分析之隔膜尺寸邊長為 1200 $\mu\text{m}$ ，隔膜厚度為 17 $\mu\text{m}$ ，對隔膜施加壓力為 5.8psi，由於材料為矽晶圓屬於非等向性材料，因此使用 ANSYS 軟體所提供之元素為 Solid-64 非等向性材料分析元素進行分析，相關模擬分析之參數如表 3-3-3。

模擬分析結果：

1. 水平軸(Z)上之應力最大值出現於隔膜邊緣兩側往內約 17  $\mu\text{m}$  位置，橫向應力( $\sigma_t$ )最大應力值為 49.7 Mpa，縱向應力值( $\sigma_l$ ) 最大應力值為 13.9 Mpa。(圖 3.3.12)
2. 分析之隔膜形狀為正方形薄板，因此垂直軸(Y)上之應力值與水平軸(Z)呈現相同趨勢，但橫向應力( $\sigma_t$ )與縱向應力值( $\sigma_l$ )互換， $\sigma_t$ 最大值为 13.9 Mpa， $\sigma_l$ 最大值为 49.7 Mpa。
3. 隔膜之最大變形呈現於隔膜中央，最大變形量為 1.72  $\mu\text{m}$ ，符合薄板變形量之假設，變形量為三者最大。(圖 3.3.13)
4. 垂直軸上壓阻之阻值變化率為正值，最大變化率約為 1.5%，因此垂直軸上之壓阻阻值增加。(圖 3.3.14)
5. 水平軸上壓阻之阻值變化率為負值，最大變化率約為 2%，因此水平軸上之壓阻阻值減少。(圖 3.3.15)
6. 分析結果上厚度方向(X)之應力值，除兩側邊緣位置外，軸向應力值均小於 1Mpa。(圖 3.3.12)

表 3-3-3 BPS有限元素分析參數

項目	設定參數
元件尺寸(um)	2000*2000*417 (Y,Z,X)
隔膜尺寸(um)	1200*1200*17 (Y,Z,X)
隔膜材料	n-type silicon
Stiffness coefficients of silicon(Gpa)	$\begin{pmatrix} 166 & 64 & 64 & 0 & 0 & 0 \\ 64 & 166 & 64 & 0 & 0 & 0 \\ 64 & 64 & 166 & 0 & 0 & 0 \\ 0 & 0 & 0 & 80 & 0 & 0 \\ 0 & 0 & 0 & 0 & 80 & 0 \\ 0 & 0 & 0 & 0 & 0 & 80 \end{pmatrix}$
輸入壓力(Psi)	5.8
Element type	Solid 64

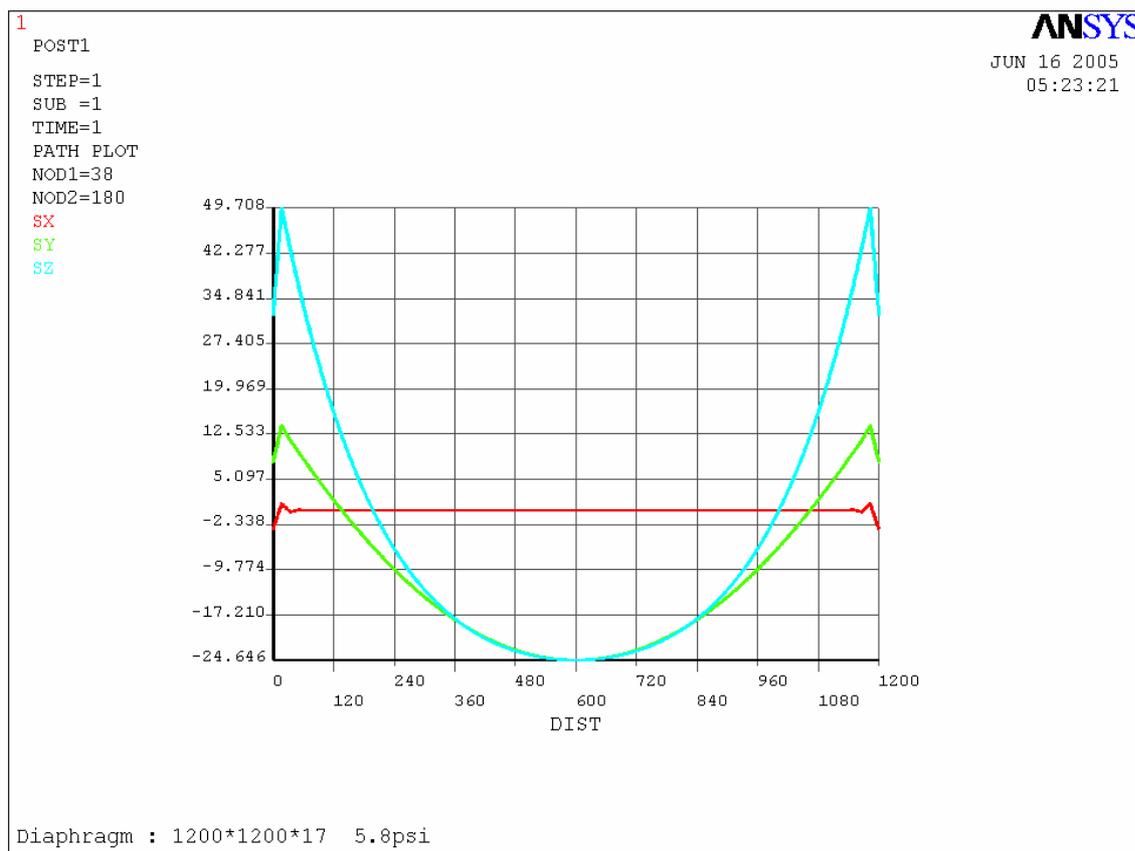


圖 3.3.12 水平中心軸上之三軸向應力分布圖

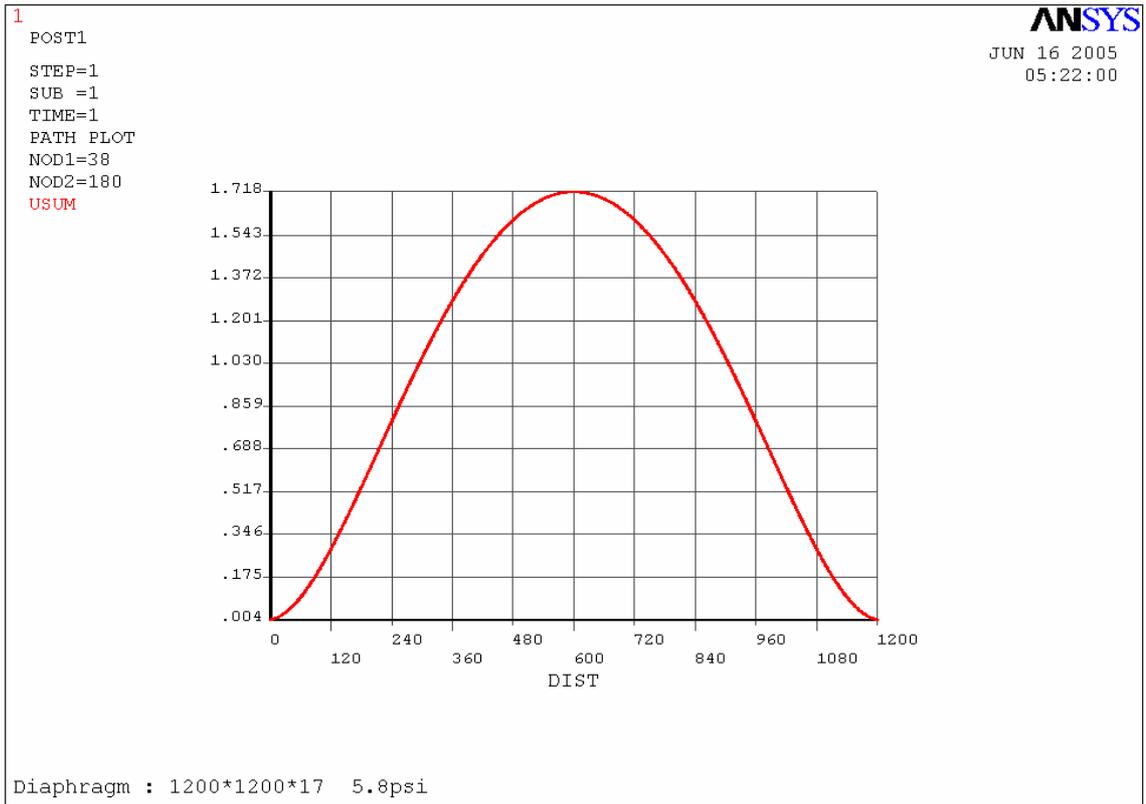


圖 3.3.13 水平中心軸上之應變分布圖

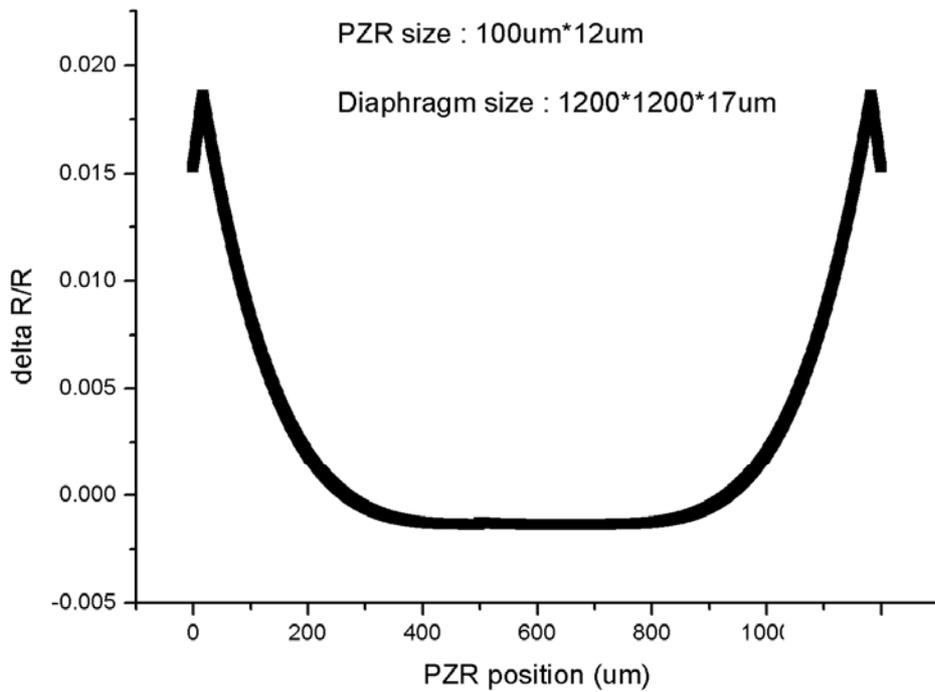


圖 3.3.14 垂直軸壓阻阻值變化率分佈圖

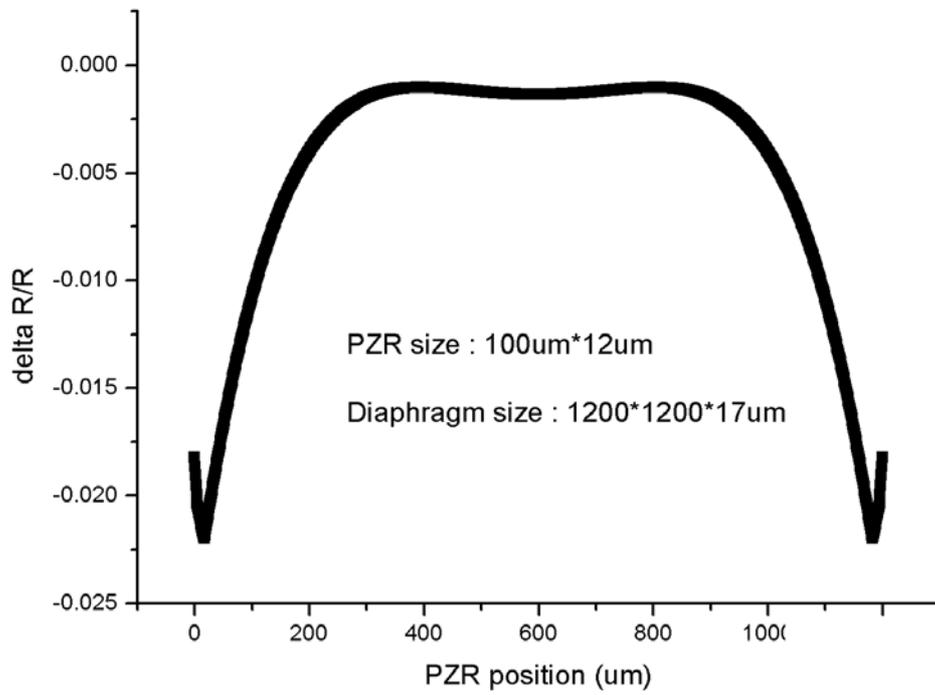


圖 3.3.15 水平軸壓阻阻值變化率分佈圖



### 3.3.2 壓阻設計

參考目前業界廣泛使用之壓阻電阻規格值，設定設計之壓力感測器之壓阻阻值約為 4~6 K $\Omega$ ，假設每一組壓阻分別由三根壓阻所構成(圖 3.3.16)，則每一根壓阻阻值約為 1.6K $\Omega$ ，每根壓阻之長寬比為 7，則片電阻(sheet resistance)阻值約為 230  $\Omega/\square$ ，於文獻參考[21]中之分析結果建議對於邊長為 a 之方型薄膜而言，壓阻長度約為邊長之 10 分之一時，壓力感測器可獲得最大之靈敏度，因此本研究中分別設定三種壓力感測器之壓阻尺寸如表 3-3-4。

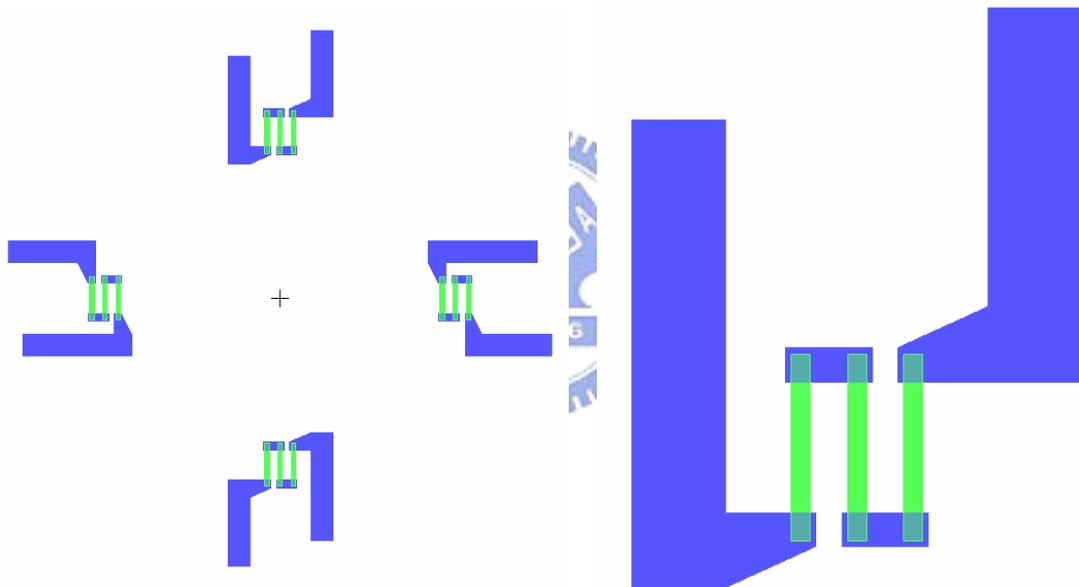


圖 3.3.16 壓阻電阻設計示意圖

表 3-3-4 隔膜尺寸與壓阻尺寸設計值

項目	TPS	APS	BPS
隔膜尺寸(um)	500*500	900*900	1200*1200
壓阻尺寸(um)	56*8	70*10	100*12
片電阻( $\Omega/\square$ )	230	230	230

### 3.4 元件尺寸設計

壓力感測器之設計上幾個主要關鍵尺寸，包含隔膜厚度，隔膜尺寸與壓阻位置等，透過章節 3.1 與 3.2 之設計分析中選定三中壓力感測器之隔膜尺寸分別為：

TPS diaphragm size :  $500\ \mu\text{m} * 500\ \mu\text{m} * 17\ \mu\text{m}$

APS diaphragm size :  $900\ \mu\text{m} * 900\ \mu\text{m} * 17\ \mu\text{m}$

BPS diaphragm size :  $1200\ \mu\text{m} * 1200\ \mu\text{m} * 17\ \mu\text{m}$

經由關鍵尺寸之選定，後續將是決定整個元件之其他部分之設計，參考圖 3.4.1 中，尺寸 A 即為設計中所選定之正方形隔膜寬度，尺寸 B 為所使用晶圓之厚度，尺寸 C 為磊晶晶圓之 P+結構層厚度，尺寸 B 減去尺寸 C 則為晶圓之磊晶層厚度，也就是設計中所選定之隔膜厚度，尺寸 D 為傳統矽晶圓(100)濕蝕刻所需之背面開孔尺寸，尺寸 D 之計算方式為：

$$D = A + \sqrt{2}C \quad (3.4.1)$$

計算：

依據表 3-1-2 設計中所選定之材料 P+結構層厚度為  $400\ \mu\text{m}$ ，參考三種壓力感測器所選定之隔膜寬度分別為  $500\ \mu\text{m}$ 、 $900\ \mu\text{m}$  與  $1200\ \mu\text{m}$ ，代入公式 (3.4.1) 則可求得使用傳統矽濕蝕刻之背面開孔尺寸分別為：

TPS背面開孔尺寸：  $500\ \mu\text{m} + \sqrt{2} * 400 = \underline{1065\ \mu\text{m}}$

APS背面開孔尺寸：  $900\ \mu\text{m} + \sqrt{2} * 400 = \underline{1465\ \mu\text{m}}$

BPS背面開孔尺寸：  $1200\ \mu\text{m} + \sqrt{2} * 400 = \underline{1765\ \mu\text{m}}$

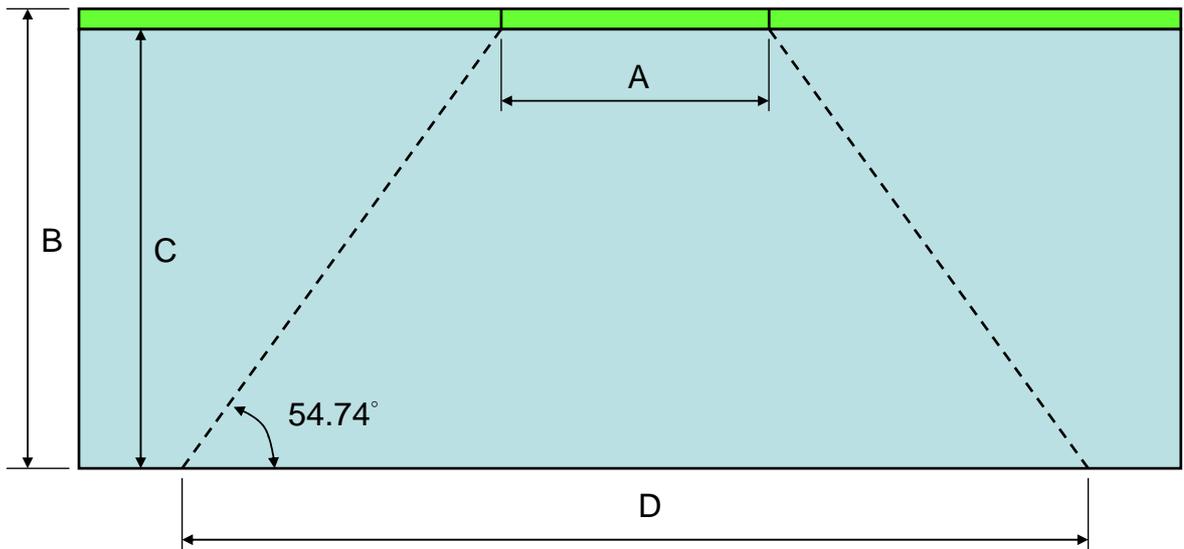


圖 3.4.1 壓力感測器尺寸設計示意圖-1

A：正方形隔膜寬度

B：晶圓厚度(417  $\mu\text{m}$ )

C：P+結構層厚度(400  $\mu\text{m}$ )

D：傳統矽晶圓(100)濕蝕刻背面開孔尺寸



取得上列之相關尺寸後，後續將是決定使用新製程所需設計之背面開孔尺寸，製程上如使用 ICP 製程搭配 SOI 晶圓，其設計上較為單純，因為 ICP 製程之側壁垂直性佳，因此設計之隔膜尺寸 A 幾乎等於背面之開孔設計尺寸 E。(圖 3.4.2)

計算：

TPS 背面開孔尺寸： 500  $\mu\text{m}$

APS 背面開孔尺寸： 900  $\mu\text{m}$

BPS 背面開孔尺寸：1200  $\mu\text{m}$

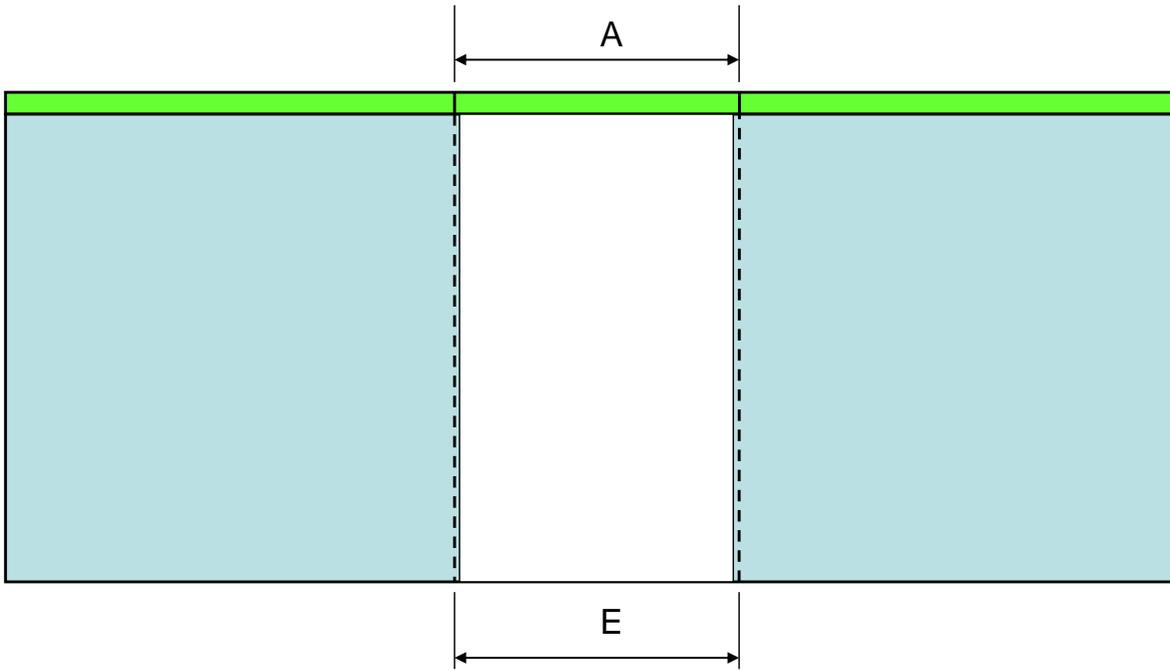


圖 3.4.2 ICP 蝕刻背孔尺寸設計示意圖

使用磊晶晶圓作為壓力感測器製作之材料，搭配 ICP 與 ECE 之隔膜製作流程，於晶背開孔尺寸大小之設計上(圖 3.4.3)，必須先決定 ICP 蝕刻製程之蝕刻深度尺寸 G，當設定蝕刻深度 G 後，便可藉由結構層厚度 C 與設計之隔膜尺寸 A 計算出 ICP 蝕刻之開孔尺寸 F，計算公式如下：

$$F = A + \sqrt{2}(C - G) \quad (3.4.2)$$

計算：

設定 ICP 蝕刻深度為  $320 \mu\text{m}$ ，依據表 3-1-2 設計中所選定之材料 P+ 結構層厚度為  $400 \mu\text{m}$ ，參考三種壓力感測器所選定之隔膜寬度分別為  $500 \mu\text{m}$ 、 $900 \mu\text{m}$  與  $1200 \mu\text{m}$ ，代入公式(3.4.2)則可求得 ICP 與 ECE 蝕刻製程之背面開孔尺寸分別為：

$$\text{TPS 背面開孔尺寸：} 500 \mu\text{m} + \sqrt{2} * (400 - 320) \mu\text{m} = \underline{613 \mu\text{m}}$$

$$\text{APS 背面開孔尺寸：} 900 \mu\text{m} + \sqrt{2} * (400 - 320) \mu\text{m} = \underline{1013 \mu\text{m}}$$

$$\text{BPS 背面開孔尺寸：} 1200 \mu\text{m} + \sqrt{2} * (400 - 320) \mu\text{m} = \underline{1313 \mu\text{m}}$$

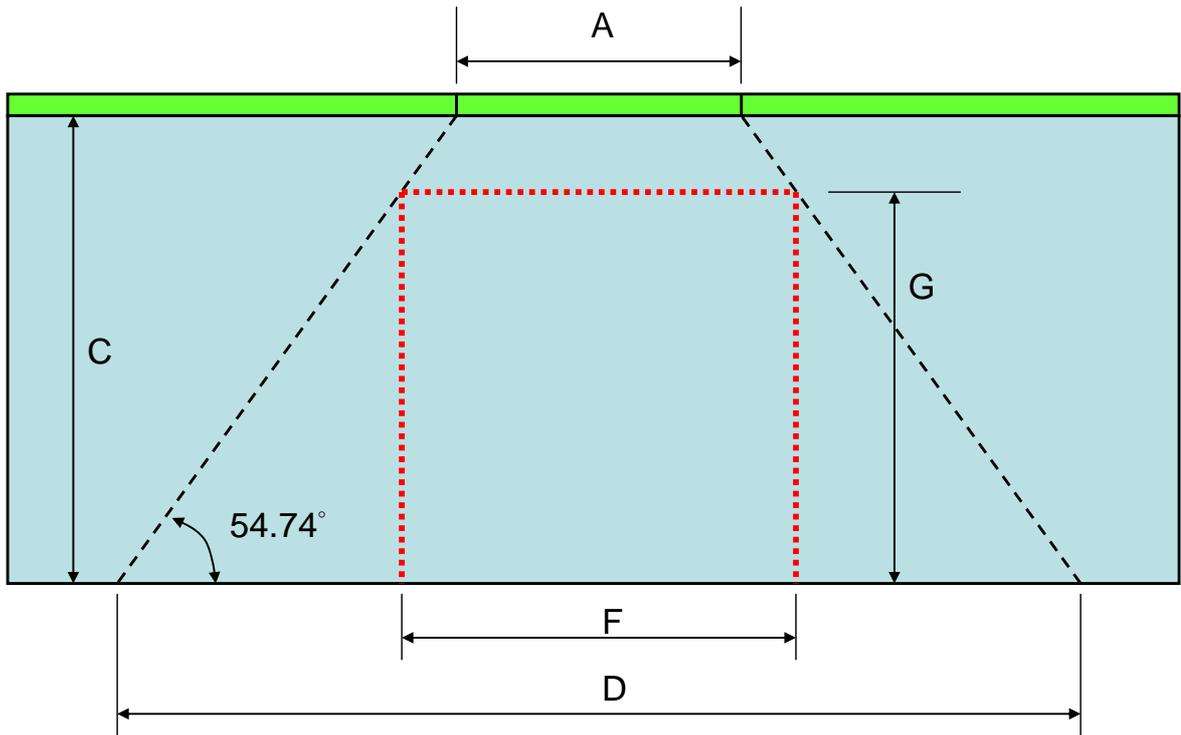


圖 3.4.3 ICP 蝕刻深度與開孔尺寸示意圖

於決定 ICP 背面開孔尺寸與蝕刻深度後，即可藉由典型矽(100)濕蝕刻之晶格方向推估出如圖 3.4.4 之壓力感測器剖面圖，製作出可受控制之感測器隔膜尺寸。

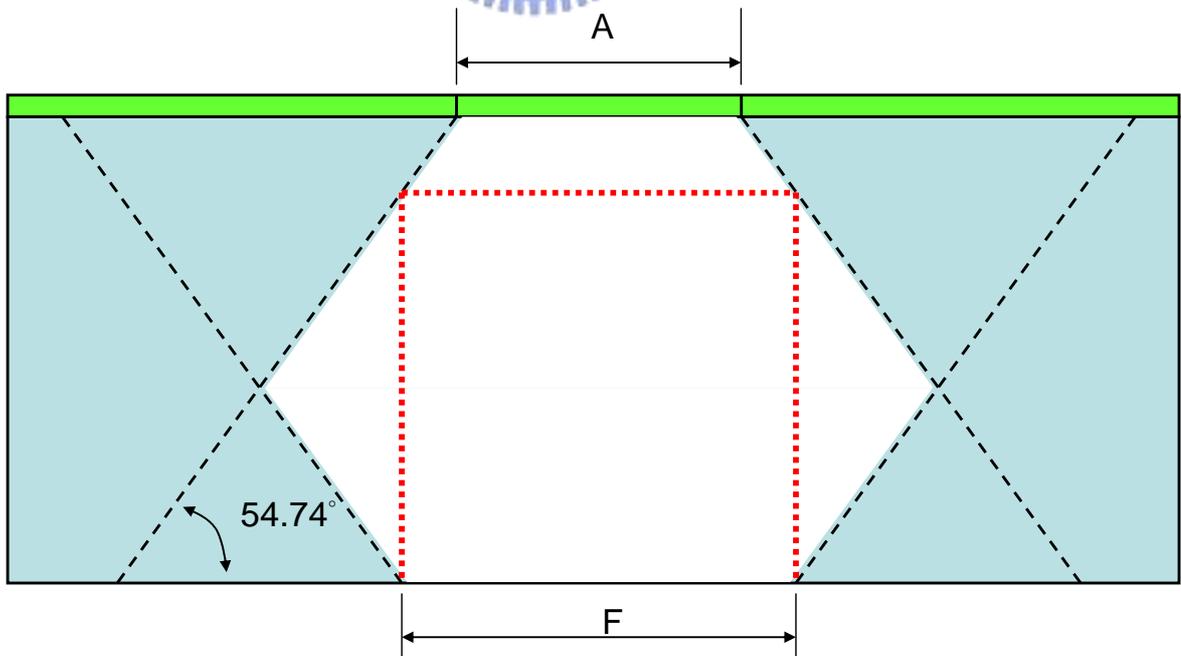


圖 3.4.4 ICP 與 ECE 製程後之感測器剖面示意圖

### 3.5 元件細部設計與特性預估

透過前述之規格選定與模擬分析結果的確認，依此分別設計 TPS、APS 及 BPS 三款壓力感測器之細部設計規格如表 3-5-1，此三種設計之關鍵特性預估設定條件如下所列：

- A. 晶圓面積計算基準以 4 吋矽晶圓面積計算，晶邊保留 5mm 寬度。
- B. 壓力感測器元件驅動電壓設定為 5V。

#### 關鍵預估特性：

##### TPS-100psi

1. 感測靈敏度為 0.31 mv/V/psi
2. 壓力感測器全距輸出電壓預估為 155mV
3. 晶方尺寸為 1080um\*1080um，面積縮小為原設計之 43%
4. 單一 4 吋晶圓可佈置元件數量約 4240 個

##### APS-15psi

1. 感測靈敏度為 1.467 mv/V/psi
2. 壓力感測器全距輸出電壓預估為 110mV
3. 晶方尺寸為 1580um\*1580um，面積縮小為原設計之 54%
4. 單一 4 吋晶圓可佈置元件數量約 2100 個

##### BPS-5.8psi

1. 感測靈敏度為 2.759 mv/V/psi
2. 壓力感測器全距輸出電壓預估為 80mV
3. 晶方尺寸為 1980um\*1980um，面積縮小為原設計之 60%
4. 單一 4 吋晶圓可佈置元件數量約 1400 個

表3-5-1 元件設計細部尺寸表

項目	TPS	APS	BPS
額定壓力範圍 (psi)	0~100	0~15	0~5.8
過大壓力 (psi)	300	45	18
壓阻阻值變化率(%)	3.1	2.2	1.6
靈敏度(mv/V/psi)	0.31	1.467	2.759
壓阻阻值 ( $\Omega$ )	5K	5K	5K
壓阻尺寸 (um)	56*8	70*10	100*12
重度佈植劑量	80Kev 8.0E15	80Kev 8.0E15	80Kev 8.0E15
輕度佈植劑量	70Kev 4.5E14	70Kev 4.5E14	70Kev 4.5E14
隔膜厚度 (um)	17	17	17
隔膜尺寸 (um)	500	900	1200
元件厚度 (um)	417	417	417
切割道寬度 (um)	120	120	120
陽極接合寬度 (um)	290	340	390
晶方尺寸(um)	1080*1080	1580*1580	1980*1980
壓阻水平位置(距邊緣)(um)	18	30	18
壓阻垂直位置(距邊緣)(um)	16	14	16
金屬接觸窗尺寸(um)	40*30	40*40	40*30
測試用鋁墊尺寸(um)	70*70	80*80	70*70
打線用鋁墊尺寸(um)	130*130	160*160	130*130
金屬線寬度(um)	40	50	40
晶背開孔尺寸-SOI(um)	500*500	900*900	1200*1200
晶背開孔尺寸-EPI(um)	571*571	971*971	1271*1271
原 ECE 開孔尺寸(um)	1065*1065	1465*1465	1765*1765
原晶方尺寸(um)	1645*1645	2145*2145	2545*2545

# 第4章 壓力感測器製作

本研究中將矽基壓力感測器之製作流程主要區分為兩大部分，第一部份為正面惠斯登電橋電路製作，第二部份為晶背隔膜製作。惠斯登電路電路製作方面其主要包含兩道離子佈植製程、一道金屬導線接觸窗蝕刻與一道金屬導線製程；晶背隔膜製作部分則以晶圓背面矽蝕刻製程為主，其中當晶圓材料為 SOI 晶圓時，則採用全 ICP 蝕刻製程；如材料為磊晶晶圓時，則需使用 ICP 蝕刻搭配電化學蝕刻停止技術進行感測隔膜製作。

## 4.1 惠斯登電路製作

### 4.1.1 第一道離子佈植(高濃度)



此道製程之主要目的是於n-type之矽元件層上，利用離子佈植技術製作出四組連接金屬導線與壓阻電阻之P-type矽質導線，製作流程上先利用微影技術定義出矽質導線之圖形後，進行第一道高濃度之離子佈植，佈植劑量為Boron 80Kev  $8e15(\text{cm}^{-2})$ (附錄D)，利用光阻(photo resist)作為選擇性遮罩(mask)，使得設計所定義之區域具有高摻雜濃度、低電阻之特性，於離子佈植完成後即進行光阻之移除與晶圓清洗製程，如此即完成元件上之矽質導線製作過程，離子佈植後之退火製程則待第二道離子佈植完成後一併進行。

於製作完成後，使用電性測試機台進行矽質導線之阻值量測，量測結果矽質導線之片電阻阻值為  $18\Omega/\square$ 。

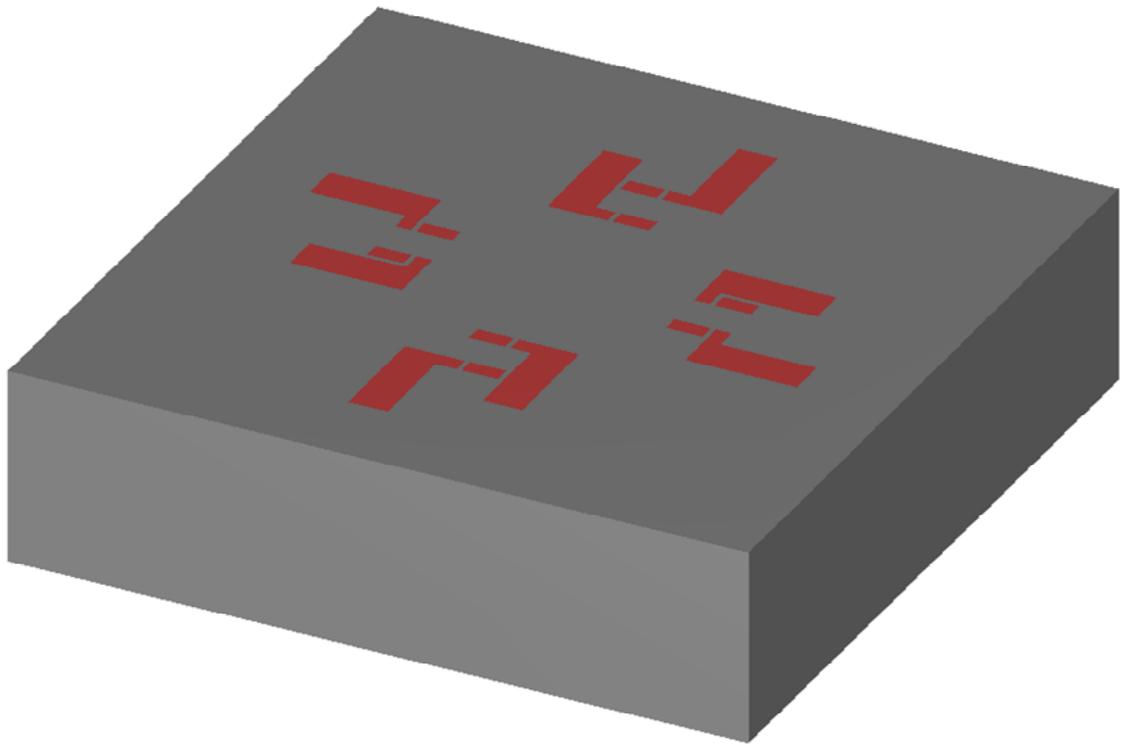


圖 4.1.1 第一道離子佈植區域示意圖

#### 4.1.2 第二道離子佈植(低濃度)

低濃度之離子佈植製程目的在於矽晶圓上製作出四組壓阻電阻，離子佈植劑量為Boron 70Kev  $4.2e15(cm^{-2})$  (附錄D)，設計之每一片電阻阻值約為  $230\Omega$ ，製作流程上仍先利用微影技術定義出壓阻電阻之圖形後，進行第二道低濃度之離子佈植，使得設計所定義之區域因雜濃度的改變而產生電阻值的變化，後續需進行光阻之移除與晶圓清洗製程。電性量測之結果顯示，壓阻電阻之片電阻阻值為  $231\Omega/\square$ 。

表4-1-1 離子佈植阻值量測結果

項目	第一道離子佈植	第二道離子佈植
佈植劑量( $cm^{-2}$ )	8e15	4.2e15
片電阻值 $\Omega/\square$	18.2	231.8
均勻度%	1.07	2.91

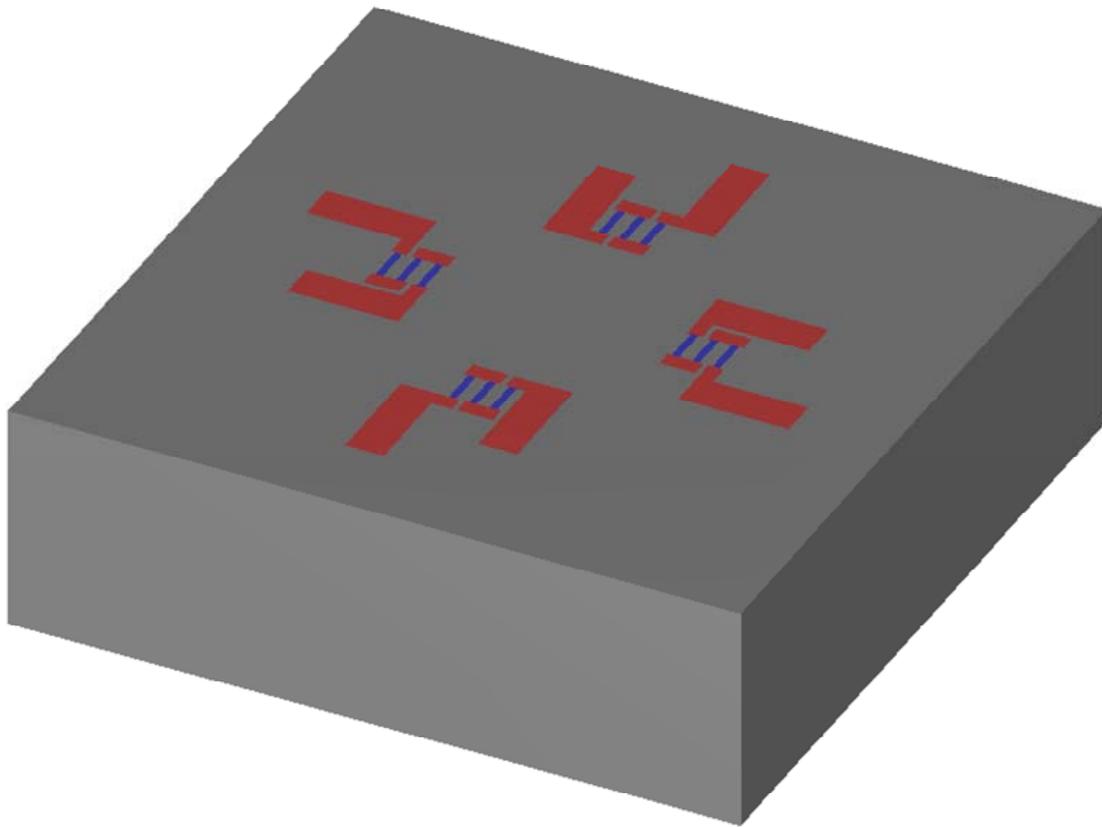


圖 4.1.2 壓阻電阻佈植區域示意圖

### 4.1.3 金屬導線接觸窗蝕刻

當壓力感測器完成前兩道離子佈植製作後，後續則是進行金屬導線之製作，感測器晶片正面之電路藉由壓阻、矽質導線與金屬導線所構成，其中金屬導線與兩者藉由介電層隔離，因此必須將於矽質導線與金屬導線之間的特定區域進行介電層開孔製程，一般則統稱為金屬導線接觸窗蝕刻。

本研究中利用二氧化矽與氮化矽做為金屬導線與矽質導線間之介電層，利用高溫爐管分別進行兩道介電層生長製程，後續則進行第三次微影製程，利用光阻定義金屬接觸窗之區域，並分別利用乾蝕刻與濕蝕刻技術對氮化矽與二氧化矽介電層進行蝕刻，蝕刻完成後則是進行圖形檢驗、光阻移除與晶圓清洗製程。(圖 4.1.3)

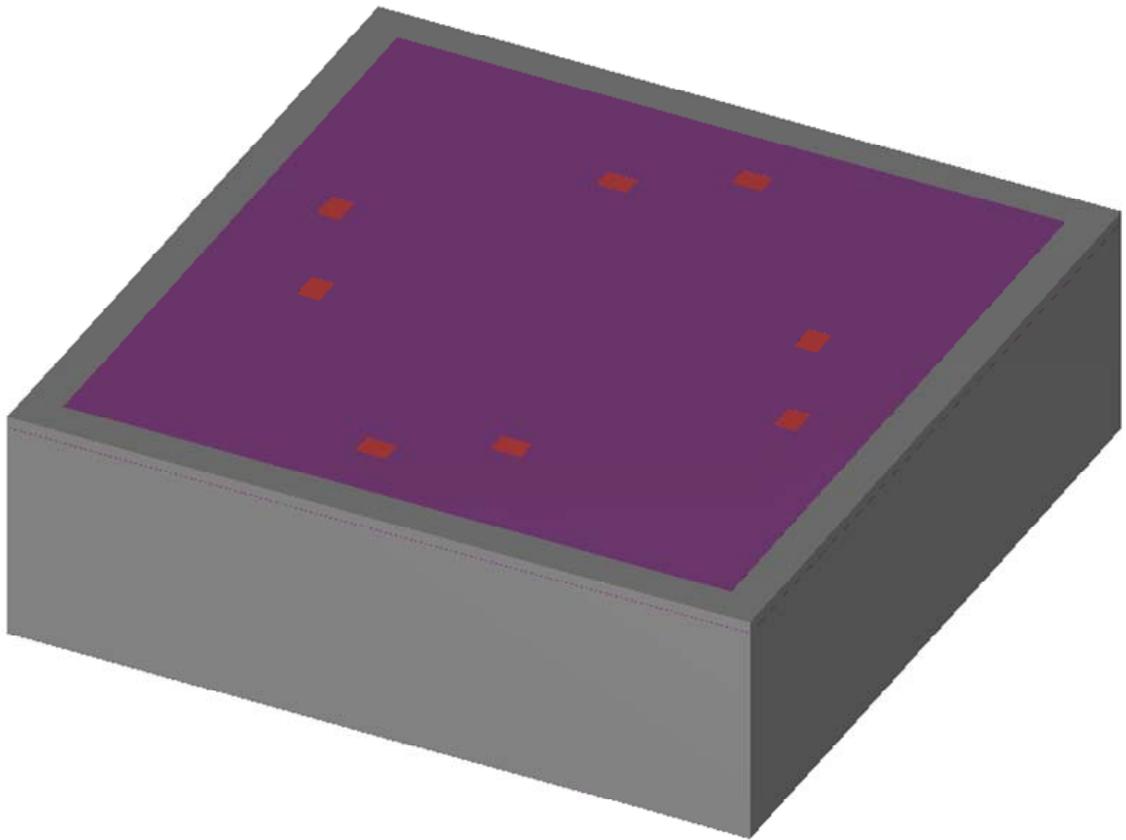


圖 4.1.3 金屬導線接觸窗蝕刻示意圖

#### 4.1.4 金屬導線製作

金屬導線製作流程上，先於晶圓表面沉積上一層厚度約  $1\mu\text{m}$  之金屬層，金屬材料選用鋁作為導線材料，當沉積完成後，進行第四道微影製程定義金屬導線圖形，並使用鋁蝕刻液對鋁金屬層進行蝕刻，完成金屬導線之製作。

當蝕刻完成後，需進行光阻移除與晶圓清洗製程，為使金屬導線與矽質導線之接觸電阻穩定，將晶圓置入退火爐中進行一溫度約  $400^{\circ}\text{C}$  之退火製程，使鋁金屬與矽晶圓達到部份的固溶現象，使接觸電阻較為穩定與降低，退火後則整個晶圓正面惠斯登電橋電路以大致完成。

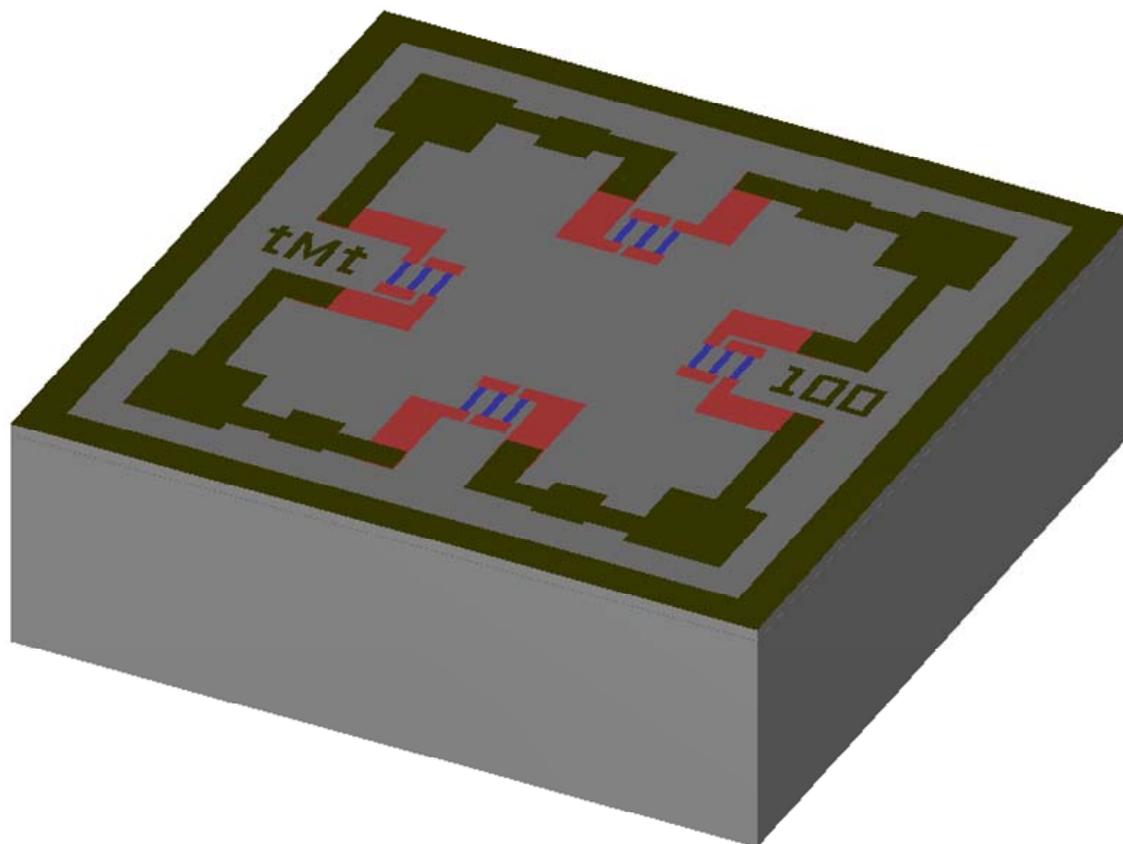


圖4.1.4 金屬導線蝕刻示意圖



## 4.2 隔膜製作

### 4.2.1 SOI 晶圓晶背矽蝕刻

本製程之目的是利用 ICP 蝕刻技術對已經完成正面電路製作之 SOI 晶圓進行背面矽蝕刻製程，使元件之感測隔膜達到設計之尺寸值(圖 3.3.2)，由於 SOI 晶圓本身於元件層與基材之間夾二氧化矽層可直接做為 ICP 之蝕刻停止層，因此製作流程較為簡潔。

流程上，先進行晶圓清洗製程，接續進行晶圓背面之第五道微影製程，製程對準需使用雙面對準機制進行晶圓正、背面對準鍵對準，微影製程完成後，利用乾蝕刻製程進行晶圓背面之介電層蝕刻，移除晶背隔膜區域的介電層，定義出 ICP 蝕刻之範圍。

當 ICP 蝕刻完成後，利用乾蝕刻與濕蝕刻技術對氮化矽與二氧化矽介電層進行移除製程，使晶圓背面可與 7740 玻璃進行陽極接合製程(anodic bonding)。(圖 4.2.1)

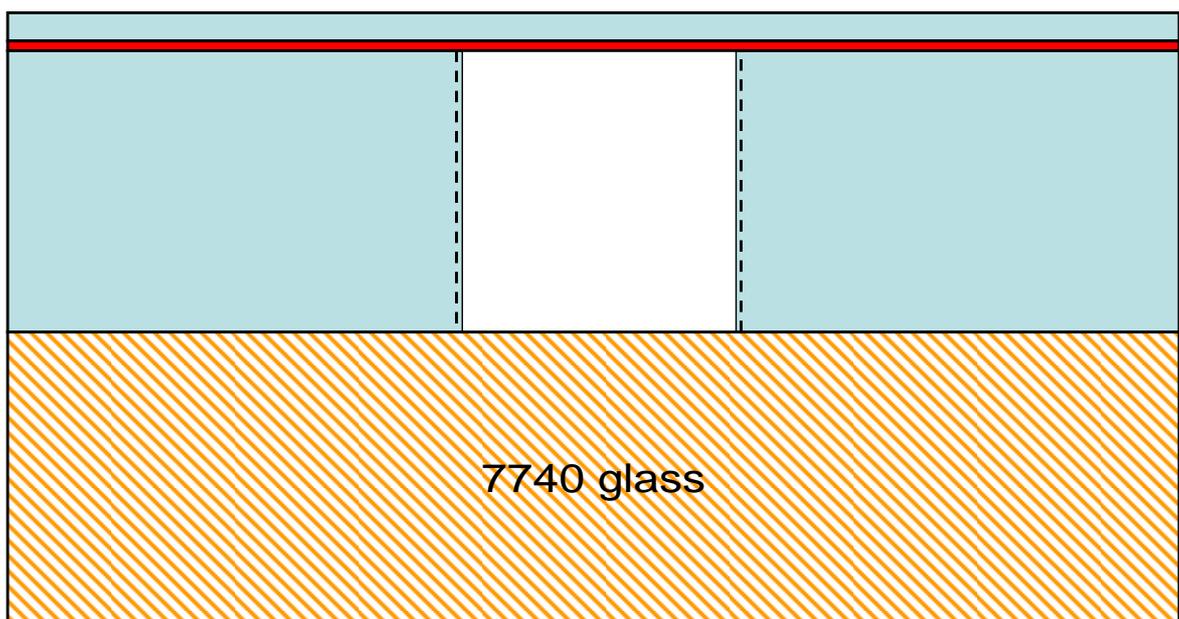


圖 4.2.1 SOI 壓力感測器剖面圖

#### 4.2.2 磊晶晶圓晶背矽蝕刻

使用磊晶晶圓進行壓力感測器製作方法上，本研究改變傳統單純使用電化學蝕刻停止之晶背矽蝕刻技術，過程中將晶背矽蝕刻過程分為 ICP 蝕刻與電化學蝕刻停止兩階段進行，第一階段 ICP 蝕刻中，先進行  $10\mu\text{m}$  厚膜光阻之微影製程，利用厚膜光阻作為晶圓背面介電層蝕刻與深度  $350\mu\text{m}$  矽蝕刻之遮罩，蝕刻完成後移除表面殘留光阻，併進行晶圓清洗。第一階段 ICP 蝕刻製程完成後，晶圓背面已有相當之蝕刻深度，晶圓較為脆弱，所以於製作過程中應小心取放晶圓，避免晶圓破裂情形發生。

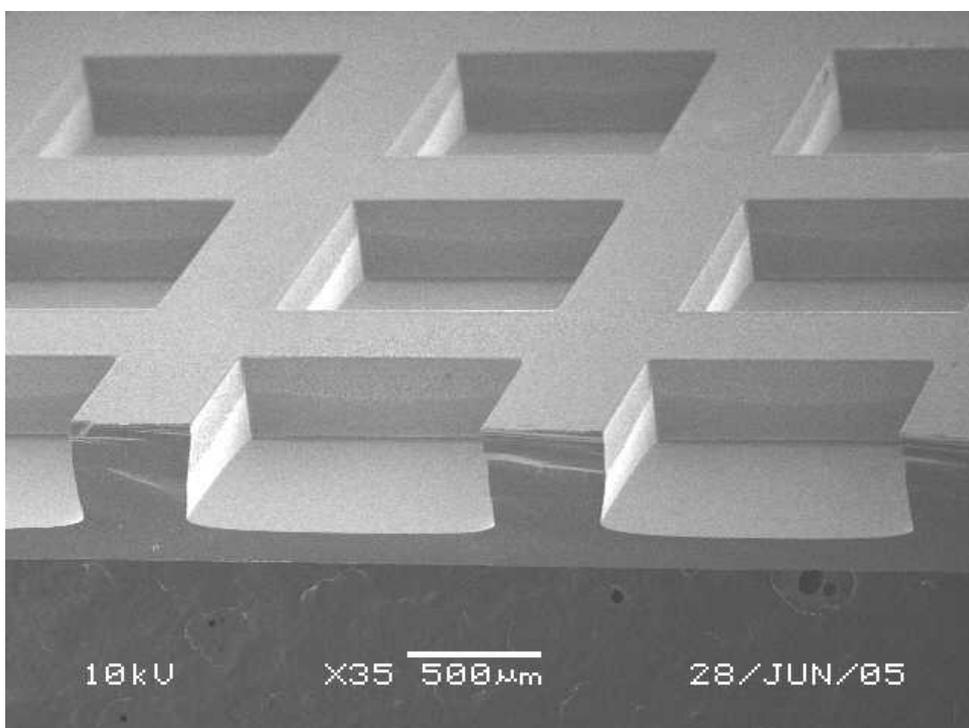


圖 4.2.2 ICP蝕刻後結構SEM圖片

第二階段進行電化學蝕刻停止製程，製程中設定於濃度 30% 之氫氧化鉀 (KOH) 蝕刻液中進行，製程溫度為  $80^{\circ}\text{C}$ ，蝕刻率約  $1.4\mu\text{m}/\text{min}$ ，藉由蝕刻停止機制使整個蝕刻過程停止於磊晶晶圓之 P-n 接面，達到隔膜設計厚度與較佳均勻性。(圖 4.2.3)

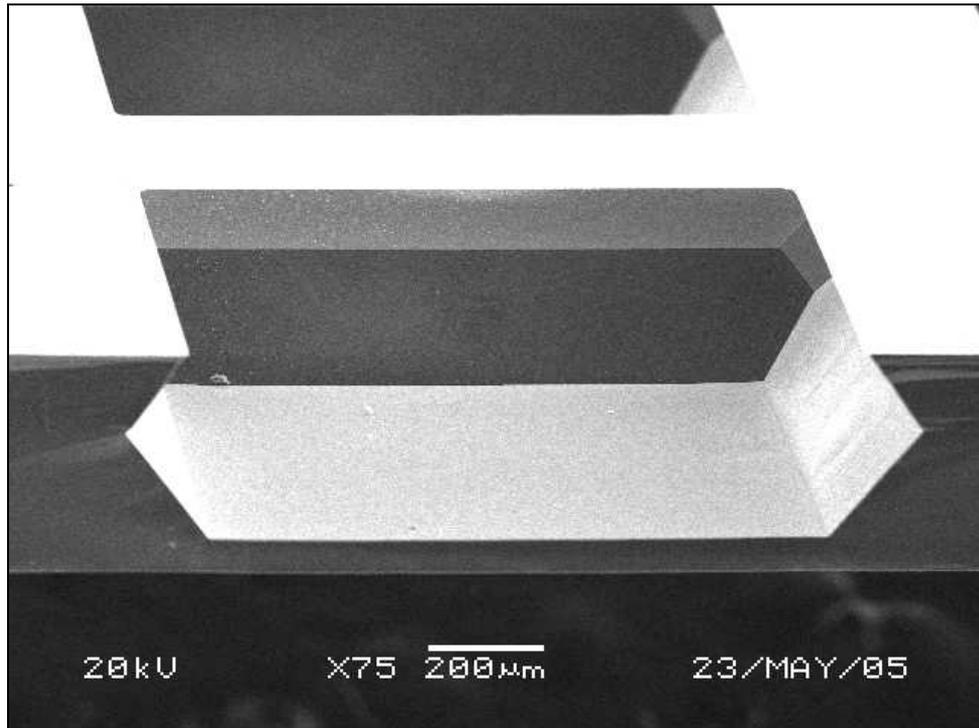


圖 4.2.3 ICP與電化學蝕刻結合之結構剖面圖

藉由表 4-2-1 中可發現結合 ICP 與 ECE 蝕刻技術所製作之感測隔膜厚度平均為  $17.4\ \mu\text{m}$ ，與設計值  $17\ \mu\text{m}$  僅有微量的誤差，而隔膜寬度尺寸的變異量為  $76\ \mu\text{m}$ ，由實驗數據分析後，可發現此變異量之大小受到第一階段 ICP 蝕刻均勻性之影響，ICP 蝕刻後隔膜厚度越厚，則 ECE 蝕刻後隔膜尺寸也越小(圖 4.2.4)，因此如欲使隔膜尺寸獲得更佳的控制能力，應於製程中監控 ICP 蝕刻均勻度。

藉由深寬比例的數值觀察發現數值雖略小於設計上之 1.414 但並無太大差異，因此可藉由此數值推得當第一階段之 ICP 蝕刻厚度均勻度每偏差  $10\ \mu\text{m}$  時，反應最終之隔膜尺寸變異量約為  $14\ \mu\text{m}$ 。(圖 4.2.5)

表4-2-1 ICP與ECE蝕刻後隔膜尺寸紀錄表

	晶圓厚度	ICP 後隔膜厚度	ECE 後隔膜厚度	ECE 蝕刻深度	開孔尺寸	隔膜尺寸	尺寸差異	深寬比例值
#01	414.3	105.4	17.3	88.1	1131.8	1008.2	61.8	1.426
#02	414.0	134.3	17.6	116.7	1133.0	968.6	82.2	1.420
#03	412.6	142.2	17.4	124.8	1135.4	955.2	90.1	1.385
#04	415.3	145.3	17.4	127.9	1137.3	947.1	95.1	1.345
#05	414.5	137.1	17.4	119.7	1142.6	964.9	88.9	1.347
#06	414.0	125.2	17.1	108.1	1143.1	983.5	79.8	1.355
#07	413.1	93.2	17.0	76.2	1144.0	1023.6	60.2	1.266
#08	415.2	105.0	17.8	87.2	1139.2	1014.3	62.5	1.396
#09	414.3	129.5	17.9	111.6	1139.7	982.7	78.5	1.422
#10	413.1	139.8	17.8	122.0	1139.6	963.6	88.0	1.386
#11	415.2	140.8	18.0	122.8	1138.4	956.8	90.8	1.352
#12	412.6	131.2	17.6	113.6	1137.0	972.6	82.2	1.382
#13	414.0	108.1	17.6	90.5	1133.7	1008.8	62.5	1.449

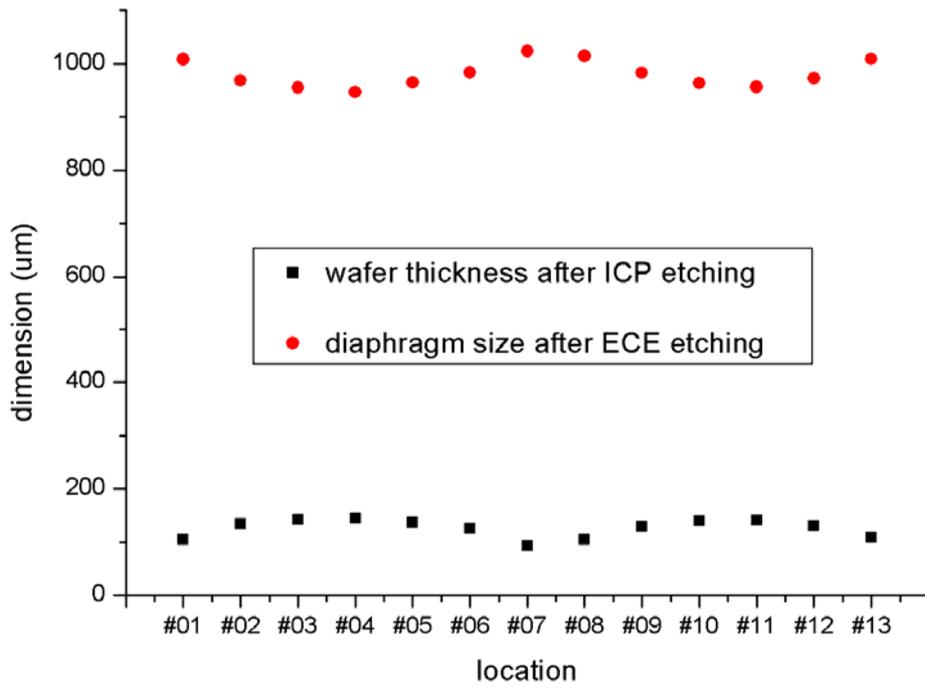


圖 4.2.4 ICP 蝕刻後隔膜厚度影響最終隔膜尺寸

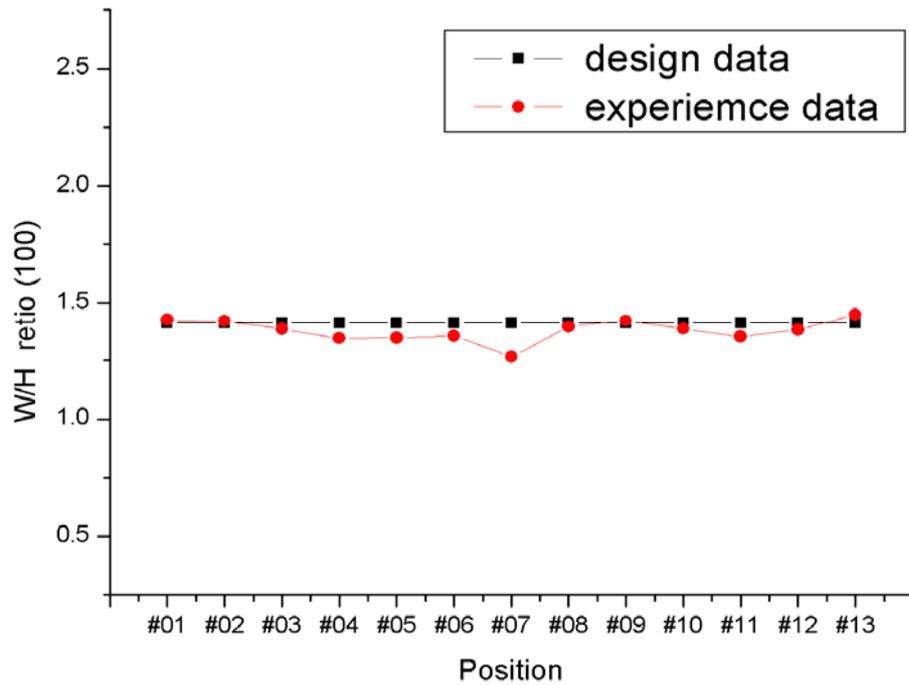


圖 4.2.5 ECE 蝕刻深度與底部尺寸縮減比例值

# 第5章 量測與分析

本章節中紀錄實驗製作過程中之相關元件幾何尺寸與電性量測結果，尺寸量測部分主要紀錄隔膜寬度與隔膜厚度；電性量測主要測試數據為元件電路分別於晶背蝕刻前後之電壓輸出值與電阻值，並檢測元件輸入一大氣壓力後之電壓輸出值，藉由此數值與晶背蝕刻後之電壓輸出值計算，求得實驗設計之壓力感測器的輸出靈敏度，分析其與有限元素法分析之實體模擬輸出值差異量，探討可能之兩者誤差來源。

## 5.1 元件尺寸量測

根據章節 3.5 之細部尺寸設計表 3-5-1 內容，TPS、APS 與 BPS 感測器設計之正方形感測隔膜尺寸分別為  $500\ \mu\text{m}$ 、 $900\ \mu\text{m}$  與  $1200\ \mu\text{m}$ ，隔膜後度均設計為  $17\ \mu\text{m}$ ，元件實際製作過程所量測之結果如下列表 5-1-1、表 5-1-2、表 5-1-3 圖 5.1.1 至圖 5.1.6，於隔膜厚度製作結果上發現 TPS、APS 及 BPS 之隔膜厚度量測平均值分別為  $16.73\ \mu\text{m}$ 、 $17.58\ \mu\text{m}$  與  $17.7\ \mu\text{m}$ ，三款設計之製作結果以 TPS 最為接近設計值  $17\ \mu\text{m}$ ，其於兩者分別大於設計值約  $0.6\ \mu\text{m}$  與  $0.7\ \mu\text{m}$ 。

隔膜尺寸量測上分別量取隔膜之水平與垂直兩方向之尺寸，量測結果顯示三款設計之隔膜尺寸平均值均與設計值相當接近，誤差量均小於 1%，變異量也皆落於  $\pm 20\ \mu\text{m}$  以內。

由量測結果觀察後，顯示使用乾溼複合蝕刻之製作方式確實可使得感測器隔膜製作上，達到與典型濕蝕刻製程可符合之相同生產規範需求。

表5-1-1 TPS隔膜厚度量測紀錄表

量測位置	#01	#02	#03	#04	#05	#06	#07	#08	#09
ICP 蝕刻後	111.4	99.6	96.2	99.0	95.9	90.1	98.0	91.6	87.2
ECE 蝕刻後	17.0	16.4	16.2	17.1	17.0	17.0	16.8	16.4	16.7

單位：μm

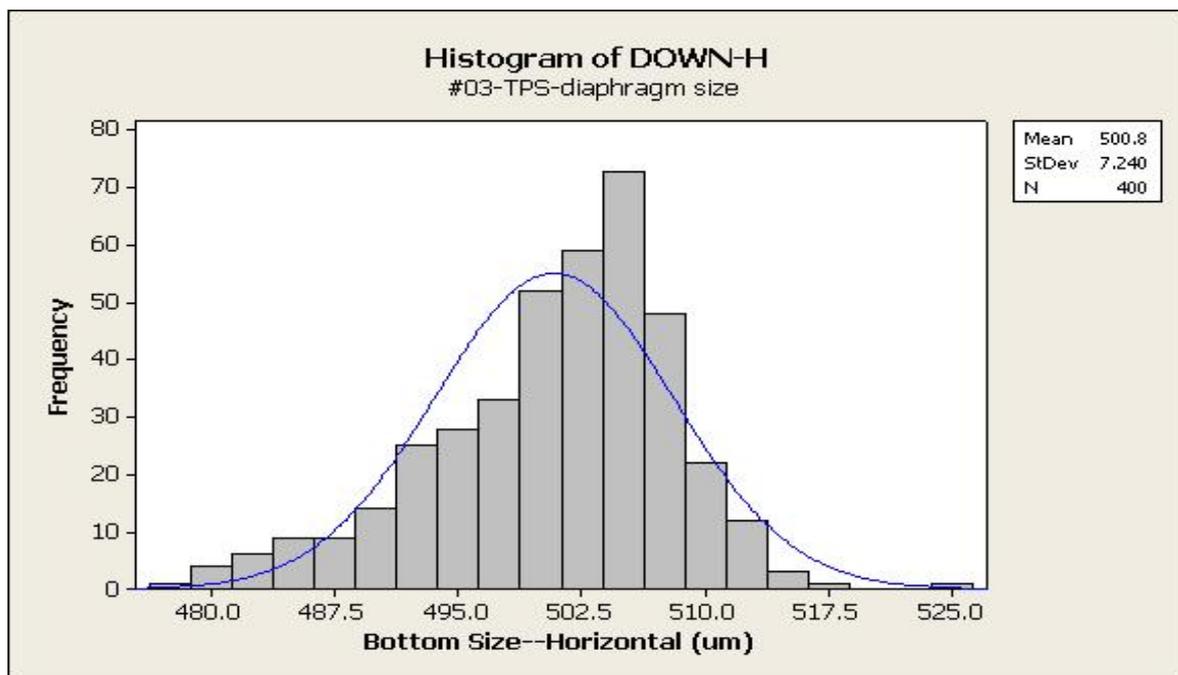


圖 5.1.1 TPS隔膜水平尺寸量測統計圖

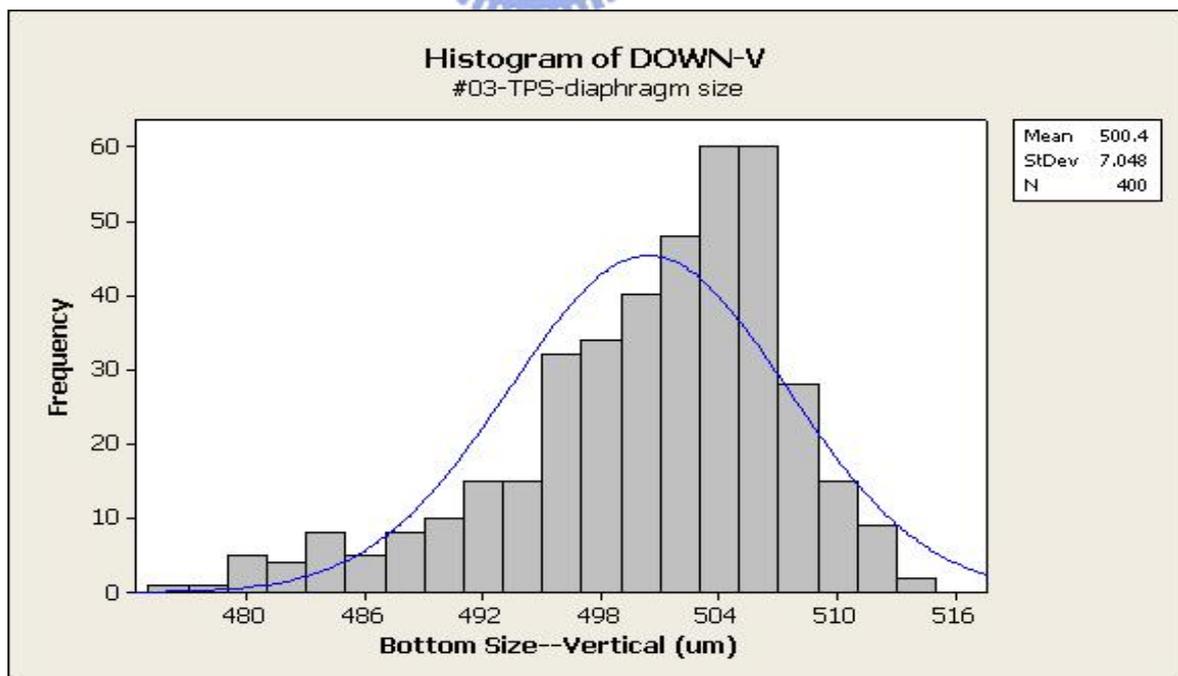


圖 5.1.2 TPS隔膜垂直尺寸量測統計圖

表5-1-2 APS隔膜厚度量測紀錄表

量測位置	#01	#02	#03	#04	#05	#06	#07	#08	#09
ICP 蝕刻後	97.0	93.8	96.0	98.4	100.8	101.4	102.0	102.5	105.7
ECE 蝕刻後	17.8	17.5	17.5	17.6	17.5	17.4	17.7	17.7	17.5

單位：μm

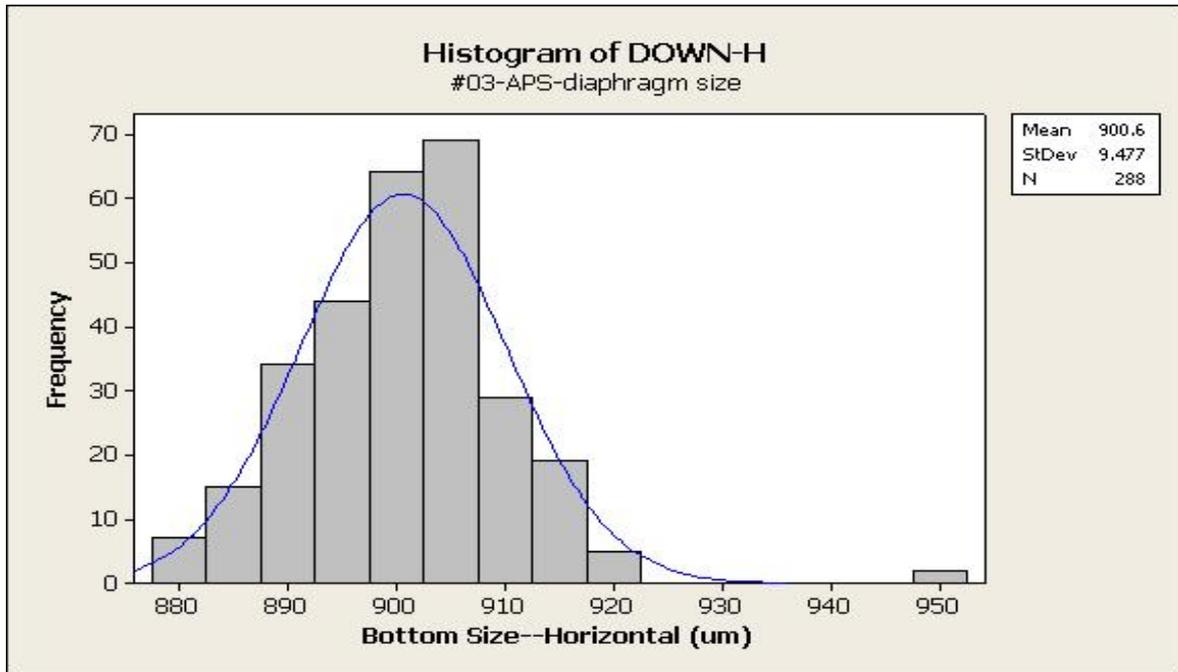


圖5.1.3 APS隔膜水平尺寸量測統計圖

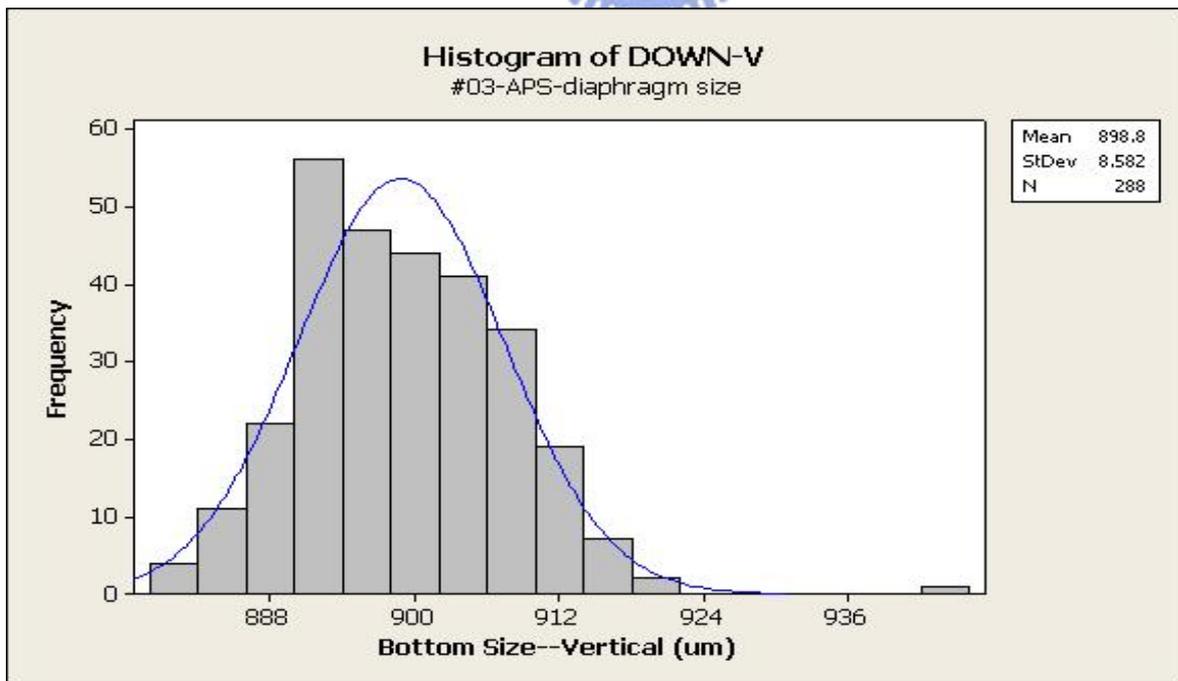


圖5.1.4 APS隔膜垂直尺寸量測統計圖

表5-1-3 BPS隔膜尺寸量測紀錄表

量測位置	#01	#02	#03	#04	#05	#06	#07	#08	#09
ICP 蝕刻後	93.4	100.3	102.3	107.4	103.2	100.6	106.2	109.2	111.2
ECE 蝕刻後	17.2	17.4	17.5	17.9	17.6	17.6	18.5	17.8	17.8

單位：μm

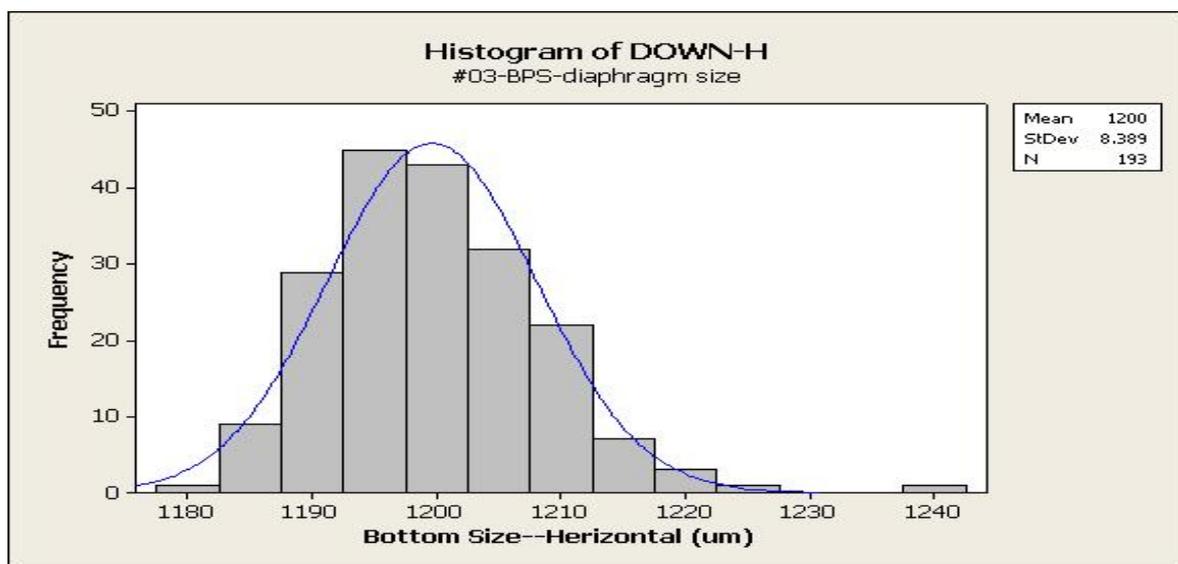


圖 5.1.5 BPS隔膜水平尺寸量測統計圖

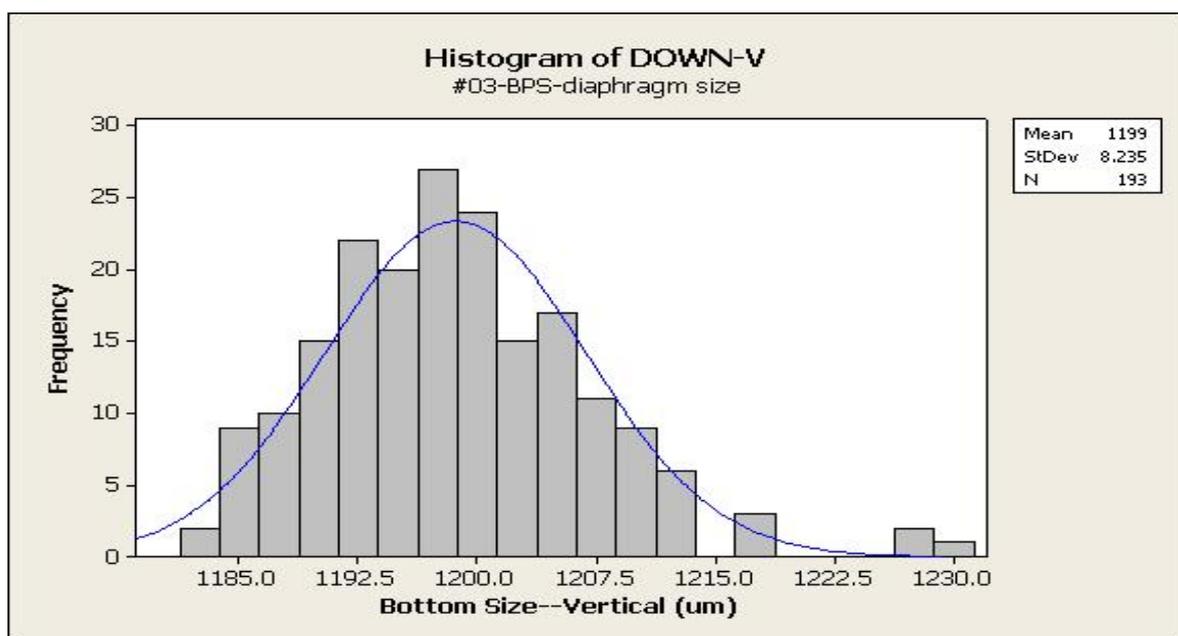


圖 5.1.6 TPS隔膜垂直尺寸量測統計圖

## 5.2 元件電性量測

元件電性量測上，主要量測重電在於壓阻阻值以及感測元件於無受壓力與一大氣壓力狀態下之電壓輸出值，藉由兩不同受壓狀態下之輸出電壓值差，求得壓力感測器之靈敏度與全距輸出電壓。

### 5.2.1 壓阻阻值測試

元件之實驗製作結果(表 5-2-1)量測上求得元件之壓阻阻值，TPS、APS 與 BPS 三者壓阻平均值分別為 4292 $\Omega$ 、4411 $\Omega$ 與 5351 $\Omega$ ，均符合設計值所設定 4~6K $\Omega$ 之規格範圍，均勻度表現上以 APS 壓阻最佳。

數據顯示上三者阻值均略小於設計之壓阻阻值，推論應為製程中之退火製程造成離子佈植濃度熱擴散所造成，因此，未來於感測元件設計上應略為加大壓阻設計阻值，使壓阻製程控制更具穩定性。

表5-2-1 壓阻阻值量測比較表

種類	TPS	APS	BPS
壓阻尺寸(um)	56*8	70*10	100*12
隔膜尺寸(um)	500	900	1200
片電阻值( $\Omega$ )	230	230	230
壓阻阻值(設計) $\Omega$	4830	4830	5750
壓阻阻值(量測) $\Omega$	4292	4411	5351
阻值差異量( $\Omega$ )	538	419	399
阻值均勻度	低	高	中

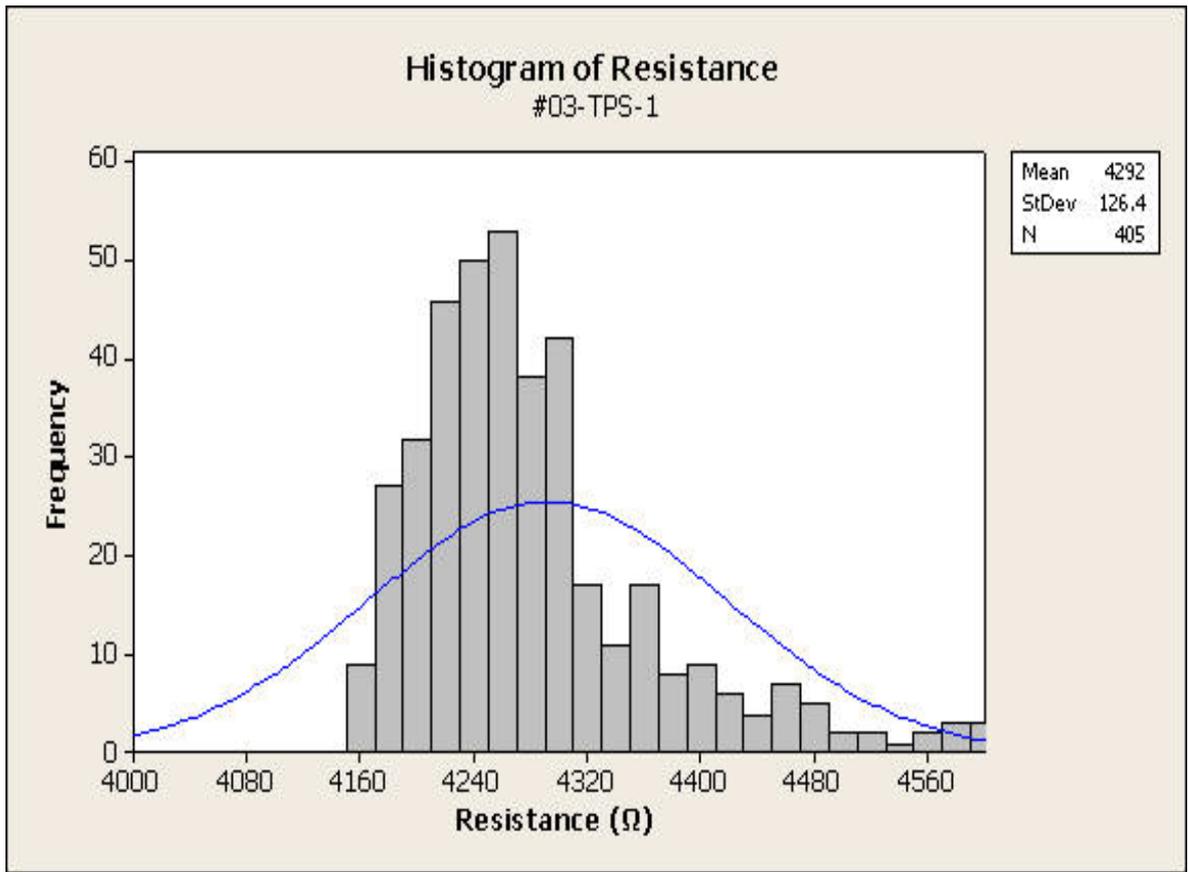


圖 5. 2. 1 TPS阻值電測統計圖

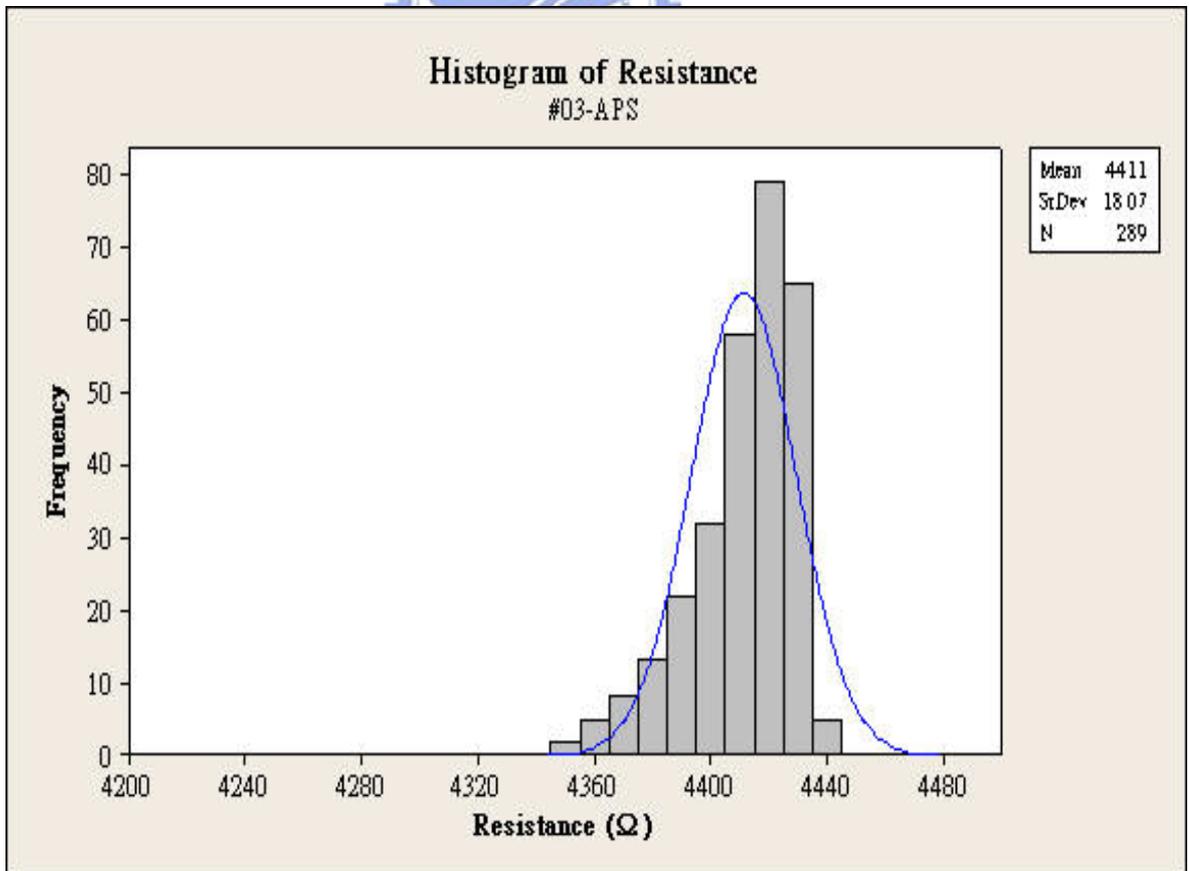


圖 5. 2. 2 APS阻值電測統計圖

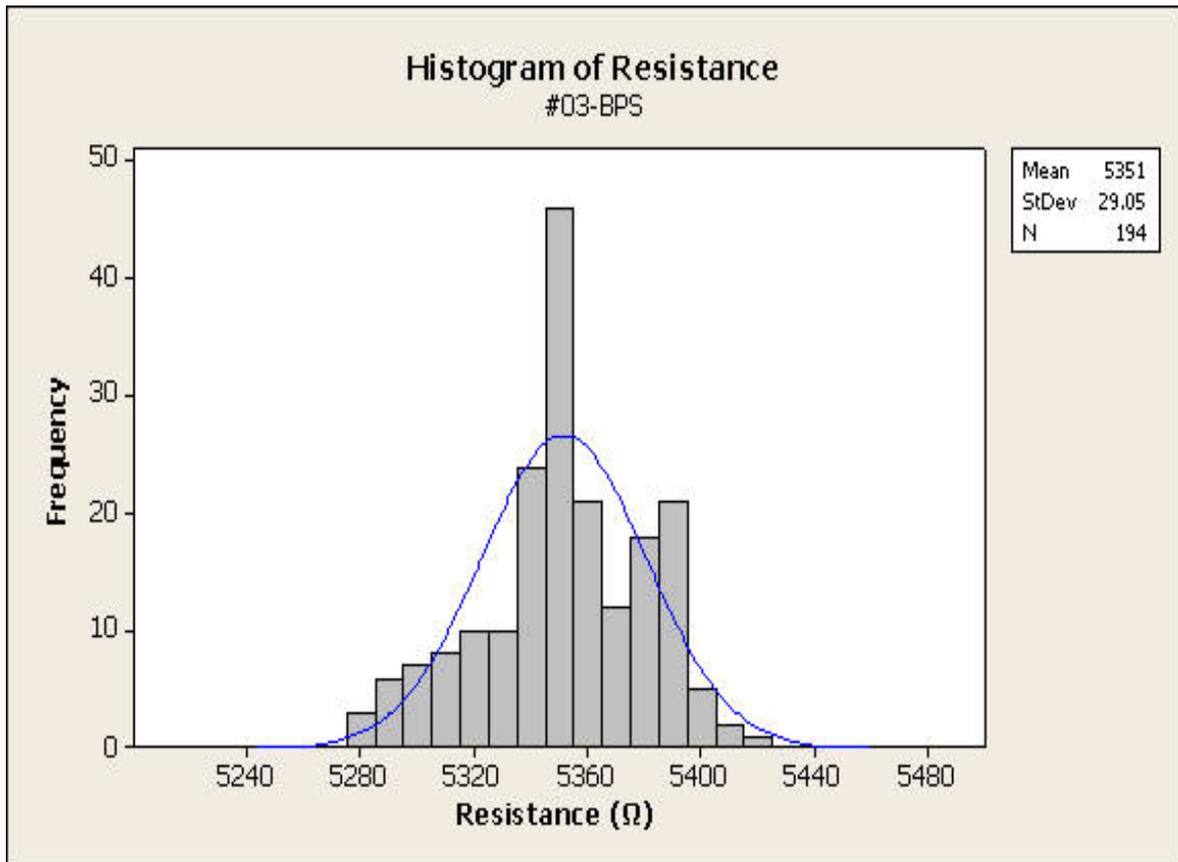


圖 5. 2. 3 BPS阻值電測統計圖

## 5. 2. 2 輸出電壓量測

實驗中分別於元件未受壓力以及承受一大氣壓力狀態下、量測感測元件之輸出電壓值，量測結果(表 5-2-2)顯示三種感測元件設計於未額外施加壓力狀態下所測得知電壓輸出值分別為-8.7mv、-8.1mv 與 14.0mv，此輸出值即等同於感測元件之零點偏移電壓值，實驗中 TPS、APS 與 BPS 三種元件均符合工業界一般所設定之 $\pm 35\text{mv}$ 規格值。

元件於承受一大氣壓力狀態下所測得之輸出電壓值減去其零點偏移電壓即為感測元件於一大氣壓力狀態下所產生之實際電壓輸出值，實驗結果中求得三者之實際電壓輸出分別為 23.8mv、103.9mv 和 172.6mv，經過換算之後求得三者實際之元件靈敏度依序為 0.324 mv/v/psi、1.414 mv/v/psi 與 2.349 mv/v/psi。

此數值與有限元素實體模擬之結果誤差量分別為:TPS +4.5%、 APS -3.6%、 BPS -15.9%。

表5-2-2 元件靈敏度電測紀錄表

種類	TPS	APS	BPS
未施壓電壓輸出	-8.7mv	-8.1mv	-14.0mv
大氣壓電壓輸出	15.1mv	95.8mv	158.6mv
實際電壓輸出*	23.8mv	103.9mv	172.6mv
元件靈敏度(mv/v/psi)	0.324	1.414	2.349
設計靈敏度(mv/v/psi)	0.310	1.467	2.759
靈敏度誤差量(%)	+4.5%	-3.6%	-15.9%

\*註：一大氣壓力=14.696psi

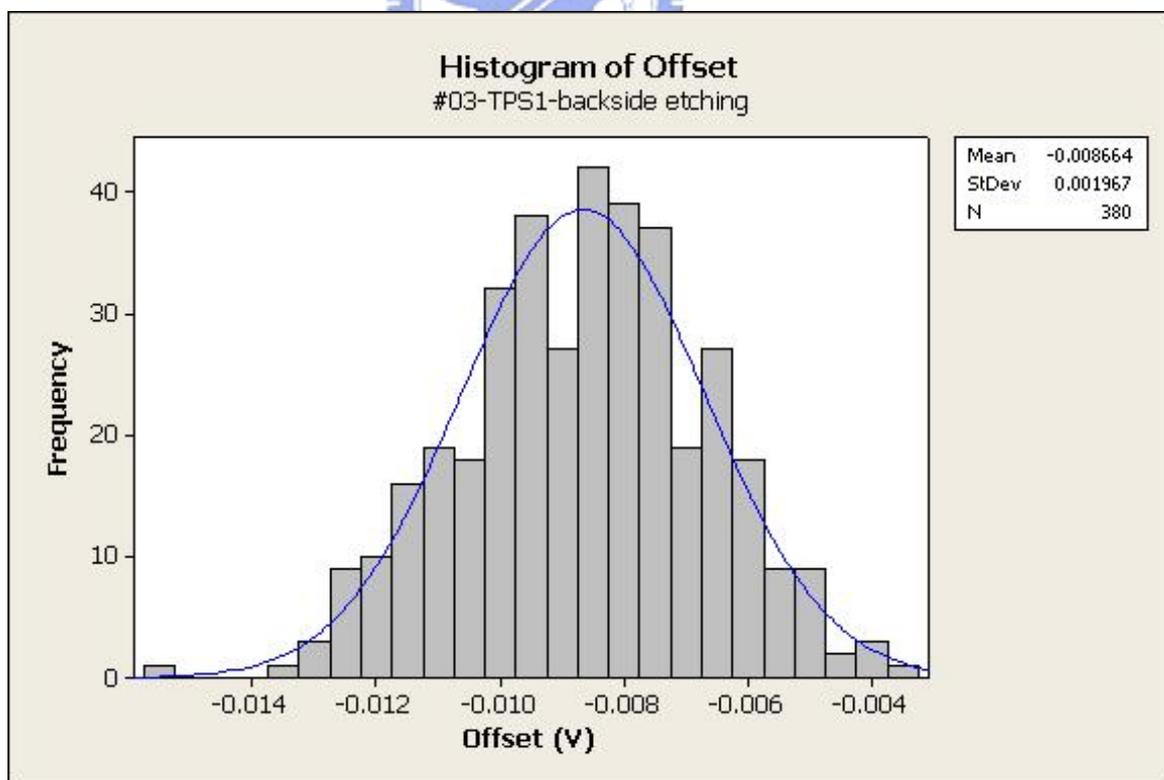


圖 5.2.4 TPS零點偏移電壓電測統計圖

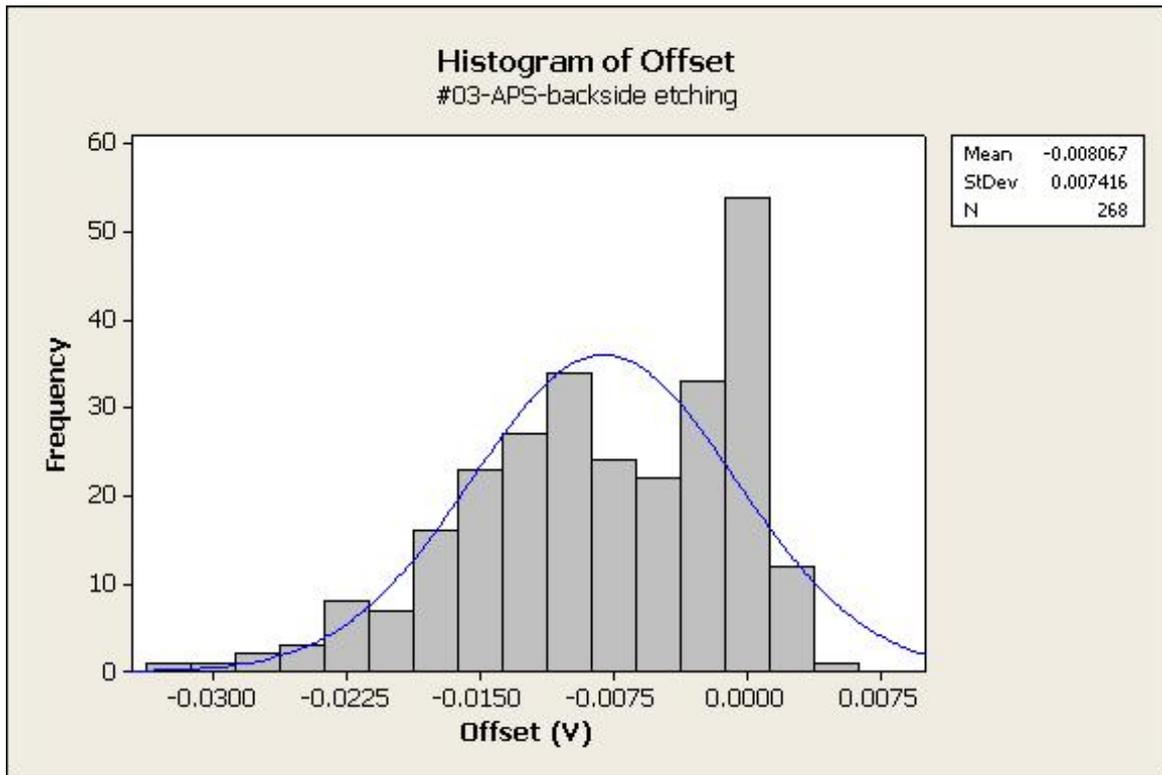


圖 5.2.5 APS 零點偏移電壓電測統計圖

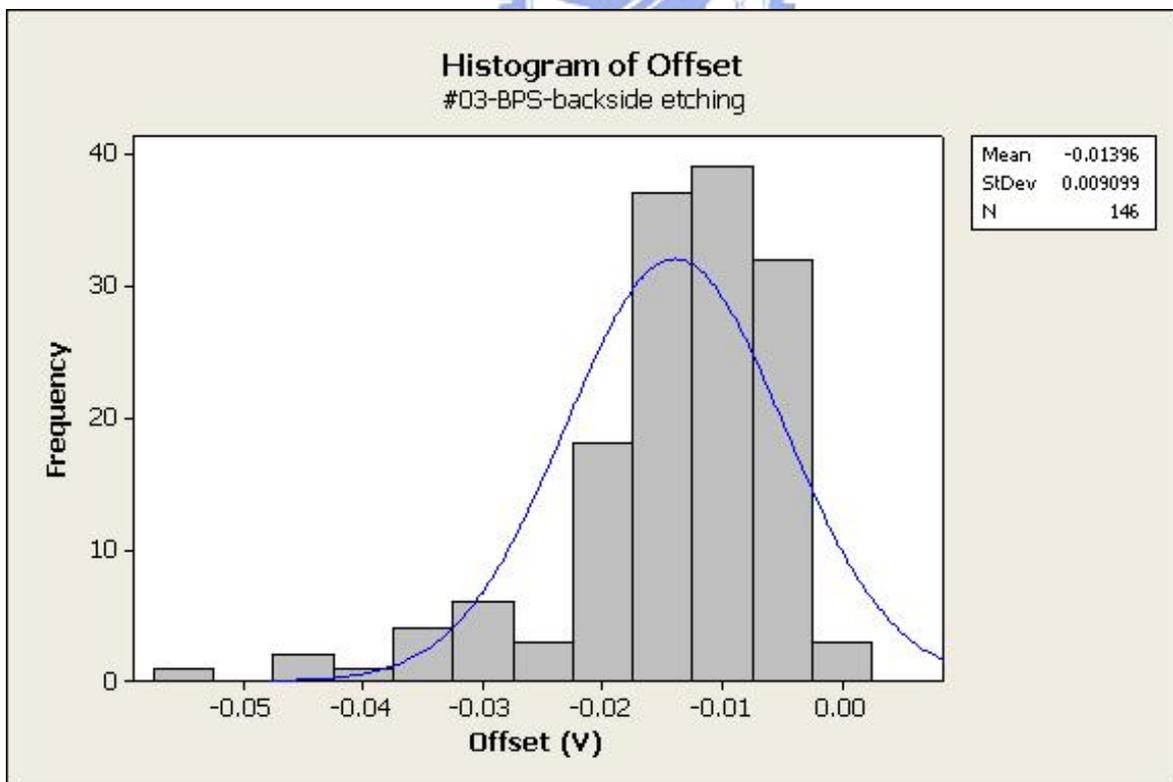


圖 5.2.6 BPS 零點偏移電壓電測統計圖

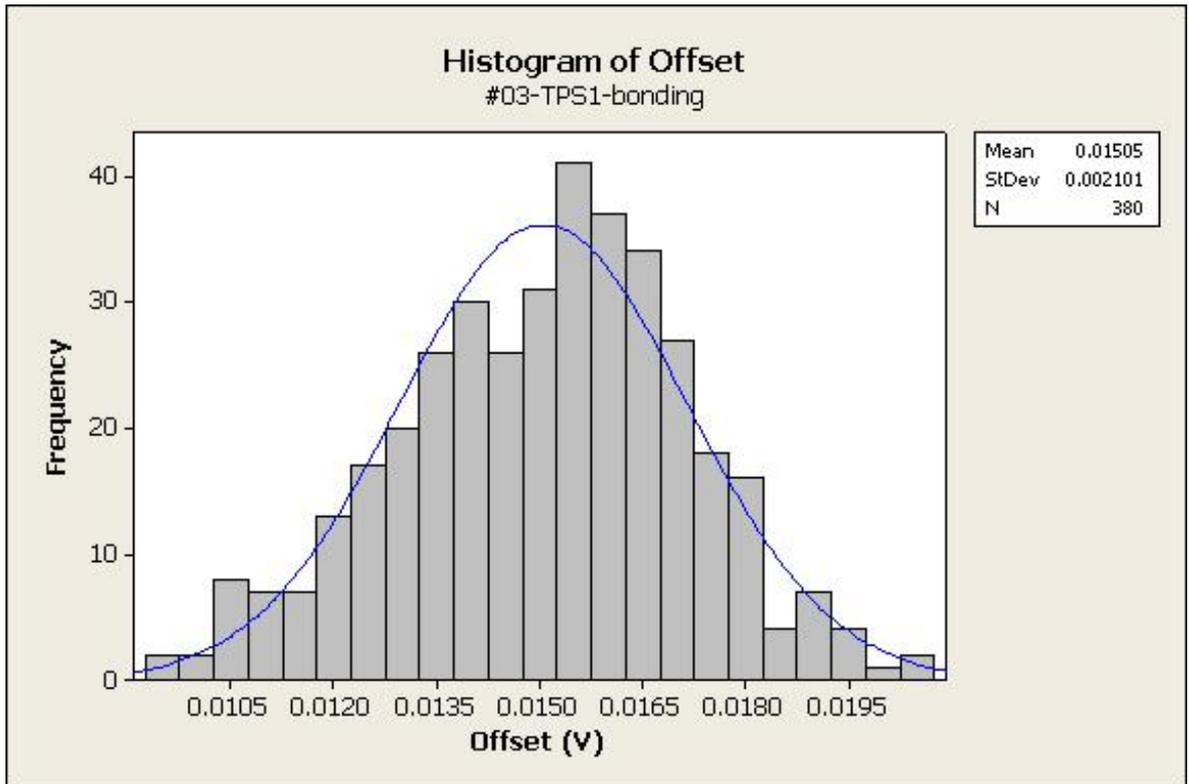


圖 5.2.7 一大氣壓力下TPS輸出電壓電測統計圖

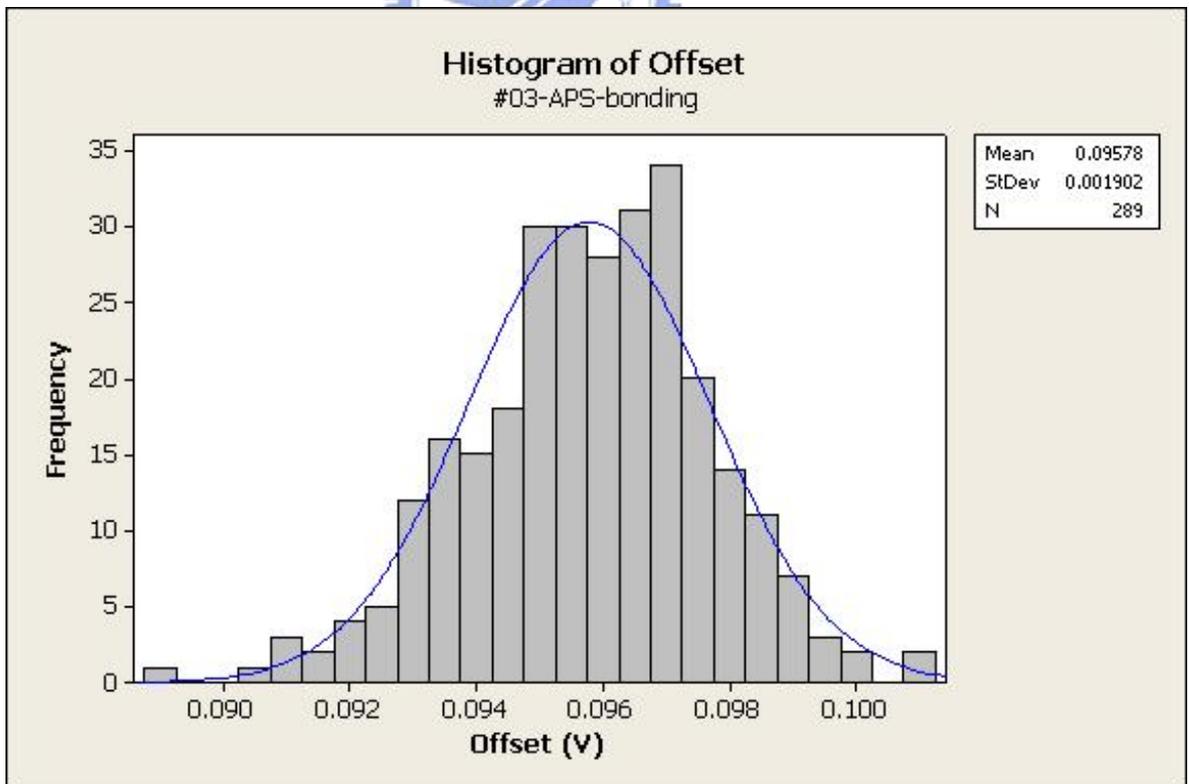


圖 5.2.8 一大氣壓力下APS輸出電壓電測統計圖

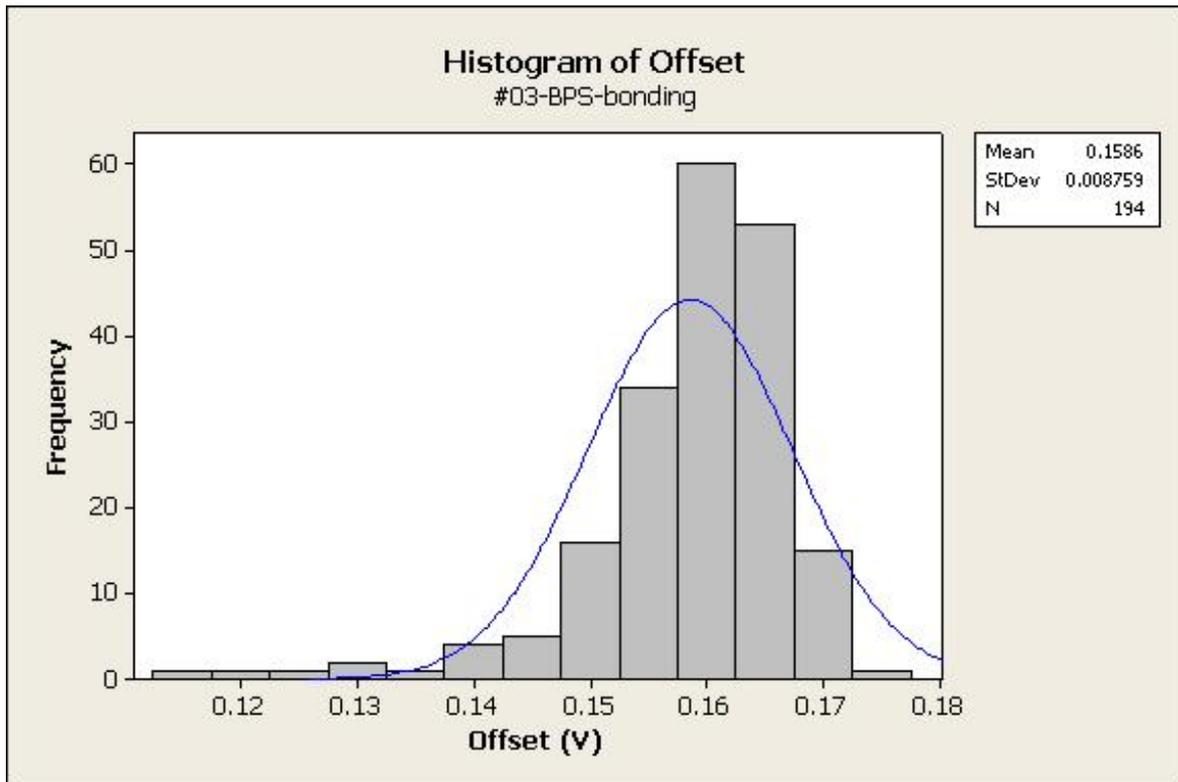


圖 5.2.9 一大氣壓力下BPS輸出電壓電測統計圖



### 5.3 誤差分析

本節針對元件電測結果與設計值偏差部分進行分析探討，由於 BPS 元件承受一大氣壓力值時，變形量已超過平板變型分析之基礎假設，元件具有非線性之輸出，因此分析果成將僅針對 TPS 和 APS 兩者進行討論。

實際在壓力感測元件的製作過程中，並非所有尺寸均能如設計值完整呈現，製程中必定有些誤差量的存在，本章節中將分析可能之製程誤差量對於元件最終輸出電壓及靈敏度之影響，製程中關鍵影響之主要因素探討包含有雙面對準誤差量影響分析、隔膜尺寸變異量分析及隔膜厚度變異量分析等，尋找出可能之分析誤差量來源(表 5-3-1)。

表5-3-1 實際隔膜尺寸與設計差異表

項目	隔膜尺寸( $\mu\text{m}$ )		隔膜厚度( $\mu\text{m}$ )		壓阻位置 變異
	設計值	量測值	設計值	量測值	
TPS	500	500.8	17.0	16.7	$<5\ \mu\text{m}$
APS	900	898.8	17.0	17.6	$<5\ \mu\text{m}$
BPS	1200	1199	17.0	17.7	$<5\ \mu\text{m}$

### 5.3.1 雙面對準誤差分析

於晶背矽蝕刻之製作流程之微影製程中，本研究使用 Aligner 曝光機進行雙面對準動作，機台之對準機制上因矽晶圓上之對準鍵並無法直接與光罩上之對準鍵對準，因此對位誤差量較一般正面對準製程大，因此本節中利用有限元素分析軟體建立實體元件之模型，進行雙面對準誤差量對於壓阻電阻之阻值變化率影響程度，分析不同程度之對位誤差所產生之變異量。

分析上採用 TPS 設計為基礎，建立實體模型，分析方法上如圖 5.3.1 所示，分別求解出當晶背開孔製程之對位誤差量所產生之電阻率變化，因對位誤差會影響到壓阻電阻於隔膜上之位置，而位置上的差異反映出壓阻所受之應力值變化，而使阻值變化率產生與設計值產生誤差。

藉由分析結果(圖 5.3.2)(圖 5.3.3)可觀察出當水平對位誤差發生時，會使得壓阻變化率有些微上升趨勢，當水平對位誤差大於  $9\ \mu\text{m}$  時，壓阻變化率出現明顯下降趨勢，由此可得水平對位誤差可容許量應選定為  $\pm 9\ \mu\text{m}$ ；垂直對位誤差量於  $\pm 7\ \mu\text{m}$  以內時，壓阻阻值變化率維持相當優良之穩定性，而當誤差大於  $7\ \mu\text{m}$  時，壓阻阻值變化率呈現急速下降現象，因此製程中應儘量將位誤差控制於  $\pm 7\ \mu\text{m}$  以內，避免元件電壓輸出值小於設計輸出值。

實驗製作過程中，晶圓雙面對準之誤差量均低於上述所分析之數值，因此判斷對誤差量影響元件靈敏度輸出約低於 0.3%。

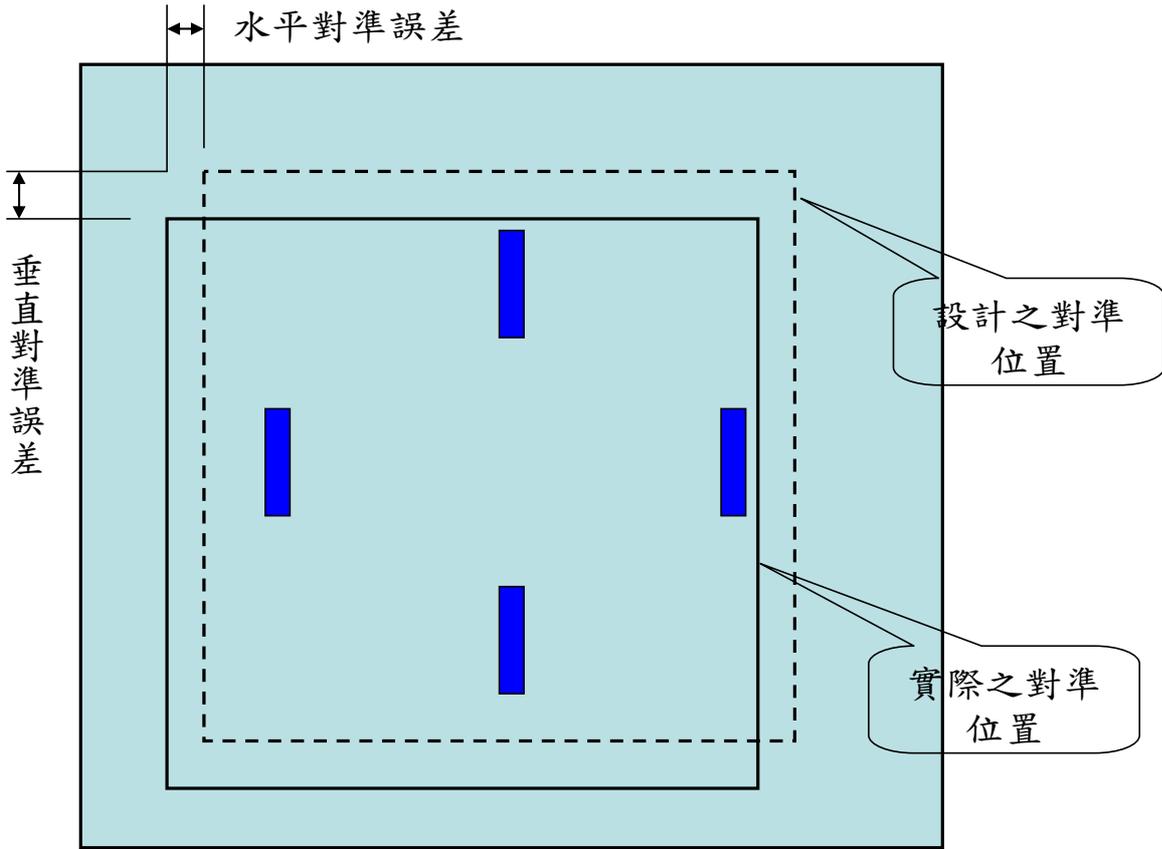


圖5.3.1 雙面對準誤差示意圖

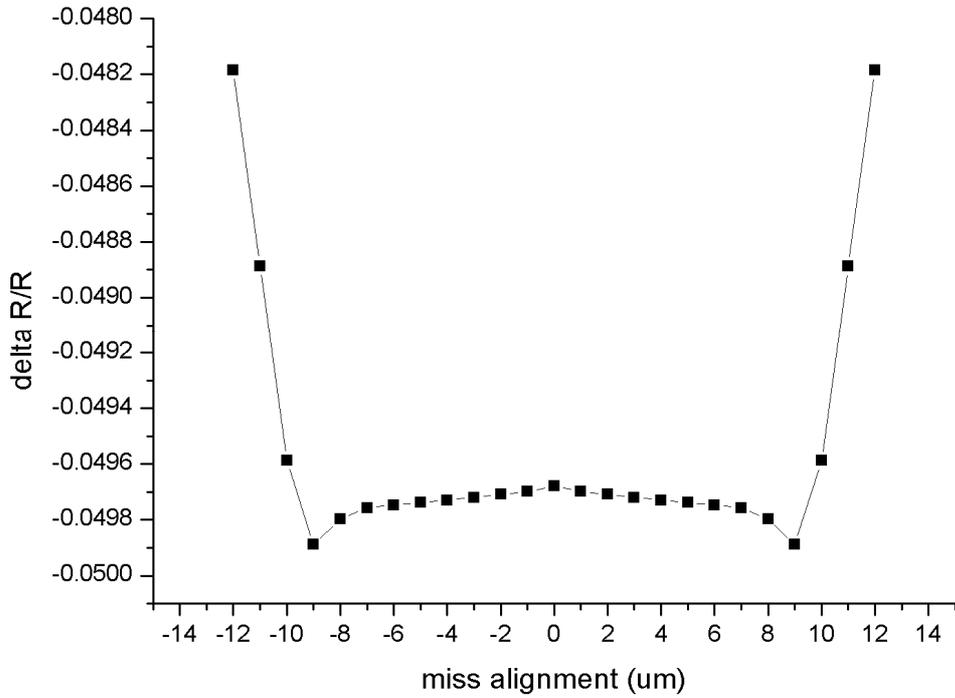


圖5.3.2 雙面對準水平誤差量與壓阻阻值變化率關係

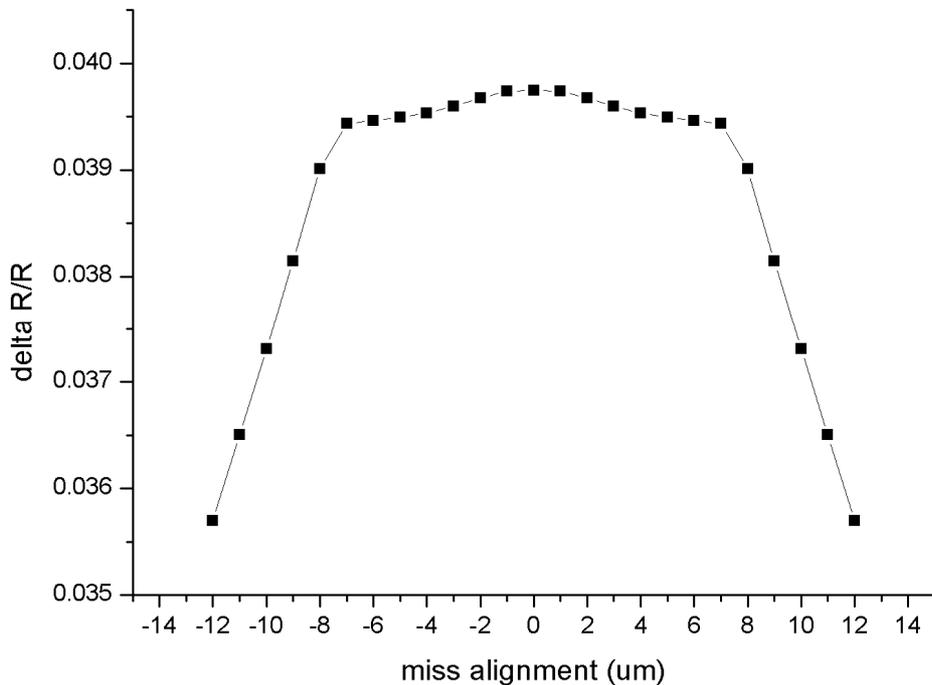


圖 5.3.3 雙面對準垂直誤差量與壓阻阻值變化率關係



### 5.3.2 隔膜尺寸變異分析

於前面章節 3.3 中曾分析平板變形應力值與隔膜尺寸有關，因此，本節中針對隔膜尺寸之變異對於元件之最終之感測電壓輸出進行模擬分析，模擬之模型如圖 5.3.4，由於製程中因 ICP 蝕刻深度的差異而會影響最終隔膜尺寸值(表 4-2-1)，因此分析設定上(表 5-3-1)取隔膜尺寸  $510\ \mu\text{m}$  為設計值，分別求解當隔膜尺寸  $\pm 10\ \mu\text{m}$ 、 $\pm 20\ \mu\text{m}$  及  $\pm 30\ \mu\text{m}$  時，所造成壓阻阻值變化率與全距輸出變異百分比，並分析出第一階段 ICP 蝕刻均勻度需求值。

分析結果(表 5-3-2)上呈現，當隔膜尺寸  $\pm 10\ \mu\text{m}$  時，壓阻阻值變化率與全距輸出變異百分比最大值為 4.7%；當隔膜尺寸  $\pm 20\ \mu\text{m}$  時，壓阻阻值變化率與全距輸出變異百分比最大值為 10.8%；當隔膜尺寸  $\pm 30\ \mu\text{m}$  時，壓阻阻值變化率與全距輸出變異百分比最大值為 16.6%；三者所需之第一階段 ICP 蝕刻均勻度需求分別需小於 2.4%、4.7%及 7.1%，方能滿足隔膜尺寸之製程控制能力需求。

分析 5.1 節實際所測得之隔膜尺寸，其尺寸平均值與設計值誤差量，均小於  $2\mu\text{m}$  以內，以 TPS 為例，隔膜尺寸變異量為  $+0.8\mu\text{m}$ ，估計對元件靈敏度影響程度約為  $-0.304\%$ 。

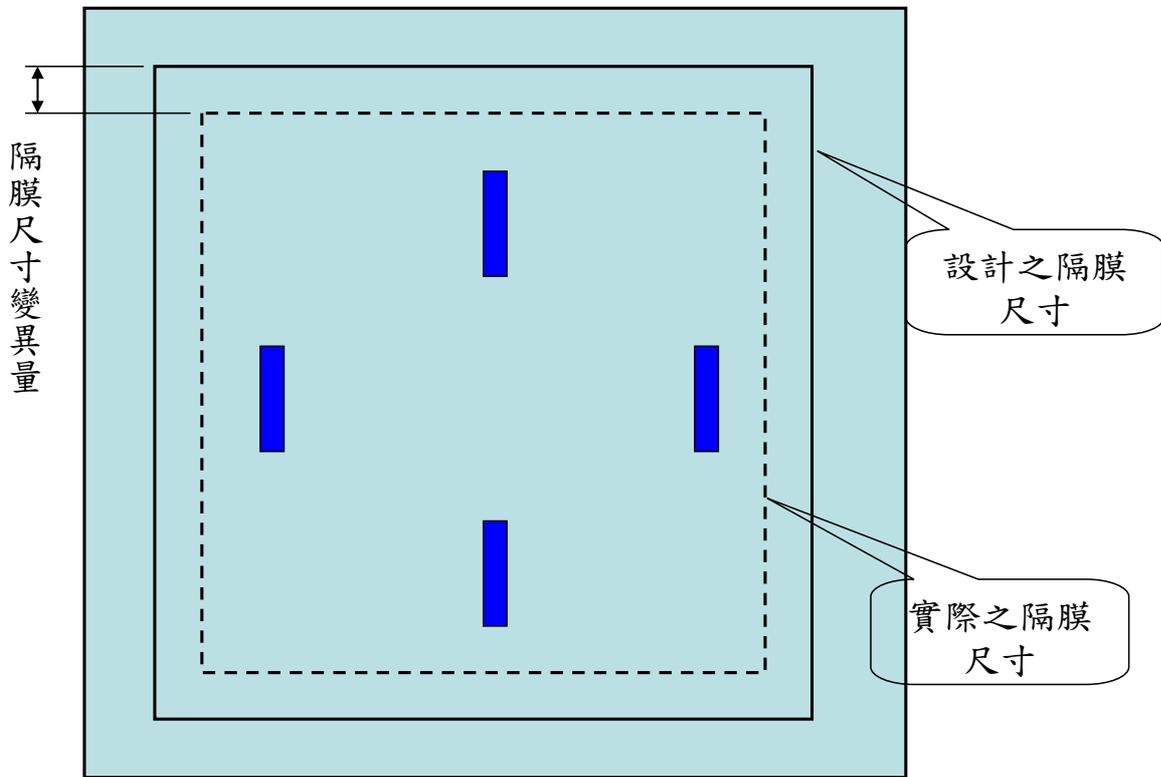


圖 5.3.4 隔膜尺寸變異量示意圖

表 5-3-2 隔膜尺寸變異分析表

隔膜尺寸	壓阻阻值 變化率	全距輸出 (mV)	變異百分比	ICP 均勻度規 格 (300um)
480	0.0421	210.5	12.2%	4.7%
490	0.0400	200.0	6.6%	2.4%
500(設計)	0.0375	187.5	0%	0%
510	0.0361	180.5	-3.8%	2.4%
520	0.0344	172.0	-8.3%	4.7%

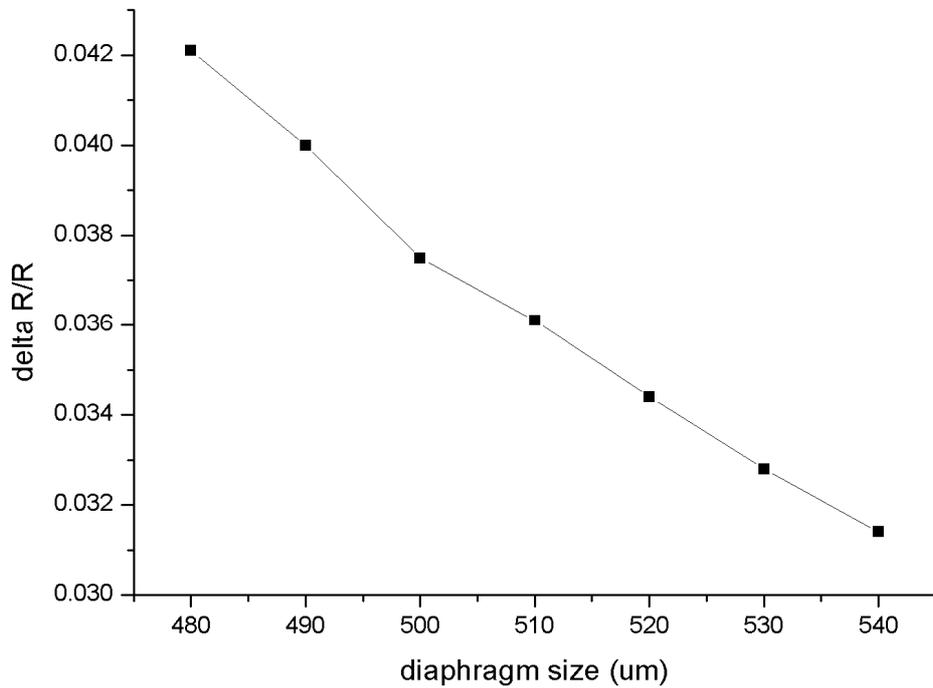


圖 5.3.5 隔膜尺寸與壓阻阻值變化率關係

### 5.3.3 隔膜厚度變異分析

本節中分析探討隔膜厚度的製程變異量對於壓力元件之壓阻阻值變化率影響程度，分析過程中於相同之條件下分別建立不同隔膜厚度之實體模型進行有限元素分析，求解每一組壓阻內三根壓阻之阻值變化率，取其平均值進行比較分析。

模擬分析結果如表 5-3-3，分析條件上取隔膜厚度  $17\mu\text{m}$  為設計值，求解隔膜厚度  $\pm 1\mu\text{m}$  及  $\pm 2\mu\text{m}$  變異量之壓阻阻值變化率，分析結果上顯示當隔膜厚度變異量為  $\pm 1\mu\text{m}$  之隔膜厚度變化量時，會造成元件輸出值產生  $\pm 13.5\%$  變異量；當隔膜厚度變異量為  $\pm 2\mu\text{m}$  之隔膜厚度變化量時，會造成元件輸出值產生  $\pm 27.0\%$  變異量。

以 TPS 為例，分析表 5-1-1 可發現 TPS 元件之隔膜厚度與設計值之誤

差量為 $+0.3 \mu\text{m}$ ，由表 5-3-3 可分析得其所造成之靈敏度誤差量約為 $+4.83\%$ ，合併計算由對位誤差、隔膜尺寸變異量與隔膜厚度變異量三者對靈敏度之影響，結果相較於原設計尺寸之靈敏度輸出多出 $4.834\%$ ，此結果與 5.2 節所測得之數據非常接近。

藉由此分析可發現隔膜厚度控制能力的優劣，會大幅度的影響同批生產之壓力感測器元件的最終元件輸出值之均勻性和設計差異度。

表5-3-3 隔膜厚度變異量與阻值變化率分析

隔膜厚度	15um	16um	17um	18um	19um
平均阻值變化率 ( $\Delta R/R$ )	-0.042	-0.036	-0.031	-0.028	-0.025
輸出靈敏度 (mv/v/psi)	0.42	0.36	0.31	0.28	0.25
影響程度	+35.5	+16.1	0	-9.7	-19.4

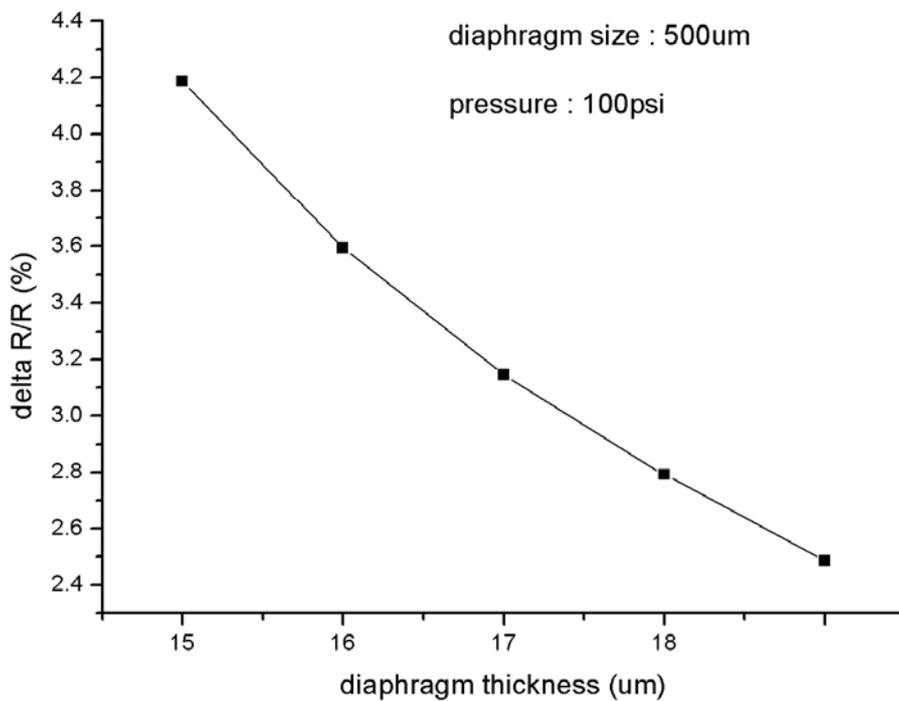


圖 5.3.6 隔膜厚度變異量與壓阻阻值變化率關係

# 第6章 結論與未來展望

## 6.1 結論

本研究中成功利用乾濕複合蝕刻方法，有效的縮小壓力感測器晶方尺寸達到 57%，使得相同之晶圓面積上元件生產數量達到傳統濕蝕刻技術之兩倍，並且順利驗證出應用有限元素分析方法，導入於設計階段確實可相當準確的預估感測元件之性能表現，有助於設計者於設計初期更精確的掌握元件性能與製程公差訂定，避免過度設計(over design)造成無謂的成本浪費。

將研究之結果與文獻中所提之各項壓力感測器微小化技術進行比較分析<表 6-1-1>，可發現利用乾濕複合蝕刻方式可達到最低的元件製作成本，且元件設計可適用於較為寬廣之壓力感測範圍，性能表現亦可符合現行業界一般產品標準。

針對本研究製程與模擬結果歸納下列幾點結論：

1. 利用乾濕複合蝕刻方式可大幅縮減隔膜式感測器之晶方尺寸，降低單一元件生產成本，有助於元件製造者提升獲利。
2. 本研究使用之原料及生產製作流程與傳統感測元件生產流程變動程度相當小，方便目前之感測元件生產者進行生產方式轉換。
3. 第一階段乾蝕刻製程中，蝕刻深度與均勻度直接影響到最終感測隔膜尺寸，因此製作過程應對兩者進行監控與改善。
4. 乾蝕刻製程可蝕刻之深度越大或使用厚度較薄的晶圓，可使得元件縮小率增加，但過薄之晶圓於生產過程中破裂風險較大。
5. 應用電化學蝕刻停止技術於隔膜厚度控制精度約為 $\pm 1 \mu\text{m}$ ，當隔膜厚度設計為 $17 \mu\text{m}$ 時，此後精度變異量會造成元件靈敏度 $\pm 13.5\%$ 變化量，影響元件性能表現。
6. 有限元素法之實體模擬結果可用於預測元件性能表現，但本研究中所使用之方法，並無法對於元件之非線性區域進行分析模擬。

表6-1-1 各項感測器微小化技術比較表

表格 1

技術方法	Wet etching	Fussion Bonding	SOI + dry etching	SOI-Like	<i>Composit e etching</i>
蝕刻技術	ECE	wet etching	DRIE	Glass wet etching	<b><i>DRIE + ECE</i></b>
接合技術	anodic bonding	fussion bonding	anodic bonding	anodic bonding	<b><i>anodic bonding</i></b>
矽研磨製程	no	yes	no	yes	<b><i>no</i></b>
接合品質	高	低	高	低	<b>高</b>
微小化程度	低	中	高	高	<b>中</b>
適合壓力範圍	高、中、低	高壓	中、高壓	高壓	高、中、低
製程複雜度	低	高	低	高	<b>中</b>
原料成本	中	低	高	中	<b>中</b>
尺寸控制	中	高	中	低	<b>中</b>
隔膜厚度控制能力	低	高	高	中	<b>低</b>
元件性能	中	中	高	低	<b>中</b>
製程成本	低	高	高	高	<b>中</b>
元件成本	高	中	中	中	<b>低</b>
CMOS 製程相容性	中	高	高	低	<b>中</b>

## 6.2 未來工作

本研究針對壓阻式壓力感測器之微小化提供一種新的製作方式，但研究本質上仍受限於傳統電化學蝕刻停止技術之限制，並無法得到較精確控制隔膜厚度之生產方法，因此限制了感測器朝向更微小化的方向進步，以目前 $\pm 1 \mu\text{m}$ 之隔膜厚度控制能力分析，當隔膜厚度小於 $10 \mu\text{m}$ 時，相同之製程變異量將導致元件最終輸出靈敏度 20%以上的變化，因此未來如仍以隔膜方式進行壓力感測，勢必要尋找一種可以更精確控制隔膜厚度的製作方法。

針對上述之基礎方向，以下提出幾點可能之研究方向：

1. 使用 SOI 晶圓進行壓力感測器製作，目前市面所販售之 SOI 晶圓對於元件層厚度控制能力可達到 $\pm 0.25 \mu\text{m}$ ，因此對於隔膜厚度控制能力明顯優於傳統電化學蝕刻停止搭配磊晶晶圓之製作技術，但由於目前 SOI 晶圓售價約為磊晶晶圓售價之 8 倍，使得一般元件製造廠商除特殊高單價商品外，接受程度相當低，且原料成本過高也將稀釋掉元件微小化所產生之利潤，未來如能使兩者售價接近約 2~3 倍，可運用 SOI 晶圓搭配矽深蝕刻技術進行更微小化，且更容易與 CMOS 製程整合之感測器製作技術。
2. 壓阻式壓力感測器之感測靈敏度受應力值大小影響，因此如能利用蝕刻技術對隔膜厚度方向進行局部加工減薄，藉由此方法使得隔膜上的壓阻擺放位置獲得更大應力值，應可進一步縮小感測隔膜之尺寸且可能降低隔膜厚度控制能力對於元件靈敏度之影響程度

科學應以改善人類生活目的，經由許多先賢的努力研究，使得微壓力感測器充分發揮其體型小、質輕、反應快、高精度與可靠度佳的優勢。近年，微壓力感測器除了逐漸地取代傳統式的壓力感測器的市場外，更是成功開創了許多新興的應用產品，如車用胎壓計、拋棄式血壓計、攜帶式數位壓力計等新興市場，相信透過微壓力感測器產品性能的不斷提升，未來，無論在生醫、汽車、工業、學術、家庭或個人應用等等，都將為人類生活品質帶來莫大的貢獻。

## 參考文獻

- [1.] 丁志銘等，微機電系統技術與應用，國科會精密儀器發展中心，2003
- [2.] In-StatMDR, “Got MEMS? 2004 industry overview and forecast”, Marlene Bourne, 2004
- [3.] Carlos, 2004 MEMS產業現況與趨勢市場報導，行政院國科會科學技術資料中心，2005
- [4.] C.S. Smith, “Piezoresistance effect in germanium and silicon”, Phys. Rev, 94, pp.42-49, 1954.
- [5.] W.G. Pfann, “Improvement of Semiconducting Devices by Elastic strain”, Solid state Electron., 3, pp.261-267, 1961
- [6.] O.N. Tufte, et al. “Silicon Diffused-Element Piezoresistive Diaphragms”, Journal of Applied Physics, Vol. 33, No. 11, pp.3322-3327, 1962
- [7.] T.N. Jackson, M.A. Tischler, and K.D. Wise, “An electro-chemical p-n junction etch-stop for the formation of silicon microstructures” ,IEEE Electron Device, vol. EDL-2, pp.44-45, 1981
- [8.] H. Guckel, and D. Burns, “Planar Processed Polysilicon Sealed Cavities for Pressure Transducers Array”, IEDM, pp.223-225, 1984
- [9.] H.D. Keller and K. Anagnostopulos, “Silicon on sapphire: the key technology for high temperature Piezoresistive pressure transducers” ,in Proc, 4<sup>th</sup> Int. Conf. Solid-State Sensors and Actuators, pp.316-319, 1987
- [10.] G.S. Chung, et al., ”Novel high performance pressure sensors using double SOI structures”, Solid-State Sensors and Actuators, 1991. Digest of Technical Papers, TRANSDUCERS '91., 1991 International Conference on, pp.676-681, 1991
- [11.] K. Petersen et al., “Ultra-Stable, High Temperature Pressure Sensors Using Silicon Fusion Bonding”, Sensors and Actuators, A21-23, pp.96-101, 1990

- [12.] 張晉榮、楊龍杰，”半導體微型壓力感測器的製作及其應用” 碩士論文，淡江大學機械工程學系，1999
- [13.] A. Merlos, et al., “Optimized Technology for the Fabrication of Piezoresistive Pressure Sensors”, *JMicromech. Microeng.* pp. 204-208, 2000
- [14.] S.C. Gong, “Fabrication of Pressure Sensor Using Silicon Bonding”, *Sensor and Materials*, Vol. 16, No.3, pp.119-131, 2004.
- [15.] G. Bitko, and A. McNeil, “Improving the MEMS Pressure Sensor”, Motorola. Inc.
- [16.] S.M. Sze, Semiconductor Sensor, Wiley, pp.160-184, 1994
- [17.] 楊龍杰，認識微機電，滄海書局，pp.130-139, 2001
- [18.] 林容生，”半導體感測器壓阻形狀之最佳化設計” 博士論文，台灣大學機械工程學系，1998
- [19.] S. Timoshenko, S.W. Krieger. Theory of plates and shells, 2nd ed. 1959
- [20.] T.K. Shing, “Robust Design of Silicon Piezoresistive Pressure Sensors”, *MSM98*, Santa clara, 1998
- [21.] L.W. Lin, and W.J. Yun, “MEMS Pressure for Aerospace Applications”, *Aerospace Conference*, 1.1, pp.429-436, 1998
- [22.] T.K. Shing, “Analysis of Anodic Bonding and Packaging Effects in Micro Sensors”, *MSM*, Santa clara, 2000

附錄 A 市售 5.8psi 壓力感測器規格表

參數	數值	單位	備註		
一般特性					
壓力範圍	5.8	PSIA			
最大壓力	3X		rated pressure		
<b>電氣特性 @25°C (77°F)</b>					
驅動電壓	1.5	mV			
輸入阻抗	4~6	kΩ			
輸出阻抗	4~6	kΩ			
<b>環境特性</b>					
操作溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
儲存溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
<b>機械特性</b>					
重量	0.0053	grams			
尺寸	2.3 × 2.3	mm			
適用媒介	Clean, dry air & noncorrosive gases				
<b>性能特性<sup>(1)</sup></b>					
	<b>最小值</b>	<b>典型值</b>	<b>最大值</b>	<b>單位</b>	<b>備註</b>
零點偏移	-20		+20	mV	
全尺度跨距電壓	+45	+70	+95	mV	
線性度	-0.3		+0.30	% Span	2
遲滯	-0.05		+0.05	% Span	
零點偏移溫度係數		-0.03		% Span/°C	3
跨距電壓溫度係數		-0.21		%Span/°C	3
電阻溫度係數		+0.23		%/°C	3
備註： 1. 如無特別聲明本表所有數值皆於測試條件，5 VDC @25°C 條件下所測得					
2. 最佳匹配直線					
3. 典型之溫度特性數值，其溫度範圍為 0°C 到 50°C之間					

資料來源：全磊微機電

附錄 B 市售 15psi 壓力感測器規格表

參數	數值	單位	備註		
一般特性					
壓力範圍	15	PSIA			
最大壓力	3X		rated pressure		
<b>電氣特性 @ 25°C (77°F)</b>					
驅動電壓	5	VDC			
輸入阻抗	4~6	kΩ			
輸出阻抗	4~6	kΩ			
<b>環境特性</b>					
操作溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
儲存溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
<b>機械特性</b>					
重量	0.0053	grams			
尺寸	2.1 × 2.1	mm			
適用媒介	Clean, dry air & noncorrosive gases				
<b>性能特性 <sup>(1)</sup></b>					
	<b>最小值</b>	<b>典型值</b>	<b>最大值</b>	<b>單位</b>	<b>備註</b>
零點偏移	-35		+35	mV	
全尺度跨距電壓	+70	+100	+130	mV	
線性度	-0.3		+0.30	% Span	2
遲滯	-0.2		+0.2	% Span	
零點偏移溫度係數		-0.03		% Span/°C	3
跨距電壓溫度係數		-0.21		%Span/°C	3
電阻溫度係數		+0.23		%/°C	3
備註： 1. 如無特別聲明本表所有數值皆於測試條件，5 VDC @25°C 條件下所測得					
2. 最佳匹配直線					
3. 典型之溫度特性數值，其溫度範圍為 0°C 到 50 °C之間					

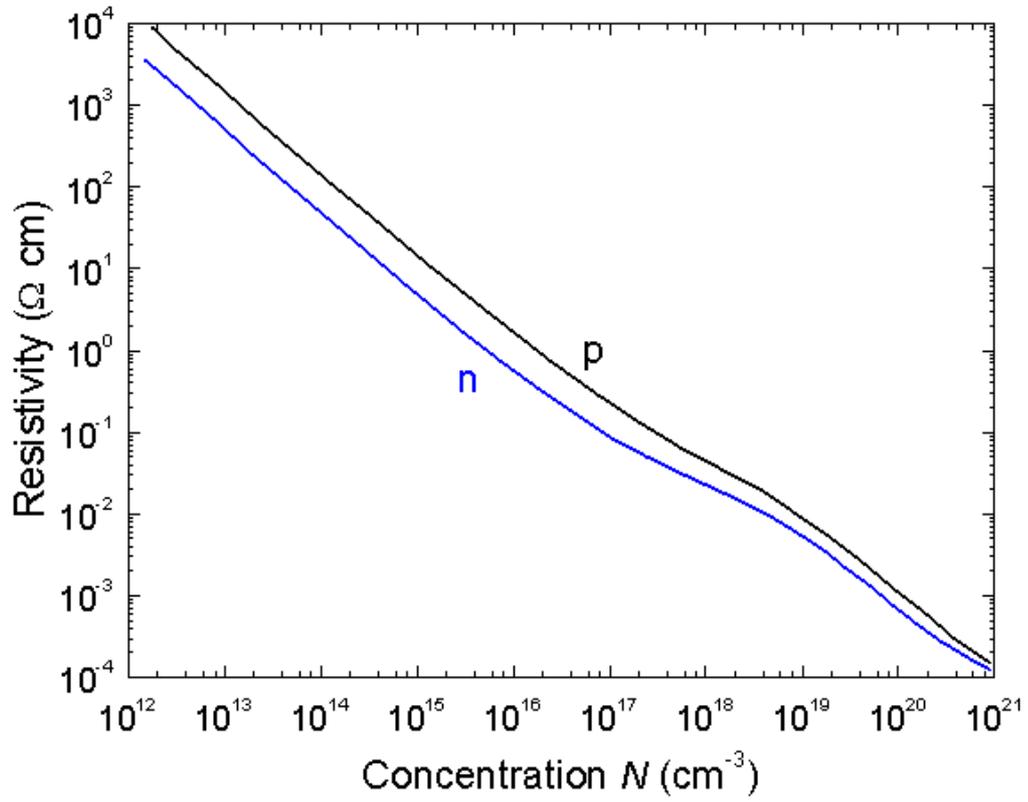
資料來源：全磊微機電

附錄 C 市售 100psi 壓力感測器規格表

參數	數值	單位	備註		
一般特性					
壓力範圍	100	PSIA			
最大壓力	3X		rated pressure		
<b>電氣特性 @25°C (77°F)</b>					
驅動電壓	5	VDC			
輸入阻抗	4~6	kΩ			
輸出阻抗	4~6	kΩ			
<b>環境特性</b>					
操作溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
儲存溫度範圍	-40~+125	°C	-40 °F ~+257 °F		
<b>機械特性</b>					
重量	0.0053	grams			
尺寸	1.7 × 1.7	mm			
適用媒介	Clean, dry air & noncorrosive gases				
<b>性能特性<sup>(1)</sup></b>					
	<b>最小值</b>	<b>典型值</b>	<b>最大值</b>	<b>單位</b>	<b>備註</b>
零點偏移	-35		+35	mV	
全尺度跨距電壓	+70	+120	+170	mV	
線性度	-0.5		+0.5	% Span	2
遲滯	-0.2		+0.2	% Span	
零點偏移溫度係數		-0.03		% Span/°C	3
跨距電壓溫度係數		-0.21		%Span/°C	3
電阻溫度係數		+0.23		%/°C	3
備註： 1. 如無特別聲明本表所有數值皆於測試條件，5 VDC @25°C 條件下所測得					
2. 最佳匹配直線					
3. 典型之溫度特性數值，其溫度範圍為 0°C 到 50°C之間					

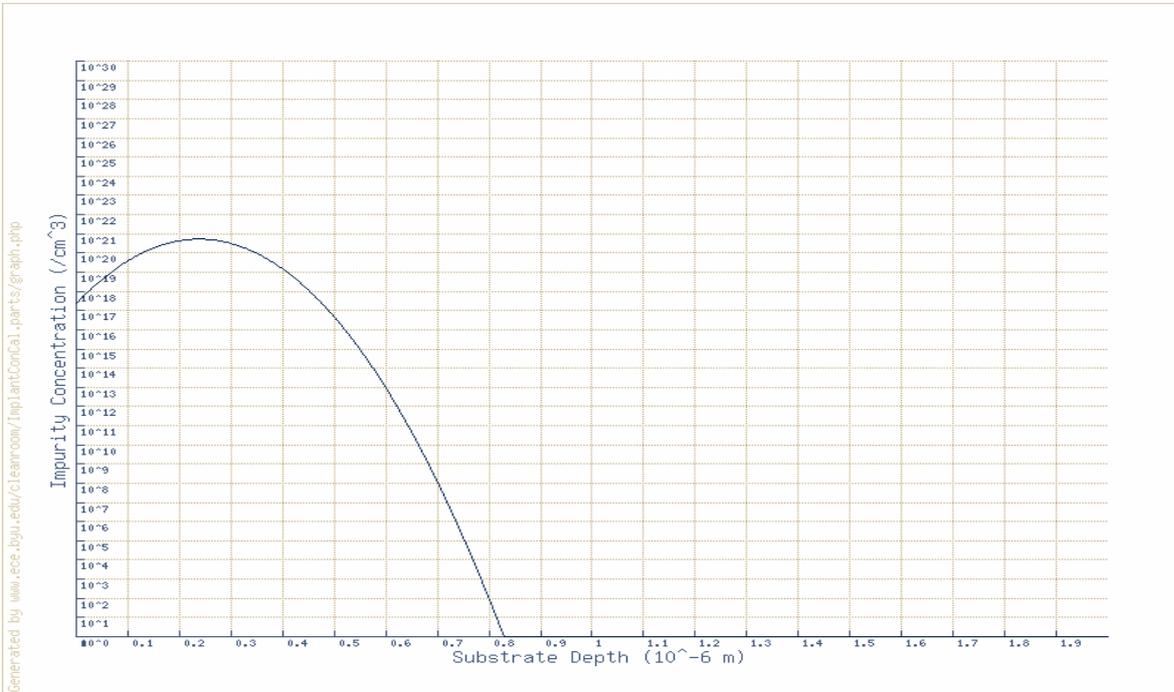
資料來源：全磊微機電

附錄 D 電阻率於溫度 300K 時和雜質濃度關係圖



附錄 E 離子佈植深度與濃度關係圖

A: (80KeV 8e15)



A: (70KeV 4.5e14)

