

第二章

液晶顯示器原理

2.1 液晶的簡介

液晶的發現可追溯到西元 1888 年，奧地利的植物學家 F. Reinitzer 合成了安息香酸膽固醇酯（cholesteryl benzoate），此一物質在常態下是處於固態和液態之間，不僅如此，其還兼具固態物質和液態物質的雙重特性。由於其特殊的狀態，後人便命名這種物質為「Liquid Crystal」，就是液態結晶物質的意思。

2.2 液晶的光電效應



液晶運用在顯示器上，主要靠液晶的光電效應[1] (Electro-Optic Effect) 和旋光的特性 (Optical Rotation)。所謂光電效應係指液晶分子的某一排列狀態，由於外加電場使得液晶分子排列狀態轉換至其它種型態，因此造成液晶薄膜的光學性質發生變化，如圖 1.1 所示。當背光由下玻璃下方往上入射時，由於在二片玻璃基板上皆有覆蓋配向膜，所以液晶分子會沿著兩配向膜的配向方向做 90 度的扭轉配向，使得線性的偏極化光會隨著液晶分子的扭轉而 90 度的旋光，進而穿透液晶元件形成穿透型的顯示裝置。

2.3 液晶顯示器的架構

液晶顯示面板的基本結構，如圖 2.1 所示，主要是由兩片玻璃所構成，其上玻璃為彩色濾光片 (Color filter) 的結構有用來遮蔽漏光的黑色矩陣 (Black Matrix)，形成色彩的彩色濾光層紅 (Red)、綠 (Green)、藍 (Blue)，以及提供共通電極之上電極。上電極上方會覆蓋一層配向膜使液晶有一個預傾角。下玻璃為陣列側，薄膜電晶體 (TFT) 配置在下基板陣列 (Array) 上，在下玻璃陣列側還包含了矩陣狀的掃描線 (Scan Bus Line) 與資料線 (Data Bus Line)，薄膜電晶體源極 (Source) 端連接到資料線，汲極 (Drain) 端連接至畫素電極 (Pixel Electrode)。為了改善電壓保持動作，以達到顯示品質，在液晶電容上並聯一儲存電容。最終會在下玻璃陣列上方覆蓋一層配向膜，使液晶有一個預傾角。上下玻璃間會有維持兩片玻璃間距的支撐物 (Spacer)，在上下玻璃中還會注入液晶，並用框膠將液晶固定在面板中。上玻璃上方及下玻璃下方會貼上偏光片，使光線能極化成線性偏光。下玻璃偏光板下方還會配置背光模組，液晶顯示器光的來源最主要是由背光模組所發射出來的，上述為面板最基本的結構。

2.3.1 薄膜電晶體的等效電路圖

液晶顯示器薄膜電晶體的等效電路圖，如圖 2.2 所示，此為一個顯示單元的等效電路圖，在水平方向的線代表掃描線，在垂直方向的線代表資料線，薄膜電晶體會放置在掃描線與資料線的交錯處。每一個顯示單元皆會配置一個液晶電容 (C_{lc}) 與儲存電容 (C_{st})，這幾個元件組成一個基本的薄膜電晶體顯示單元。

2.3.2 整塊面板的有效電路圖

液晶顯示器整塊面板的等效電路圖，如圖 2.3 所示，此為一片面板的等效電路圖。其中每一個薄膜電晶體與液晶電容和儲存電容所並聯的電路代表一個顯示點，而一個基本的畫素 (Pixel) 則需要 3 個顯示點，分別代表紅、綠、藍三原色，如圖 2.4 畫素示意圖所示。以一個 1366×768 解析度面板來講，共需要有 1366×768 個畫素，每個畫素又有 3 個顯示點，因此總共有 $1366 \times 768 \times 3$ 個基本顯示點 [6]。在圖中水平方向的掃描線依序會送出高電壓 (V_{gh}) 與低電壓 (V_{gl})，當掃描線送出高電壓時，此時這條掃描線上的薄膜電晶體會打開，同時垂直方向的資料線會將訊號送至打開的薄膜電晶體內，對單一顯示單元充電，當對這條掃描線上的薄膜電晶體充完電之後掃描線會送出低電壓 (V_{gl})，將這條掃描線上的薄膜電晶體關閉，然後下

一條的掃描線又會送出高電壓，將下一條的薄膜電晶體打開，垂直方向的資料線會將訊號送至打開的薄膜電晶體內，對單一顯示單元充電，如此依序下去對每一條的顯示單元充電。

以一個 1366×768 解析度面板來講，總共會有 768 條水平掃描線，垂直方向的資料線共需要 $1366 \times 3 = 4098$ 條。以一般顯示器的更新頻率為 $1/60$ Hz 來探討，每一個畫面的顯示時間為 $1/60 = 16.7$ ms。由於水平掃描線共有 768 條，所以每一條水平掃描線所分配到的開關時間為 $16.7 \text{ ms} / 768 = 21.7 \mu\text{s}$ 。由此可知每一條水平掃描線打開的時間為 $21.7 \mu\text{s}$ ，垂直方向的資料線，須在這短暫的打開時間內完成充電的動作。



2.3.3 單一畫素結構

為了改善保持動作，以達到高的顯示品質，在液晶電容上會並聯一保持電容。一般單一畫素儲存電容之設計有畫素電極跨在與水平掃描線平行之獨立電極上形成儲存電容，稱為儲存電容在共通電極 (Ccs on Common)，如圖 2.5 所示。以及畫素電極跨在水平掃描線上形成附加儲存電容，稱為儲存電容在閘極 (Ccs on Gate)，如圖 2.6 所示。

此兩種設計各有優缺點，儲存電容在閘極之製造較為單純及開口率較高，但閘極電容增加使閘極信號延遲亦增加，且電路驅動較複雜。儲存電容在共通電極則需增加與閘極平行之獨立電極，故多增加之獨立電極與信號線跨越點而可能造成信號線短路，降低生產良率使得製造變成較複雜及開口率降低。

2.4 回踢 (Kickback Voltage) 電壓效應

由於液晶顯示器本身的寄生電容及電極間的雜散電容之效應，且電晶體並不是理想的開關，所以使得加於液晶上的有效電壓會有所變動，此將造成顯示畫面的閃爍 (Flicker)、顯示不均、串音 (Cross Talk)、影像殘留 (Image Sticking) 及灰階反轉 (Gray-Scale Inversion) 等影響畫面品質的不良現象[6]。在電晶體設計時需考慮這種問題之存在，而將之減至最小，才能得到完美的畫面品質。

液晶顯示面板的畫面品質是否良好與其亮度 (Brightness)、對比 (Contrast Ratio)、閃爍、顯示不均、串音、影像殘留等現象有關，而這些現象和畫素之充放電、寄生之電阻、電容和驅動方式有關。圖 2.7 單一畫素驅動電壓波形，在畫面正半週掃瞄時，當掃瞄線上的電壓由低電壓升到高電壓時，薄膜電晶體被驅動導通，資料線上的電壓 (V_{dh}) 被寫入畫素電極，但當掃瞄線上的電壓由高電壓降到低電壓時，畫素電壓被寄生電容的耦合效應拉下 ΔV_p ，此時輝度亦會隨著 ΔV_p 的

改變而有所變化，如圖 2.8 回踢電壓與穿透率之關係所示，而在畫面負半週掃瞄時，畫素電極 (Pixel Electrode) 寫入的是 (Vdl) 電壓，且畫素電壓亦會因寄生電容效應拉下 ΔV_p ，此 ΔV_p 稱為回踢電壓，其公式計算如下：

$$\Delta V_p = (V_{gh} - V_{gl}) \times C_{gd} / (C_{gd} + C_{cs} + C_{lc})$$

ΔV_p ：回踢電壓 (Kickback Voltage)

V_{gh} ：水平掃描線打開時之電壓

V_{gl} ：水平掃描線關閉時電壓之電壓

C_{gd} ：薄膜電晶體之寄生電容

C_{lc} ：液晶畫素電容

C_{cs} ：儲存電容



從以上公式可得知影響 ΔV_p 最主要的成分是寄生電容 C_{gd} ，若是能將寄生電容 C_{gd} 降至最低則其影響畫面品質因素就越小，至於其他因素如長導線的 RC 延遲效應、液晶的穿透率對電壓曲線、曝光分割、驅動方式、蝕刻的均勻性及材料選擇等，都間接影響到畫面的成像品質，有時這些因子是相衝突的，我們在設計時必須謹慎地作最佳化的選擇，才能得到完美的成品。

2.5 畫素陣列極性反轉的方式

液晶材料 (Liquid Crystal) 本身有一個很特殊的特性，亦即不可在液晶材料上施加太大或太久的直流電壓，以免造成液晶分子的破壞，而失去原有的電壓與光穿透度的關係。所以，在驅動液晶分子時，會以交流的方式施加電壓，不使其受到直流電壓破壞而影響液晶光學特性。

圖 2.9 為畫素陣列極性反轉的方式，常見的極性反轉有以下四種：

1. 圖框反轉方式 (Frame Inversion)。
2. 列反轉方式 (Line Inversion)。
3. 欄反轉方式 (Column Inversion)。
4. 點反轉方式 (Dot Inversion)。

整個畫面所有相鄰的點都擁有相同的極性，這種方式稱為圖框反轉方式。其優點是較省電，但缺點是較容易產生畫面閃爍。因為其整個畫面極性一致，所以當畫面變化時比較容易感覺到畫面有在閃爍 [7]。

各自相鄰的列擁有相同的極性，當奇數列定義為正極性，偶數列必定為負極性，這種方式稱為列反轉方式。列反轉方式的優點比圖框反轉方式有較好的解決閃爍效果，但缺點是比圖框反轉方式更耗電。

各自相鄰的欄擁有相同的極性，當奇數欄定義為正極性，偶數欄必定為負極性，這種方式稱為欄反轉方式。欄反轉方式的優點比圖框反轉方式有較好的解決閃爍效果，但缺點是比圖框反轉方式更耗電。

每個點與自己相鄰的上下左右四個點的極性都不同，這種方式稱為點反轉方式。其優點是有非常好的解決閃爍效果，但是它是所有極性反轉裡面最耗電的。目前點反轉方式廣泛被人採用。



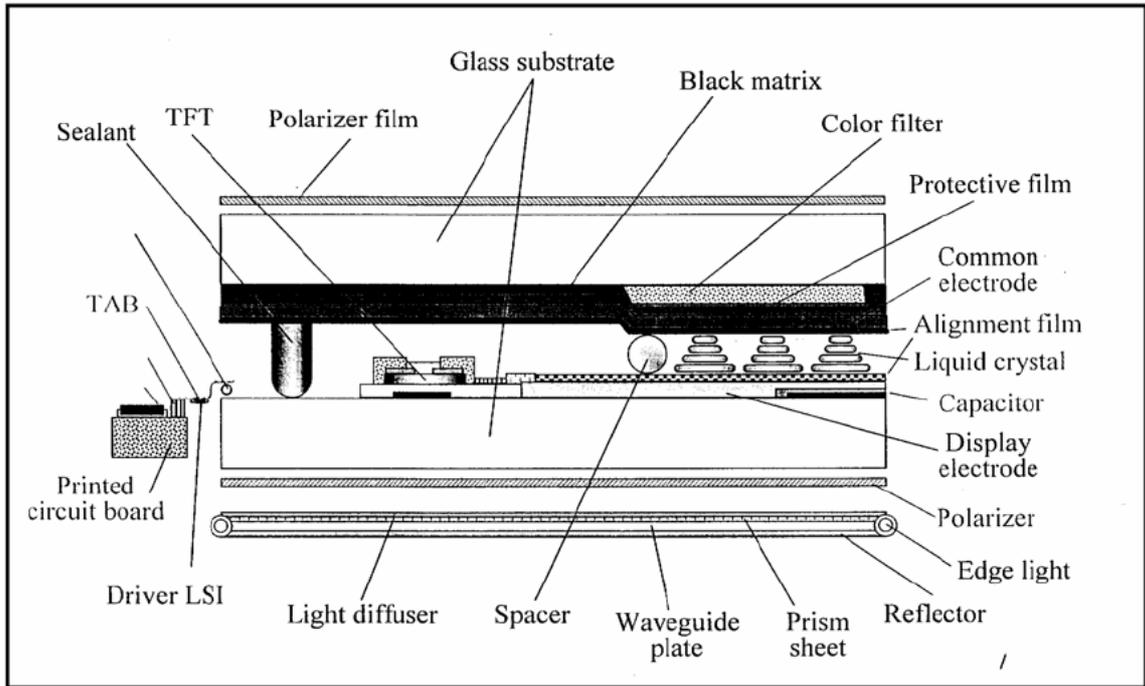


圖 2.1 液晶顯示面板的基本結構 [13]

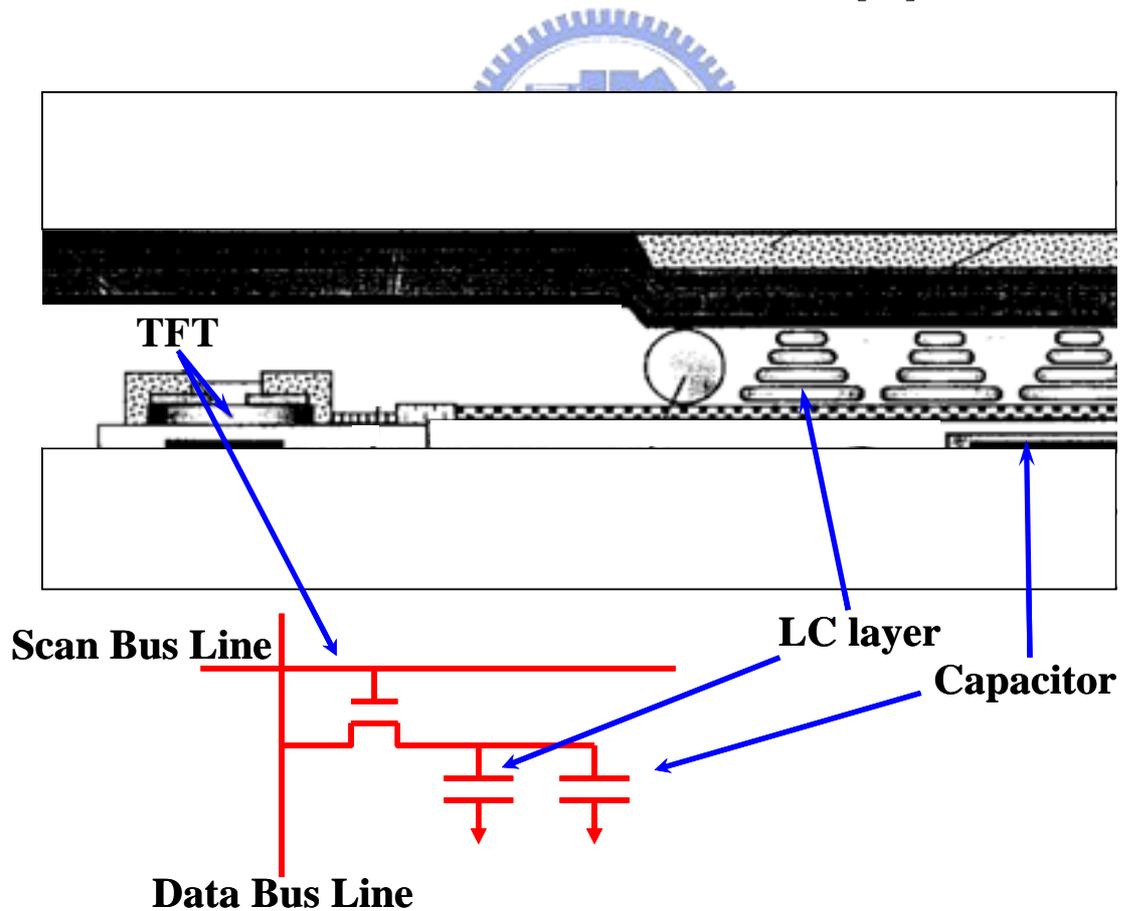


圖 2.2 液晶顯示器薄膜電晶體的等效電路圖

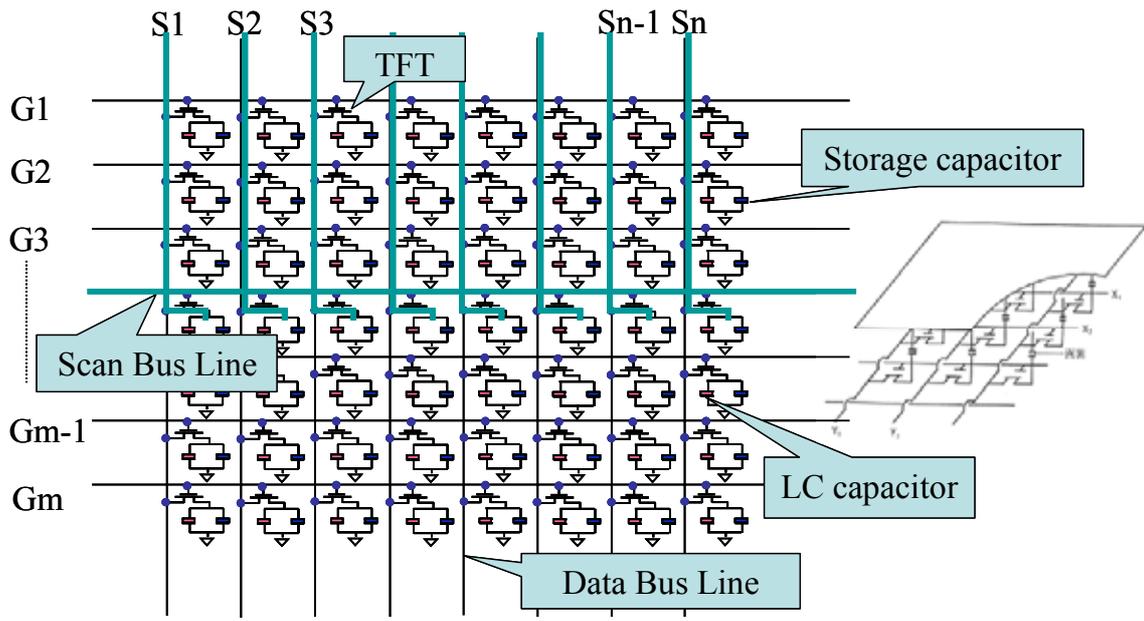


圖 2.3 液晶顯示器整塊面板的等效電路圖

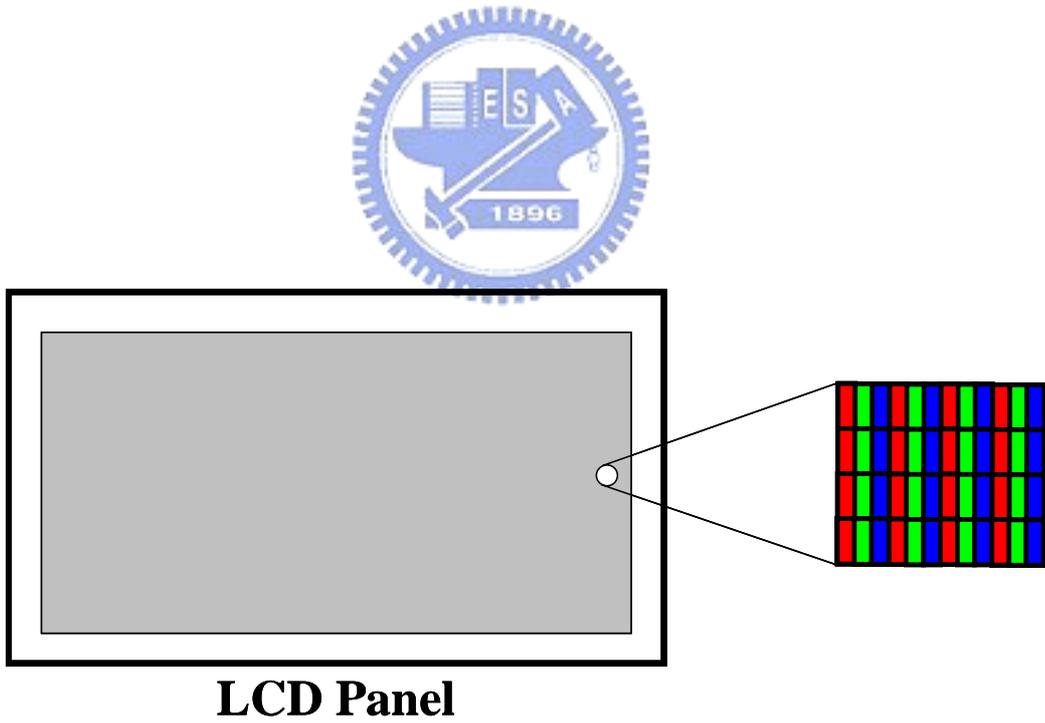


圖 2.4 畫素示意圖

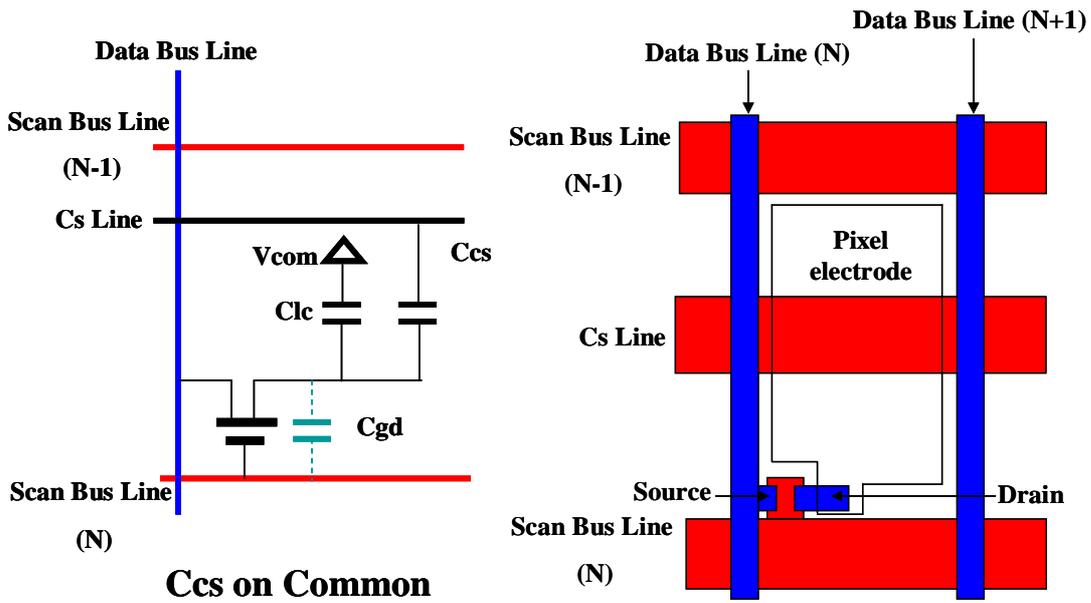


圖 2.5 儲存電容在共通電極 (Cst on Common)

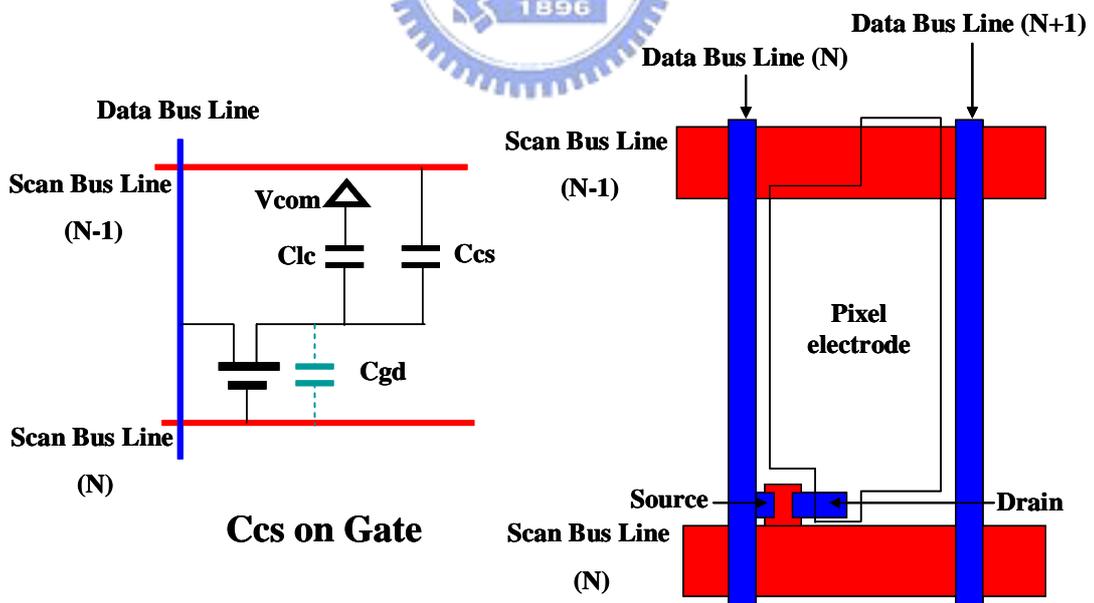


圖 2.6 儲存電容在閘極 (Cst on Gate)

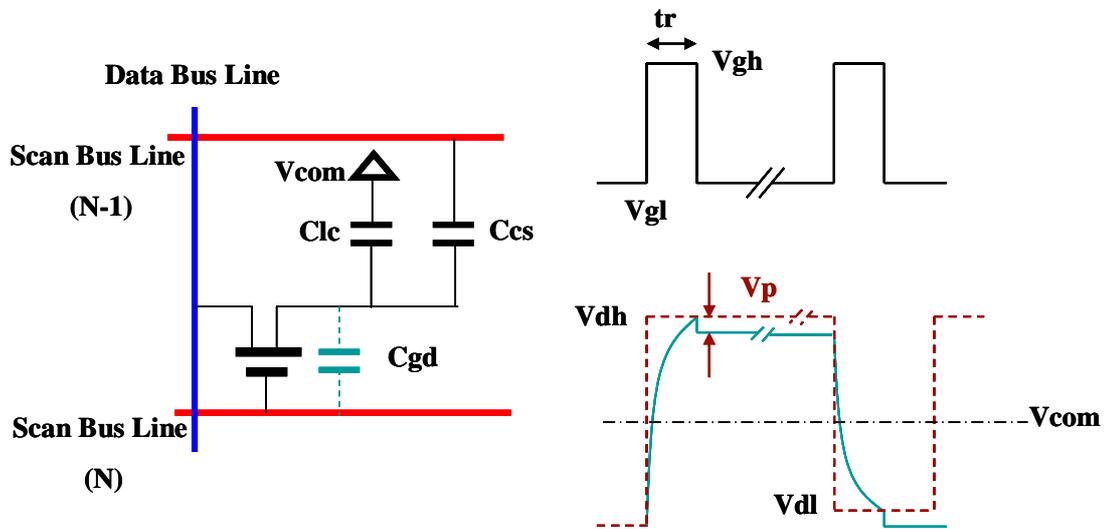


圖 2.7 單一畫素驅動電壓波形

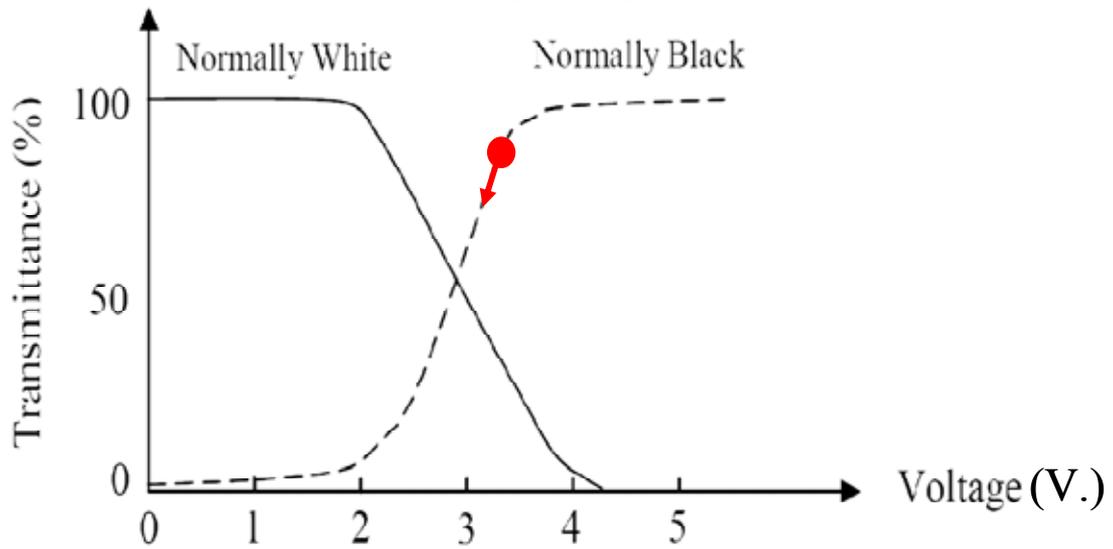


圖 2.8 回踢電壓與穿透率之關係

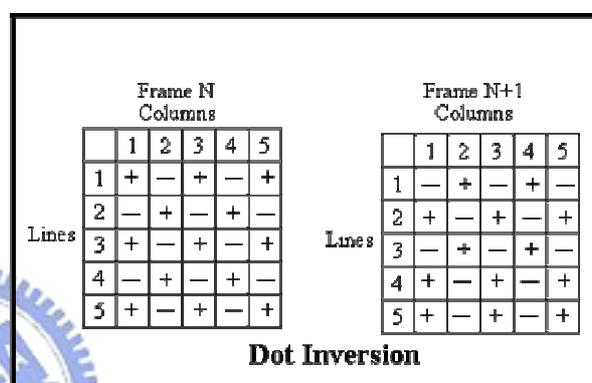
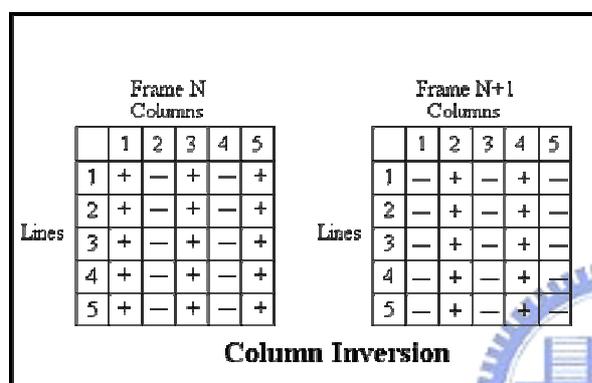
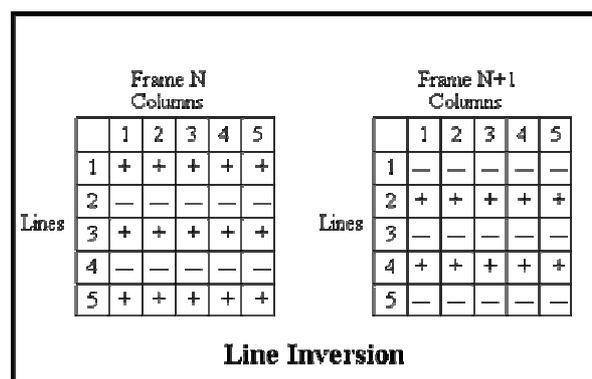
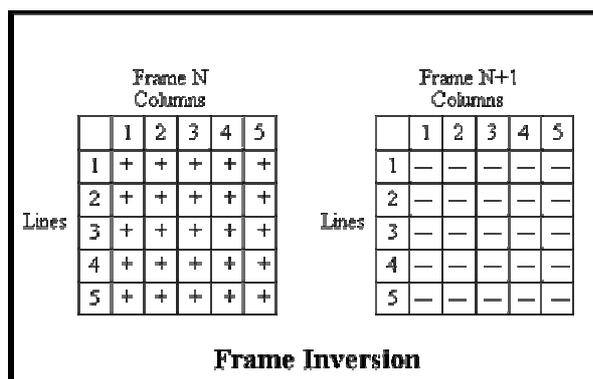


圖 2.9 畫素陣列極性反轉的方式