

## 第一章 研究動機

現今積體電路的趨勢，是往較大尺寸矽晶片及較小的線寬發展，以臺灣半導體產業來說，目前臺灣半導體量產最先進的製程是使用 12 吋晶圓，線寬為 65 奈米或 65 奈米微縮版 55 奈米為最小線寬，用銅做為連接導線的製程。一般是 0.13 微米以下的製程才會使用銅來做為金屬導線材料。

依目前全球前二大的晶圓代工廠(Foundry)第二季季報中可發現，臺灣積體電路公司(台積電)和聯華電子公司(聯電)其線寬大於 0.13 微米的比重仍超過 50%。換言之使用鋁做為金屬導線製程仍占絕大部份。但由於鋁製程技術日趨成熟，平均銷售單價 ASP(Average Selling Price)快速下滑，為維持競爭力，各晶圓代工廠莫不努力降低成本及增加良率來爭取 IC 設計公司(IC design house Fabless company )或整合元件製造公司(IDM Integrated Device Manufacturer)之代工定單。

本論文中，將針對鋁銅導線製程做改善，其方向有兩個：一為增加鋁銅薄膜的覆蓋面積，藉以增加小 dice 產品位於晶圓邊緣之良率。二為鋁銅薄膜缺陷的改善，論文中將針對兩種缺陷做改善，其分別為”鬚鬚狀缺陷”(whisker defect)及”薄膜內微粒缺陷”(in film particles defect)做改善並探討其對產品良率之影響。

在這論文中主要分做幾個章節。第一章為研究動機。第二章為文獻回顧及問題描述。第三章為實驗方法與量測。第四章為結論。

TSMC	1Q07	4Q06	3Q06	2Q06
$\leq 90\text{nm}$	23%	23%	24%	24%
0.11/0.13 $\mu\text{m}$	26%	25%	25%	25%
0.15/0.18 $\mu\text{m}$	30%	33%	33%	32%
0.25/0.35 $\mu\text{m}$	15%	14%	13%	14%
0.5 $\mu\text{m}+$	6%	5%	5%	5%

表 1-1 臺積電不同製程所佔出貨比重  
(資料來源 臺積電 2007 年第二季財務季報)

UMC	1Q07	4Q06	3Q06	2Q06
$\leq 90\text{nm}$	21%	21%	21%	16%
0.13 $\mu\text{m}$	16%	20%	25%	22%
0.15 $\mu\text{m}$	11%	9%	7%	9%
0.15 $\mu\text{m} < x \leq 0.18\mu\text{m}$	19%	18%	19%	20%
0.18 $\mu\text{m} < x \leq 0.25\mu\text{m}$	6%	5%	6%	6%
0.25 $\mu\text{m} < x \leq 0.35\mu\text{m}$	19%	17%	13%	18%
0.5 $\mu\text{m}$ and above	8%	9%	9%	9%

表 1-2 聯電不同製程所佔出貨比重  
(資料來源 聯電 2007 年第二季財務季報)

## 第二章 文獻回顧及問題描述

### 2.1 陰影效應(shadowing effect)成因

一般半導體廠均是用物理氣相沈積法(PVD Physical Vapor Deposition)來沈積鋁銅薄膜，雖然化學氣相沈積法(CVD Chemical Vapor Deposition)也可用來沈積鋁銅薄膜，但因為 PVD 鋁的品質較高且其導線電阻率較低，及最重要的 PVD 沈積法較易沈積鋁銅合金，所以 PVD 鋁被廣泛應用於半導體工業。

鋁銅薄膜中，銅所佔的比例約是 0.5%，銅的濃度越高，電子遷移(Electromigration)的抵抗力就愈佳。然而較高的銅濃度會讓金屬蝕刻製成更為困難。因為金屬蝕刻製程中銅的副產品—氯化銅(Copper Chloride)，其揮發性很低且容易停留在晶圓表面而形成不需要的殘餘物(圖 2-1)。蝕刻殘餘物會造成晶圓的缺陷並影響 IC 晶片的生產良率，通常需要額外的濕式去除浮渣步驟來移除這些殘餘物。

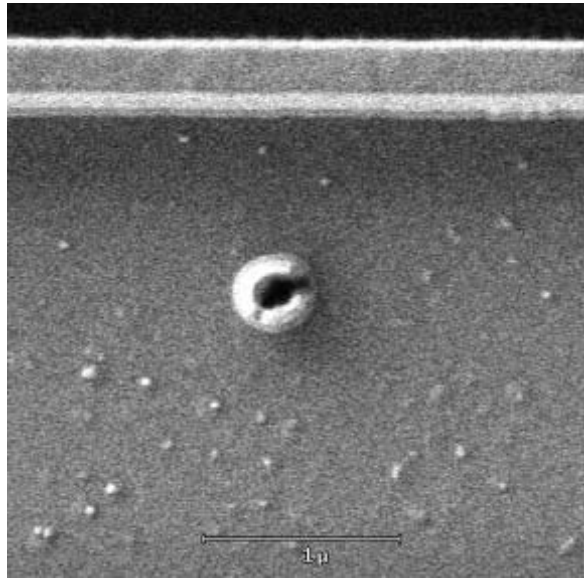
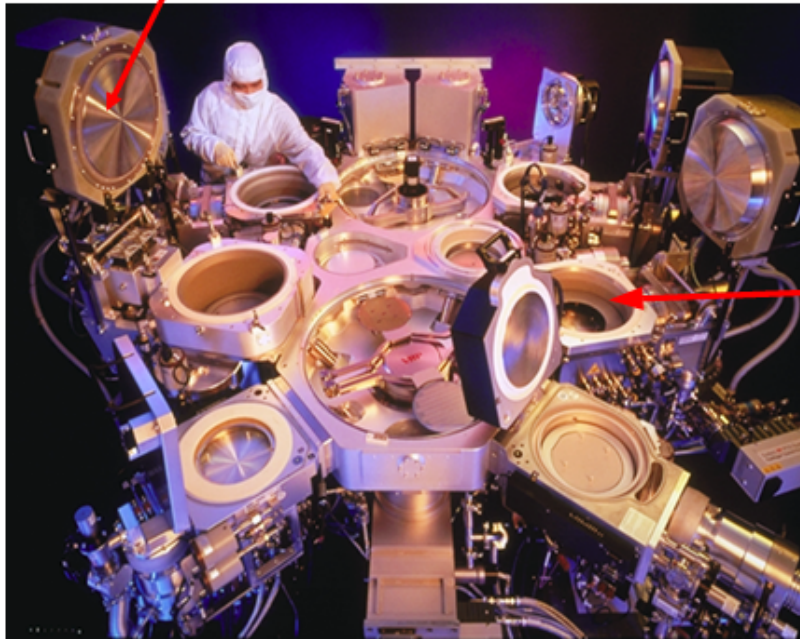


圖 2-1 銅殘留缺陷

美商應用材料公司 (APPLIED MATERIALS) 所生產的 Endura VHP Al-PVD (圖 2-2) 系統廣泛被晶圓代工廠所使用，但其鋁銅合金沈積反應室是用夾鉗 (Clamp) 來固定晶圓，為避免沈積鋁銅薄膜時，鋁銅薄膜沈積到 Clamp，造成晶圓和 Clamp 相連接而導致傳送晶圓時黏片甚至是破片問題，所以會有一個類似屋簷的設計來避免上述情形。見圖 2-3

PVD 靶材



PVD  
沉積反應室

圖 2-2 Endura VHP PVD 的俯視圖

(資料來源美商應材)

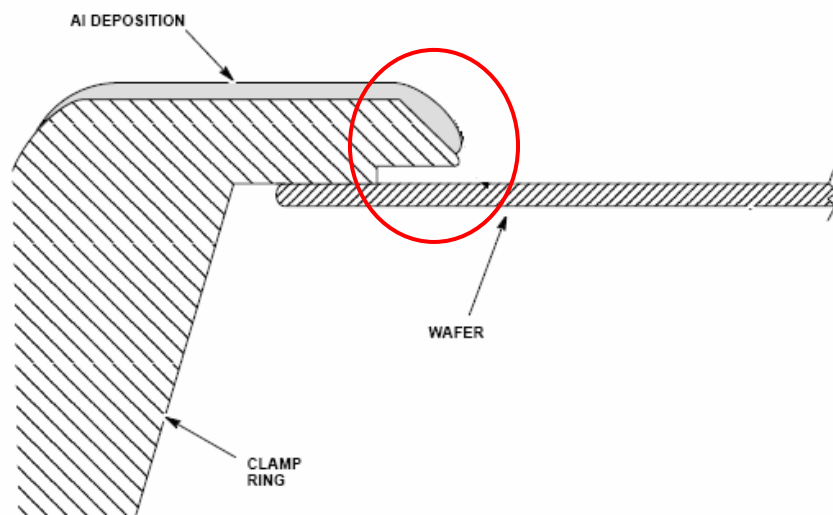


圖 2-3 clamp 屋簷示意圖

因為屋簷的設計會造成”陰影效應”(shadowing effect) 圖 2-4。陰影效應使位於晶圓邊緣的鋁銅薄膜偏薄而造成小 dice 的產品位於晶圓邊緣的良率下降。圖 2-5~2-8 是用 SEM 檢查鋁銅薄膜位於晶圓邊緣沈積  $8000\text{\AA}$  的厚度。

位於晶圓 2mm 處完全沒有鋁銅薄膜。位於晶圓 2.5mm 處鋁銅薄膜厚度為斷斷續續厚度約為  $0\sim1500\text{\AA}$ 。位於 3mm 處厚度為  $4000\text{\AA}$ 。位於 4mm 厚度則為  $8000\text{\AA}$ 。

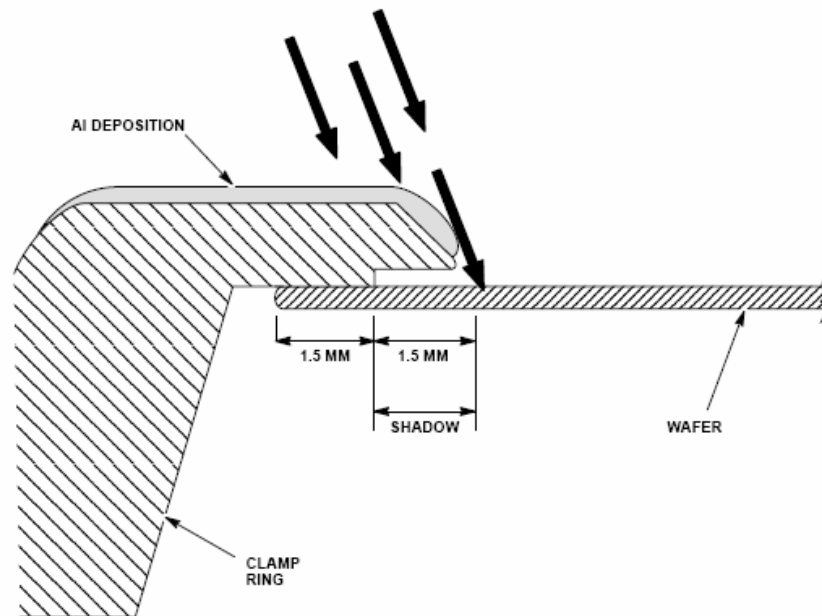


圖 2-4 陰影效應示意圖

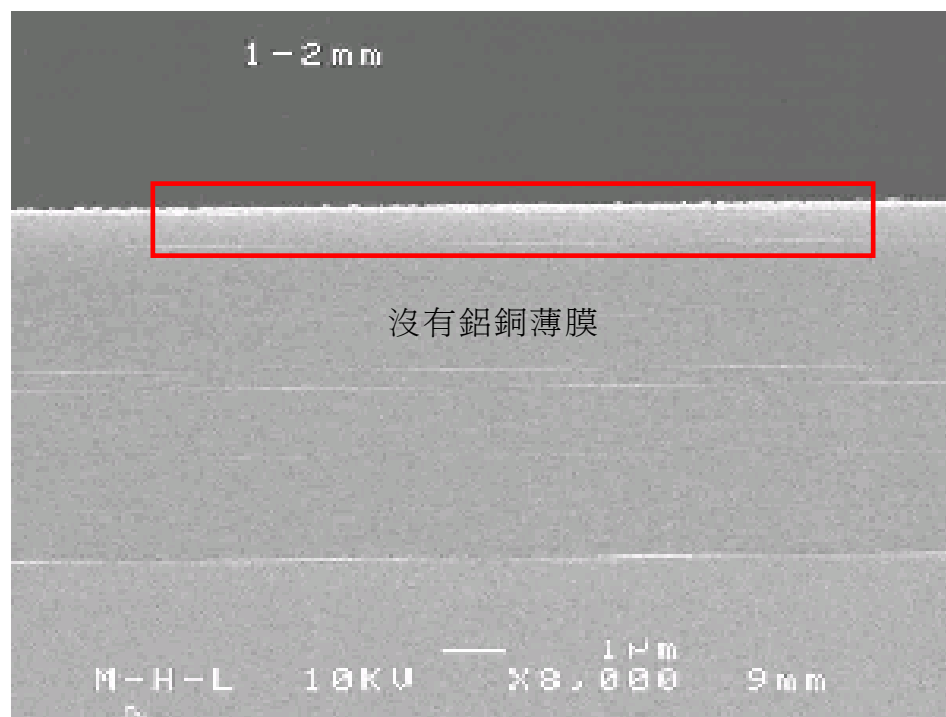


圖 2-5 距晶圓邊緣 2mm 處(center)

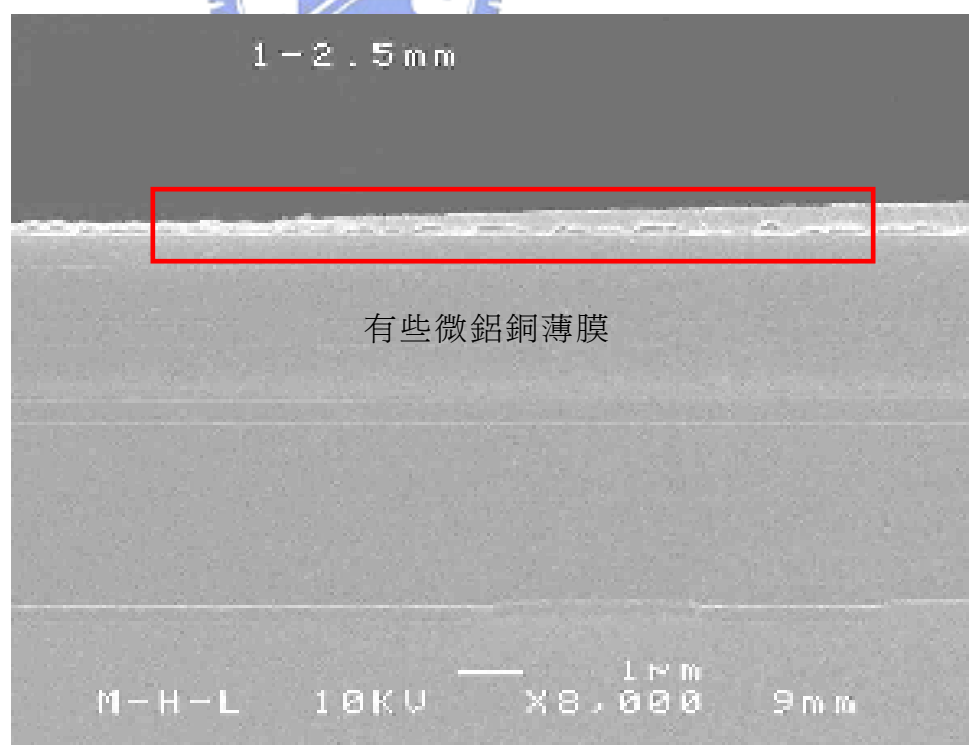


圖 2-6 距晶圓邊緣 2.5mm 處(center)

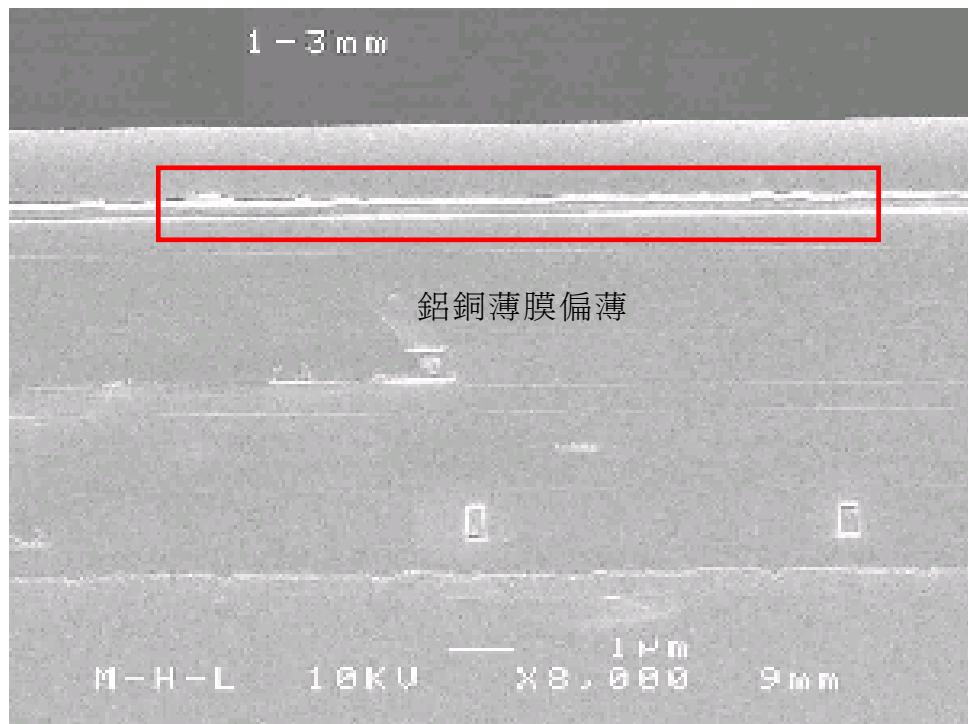


圖 2-7 距晶圓邊緣 3mm 處(center)

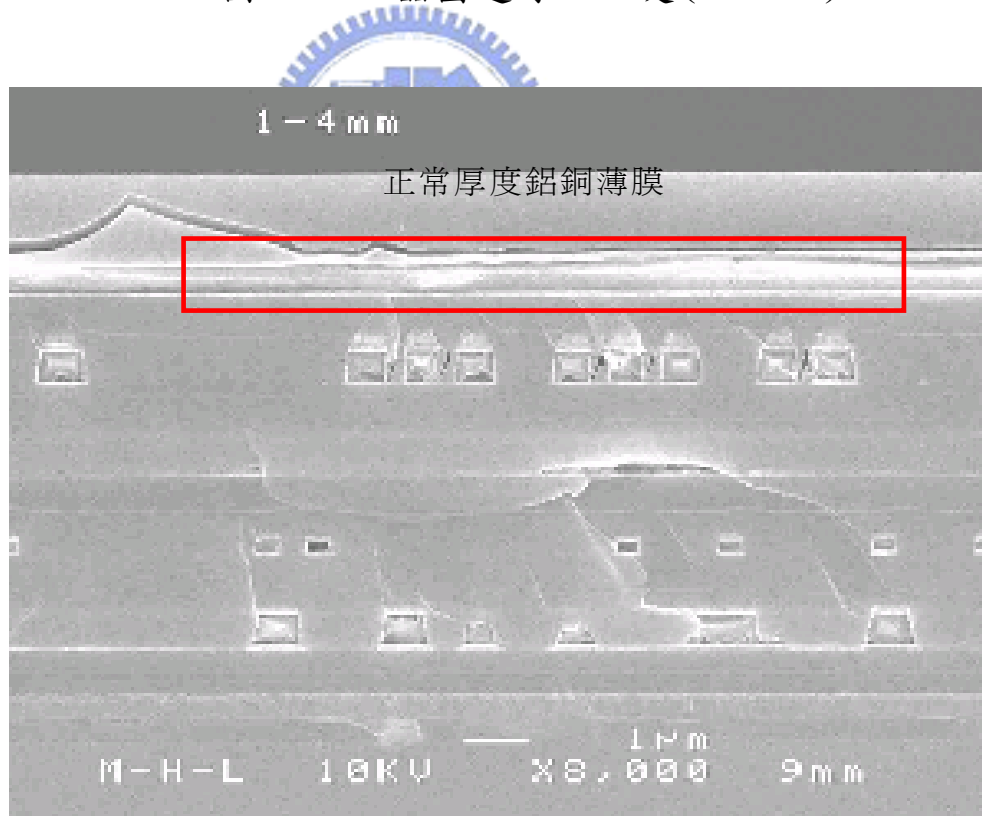


圖 2-8 距晶圓邊緣 4mm 處(center)



圖 2-9 和 2-10 是夾鉗於機器手臂將晶圓送入反應室和加熱板升起準備沈積鋁銅薄膜的示意圖，圖中可看出夾鉗遮蔽的地方鋁銅薄膜將無法覆蓋，而形成所謂的陰影效應 圖 2-11。陰影效應將造成晶圓邊緣的產品良率下降



圖 2-9 機器手臂將晶圓送入沈積反應室



圖 2-10 加熱板升起夾鉗固定晶圓

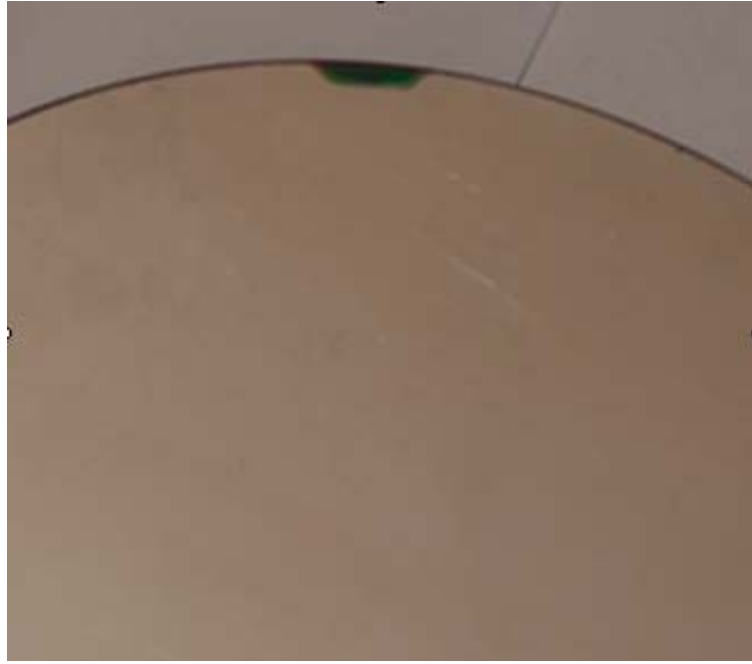


圖 2-11 陰影效應

## 2.2 鬚鬚狀缺陷(whisker defect)生成機制探討

我們在鋁銅薄膜沈積後，在缺陷檢查時發現於鋁銅薄膜會有鬚鬚狀缺陷(whisker defect)(圖 2-12)。鬚鬚狀缺陷是由於收縮應力(compressive stress)而產生，其生成原因是二氧化矽( $\text{SiO}_2$ )的熱膨脹係數為

$\alpha(\text{SiO}_2)=0.5 \times 10^{-6} \text{C}^{-1}$  而鋁的膨脹係數為

$\alpha(\text{Al})=23.2 \times 10^{-6} \text{C}^{-1}$  在較高的沈積溫度下沈積鋁銅薄膜，例如在攝氏 300 度，當晶圓冷卻至室溫時，鋁銅薄膜會比二氧化矽收縮的更多，因為鋁的膨脹係數較高。鋁銅薄膜受到收縮應力影響，鬚鬚狀缺陷便會由晶粒(grain size)和晶粒之間生成(圖 2-13)，我們發現鬚鬚狀缺陷於較大的鋁銅合金晶粒才較易會發生，而合金晶粒的大小和鋁銅薄膜的沈積溫度有關。溫度越高顆粒越大，或是鋁銅薄膜的厚度越厚，鬚鬚狀缺陷也就越容易發生。

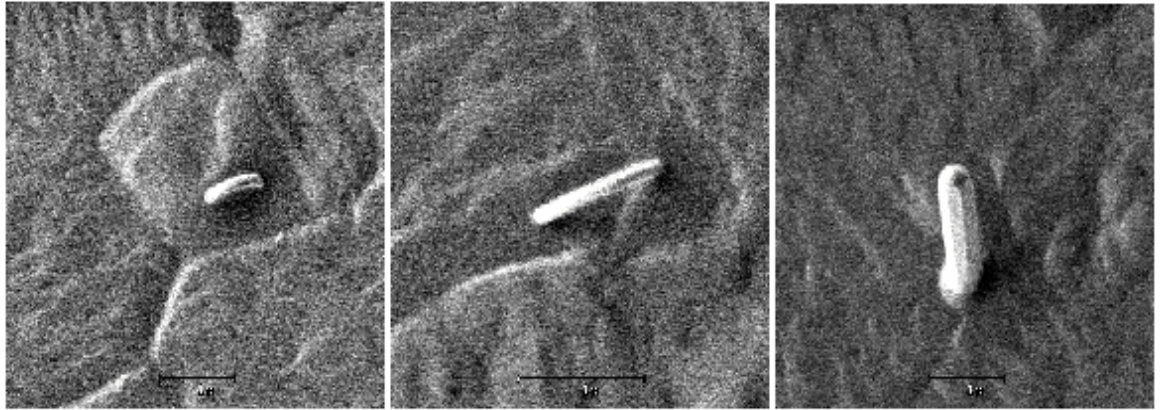


圖 2-12 鬚鬚狀缺陷照片

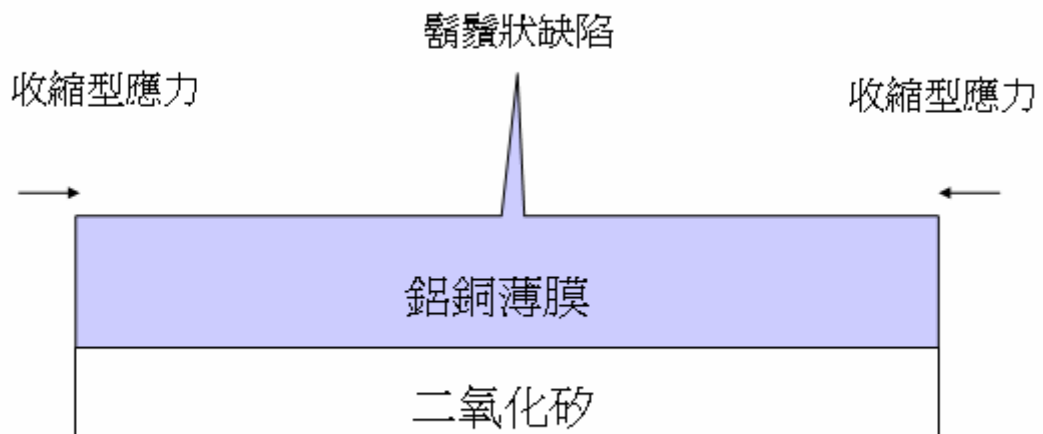


圖 2-13 鬚鬚狀缺陷生成機制圖

### 2.3 薄膜內微粒缺陷(In film particle defect) 生成 機制探討

我們在鋁銅薄膜沈積後，在缺陷檢查時發現於鋁銅薄膜會有如圖 2-14，缺陷。經用能量色散 X 射線分析(EDX energy dispersive X-ray analysis) 其成份為 Ti 和 TiN。(圖 2-15) 故薄膜內微粒缺陷是 Ti 靶材於沈積 Ti/TiN 薄膜時所落下。

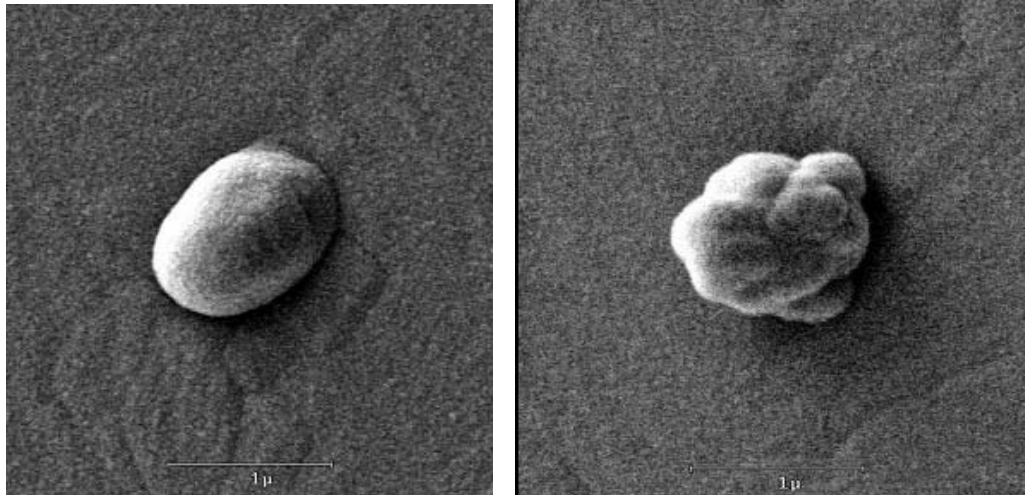


圖 2-14 鋁銅薄膜 In film particle

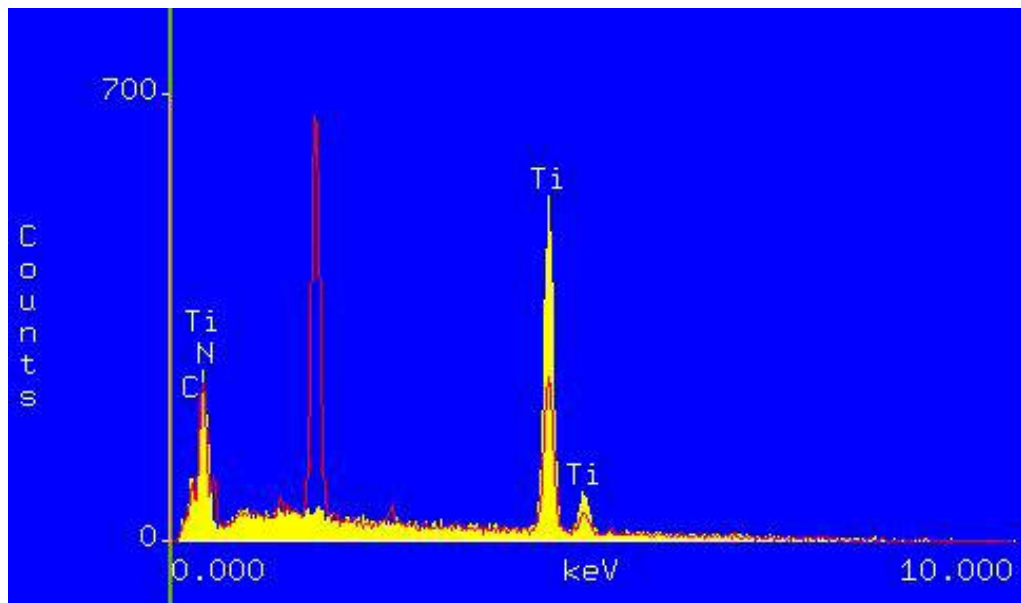


圖 2-15 鋁銅薄膜 In film particle EDX

## 第三章 實驗方法與量測

### 3.1 鋁銅薄膜陰影效應改善

這次改善的機台是美商應用材料 Endura HP system PVD。用於濺鍍鋁銅合金，本節中會介紹濺鍍鋁銅合金製程及沈積反應室的改造過程。並比較新的反應室夾鉗和舊的反應室夾鉗對產品良率的影響。

#### 3.1.1 鋁銅薄膜製程介紹

由圖 3-1 可看出鋁銅薄膜的沈積是由多腔室(Cluster Chambers)所共同組成的，這是因為PVD於沈積鋁銅薄膜時反應室需要達到高度的真空狀態，以將污染物降到最低限度，而完整的鋁銅薄膜一共有五層薄膜，共需要至少三個反應室來完成，特別是鋁銅沈積製程的時候。必須要達到超高真空(低於 $10^{-9}$  torr)的壓力來沈積鋁銅薄膜。所以使用多腔室反應室來沈積鋁銅薄膜。

一個標準的 PVD 的連線金屬化製程涵蓋了下列幾個步驟：



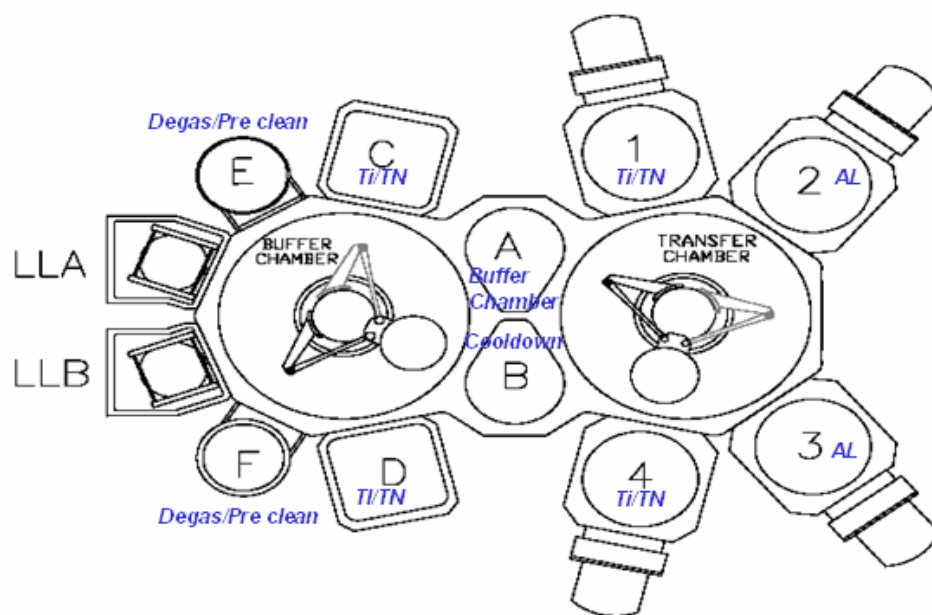


圖 3-1 美商應材 PVD 機台示意圖

### 1. 除氣(De-gas)步驟(Chamber E or F):

在開始 PVD 製程之前，將晶圓加熱至夠高的溫度，以驅除吸附在晶圓表面的氣體與濕氣，否則，在沈積製程期間所吸附的氣體與濕氣會逐漸逸出(Outgassing)，會引起嚴重的污染進而導致所沈積的金屬薄膜帶有很高電阻率。

### 2. 預洗(預先清洗)(Pre-clean Chamber E or F )步驟：

在金屬沈積之前，需要用一個射頻蝕刻的步驟來移除在金屬表面上的原生氧化層以降低接觸窗電阻。移除原生氧化層是很重要的，因為金屬氧化物像是氧化鋁( $\text{Al}_2\text{O}_3$ )和氧化鎢( $\text{WO}_4$ )，就有非常高的電阻率。若沒有一個濺射蝕刻製程來移除原生氧化層，則接觸窗電阻會變得很高，而這將影響IC晶片的性能和可靠度。(圖 3-2)

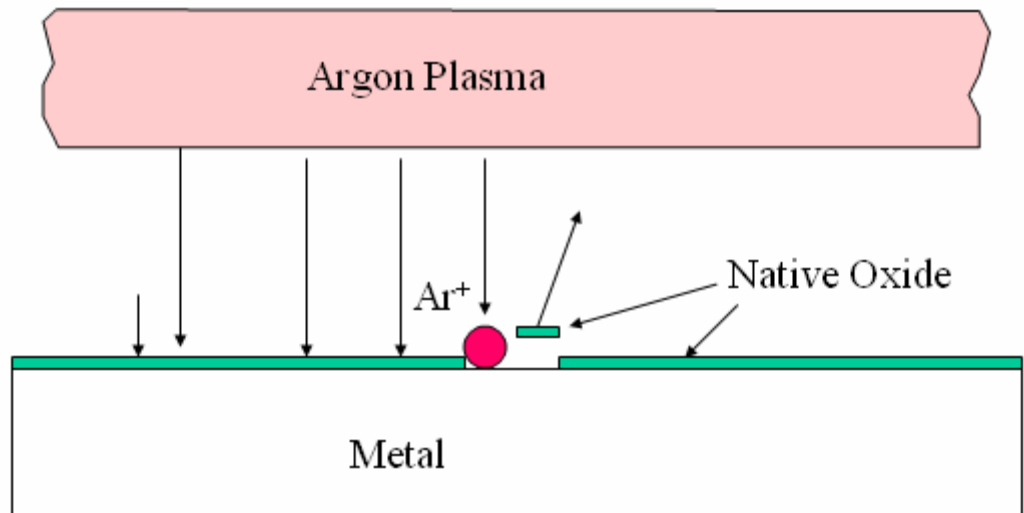


圖 3-2 預洗製程示意圖

### 3. 氬濺射(Argon Sputtering Chamber C or D):

是射頻蝕刻製程的標準步驟。在氬電漿中，氬離子會受到射頻功率而加速。氬離子會轟擊。這個步驟會使金屬暴露在高真空之下，同時高晶圓準備進行金屬沈積。射頻蝕刻製程也可以把接觸窗／金屬層間之接觸窗孔底部和側壁的聚合體殘餘物移除。在矽玻璃蝕刻製程中使用氟碳化合物的蝕刻氣體時，氟化碳聚合體殘餘物是常見的副產品。射頻蝕刻中的離子轟擊通常會從接觸窗／金屬層間之接觸窗孔上層的墮落剝除一部份的氧化物，以便在金屬沈積製程之前將洞口傾斜擴大來改進階梯覆蓋和栓塞填充。

### 4. PVD Button Ti/ TiN (Chamber C or D) 焊接層(welding layer)/阻擋層(barrier layer)/附著層(adhesion layer)沈積:

在鋁銅薄膜 PVD 製程之前，會沈積一個鈦的薄層以降低接觸電阻，因為鈦可以補捉氧，並且防止氧與鎢或是鋁產生鍵結而行成高電阻率的氧化鋁或是氧化鎢。因為氮化鈦有低

的電阻率和良好的階梯覆蓋(step coverage)所以是被用來當作附著層。

#### 5. 鋁銅薄膜 PVD:(Chamber 2 or 3):

鋁銅薄膜沈積需要一個超高的真空狀態以達到低的薄膜電阻率。在反應室的幫浦一開始運做時，空氣會自真空反應室中抽出。在反應室內部的氣體殘餘物主要來自大氣，如氮氣( $N_2$ )和氧氣質( $O_2$ )。當反應室壓力銳減到毫托(mTorr)的範圍時，大部份的氣體殘餘物將不再是來自空氣，而是來自反應室壁之吸附氣體的釋氣做用(Outgassing)。濕氣是這些氣體的殘餘物之一，也是最難被消除的。假如濕氣在鋁銅薄膜濺鍍沈積製程期間就存在的話，鋁原子將會和 $H_2O$ 殘餘物產生反應而形成氧化鋁( $Al_2O_3$ )，它是很好的絕緣體。微量的氧和鋁銅合金薄膜結合會顯著地增加薄膜的電阻率。因此，為了達到高品質低電阻的鋁銅薄膜，製程反應室要達到非常高的真空狀態，以將反應室內部的濕氣降到最低的程度。圖 3-3 為PVD Chamber 構造圖。



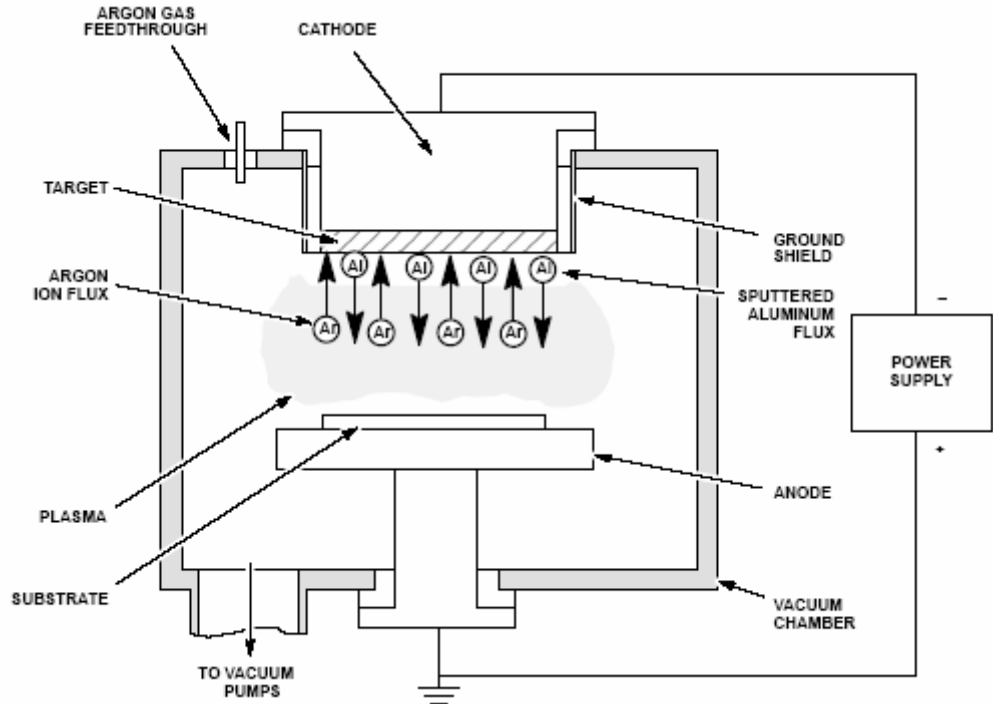


圖 3-3 物理氣相沈積反應室構造圖

6. PVD Top Ti/ TiN (Chamber 1 or 4)由於鋁的反射係數很高會造成鋁銅薄膜於定義導線範圍時解析度下降，故用較低反射係數氮化鈦來做為抗反射層。

### 3.1.2 新的物理氣象沈積反應室夾鉗(New PVD Chamber Clamp)

PVD 鋁銅合金 Chamber 一共有六個夾鉗(圖 3-4)，這六個夾鉗因為是和反應室加熱板為一模組設計，所以無法變更其數量和大小面積。故主要改變的是屋簷的長度由原來的3mm(直徑 194mm)改為 1mm(直徑 198mm) (圖 3-5)如此便可減少陰影效應，增加鋁銅薄膜覆蓋的面積，改善小 dice 產品於晶圓邊緣產品良率。

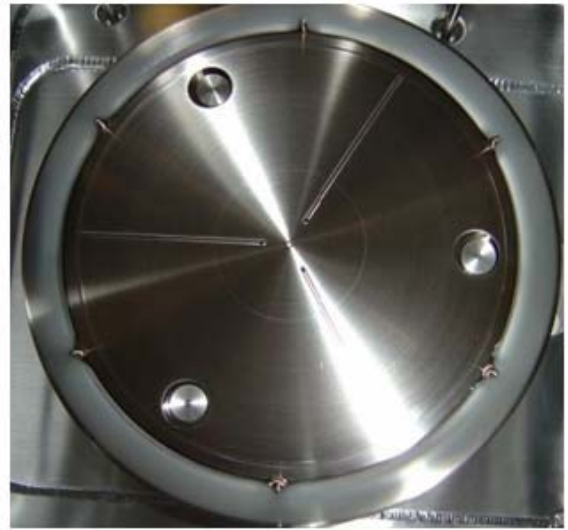
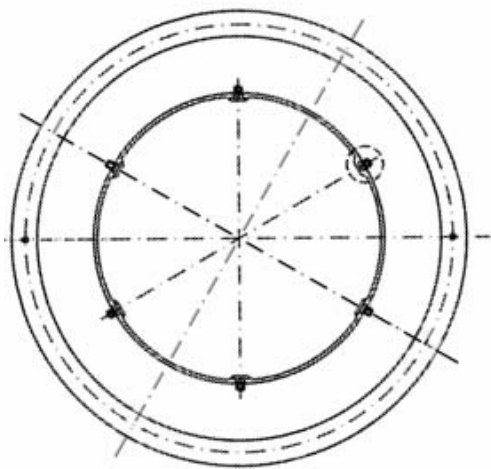
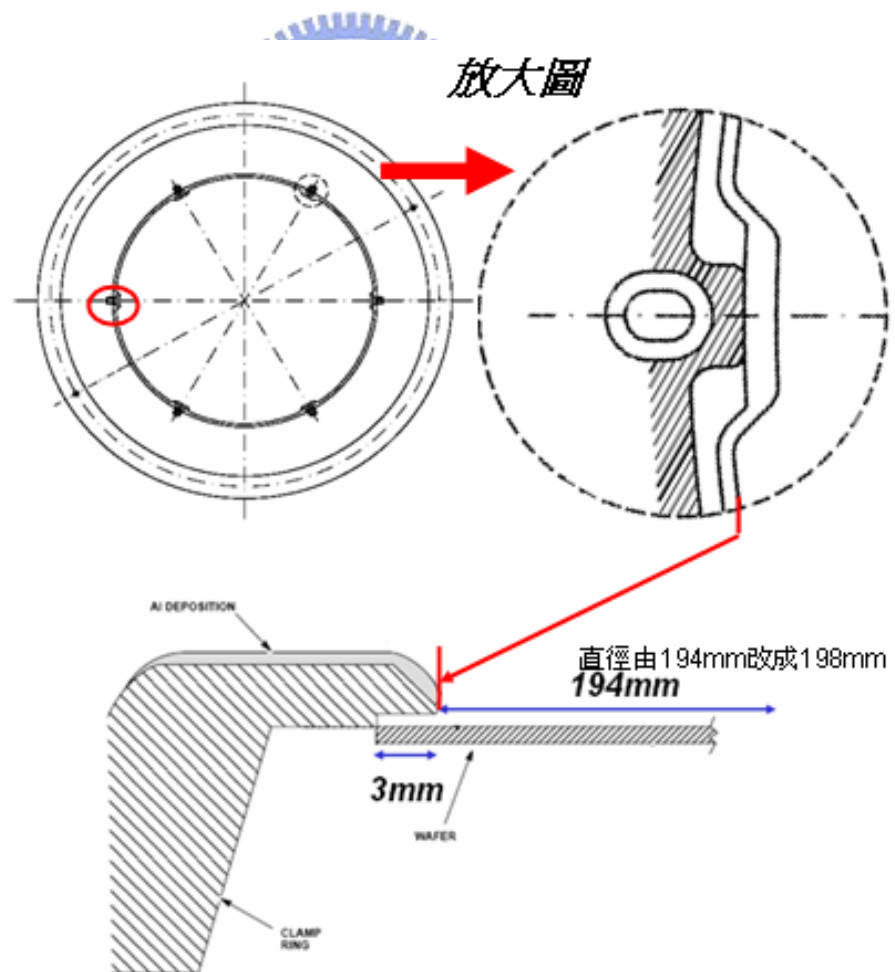


圖 3-4 PVD Chamber 示意圖

實際 Chamber



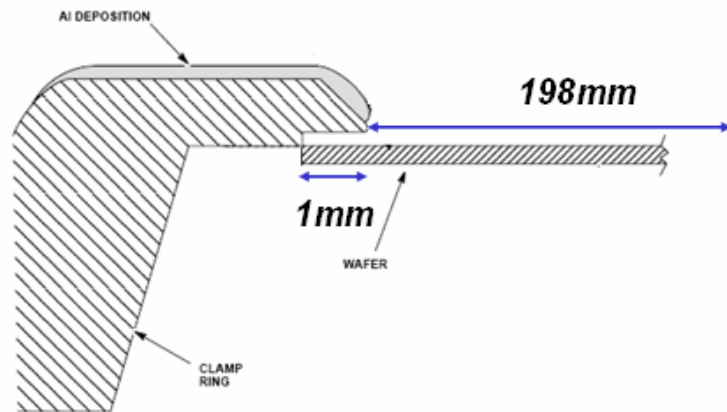


圖 3-5 PVD Clamp 由 3mm 改為 1mm 示意圖

為達到鋁銅薄膜最大面積覆蓋率，期間曾嘗試將直徑長度由 194mm 增加到 199mm(8 吋晶圓直徑長為 200mm 因此距晶圓邊緣為 0.5mm)，但實驗發現鋁銅薄膜會沈積到反應室的加熱板上(圖 3-6)如此會有晶圓和加熱板黏片及破片的疑慮，故最後是以直徑 198mm(距晶圓邊緣 1mm)為實際可用的長度。圖 3-7 是新舊夾鉗鋁銅薄膜沈積比較圖，由晶圓邊緣鋁銅薄膜邊緣顏色上的差異可很明顯地看出新舊夾鉗的差異。

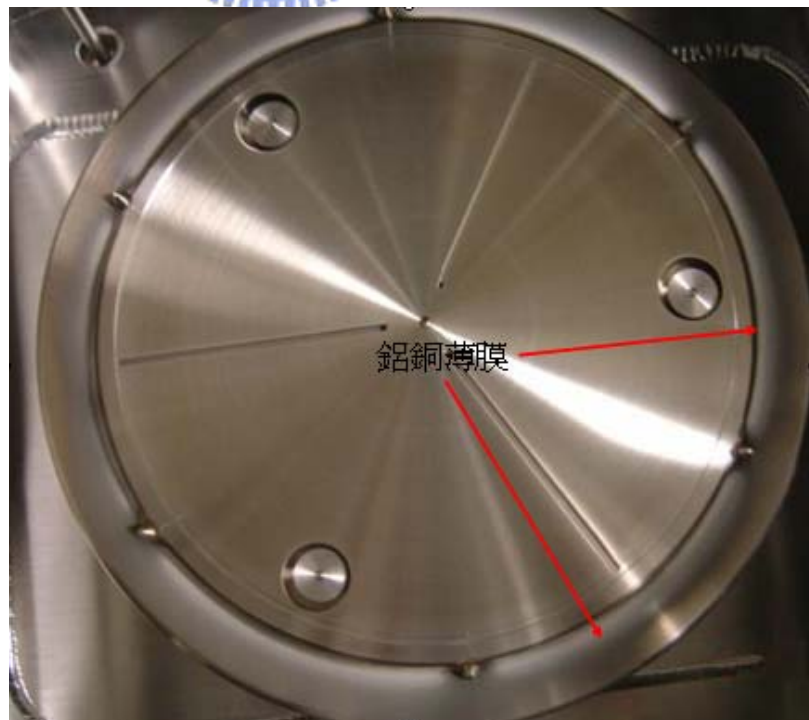


圖 3-6 鋁銅薄膜沈積在加熱板

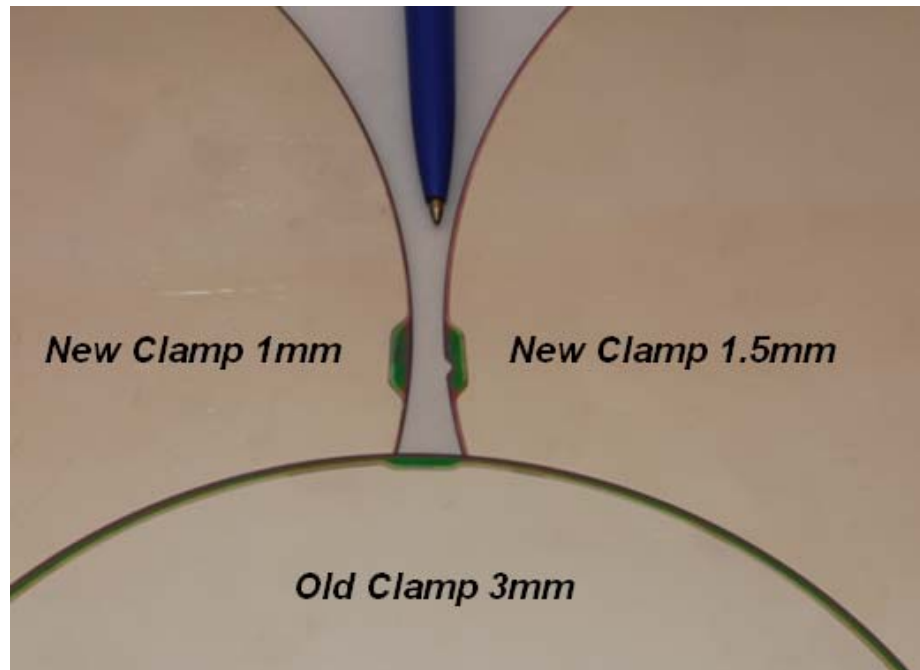


圖 3-7 新舊 Clamp 鋁銅薄膜沈積比較圖



### 3.1.3 鋁銅薄膜厚度量測

由圖 3-7 可藉由晶圓表面的顏色看出新舊夾鉗鋁銅薄膜面積上的差異，我們將利用四點探針來量測新舊 Clamp 所沈積鋁銅薄膜厚度的差異。

導電薄膜通常是多晶態結構。金屬導電率以及反射係數跟晶粒尺寸(grain size)有關，通常較大的晶粒會有較高的導電率及較低的反射係數。本節中將用測試片來量測薄膜厚度。

金屬薄膜厚度的量測和介電質薄膜的量測十分不同。

要直接非破壞性且精確地量測不透明薄膜(如鋁銅薄膜)的厚度是相當困難的，在聲學(Acoustic Measurement)方法被引進之前，金屬薄膜厚度量測通常需要破壞性的量測方法在測試晶圓上執行。

薄片電阻(Sheet Resistance)是傳導性材料最重要的特性之一，尤其是導電薄膜。它常被利用來監測導電薄膜沈積製程與沈積反應室的表現。就已知其導電率的導電薄膜而言，其薄片電阻的量測廣泛的被用來確定薄膜厚度，因為薄片電阻的量測比起實際的厚度量測要更快。電阻率是材料最基本的一種特性。就一個電薄膜而言，其電阻可以藉著薄膜之薄片電阻與膜厚電阻的乘積而計算出來。

薄片電阻( $R_s$ )是一種定義的參數。四點探針是最常使用的工具，它可以測量電壓與電流並且計算出薄片電阻。藉著量測薄片電阻，我們可以計算出已知電阻率的薄膜厚度。

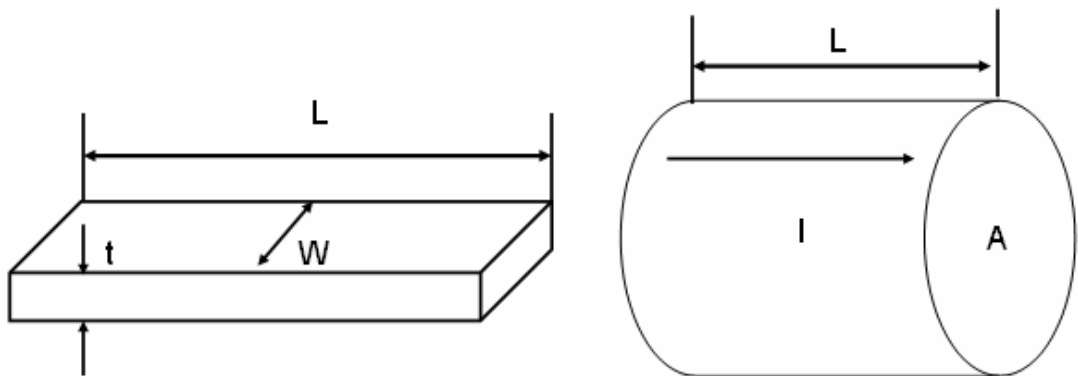


圖 3-8 長方體(a)和圓柱型(b)導線剖面圖

由圖 3-8(a) 所顯示的傳導線而言，其電阻可由以下計算出

$$R = \rho \frac{L}{A}$$

其中 R 是電阻， $\rho$  是導體的電阻率，L 是傳導線的長度，A 是線的截面面積。假如電線是長方形的，如圖 3-8(a)所示，則其橫截面的面積只需簡單地改變成寬度和厚度 (W x t) 的乘積即可。

線電阻就可以表示成：

$$R = \frac{\rho L}{Wt}$$

對一個方形的薄片而言，長度就等於寬度， $L=W$ ，因此它們會互相抵消。所以一個正方形傳導薄片的電阻，就定義為薄片電阻( $R_s$ )，可以表示成

$$R_s = \rho / t$$

薄片電阻的單位是每平方歐姆( $\Omega / \square$ )。這裡的平方記號( $\square$ )只是表示它是一個方形的電阻；與方形的尺寸並沒有關係。假如金屬薄膜的厚度是完全的均勻，則每邊長度為一微米之方形薄片的薄片電阻，將會與每邊長度為一英吋的方形薄片一樣。

四點探針(圖 3-9)是最常用來量測薄片電阻的工具。一個電量的電流會施加在兩個探針之間，而電壓則在另外兩個探針之間被量測。薄片電阻就等於電壓對電流的比例再乘以一



個常數項，這取決於所使用的探針。兩個探針之間的距離為  $S_1=S_2=S_3=1\text{mm}$ 。假如一個電流  $I$  被加在  $P_1$  和  $P_4$  之間，則  $R_s=4.53 \text{ V/I}$ 。在此  $V$  是  $P_2$  和  $P_3$  之間的電壓。假如電流是加在  $P_1$  與  $P_3$  之間，則  $R_s=5.75 \text{ V/I}$ 。在此  $V$  是  $P_2$  與  $P_4$  之間的電壓。

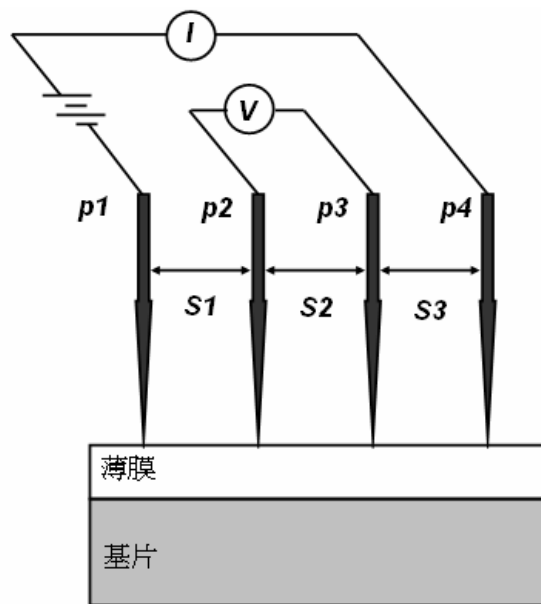


圖 3-9 四點探針

鋁銅薄膜的電阻率是已知的，而且在特定的沈積狀況下相當的穩定。因此，薄片電阻的量測可以提供一個快速且又方便的方法來量測鋁銅薄膜的厚度。圖 3-10 是新舊夾鉗鋁銅薄膜厚度的比較圖，於直徑 200mm 的晶圓上，量測 121 點，相當於每點間距約 1.67mm 可看出新的夾鉗可將鋁銅薄膜沈積在離晶圓邊緣 1.67mm 處，舊的可沈積在約 3.3mm 處。晶圓中間部份新舊夾鉗厚度幾乎無差異，新夾鉗約可增加  $(99 \times 99 \times \pi - 97 \times 97 \times \pi) / 97 \times 97 \times \pi \times 100\% = 4.2\%$  的鋁銅薄膜覆蓋面積。

新舊夾鉗鋁銅薄膜厚度比較表

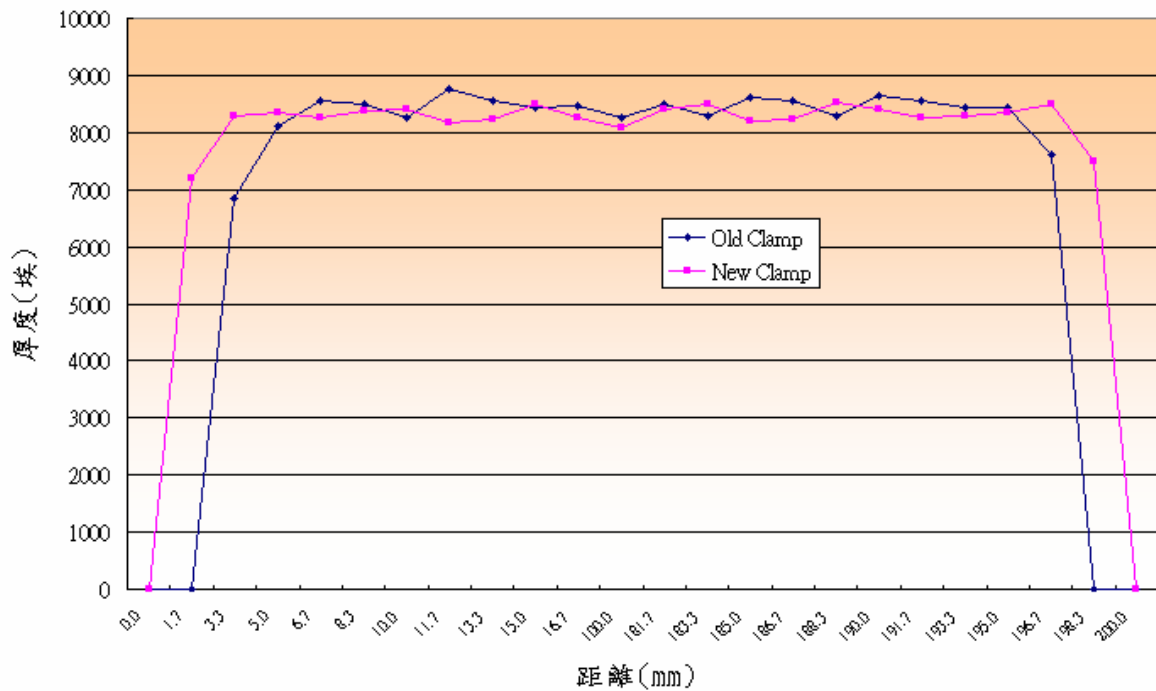


圖 3-10 新舊夾鉗鋁銅薄膜厚度比較圖

### 3.1.4 SEM 量測新夾鉗所沈積之鋁銅薄膜厚度

圖是用 SEM CHECK 新 CLAMP 沉積 8000 埃厚度的鋁銅薄膜，一共量三個點。分別取晶圓最邊緣處 0mm, 1mm 和 2mm 處可發現 0mm 處完全沒有鋁銅薄膜(圖 3-11)。1mm 處有約有數百埃的厚度(圖 3-12)。2mm 處則約有 8000 埃，(圖 3-13)因此新的 clamp 確實較舊的 clamp 濺鍍覆蓋較廣的鋁銅薄膜。



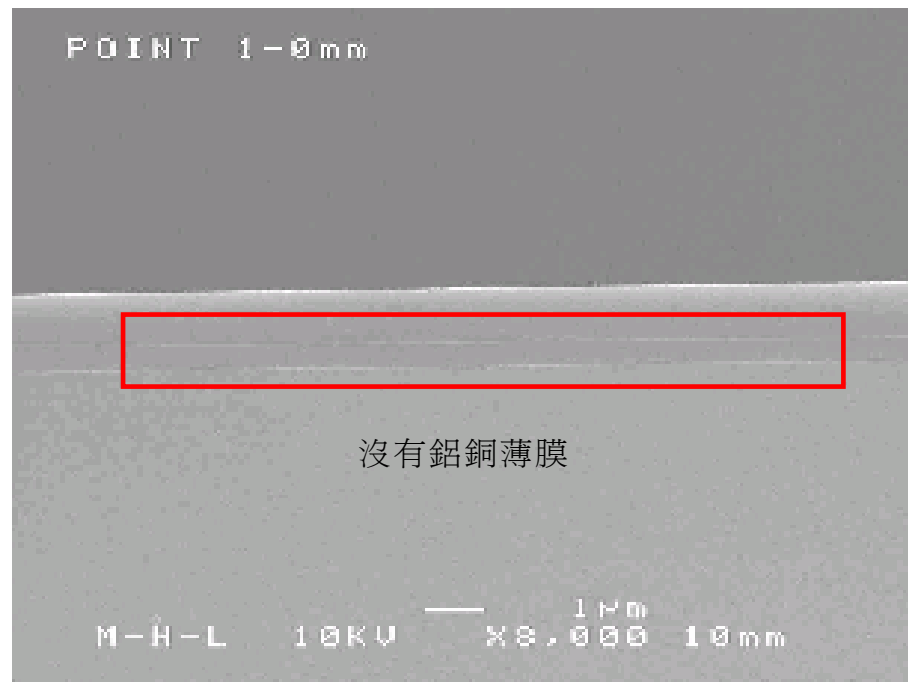


圖 3-11 距晶圓邊緣 0mm 處(center)

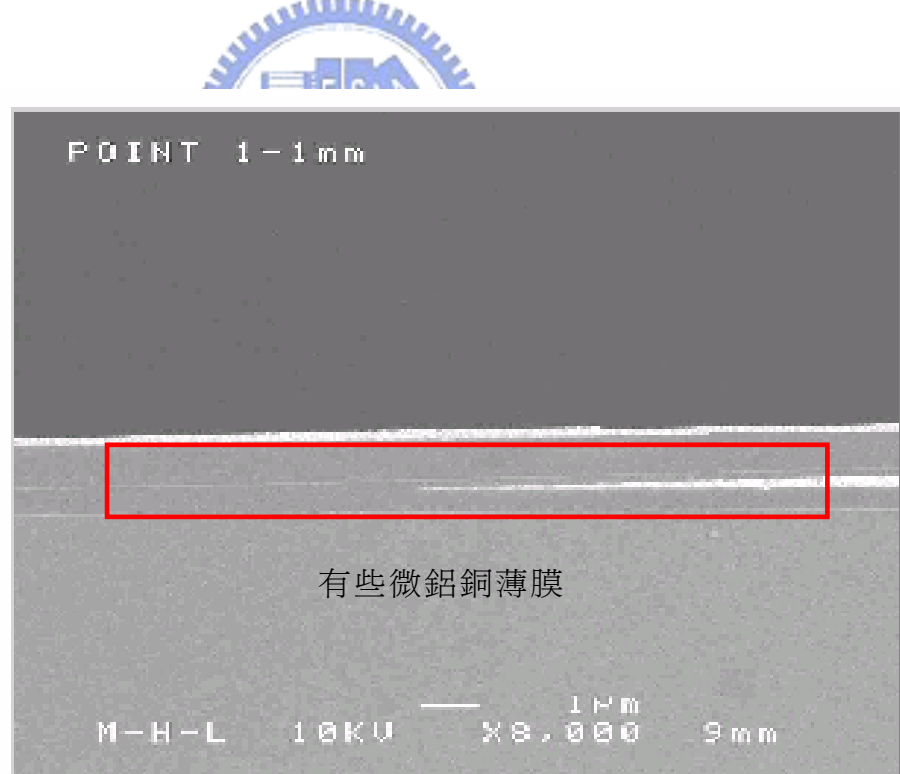


圖 3-12 距晶圓邊緣 1mm 處(center)

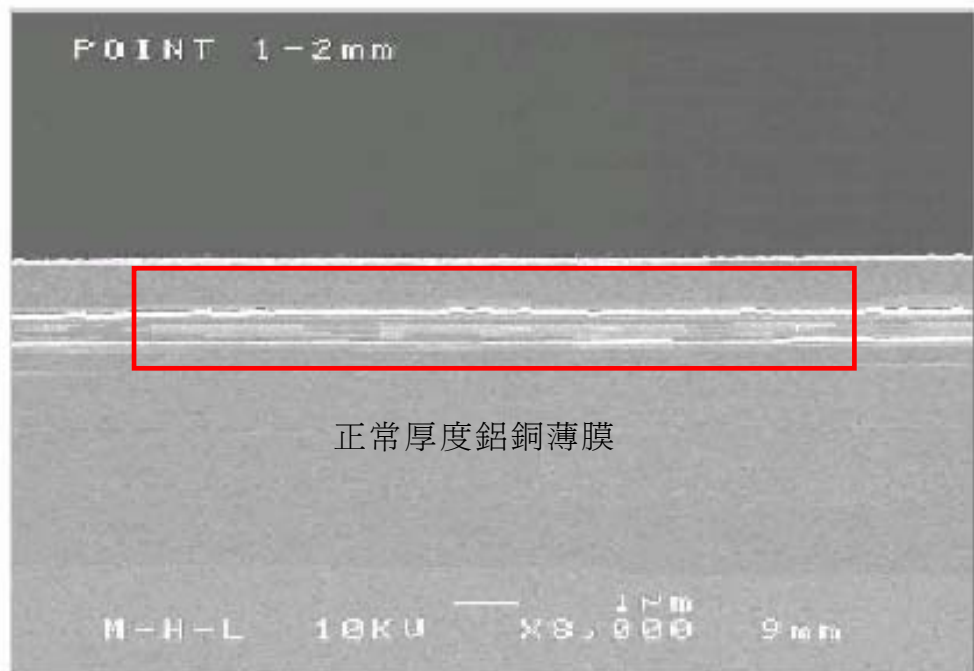


圖 3-13 距晶圓邊緣 2mm 處(center)

### 3.1.5 新夾鉗沈積之鋁銅薄膜反射係數量測

反射係數是金屬薄膜的一項重要特性。就一個穩定的金屬化製程而言，沈積薄膜的反射係數應該要保持在接近常數的範圍之內。反射係數在製程期間的改變即表示製程狀況的一個走勢。反射係數是薄膜的晶粒尺寸與表面平滑度的函數，而且需要加以控制。一般而言，晶粒尺寸較大則反射係數較低。而愈平滑的金屬表面就會有愈高的反射係數。反射係數的量測是一種簡單、快速且非破壞性的步驟。

反射係數對微影技術製程而言是相當重要的，因為它會引起駐波效應，所謂駐波效應便是當曝光的光線從光阻和基片的界面反射時，它會與入射進來的曝光光線產生干涉(interference)，並且會因為在不同的深度的建設性干涉及破壞性干涉而產生駐波效應(Standing Wave Effect)，駐波的圖形在圖 3-14 中說明。

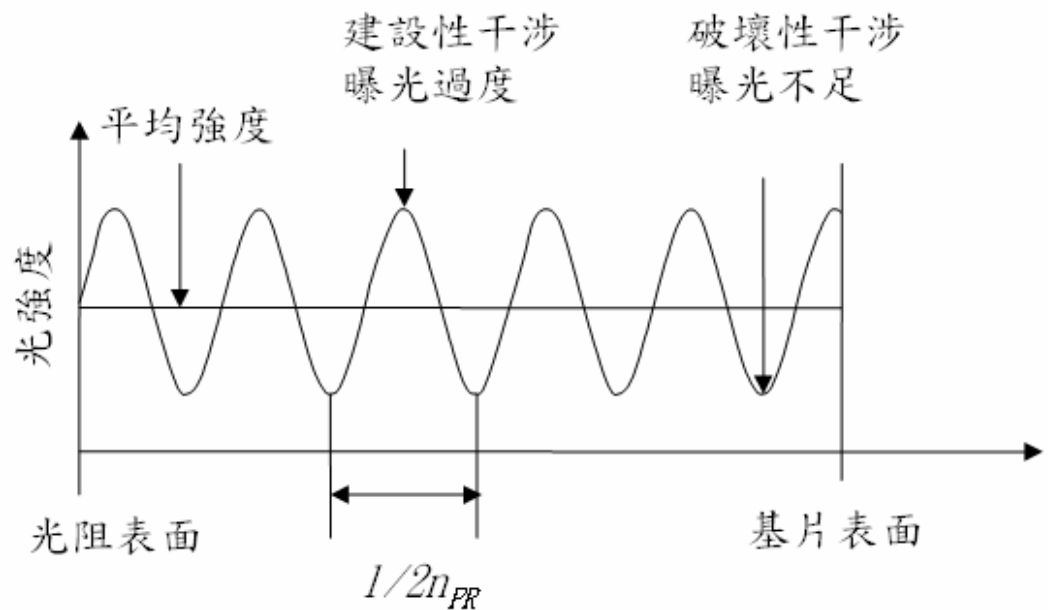


圖 3-14 駐波效應引起的光強度變化

駐波效應會在整個光阻產生週期性的過度曝光(Overexposure)與曝光不足(Underexposure)，會在光阻側壁上製造出起伏的波紋，如圖 3-15 所示。兩個波峰之間的距離就是曝光光線的波長( $\lambda$ )除以 2 乘上光阻的折射率(即  $2n_{PR}$ )。

當圖型尺寸較大時，駐波效應就不是一個主要的關鍵。當最小尺寸縮小時，有幾種方法可以用來降低反射所導致的駐波效應。(1)在光阻內添加染料以減少反射強度。(2)在晶

圓表面沈積金屬薄膜當做抗反射層 (Anti-reflection coating layer)，以減少及降低來自晶圓表面的反射。鋁銅薄膜便是採用第二種方法，於鋁銅薄膜沈積後再沈積 Ti/TiN 層，良做為抗反射層。

抗反射層鍍膜 (ARC) 在金屬圖案化製程中是非常必要的，特別是鋁的圖案化製程，因為鋁有非常高的反射係數（180 至 220%，相對於矽）。

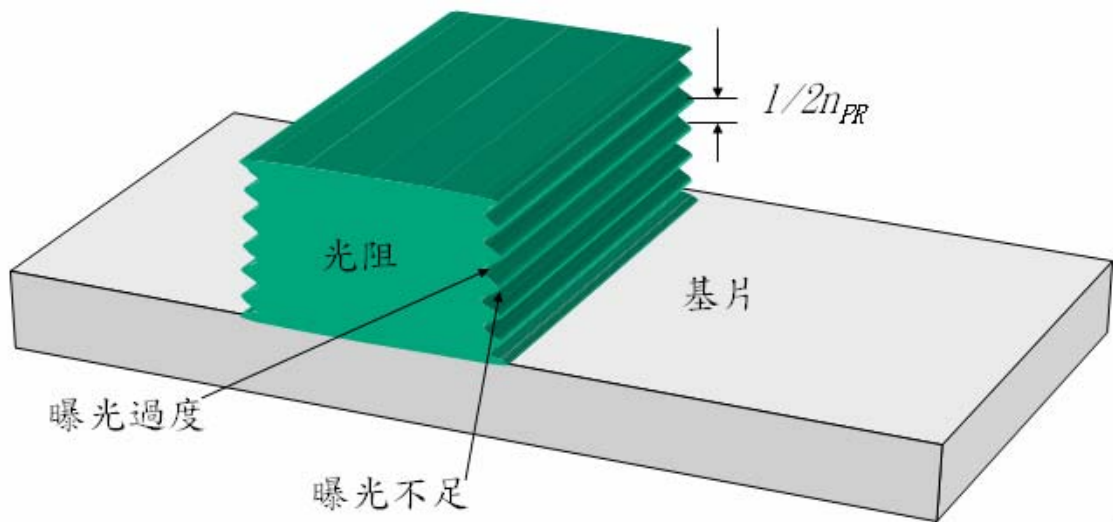


圖 3-15 駐波在光阻上的效應

反射係數可以藉著集中一道光束照在薄膜表面上，來量測反射光束的強度。反射係數的量測結果通常是採用以矽為基礎的相對值。

這次反射係數量測是由晶緣邊緣開始量起，每 0.5mm 量測一次共量 10 點後於晶圓中央取一點後再依相同方式於晶圓另半邊取 10 點。新舊夾鉗的反射係數比較圖 (如圖 3-16)。可看出新的夾鉗確實可增加鋁銅薄膜沈積的面積，且反射係數和原本的幾乎無差異。

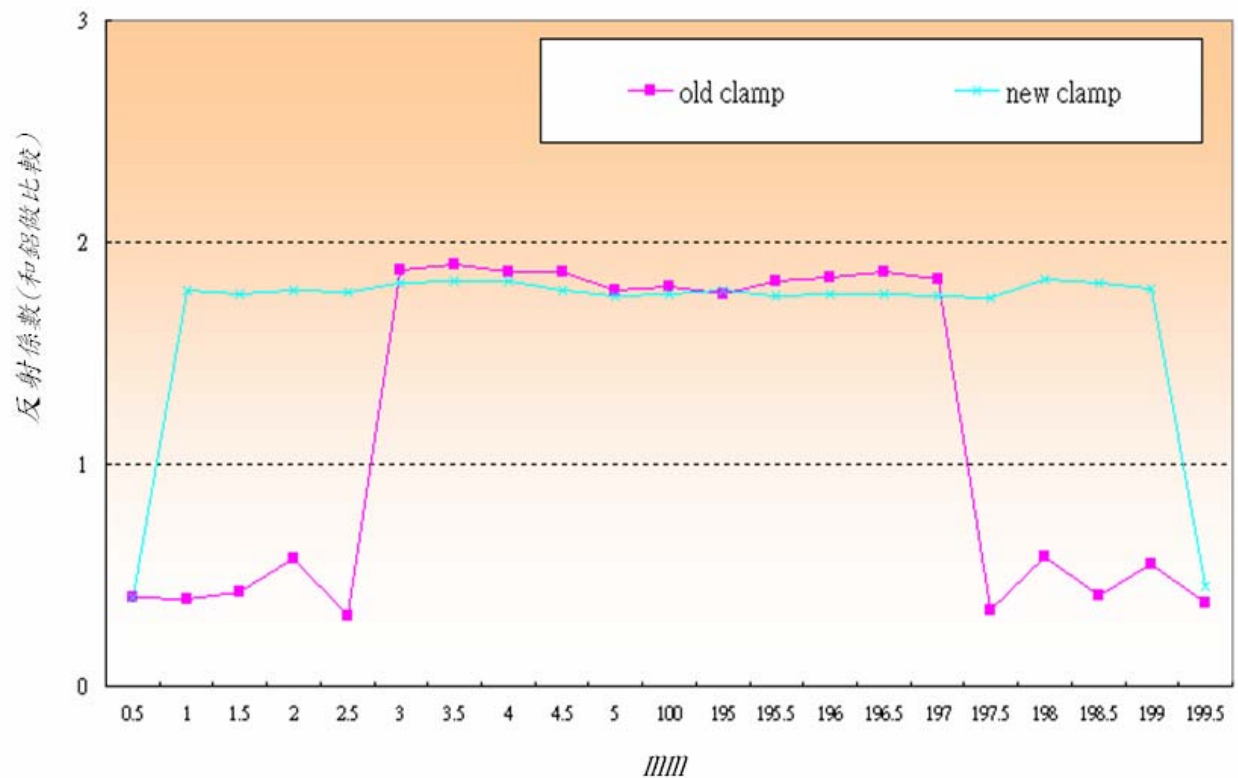


圖 3-16 新舊夾鉗鋁銅薄膜反射係數比較圖

### 3.1.6 WAT 開路良率量測

本節是實際量測 WAT(wafer acceptance test)測試項目中，第一層金屬導線有關的開路良率測試。這種測試線路是為於晶圓切割道上(Scribeline), 一般金屬導線測試電路有兩種(圖 3-17, 圖 3-18)。圖 3-17 為蛇型測試電路，其測試方試很簡單，便是直接將探針於 PAD 中量測電路有無導通。其導線線寬及導線間距會隨著不同金屬層及不同製程技術而有不同，一般是寫在設計準則中(Design Rule) 為半導體廠的機密之一。



圖 3-17 WAT 金屬導線開路測試電路(蛇型)

圖 3-18 是半導體較常用的測試電路，其圖案像是互相交錯的梳子，所以其電路稱之為梳子結構(Comb)。這種結構的好處是一種電路可測試短路(Short)和開路。在寶貴的晶圓上此種測試電路可減少測試面積。

若是要測開路良率，其測試方法便是將探針置於 PAD1 和 PAD2 中量測。若是測有無短路則將一隻探針放於 PAD1 或 PAD2 另一隻探針則置於 PAD3 便可測試有無短路。

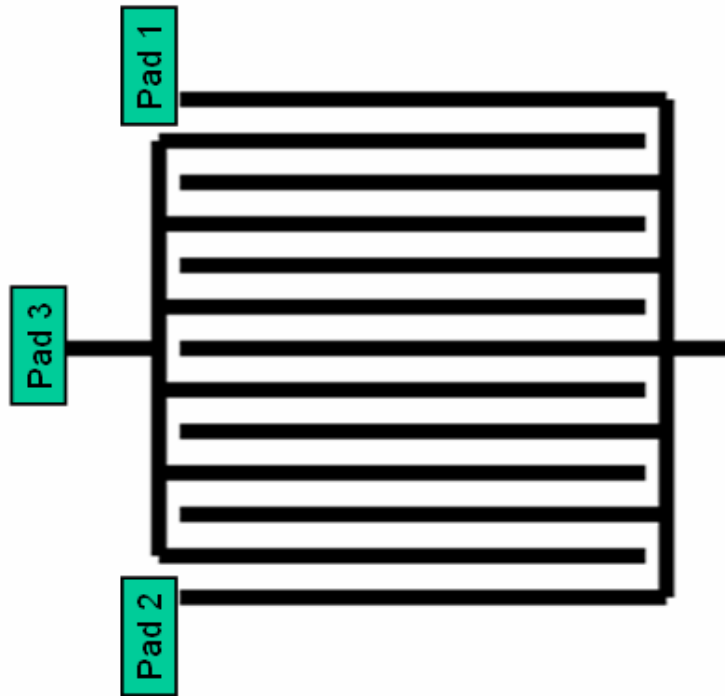


圖 3-18 WAT 金屬導線開短路測試電路(梳子型)

我們取六片(新舊夾鉗各三片)0.16  $\mu\text{m}$  製程的產品來量測開路良率可發現新的夾鉗開路 bin 良率高約 0.77%~1.25% 見表 4-1。由於鋁銅薄膜的覆蓋面積增加，減少了開路的機會。由表中可看出新的夾鉗的確能提升金屬導線開路 Bin 的良率。

metal open yield	Slot 1	Slot 2	Slot 3
New Clamp	99.12%	99.62%	98.87%
Old Clamp	97.87%	98.50%	98.10%
Yield gain	1.25%	1.12%	0.77%

表 3-1 新舊夾鉗金屬導線開路良率比較表

### 3.1.7 產品良率量測

我們選取了 0.15 製程的產品 11 片當作實驗組(A 組 6 片 B 組 5 片)用 0.1mm 的夾鉗，32 片(A 組 16 片 B 組 16 片)用原來 0.3mm 夾鉗當作對照組。實驗結果用新的夾鉗產品良率約較使用舊的夾鉗高約 1.1%~4.5%。可看出新夾鉗可增加產品良率，若以分區來看良率其差益則更為顯著。

	A組		B組	
	Old Clamp 3mm	New Clamp 1mm	Old Clamp 3mm	NewClamp 1mm
良                率       %	62.3	69.9	60.3	65.6
	63.9	70.3	68	73.2
	66.7	69.2	59	73.0
	61.6	66.6	69	67.6
	71.2	68.8	61.1	
	70.5	68.8	75.1	
	67.5		64.6	
	71.3		66.7	
	72.8		69.1	
	68.9		70.5	
	69.3		55.6	
	70.3		64.1	
	67.6		66.9	
	69.7		66.0	
	69.5		65.3	
	62.4		64.7	
AVG%	67.8	68.9	65.4	69.9

表 3-2 新舊夾鉗產品良率比較表



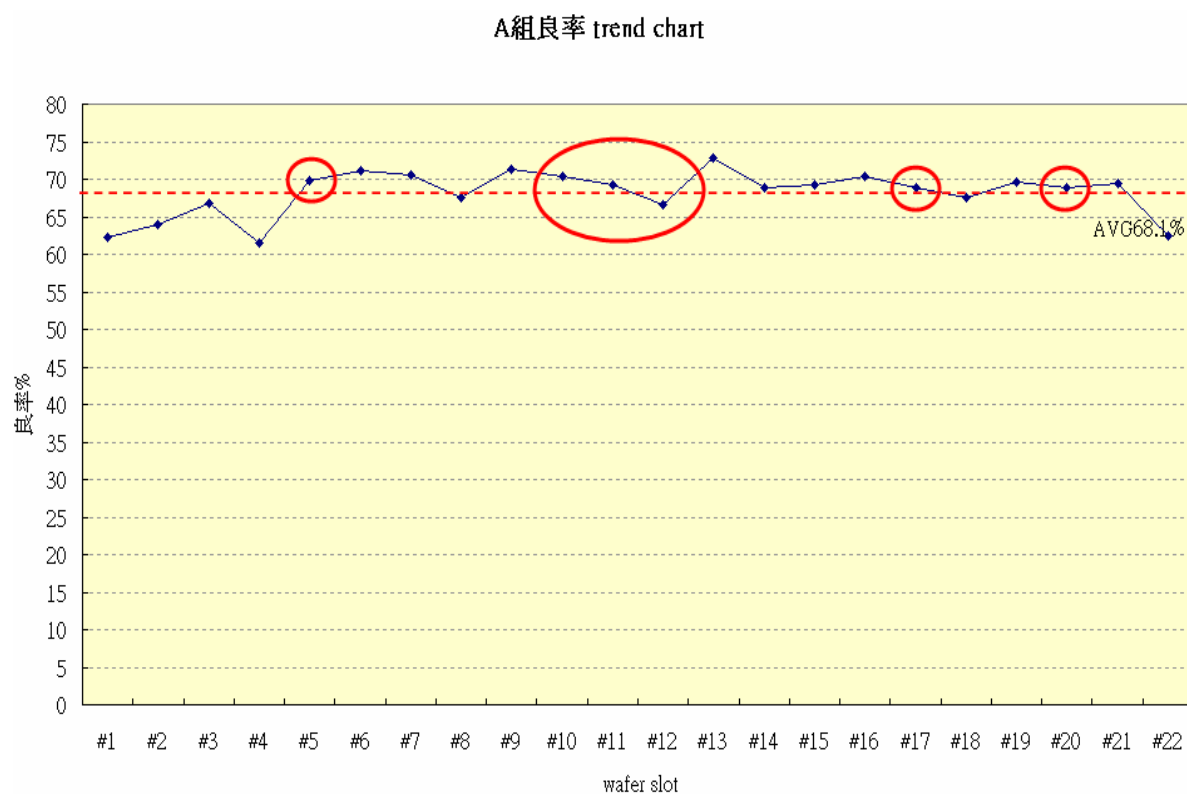


圖 3-19 A 組良率 trend chart 紅圈表示用新的夾鉗

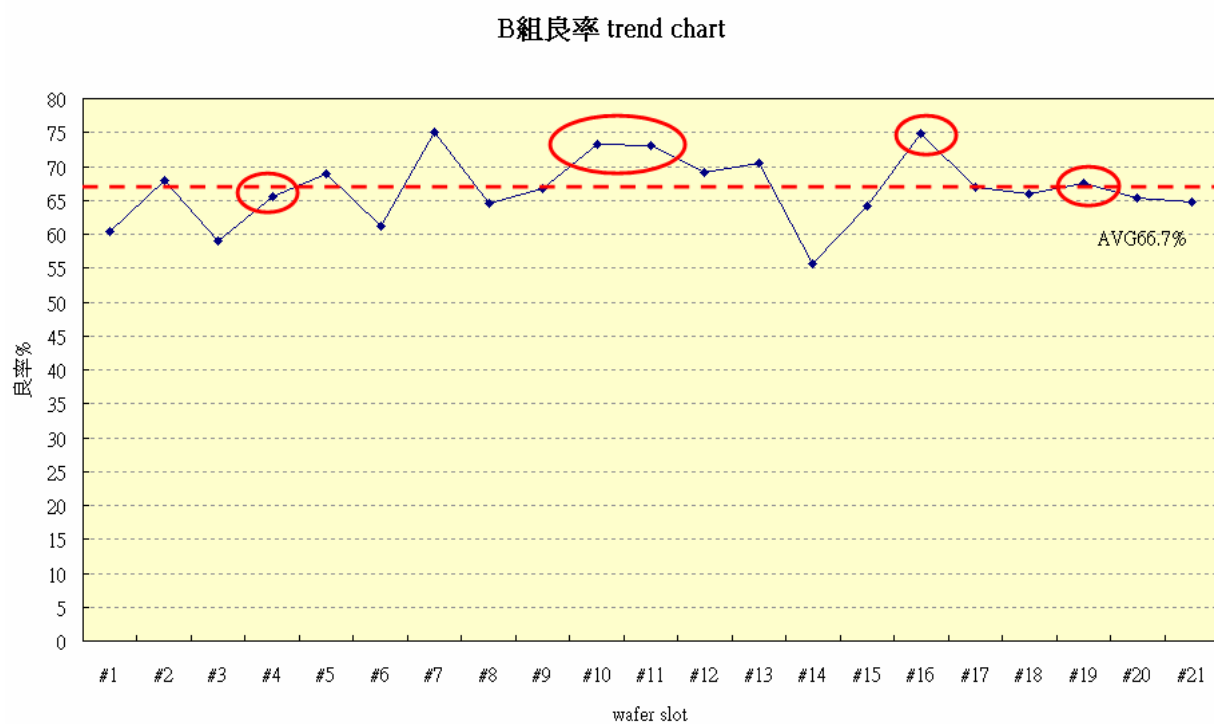


圖 3-20 B 組良率 trend chart 紅圈表示用新的夾鉗

若是分區來比較良率便可明顯看出，新的夾鉗確實能大幅改善晶圓邊緣產品的良率。

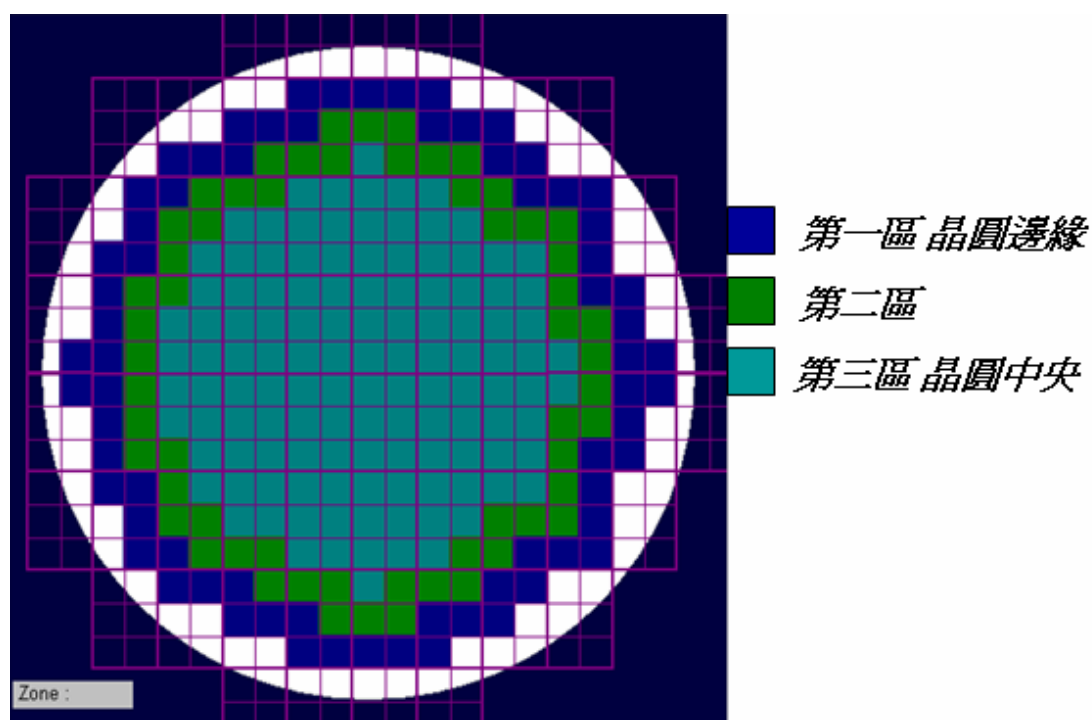


圖 3-21 晶圓分區圖

		第一區	第二區	第三區
A組	Old Clamp 3mm	60.4%	70.6%	70.8%
	New Clamp 1mm	63.3%	71.0%	71.2%
B組	Old Clamp 3mm	49.5%	72.2%	71.3%
	New Clamp 1mm	59.4%	75.2%	75.4%

表 3-3 分區良率比較表

### 3.2 鬚鬚狀缺陷(Whisker Defect)改善

我們發現 whisker defect 都發生於鋁銅薄膜厚度超過 8000 埃的產品上，由於鬚鬚狀缺陷於較大的鋁銅合金晶粒才較易會發生。而合金晶粒的大小和鋁銅薄膜的沈積溫度及反應室壓力有關(圖 3-21)。溫度越高顆粒越大(圖 3-22)，反應室壓力升高，較大的合金晶粒也會增加(圖 3-23)，或是鋁銅薄膜的厚度越厚，鬚鬚狀缺陷也就越容易發生。

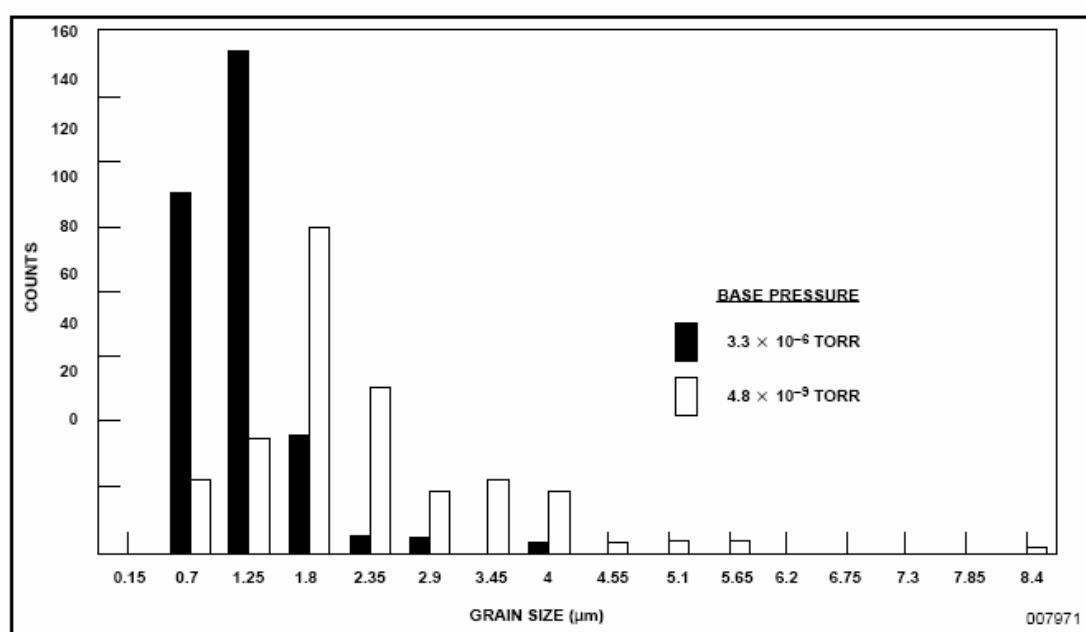


圖 3-22 鋁銅薄膜於攝氏 250 度反應室不同壓力晶粒大小分佈比較圖

(資料來源 AMAT)

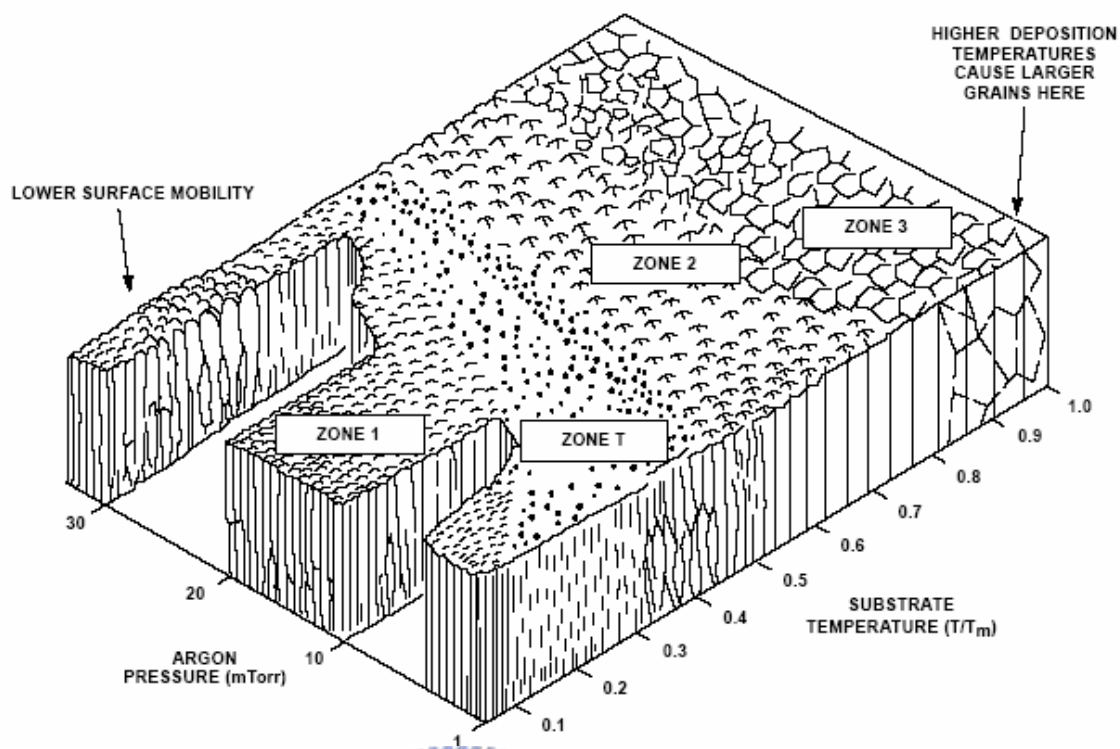
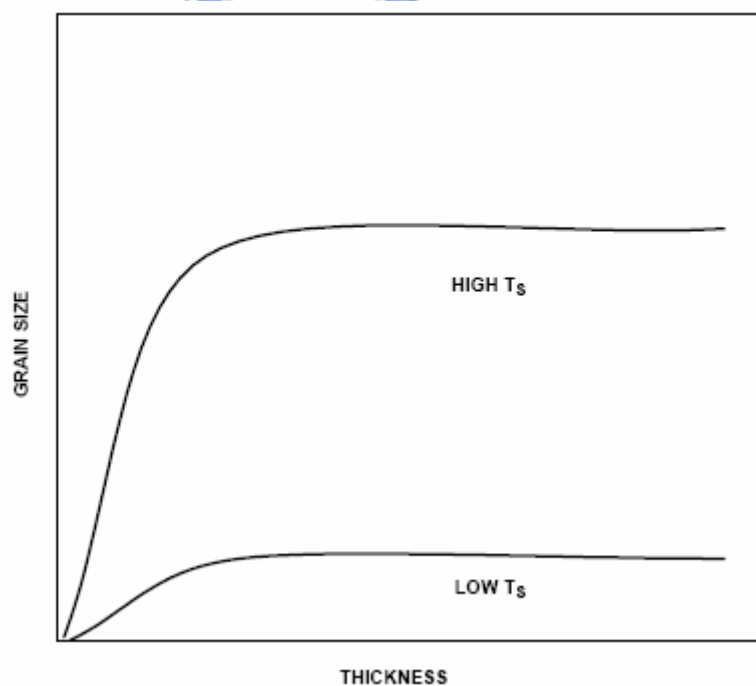


圖 3-23 鋁銅薄膜沈積溫度和晶粒大小趨勢圖  
(資料來源 AMAT)



3-24 鋁銅薄膜晶粒大小和鋁銅薄膜厚度關係圖  
(資料來源 AMAT)

### 3.2.1 反應室壓力和溫度對鬚鬚狀缺陷數目之影響

根據上節推論，我們檢查 PVD 機台參數後，發現 Whisker defect 數量和 PVD 機台晶圓背面壓力及晶圓背面溫度呈現強烈的正相關。(圖 3-25，圖 3-26)

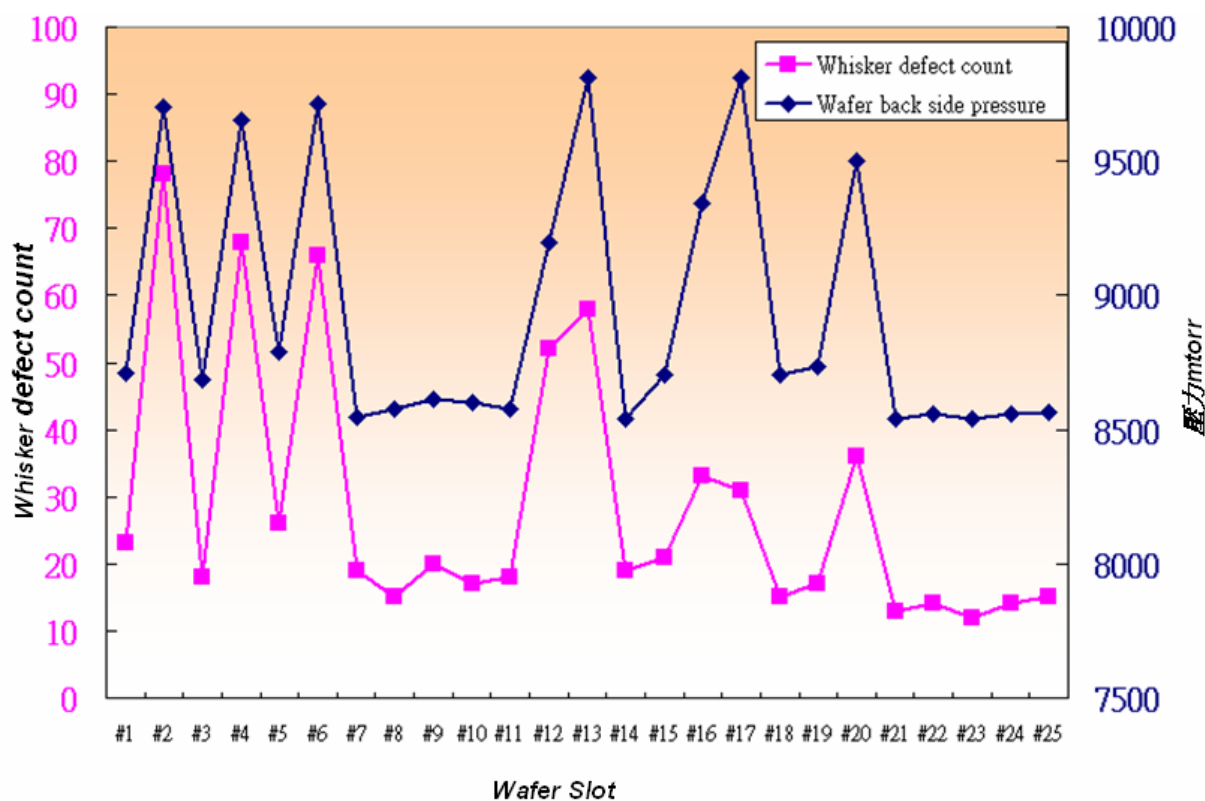


圖 3-25 鬚鬚狀缺陷數目和晶圓背面壓力關係圖

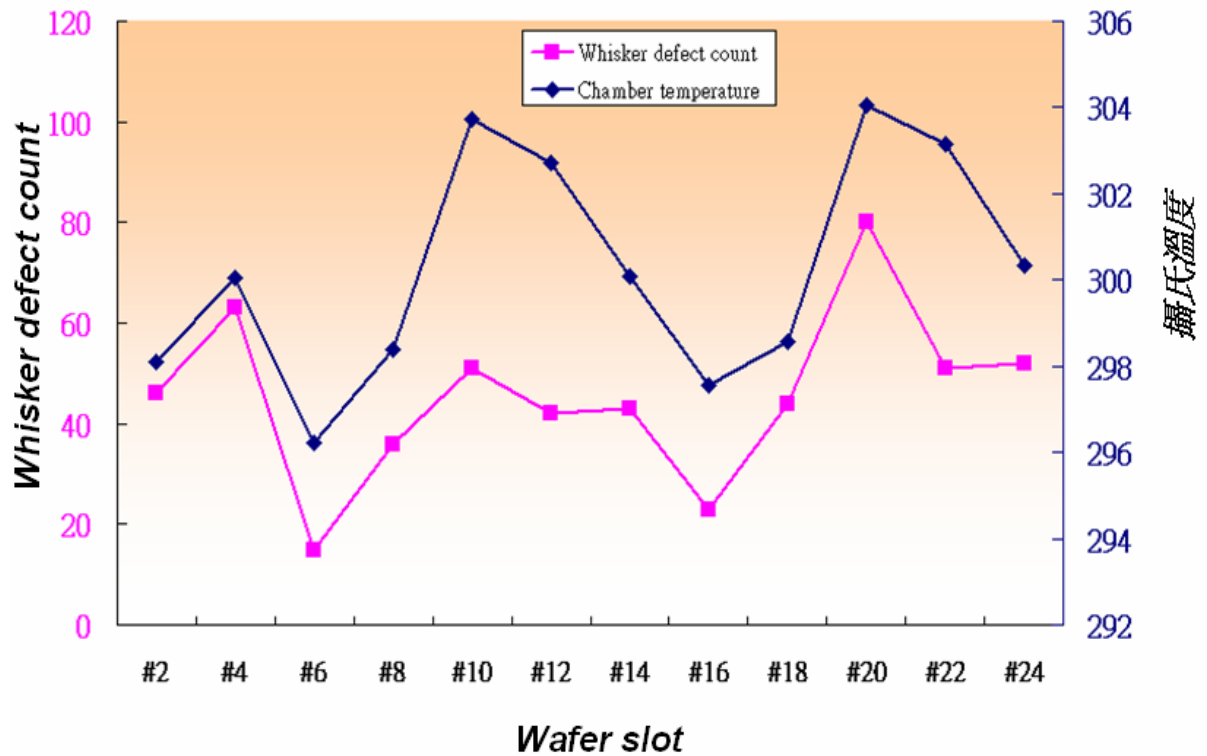


圖 3-26 鬚鬚狀缺陷數目和晶圓背面溫度關係圖

### 3.2.2 Thermal budget 對鬚鬚狀缺陷數目之影響實驗

因為PVD反應室於沈積鋁銅薄膜時整個反應室是處於高度的真空狀態，所以晶圓背面的溫度是藉由介質氮氣( $N_2$ )來達到晶圓升溫的目的地，所以可以確認 “溫度” 是造成whisker defect的主因。因此控制溫度(thermal budget)是解決whisker defect主要研究方向。

由表 3-4 可發現 晶圓於鋁銅薄膜沈積前靜置於反應室 10 分鐘不僅 whisker defect 數目大幅增加，whisker defect size 也較其餘兩個條件大了許多。因此如何於沈積鋁銅薄膜前降低晶圓溫度便是我們努力的目標。

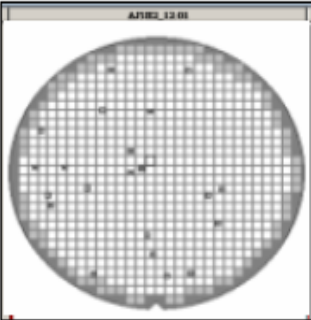
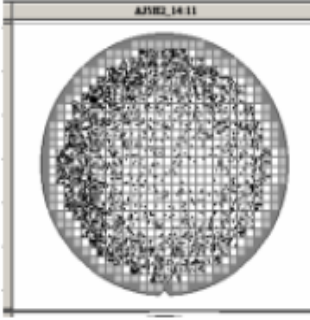
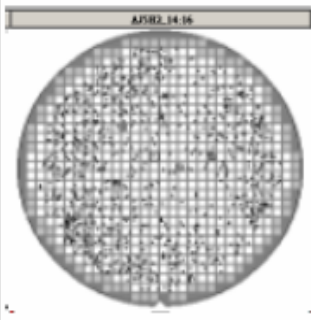
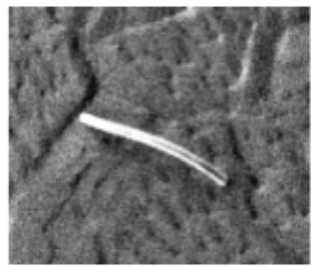
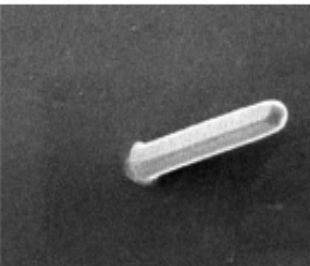
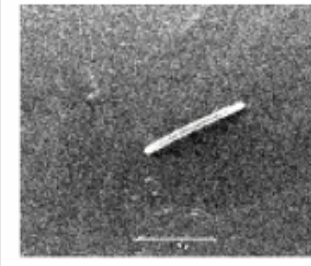
	Stay in chamber <b>1</b> mins after AL sputter	Stay in chamber <b>10</b> mins before AL sputter	Stay in chamber <b>10</b> mins after AL sputter
	Wisker count /defect count <b>002/025</b>	Wisker count /defect count <b>1456/2696</b>	Wisker count /defect count <b>531/916</b>
Wafer map			
Image			

表 3-4 熱累積對胡鬚狀缺陷的影響

### 3.2.3 使用冷卻製程對鬚鬚狀缺陷數目之影響實驗

沈積鋁銅薄膜前會先沈積鈦(Ti)/氮化鈦(TiN) 之後便會沈積鋁銅薄膜，我們於沈積鋁銅薄膜前將沈積完 Ti/TiN 的晶圓於 buffer chamber A 冷卻 30 秒後再沈積鋁銅薄膜，其示意圖 3-27 。

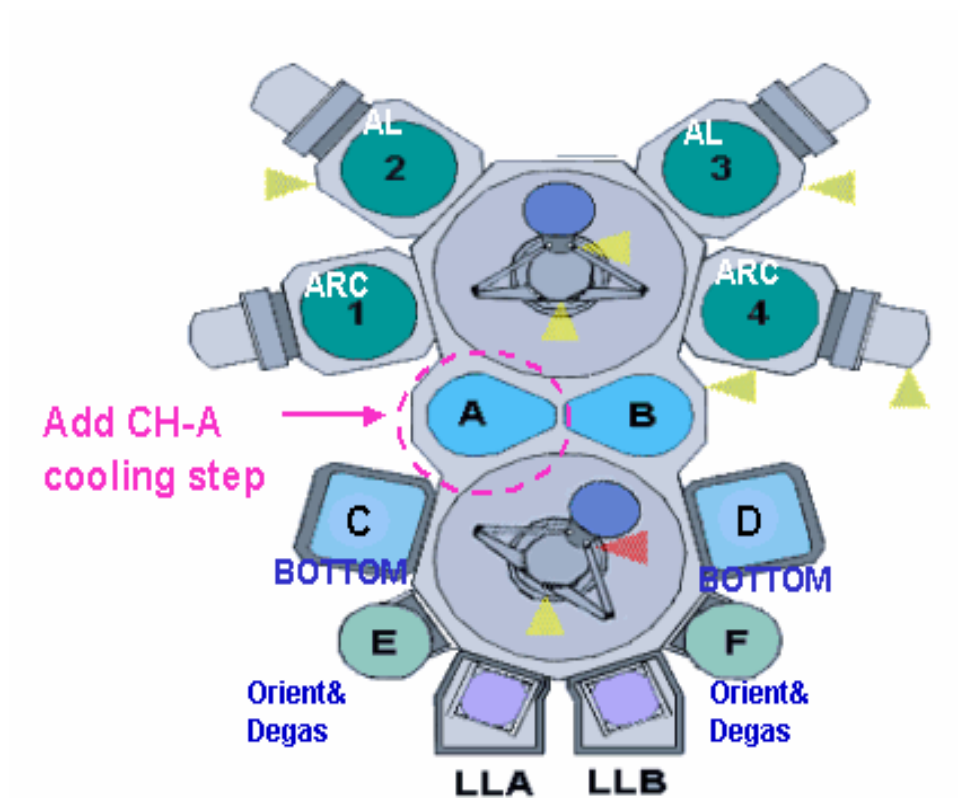


圖 3-27 增加冷卻製程示意圖

表 3-5 為使用 cooling step 和使用原來製程 whisker defect 生成數目比較表。由表中可發現使用 cooling step 沈積鋁銅薄膜即使靜置於反應室五分鐘仍完全沒有 whisker defect 的產生。



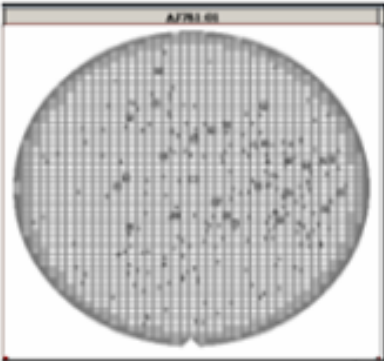
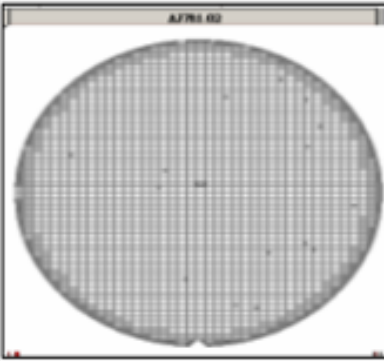
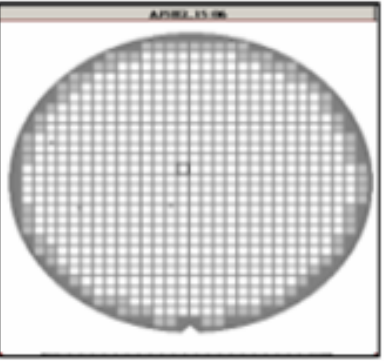
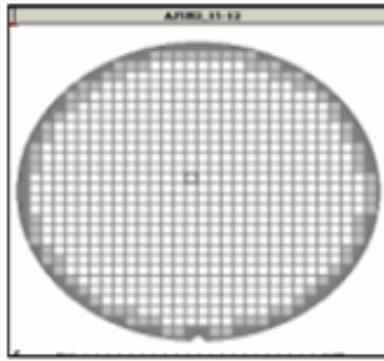
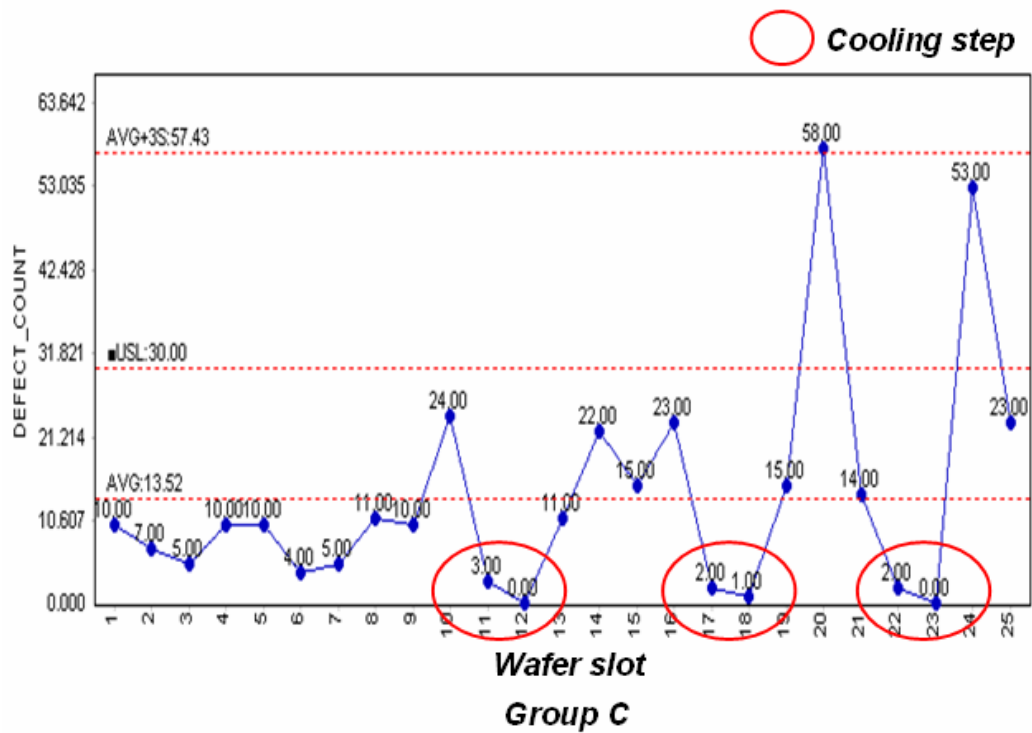
	Stay in chamber 5 mins before AL sputter	Stay in chamber 5 mins after AL sputter
Standard recipe	Wisker defect :232 	Wisker defect :15 
Add cooling	Wisker defect :0 	Wisker defect :0 

表 3-5 使用冷卻製程靜置反應室五分鐘和標準製程靜置反應室五分鐘胡鬚狀缺陷數目比較表

我們取 50 片晶圓 分 2 組(C 組和 D 組)實驗，其中 12 片為實驗組 38 片為對照組，發現用 cooling step 製程的實驗組 whisker defect 的數量都大幅的少於對照組(標準製程)(圖 3-28, 圖 3-29, 表 3-6)，因此增加 cooling step 製程確實可有效減少 whisker defect 的數目。



圖

3-28 實驗 C 組標準製程和使用增加冷卻製程鬚鬚狀缺陷數目比較圖

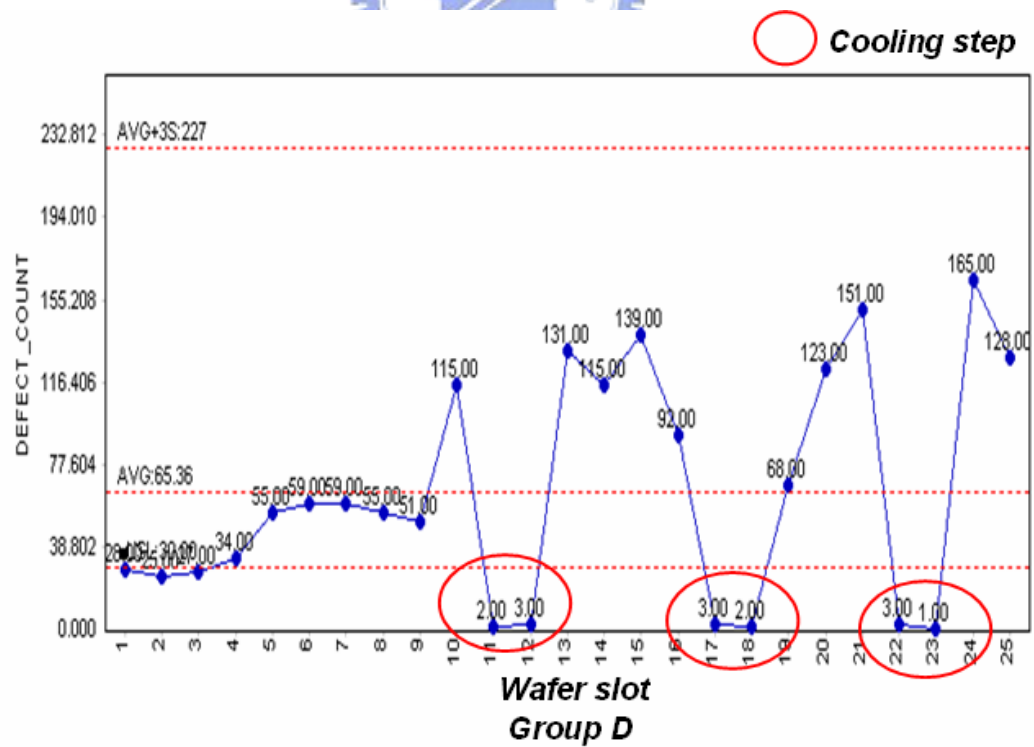


圖 3-29 實驗 D 組標準製程和使用增加冷卻製程鬚鬚狀缺陷數目比較圖

	Add cooling step recipe			Standard recipe		
	AVG	Max	Min	AVG	Max	Min
Group C	1.33	3	0	17.37	58	4
Group D	2.33	3	1	85.94	165	25

表 3-6 冷卻製程和標準製程鬚鬚狀缺陷數目比較表

### 3.2.4 Cooling step 製程其 Rs 及良率和標準製程比較

在 WAT 測試項目中，我們主要是看金屬 Rs 值會不會因為用 cooling step 製程後而有差異，由於晶圓背會中央會有 35sccm (Standard Cubic Centimeter per Minute) 的氮氣流出所以晶圓中央的溫度會較邊緣來的略低一些，故晶圓的中央處 Rs 值會較晶圓邊緣略高，可參考圖 3-30

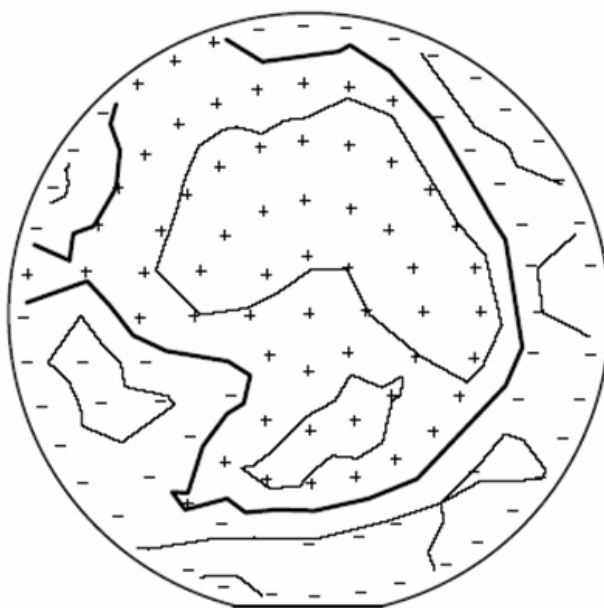


圖 3-30 鋁銅薄片電阻分佈圖

我們將一片晶圓測五個點（圖 3-31）由表可看出 cooling step 製程和標準製程其 Rs 值幾乎是沒有差異的。

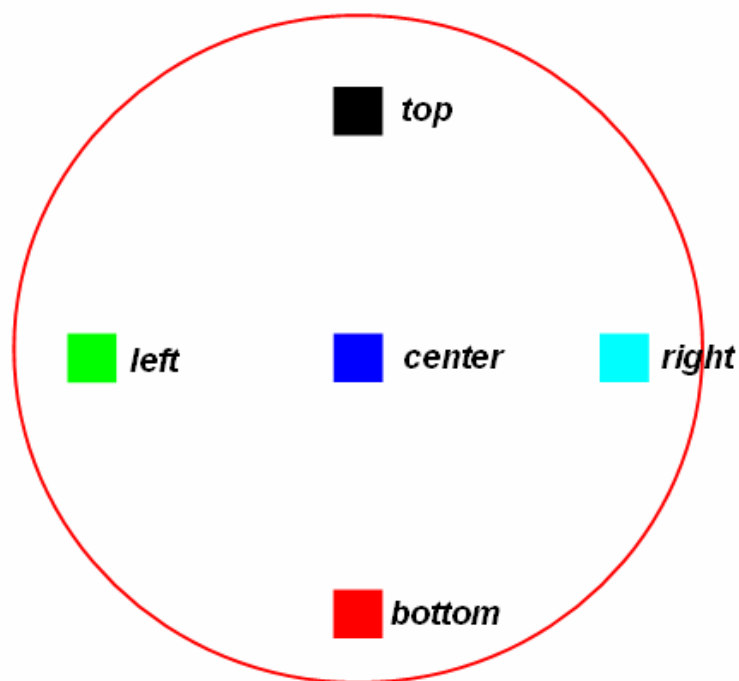


圖 3-31 Rs 測試圖

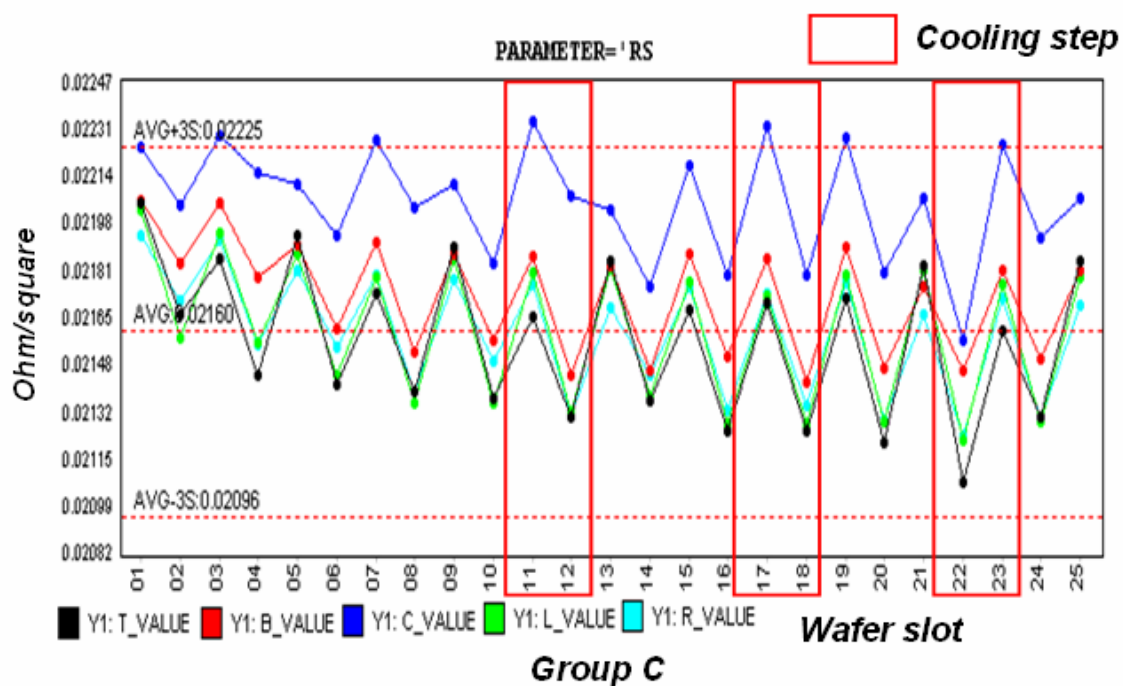


圖 3-32 實驗 C 組 鋁銅薄膜 Rs trend chart

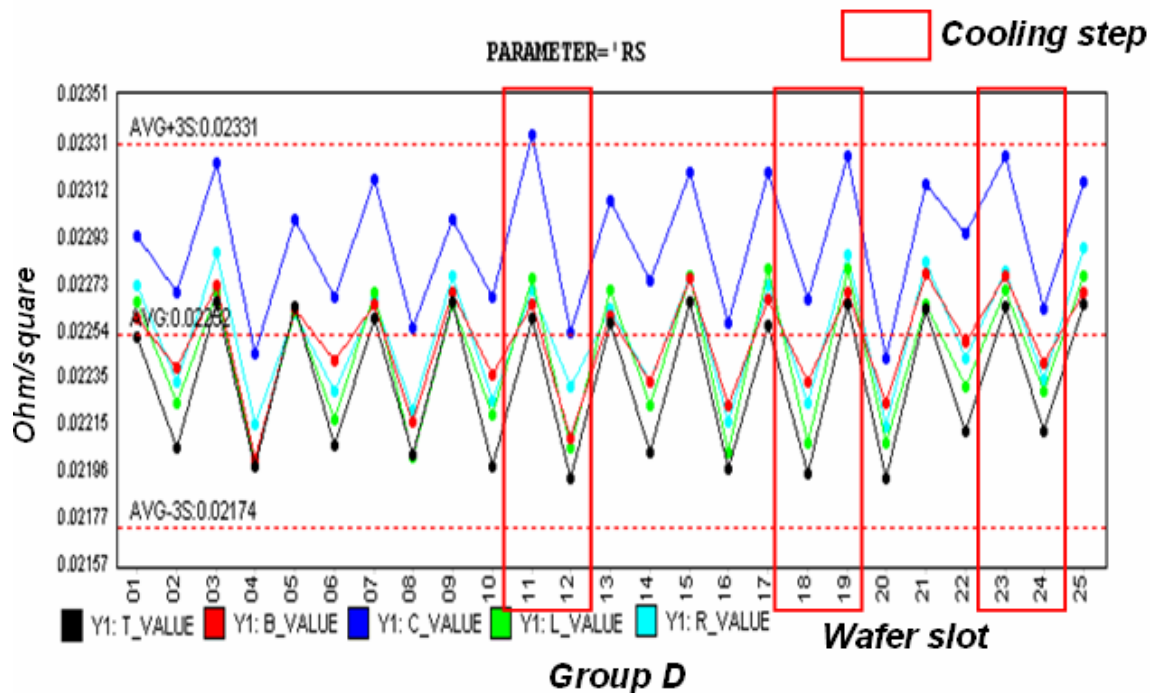


圖 3-33 實驗 D 組 鋁銅薄膜 Rs trend chart

		Add cooling step recipe			Stardand recipe			
	Parameter	Average	STD	Count	Average	STD	Count	DIFF
Group C	Rs	2.16E-02	2.55E-04	6	2.17E-02	2.09E-04	19	-0.0062%
Group D	Rs	2.26E-02	2.93E-04	6	2.25E-02	2.74E-04	19	0.0057%

表 3-7 冷卻製程和標準製程 Rs 值比較表

在良率比較方面，C 組 cooling step 製程較標準製程少 0.15%，D 組 cooling step 製程則較標準製程增加 0.09%，兩種製程其良率幾無差異，由此可知 whisker defect 並不是殺手缺陷(Killer defect)，不會造成良率損失。

雖然 whisker defect 目前對於良率並沒有影響，但在缺陷檢查時，少了 Whisker defect 的干擾，可讓我們易找出會影響良率的缺陷，並針對這些缺陷加以改善以增加產品良率。

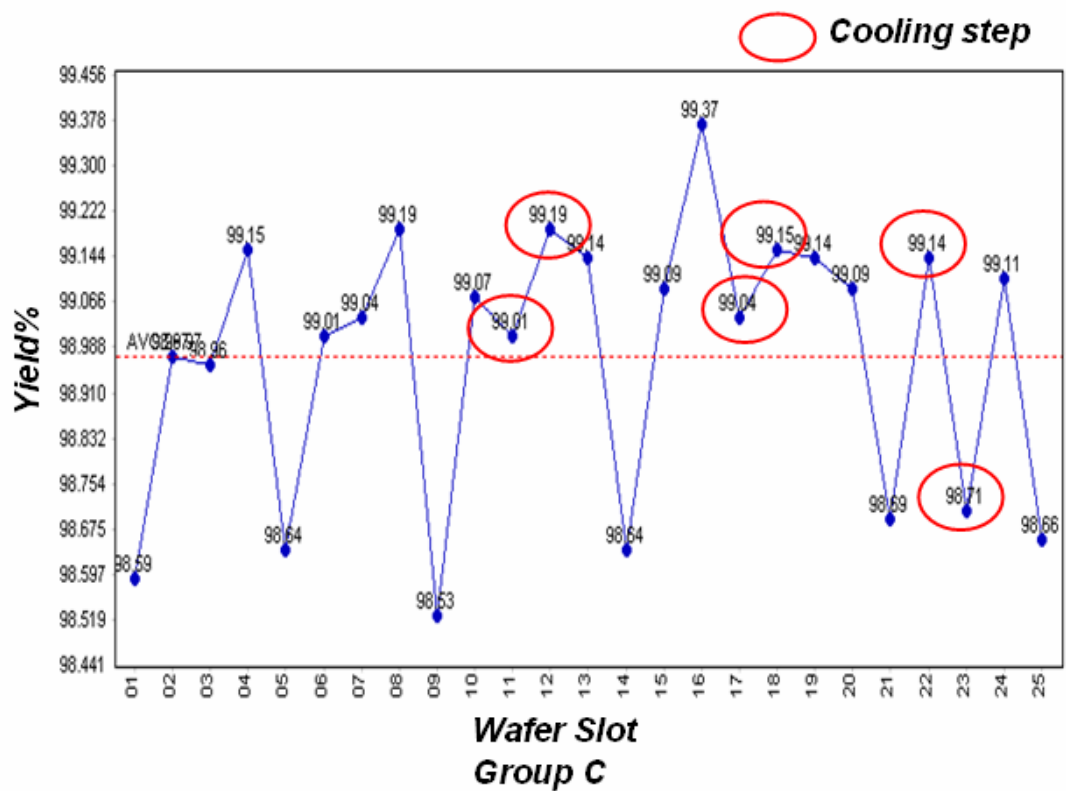


圖 3-34 實驗 C 組 良率 trend chart

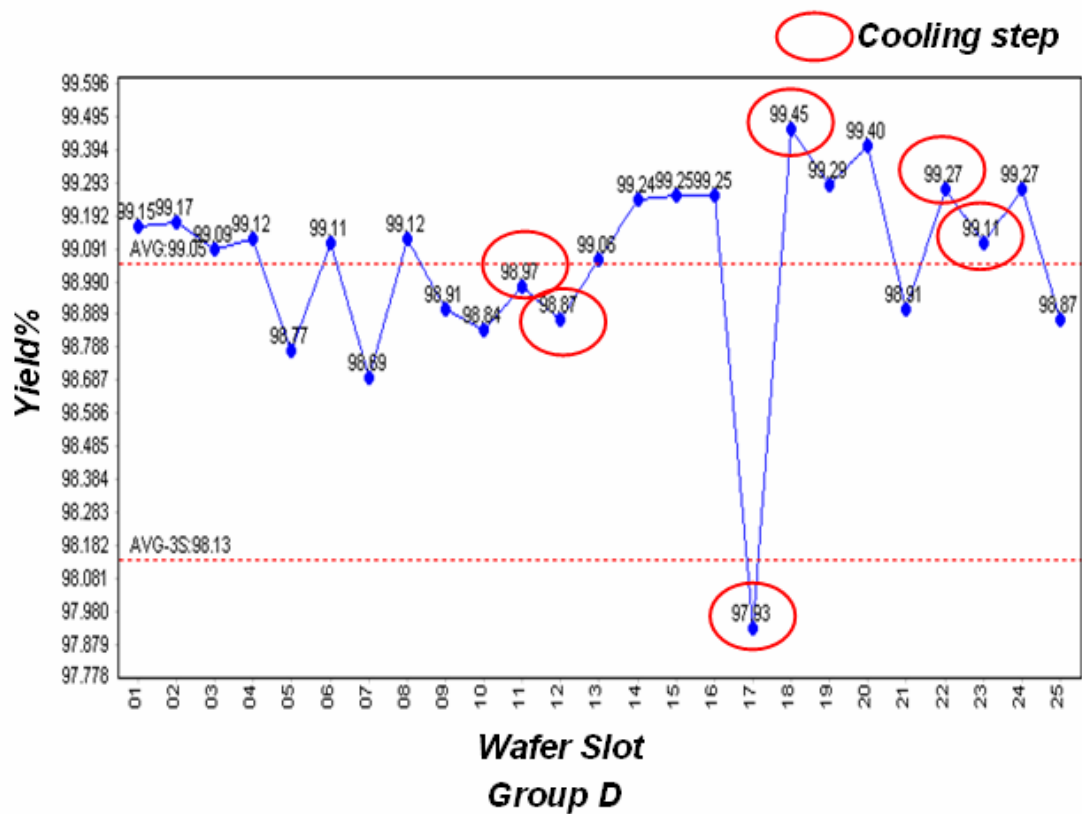


圖 3-35 實驗 D 組 良率 trend chart

Group	Parameter	Add cooling step recipe			Standard recipe		
		Average	STD	Count	Average	STD	Count
Group C	Yield	98.93	0.53	6	99.08	0.2	19
Group D	Yield	99.04	0.18	6	98.95	0.25	19

表 3-8 冷卻製程和標準製程良率比較表

### 3.3 薄膜內微粒缺陷(In film particle defect)改善

由 2.3 可知薄膜內微粒缺陷其主要成份是 Ti 和 TiN，我們研究方向主要是針對薄膜內微粒缺陷移除來做研究。

#### 3.3.1 使用 2step 製程對薄膜內微粒缺陷數目之影響實驗

鋁銅薄膜的結構如圖 3-36 這五層薄膜都是在 PVD 多腔反應室由下至上依序完成。為改善缺陷數目，我們把 bottom Ti/TiN 完成的晶圓移出 PVD 反應室後送進晶圓清洗機台，晶圓清洗製程完成後再送回 PVD 機台完成剩下的三層薄膜。如圖 3-37

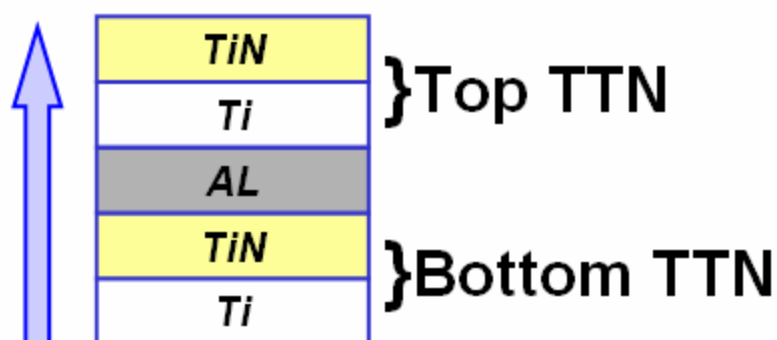


圖 3-36 鋁銅薄膜結構示意圖



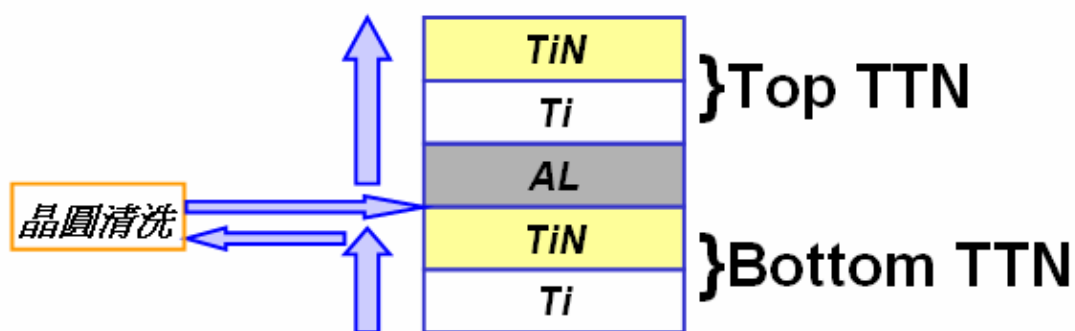


圖 3-37 2 step 製程示意圖

我們取 69 片晶圓分 E F G 三組實驗，其中 E 組有 10 片為實驗組 13 片為對照組，F 組有 11 片為實驗組 10 片為對照組，G 組有 12 片為實驗組 13 片為對照組。實驗後發現用 2step 製程的實驗組，缺陷數目都少於對照組(表 3-9 表 3-10)。

slot	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25
1 STEP																									
2 STEP																									
E組	3	2	4	0	5	4	2	2	/	2	1	1	2	6	2	0	5	1	9	12	1	3	2	4	/
F組	/	2	/	3	2	1	6	5	1	0	0	/	/	22	1	0	4	1	12	6	2	0	5	3	1
G組	4	4	2	0	3	9	7	2	1	2	5	4	2	2	2	1	7	1	7	6	7	3	1	2	3

表 3-9 鋁銅薄膜薄膜內微粒缺陷數目

Defect Count	E組	F組	G組
1 Step AVG	4.15	6.10	4.92
2 Step AVG	1.90	1.45	1.92

表 3-10 E F G 組 鋁銅薄膜薄膜內微粒缺陷 數目比較  
表

### 3.3.2 晶圓清洗製程介紹

我們所使用的晶圓清洗是屬於濕式清潔法來清除薄膜內微粒缺陷。其方式便是以一個會旋轉的真空夾頭吸住晶圓，同時噴出高壓去離子水於晶圓上，利用液體與微粒間的應剪力將微粒清除。

### 3.3.3 2step 製程和標準製程良率比較

在產品良率部份：使用 2step 製程的良率約較 1step 製程的良率高 0.72%~1.57%。由實驗結果可以確認，使用 2step 的鋁銅薄膜沈積製程可減少 In-film particle 的數目，並能增加產品良率。(表 3-11)

	E組	YIELD	F組	YIELD	G組	YIELD
2 step	E組-2	88.09	F組-2	83.98	G組-2	90.35
	E組-4	87.06	F組-4	83.57	G組-4	90.76
	E組-5	86.24	F組-5	81.11	G組-5	84.6
	E組-10	87.68	F組-9	85.42	G組-9	88.91
	E組-13	89.12	F組-10	82.34	G組-10	87.68
	E組-15	87.06	F組-15	88.09	G組-13	85.01
	E組-16	86.86	F組-16	85.83	G組-15	87.89
	E組-18	89.12	F組-18	91.58	G組-16	90.97
	E組-22	88.91	F組-22	85.42	G組-18	87.06
	E組-23	81.52	F組-23	87.06	G組-22	87.47
			F組-25	84.39	G組-23	88.5
					G組-25	84.8
	Average	87.17		85.34		87.83
1 step	E組-1	81.93	F組-6	80.29	G組-1	80.49
	E組-3	86.24	F組-7	82.55	G組-3	88.71
	E組-6	89.53	F組-8	83.57	G組-6	88.3
	E組-7	86.65	F組-11	80.29	G組-7	88.3
	E組-8	83.57	F組-14	85.63	G組-8	88.09
	E組-11	88.91	F組-17	87.68	G組-11	89.12
	E組-12	80.7	F組-19	86.86	G組-12	88.71
	E組-14	89.94	F組-20	85.83	G組-14	89.12
	E組-17	85.83	F組-21	88.09	G組-17	83.37
	E組-19	88.09	F組-24	85.42	G組-19	83.16
	E組-20	84.6			G組-20	86.86
	E組-21	89.94			G組-21	83.78
	E組-24	87.27			G組-24	83.37
	Average	86.40		84.62		86.26

表 3-11 E F G 組 2step 和 1step 製程良率比較表

## 第四章 結論

在本研究中，藉由改造鋁銅薄膜沈積反應室夾鉗的設計我們有效減少了”陰影效應”影響的面積，使鋁銅薄膜的覆蓋面積增加 4.1%，減少金屬導線斷線的機率 1%，增加了位於晶圓邊緣的產品良率 1.1%~4.5%。在鋁銅薄膜缺陷改善方面：藉由製程的修改可有效降低,whisker defect 和 in-film particle 的產生，進而增加產品良率 0.72%~1.57%。

在技術已相當成熟的鋁銅製程中唯有成本控制及良率提昇才有辦法替公司創造更大的利潤。此次研究中也發現六個夾鉗會影響最接近 dice 的良率(視不同產品而定)。以這次實驗的產品為例，約會影響 8 個 dice(圖 4-1) 若在進沈積反應室前將晶圓轉個 30 度，被夾鉗影響的 dice 便會減少為 4 個(圖 4-2)。

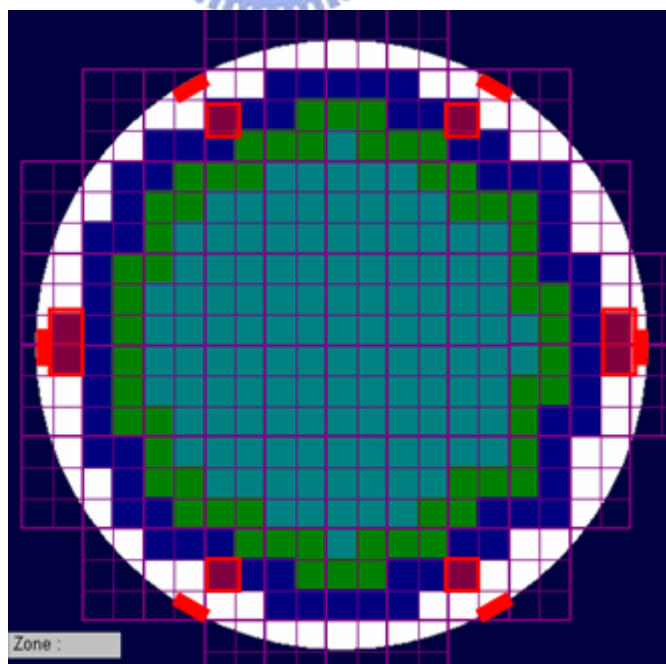


圖 4-1 不轉角度受影響的 dice 達到 8 個

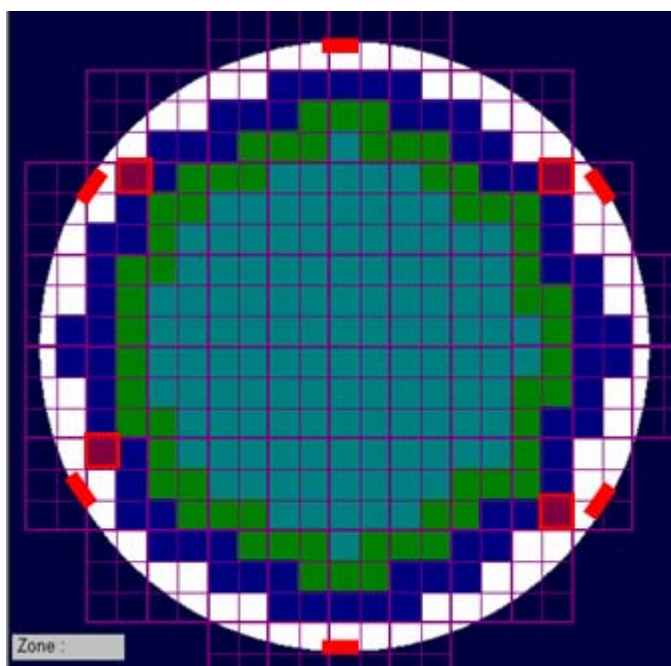


圖 4-2 轉 30 度受影響的 dice 減少為 4 個

由於夾鉗會影響到良率，所以減少夾鉗數目便是下一階段努力的目標。目前是計畫將 6 個夾鉗改為 4 個。但由於夾鉗數量的修改會影響到整個反應室模組的設計，如加熱板等，耗費較大。因此在效益上仍有待評估。

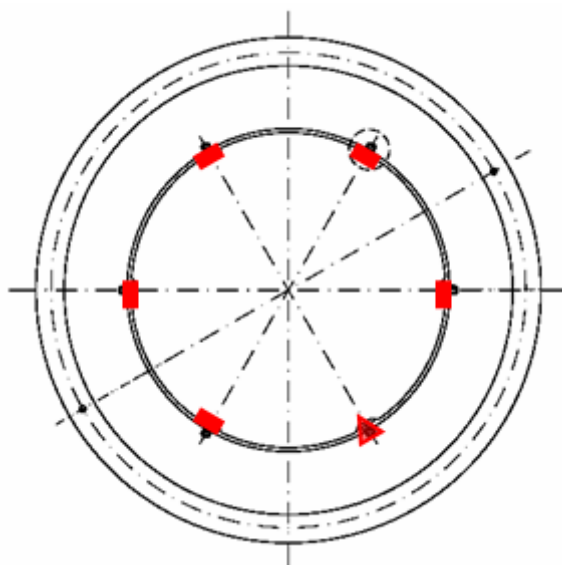


圖 4-3 6 個夾鉗位置

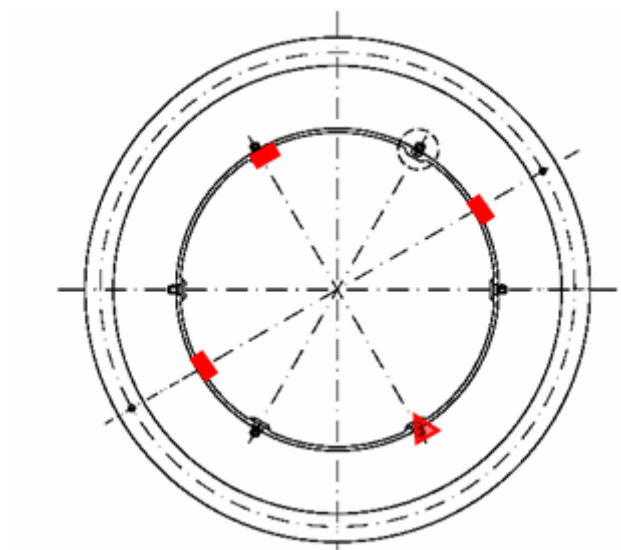


圖 4-4 4 個夾鉗位置

