

# 國立交通大學

工學院專班半導體材料與製程設備學程

## 碩士論文



記憶體元件電致發光的量測

Electroluminescence measurements of memory devices

研究生：陳郁如

指導教授：潘扶民博士

中華民國九十四年七月

記憶體元件電致發光的量測

Electroluminescence measurements of memory devices

研 究 生：陳 郁 如

Student : Yu-Ru Chen

指 導 教 授：潘 扶 民 博 士

Advisor : Dr. Fu-Ming Pan

國 立 交 通 大 學

工學院專班半導體材料與製程設備學程



Master Degree Program of Semiconductor Material and Processing Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

In

Program of Semiconductor Material and Processing Equipment

July 2005

Hsinchu, Taiwan, Republic of China.

中華民國 九十四年七月

# 記憶體元件電致發光的量測

學生：陳郁如

指導教授：潘扶民 博士

國立交通大學 工學院專班半導體材料與製程設備學程

## 摘要

本研究主要藉由探討 NBit 記憶體元件發光的情況，推測並驗證其可能的發光機制，也藉由光譜分析，觀察電子電洞與儲存陷獲 (trapped) 之間的關係與物理機制，以期盼能了解氮化矽層對載子陷獲的特性，最終能幫助此元件在對於電荷儲存特性的了解並協助技術上順利的開發。

NBit 記憶體元件為一 n 型通道金氧半場效電晶體 (MOSFET)，其原本於閘級之下之氧化矽介電層由氧化矽-氮化矽-氧化矽 ( $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ ) 三層堆疊所取代，此結構通常稱之為 SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) 結構。電荷則儲存在氮化矽層中的陷獲內。當此 NBit 記憶體元件在一施加偏壓之下，吾人發現該元件有釋放光子的特性。吾人推測該發光機制是在此偏壓下，電子與電洞會同時注入氮化矽層中且被陷獲，並且發生再結合反應，並釋放熱能或光子。本論文即是探討藉由調變不同的偏壓條件以及不同電子和電洞注入的狀況下，分析光子的光譜，以了解其中電荷 (電子或電洞) 被陷獲之物理機制。

在實驗進行上，藉由在此元件之汲極端 N+ 擴散區域給予正電壓和在閘極端施加很高的負電壓，在這條件下，閘極端會注入經由 FN 穿遂 (tunneling) 產生的電子，汲極端會注入經由帶對帶穿遂 (band to band tunneling) 所產生的電洞，兩者經由氮化矽層中的陷獲再結合而放射出光子。藉由微光顯微鏡 (photoemission microscopy) 可以偵測到發射光子強度，並得知主要發光的波長範圍。從光譜分析中知道此元件發射光子的波長範圍介於 400 到 1100 nm 之間，屬於可見光與近紅外光的波長範圍，其光子能量為 1 eV 到 3 eV 的範圍。利用此發光物理機制，可應用在 NBit 記憶體元件的故障檢測和可靠性的量測。

# Electroluminescence measurements of memory devices

Student : Yu-Ru Chen

Advisor : Dr. Fu-Ming Pan

Program of Semiconductor Material and Processing Equipment

College of Engineering

National Chiao Tung University

## Abstract

In this paper, we study the light emission in an NBit memory device. We measure the light emission at various conditions and propose a possible mechanism. Finally, we want to optimize the bias condition and the composition of the materials.

NBit memory device is made of a n-channel MOSFET with an oxide-nitride-oxide gate structure. The device structure is usually called SONOS (Silicon-Oxide-Nitride-Oxide-Silicon) structure. The charges are stored in the trap of the nitride layer. When the device is biased, we detect lights emitting from the SONOS structure. Under this bias condition, electrons and holes inject into the nitride and emit light via recombination. We apply several bias conditions to create different injections behaviors of electrons and holes, thereby we analyze the spectrum of the emitted light to understand the physical mechanism.

In the experiment, we apply a negative bias on the poly-gate and positive bias on the  $n^+$  junction, electrons will inject into the nitride from the poly-gate via Fowler-Nordheim tunneling. Meanwhile, band-to-band tunneling induced hot holes from the  $n^+$  junction will also inject into the nitride. The carriers recombine and emit photons. The photoemission microscopy can detect the strength and analyze the spectrum of the light. The light spectrum ranged from infrared ray to visible ray ( wavelength: 400~1100 nm ). The photon energy ranged from 1 eV to 3 eV. We implement the photoemission microscopy to the failure test and reliability measurement of NBit memory devices and the failure mode is studied in terms of the physical mechanism of the light emission in the NBit devices.

## 致 謝

首先，必須感謝我的指導教授潘扶民博士。在研究方法和實驗技巧上的殷勤教誨，除了在專業知識外，在待人處事方面與邏輯觀念上，更是給予學生許多指導，學生將永銘於心。此外，在論文審查期間，更要感謝口試委員謝光宇博士、張立博士和戴寶通博士在論文審查上給予寶貴意見。

在論文的 research 上必須感謝許多曾經一起研究的夥伴，尤其是旺宏電子的同仁鄒年凱、葉致鎔、吳茂盛、陳文榮和蔡文哲在元件原理的指導及實驗方面給予莫大協助，可以使實驗很順利的進行。從實驗過程中學習到許多專業知識，讓我受益匪淺。

最後，感謝我的父母親及家人關心和支持，讓我無後顧之憂地完成碩士學位。今天我能夠獲得碩士學位，願將這份光榮與喜悅獻給最愛的家人及所有幫助過我的人，謝謝您！



# 目 錄

|       |                        |     |
|-------|------------------------|-----|
| 中文摘要  | .....                  | i   |
| 英文摘要  | .....                  | ii  |
| 致謝    | .....                  | iii |
| 目錄    | .....                  | iv  |
| 表目錄   | .....                  | v   |
| 圖目錄   | .....                  | vi  |
| 一、    | 緒論                     | 1   |
| 二、    | 實驗基本原理                 | 7   |
| 2.1   | 介紹                     | 7   |
| 2.2   | 矽基材發光之基本原理             | 7   |
| 2.3   | NBit 記憶體元件發光機制原理       | 9   |
| 三、    | 實驗設定與儀器設備              | 25  |
| 3.1   | 介紹                     | 25  |
| 3.2   | NBit 記憶體元件的製程流程及電路的佈局圖 | 25  |
| 3.3   | 實驗流程                   | 26  |
| 3.4   | 光譜分析量測設備之介紹            | 28  |
| 四、    | 實驗結果與討論                | 34  |
| 4.1   | 介紹                     | 34  |
| 4.2   | 發光機制之驗證                | 34  |
| 4.3   | 電致發光之光譜分析              | 37  |
| 4.3.1 | NBit 記憶體元件之光譜分析        | 37  |
| 4.3.2 | 偏壓影響之光譜分析              | 39  |
| 4.3.3 | 結語                     | 43  |
| 五、    | 總結與未來展望                | 61  |
| 5.1   | 總結                     | 61  |
| 5.2   | 未來展望                   | 61  |
| 參考文獻  | .....                  | 62  |
| 簡歷    | .....                  | 65  |

## 表目錄

### 第四章

表 4-1. 數種偏壓狀態和不同元件結構的測試結果。



## 圖目錄

圖 1-1. n 型 MOSFET 之結構。

圖 1-2. NBit 記憶體元件之結構。

圖 1-3. 間接能隙圖 (indirect bandgap)。

圖 1-4. 測不準原理 (uncertainty principle) 之能隙圖。

圖 1-5. 直接能隙圖 (direct bandgap)。

圖 2-1. PN 接面在順向偏壓之能帶圖。

圖 2-2. PN 接面在逆向偏壓之能帶圖。

圖 2-3. FN 穿隧 (Fowler-Nordheim tunneling) 機制之能帶圖。

圖 2-4. FN 穿隧方式產生電子之元件偏壓示意圖。

圖 2-5. 通道熱電子 (channel hot electrons) 方式產生電子之元件偏壓示意圖。

圖 2-6. 帶對帶穿隧誘發熱電洞注入 (band-to-band tunneling induced hot hole injection) 機制之能帶圖。

圖 2-7. 熱電洞 (hot holes) 產生之元件偏壓示意圖。

圖 2-8. 帶對帶穿隧誘發熱電洞注入元件偏壓示意圖。

圖 2-9. SONOS 結構在熱平衡時之能帶圖。

圖 2-10. 帶對帶發光機制之元件偏壓示意圖。

圖 2-11. 帶對帶熱載子 (band to band hot carrier) 發光機制之能帶圖。

圖 2-12. 光子產生過程之流程圖。

圖 3-1. 量測電路圖。

圖 3-2. 量測電路佈局圖。

圖 3-3. NBit 記憶體元件製程流程圖。

圖 3-4. 微光顯微鏡之架構圖。

圖 4-1. (a) FN 穿隧機制提供電子之元件偏壓圖。 (b) 以 FN 穿隧方式，

當改變閘極電壓趨於很大的負電壓，其臨界電壓趨於較大。

圖 4-2. (a) 帶對帶熱電洞機制產生電洞之元件偏壓圖。(b) 以帶對帶熱電洞方式，當改變汲極電壓愈大時，其臨界電壓趨於較小。

圖 4-3. (a) 帶對帶熱載子發光機制產生電子和電洞之元件偏壓圖。(b) 當只有提供電子時，其臨界電壓比較高(方形)。再由汲極端提供電洞時，其臨界電壓則下降(圓形)。

圖 4-4. (a) NBit 記憶體元件在有效發光之偏壓 ( $V_g/V_d/V_s=-16/5.8/0$ ) 狀態下之 CCD 影像，顯示此元件有光子的產生。(b) 有效發光的偏壓條件加在 NMOS 結構下之 CCD 影像，顯示沒有光子發射出來。

圖 4-5. NMOS 元件之偏壓圖。

圖 4-6. 幾種不同偏壓條件和不同元件結構的光譜分佈情況。方形表示在 NBit 記憶體元件有效發光的偏壓條件。圓形和正三角形各表示 FN 穿隧方式只產生電子和帶對帶穿隧只產生熱電洞。倒三角形代表將有效發光的偏壓條件施加在 MOS 結構上。

圖 4-7. 順向偏壓接面和逆向偏壓接面的光譜分佈情況。圓形表示在順向偏壓接面，主要波長在 1000 nm。方形代表在 NBit 記憶體元件有效發光的偏壓條件的光譜分佈情況(相當於逆向偏壓接面)。兩者的汲極電流相差 3 個等級大小。

圖 4-8. (a) 當汲極端電壓固定在 5.8 V，改變閘極端電壓，由 CCD 影像呈現出光強弱的變化。(b) 當閘極端電壓固定在 -16 V 時，調變汲極端電壓由 4.6 V~5.8 V，由 CCD 影像可以觀察出光強度由弱變強。

圖 4-9. 當汲極端電壓固定在 5.8 V，改變閘極端偏壓，其 NBit 記憶體元件的光譜分佈情況。在每一個偏壓狀態下，主要波長在 700~800 nm 之間。

圖 4-10. 當汲極端電壓固定在 5.8 V，改變閘極端偏壓，其汲極端電流大小分佈情況。

圖 4-11. 當閘極端電壓固定在 -16 V，改變汲極端偏壓，其 NBit 記憶體元件

的光譜分佈情況。在每一個偏壓狀態下，主要波長在 600~700 nm 之間。

圖 4-12. 當閘極端電壓固定在 -16 V，改變汲極端偏壓，其汲極端電流大小分佈情況。

圖 4-13. 汲極電流對光強度的變化。主要數據資料是由圖 4-9~圖 4-12 所得知。當汲極電流愈大時，光強度愈強，而之間趨近於線性關係。

圖 4-14. 光強度變化情況為汲極和閘極電壓改變的結果。光強度幾乎呈線性變化，相似於 MOSFET 的輸出特性 ( $I_d$  對  $V_d$ ) 曲線。

圖 4-15. 當  $V_d=5.8$  V， $V_g=-16$  V 時，光強度對 p 型矽基材電壓的變化。光譜分佈呈現出相似 NMOSFET 的轉換特性 ( $I_d$  對  $V_g$ ) 曲線。

圖 4-16. 光譜分佈呈現此元件在未長時間施加偏壓和長時間施加偏壓的情況，其光強度變化。



# 第一章

## 緒論

現今積體電路的趨勢，是往較大尺寸矽晶片及較小的線寬發展，並要求容量密度夠大和晶粒尺寸夠小。NBit 記憶體元件在一個單一元件中可儲存兩個位元，可大幅增加儲存的容量，克服傳統的快閃記憶體元件佔用矽晶片面積的問題，大幅縮減晶粒尺寸的面積、增加記憶體的容量。並且 NBit 記憶體元件在製程上，和一般的傳統快閃記憶體元件相比較之下，製程流程簡單，且與 CMOS 的製程技術相似，所以可以大大地降低生產成本。

NBit 記憶體元件之結構為一 n 型通道金氧半場效電晶體 (MOSFET)，如圖 1-1，其原本於閘級之下之氧化矽介電層由氧化矽-氮化矽-氧化矽 ( $\text{SiO}_2\text{-Si}_3\text{N}_4\text{-SiO}_2$ ) 三層堆疊所取代，如圖 1-2。電荷儲存於氮化矽層之陷獲 (trapped) 內，而氮化矽層的上下層為絕緣層是採用氧化矽，主要作用是避免電荷經由通道穿隧效應而流失。然而，整體結構通常稱之為矽-氧化矽-氮化矽-氧化矽-矽 (Silicon-Oxide-Nitride-Oxide-Silicon, SONOS) 元件。由於氮化矽為非導體，因此當電荷儲存在氮化矽層陷獲中並不會發生電荷擴散作用，因而具有局部儲存電荷 (localized charge storage) 的特性，所以在同一個記憶體元件可以達到兩個位元的效果。

在 NBit 記憶體元件結構中，利用氮化矽層陷獲為電荷儲存媒介，所以電荷儲存的結構為此元件最重要的部份，其中儲存的電荷包括電子和電洞。氮化矽層的品質好壞與氮化矽內陷獲的特性將會影響到電荷儲存的能力。如何判斷氮化矽層的品質是否良好，通常會藉由電性量測方式來決定。本論文乃利用另一個方法，探討 NBit 記憶體元件發光現象，也藉由光譜分析，觀察電子電洞與儲存陷獲之間的關係與物理機制，以有效判斷氮化矽層的品質好壞，並了解氮化矽層陷獲的特性，改善 NBit 記憶體元件的可靠度，幫助 NBit

記憶體元件的技術開發。

由於 NBit 記憶體元件是一個建立在矽基材上的元件，而矽基材發光效率極差，主要原因是由於矽為一種間接能隙 (indirect bandgap) 半導體[1]，當電子從導電帶跳至價電帶時，由於導電帶最低能位與價電帶最高能位並不見有相同的動量，必須藉助聲子 (phonon) 改變電子動量，以達電子遷降行為，因此會導致發光效能的降低，(因為需要額外的碰撞傳遞動量，因此結合機率下降)，如圖 1-3。在一般矽發光元件中，利用海森堡測不準原理

(Heisenberg's uncertainty principle) 可以解釋矽基材元件發光效能的增加，藉由電子位置和動量的不確定來達成 ( $\Delta x \Delta k = \text{constant}$ )，如圖 1-4 [2] [3]。現今的發光元件，多數都是採用三-五族的化合物做為基材 (例如砷化鎵)，這是因為砷化鎵是屬於直接能隙 (direct bandgap) 的關係[1]，導電帶最低能位與價電帶最高能位位置對應於相同 k 值，當電子從導電帶跳至價電帶時，不需要做動量轉變，如圖 1-5，因此發光效率很高。是故，為了研究本論文中的 NBit 記憶體元件的發光特性，及其和可靠度的關聯性，實驗中利用一特殊設計的偏壓產生電子和電洞，並利用氮化矽中陷獲所引發之海森堡測不準原理，讓電子和電洞有效結合，增加發光的效率，以達到觀測的目的，並研究氮化矽陷獲的特性。

在這論文中主要分為五個章節。第一章為緒論。第二章，主要介紹矽基材發光之基本原理和 NBit 記憶體元件之發光機制原理。第三章，將介紹 NBit 記憶體元件製程流程、量測電路佈局、實驗設定方法，並說明光譜分析所使用之儀器設備。第四章，驗證發光機制，並且將探討偏壓條件對光強度的影響及光譜分析結果與討論。第五章，針對整體研究做總結與未來展望。

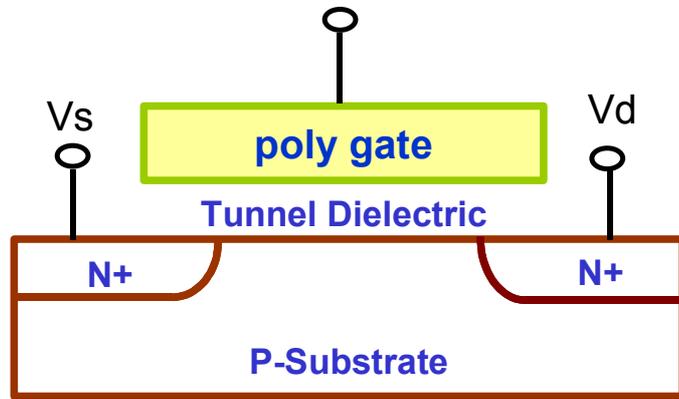


圖 1-1. n 型 MOSFET 之結構。

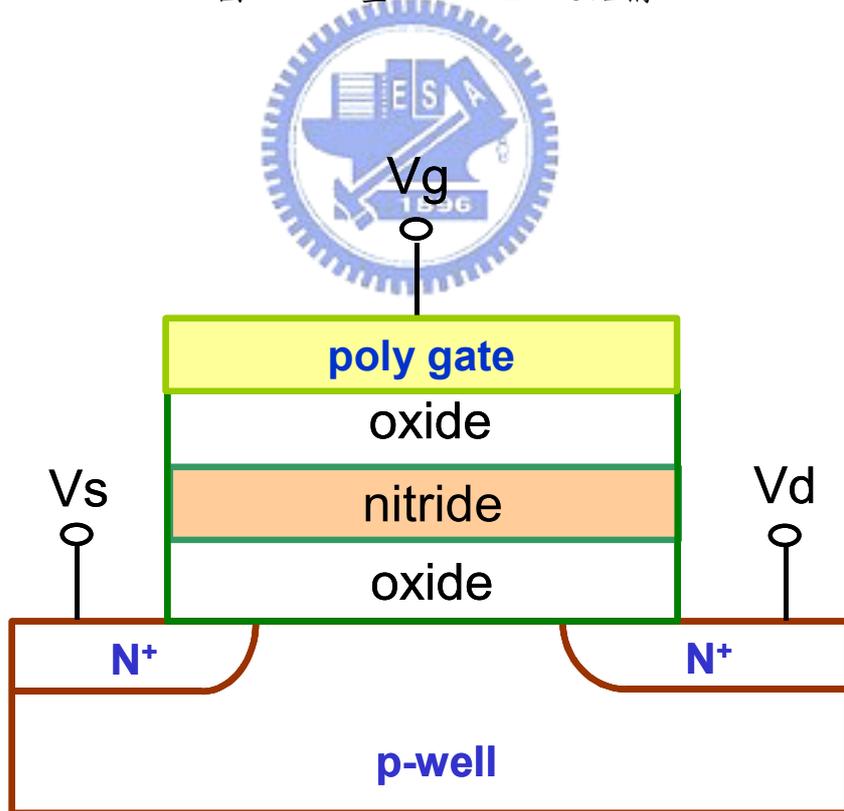


圖 1-2. NBit 記憶體元件之結構。



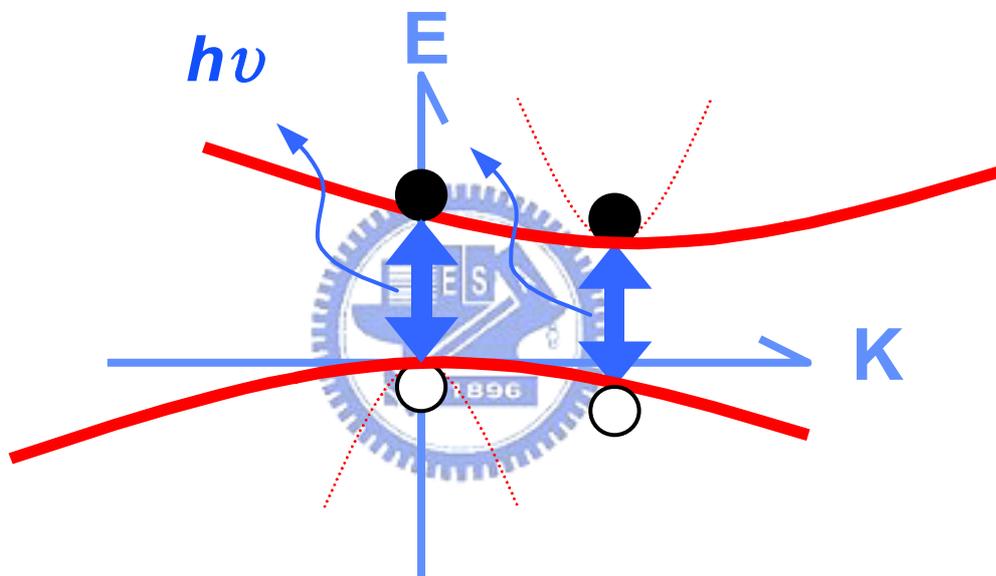


圖 1-4. 測不準原理 (uncertainty principle) 之能隙圖。

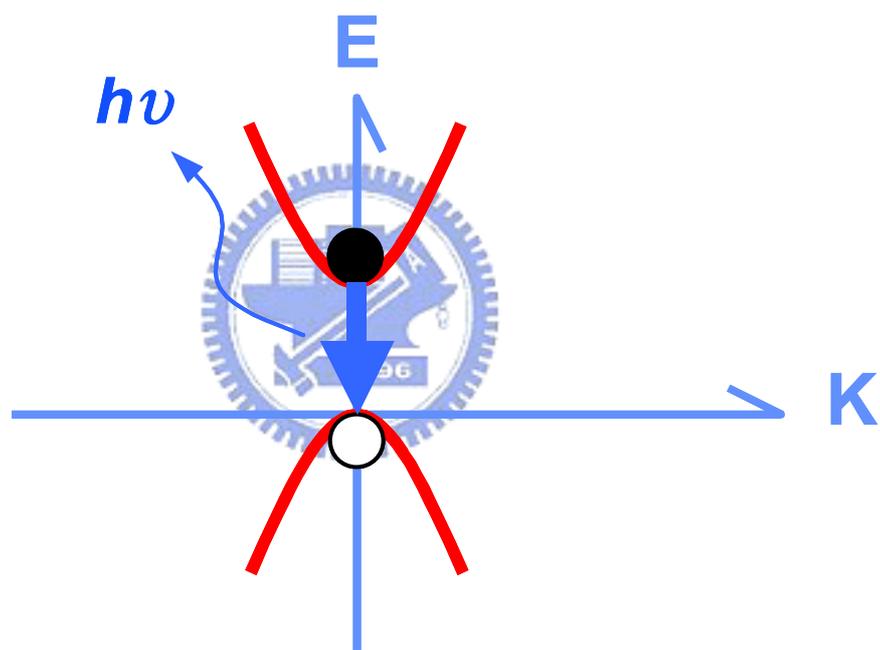


圖 1-5. 直接能隙圖 (direct bandgap)。

## 第二章

### 實驗基本原理

#### 2.1 介紹

本章將介紹矽基材發光之基本原理，例如在 pn 接面有兩種操作模式：順向偏壓和逆向偏壓。這兩種基本效能都會提供產生發射光子的信號，此章節將說明發射光子的原理。另外，也探討解析從矽基材元件發射光子的光譜。除此之外，將概要介紹由 FN 穿隧（Fowler-Nordheim tunneling）機制產生電子和帶對帶穿隧誘發熱電洞注入（band-to-band tunneling induced hot hole injection）之現象。並且將說明 NBit 記憶體元件的能帶對能帶熱載子（band-to-band hot carrier）發光機制原理和光子產生過程。

光子偵測和光譜分析這一部份之鑑定，主要是使用微光顯微鏡（photoemission microscopy）進行實驗分析，下一章節將對機台設備整體架構、原理、應用範圍概要介紹。



#### 2.2 矽基材發光之基本原理

##### 2.2.1 pn 接面順向偏壓之基本原理

從矽基材 pn 接面要發射光子，順向偏壓是基本必要條件。光子的產生過程、原理是非常容易了解，就如發光二極體（light emitting diode，LED）一樣，是在 pn 接面順向偏壓的情況下發光。這部份將概要介紹 pn 接面順向偏壓（forward biased pn junctions）之物理原理，以了解矽基材元件在順向偏壓條件下，發射光子之光譜情況。

首先，當 pn 接面在順向偏壓時，p 型區接到外加直流電壓的正極，n 型區則接到負極，如此使得原來的內建電位部份被抵消，位能障減小，空乏區的電場也減小，p 型區動能較高的電洞和 n 型區動能較高的電子就有較多機

會克服位能障通過空乏區，形成電流。當還未外加偏壓時，電子和電洞各自的擴散電流與漂移電流完全互相抵消，但在順向偏壓時，接面附近電場減小，使得漂移電流減小，這時原有的平衡被破壞，多出了擴散電流。

p 型區中多數載子電洞，在順向偏壓時，通過空乏區進入 n 型區中，電洞在此為少數載子，這過程動作稱為少數載子注入 (minority carrier injection)。電洞進入 n 型區，瞬間即吸引了等量的電子將其遮蔽，然後再向 n 型區內擴散，其間會被電子復合，越深入 n 型區內電洞愈少，且擴散電流愈小，電洞大部分分佈在靠近空乏區介面一個擴散長度內。當電洞被復合時，等量的電子也被消耗掉，也就是說電洞擴散電流的減少量和補充的電子流是一樣大的。相反的，電子進入 p 型區也有一樣的行為[4]。

如圖 2-1，為 pn 接面順向偏壓之能帶圖，少數載子注入後的情況，當導電帶邊緣的電子於價電帶覓得電洞時，電子即從導電帶邊緣，經由陷阱中心釋放熱能或發光中心釋放光能。當要產生光子即導電帶的電子與價電帶的電洞直接結合，這整個過程稱之為帶對帶再結合 (band to band recombination)，其必須條件是藉由聲子改變電子的動量，而達到發光效能。則所發射出來的光子波長在 1100 nm 時是強度最強的。發射出來的光是屬於近紅外光部份，而光譜分佈情形所呈現是比較窄的曲線分佈圖[5]。

## 2.2.2 pn 接面逆向偏壓之基本原理

從 pn 接面在逆向偏壓 (reverse biased pn junctions) 所產生的光子是非常不同於從 pn 接面在順向偏壓所放射出的光子。其光譜分佈範圍和呈現的曲線也有所不同。

當 pn 接面在逆向偏壓時，p 型區接到外加直流電壓的負極，n 型區則接到正極。p 型區的電洞與 n 型區的電子所面對的位能障變大，空乏區變寬和電場增加，電子和電洞更不容易跨過，因此只剩下在 p 型區的少數載子電子

及 n 型區的少數載子電洞通過空乏區所造成很小的電流。

當電場增加到大於某一個值時，載子會經由累增過程得到足夠的動能以產生電子電洞對。考慮一個在導電帶的電子時，當電場足夠高時，電子在碰撞晶格前會獲得動能，當碰撞發生時，電子會消耗大部份的動能造成價鍵斷裂。也就是使價電帶的價電子游離到導電帶，而產生電子-電洞對。同樣的，產生的電子電洞對也開始在電場中加速，並與晶格碰撞，因此又產生另外的電子-電洞對，如此過程繼續下去，這樣的過程稱為累增過程 (avalanche process)，也稱之為撞擊游離過程 (impact ionization process)，如圖 2-2 之 pn 接面在逆向偏壓之能帶圖[6]。pn 接面逆向偏壓之光譜分佈情況不同於 PN 接面順向偏壓，是屬於較寬的光譜分佈情況，發射的光子是由可見光到近紅外光的範圍[7]。

## 2.3 NBit 記憶體元件發光機制原理

### 2.3.1 FN 穿隧 (Fowler-Nordheim tunneling) 機制之原理

Fowler-Nordheim 穿隧機制，實際上，是一個電場輔助電子穿隧的機制[8]。當一個很大的電壓橫過矽-二氧化矽-多晶矽 (silicon-SiO<sub>2</sub>-polysilicon) 之結構時，其能帶結構將由圖 2-3 所示[9]。當多晶矽的電壓增加時，氧化層內的電場增加，對導電帶的電子言，矽基材與多晶矽間的電子能障由梯形變成三角形。電子在矽基材的導電帶上看到的三角形能障其寬度取決於實際的電場強度，而能障的大小是決定於電極材料和二氧化矽的能帶結構。在足夠的高電場下，能障的寬度變小到可以讓電子以穿隧方式越過這能障，從矽基材的導電帶進入到二氧化矽的導電帶。這穿越三角形能障的現象被稱之為 Fowler-Nordheim 穿隧機制，主要是因為其類似於冷陰極管 (cold cathodes) 的電子放射理論，該理論由 Fowler 和 Nordheim 兩位學者所共同發表[10]。

電子穿隧三角形能障的 Fowler-Nordheim 穿隧電流密度由下列公式表示

[8] :

$$J_{TUN} = \frac{q^3 F_{OX}^2 m_0}{16\pi^2 \hbar m_{ox}^* \Phi'_B} \exp\left(\frac{-4(2m_{ox}^*)^{3/2} \Phi'_B}{3\hbar q} \frac{\Phi'_B}{F_{OX}}\right) \quad (2.1)$$

其中  $q$  為電荷 ( $1.6 \times 10^{-19}$  C),  $F_{OX}$  表示氧化層的電場,  $\hbar$  表示蒲朗克修正常數 ( $\hbar/2\pi$ ),  $m_0$  表示自由電子質量 ( $9.1 \times 10^{-31}$  kg),  $m_{ox}^*$  表示在氧化層中電子有效質量,  $\Phi'_B$  為注入介面能障能量 (Si-SiO<sub>2</sub> 為 3.1 eV), 因此電流密度主要受電場的影響。

#### 將 FN 穿隧機制實際使用在 NBit 記憶體元件上

利用 FN 穿隧機制在閘極端給予一很高的負電壓, 汲極和源極接到相對低電壓, 使得 NBit 記憶體元件可以從閘極端產生電子。閘極與汲極、源極的電壓差於 SONOS 結構上, 形成一個很高的垂直電場, 使得原來在多晶矽導電帶的電子可以穿隧過上層的氧化矽層的三角形能障, 而注入到氮化矽中。由圖 2-4 元件示意圖所示。此種方式產生電子, 不同於通道熱電子 (channel hot electrons) 注入方法。

NBit 記憶體元件的寫入方式, 乃是採用通道熱電子注入。通道熱電子的產生方法, 如圖 2-5。主要是在閘極和汲極提供正電壓, 源極接到地端。這電壓產生了垂直電場和橫向電場沿著通道。橫向電場加速電子離開源極往汲極方向流, 電子得到足夠的能量克服了氧化矽的能障, 又因為閘極電場的導引, 將電子送入到氮化矽中[11]。氮化矽中的陷獲將會捕捉電子, 使氮化矽中的電子電荷量增加, 此時 NBit 記憶體元件的臨界電壓(threshold voltage)將會提高, 亦即完成 NBit 記憶體元件的寫入。另一種寫入或是注入電子的方式, 即是利用 FN 穿隧電子注入的方式, NBit 記憶體元件的臨界電壓亦會提高。目

前 NBit 記憶體元件的寫入方式主要是採用通道熱電子注入，主要是由於可以降低操作電壓。

但由於在通道熱電子操作時，其產生的光子與光譜與一般 MOSFET 元件之熱電子相同，該行為與氮化矽中的陷獲無關，而且無法同時結合電洞注入的操作，無法應用於分析 NBit 記憶體元件與氮化矽中陷獲的特性。故本實驗以 FN 穿隧電子注入氮化矽的方式，取代應用於 NBit 記憶體元件寫入的通道熱電子，並配合適當的偏壓同時產生帶對帶電洞注入到氮化矽中，以研究電子電洞與氮化矽陷獲的關係。下一個章節將討論電洞產生的機制。

### 2.3.2 帶對帶穿隧誘發熱電洞注入 (band-to-band tunneling induced hot hole injection) 機制之原理

假設有一個非常高的電場 ( $F_{Si} \approx 1\text{MV/cm}$ ) 加在 MOS 的閘極與矽基材之間的時候，會導致電子從價電帶到導電帶直接穿隧效應而產生電子電洞對。這種現象被稱之為帶對帶穿隧 (band-to-band tunneling, BBT) 或稽納穿隧 (Zener tunneling) [12] [13]。

在 MOS 的結構中，帶對帶穿隧通常發生在高的汲極或源極電壓與閘極電壓很低或浮接下。電子集中汲極或源極端，並且電洞往矽基材接近，而產生漏電電流。在帶對帶穿隧所貢獻了所謂的閘極導致汲極漏電電流 (gate induced drain leakage current, GIDL) [14] [15]，它是次臨限 (subthreshold) 區漏電流很大的部份。當橫向電場增加，將導致汲極或源極到矽基材的電位下降，造成電洞獲得相當多的能量和高可能性的碰撞游離，如此將使得界面崩潰[16]。帶對帶穿隧和碰撞游離產生電洞可以克服矽和氧化矽之間的能障，並經由閘極相對較低電壓之吸引流向閘極產生閘極電流[14] [17] [18]。簡單來說，就是經由橫向電場的加速，使得帶對帶穿隧產生的電洞獲得許多能量並注入到閘極氧化層，如圖 2-6 所示。

在 NBit 記憶體元件中，其抹除操作是利用帶對帶穿隧機制，當閘極電壓為負值時，使得通道進入聚積（accumulation），並且有一個很強的垂直電場使得閘極和源極重疊的區域被空乏掉。電洞的反轉層（inversion layer）的形成會被橫向的電場所阻止，也就是橫向電場使得矽與氧化矽的界面不會產生反轉層，而使得空間電荷區在深空乏區（deep depletion region）。然而，使得少量載子進入聚積通道（accumulated channel），於是保持它們的濃度低於平衡態。這個深空乏區因此形成大的垂直電場。使得從價電帶到傳導帶的穿隧距離降低了，而且傳導係數變成大到足夠引起帶之間的轉變或變遷。最大的電洞產生率是在界面處，然而最大的電子產生率通常在源極或汲極區，也就是介面下方幾十個埃（Angstrom）處。電子流向源極，然而電洞被推向聚積的通道，之後再流向矽基材，而使得寄生的漏電流上升。部分的電洞獲得能量，經由閘極相對較低電壓的吸引。

### 將帶對帶穿隧熱電洞機制實際使用在 NBit 記憶體元件上

熱電洞的產生的方式之一，在閘極端給予零電位相當於接地端（ $0 < V_g < V_d$ ）和提供足夠的正電位在汲極端（ $V_d > 0$ ），而造成突然來的崩潰（breakdown）。突然來的崩潰意味著熱電洞注入和這現象被發現是在汲極端需要加上相對高的電壓。在通道上充滿著電子藉由橫向電場的加速，載子碰撞游離可以產生額外的電子-電洞對。當閘極端的電位相對小於汲極端的電壓時，在這過程中一部份的電洞會經由閘極的電壓吸引，產生閘極電流，如圖 2-7 所示。

熱電洞克服了在底層的穿隧氧化層介面能障，而注入到氮化矽層中。注入的熱電洞將和被陷獲所捕捉，與儲存在氮化矽層中的電子結合，或與電子電性中和，使 NBit 記憶體元件中的淨電荷回到原來的狀態，此時 NBit 記憶體元件之臨界電壓將會回覆到原來的值，亦即完成抹除的動作。

另一種操作模式，深空乏汲極崩潰（deep-depletion-mode drain

breakdown)，這一個機制是同時在閘極端加上負電壓 ( $V_g < 0$ ) 和汲極端提供正電壓 ( $V_d > 0$ )。橫向電場使得 N+擴散區-矽基材/氧化層的介面不會產生反轉層 (inversion layer) 和導致空間電荷區在深空乏 (deep-depletion)，因此控制產生電洞。另外，垂直電場幫助吸引電洞往氮化矽中注入。電洞的注入是穿過底層氧化層，與儲存的電子結合消失或電性中和，降低 NBit 記憶體元件之臨界電壓，亦可完成抹除的動作，如圖 2-8。

抹除意味著帶對帶穿隧誘發熱電洞穿過底層氧化層注入。電洞的流動是藉由帶對帶熱電洞在深空乏層產生，在 n+擴散區和 ONO 之間[19]。電洞的能量增加是由於橫向電場的關係，而使得電洞穿過底層的氧化層注入到 ONO，並且與儲存的電子再結合或被陷獲[20]。

### 2.3.3 帶對帶熱載子 (band to band hot carrier) 發光機制

當 NBit 記憶體元件在熱平衡狀態的時候，矽-氧化矽-氮化矽-氧化矽-矽 (silicon-oxide-nitride-oxide-silicon, SONOS) 的能帶圖可由圖 2-9 所示。由於氧化矽為絕緣體，其能階間隙很大(約 9 eV)，氮化矽能階間隙為 5.1 eV。在金屬或矽的介面處形成高能障。例如，電子在矽的導電帶的能障高度約 3.1 eV 和電洞在價電帶的能障高度約 4.8 eV [21]。

帶對帶熱載子 (band to band hot carrier) 發光機制，其偏壓條件如圖 2-10 所示，主要是在閘極端加一個很高的負電壓，是為了有足夠大的電場讓電子可以穿過氧化層的能障，此時電子從多晶矽的導電帶以 FN 穿隧效應穿隧過上層的氧化層注入到氮化矽層中。部分電子會被陷獲在氮化矽層中，部分則有機會與原本被陷獲的電洞發生再結合。然而，帶對帶穿隧誘發熱電洞注入方式是在汲極端 n+擴散區域給予正電壓，產生的電洞從 p 型矽基材躍過底層的氧化層進入氮化矽層。部分電洞會被陷獲在氮化矽層中，部分也有機會與原本被陷獲的電子發生再結合。當電子和電洞同時連續不斷的持續注入氮

化矽層中，經過電子和電洞的被陷獲與電子電洞的再結合而發射出光子，其能帶圖如圖 2-11 所示。

整個產生光子的過程，可能分為三個步驟：第一、在氮化矽層中必須要載子的注入，藉由之前介紹的方式注入，電子和電洞分別在氮化矽的導電帶和價電帶的位置進入，而且必須同時連續不斷的注入。第二、載子注入之後，會在氮化矽層中被陷獲，由海森堡測不準原理，這些被陷獲的電子或電洞在空間上被侷限，使其在動量上造成不確定而發散，使這些被陷獲的電子或電洞更容易與其他電洞或電子結合。第三、後續持續再注入的電子和電洞會和先前被陷獲的電洞和電子發生再結合而放射出光子。這整個產生光子過程，如圖 2-12。

NBit 記憶體元件可以發射出光子，是藉由兩種不同機制產生電子和電洞。其中最主要是結合 FN 穿隧效應產生電子和帶對帶穿隧誘發熱電洞注入方式來完成，並且利用氮化矽層陷獲載子的能力，增加電子/電洞對的再結合效能，提高光子的產生率。是故帶對帶熱載子發光與氮化矽中陷獲的特性有著極大的關聯，可以藉由分析其光譜，以了解氮化矽陷獲的特性。

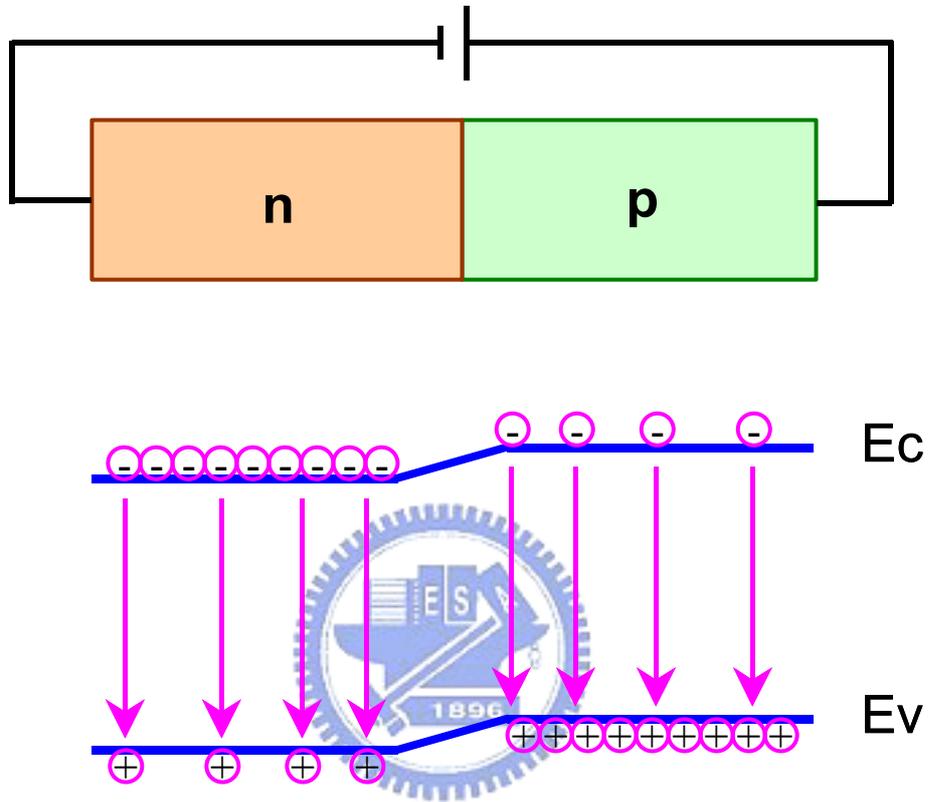


圖 2-1. PN 接面在順向偏壓之能帶圖。

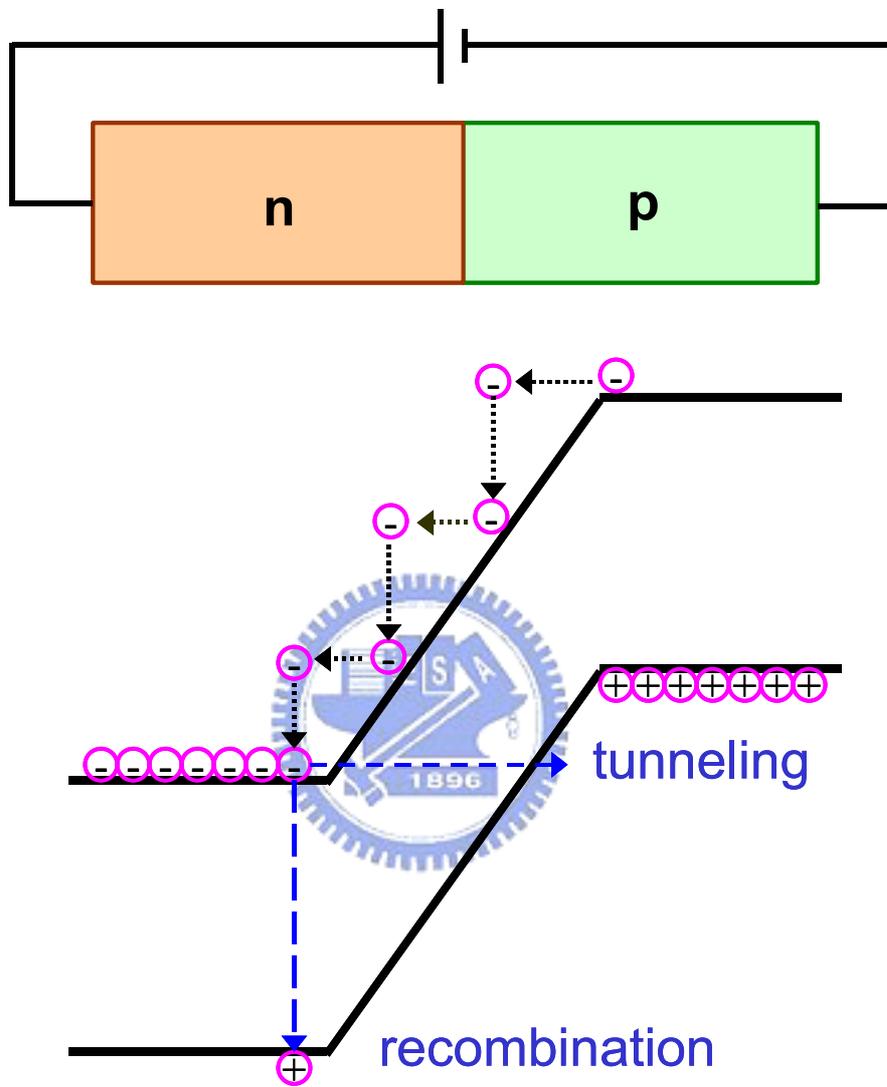
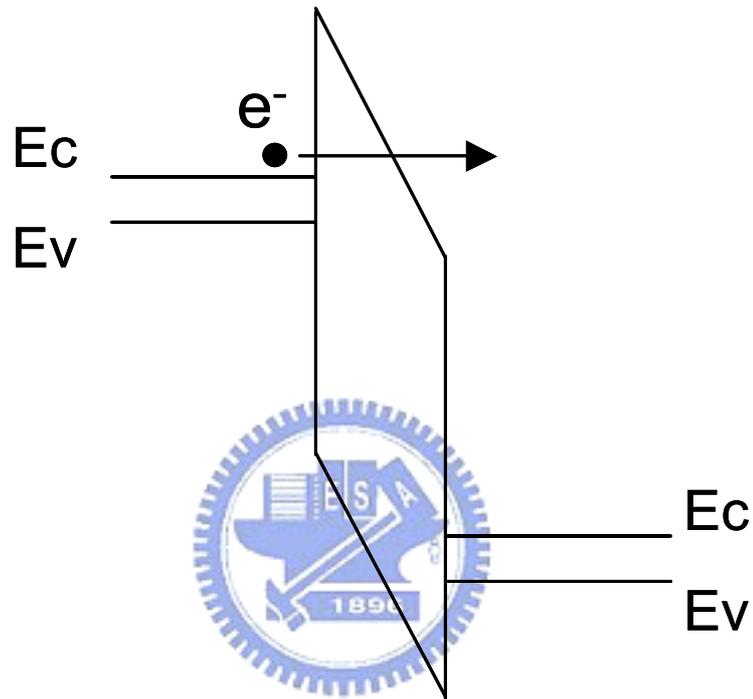


圖 2-2. PN 接面在逆向偏壓之能帶圖。



## Substrate Oxide Poly-Gate

圖 2-3. FN 穿隧 (Fowler-Nordheim tunneling) 機制之能帶圖。

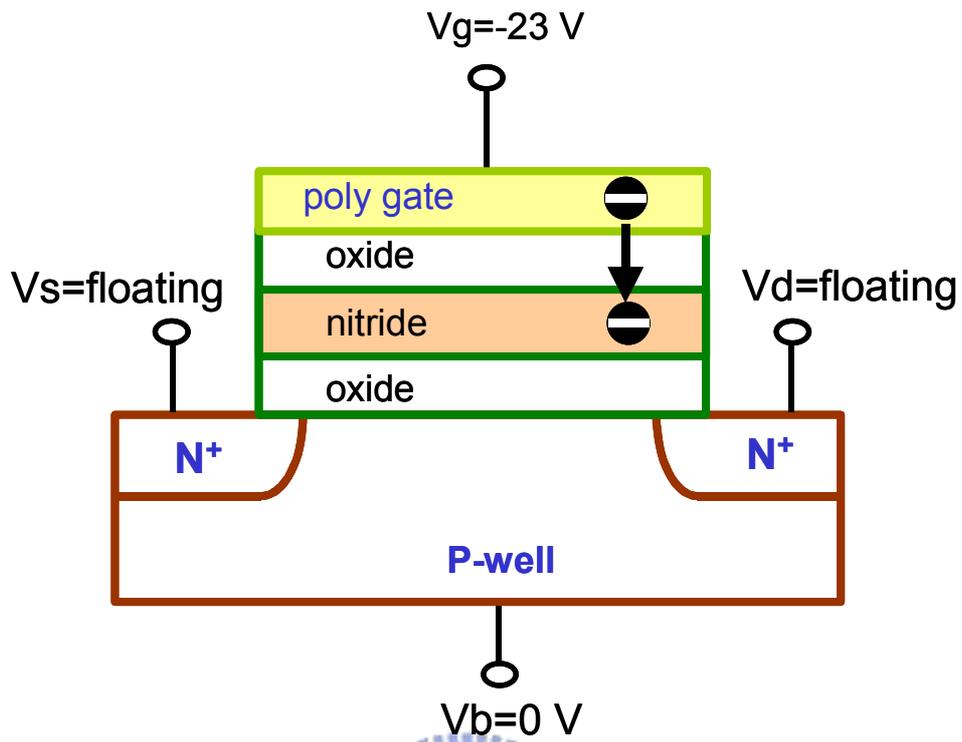


圖 2-4. FN 穿隧方式產生電子之元件偏壓示意圖。

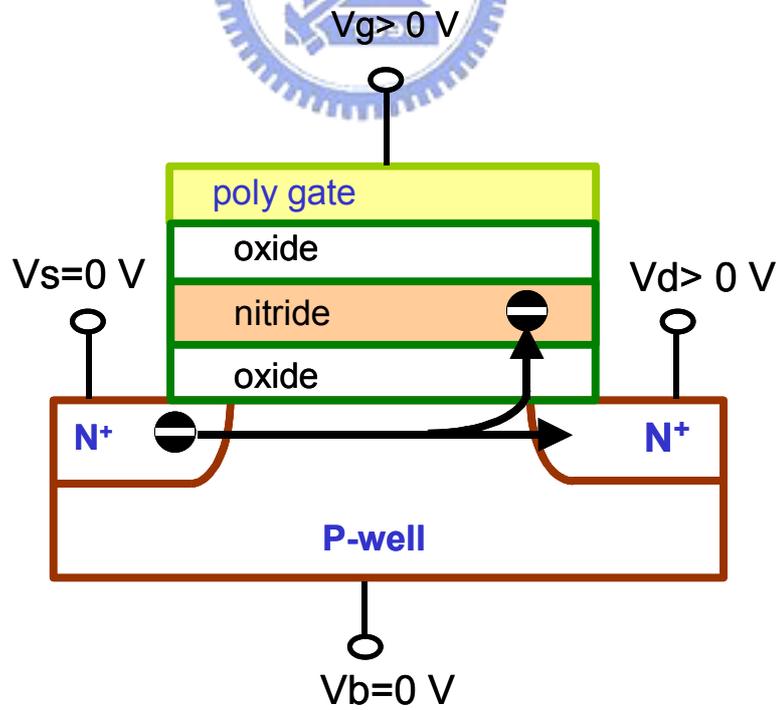


圖 2-5. 通道熱電子 (channel hot electrons) 方式產生電子之元件偏壓示意圖。

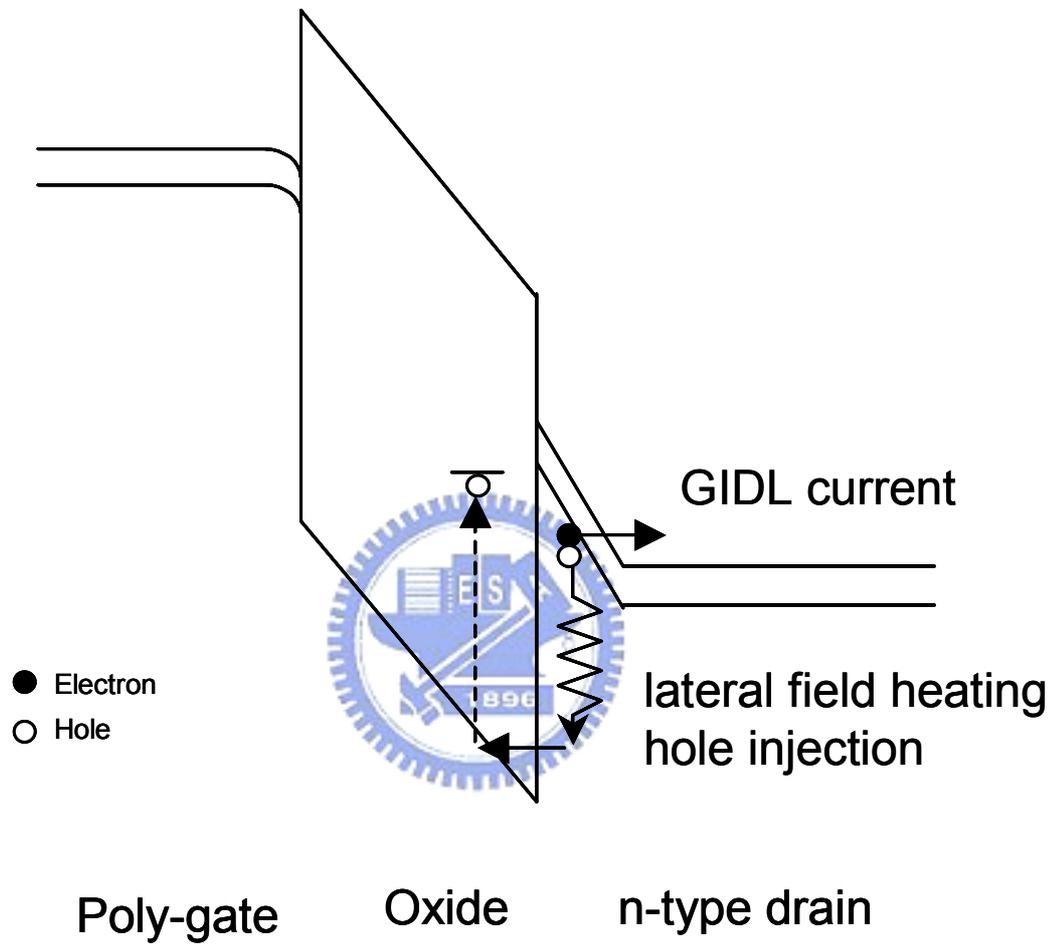


圖 2-6. 帶對帶穿隧誘發熱電洞注入 (band-to-band tunneling induced hot hole injection) 機制之能帶圖。

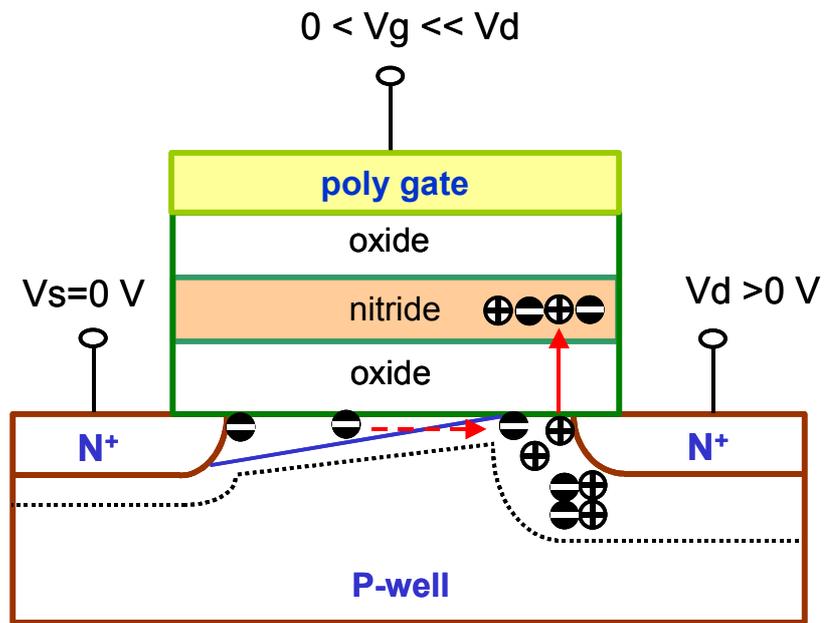


圖 2-7. 熱電洞 (hot holes) 產生之元件偏壓示意圖。

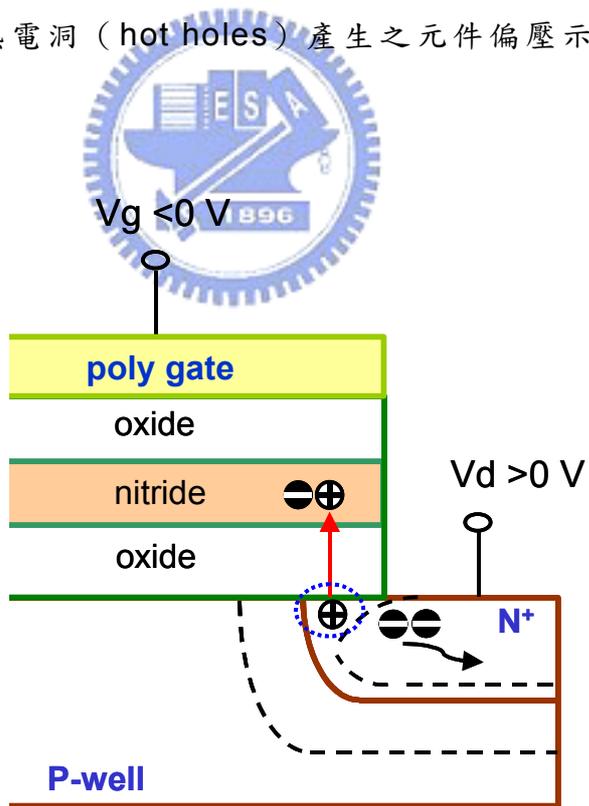


圖 2-8. 帶對帶穿隧誘發熱電洞注入元件偏壓示意圖。

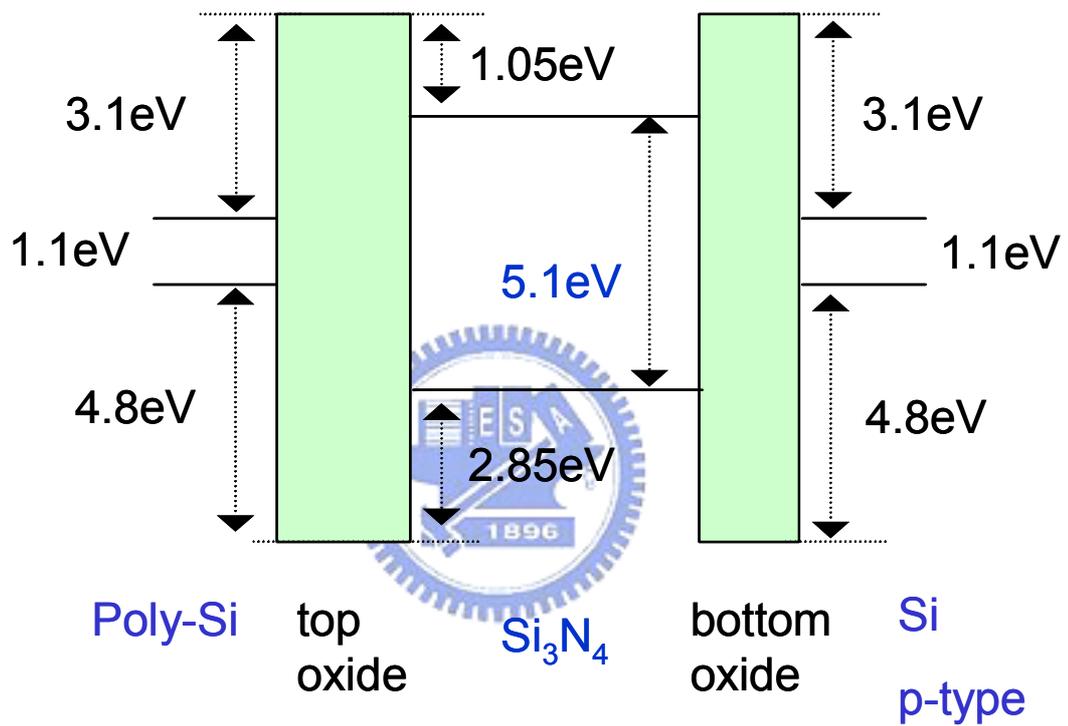


圖 2-9. SONOS 結構在熱平衡時之能帶圖。

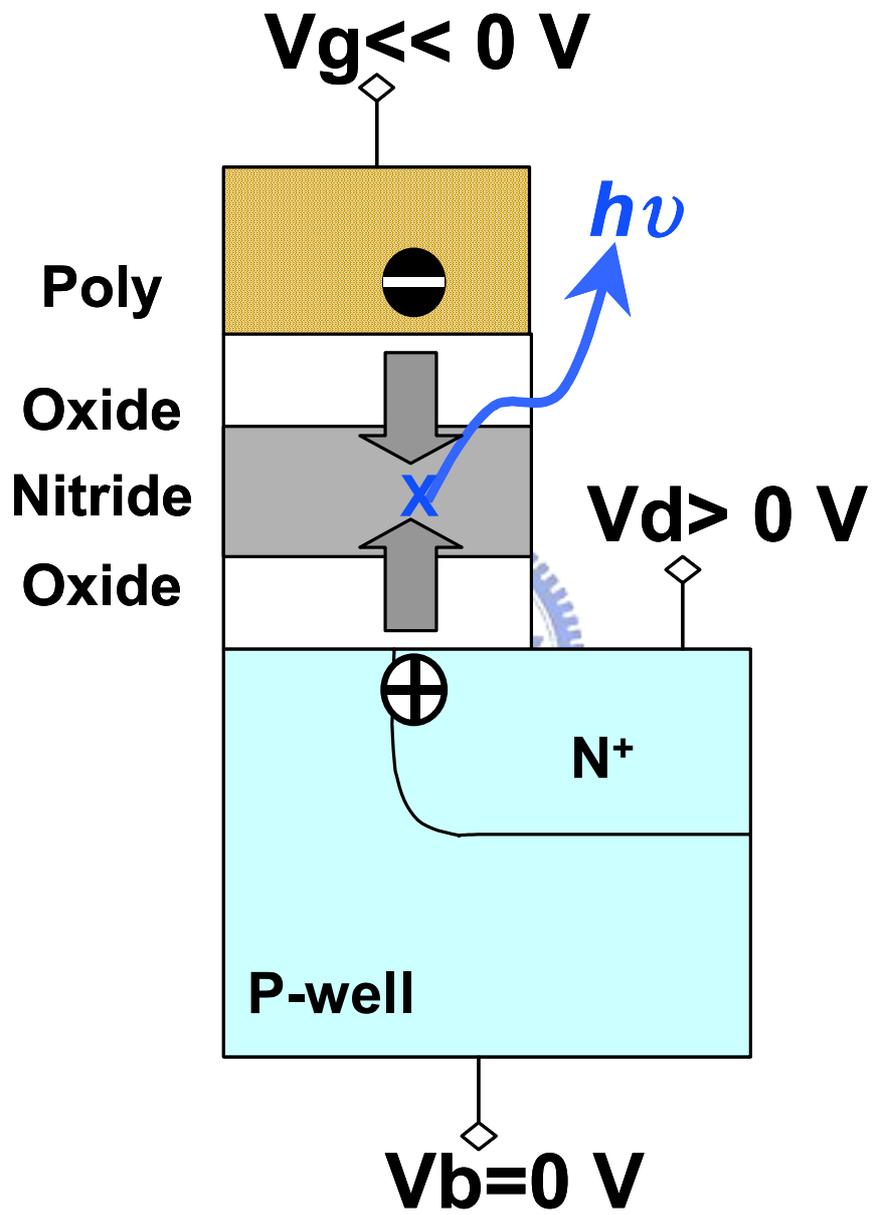


圖 2-10. 帶對帶熱載子發光機制之元件偏壓示意圖。

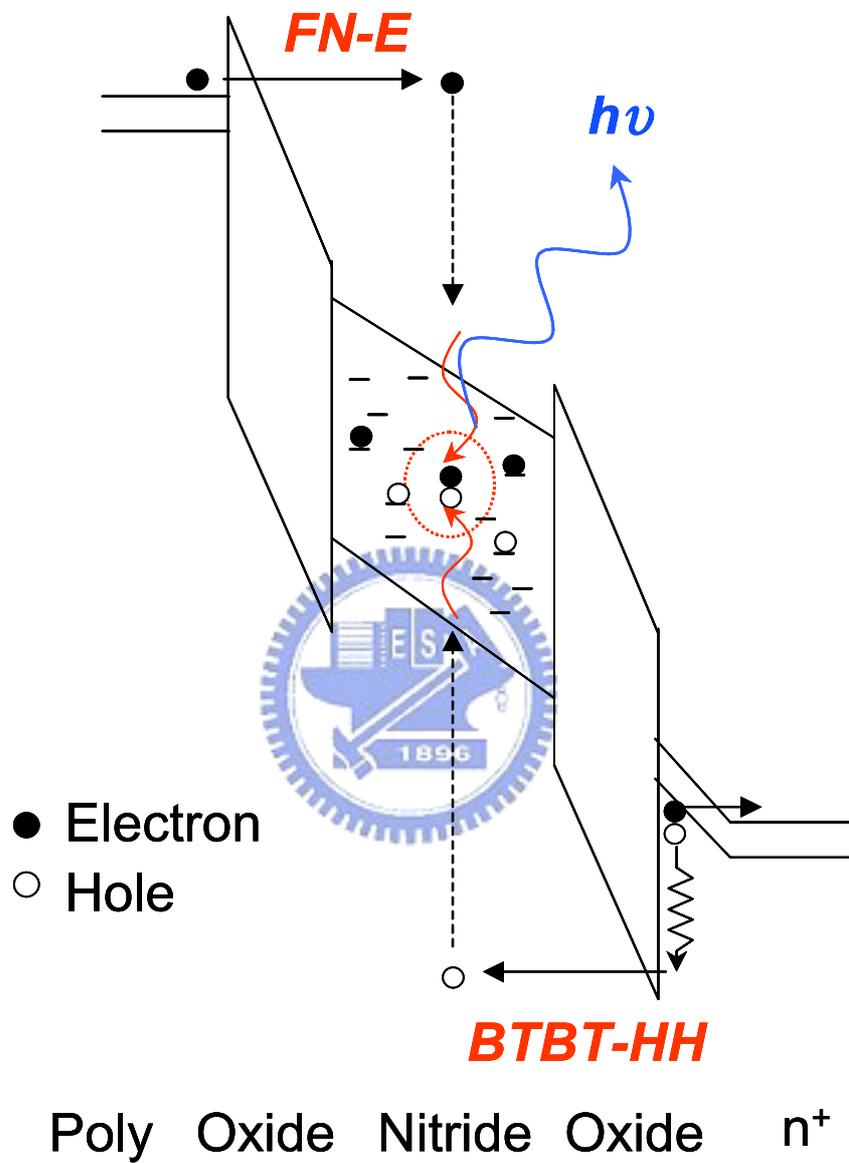


圖 2-11. 帶對帶熱載子 (band to band hot carrier) 發光機制之能帶圖。

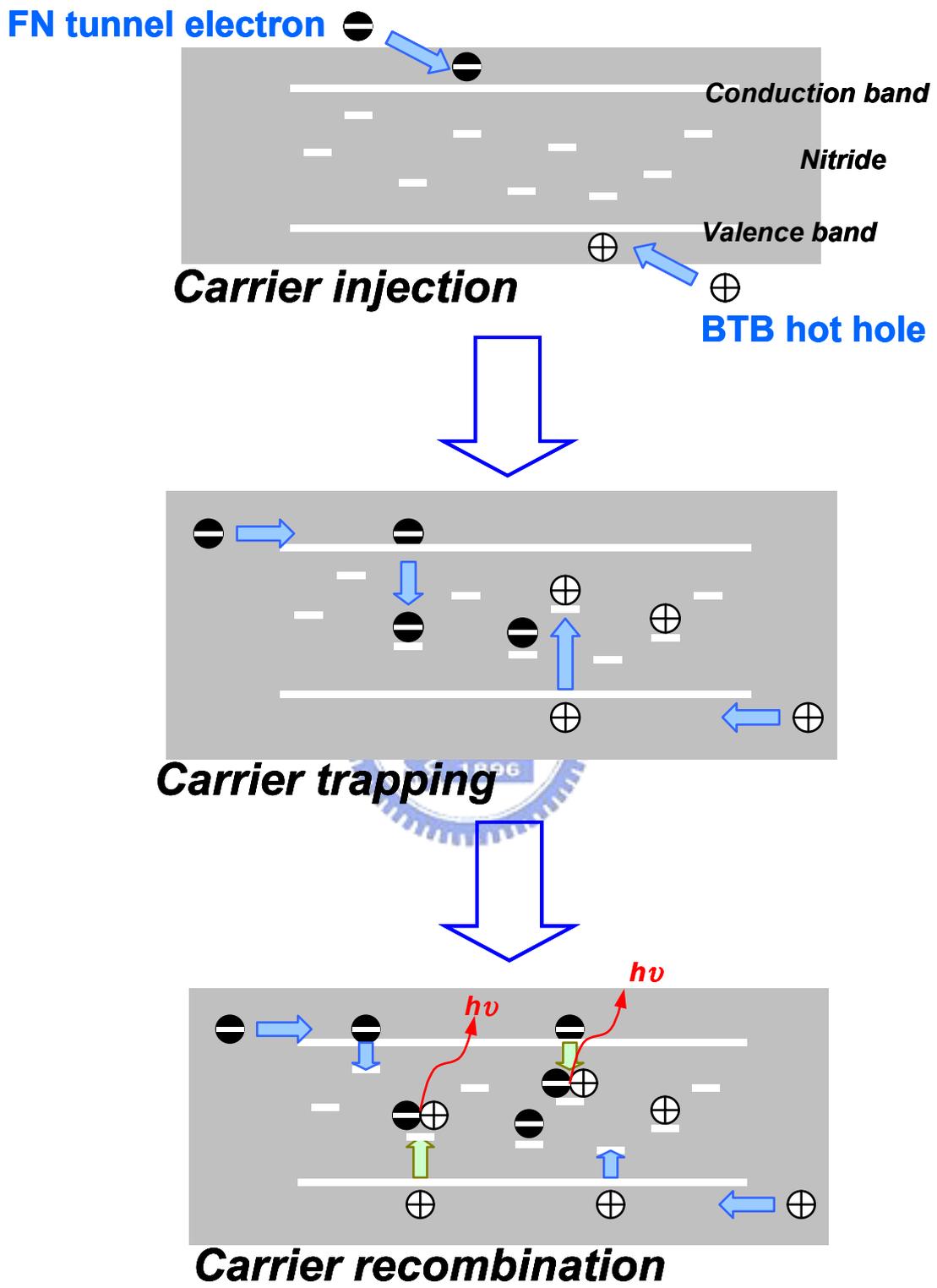


圖 2-12. 光子產生過程之流程圖。

## 第三章

### 實驗設定

#### 3.1 介紹

本章介紹 NBit 記憶體元件的製程步驟、量測的電路圖與佈局圖。針對整個實驗設定、流程、量測方法概要介紹。

光子偵測和光譜分析這一部份之鑑定，主要是使用微光顯微鏡（photoemission microscopy）進行實驗分析，此章節將對機台設備整體架構、原理、應用範圍概要介紹。

#### 3.2 NBit 記憶體元件的製程流程及電路佈局圖

NBit 記憶體元件是一種  $0.13\mu\text{m}$  的製程技術，一個單胞（unit cell）的面積為  $0.072\ \mu\text{m}^2$ （ $0.046\ \mu\text{m}^2 / \text{bit}$ ），X 方向和 Y 方向的長度為  $0.33\ \mu\text{m}$  和  $0.36\ \mu\text{m}$ 。NBit 記憶體元件為一 n 型通道金氧半電晶體，其閘極下方之介電層改為氧化矽-氮化矽-氧化矽三層堆疊的結構，其中底層氧化層-氮化層-上層氧化層（oxide-nitride-oxide）的厚度分別為  $6\ \text{nm}$ - $7\ \text{nm}$ - $9\ \text{nm}$ 。

##### 3.2.1. NBit 記憶體元件之製程流程

針對 NBit 記憶體元件簡要的製程流程可以分為以下幾個程序，如圖 3-1 之截面結構所示：（1）、首先，隔絕和 p-井之形成（isolation and well formation）。（2）、接著進行成長氧化層-氮化層-氧化層三層堆疊層（ONO stack growth）。底層氧化層和上層氧化層是使用熱氧化法（thermal oxidation）成長完成，氮化矽層則是以化學氣相沉積法（CVD deposition）所形成。這三層相當於 CMOS 閘極氧化層之作用（CMOS gate oxidation）。（3）、沉積第一層多晶矽和氮化矽（1<sup>st</sup> poly-Si and SiN deposition），如圖

3-1 (a)。(4)、定義元件閘極主體的圖案，也就是決定通道長度 (cell gate length patterning)。(5)、形成元件之源極/汲極，以離子植入方式植入所謂 N+擴散區域 (buried-diffusion bit-line formation)，如圖 3-1 (b)。(6)、採用低溫製程填入介電層和進行平坦化製程 (low temperature dielectric fill-in and planarization)，如圖 3-1 (c)。(7)、沉積第二層的多晶矽與矽化鎢 ( $2^{\text{nd}}$  poly-Si/WSi<sub>x</sub> deposition)，如圖 3-1 (d)。以上步驟完成 NBit 元件的閘極，也就是所謂的字元線 (gate patterning)，與完成 NBit 元件的源極和汲極 (source/drain formation)，也就是位元線。(8)、後序製程程序為傳統後段製程流程 (conventional backend process)。

整個 NBit 記憶體元件製程和傳統 CMOS 製程有些相似，其中比較新穎的部份是採用低溫方式填入介電層和平坦化製程，此介電層必須有足夠的厚度才可有效阻絕字元線和位元線。



### 3.2.2. 量測電路圖之設計

量測電路圖，如圖 3-2 虛線圈起來的部份。主要是由 9 個 NBit 記憶體元件採並聯方式排列所構成，分別將 9 個元件的源極端和汲極端連接在一起 ( $V_s$  和  $V_d$ )，閘極端最後也連接在同一個接點 ( $V_g$ )。其電路設計佈局圖，如圖 3-3。此元件之閘極端是由橫列導線多晶矽所控制，這條導線便是所謂的字元線 (word-lines, WLs)。汲極端和源極端為縱向 N+擴散區域 (local buried-diffusion, BD) 所控制，此稱之為位元線 (bit-lines)。整個量測元件的總面積大小為  $0.616 \mu\text{m}^2$ 。

## 3.3 實驗流程

整體 Nbit 元件光譜分析實驗主要是設定在以下幾個條件之下：

1. 選擇氧化層-氮化層-氧化層的厚度為 6 nm-7 nm-9 nm 的原因，主要

是在製程上已經很成熟穩定，並且在寫入與抹除的操作電壓與可靠性問題都已經被驗證過為最佳狀態。

2. 選擇 9 個 NBit 記憶體元件進行量測的原因，主要是增加發光的面積與增加激發的光子數，提高量測的準確性。

整體實驗流程如下：

1. 先推測可能的發光機制：

首先，第一個想法是發光的條件必須是電子/電洞對的再結合，才有可能發光。如何使 NBit 記憶體元件產生電子/電洞對，並發生再結合反應？

2. 驗證推測的發光機制：

量測單獨只有電子或單獨只有電洞注入是否也會發光。分別以 FN 穿隧效應機制單獨產生電子或帶對帶穿隧誘發熱電洞機制單獨產生電洞，個別量測其發光特性。在驗證單一載子的作用後，其次再同時注入電子電洞，觀察電子與電洞之交互作用，量測當同時將電子和電洞注入時之發光特性。其中，吾人藉由量測臨界電壓的變化情況來判定電子或電洞是否存在並參與發光反應。最後，再調整每一端點的電壓，觀察不同偏壓對發光特性的影響，必須注意不可施加太高的偏壓，否則可能會將元件燒毀。

3. 驗證其它結構的元件是否也會發光：

目前選用了 NMOS 元件和傳統的快閃記憶體浮閘極結構元件進行實驗驗證。利用有效發光之偏壓條件加在其它元件觀察是否也會發光。

4. 量測發光強度、波長範圍和光子能量大小：

當證實發光機制之後，接下來，需要了解所發射的光是屬於什麼光、光強度和光子能量的大小是如何。透過微光顯微鏡進行量測探討和光譜分析，得知這些結果也可以反證所推測的機制是否正確。

5. 比較不同偏壓條件，發光的強度變化：

發光強度的變化是否會受偏壓條件的影響？這個實驗分別單獨改變閘極端、汲極端和矽基材的電壓，分析了解光強度之變化情況。

6. 長時間施加電壓在元件上，觀察發光強度是否會受變化：

以有效發光之偏壓條件施加在元件上，並以相同偏壓量測發光強度是否會衰減。

### 3.4 光譜分析量測設備之介紹

光子的偵測和光譜分析這一部份的鑑定主要是使用微光顯微鏡（photoemission microscopy）進行實驗分析，這章節將對機台設備整體架構、原理、應用範圍概要介紹。

微光顯微鏡是一種進行積體電路故障分析極有幫助的設備，實際應用於半導體元件設計過程[22][23]、製造過程[24][25]和測試週期[26]中的故障，藉由此設備可以找出故障根源。

#### 1. 微光顯微鏡之應用領域：

微光顯微鏡之應用領域，通常被用來偵測 IC 的漏電故障位置使用，是屬於一種快速、簡單、高靈敏度及高解析度。主要可以偵測到的光點，通常包括有接面漏電（junction leakage）、順向偏壓的二極體（forward biased diodes）、接面崩潰（junction avalanche）、閃鎖（Latch-up）和熱電子（hot electrons）等[27]。

#### 2. 微光顯微鏡之原理功能：

微光顯微鏡之主要分析原理是可以偵測從矽基材元件和電路所發出來的可見光和近紅外光[28]，其波長範圍可以從 400 nm 到 1100 nm 之間。由於人的眼睛所能看見的範圍大約在 0.4 微米（ $\mu\text{m}$ ）到 0.7 微米之間，而紅外線區的波長則從 0.7 微米延伸到 1000 微米。光子的放射發生在半導體提供直接路徑給電子和電洞相遇，當導電帶的電子和價電帶的電洞相遇與結合，會放出

能量產生光子，這發射光子過程稱之為再結合放射（recombination emission）。當電子從高能階落入低能階，其兩個能階的能量差，便是其所放射出光子能量。光子能量偵測是透過機台的光譜量測功能，是透過濾波透鏡達成。由相對光子強度的能量分佈可以知道主要發射光子的波長範圍，若欲將波長轉換成所對應的光子能量（相當於能階間隙（energy bandgap,  $E_g$ ）），可以使用下列之關係式得知[29]：

$$\lambda = \frac{c}{\nu} = \frac{hc}{h\nu} = \frac{1.24}{h\nu(\text{eV})} \mu\text{m} \quad (2.2)$$

其中  $c$  是光在真空中的速度， $\nu$  是光的頻率， $h$  是蒲朗克常數，而  $h\nu$  是一個光子的能量，以電子伏特（eV）為單位。例如波長在  $0.8 \mu\text{m}$  時，相當於  $1.55 \text{ eV}$  的光子能量。波長愈長，光子能量愈小。

此外，當半導體的金屬層越來越多層時，有時候光子會被金屬層遮蔽而無法偵測到。這時候就可以考慮由樣品的背面進行偵測。樣品在一般顯微鏡下，無法從背面看到正面的影像，因為可見光會被矽所吸收，若是近紅外線便可以穿透矽基材。背面的偵測原理即利用這個特性，用近紅外線的光源取得樣品影像，當與偵測到的亮點重疊，便可以知道故障位置[30]。不過先決條件是微光偵測器的光偵測範圍必須涵蓋這個波長範圍，而且矽基材厚度必須夠薄，表面必須呈現光滑。

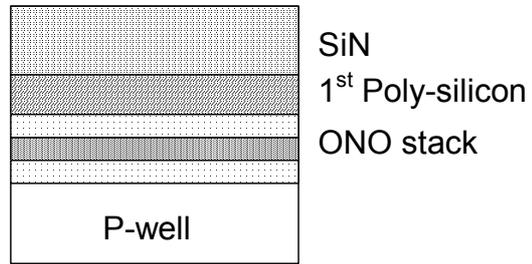
### 3. 微光顯微鏡之基本架構：

儀器本身的基本架構，如圖 3-4。必須具備有可以在顯微鏡下偵測這微量光源的偵測器（主要採用 cooled-CCD 的偵測器）和可以顯示元件的影像系統，並利用影像合成技術，將光點的影像和元件的影像重疊在一起，如此便可以清楚知道光子是從元件的那一位置所放射出來的[31]。此時，元件必須操作在偏壓

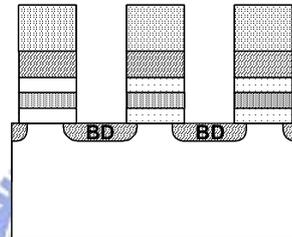
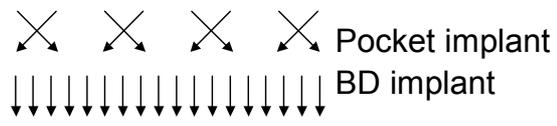
狀態下，這時才可以偵測有無光子的放射。整體設備必須安裝在密閉不透光的環境下進行量測，避免遭受外界光線干擾影響偵測之準確性。

另外，光譜分析是利用機台所安裝濾波透鏡單元進行分析，濾波透鏡只收集某一特定波長光子，濾除其他波長光子，每一波長下所收集的光子數目表示光子的相對強度。本系統總共有 8 種不同波長（400、500、600、700、800、900、1000 和 1100 nm）的濾波透鏡所構成。

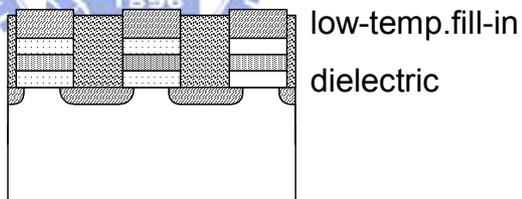




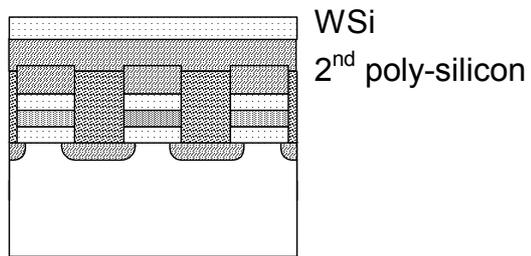
(a)



(b)



(c)



(d)

圖 3-1. NBit 記憶體元件製程流程圖。

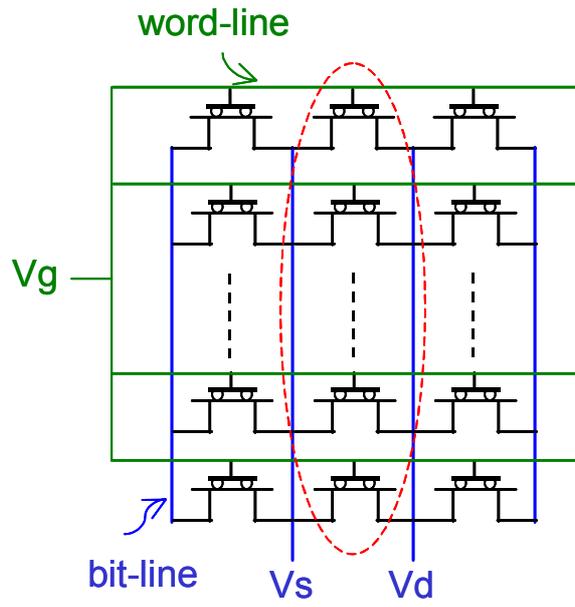


圖 3-2. 量測電路圖。

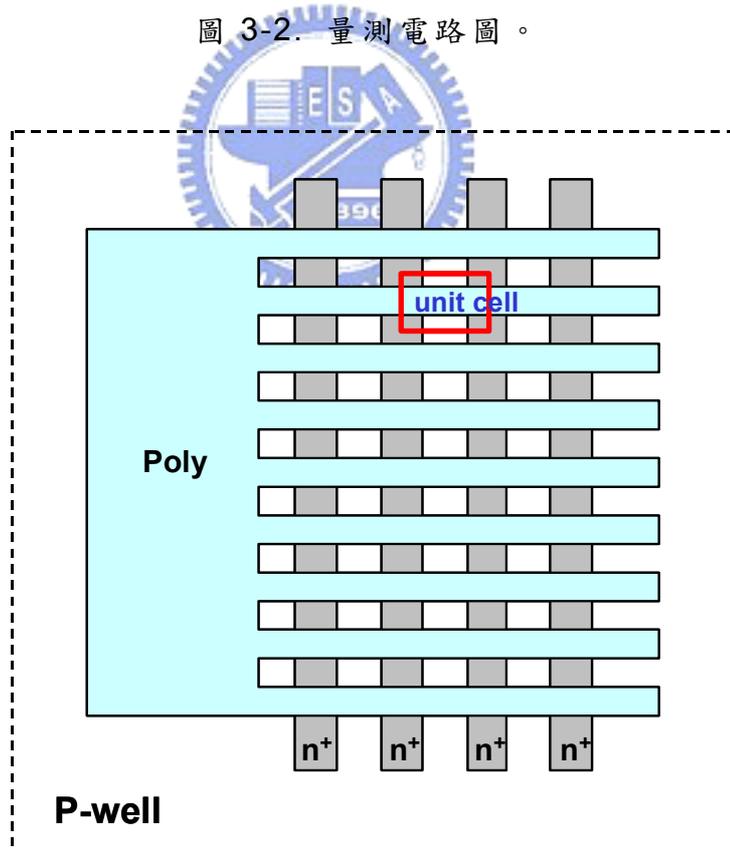


圖 3-3. 量測電路佈局圖。

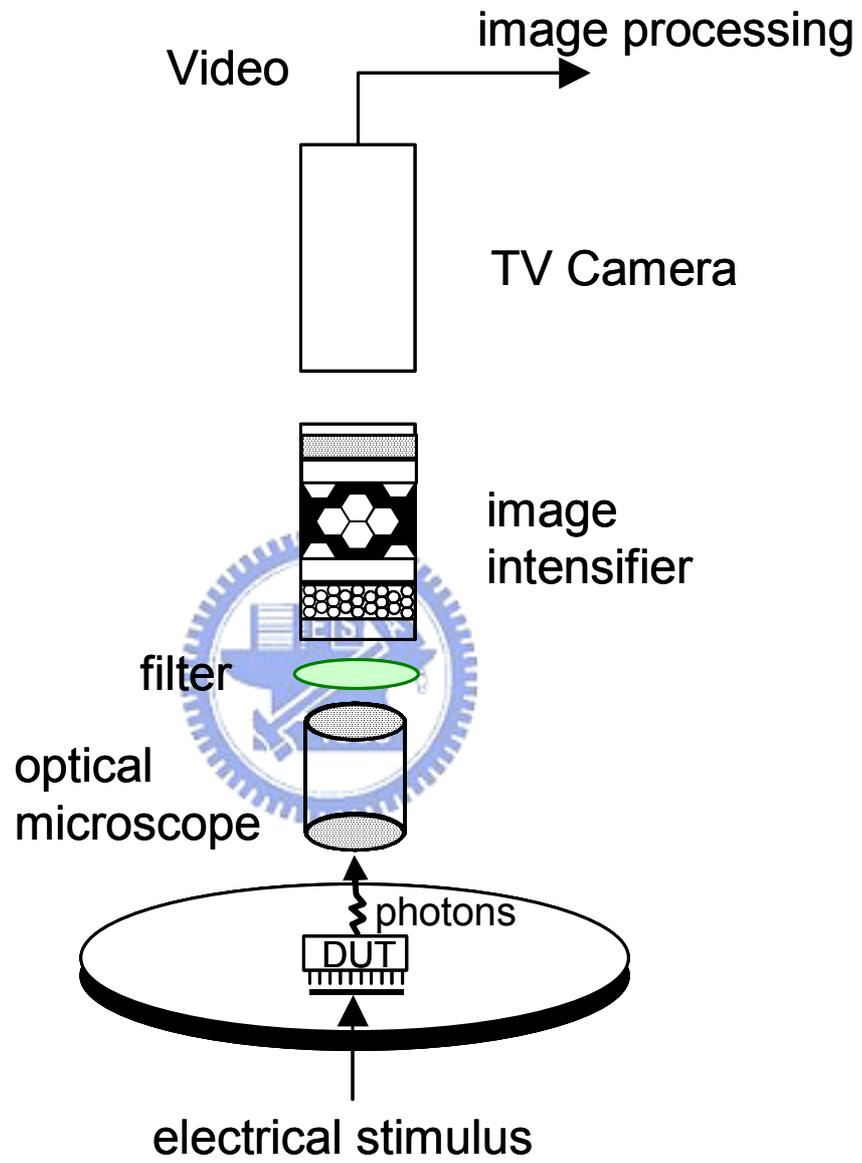


圖 3-4. 微光顯微鏡之架構圖。

## 第四章

### 實驗結果與討論

#### 4.1 介紹

本章將探討並驗證 NBit 記憶體元件發光機制，當只有電子或只有電洞注入氮化矽層中，是否會從氮化矽層中產生光子，或是在其它結構元件中在相同偏壓條件之下是否也會發光。

主要的驗證發光機制有下列幾種方式：第一種方法、在 NBit 記憶體元件中，只允許電子注入氮化矽層內。可以利用 FN (Fowler-Nordheim) 穿隧效應方式產生電子。第二種方法、只允許電洞注入到氮化矽層裡，是採用目前在抹除 (erase) 動作上所操作之帶對帶穿隧誘發熱電洞注入 (band to band tunneling induced hot hole injection) 方式。第三種方法，結合 FN 穿隧和帶對帶穿隧誘發熱電洞這兩種方式，同時將電子和電洞注入到氮化矽層中。第四種方法，使用其它元件 (如 NMOS 元件)，施加相同偏壓條件是否也會發光。

當驗證發光機制之後，將進行量測光子強度之變化，觀察是否會隨著偏壓條件而改變，並分析光譜分佈情況探討發光的波長範圍和光子能量強度。藉此了解電子電洞與儲存陷獲之間的關係與物理機制，並了解氮化矽層陷獲的特性。

#### 4.2 發光機制之驗證

這個實驗目的在驗證發光機制，主要考量當只有電子或只有電洞注入氮化矽層中，或是其它結構的元件 (如 NMOS 元件) 是否會發光。再藉由量測臨界電壓的變化情況來判定電子或電洞是否存在並參與發光反應。其驗證結果如下：

### 1. 只產生電子的方法：

利用 FN 穿隧效應方式，在閘極端加上很高的負偏壓 ( $V_g = -16 \sim -23 \text{ V}$ )、源極端和汲極端為浮接與 p 型矽基材為接地端，如圖 4-1 (a)。此時電子從閘極端產生，因電子獲得很高的能量，而以 FN 穿隧方式穿隧過氧化層的三角形能障，再注入到氮化矽層中。其臨界電壓 (threshold voltage) 的變化，如圖 4-1 (b)。橫軸表示閘極電壓的變化範圍，縱軸為臨界電壓值，當閘極電壓趨於很大的負電壓值時，其臨界電壓值也變的比較大，這表示電子注入到氮化矽層數目增加，主要受到閘極電壓值的影響。

由臨界電壓值的變化結果，確定只有電子注入到氮化矽層中，此時觀察 CCD 影像並沒有發現有光子信號產生。

### 2. 只產生電洞的方法：

使用帶對帶穿隧誘發熱電洞方式產生電洞，主要從汲極端加上正電壓 ( $V_d = 4.5 \sim 5.8 \text{ V}$ )、閘極端電壓必須比汲極端電壓還要小，因此提供一個較小的負電壓 ( $V_g = -5 \text{ V}$ ) 和 p 型矽基材為接地端，如圖 4-2 (a)。在這偏壓條件下，電洞獲得能量受到碰撞而注入到氮化矽層中。

其臨界電壓值的變化，如圖 4-2 (b)。當固定閘極端電壓在  $-5 \text{ V}$  時，改變汲極電壓 ( $V_d = 4.5 \sim 5.8 \text{ V}$ )。當汲極電壓較大時，其臨界電壓也隨著變小。這表示電洞注入到氮化矽層的數目增多，造成臨界電壓會較小。

由臨界電壓值的變化結果，只有電洞注入到氮化矽層，由偵測器收集光子，在 CCD 影像中並沒有發現任何光子信號存在。

### 3. 同時產生電子和電洞的方法：

結合 FN 穿隧效應方式產生電子和帶對帶穿隧誘發熱電洞方式產生電洞。此時，在閘極端加上很高的負電壓 ( $V_g = -16 \text{ V}$ ) 提供電子、汲極端 N+ 擴散區域給予正電壓 ( $V_d = 5.8 \text{ V}$ ) 產生電洞和 p 型矽基材為接地端，如圖 4-3

(a) 所示。

當量測臨界電壓的變化時，可以發現只提供電子 ( $V_g = -16\text{ V}$ ,  $V_d = 0\text{ V}$ ,  $V_b = 0\text{ V}$ ) 時，其臨界電壓是比較高的，如圖 4-3 (b) 的方形分佈線。一但再注入電洞 ( $V_g = -16\text{ V}$ ,  $V_d = 5.8\text{ V}$ ,  $V_b = 0\text{ V}$ ) 時，其臨界電壓就往下下降，如圖 4-3 (b) 的圓形分佈線。由此可證，在汲極端給予正電壓產生電洞注入到氮化矽層中與電子結合，使得原本高的臨界電壓值因此而變成低的臨界電壓值。可以發現由閘極端產生電子和由汲極端  $N^+$  擴散區產生電洞，會同時注入到氮化矽層中。

在這偏壓條件下，由於電子和電洞會連續不斷的注入氮化矽層中而被陷獲，經過電子和電洞的再結合而發射出光子。光子透過微光顯微鏡中之 CCD 偵測器收集，可以觀察光點影像，發現光子主要從閘極端的邊緣所發射出來，如圖 4-4 (a)。發光偏壓條件稱之為有效發光偏壓條件 ( $V_g = -16\text{ V}$ ,  $V_d = 5.8\text{ V}$ ,  $V_b = 0\text{ V}$ )。



#### 4. 其它元件驗證方法：

以 NMOS 元件進行驗證，此元件結構不包含氮化矽層。其閘極氧化層厚度為  $18\text{ nm}$ 。將有效發光偏壓條件 ( $V_g = -16\text{ V}$ ,  $V_d = 5.8\text{ V}$ ,  $V_b = 0\text{ V}$ ) 加在 NMOS 元件上，如圖 4-5。由 CCD 影像觀察發光情形，發現沒有光點產生，如圖 4-4 (b)。其不會發光的原因，主要是由於 NMOS 元件並沒有儲存電荷的能力，因此無法像 SONOS 結構一樣可以陷獲載子並幫助載子發光。

總結以上幾種驗證結果，可以發現要讓 NBit 記憶體元件有效發光，單純只有電子或只有電洞注入氮化矽中是無法發生再結合效應，因此也無法發射出光子。必須藉由電子和電洞同時連續不斷產生，並注入氮化矽層中被陷獲，經過電子和電洞的再結合而發射出光子。將有效發光偏壓條件加在其它元件 (如 NMOS 元件) 上，雖然也是有電子和電洞的產生，但是沒有像氮化矽層的結構存在，因此是無法有效的產生光子。

### 4.3 電致發光之光譜分析

由先前的實驗得知此 NBit 記憶體元件有效發光偏壓條件後，將針對所發射的光子進行探討。主要了解 NBit 記憶體元件發射的光子是屬於什麼光、波長範圍、光子能量大小與光子相對強度分佈情況，並探討所發射的光子其強度是否會隨著偏壓的調整而有強弱變化，變化情況有何關連性。藉由光譜分析，了解電子電洞與儲存陷獲之間的關係與物理機制，並了解氮化矽層陷獲的特性。

#### 4.3.1 NBit 記憶體元件之光譜分析

這個實驗目的在了解 NBit 記憶體元件所發射的光子是屬於什麼光、波長範圍、光子能量與光子相對強度分佈情況，並了解氮化矽層陷獲的特性。比較幾種情況，當只有 FN 穿隧電子或只有帶對帶穿隧誘發熱電洞的注入、NMOS 結構和 pn 接面順向偏壓的狀態下，所產生光子的情形。

針對 NBit 記憶體元件在有效發光偏壓條件下進行量測，在閘極端提供很高的負電壓 ( $V_g = -16\text{ V}$ ) 和汲極端 n+ 擴散區域給予正電壓 ( $V_d = 5.8\text{ V}$ )。由 CCD 影像可以觀察到光子產生，此時針對光點進行量測和光譜分析。

由圖 4-6 光譜分佈圖所示，橫軸為波長變化、縱軸為光的相對強度，從氮化矽層中所發射光子的波長在 400~1100 nm 範圍（方形分佈圖），其中最主要的強度是在 700~800 nm 的波長下。產生光子波長主要是屬於可見光（400~700 nm）到近紅外光（700~1000 nm）的範圍。經由公式計算可以得到光子能量（相當於能階間隙  $E_g$ ）是在 1.55~1.77 eV 之間。由於，氮化矽的能階間隙為 5 eV。由此可證明，光子的產生是電子與電洞在氮化矽層中被陷獲之後發生再結合反應，而並非電子躍過某一個能障與電洞再結合所產生的光子。

比較幾種情況，如當只有 FN 穿隧電子或當只有帶對帶穿隧誘發熱電洞的

注入之下其結果與單純 NMOS 元件的情況雷同，從其光譜分佈結果分析得知，並沒有任何光子被偵測到，換言之則是沒有發光的行為。唯獨在穿隧電子與帶對帶穿隧誘發熱電洞同時注入下才會發光。因此知道 NBit 記憶體元件是可以發光的，而所發射的光子是來自於氮化矽層中的陷獲所提供的途徑，供電子與電洞結合所致。

此外，之前介紹過 pn 接面順向偏壓和 pn 接面逆向偏壓所發射的光子是屬於不同波長範圍，所產生光子的方式也有所不同。比較兩者的差異，由如圖 4-7 的圓形分佈圖是在 pn 接面順向偏壓條件下的結果，順向偏壓條件是 n+擴散區域為負電壓 ( $V_d = -0.85\text{ V}$ ) 與 p 型矽基材為接地端 ( $V_b = 0\text{ V}$ ) 所形成，電子會往 p 型矽基材方向流入，其汲極電流大小為  $3 \times 10^{-5}\text{ A}/\mu\text{m}$ 。實驗結果發現最主要光譜強度譜峰落在波長為 1000 nm 的位置，接近近紅外光對應之光子能量約為 1.2 eV。導致 1000 nm 光子發射主要因為電子/電洞對的再結合是發生在矽基材經由躍過矽的能障所產生光子，相當於發光二極體 (LED) 的 pn 接面順向偏壓產生的結果。

由此證明，和之前所介紹矽基材在 pn 接面順向偏壓的原理一樣 (屬於長波長範圍和低光子能量的結果)，因此電子是躍過矽的能障 (能階間隙為 1.2 eV) 所產生再結合而發射出光子。然而，逆向偏壓接面的結果，如圖 4-7 的方形分佈圖是屬於短波長分佈範圍和光子能量較大的情況下，而逆向偏壓接面狀態下的汲極電流大小為  $\sim 7.5 \times 10^{-8}\text{ A}/\mu\text{m}$  比順向偏壓接面的電流小了 3 個等級 (orders)。

此實驗顯示 NBit 記憶體元件不同於 pn 接面順向偏壓所發射出來的光子，所產生光子的方式也大不相同。而 NBit 記憶體元件是比較屬於 pn 接面逆向偏壓產生的結果，屬於短波長和低電流消耗。

總結幾種不同基本偏壓狀態和不同結構元件的光譜分析結果，如表 4-1 所示。NBit 記憶體元件最主要的波長在 700 nm，而 pn 接面順向偏壓最主要的波長是在 1000 nm，其光子能量也有所差別。比較其它情況之下是不會有

光子產生的。因此對 NBit 記憶體元件而言，要達到有效的發光，有幾項必要條件：氮化矽的陷獲、測不準原理（uncertainty principle）、高能量的電子和高能量的電洞才可以達成。而所發射的光子是來自於電子與電洞在氮化矽層中被陷獲之後發生再結合反應，而並非電子躍過某一個能障與電洞再結合所產生的光子。

#### 4.3.2 偏壓影響之光譜分析

將討論所發射的光子強度是否會隨著偏壓調整而有強弱的變化，其變化的情況如何？而光譜的分佈又是如何？主要偏壓條件的改變可分為三種情況：第一，固定汲極端電壓，改變閘極端電壓。第二，將閘極端電壓固定，改變汲極端電壓。第三，將閘極端和汲極端之電壓固定在有效發光的偏壓下，改變 p 型矽基材的電壓。此外，在有效發光條件下，進行長時間的施加電壓，觀察光強度是否會衰減。針對這幾種偏壓改變，量測發光情況。其實驗結果如下：

##### 1. 固定汲極端電壓，改變閘極端電壓：

設定汲極端 n+擴散區域在固定電壓 ( $V_d=5.8\text{ V}$ )，p 型矽基材接到接地端相當於 0V 電位 ( $V_b=0\text{ V}$ )，調變閘極端電壓由  $V_g=-13\text{ V}$  到  $-16\text{ V}$  之間。此時，可以觀察到發光情形的影像圖，如圖 4-8 (a)。當閘極端電壓愈趨於很大的負電壓時，光點影像所呈現的亮度愈亮。

針對這些光點進行光譜分析，其結果顯示於圖 4-9，橫軸為波長、縱軸為光的相對強度，光譜分佈圖主要顯示 4 種不同條件狀態的結果，發光強度隨著閘極端電壓愈趨負偏壓時，強度愈強。當閘極端電壓在  $-16\text{ V}$  時，所呈現的光強度是最強的。在所有的條件下，最主要強度落在波長從 700 到 800 nm 之間。

由圖 4-9 可以發現另一個現象，當閘極端電壓愈趨負偏壓時，表示電子

的產生數目增多，光子產生的相對強度從短波長（高能量）往長波長（低能量）方向增加。由此現象可以假設推論：當電洞由汲極注入到氮化矽數目固定時，電洞會被陷獲在靠近氮化矽價電帶的某一深度中；而當閘極端電壓愈趨負偏壓時，電子數目增多，由於電子的有效質量較小注入到氮化矽中的速度較快，電子會先被填滿在靠近氮化矽導電帶較淺的陷獲中，在較深的陷獲中電子不容易被捕捉到。此時，電子和電洞有機會發生再結合作用而發射出光子，而結合的光子能量由高能量往低能量增加。

當汲極端 n+擴散區域在定值 5.8 V 時，汲極電流與閘極電壓之間的關係顯示於圖 4-10。當閘極端電壓在 -16 V 時，汲極端電流為最大。在每一偏壓條件下，在 n+擴散區域的汲極電流是相當於到 p 型矽基材的電流，而閘極端的電流可以忽略不計。

當汲極端固定在一偏壓值時，以提供一固定數目的電洞注入，再藉由調變閘極端電壓改變電子產生數目。因電子注入到氮化矽層的數目改變，則影響到電子與電洞再結合的機率，也使得發光強度呈現強弱之分。

## 2. 閘極端電壓固定，改變汲極端電壓：

相反的，將閘極端電壓固定在負電壓（ $V_g = -16\text{ V}$ ）的條件下，p 型矽基材接到接地端相當於 0 V 電位（ $V_b = 0\text{ V}$ ），調整汲極端 n+擴散區域的電壓  $V_d = 4.6\text{ V} \sim 5.8\text{ V}$ 。光點影像由微亮逐漸增強到最亮，如圖 4-8 (b)。針對光點影像進行光譜分佈，其結果可以得知當汲極端電壓愈來愈大時，所發射的光強度也愈強。在每一個偏壓條件之下，其主要的強度的波長在 600~700 nm，如圖 4-11 所示。

此外，由圖 4-11 也發現另一個現象，當汲極端電壓愈高時，表示電洞的產生數目增多，光子產生的相對強度從長波長（低能量）往短波長（高能量）方向增加。由此現象可以假設推論：當電子由閘極注入到氮化矽數目固定時，電子會被陷獲在靠近氮化矽導電帶的某一深度中；而當汲極端電壓愈高時，

電洞數目增多，電洞會先被陷獲在靠近氮化矽價電帶較淺的陷獲中，之後再往較深的陷獲中被陷獲。此時，電子和電洞有機會發生再結合作用而發射出光子，而結合的光子能量由低能量往高能量增加。

當閘極端在定值-16 V 時，汲極端電流與汲極端電壓之間的關係顯示於圖 4-12。由分佈情況可以得知當汲極端電壓在 5.8 V 時，汲極端的電流為最大。在每一個偏壓條件下，在 n+擴散區域的汲極電流是相當於到 p 型矽基材的電流，而閘極端的電流可以忽略不計。

由閘極端提供固定電子數目注入氮化矽中，藉由調變汲極端 n+擴散區域電壓來控制電洞產生的數目，電洞注入氮化矽的機率也隨著變化，當電洞注入氮化矽數目增多時與電子再結合的機率也隨著增加。所發射出來的光子數目也愈多。

由以上的觀察分析結果：在固定汲極端電壓的狀態下改變閘極端電壓，或是固定閘極端電壓，而改變汲極端電壓，可以發現當汲極端所提供的電流愈大時，其發射出的光強度也愈強，顯示之間為接近線性關係，如圖 4-13 所示之光強度對汲極電流的關係。

另外，當閘極端電壓固定在某一電壓值下，發光強度會隨汲極端電壓增加而更強。由圖 4-14 光譜分析圖所示，閘極端電壓固定在-13、-14、-15 和 -16 V 的電壓位準上，並改變汲極端電壓由 4.6 V 到 5.8 V。整個光譜分佈呈現出類似於 NMOSFET 輸出特性（即  $I_d$  對  $V_d$ ）曲線[32] [33]，光強度在某一  $V_d$  值後幾乎呈線性變化。此一結果顯示 NBit 記憶體元件當做一個三端元件的可行性。

### 3. 改變 p 型矽基材的電壓：

這個實驗的主要目的藉由調整 p 型矽基材的電壓，了解汲極端所產生的電洞，注入到氮化矽層中的數目是否會受此偏壓影響。實驗結果發現確實會受影響，並且影響到光強度變化。

我們針對第三種偏壓條件進行量測，將閘極端和汲極端 n+擴散區域固定在有效發光的電壓下 ( $V_g = -16\text{ V}$ ,  $V_d = 5.8\text{ V}$ )，改變 p 型矽基材的電壓 ( $V_b$ ) 由 0 V 到 5.8 V。光譜分析結果如圖 4-15 所示橫軸為 p 型矽基材的電壓變化，縱軸為發光總強度，當  $V_b$  電壓從 0 V 調整至 5.8 V 時，發光總強度由最強而轉變為完全不亮的情況。

由此可證，當注入到氮化矽層的電子為固定，又因為 p 型矽基材的電壓可以控制電洞注入的量，結果造成再結合的機率也隨之變化，進而影響到發光強度。光譜分佈呈現出類似 NMOSFET 的轉換特性 (即  $I_d$  對  $V_g$ ) 曲線[33]。當  $V_b = 2\text{ V}$  時，可以控制元件亮與不亮。此一結果亦顯示出 NBit 記憶體元件當做一個三端元件的可行性。

#### 4. 長時間的施加電壓：

這個實驗的主要目的是觀察 NBit 記憶體元件中的氮化矽層之品質好壞，在長時間的施加電壓下，光強度是否會衰減，並且可以驗證量測資料的可性度。

目前只針對有效發光的偏壓條件，進行長時間的施加電壓，觀察光強度是否會減弱。將閘極端、汲極端 n+擴散區域與 p 型矽基材的電壓固定在有效發光的電壓下 ( $V_g = -16\text{ V}$ 、 $V_d = 5.8\text{ V}$ 、 $V_b = 0\text{ V}$ )，施加電壓的時間分別為 1、10 小時之後，量測光強度變化情況。其量測光強度的偏壓條件和施加電壓的條件相同。由光譜分析圖可以發現在 1 小時與 10 小時的光強度比未施加電壓 (0 小時) 的光強度有減弱的情況發生，但是主要的光強度波長仍然維持在 700nm 之下，如圖 4-16。其原因可能因為施加電壓而導致氧化矽-氮化矽-氧化矽層有被損壞的情況發生。由 1 小時與 10 小時的量測資料，可以確定先前實驗結果是可性的。

### 4.3.3 結語

此電致發光之光譜分析實驗目的探討 NBit 記憶體元件在有效發光偏壓條件下，所發射光子強度、波長範圍和光子能量大小，進而了解光子產生的過程。此外，探討偏壓條件改變時，其光子強度變化情況。可藉由調整每一端點的電壓，觀察不同偏壓下發光特性，並藉由光譜分析了解氮化矽陷獲的特性。

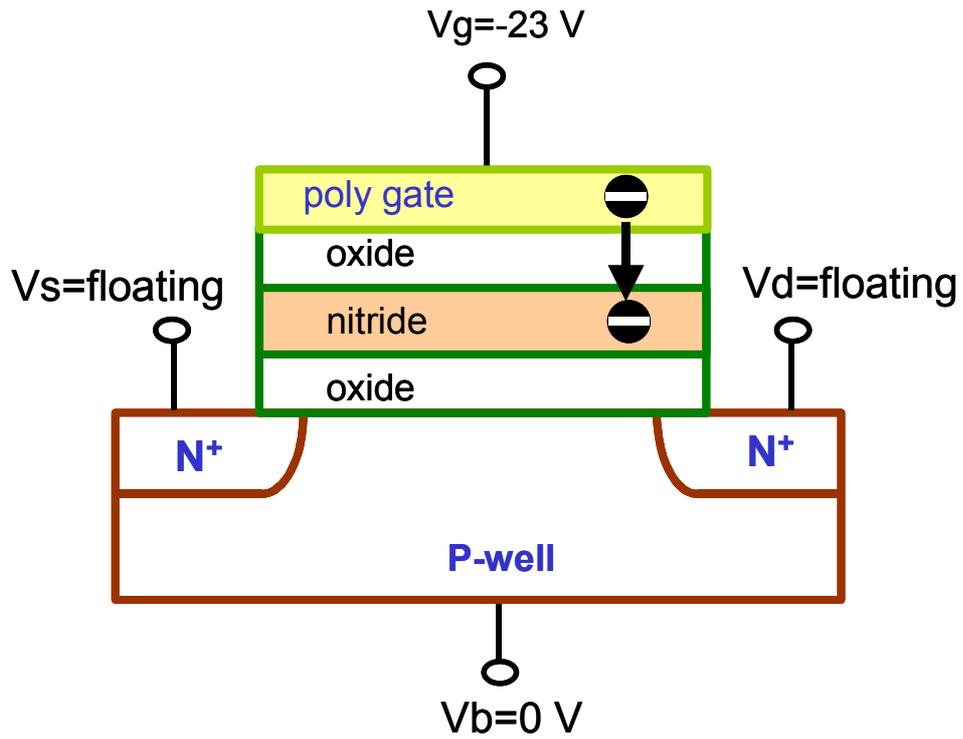
總結以上實驗結果，NBit 記憶體元件所發射光子強度主要在 700~800 nm 的波長下，其光子能量在 1.55~1.77 eV 之間。因此光子產生過程是電子與電洞在氮化矽層中被陷獲之後發生再結合反應，而並非電子躍過某一個能障與電洞再結合所產生的光子。各偏壓條件對光譜分析結果的影響，NBit 記憶體元件藉由偏壓狀態的調整，可以控制發光強度。由汲極端所提供的電流量變化也可以決定發光強弱。至於在那一個偏壓條件下，NBit 記憶體元件可以檢測到氮化矽層的好壞，還需要進行更多實驗。



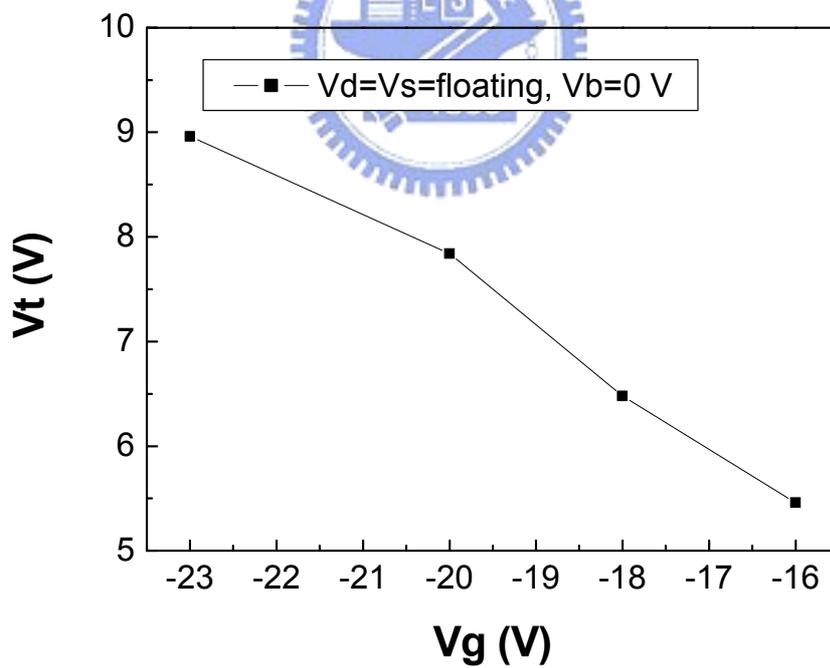
表 4-1. 數種偏壓狀態和不同元件結構的測試結果。

|                 | Normal condition | Electron only | Hot hole only | Without nitride | Forward junction |
|-----------------|------------------|---------------|---------------|-----------------|------------------|
| Vg              | -16              | -23           | 0             | -16             | 0                |
| Vd              | 5.8              | 0             | 5.8           | 5.8             | -0.85            |
| Vb              | 0                | 0             | 0             | 0               | 0                |
| Structure       | SONOS            | SONOS         | SONOS         | MOS             | SONOS            |
| Photon Emission | yes              | no            | no            | no              | yes              |
| Peak intensity  | 700nm            | X             | X             | X               | 1000nm           |



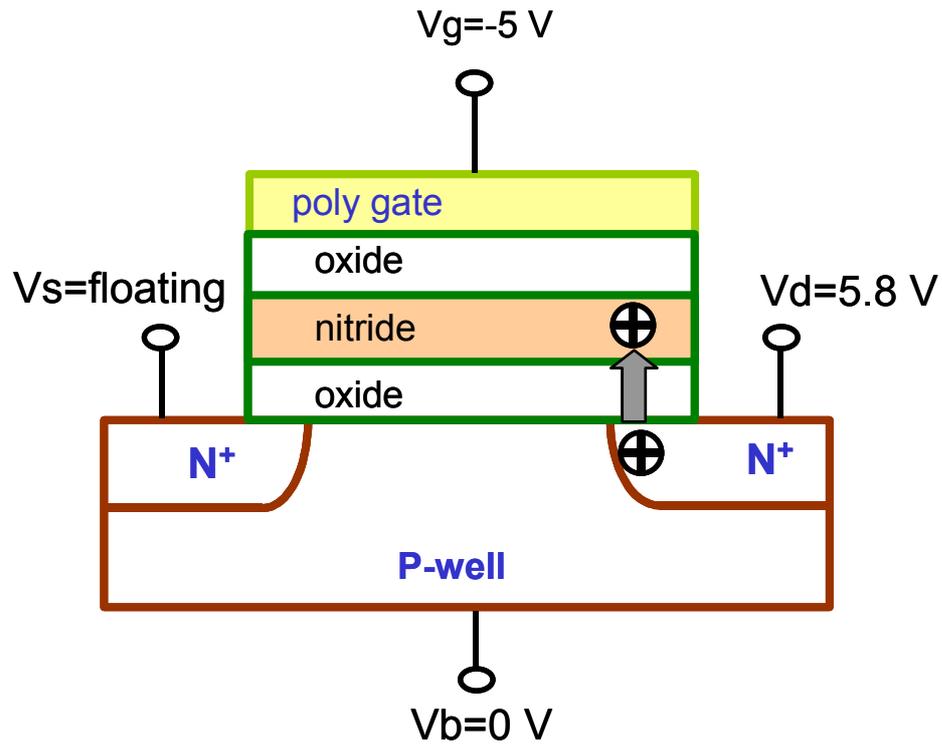


(a)

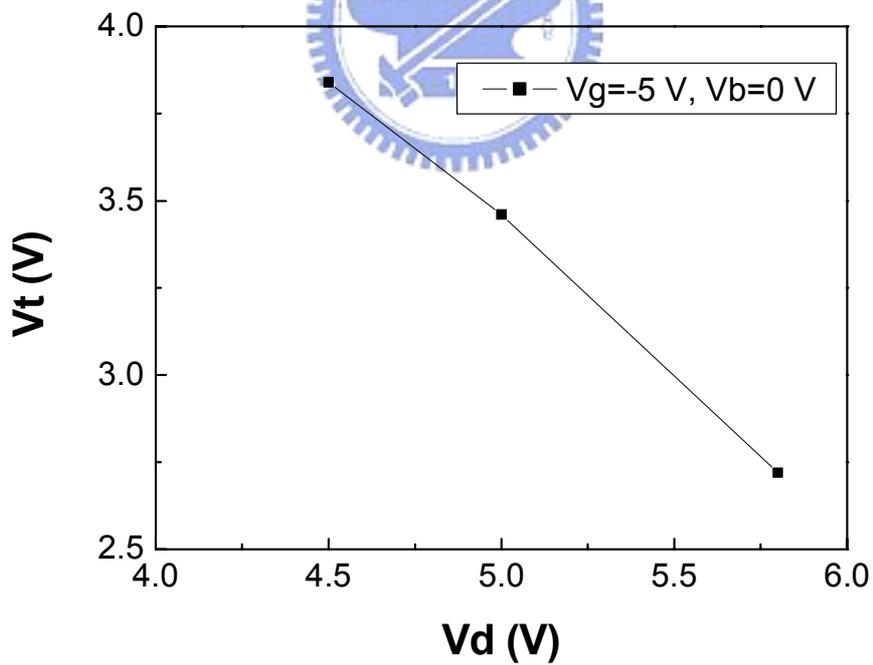


(b)

圖 4-1. (a) FN 穿隧機制提供電子之元件偏壓圖。 (b) 以 FN 穿隧方式，當改變閘極電壓趨於很大的負電壓，其臨界電壓趨於較大。

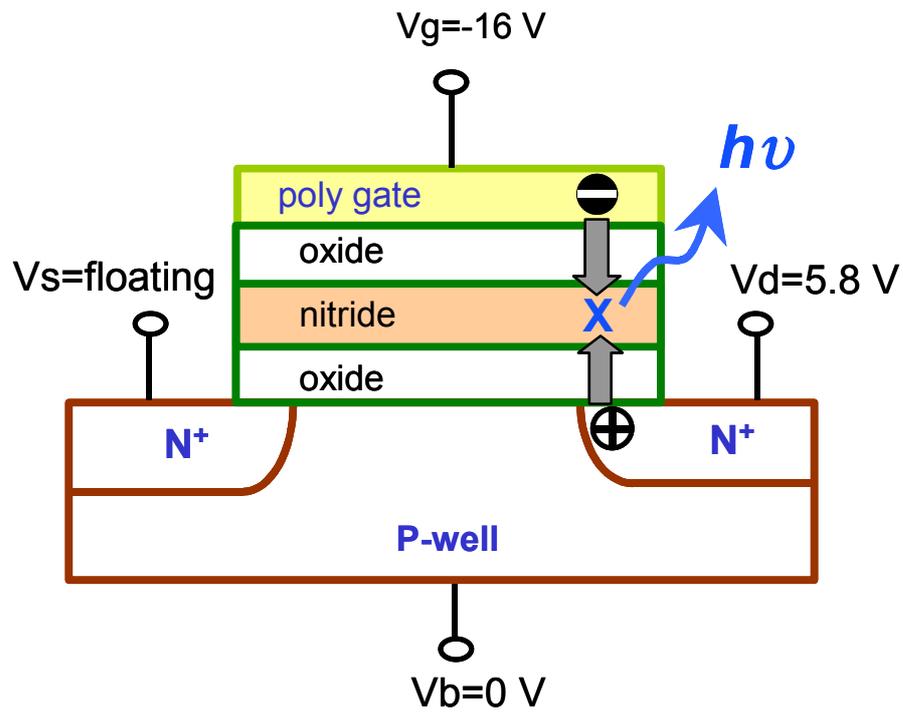


(a)

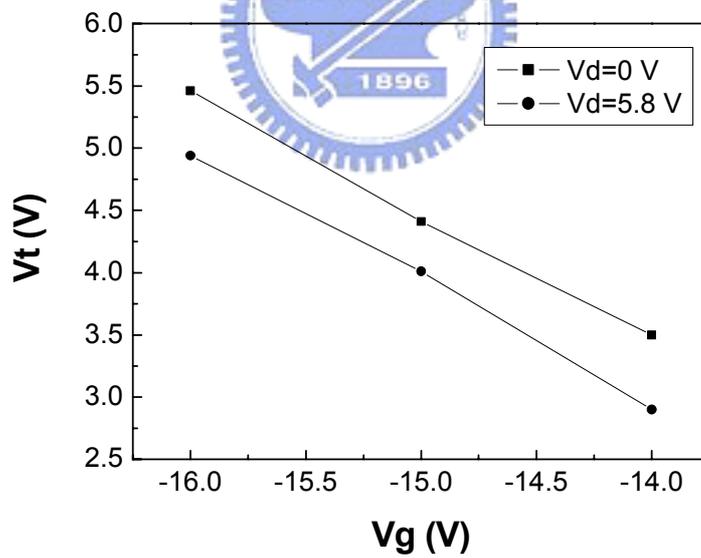


(b)

圖 4-2. (a) 帶對帶熱電洞機制產生電洞之元件偏壓圖。(b) 以帶對帶熱電洞方式，當改變汲極電壓愈大時，其臨界電壓趨於較小。

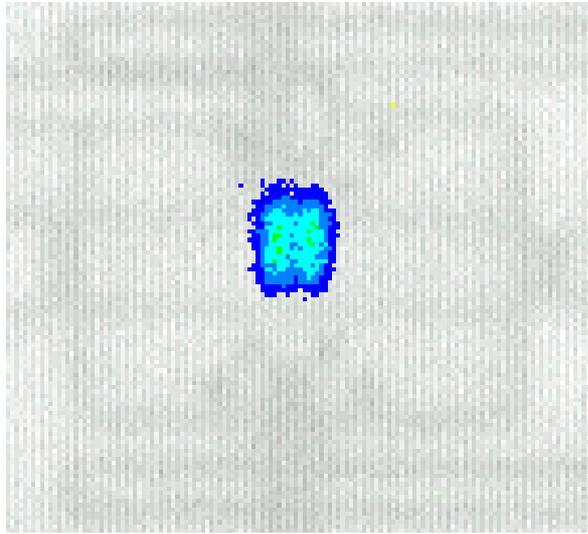


(a)

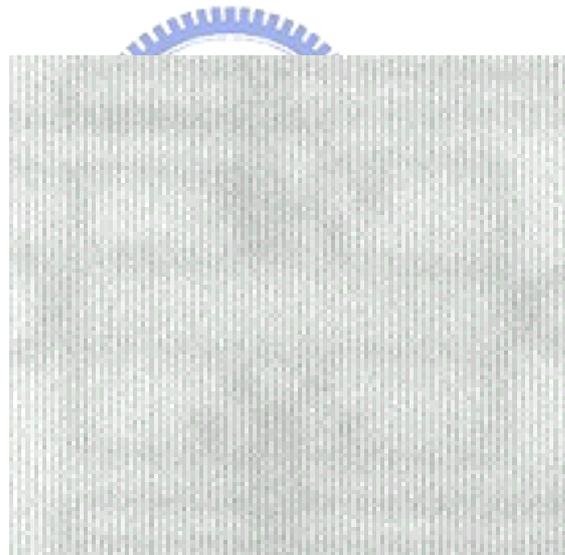


(b)

圖 4-3. (a) 帶對帶熱載子發光機制產生電子和電洞之元件偏壓圖。(b) 當只有提供電子時，其臨界電壓比較高(方形)。再由汲極端提供電洞時，其臨界電壓則下降(圓形)。



(a)



(b)

圖 4-4. (a) NBit 記憶體元件在有效發光之偏壓 ( $V_g/V_d/V_s=-16/5.8/0$ ) 狀態下之 CCD 影像，顯示此元件有光子的產生。(b) 有效發光的偏壓條件加在 NMOS 結構下之 CCD 影像，顯示沒有光子發射出來。

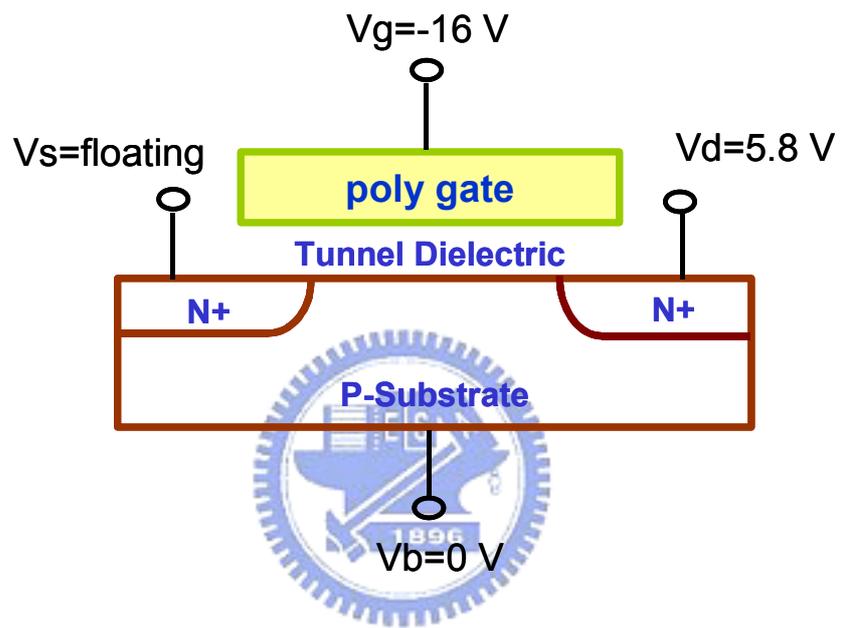


圖 4-5. NMOS 元件之偏壓圖。

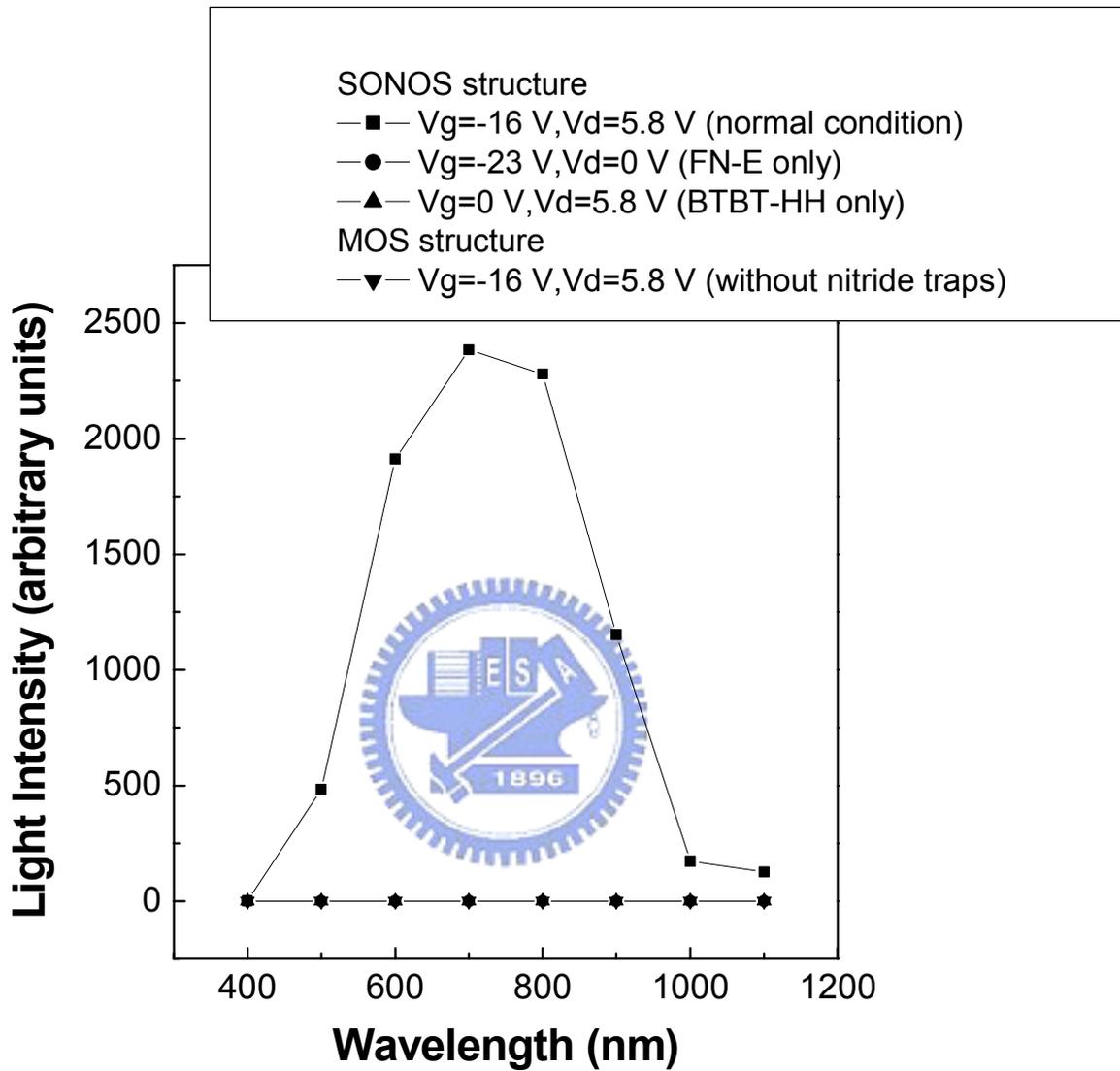


圖 4-6. 幾種不同偏壓條件和不同元件結構的光譜分佈情況。方形表示在 NBit 記憶體元件有效發光的偏壓條件。圓形和正三角形各表示 FN 穿隧方式只產生電子和帶對帶穿隧只產生熱電洞。倒三角形代表將有效發光的偏壓條件施加在 MOS 結構上。

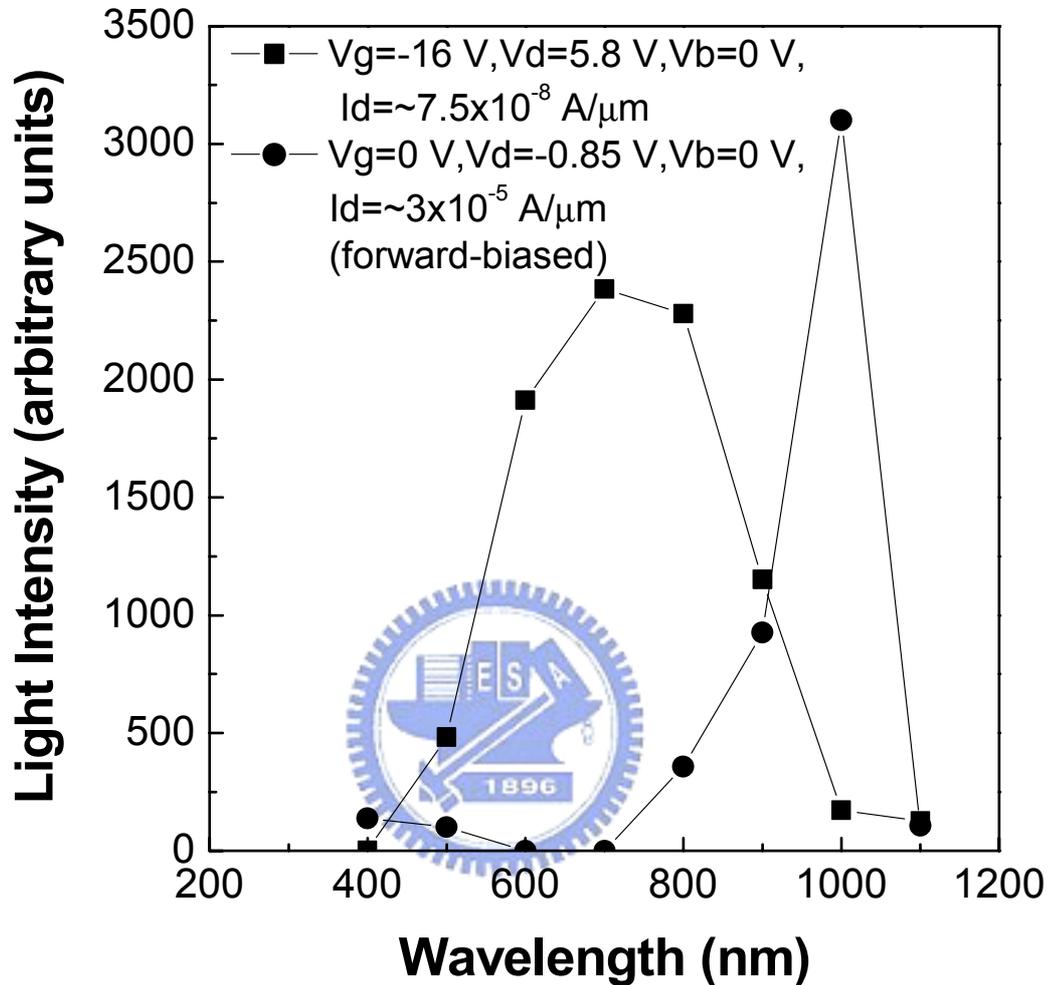


圖 4-7. 順向偏壓接面和逆向偏壓接面的光譜分佈情況。圓形表示在順向偏壓接面，主要波長在 1000 nm。方形代表在 NBit 記憶體元件有效發光的偏壓條件的光譜分佈情況（相當於逆向偏壓接面）。兩者的汲極電流相差 3 個等級大小。

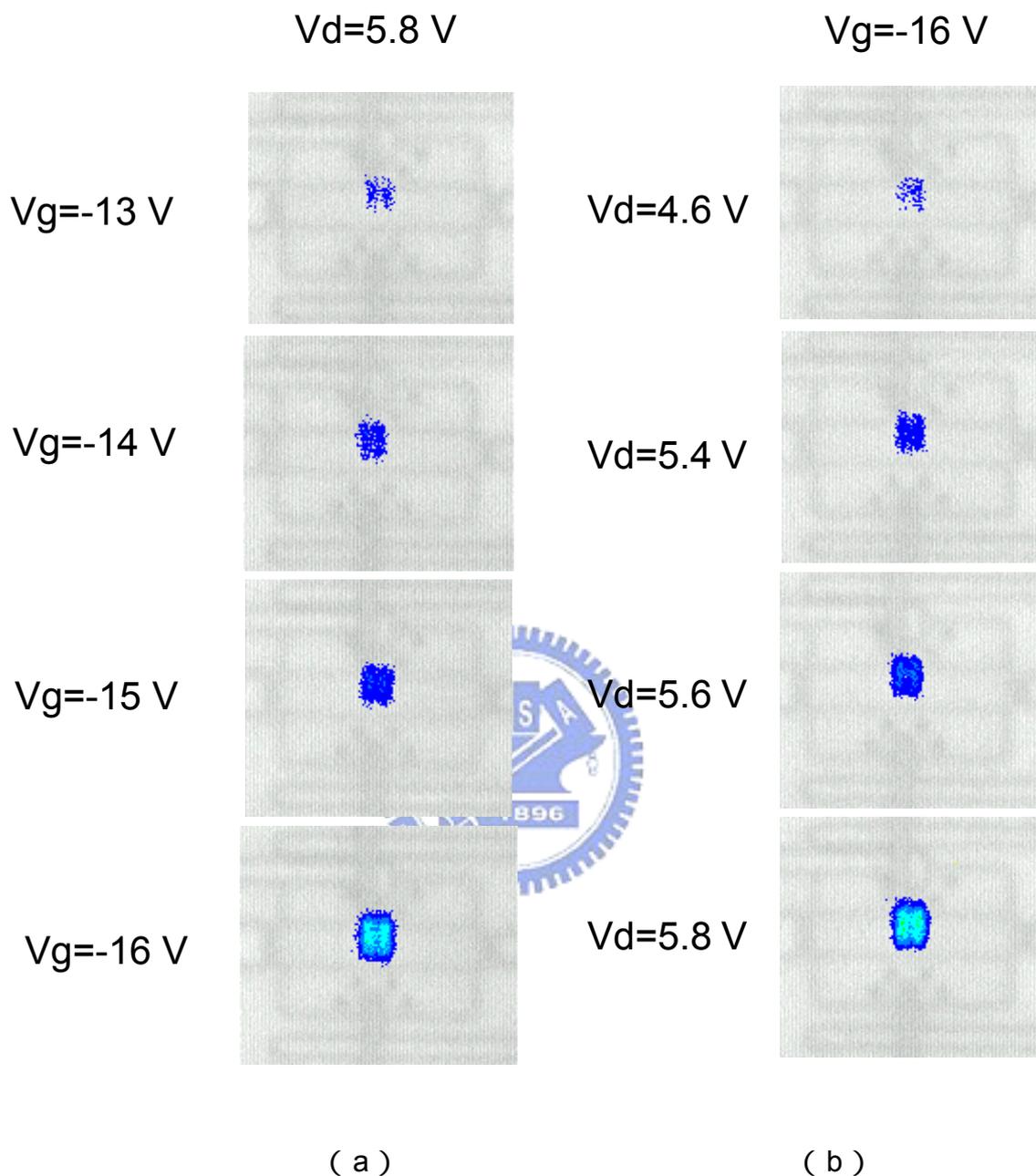


圖 4-8. ( a ) 當汲極端電壓固定在 5.8 V，改變閘極端電壓，由 CCD 影像呈現出光強弱的變化。( b ) 當閘極端電壓固定在 -16 V 時，調變汲極端電壓由 4.6 V~5.8 V，由 CCD 影像可以觀察出光強度由弱變強。

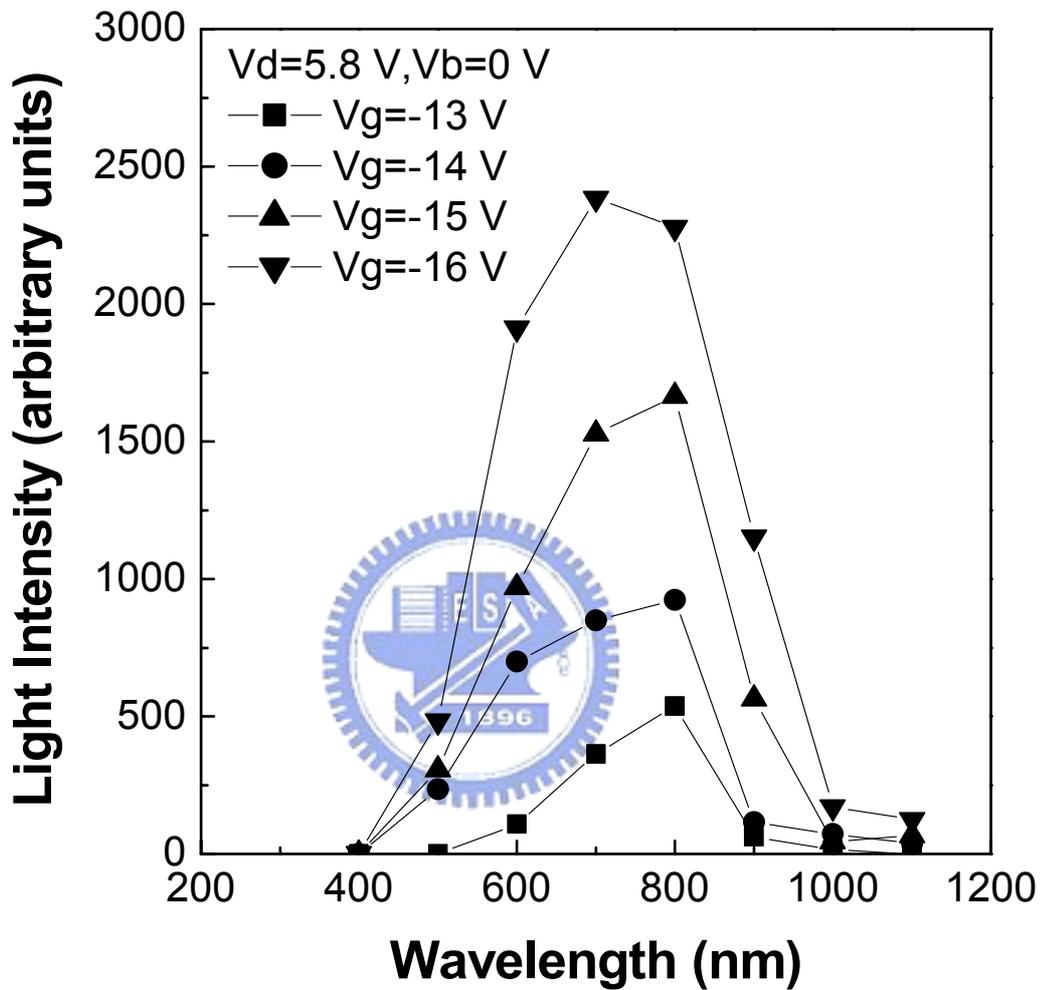


圖 4-9. 當汲極端電壓固定在 5.8 V，改變閘極端偏壓，其 NBit 記憶體元件的光譜分佈情況。在每一個偏壓狀態下，主要波長在 700~800 nm 之間。

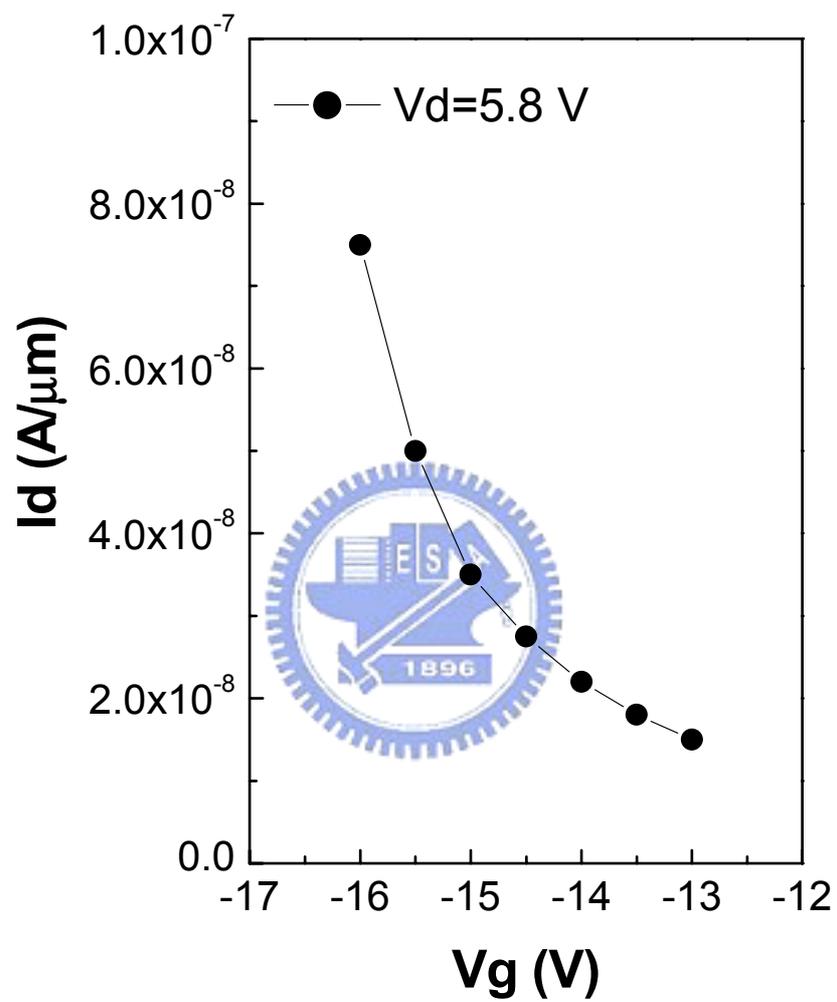


圖 4-10. 當汲極端電壓固定在  $5.8 \text{ V}$ ，改變閘極端偏壓，其汲極端電流大小分佈情況。

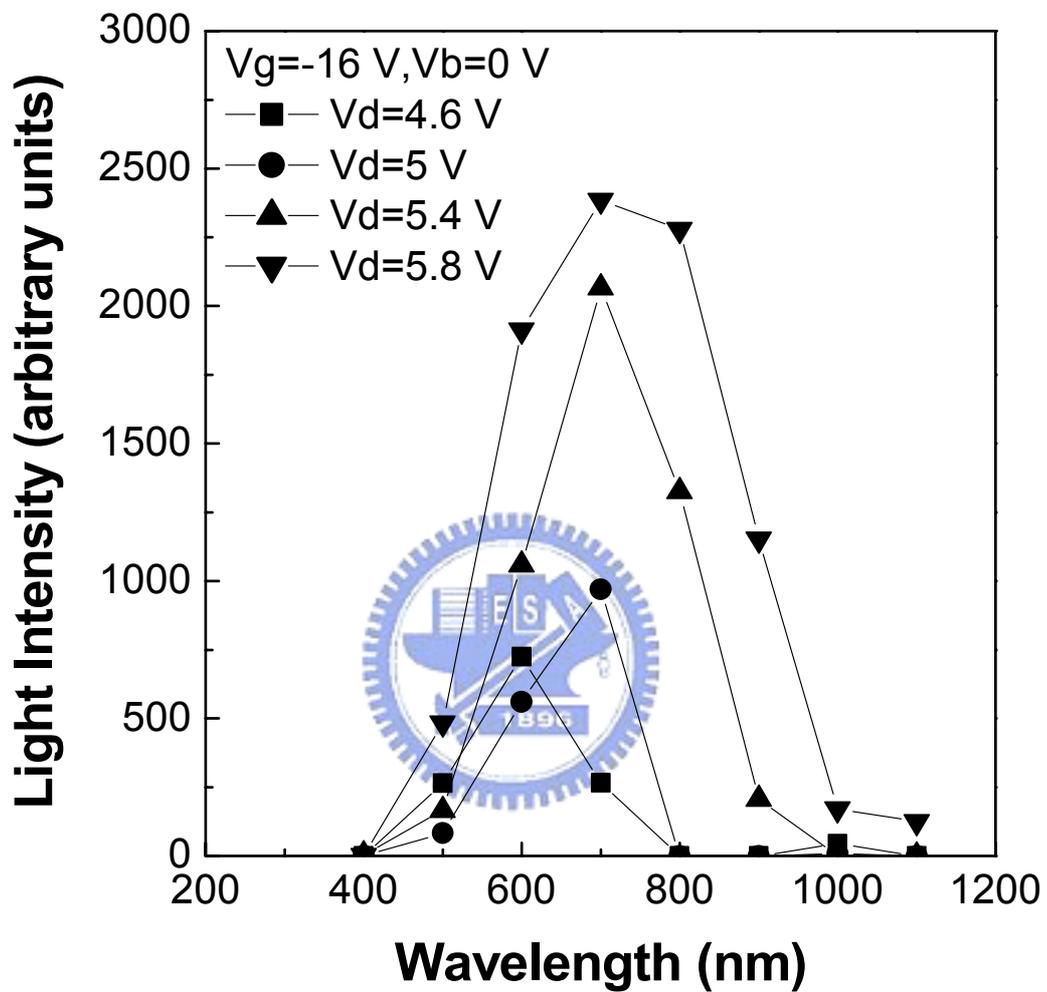


圖 4-11. 當閘極端電壓固定在-16 V，改變汲極端偏壓，其 NBit 記憶體元件的光譜分佈情況。在每一個偏壓狀態下，主要波長在 600~700 nm 之間。

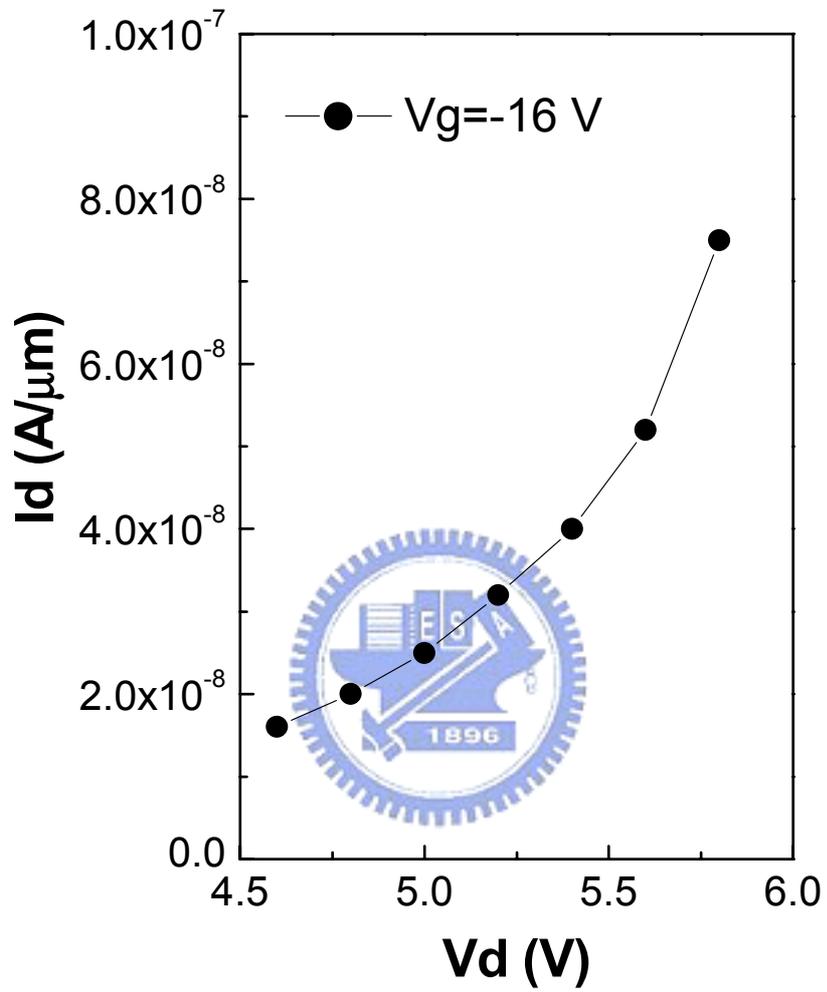


圖 4-12. 當閘極端電壓固定在  $-16 \text{ V}$ ，改變汲極端偏壓，其汲極端電流大小分佈情況。

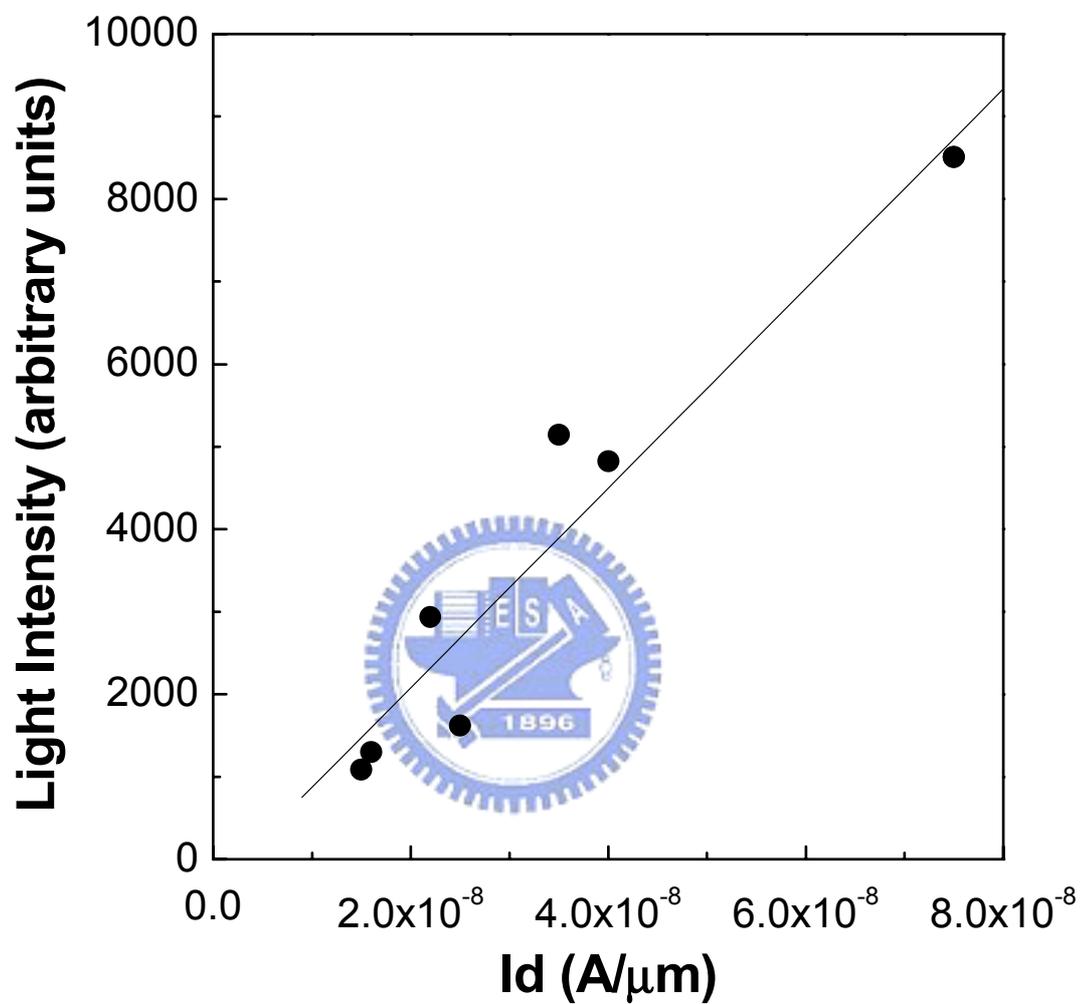


圖 4-13. 汲極電流對光強度的變化。主要數據資料是由圖 4-9~圖 4-12 所得知。當汲極電流愈大時，光強度愈強，而之間趨近於線性關係。

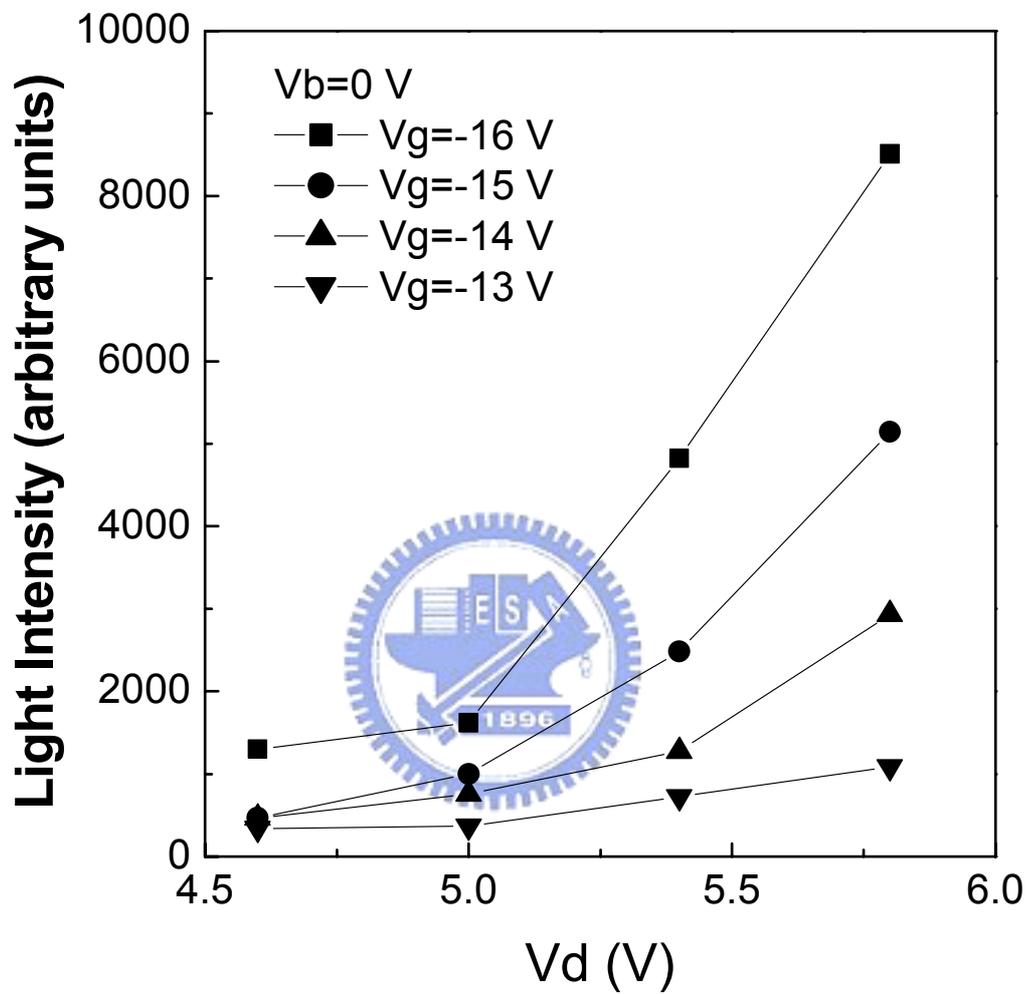


圖 4-14. 光強度變化情況為汲極和閘極電壓改變的結果。光強度幾乎呈線性變化，相似於 MOSFET 的輸出特性曲線 ( $I_d$ - $V_d$ )。

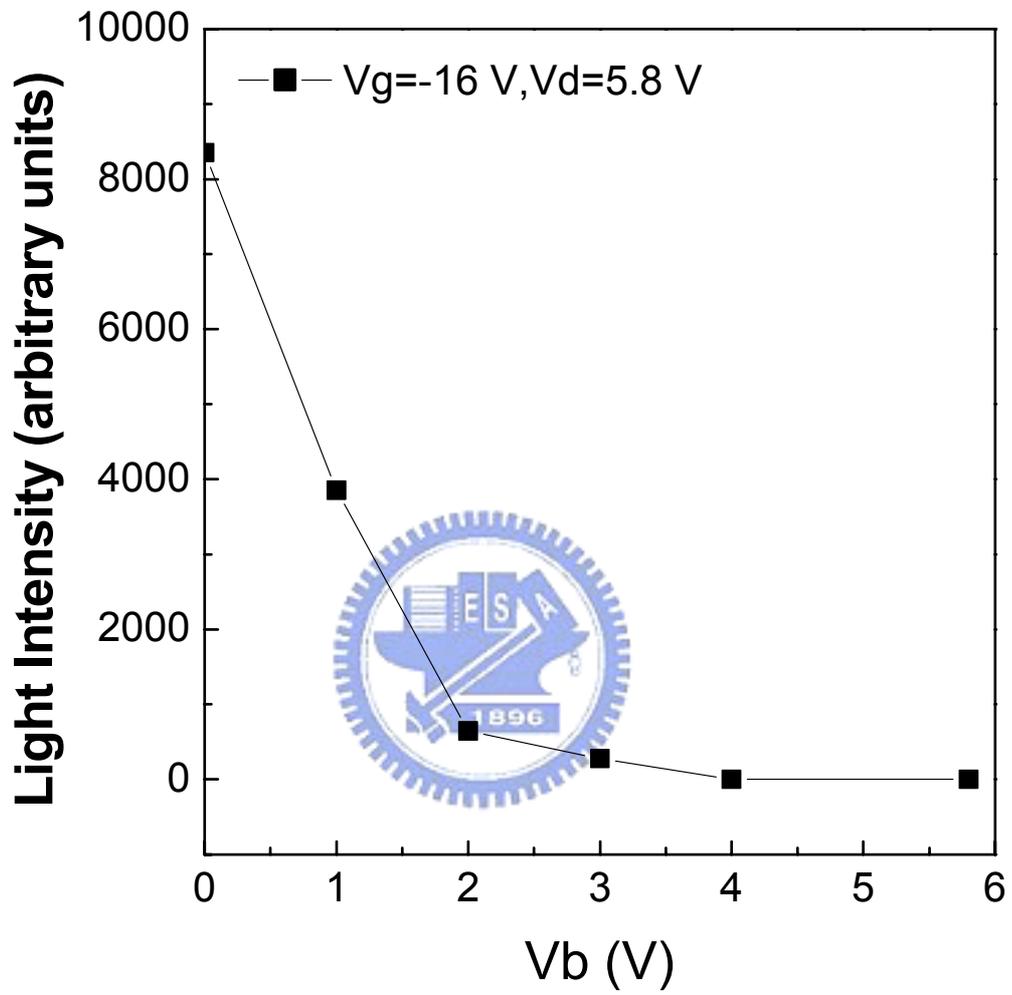


圖 4-15. 當  $V_d=5.8$  V,  $V_g=-16$  V 時, 光強度對 p 型矽基材電壓的變化。光譜分佈呈現出相似 NMOSFET 的轉換特性 ( $I_d$  對  $V_g$ ) 曲線。

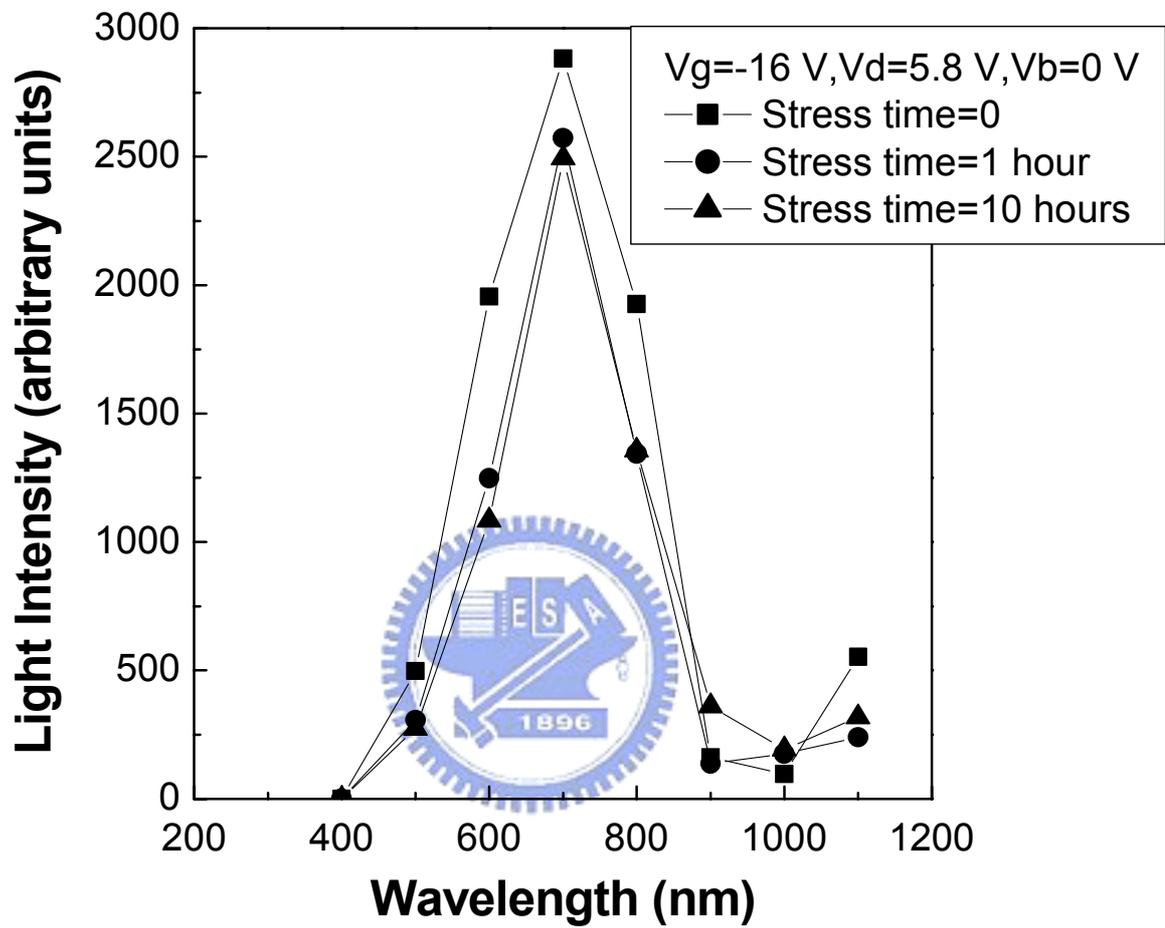


圖 4-16. 光譜分佈呈現此元件在未長時間施加偏壓和長時間施加偏壓的情況，其光強度變化。

## 第五章

### 總結與未來展望

#### 5.1 總結

本研究論文主要目的是探討 NBit 記憶體元件發光現象，也藉由光譜分析，觀察電子電洞與儲存陷獲之間的關係與物理機制，並了解氮化矽層陷獲的特性。NBit 記憶體元件為一 n 型通道 MOSFET 加上一層可以儲存電荷的氮化矽層為閘極所組成的結構。發光條件是在閘極端提供很高的負電壓產生 FN 穿隧電子、N+擴散區域給予正電壓而產生帶對帶穿隧誘發熱電洞。在這有效發光偏壓條件之下，電子和電洞將會連續不斷的注入到氮化矽層中，經由電子和電洞之再結合，將剩餘能量以光的形式激發釋出。氮化矽層的陷獲可增加光子的發光效能。發射光子的光譜範圍主要是從近紅外光到可見光之間（波長為 400~1100 nm），其主要強度在 700~800 nm 的波長下，光子能量約為 1.55~1.77 eV。其所發射的光子是來自於電子與電洞在氮化矽層中被陷獲之後發生再結合反應，而並非電子躍過某一個能障與電洞再結合所產生的光子。

#### 5.2 未來展望

未來實驗計劃將驗證 NBit 記憶體元件的可靠度問題，最主要量測 NBit 記憶體元件在長時間施加電壓作用下的持久性，觀察發亮的程度是否會隨時間長短而有所變化，並設定此元件的最佳化條件。

主要應用，希望藉由此 NBit 記憶體元件的帶對帶熱載子（band-to-band hot carrier）發光機制，可以檢測 NBit 記憶體元件之故障問題、判定氮化矽層品質的好壞與可靠性量測。

## 參考文獻

- [1] S.M.Sze, "Semiconductor devices physics and technology", 2<sup>nd</sup> edition, p.32. 2001.
- [2] L.T.Caham, Applied Physics Letters 57, pp.1046 – 1050, 1990.
- [3] V.Lehmann, U. Gosele, Applied Physics Letters 58, pp.856 – 858, 1991.
- [4] Daniel L. Barton, Paiboon Tangyonyong, Jerry M. Soden, Chistopher L. Henderson and Edward I. Cole, Jr. "Light Emission Spectral Analysis: The Connection Between the Electric Field and the Spectrum", ISTFA 99, p.57, 1999.
- [5] Christian Boit, "Photoemission Microscopy-Advanced / Theory of Operation", Microelectronic Failure analysis, 4<sup>th</sup> edition, p.213,1999.
- [6] S.M.Sze, "Semiconductor devices physics and technology", 2<sup>nd</sup> edition, p.79. 2001.
- [7] Christian Boit, "Photoemission Microscopy-Advanced / Theory of Operation", Microelectronic Failure analysis, 4<sup>th</sup> edition, p.215, 1999.
- [8] Lenzlinger M. and Snow E. H., "Fowler-Nordheim tunneling in thermally grown SiO<sub>2</sub>", Journal of Applied Physics, 40, p.278, 1969.
- [9] G. Groeseneken, H.E. Maes, J. Van Houdt and J. S. Witters, "Basics of Nonvolatile Semiconductor Memory Devices", Nonvolatile Semiconductor Memory Technology, p.11, 1997.
- [10] Fowler R.H. and Nordheim L, "Electron emission in intense electric fields". Proc. Royal Society London Series A, 119, p.173, 1928.
- [11] M. Gill and S.Lai, "Floating Gate Flash Devices", Nonvolatile Semiconductor Memory Technology, p.196, 1997.
- [12] Zener C. and Wills H.H.,  
"A theory of the electrical breakdown of solid dielectrics", Proc. Royal Society, A145, p.523, 1934.
- [13] Paolo Pavan, Roberto Bez, "The industry standard flash memory cell", Flash memories, p.54, 1999.
- [14] Chan C.and Lien J., "Corner-filed induced drain leakage in thin oxide

MOSFETs” . IEDM Technical Digest, p.714, 1987.

[15] Chan T.Y.,Chen J., Ko P.K. and Hu C., “The impact of gate-induced leakage current on MOSFET scaling” . IEDM Technical Digest, p.718, 1987.

[16] Orłowski M., Sun S.W., Blakey P. and Subrahmanyam R., “The combined effects of band-to-band tunneling and impact ionization in the off regime and LDD MOSFET” . IEEE Electron Device Letter, 11,12, p.593, 1990.

[17] Chen I.C., Coleman D.J. and Teng C.W., “Gate current injection initiated by electron band to band tunneling in MOS devices” . IEEE Electron Device Letter, 10, p.297, 1989.

[18] Van Den Bosch G.,Groeseneken G., Heremans H., Heyns M. and Maes H., “Hole trapping and hot hole induced interface state trap generation in MOSFETs at different temperatures.” Proc. European Solid State Device Res. Conf., p.477, 1992.

[19] S.Wolf. “Silicon processing for the VLSI Era” in The Submicron MOSFET. Sunset Beach, CA: Lattice, p.199, 1994.

[20] Boaz Eitan, Senior Member, “NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell” . IEEE Electron Device Letter, vol.21, no.11, p.544, 2000.

[21] G. Groeseneken, H.E. Maes, J. Van Houdt and J. S. Witters, “Basics of Nonvolatile Semiconductor Memory Devices” , Nonvolatile Semiconductor Memory Technology, p.10, 1997.

[22] K.S.Wills, D.Depaolis, and G.Billus, “Advanced photoemission technique for distinguishing latch-up from logic failures on CMOS device.” Proc. of the Int. Symp for Test. and Fail. Analy. , pp.335-352,1991.

[23] S. Kiefer and M. Oyler, “Evaluation of the gate defects in GaAs MESEFTs by emission microscopy.” Proc. of the Int. Symp. for Test. and Fail. Analy.,

pp.363-368,1991.

[24] K.Symonds, M.Bahrami, and P.Skerry, "Functional failure analysis using photoemission microscopy." Proc. of the Int. Symp. for Test and Fail. Analy., pp.369-375,1991.

[25] A. Dallman, and G.Deboy, "Characterization of trench-trench punch-through mechanisms by emission microscopy." Proc. ESREF'90, pp.61-68, 1990.

[26] Tsutsu, N., Y Uraoka, Y.Nakata, S.Akiyama, H.Esaki, "New Detection Method Of Hot Carrier Degradation Using Photon Spectrum Anslysis Of Weak Luminecence On CMOS VLSI." IEEE ICMTS, vol. 3, no.1, p.143, 1990.

[27] Daniel L. Barton, Paiboon Tangyunyong, Jerry M. Soden, Chistopher L. Henderson and Edward I. Cole, Jr. "Light Emission Spectral Analysis: The Connection Between the Electric Field and the Spectrum" , ISTFA 99, p.61, 1999.

[28] A.G. Chynoweth et al., "Photon emission from avalanche breakdown in silicon." Phys. Rev., vol.102, no.2, p.39, 1956.

[29] S.M.Sze, "Semiconductor devices physics and technology" , 2<sup>nd</sup> edition, p.282. 2001.

[30] Christian Boit, "Photoemission Microscopy-Advanced / Theory of Operation " , Microelectronic Failure analysis, 4<sup>th</sup> edition, p.222, 1999.

[31] Gary Shade, "Photoemission Microscopy-Basic Theory / Application " , Microelectronic Failure analysis, 4<sup>th</sup> edition, p.201, 1999.

[32] Donald A. Neamen, "Semiconductor physics and devices" , 2<sup>nd</sup> edition, p.492. 1999.

[33] Jacob Millman Arvin Gabel, "Microelectronics failure analysis" , 2<sup>nd</sup> edition, p.146-147. 1987.

## 簡 歷

姓名：陳郁如

性別：女

生日：1976 年 4 月 30 日

籍貫：台灣新竹市

地址：新竹市竹蓮街 124 號

學歷：私立明新技術學院電子工程系 87.9-89.6

國立交通大學工學院專班半導體材料與製程設備學程  
92.9-94.7

經歷：旺宏電子/分析技術部工程師



碩士論文題目：

記憶體元件電致發光的量測

Electroluminescence measurements of memory devices