

國立交通大學

工學院碩士在職專班
半導體材料與製程設備組

碩士論文



溝槽式閘極功率金氧半場效電晶體 Qgd 特性改善研究

A study of Qgd Improvement for Trench Gate Power MOSFET

研究生：楊益泉

指導教授：吳耀銓 教授

中華民國九十七年八月

溝槽式閘極功率金氧半場效電晶體 Qgd 特性改善研究

A Study of Qgd Improvement for Trench Gate Power MOSFET

研 究 生：楊益泉

Student : Yi-Chuan Yang

指 導 教 授：吳耀銓

Advisor : Yew-Chung Sermon Wu

國 立 交 通 大 學

工學院碩士在職專班半導體材料與製程設備組



Submitted to Institute of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Program of Semiconductor Material and Process Equipment

August 2008

Hsinchu, Taiwan, Republic of China

中華民國 九十七 年 八 月

溝槽式閘極功率金氧半場效電晶體 Qgd 特性改善研究

學生: 楊益泉

指導教授: 吳耀銓

國立交通大學 工學院碩士在職專班半導體材料與製程設備組

摘 要



溝槽式閘極功率金氧半場效電晶體 (Trench Gate Power MOSFET) 為高頻低壓的功率元件主流，就其發展藍圖而言，隨著元件密度的提升，閘極-汲極間電荷(Qgd) 會變大，使閘極的充放電速度變慢而影響元件的效能。本論文之研究主要是針對0.4微米之高密度溝槽式閘極功率金氧半場效電晶體Qgd電性參數特性的改善來做探討。我們利用PECVD-TEOS方法在溝槽底部沉積一介電質薄膜來降低高密度功率電晶體Qgd，然而傳統的PECVD的製程溫度大都介於300°C~400°C之間，在此溫度下，介電質薄膜沉積於溝槽底部及側壁的速率幾乎相同，而難以藉由後續製程將介電質薄膜留在溝槽底部。因此我們提高PECVD-TEOS的製程溫度來改善此一沉積現象，藉著製程條件最佳化的參數設定，有效地在將介電質薄膜沉積於溝

槽式閘極功率金氧半場效電晶體的溝槽底部，成功的降低高密度元件的 Q_{gd} ，並通過可靠度的測試且可量產之條件。



A study of Qgd Improvement for Trench Power MOSFET

Student: Yi-Chuan Yang

Advisor: Dr. Yew-Chung Sermon Wu

Institute of Semiconductor Material and Process Equipment
College of Engineering

National Chiao Tung University

Abstract

The logo of National Chiao Tung University is a circular emblem with a gear-like outer border. Inside the circle, there is a stylized representation of a building or industrial structure, and the year '1896' is inscribed at the bottom. The word 'Abstract' is overlaid on the logo.

Trench Gate Power MOSFET is the most popular power device for high frequency and low voltage utilization. The charge from gate to drain (Qgd) will become higher while the device density increasing. This study evaluates the PECVD-TEOS oxide film deposited at trench bottom for 0.4um high density trench gate power MOSFET for device performance improvement.

As we know, the deposition temperature for general PECVD-TEOS process is between 300°C and 400°C. Under this process temperature condition, the oxide deposition rate is almost the same for trench sidewall and trench bottom. It is hard to keep an oxide film at trench bottom during trench sidewall oxide removed process.

We propose to increase the PECVD-TEOS process temperature to improve deposition ratio of trench bottom to trench sidewall, and an optimum process flow is applied to form a thicker oxide at trench bottom for high density trench gate power MOSFET. The device demonstrates a significant reduction in Q_{gd} , and this process flow is available for production and the products also pass the reliability test.



誌 謝

本論文承蒙指導教授吳耀銓老師悉心的指導並指點我正確的方向，始能順利完成，於此至上最誠摯的謝意。

又公司老闆容忍在下偶而將重心放在課業，半導體在職專班同學兼同事鍾逸夫先生在課業上的討論，讓學業得以順利完成，以及公司的擴散工程部門及製程整合部門同仁均熱心提供諸多寶貴的意見及實驗上的幫忙，在此一併致謝。

兩位千金在我求學的這幾年內相繼報到，老婆兼顧家庭及事業的辛勞及兩個女兒的成長點滴，更是支持我前進的動力。謹以此論文獻給我關係最密切的老婆大人孟潔、女兒誼嫻和滄苾、以及我最摯愛的雙親。

目 錄

中文摘要	i
英文摘要	iii
誌謝	v
目錄	vi
表目錄	ix
圖目錄	x
第一章 緒論	1
1.1 功率金氧半場效電晶體介紹	1
1.2 研究動機	4
第二章 文獻討論	8
2.1 功率金氧半場效電晶體的發展與應用	8
2.2 化學氣相沉積原理	9
2.3 電漿的原理與基本特性	11
2.4 電漿增強化學氣相沈積	14
2.5 PECVD-TEOS製程介紹	16

第三章 實驗步驟	18
3.1 PECVD-TEOS製程條件	18
3.2 元件製造流程	29
3.3 分析與量測	35
3.3.1 場發射式掃描電子顯微鏡.....	36
3.3.2 穿透式電子顯微鏡.....	37
3.3.3 閘極啟始電壓	38
3.3.4 汲極-源極崩潰電壓	38
3.3.5 閘極充放電容的電荷量	39
3.3.6 導通電阻	41
第四章 結果與討論	43
4.1 閘極氧化層崩潰電壓	43
4.2 閘極充放電容的電荷量測	45
4.2.1 底氧化層厚度與元件特性	45
4.2.2 溝渠深度與元件特性	47
4.2.3 元件開關切換速度	48
第五章 結論	50

參考文獻	51
作者簡介	54



表 目 錄

表 3.1 氧化矽薄膜厚度與製程溫度的關係	26
表 4.1 底氧化矽介電層厚度與元件特性關係	37
表 4.2 溝槽深度與元件特性關係	38
表 4.3 底氧化矽介電層厚度與元件開關速度關係	39



圖 目 錄

圖 1.1 水平式功率電晶體結構圖	2
圖 1.2 垂直式功率金氧半場效電晶體結構圖	3
圖 1.3 傳統溝槽式閘極功率電晶體在 Cell 區之 SEM 圖.....	6
圖 1.4 傳統溝槽式閘極功率電晶體結構示意圖.....	6
圖 1.5 溝槽式閘極功率電晶體之 Cgd	7
圖 2.1 CVD 傳輸及反應步驟圖	11
圖 3.1 Applied Materials P-5000 機台示意圖.....	20
圖 3.2 Applied Materials liquid injection 系統示意圖.....	20
圖 3.3 Applied Materials PECVD 反應腔示意圖.....	21
圖 3.4 PECVD-TEOS 氧化矽薄膜沉積速率與製程溫度關係.....	21
圖 3.5 115°C 至 350°C PECVD-TEOS 製程溫度沉積氧化矽薄膜的 FTIR 光譜 圖.....	22
圖 3.6 360°C 至 480°C PECVD-TEOS 製程溫度沉積氧化矽薄膜的 FTIR 光譜 圖.....	23
圖 3.7 1%HF 對不同 PECVD-TEOS 製程溫度沉積氧化矽薄膜的蝕刻 率.....	23
圖 3.8 PECVD-TEOS 氧化矽薄膜在溝槽側壁與底部厚度圖...	24-26
圖 3.9 氧化矽厚度比值(bottom/sidewall)與溫度關係	27

圖 3.10 1%HF 對溝槽側壁氧化矽與溝槽側底部氧化矽的蝕刻比 率	27
圖 3.11 480°C PECVD-TEOS 氧化矽沉積於溝槽側壁結構	28
圖 3.12 元件製造流程：溝槽蝕刻	31
圖 3.13 元件製造流程：PECVD-TEOS 氧化矽沉積	32
圖 3.14 元件製造流程：溝槽側壁氧化矽去除	32
圖 3.15 元件製造流程：閘極形成	33
圖 3.16 元件製造流程：基體區離子植入	33
圖 3.17 元件製造流程：源極區離子植入	34
圖 3.18 元件製造流程：源極金屬濺鍍	34
圖 3.19 元件製造流程：晶背(汲極)金屬蒸鍍	35
圖 3.20 有底氧化矽之溝槽式閘極功率電晶體結構示意圖及 Cell 區之 SEM 圖	35
圖 3.21 閘極啟始電壓量測電路	38
圖 3.22 汲極-源極崩潰電壓量測電路	39
圖 3.23 Gate Charge 量測圖形	40
圖 3.24 Power MOSFET 切換曲線圖	41
圖 3.25 導通電阻示意圖	42
圖 3.26 導通電阻量測電路	42

圖 4.1 溝槽式閘極功率電晶體閘極氧化層厚度 44

圖 4.2 電流-電壓特性曲線圖 44-45



第一章 緒論

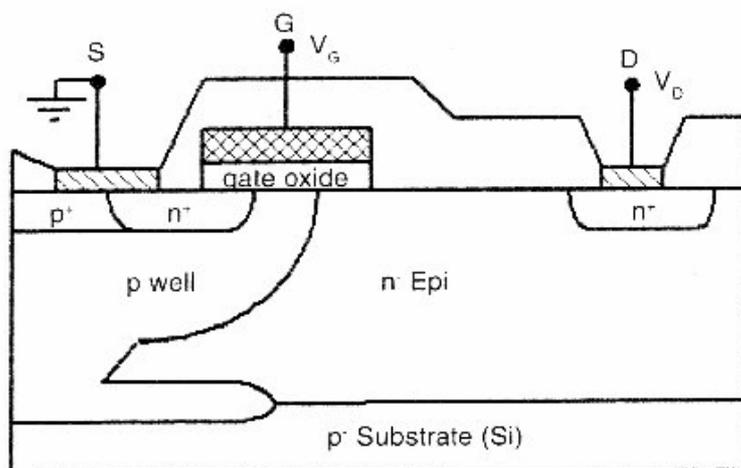
1.1 功率金氧半場效電晶體介紹

功率金氧半場效電晶體(Power Metal Oxide Semiconductor Field Effect Transistor) 一般簡稱為功率電晶體(Power MOSFET)，是一種可以廣泛使用在類比電路與數位電路的場效電晶體，目前已成為功率元件(Power device)的主流，在市場上居於主導地位，經常被應用在許多電子電力方面。功率金氧半場效電晶體具有非常低的導通電阻，且由於功率金氧半場效電晶體閘極輸入阻抗非常大，因此輸入端的功率散逸相當小。再者，與功率雙極性電晶體(Power Bipolar Transistor)相比，功率金氧半場效電晶體只具有單一載子，沒有少數載子存儲的缺點，故具有切換速度非常快的優點^[1-3]。所以，功率金氧半場效電晶體已成為高頻低壓(<200V)功率元件的主流。

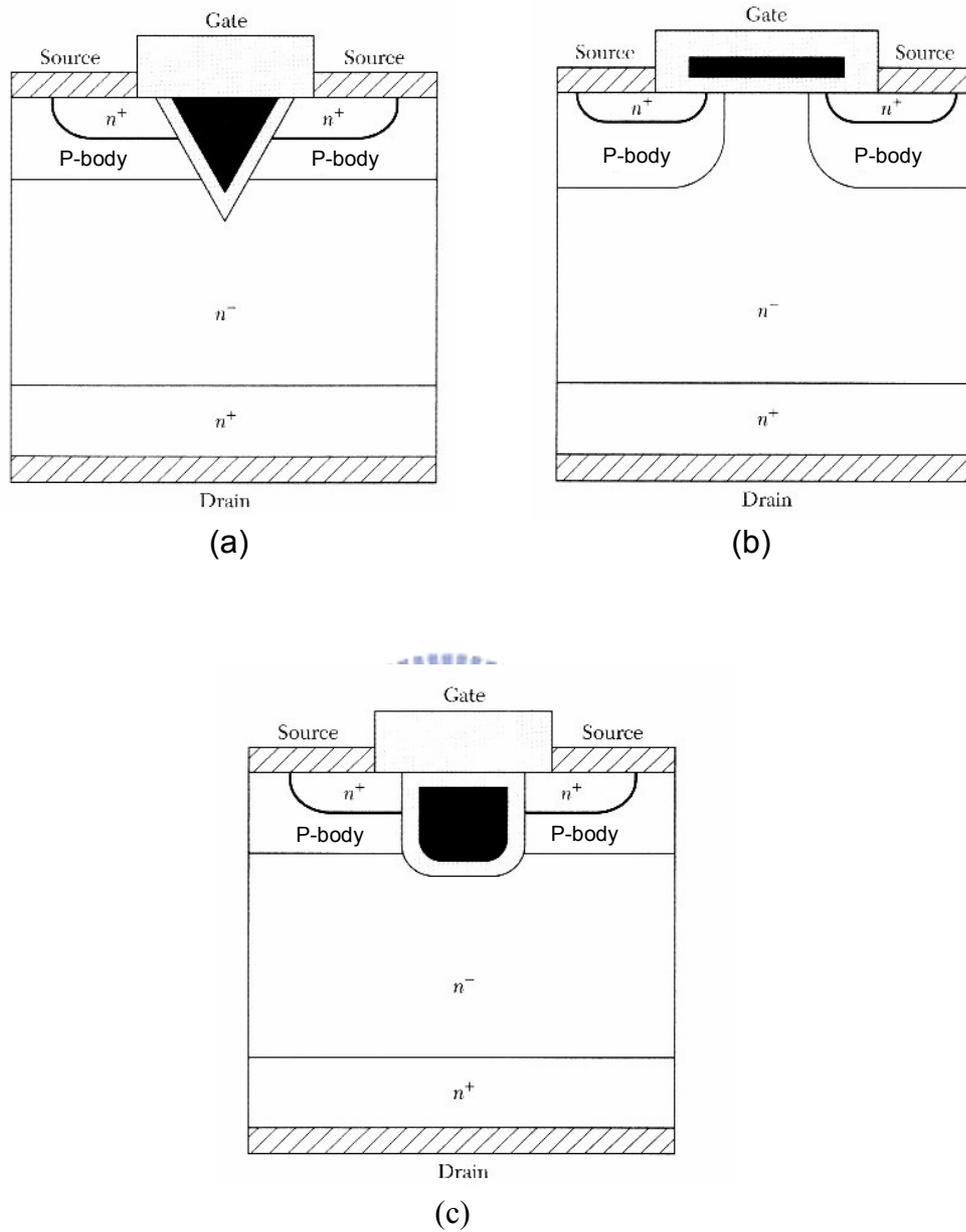
功率金氧半場效電晶體的構造，可以根據電流通路徑分類，電流在元件表面平行流通的稱為水平式(圖 1.1)，電流為垂流通的稱為垂直式。水平式主要是用於高壓的功率元件，但其缺點是為提高元件的耐壓能力須增加汲極區域附近漂移區域(Drift region)的長度，如此導通電阻(On-resistance)會提高，故要維持高耐壓且又要降低導通電阻一直是水平式功率金氧半場效電晶體努力的方向。另外在垂直式功率金氧半場效電晶體方面，從過去到現在最常見的主要有三種類型(圖 1.2)，V型凹槽金氧半場

效電晶體(VMOSFET)、垂直式雙擴散金氧半場效電晶體(VDMOSFET)、以及溝槽式閘極功率金氧半場效電晶體(Trench Gate Power MOSFET 或稱 UMOSFET)^[4-6]。垂直式功率金氧半場效電晶體的汲極端都是做在元件下端，目的是使電流在全體流通，因此，單位晶片面積的電阻可以減少，其缺點為不易與積體電路整合在一起，所以主要都做成單顆的離散元件(Discrete device)。

對於溝槽式閘極功率金氧半場效電晶體而言，其 U 型結構可以使導通電阻降低很多，使它成為高頻低壓的功率元件主流。對電子電力而言，降低導通電阻是非常重要的，例如在硬碟的驅動電路、行動電話的電源供應器、以及功率放大器等，降低導通電阻可以降低功率的散逸，提高產品的可靠度。



圖(1.1)水平式功率電晶體結構圖



圖(1.2) 垂直式功率金氧半場效電晶體結構圖 (a). VMOSFET
(b).VDMOSFET (c).UMOSFET

1.2 研究動機

功率金氧半場效電晶體的切換速率主要是靠閘極的充放電而動作的，閘極輸入的電荷量(Q_g)愈小，則切換速度愈快。所有的功率金氧半場效電晶體在切換的過程中都會損失能量，這些損失的能量會轉變成熱能的型式並使得效能降低。切換時所損失的能量跟切換的時間有很直接的關係，而切換時間又跟結構中的電容值的大小有關，特別是會影響到存在於閘極與汲極之間電荷量(Q_{gd})的大小。

傳統的溝槽式閘極功率金氧半場效電晶體的結構如圖1.3及圖1.4所示，其元件密度大約是數十Mcell/in²，如果要縮小元件面積或提高單位面積可供應的電流，必須縮小溝槽及源極的寬度。但當元件密度提高時，因為 Q_{gd} 或回授電容(Reverse Transfer capacitance，簡稱Crss，此亦為閘極-汲極間電容量 C_{gd})也會變大，使閘極的充放電速度變慢而影響元件的效能^[7]。要增加元件的電流密度且維持元件高頻率的特性，此 C_{gd} 值應該愈低愈好。

溝槽式閘極功率金氧半場效電晶體的 C_{gd} 是由閘極氧化層電容及半導體的空乏層電容相互串聯而成，如圖1.5所示。從電容及電荷的定義(式1)及(式2)得知，在溝槽式閘極功率金氧半場效電晶體U型結構的底部形成一介電層(Dielectric)讓d值增加以降低閘極-汲極間電荷或回授電容是一可行的方法。

$$C = Q/V = \varepsilon A/d \quad (\text{式1})$$

$$Q = C \times V = I \times t \quad (\text{式2})$$

其中C代表電容 [單位為法拉 F]

Q代表電荷 [單位為庫倫 C]

ε 代表介電層之介電常數 [單位為法拉/公分 F/cm]

A代表電極與電極間重疊的面積 [單位為平方公分 cm^2]

d代表電極與電極間的距離，或為介電層之厚度 [單位為公分 cm]

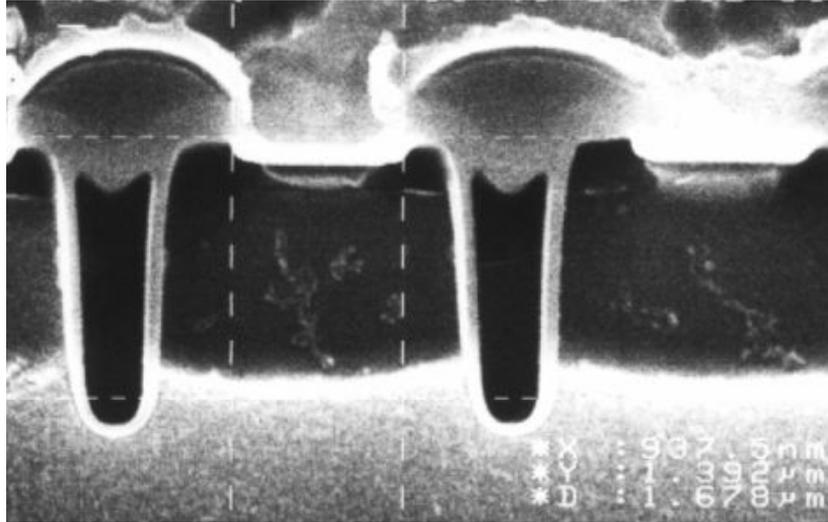
V代表兩電極間的電壓 [單位為伏特 V]

I代表電流 [單位為安培 A]

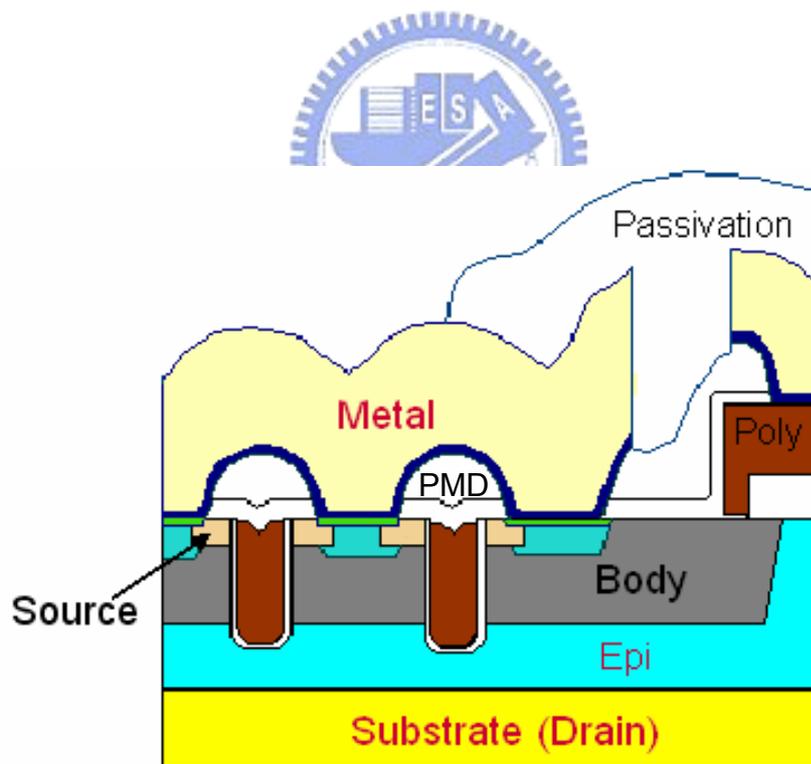
t代表時間 [單位為秒 sec]



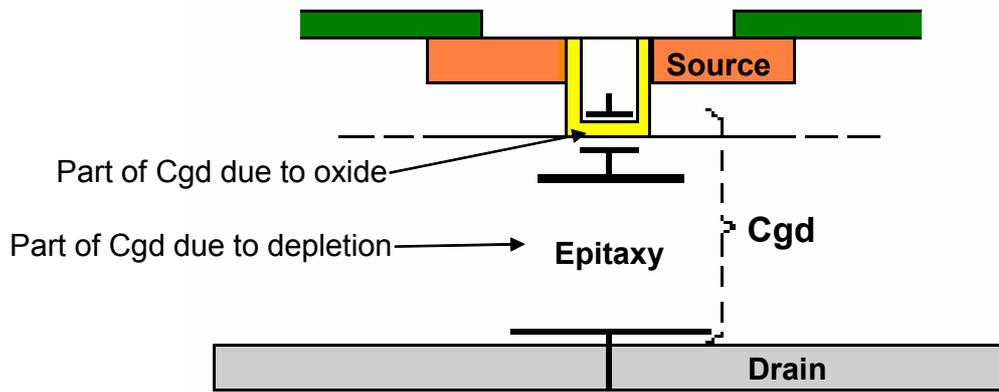
本研究將以RF電漿反應系統，以TEOS 為反應前驅物(precursor)，藉由改變製程溫度探討氧化矽介電層薄膜在溝槽式閘極功率金氧半場效電晶體的U型結構底部及側壁的沉積現象，然後藉由適當的溼式化學蝕刻製程，將沉積於側壁的氧化矽薄膜完全去除，只留下U型結構底部氧化矽介電層薄膜，以形成具有底氧化矽介電層的溝槽式閘極功率金氧半場效電晶體元件，接著對此元件進行電性量測以探討高密度元件的效能。



圖(1.3)傳統溝槽式閘極功率電晶體在 Cell 區之 SEM 圖



圖(1.4)傳統溝槽式閘極功率電晶體結構示意圖



圖(1.5) 溝槽式閘極功率電晶體之 C_{gd}



第二章 文獻討論

2.1 功率金氧半場效電晶體的發展與應用

電功率場效電晶體(Power FET)的概念是在 1964 年由 Zuleeg 與 Tetzner 各自發表，特別是 Zuleeg 所發明的 MUCH-FET 與目前市面上所看到功率金氧半場效電晶體同樣，汲極(Drain)電極位於電晶體底部，源極(Source)電極則位於電晶體上部，構成所謂的垂直式結構。垂直式功率金氧半場效電晶體從過去到現在最常見的主要有三種類型，首先是 1970 年代所發展出來的 V 型凹槽金氧半場效電晶體(VMOSFET)、1980 年代的垂直式雙擴散金氧半場效電晶體(VDMOSFET)以及 1990 年代的溝槽式閘極功率金氧半場效電晶體(Trench Gate Power MOSFET 或稱 UMOSFET)。早期的 V 型凹槽金氧半場效電晶體在 V 型尖端處易引起大電場聚集的效應使得元件崩潰在該處。因此後來有了可靠度較佳的雙擴散金氧半場效電晶體，但由於雙擴散金氧半場效電晶體兩側 P 型基體區域(P-Body region) 與 N⁻漂移區之間的空乏區會往中間擠壓造成 JFET 的效應，若將元件密度提高反而使得 P 型基體空乏區之間電流可流過的區域變小，使得 JFET 區域電阻提高，元件的導通電阻反而增加。因此受制於 P 型基體空乏區之間 JFET 效應的影響，使得雙擴散金氧半場效電晶體元件密度提高有限，而且單一元件結構因為平面通道而顯得比較大，造成面積的浪費是雙擴散金氧半場

效電晶體的另一個缺點。為了避免 JFET 效應以達到更低的導通電阻就有了溝槽式閘極功率金氧半場效電晶體的出現^[8]。對於溝槽式閘極功率金氧半場效電晶體而言，在 U 型溝槽處同樣會有較大電場聚集的效應，降低元件的崩潰電壓，但 U 型結構卻可使導通電阻降低很多，且溝槽式閘極的結構可以縮小元件尺寸，增加晶片中元件的密度以減少成本。這些優點都有助於更小、更有效率、更高密度的電路且適用於更廣的應用，使得溝槽式閘極功率金氧半場效電晶體成為高頻低壓的功率元件主流。

功率金氧半場效電晶體現今被廣泛應用於電源供應器、汽車電子點火系統、電燈電子安定器、電腦主機板、電池系統及通訊設備上，主要的功能為功率轉換(Power conversion)、功率放大(Amplification)、切換開關(Switch)、線路保護(Protection)以及整流(Rectify)^[9]。因其具有比一般雙極性電晶體(Power Bipolar Transistor)較快的切換速度及較低的功率消耗，故被認為是非常適合用於切換動作的半導體元件。

2.2 化學氣相沉積原理

化學氣相沉積 (Chemical Vapor Deposition, 簡稱 CVD) 是藉由氣體混合物之化學反應在晶圓表面上沉積一固態薄膜的製程，在晶圓表面或其近處加熱以提供能量至系統中，促進其反應作用。CVD 基本的觀念是：

1. 須包含化學反應。

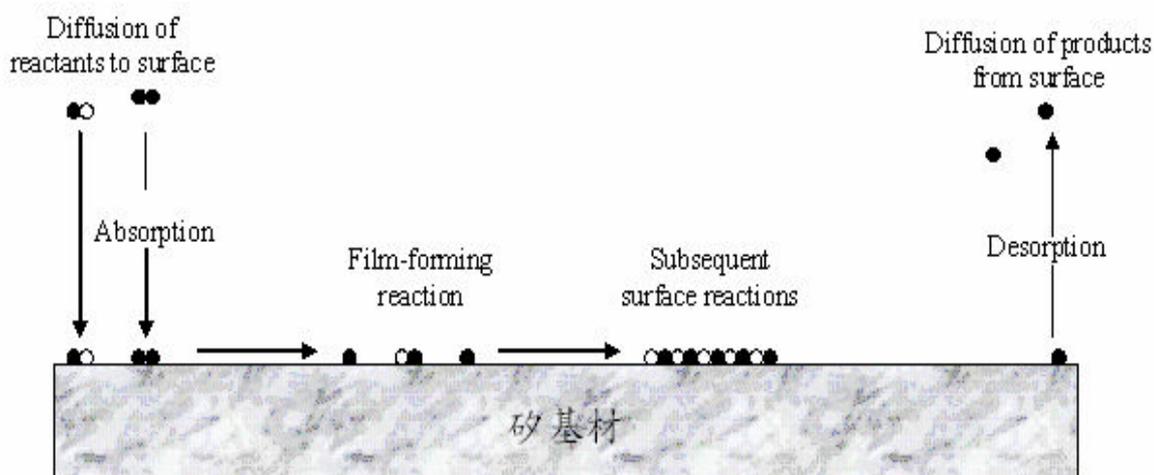
2. 薄膜的材料源由外加氣體所供給。
3. CVD 製程的反應物必須為氣相的形式。

下面列出基本 CVD 反應的主要步驟且於圖 2.1^[10]表示出：

1. 氣體傳輸至沉積區域：從反應器入口至晶圓沉積區域之主氣流區域的質量傳輸。
2. 薄膜先前物形成：氣相反應形成薄膜先前物(初始原子與分子構成薄膜)及副產物。
3. 薄膜先前物傳送至晶圓：薄膜先前物質量傳輸至晶圓成長表面。
4. 先前物吸附：薄膜先前物吸附於晶圓表面。
5. 先前物擴散：薄膜先前物至薄膜成長位置之表面擴散。
6. 表面反應：表面化學反應導致薄膜沉積及副產物生成。
7. 副產物從表面移除：表面反應的副產物脫附。
8. 副產物從反應器移除：在主氣流區中，副產物藉由質量傳輸離開沉積區且由反應器出口移除。

CVD 反應的進行會涉及到能量、動量及質量的傳遞，反應氣體是藉由擴散效應，來通過主氣流與晶片表面之間的邊界層，以便將反應氣體傳遞到晶片的表面。接著，因能量傳遞而受熱的晶片，將提供反應氣體足夠的能量以進行化學反應，並生成固態的沉積物及其他氣態的副產物。固態沉

積物便成為薄膜的一部分，氣態副產物將同樣利用擴散效應來通過邊界層並回到主氣流裡。



圖(2.1) CVD 傳輸及反應步驟圖



2.3 電漿的原理與基本特性

物質是由分子組成的，一個分子可以包含一個或多個原子，而一個原子則是由原子核和若干個電子組成。原子核帶正電，電子帶負電，原子呈電中性。氣態時，電子在電場束縛下圍繞原子核旋轉。如果氣體被加熱或施以電場，其電子的熱運動動能就會增加。一旦電子的熱運動動能超過原子核對它的束縛，電子就成為自由電子，這種過程稱之為電離。如果氣體

中的所有原子都被電離，就稱為完全電離，如果只有部分原子被電離，則稱為部分電離。被電離的原子數與總原子數之比稱為電離度。電離度為 100 % 時，即氣體被完全電離，就成為所謂的物質第四態：電漿，也稱為等離子體。這是電漿最嚴格定義的電漿，在實際應用中，部分電離的氣體，只要滿足一定的條件，也通稱為電漿。

電漿的產生是靠碰撞，靠著電子在電場中加速獲得極高的動能，當碰撞到氣體分子或原子時將能量傳遞過去。因為電子遠較氣體分子或原子小，所以碰撞造成的結果不是增加氣體的動能，而是提高其位能。從原子的角度來看，位能的提高造成原子內電子的遷移，如果達到足夠的能量甚至會跳離原子，產生一個離子和一個電子，這是一個的解離的反應。產生的電子再經電場加速到足夠的動能進行下一次的解離，於是由一顆電子產生兩顆，兩顆到四顆，如此以等比級數增加，最後造成全面性的解離崩潰。電子動能的累積牽涉到電場的大小及碰撞的頻率，

$$\begin{aligned} \text{電子的最高動能} &= \text{電場對電子作功的累積} \\ &= F \times d \text{ (作用力} \times \text{距離)} \\ &= q \cdot \varepsilon \cdot \lambda \end{aligned}$$

其中 q 代表粒子的帶電量

ε 代表電場大小

λ 代表是粒子的平均自由徑

碰撞頻率越高代表其行走的距離越短，平均兩次碰撞間行走的距離定義為平均自由徑，所以在相同的電場下平均自由徑與碰撞頻率呈反比。從上式來看，因為電子的帶電量 q 是固定的，所以要提高電子的最高動能要從增加電場及增加平均自由徑著手。所以，一般電漿操作的環境在高電壓和低氣壓下。

當離子數目到達一定量後，與電子碰撞的機率增加，會產生離子與電子的結合反應。一部份的離子與電子結合，一部份的離子及電子會消失在與反應腔體及基板的碰撞。電子-離子對產生的速率與消失的速率最後會相等，造成一種動態平衡。穩定狀態的電漿中，電子-離子對濃度為一定值，這種穩定的電子-離子對數目與原來氣體數目的比值定義為離子化程度 (Degree of Ionization)。不同放電方式其離子化程度也不同，由小於 0.1% 到 100% 都有，視放電形式及操作條件而異。

電漿具有屏蔽外加電場而保持自身為電中性的能力。如果將兩塊連到電池兩端的平板放入電漿中，則連接正極和負極的平板將分別吸引電子和離子。結果，電場只存在於平板周圍的一個厚度為德拜屏蔽長度的薄層內，而在電漿的其他部分，平板所產生的電場趨近於零。這種屏蔽效應稱為德拜屏蔽 (Debye shielding)。瀕臨平板邊界數個德拜屏蔽長度厚的薄層，一般稱為鞘層。這種德拜屏蔽效應也發生於電漿中電子對於離子電場的屏蔽，存在德拜屏蔽效應而保持近似電中性^[11]。

總結電漿有下列幾項特性：

1. 電漿產生器裡的壓力必須控制在一特定的操作區間。
2. 維持電漿運作需要能量，以使電子在電漿內藉各種的碰撞反應來產生足夠的各種粒子，維持電漿內各種粒子密度的均衡。
3. 當電漿內的粒子達平衡狀態時，離子流出電漿的流量將與電子的量相同，以維持電漿電位的穩定。
4. 電漿是部分離子化的導電氣體，因為電漿內沒有電荷差距，所以沒有電場存在。

電漿已廣泛應用於各種領域，如在半導體積體電路製造方面，舉凡不同材料薄膜的成長及電路的蝕刻皆普遍由電漿技術達成。在電漿技術中電漿源則是系統的關鍵。目前產生電漿的方法以使用的功率源分類而言有直流放電(DC discharge)、低頻及中頻放電(頻率由數 KHz 到數 MHz)、射頻放電(頻率 13.56MHz)、及微波放電(頻率 2.45GHz)。現行電漿製程多操作在低壓之輝光放電(壓力由 mTorr 到百 Torr)。而操作在 1 大氣壓的低溫電漿製程則是現在研究的重要課題，以半導體製程而言，則以射頻放電被採用的最多。

2.4 電漿增強化學氣相沈積

在 CVD 的反應中，任何參與反應的氣體分子的分解都需要一定的激發

活化的能量，電漿增強化學氣相沈積法(Plasma Enhanced Chemical Vapor Deposition, 簡稱 PECVD) 又稱為輝光放電(glow discharge) 沈積法，是反應氣體從輝光放電等離子場中獲得能量，激發並增強化學反應，從而實現化學氣相沈積的技術。電漿增強化學氣相沈積系統使用射頻 (radio-frequency, 簡稱 RF) 電源供應器提供 RF 電磁波產生電漿，使其為輔助能量，使得化學沉積之反應溫度得以降低。將反應腔(chamber)中的氣體解離產生電漿，電漿使氣體分子變成較具反應性的化學物種而於基材表面反應，產生固相生成物而沉積成薄膜，且電漿增強化學氣相沈積中用的輝光放電等離子體屬於非平衡等離子體。在此類的等離子體中，自由電子的絕對溫度通常比平均氣體溫度高 1 到 2 個數量級，這些高能電子撞擊反應物氣體分子，使之激發並電離，產生化學性質很活潑的自由基團，並使矽的表面產生更為活潑的表面結構，從而加快了低溫下的化學反應。反應腔體內部是以上下兩片極板所構成，此兩片極板通常為鋁製電極，晶片則是放置於下方電極基板上。當兩個電極間外加一個 RF 電壓時，兩極間會有輝光放電現象。製程氣體則由上方極板通入兩極板間的輝光放電區域，而製程所產生之廢氣則由抽氣幫浦抽至廢氣處理系統。

電漿增強化學氣相沈積法可在低溫下成長薄膜，減少熱的損失，抑制與基材物質的反應，因而可在非耐熱性的基材上成長薄膜。從熱力學上分析，有些反應雖然能發生，但速率相當緩慢，藉電漿狀態可促進反應，使

在熱力學上難以發生的反應變為可能，如此可製備出從未見過的組成的新材料，如耐高溫材料薄膜。另外，由於進料是氣體，可以穩定的進入反應器，故可連續控制進料組成，進而控制薄膜組成。

使用電漿增強化學氣相沈積製程的優點有：

1. 低的製程溫度
2. 有良好的間隙填充能力
3. 薄膜對晶圓有良好的附著能力
4. 高的薄膜沉積速率
5. 有較佳的薄膜緻密度
6. 由於製程溫度低，因此應用範圍廣



現今在 ULSI 製程上所使用的電漿增強化學氣相沈積反應器，大都是採用每次只處理一片晶片的”單一晶片式”的設計，以確保表面沉積的均勻性，得以控制在理想範圍之內^[12-15]。

2.5 PECVD-TEOS 製程介紹

TEOS，中文全名為四乙氧基矽烷(Tetraethyl Orthosilicate)，化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ，是一有機分子，在四面體的每個角落上都會有一個乙氧基群(OC_2H_5)鍵接在矽原子上。TEOS 分子不是完整對稱的，它可以與表面原

子形成氫氧鍵並物理吸附於基材表面，因此 TEOS 源材料有高的表面遷移率而被廣泛地使用在氧化物的沉積上。

TEOS 在室溫時是液體，其沸點為 168°C ，要在 CVD 製程中使用 TEOS，必須用特殊的輸送系統將其汽化並將其蒸氣輸送進製程反應腔體中。

熱分解 TEOS 氧化矽製程可以具有非常好的階梯覆蓋率以及間隙填充能力，然而過高的沉積溫度($>700^{\circ}\text{C}$)則限制了它的應用。PECVD-TEOS 製程是在 1960 年代被提出，而且商業化則是在 1980 年代。PECVD-TEOS 製程使用電漿來分解氧分子並產生氧自由基，可以顯著地提高 TEOS 的氧化速率，並可在相對低溫下(約 $300^{\circ}\text{C}\sim 400^{\circ}\text{C}$)達到高的氧化物沉積速率並降低氧化物內碳的含量。因為大部分的 TEOS 源材料都是在氧化物表面被物理吸附而有高的表面遷移率，所以 PECVD-TEOS 氧化物薄膜有非常好的階梯覆蓋率及似型性。^[16-19]

第三章 實驗步驟

3.1 PECVD-TEOS 製程條件

本研究製備溝槽式閘極功率金氧半場效電晶體底部氧化層使用 Applied Materials 公司製造的 Precision 5000 之機台(圖 3.1)，以 TEOS 及 O_2 為製程先驅物(precursor)。TEOS 須經由蒸發器(vaporizer 或稱為 liquid injection system，圖 3.2)加熱使之汽化，再藉著載氣(carrier gas，此系統使用氬氣)將已汽化之 TEOS 氣體導入反應腔內(圖 3.3)與 O_2 進行反應。電漿頻率為 13.56MHz，功率設定在 800W，製程壓力為 8.2Torr，製程所需的溫度是由位於反應腔下方 Lamp module 內的鹵素燈管產生的輻射熱來供應。我們將製程溫度設定為 360°C、400°C、440°C、480°C、500°C，接著使用 1%HF 對沉積的氧化矽薄膜進行溼式蝕刻製程，以尋求最適的製程條件。

根據此次實驗所得到的結果顯示隨著製程溫度的增加，其氧化矽沉積的速率會逐漸降低，其反應沉積速率與反應溫度的關係如圖 3.4。由 Babayan 等人對 PECVD-TEOS 製程溫度在 115°C~350°C 的研究得知，薄膜沉積速率隨製程溫度而下降的原因，係由於氧化矽薄膜內的氫氧基(OH group)的含量隨著 PECVD-TEOS 製程溫度的升高而減少，使其薄膜組成較為緻密。圖 3.5 的 FTIR 光譜圖說明了波數在 930cm^{-1} 及 1200cm^{-1} 的 Si-OH 吸收峰和 $3400\sim 3650\text{cm}^{-1}$ 的 OH 吸收峰，皆隨製程溫度的提高其含量明顯

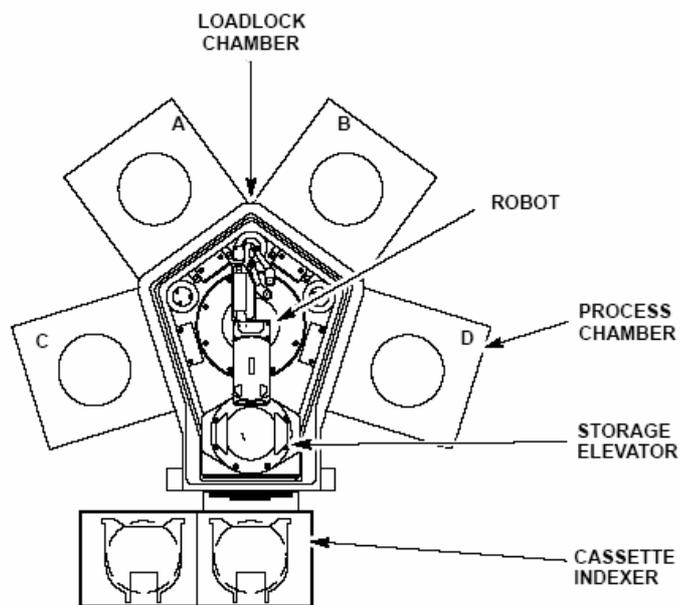
地減少^[20]。從我們的實驗也觀察到 PECVD-TEOS 製程溫度由 360°C~480°C，其 FTIR 的光譜在波數 3400~3650 cm⁻¹ 的 OH 特性吸收有降低的趨勢，如圖 3.6 所示。圖 3.7 顯示 1%HF 對較高製程溫度沉積的氧化矽薄膜其蝕刻速率較低，亦可驗證愈高溫 PECVD-TEOS 製程其沉積的氧化矽薄膜愈緻密。

在不同製程溫度條件下所生成的氧化矽薄膜沉積於溝槽式閘極功率金氧半場效電晶體 U 型溝槽內會呈現出不同的階梯覆蓋率(step coverage)及似型性(conformality)，從圖 3.8 (a) 至(e) 清楚的顯示在沉積相同薄膜厚度的條件下，愈高的製程溫度，其 U 型溝槽側壁氧化矽薄膜沉積的厚度愈少，而溝槽底部氧化層薄膜的厚度幾乎沒有改變。其溝槽底部與側壁氧化層薄膜厚度的比值與製程溫度的關係列於表 3.1 及如圖 3.9 所示。

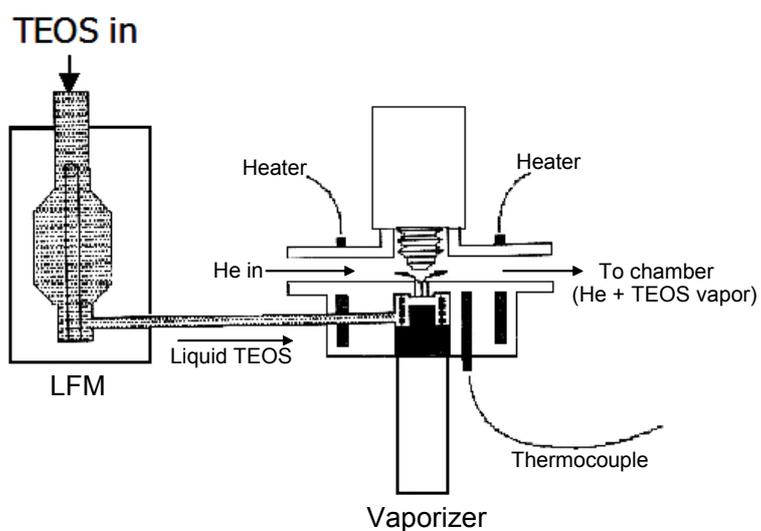
1% HF 對於溝槽側壁氧化矽薄膜的蝕刻率隨 PECVD-TEOS 製程溫度提高而與底部氧化矽薄膜蝕刻呈現明顯的差異(圖 3.10)，經由 SEM 的觀察可發現，沉積於溝槽側壁氧化矽薄膜因 PECVD-TEOS 製程溫度的提高使其結構較鬆散(圖 3.11)，使得高溫製程形成的溝槽側壁氧化矽薄膜會有較快的溼式蝕刻率。因此藉由溼式蝕刻將側壁氧化矽去除之後製程相對容易，且經由製程控制可以得到適當地溝槽底部氧化矽介電層厚度。

而 Applied Materials Precision 5000 之 PECVD-TEOS 製程機台其製程溫度若超過 520°C，機台將因自我保護而引起連鎖關斷(interlock)，使製

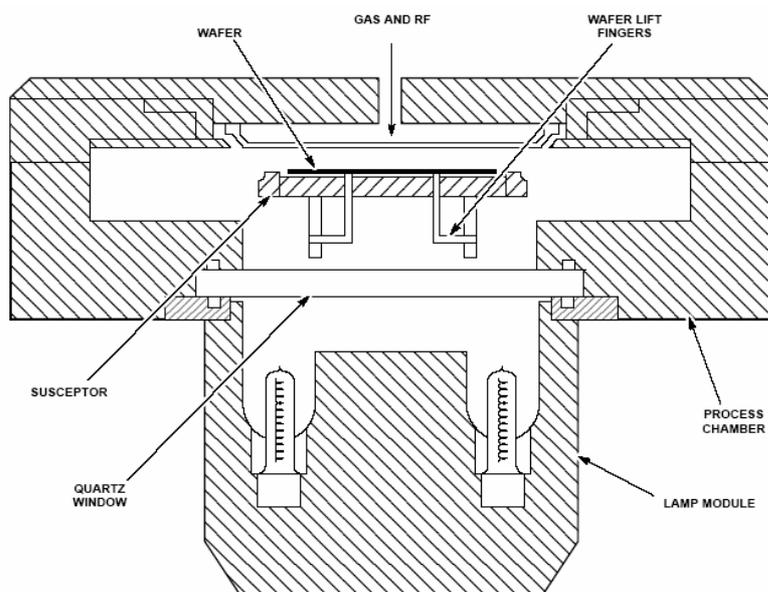
程無法維持。經由以上的實驗結果，我們選定 480°C 之 PECVD-TEOS 作為沉積溝槽式閘極功率金氧半場效電晶體底部氧化矽介電層的最佳製程條件。



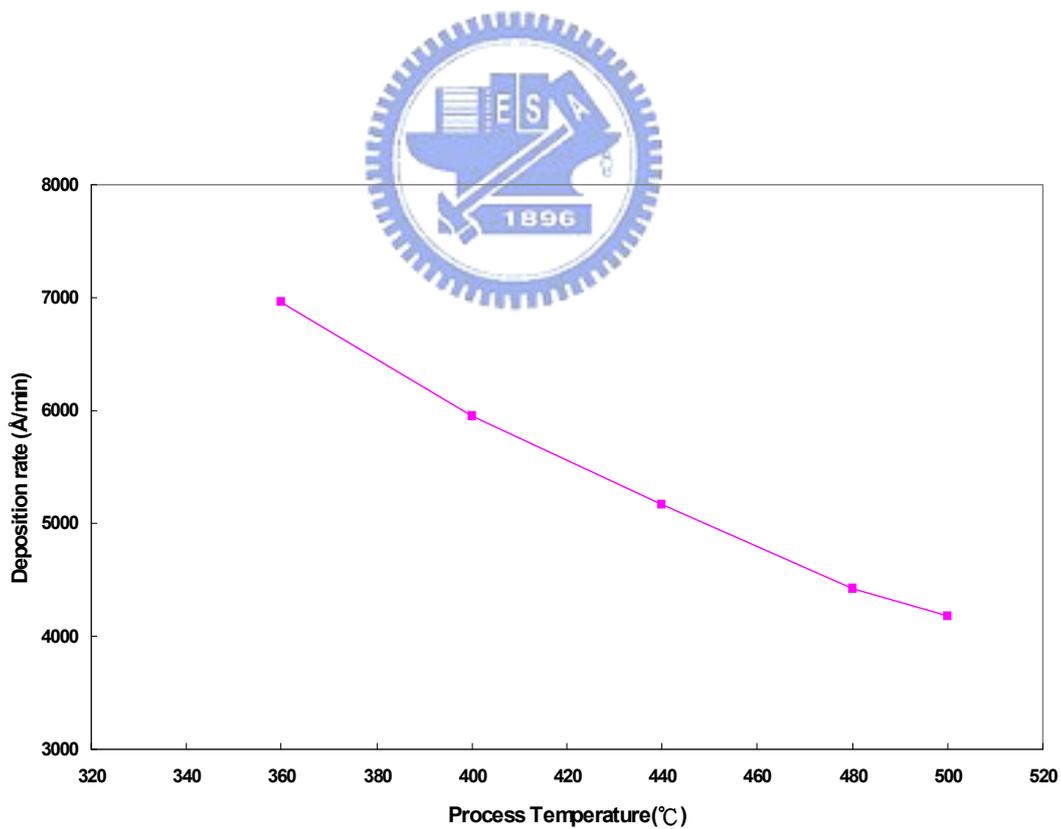
圖(3.1) Applied Materials P-5000 機台示意圖



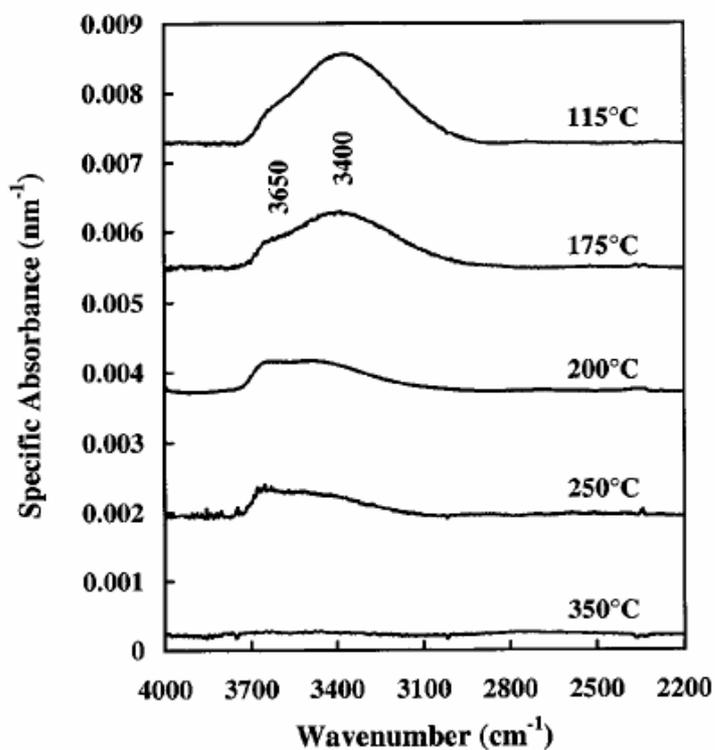
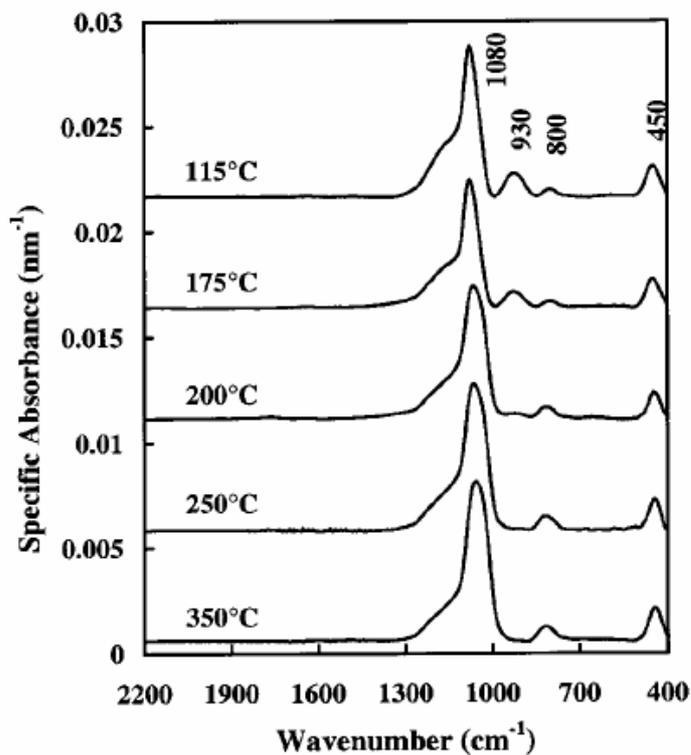
圖(3.2) Applied Materials liquid injection 系統示意圖



圖(3.3) Applied Materials PECVD 反應腔示意圖

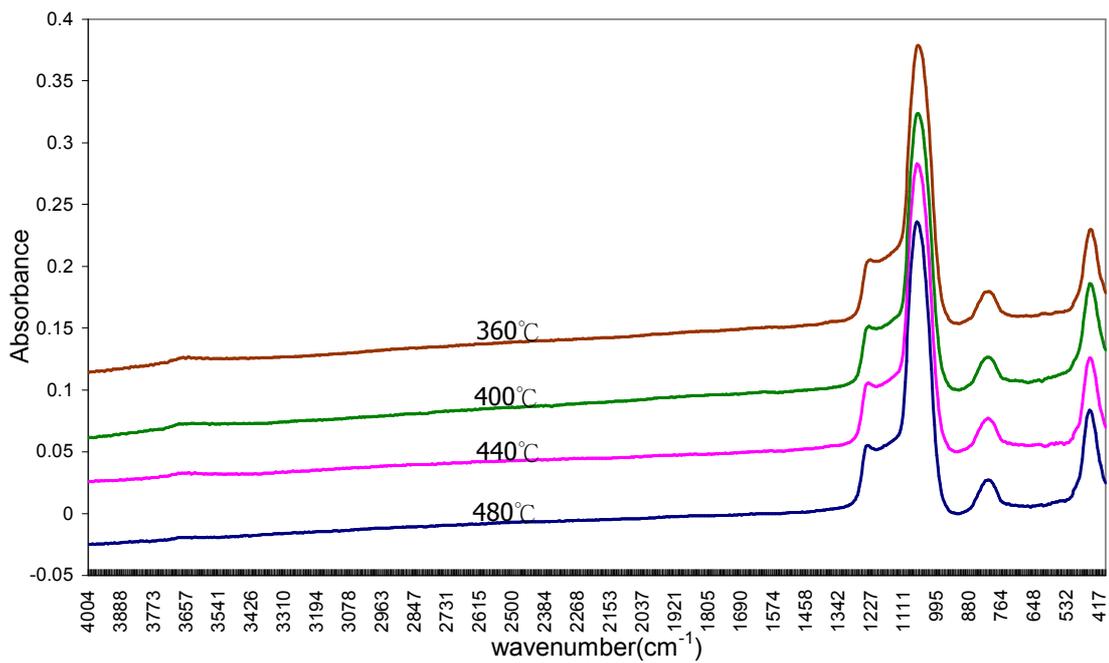


圖(3.4) PECVD-TEOS 氧化矽薄膜沉積速率與製程溫度關係

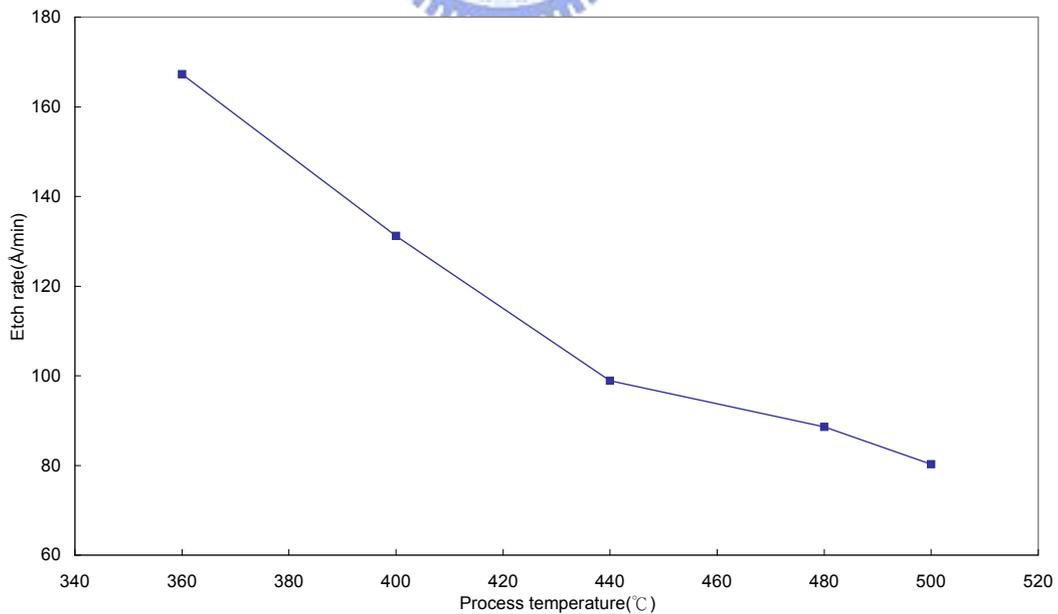


圖(3.5) 115°C 至 350°C PECVD-TEOS 製程溫度沉積氧化矽薄膜的 FTIR 光譜圖

(資料來源: Plasma Source Science and Technology, 2001)



圖(3.6) 360°C 至 480°C PECVD-TEOS 製程溫度沉積氧化矽薄膜的 FTIR 光譜圖

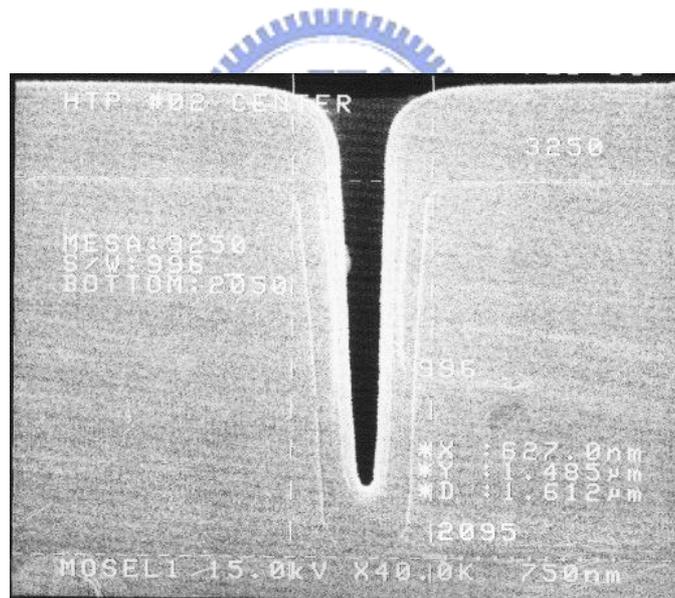


圖(3.7) 1%HF 對不同 PECVD-TEOS 製程溫度沉積氧化矽薄膜的蝕刻率

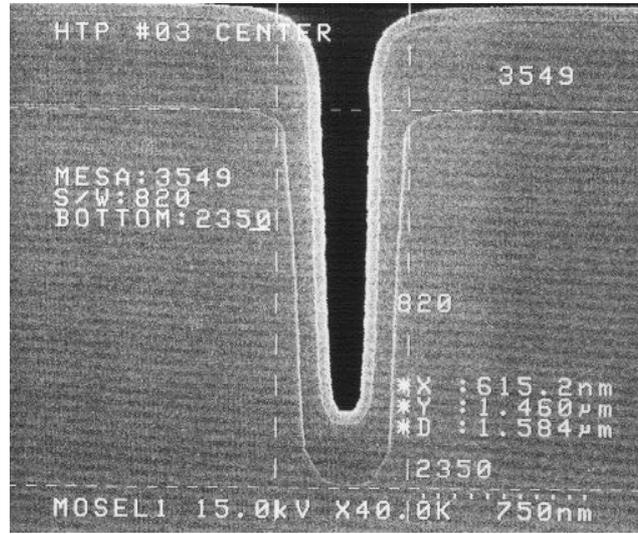
(a)



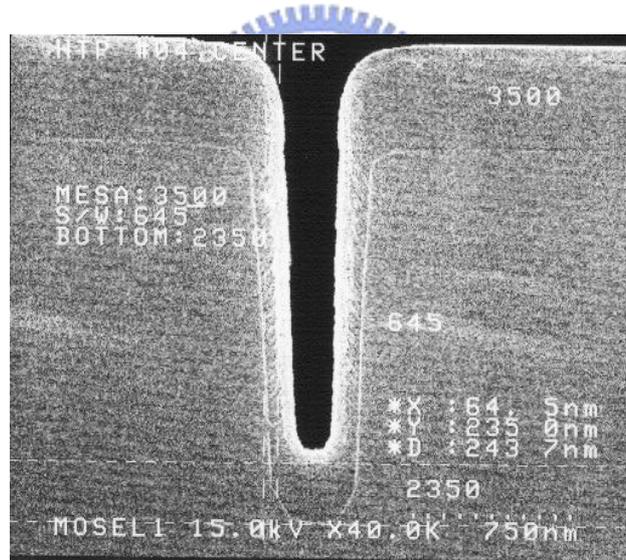
(b)

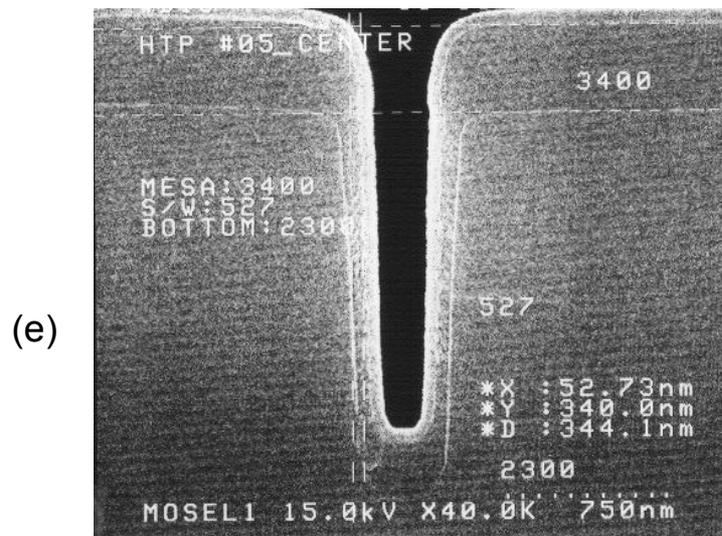


(c)



(d)



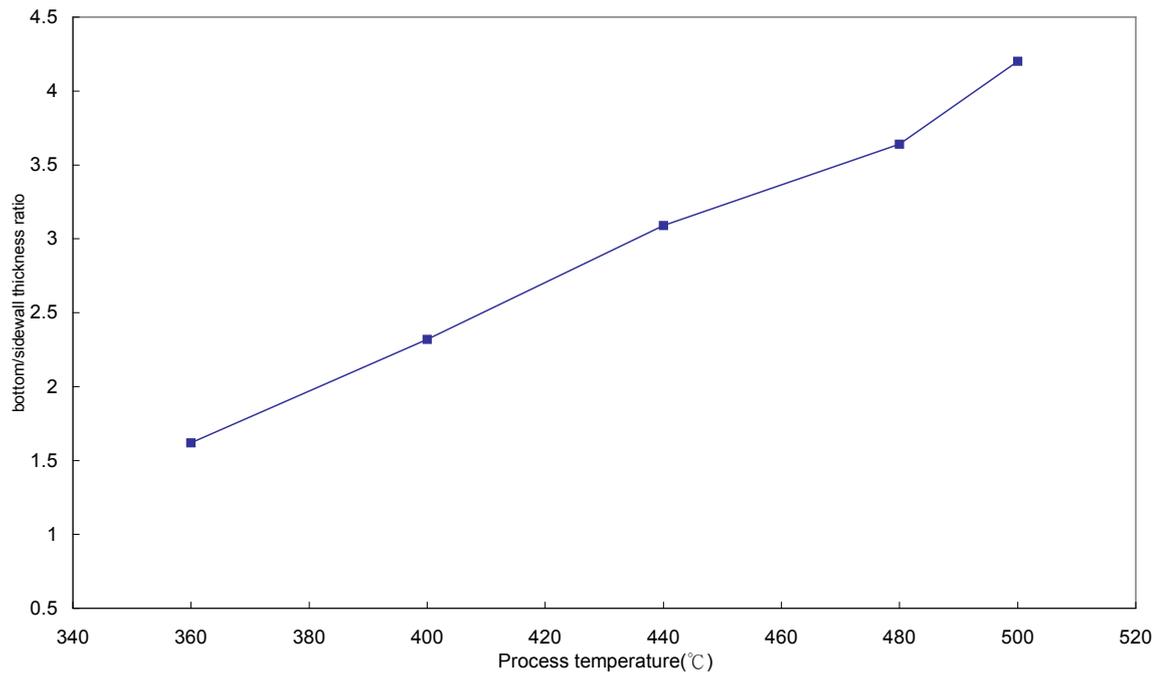


圖(3.8) PECVD-TEOS 氧化矽薄膜在溝槽側壁與底部厚度圖(a)製程溫度 360°C (b)製程溫度 400°C (c)製程溫度 440°C (d)製程溫度 480°C (e)製程溫度 500°C

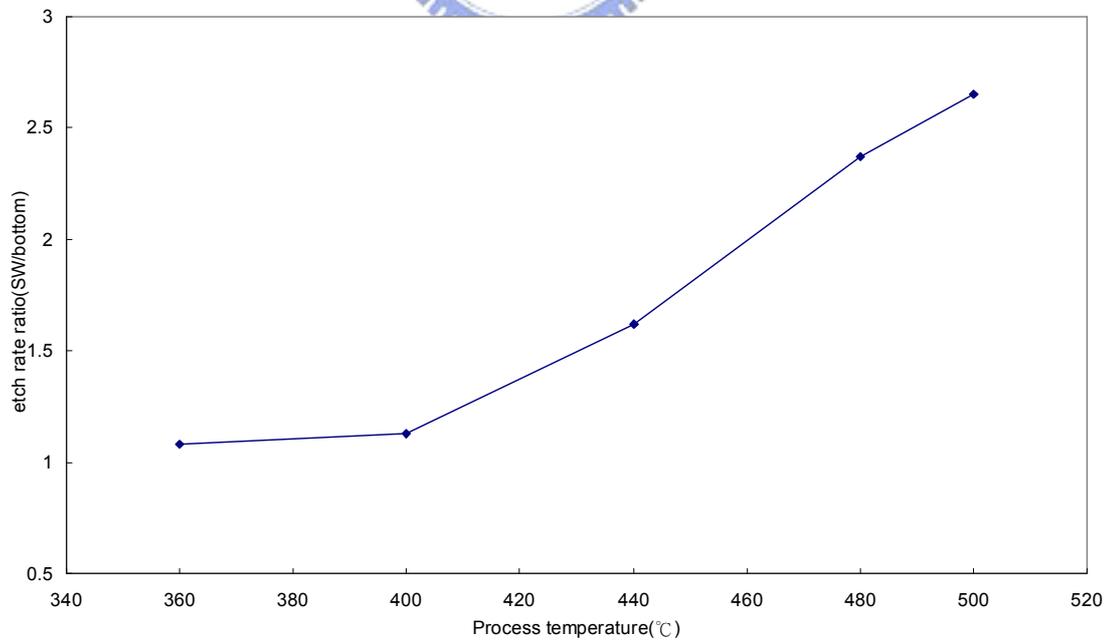


表 3.1 氧化矽薄膜厚度與製程溫度的關係

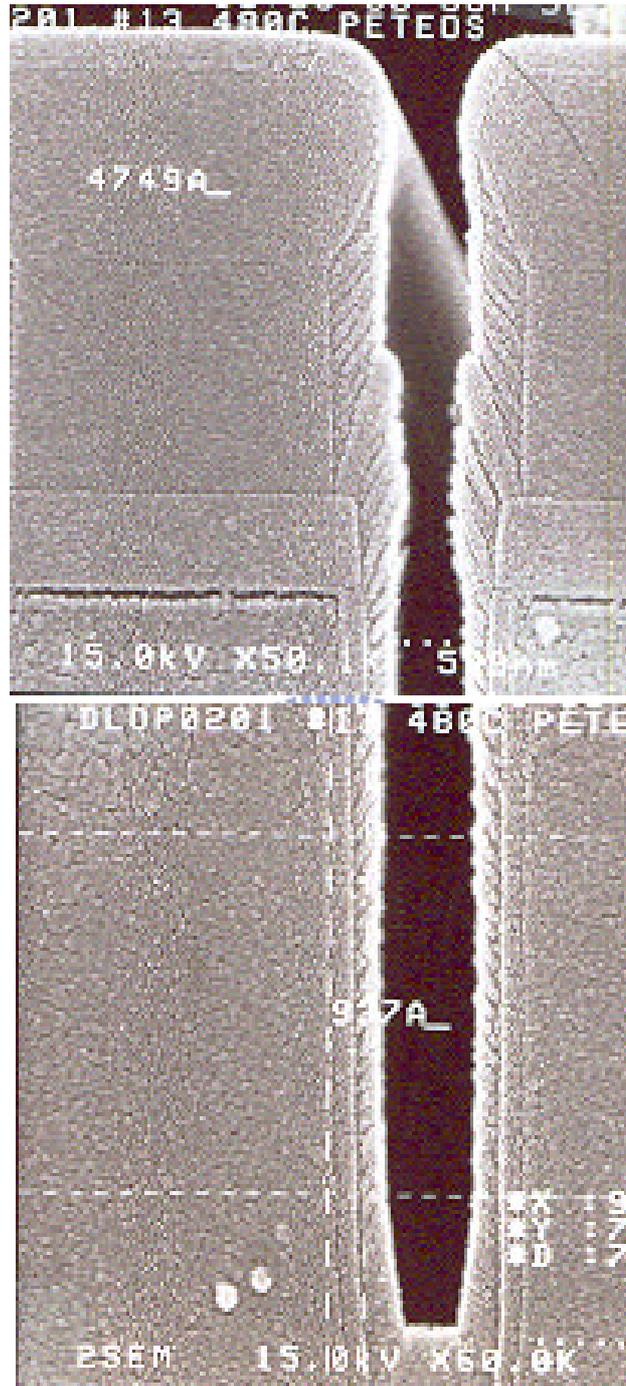
製程溫度	溝槽底部薄膜厚度	溝槽側壁薄膜厚度	底部/側壁薄膜厚度比
360°C	2040Å	1258Å	1.62
400°C	2215Å	955Å	2.32
440°C	2318Å	750Å	3.09
480°C	2350Å	645Å	3.64
500°C	2215Å	527Å	4.2



圖(3.9)氧化矽厚度比值(bottom/sidewall)與製程溫度關係



圖(3.10) 1%HF 對溝槽側壁氧化矽與溝槽側底部氧化矽的蝕刻比率



圖(3.11) 480°C PECVD-TEOS 氧化矽沉積於溝槽側壁結構

3.2 元件製造流程

本實驗採用六吋，有 N-type 磊晶層(Epitaxy)，晶格方向為(100)的矽晶片，製備 0.4 μm ，元件密度為 133 Mcell，溝槽深度(Trench depth)為 1.4 μm 及 1.6 μm ，底氧化矽薄膜厚度為 2500 Å、3000 Å 及無底氧化矽薄膜之溝槽式閘極功率金氧半場效電晶體，探討溝槽深度及底氧化矽薄膜厚度對元件特性的影響度，其元件製造步驟如下(參考圖 3.12~3.19)：

1. 晶圓清洗
2. 場氧化層成長 (Field oxidation)
3. 主動區(Active area) 對準：第一層光罩
4. 場氧化層濕式蝕刻
5. 氧化層 (Low temperature oxide, LTO)沉積：作為溝渠蝕刻的硬式罩幕 (hard mask)
6. 溝槽蝕刻對準：第二層光罩
7. 溝槽乾式蝕刻
8. PECVD-TEOS 沉積
9. 利用 1%HF 去除溝槽側壁氧化矽介電層：配合步驟 8 製程以形成溝槽底部氧化矽介電層
10. 閘極氧化層(Gate oxide)成長
11. 閘極複晶矽(Poly-Silicon)沉積

12. 閘極對準：第三層光罩
13. 閘極複晶矽乾式蝕刻
14. 基體區(Body)離子植入
15. 基體區離子驅入
16. 源極區(Source) 對準：第四層光罩
17. 源極區離子植入
18. 源極區離子驅入
19. PMD (pre-metal dielectric) 沉積：先沉積 SiO_2 (NSG) ，再沉積 BPSG (硼磷矽玻璃) 。NSG 的目的是防止 B、P 鑽入 Poly-Si 或底材(Si substrate)
20. BPSG 熱流
21. 接觸窗(Contact) 對準：第五層光罩
22. 接觸窗乾式蝕刻
23. BPSG 再熱流，以利後續之金屬層濺鍍
24. 金屬層濺鍍
25. 金屬層對準：第六層光罩
26. 金屬層乾式蝕刻
27. 護層沉積
28. 護層對準：第七層光罩



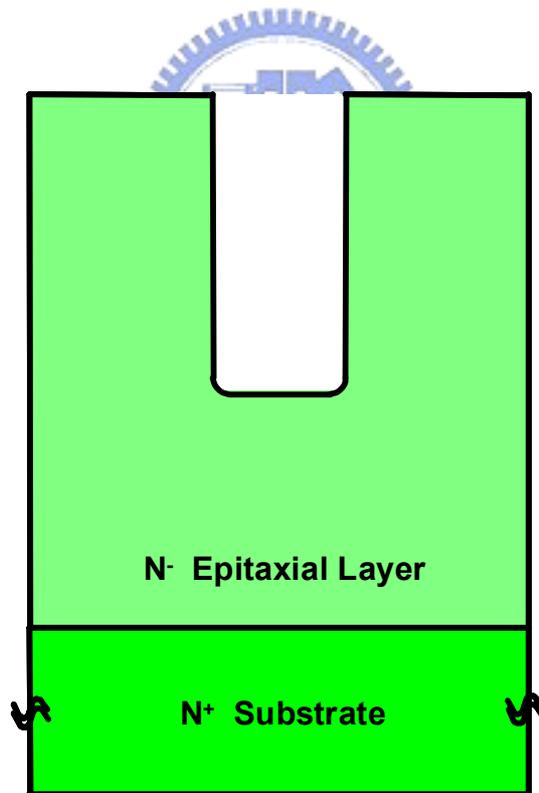
29. 護層乾式蝕刻

30. 金屬熔合(Alloy)

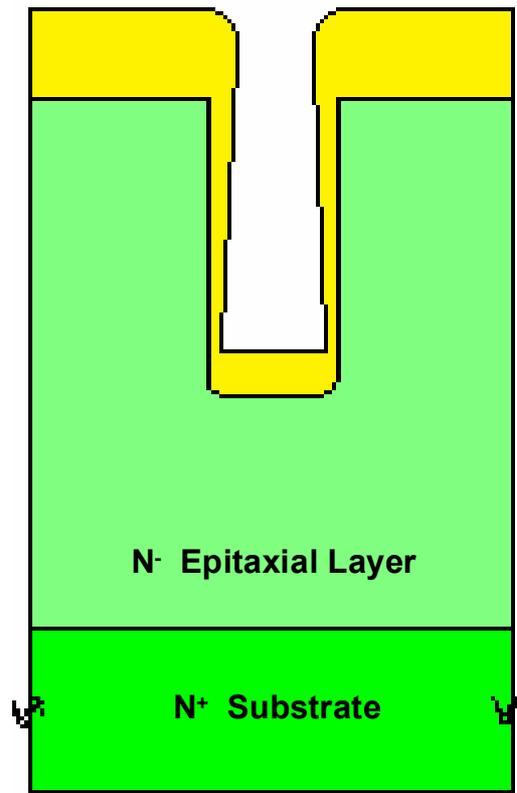
31. 晶背研磨

32. 晶背金屬(Ti/Ni/Ag) 沉積：作為汲極區(Drain)

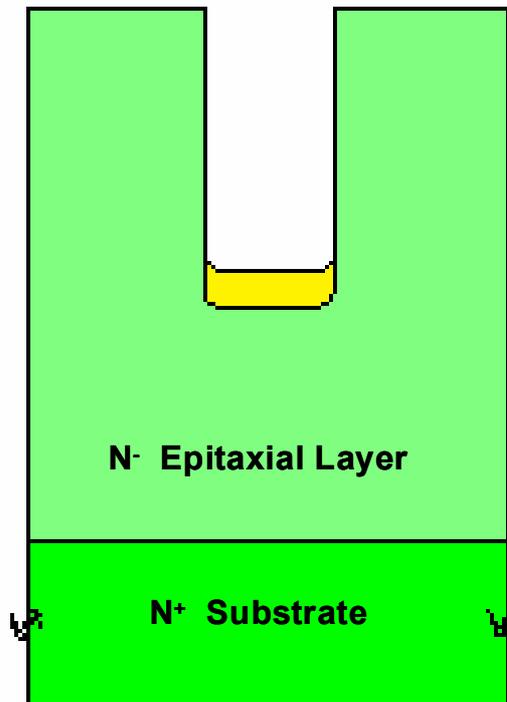
製程完成之元件其結構如圖 3.20 所示。



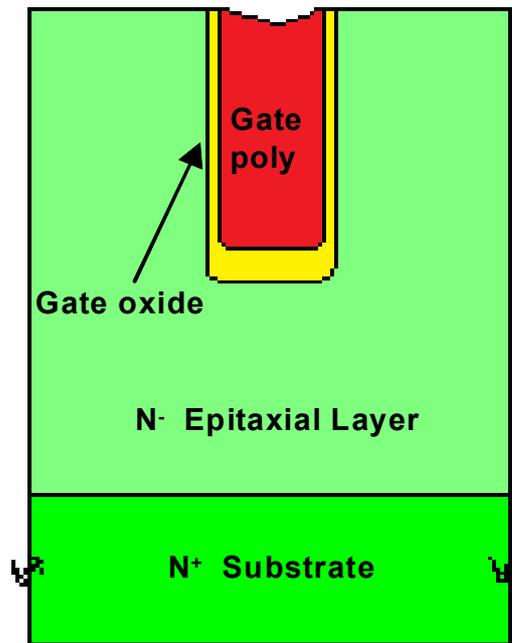
圖(3.12)元件製造流程：溝槽蝕刻



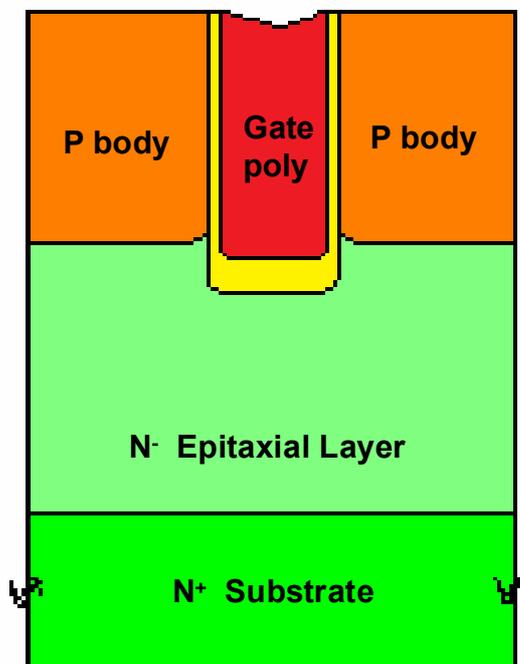
圖(3.13)元件製造流程：PECVD-TEOS 氧化矽沉積



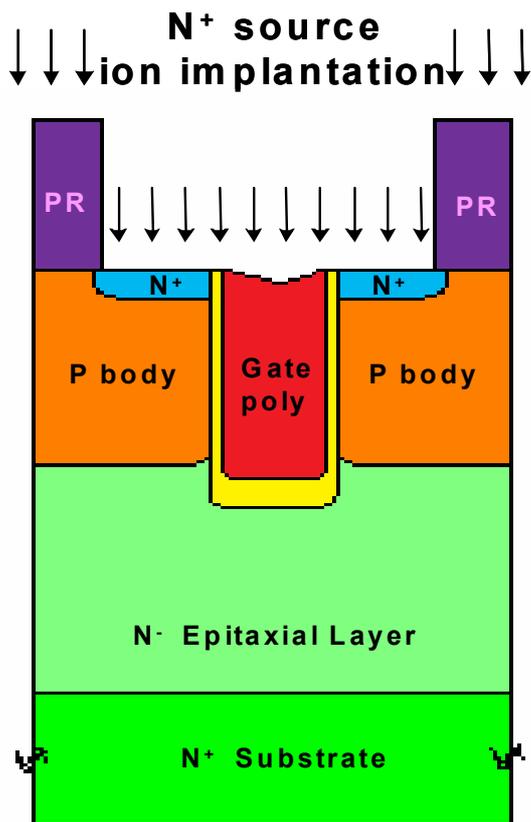
圖(3.14)元件製造流程：溝槽側壁氧化矽去除



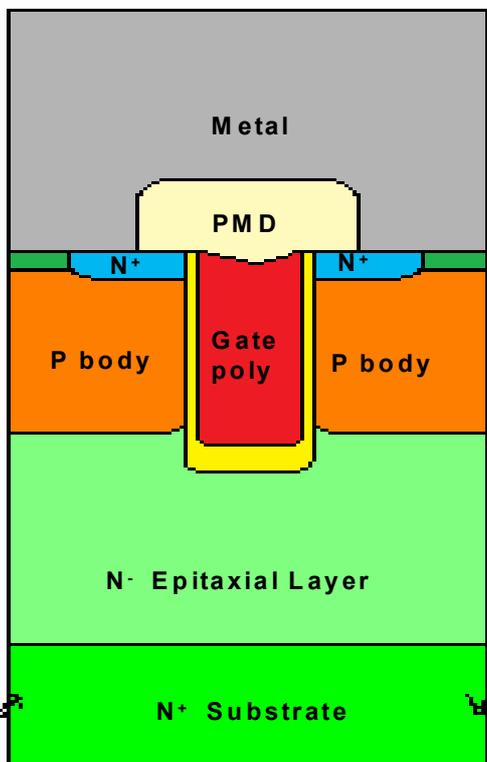
圖(3.15)元件製造流程：閘極形成



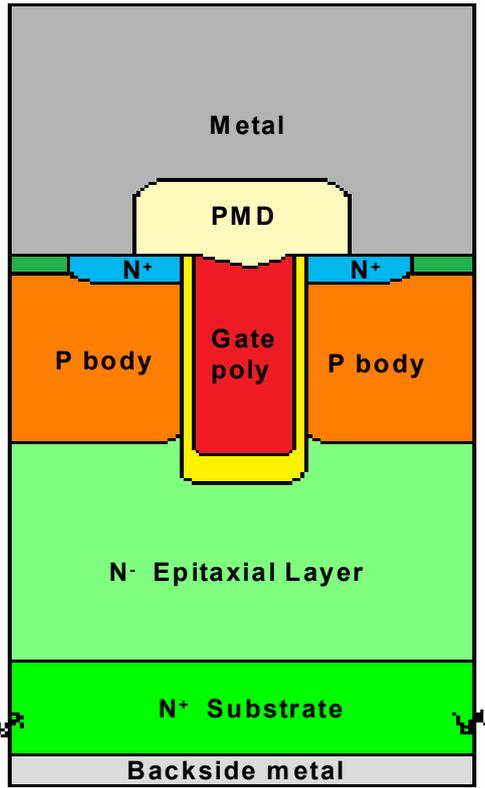
圖(3.16)元件製造流程：基體區離子植入



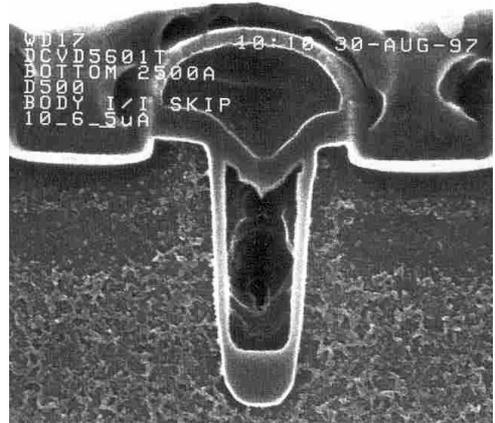
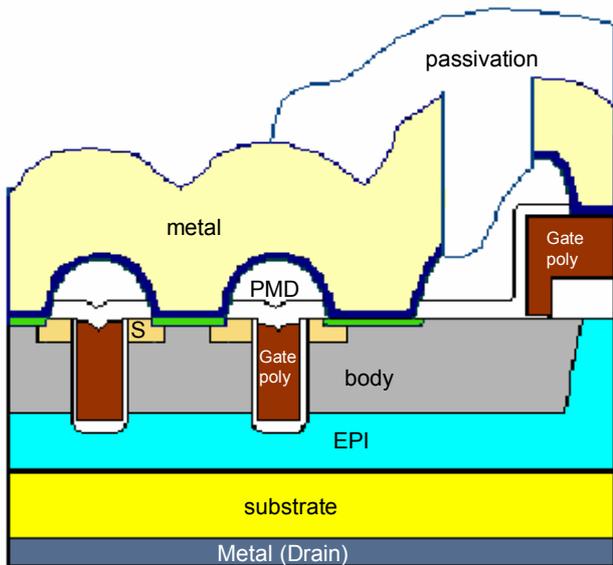
圖(3.17)元件製造流程：源極區離子植入



圖(3.18)元件製造流程：源極金屬濺鍍



圖(3.19)元件製造流程：晶背(汲極)金屬蒸鍍



圖(3.20)有底氧化矽之溝槽式閘極功率電晶體結構示意圖及 Cell 區之 SEM 圖

3.3 分析與量測

3.3.1 場發射式掃描電子顯微鏡(FE-SEM)：薄膜沉積形態觀察

在各類分析工作中，使用率最高的材料分析技術應該算是掃描式電子顯微鏡，其系統設計由電子槍 (Electron Gun) 發射電子束，經過一組磁透鏡聚焦 (Condenser Lens) 聚焦後，用遮蔽孔徑 (Condenser Aperture) 選擇電子束的尺寸 (Beam Size) 後，通過一組控制電子束的掃描線圈，再透過物鏡 (Objective Lens) 聚焦，打在試片上。電子束與試片作用時，經由碰撞反應可產生數種粒子，在試片的上側裝有訊號接收偵測器，利用擇取二次電子 (Secondary Electron) 或背向散射電子 (Backscattered Electron) 數量並轉化為強度訊號後，便可利用影像重組功能，轉化為試片表面微觀影像，提供幾何型態與組成分布型態資訊。

由於電子顯微鏡使用的電子槍材料與電子發射原理的差異，造成的電子能量分程程度不同，進而影響電子束直徑與影像解析度。電子束的必要特性是亮度要高、電子能量散佈 (Energy Spread) 要小，場發射式電子槍比熱離子式鎢燈絲和硼化鎢燈絲的亮度分別高出 10 - 100 倍，同時電子能量散佈僅為 0.2 - 0.4 eV，所以目前市售的高解析度掃描式電子顯微鏡都採用場發射式電子槍，其解析度可高達 1nm 以下。本實驗使用 Hitachi S4500 掃描電子顯微鏡來觀察氧化矽薄膜在溝槽側壁及底部的沉積輪廓 (profile) 及薄膜厚度。^[21]

3.3.2 穿透式電子顯微鏡(TEM)：薄膜沉積界面觀察

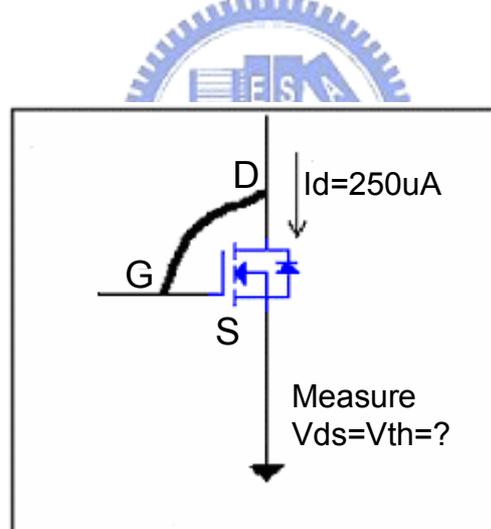
穿透式電子顯微鏡(Transmission Electron Microscopy, TEM)具有極高的穿透能力及高解析度，已成為材料科學研究上極有效的工具之一。穿透式電子顯微鏡是利用高能量電子撞擊材料，偵測繞射的電子，主要用來觀察材料的結構，其解析度很高，可到個別的原子。穿透式電子顯微鏡具備超高解像能力，在一般的影像觀察上，依實際操作時可放大的倍率範圍來看，穿透式電子顯微鏡具有相當大的彈性（從 50 倍到 1,500,000 倍）；應用到半導體材料研究方面，穿透式電子顯微鏡分析具有以下優點：(1) 在形象 (Morphology) 觀察方面，對材料結構有敏銳的分辨力；(2) 微細結構的觀察 (晶格影像)；(3) 藉著電子繞射圖樣分析，在試片觀察時擁有方向感；(4) 搭配試片基座的傾斜功能，可以進行結構性缺陷的特性分析。隨著儀器的改良，目前分析式電子顯微鏡(Analytical Electron Microscope)與高解像能電子顯微鏡(High Resolution Electron Microscope)已能合為一體，除了穿透式電子成像之外，亦能做極微小區域($<10\text{\AA}$)的繞射圖樣(Nano Beam Diffraction, NBD)，和收斂電子束繞射(Convergent Beam Diffraction, CBD)圖形，具有多樣化的能力，幾乎可以滿足各層面的分析需求。

在穿透式電子顯微鏡試片製作方面，由於 TEM 分析的是穿透過試片的電子束，基於電子束有限的穿透力，通常最理想的觀察厚度在

500-1000 Å 之間且試片的大小必須在 3 mm 以下。欲得到這麼薄的試片，可用聚焦式離子束顯微鏡 (Focused Ion Beam, FIB) 來作局部區域的蝕薄工程。[22]

3.3.3 閘極啟始電壓 (Gate threshold voltage, V_{th})

閘極電流開始流通的閘極電壓稱為閘極啟始電壓，通常規格表上所表示的為接合溫度為 25°C 時的數值。其量測方式是將源極接地，閘極與汲極聯接(short)，由汲極端輸入 250uA 之電流，再量測 $V_{ds}=V_{gs}$ 時的電壓值，即為閘極啟始電壓，如圖 3.21。

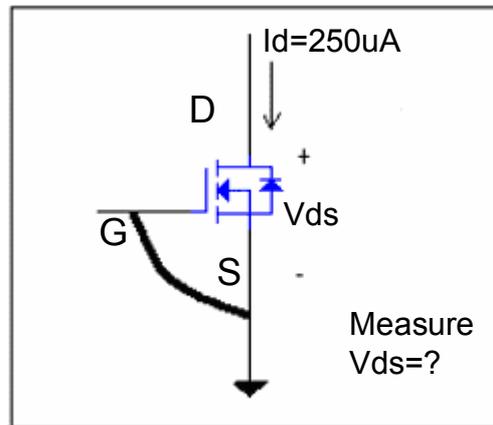


圖(3.21) 閘極啟始電壓量測電路

3.3.4 汲極-源極崩潰電壓(Drain-Source breakdown voltage, BV_{dss})

此為 Power MOSFET 汲極-源極間所能承受的最大電壓值，主要受制於其內藏逆向二級體的耐壓。其量測方式是將閘極與源極聯接

(short) ，由汲極端輸入一 I_d 之電流(一般為 $250\mu A$) ，再量測汲極-源極間的電壓值，即為汲極-源極崩潰電壓(BV_{dss}) ，如圖 3.22 。



圖(3.22) 汲極-源極崩潰電壓量測電路



3.3.5 閘極充放電容的電荷量(Gate Charge, Q_g)

即閘極與各電極間的電荷量，此為決定 Power MOSFET 開關切換速度的主要參數。其量測所得的圖形如圖 3.23，而其實際的量測閘極方式為，於汲極-源極間輸入一電壓使 $V_{ds}=80\%BV_{dss}$ ，並在閘極-源極間輸入一 $P_{luse}(width=1ms)$ ，調整使 $I_d=1mA$ ，本次實驗量測 V_{gs} 由 $0V$ 至 $4.5V$ 閘極充電所需時間，再計算電流乘上時間即等於閘極與各電極之間的電荷量，如圖 3.24。

時間由(1) t_0 至 t_1 ： V_{gs} 對閘極-源極間的電容 (C_{gs}) 充電，當 V_{gs} 加至 t_1 時， I_{ds} 電流開始些微導通，此時的 V_{gs} 稱為啟始電壓 V_{th} 。

(2) t_1 至 t_2 : V_{gs} 持續對閘極-源極間的電容充電，隨著 V_{gs} 的加大，

I_{ds} 電流也跟隨著變大。

(3) t_2 至 t_3 : 此時閘極-源極間的電容已飽和， V_{gs} 開始對閘極-汲極

間的電容 (C_{gd}) 充電，此時 I_{ds} 電流為定值，汲極電壓開始逐漸降低。

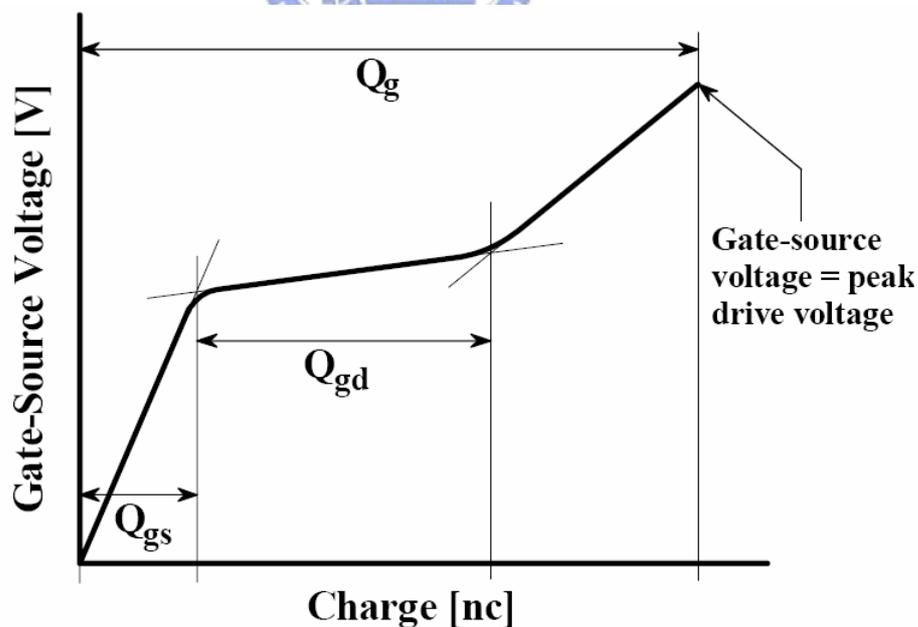
(4) t_3 至 t_4 : V_{gs} 對閘極-汲極間的電容充電已飽和，並持續加壓至完

成切換動作^[24]。

其中 t_1 到 t_3 間產生了切換間的功率損失，為了達到較小的切換功率

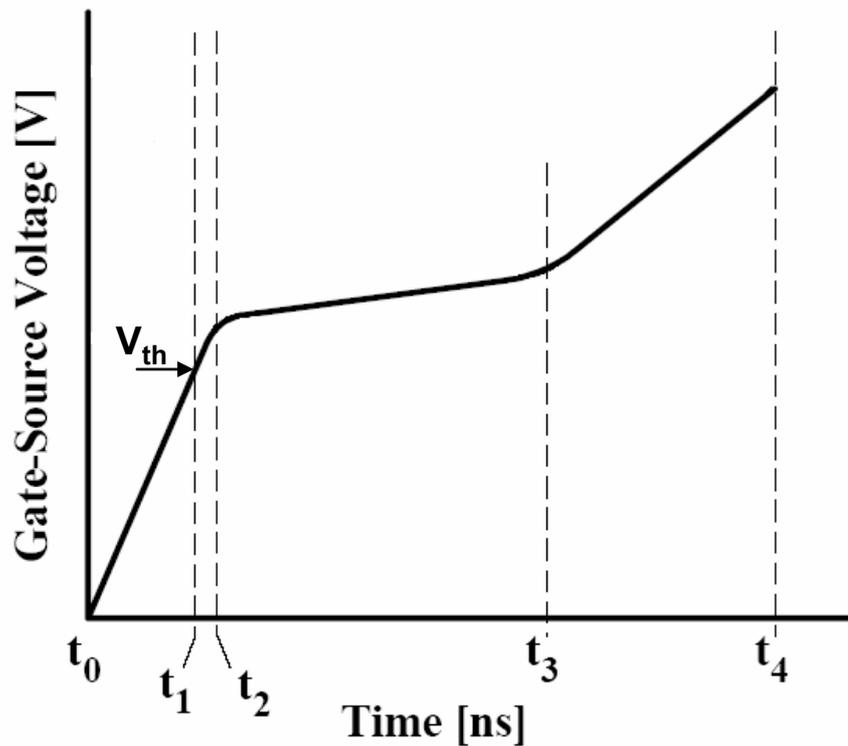
損失，其對高頻切換動作最有不良影響的回授電容量 C_{gd} 值應該愈

小愈好。



圖(3.23) Gate Charge 量測圖形

資料來源: Advanced Power Technology application note, 2001

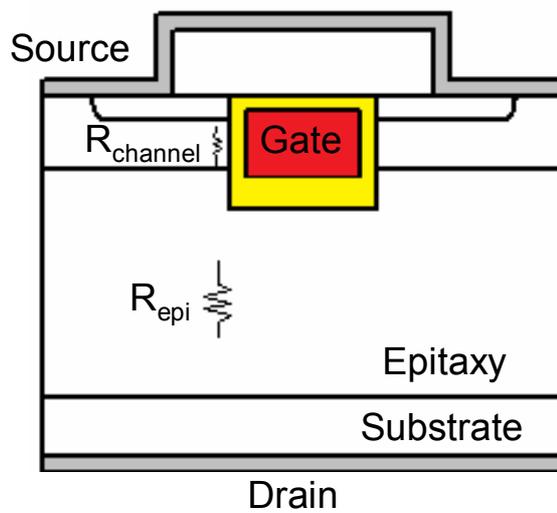


圖(3.24) Power MOSFET 切換曲線圖

資料來源: Advanced Power Technology application note, 2001

3.3.6 導通電阻(Drain-Source On-state Resistance, Rdson)

此為元件導通時汲極與源極間的電阻值，Rdson 主要為通道電阻 ($R_{channel}$) 加底材的磊晶層 (Epitaxy) 電阻 (R_{epi})，如圖 3.25。其量測方法為由閘極-源極間輸入一 Force V_{gs} ，此 $V_{gs} > V_{th}$ ，再由汲極端加一 Force I_d ，測量 V_{ds} 及 I_d ，計算 V_{ds} / I_d 值即為 Rdson。功率金氧半場效電晶體要求 Rdson 值愈低愈好，如圖 3.26。



圖(3.25) 導通電阻示意圖

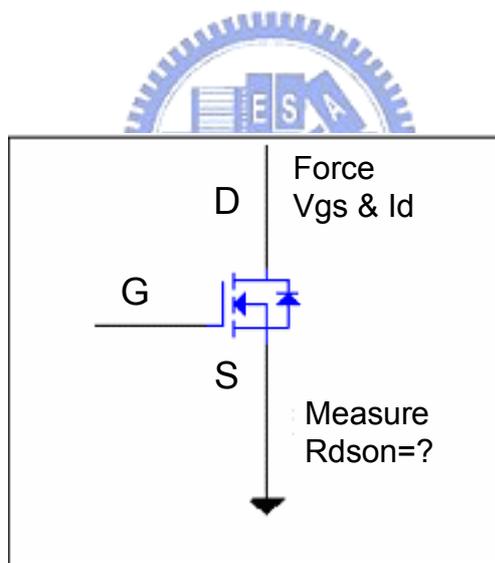


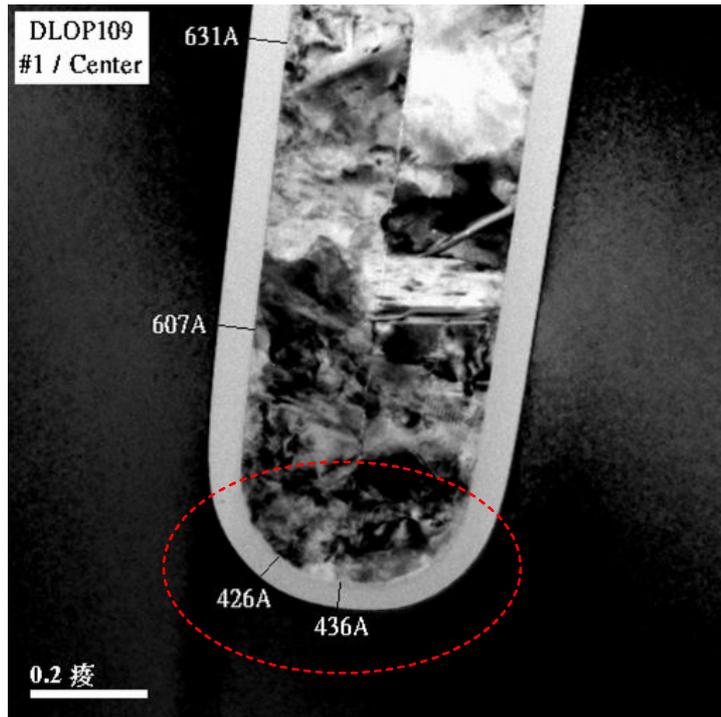
圖 3.26 導通電阻量測電路

第四章 結果與討論

4.1 閘極氧化層崩潰電壓(Gate oxide breakdown voltage)

對於溝槽式閘極功率電晶體來說，因為我們憑藉著Trench區域要做出垂直式的MOSFET，所以這個電晶體的特性將受Trench 所影響。溝槽式閘極功率電晶體其閘極氧化層最薄處通常位於溝槽底部(參考圖4.1)，因為在Bottom Corner的地方在成長閘極氧化層時，會遇到晶向的問題，而且側壁以及底部的閘極氧化層成長時均會向角落雙向擠壓，將會使得溝槽式閘極功率電晶體其底部的閘極氧化層較薄(圖4.1)。當給予的電場足以破壞閘極氧化層時，溝槽底部之閘極氧化層會最先產生崩潰現象。

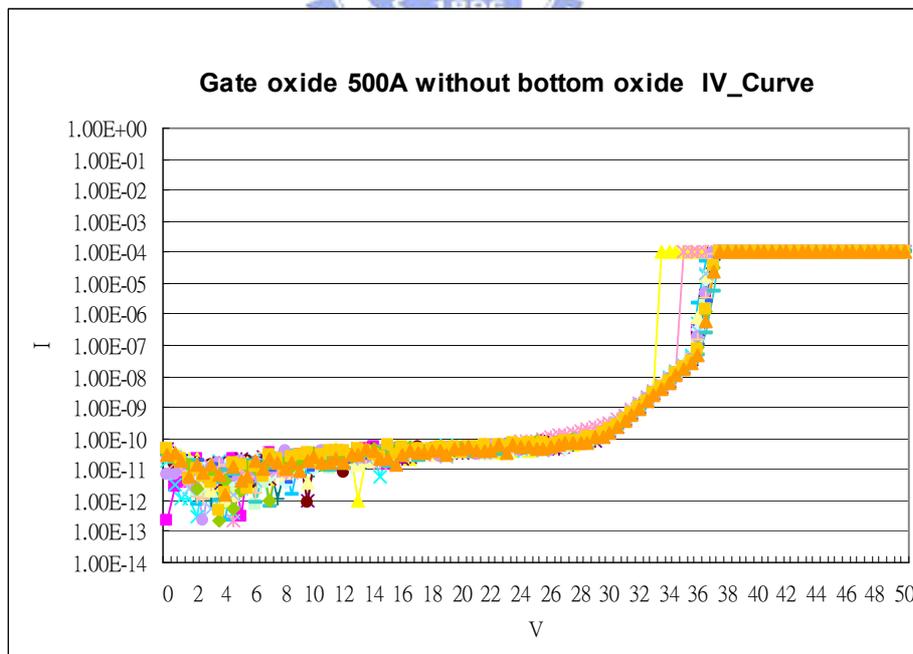
比較同為 500\AA 閘極氧化層厚度的溝槽式閘極功率電晶體，有底氧化矽的溝槽式閘極功率電晶體因底部具有較厚的氧化層薄膜，所以會有較佳的崩潰電壓表現。如圖4.2所示，有 2500\AA 底氧化層的溝槽式閘極功率電晶體其閘極氧化層崩潰電壓約為 43V (崩潰電場為 8.6MV/cm)，而無底氧化層的溝槽式閘極功率電晶體其閘極氧化層崩潰電壓約為 37V (崩潰電場為 7.4MV/cm)。

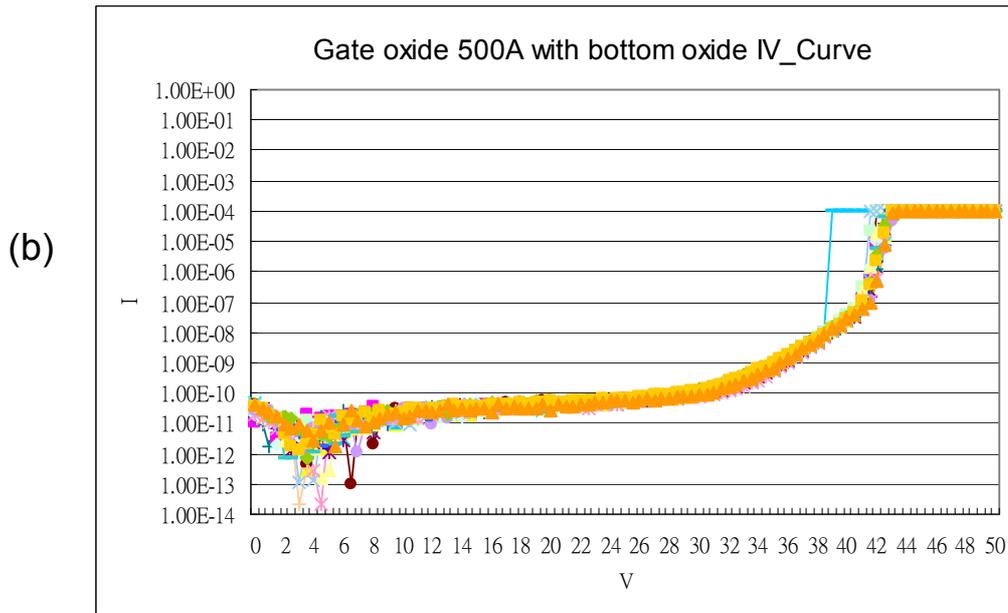


圖(4.1) 溝槽式開極功率電晶體開極氧化層厚度



(a)





圖(4.2) 電流-電壓特性曲線圖 (a)無底氧化矽之溝槽式閘極功率電晶體
(b)有底氧化矽之溝槽式閘極功率電晶體



4.2. 閘極充放電容的電荷量測

4.2.1 底氧化層厚度與元件特性

比較底氧化矽介電層厚度為 2500 \AA 、 3000 \AA 的溝槽式閘極功率電晶體與標準之溝槽式閘極功率電晶體(即無底氧化矽介電層)元件，如表4.1，有較厚底氧化矽溝槽式閘極功率電晶體元件其 BV_{dss} 較高，亦即內藏逆向二級體的耐壓能力較好，溝槽式閘極功率電晶體的底氧化矽介電層厚度為 3000 \AA 元件較標準之元件其 BV_{dss} 提高約9.7%。

有底氧化矽介電層的溝槽式閘極功率電晶體其閘極電荷(Qg)，閘極-源極間電荷(Qgs)以及閘極-汲極間電荷(Qgd)值皆較標準之溝槽式閘極功率電晶體低，且其電荷值隨底氧化矽厚度的增加而降低。溝槽式閘極電晶體的底氧化矽介電層厚度為3000 Å 元件較標準之元件對其高頻特性有不良影響的Cgd(即表內的Crss 值)降低了56.89%。

底氧化矽介電層厚度對溝槽式閘極電晶體元件的啟始電壓(Vth)的影響度並不明顯。底氧化矽介電層厚度為3000 Å 元件較標準之元件其Vth相差約3.8%



表(4.1) 底氧化矽介電層厚度與元件特性關係

Trench depth(um)		1.4	1.4	1.4
Bottom oxide(Å)		No	2500	3000
Gate oxide (Å)		500	500	500
Vth(V)		1.419	1.447	1.473
BVdss(V)		32.24	34.54	35.38
Gate charge (nC)	Qg	26.9	22.3	20.3
	Qgs	6.7	4.5	4.2
	Qgd	8.7	4.9	3.9
Capacitor(pF)	Ciss	1983	1647.3	1630
	Coss	490	419	404
	Crss	341	172.67	147

4.2.2 溝渠深度(trench depth)與元件特性

比較溝槽深度為1.4 μm 及1.6 μm 且底氧化矽介電層厚度同為2500 Å的溝槽式閘極功率電晶體，其溝槽深度較深者其Qg, Qgs, 及Qgd值皆較高。底氧化矽介電層厚度2500 Å且溝槽深度為1.6 μm 較深度為1.4 μm 的元件的Cgd值提高約31%，其原因為較深的溝槽深度表示具有較大的閘極電極面積，由(式1)電容與電極面積成正比關係得知，電極面積愈大則電容也愈大。但其BVdss較低而Vth較高，其量測值列於表4.2。

表(4.2) 溝槽深度與元件特性關係

Trench depth(μm)		1.4	1.4	1.6
Bottom oxide(Å)		No	2500	2500
Gate oxide (Å)		500	500	500
Vth(V)		1.419	1.447	1.482
BVdss(V)		32.24	34.54	33.37
Gate charge (nC)	Qg	26.9	22.3	24.1
	Qgs	6.7	4.5	4.8
	Qgd	8.7	4.9	6.7
Capacitor(pF)	Ciss	1983	1647.3	1810
	Coss	490	419	430
	Crss	341	172.67	251

4.2.3 元件開關切換速度

功率金氧半場效電晶體元件設計的最佳化取決於導通電阻 (R_{dson})與閘極-汲極間電荷(Q_{gd})的乘積，其值愈小者表示元件切換速度愈快。雖然有底氧化矽介電層的溝槽式閘極功率金氧半場效電晶體會較高的導通電阻，但其 $R_{dson} \times Q_{gd}$ 會有較佳表現，亦即元件的開關速度較快。

在此次研究中，溝槽深度為 $1.4\mu m$ 且底氧化矽介電層為 2500\AA 溝槽式閘極功率電晶體有最低的 $R_{dson} \times Q_{gd}$ ，且較相同溝槽深度而無底氧化矽介電層的元件其切換速度增快 44.24% 。然而隨著底氧化矽介電層厚度的增加，其導通電阻也會逐漸升高，影響元件切換速度的表現，所以在相同溝槽深度而底氧化矽介電層為 3000\AA 溝槽式閘極功率電晶體，其 $R_{dson} \times Q_{gd}$ 的乘積只較標準的元件其切換速度增快 34.44% ，故在底氧化矽介電層厚度與導通電阻上需有適當的取捨。

而溝槽深度為 $1.6\mu m$ 且底氧化矽介電層為 2500\AA 溝槽式閘極功率電晶體，因其 Q_{gd} 值較高，故其切換速度只比標準的元件增快 28.53% ，量測值列於表4.3。

表(4.3) 底氧化矽介電層厚度與元件開關速度關係

Trench depth(um)		1.4	1.4	1.4	1.6
Bottom oxide(Å)		No	2500	3000	2500
Gate oxide (Å)		500	500	500	500
Rdson(m Ω) *Qgd(nC)		106.6	59.44	69.89	76.18
Improvement			44.24%	34.44%	28.53%
Gate charge (nC)	Qg	26.9	22.3	20.3	24.1
	Qgs	6.7	4.5	4.2	4.8
	Qgd	8.7	4.9	3.9	6.7
Capacitor(pF)	Ciss	1983	1647.3	1630	1810
	Coss	490	419	404	430
	Crss	341	172.67	147	251



第五章 結論

溝槽式閘極結構功率金氧半場效電晶體為低壓的功率電晶體主要技術，目的是可增加元件的積集度及降低導通電阻值。本次的實驗，藉由提高PECVD-TEOS製程溫度及適當的溼式蝕刻製程，使氧化矽介電層薄膜存留在溝槽底部，有效地降低溝槽式閘極功率金氧半場效電晶體的 Q_{gd} 值，並可提升34%至44%的開關切換速度(溝槽深度同為1.4 μm)。希望藉此一方法，得到具備高切換速率之最佳化的溝槽式閘極功率電晶體，以達到高密度元件與高良率之利用。



參考文獻

- [1] D. Ueda, H. Takagi, and G. Kono, "A new vertical power MOSFET structure with extremely reduced on-resistance", IEEE Trans. on Electron Devices, vol.ED-32, p.2, 1985
- [2] D. Ueda, H. Takagi, and G. Kono, "An Ultra-Low On-Resistance Power MOSFET Fabricated by Using Fully Self-Aligned Process", IEEE Trans. on Electron Devices, vol.ED-34, p.926, 1987
- [3] B.J. Baliga, "Trends in Power Discrete Devices" Process of International Symposium on Power Semiconductor Devices, p.5, 1998
- [4] B.J. Baliga, "Power Semiconductor Devices", Boston, MA:PWS, 1998
- [5] 陳連春, 電功率 MOSFET 應用技術, 建興出版社, pp.4-12, 2001
- [6] S.M. Sze, "Semiconductor Devices – Physics and Technology", John Wiley & Sons Inc., 2nd Edition, pp. 218-219, 2001
- [7] Mohamed Darwish, Christiana Yue, Kam Hong Lui, Frederick Giles, Ben Chan, Kuo-in Chen, Deva Pattanayak, Qufei Chen, Kyle Terrill, and King Owyang, "A New Power W-Gate Trench MOSFET (WMOSFET) with High Switching Performance", International Symposium on Power Semiconductor Devices, pp.24-27, 2003
- [8] B. Jayant Baliga, "Trends in Power Semiconductor Devices", IEEE TED Vol.43,

No.10, October 1996

- [9] 陳啟文, 顏培仁, 吳明瑞, 簡鐸欣, 簡鳳佐, 董正暉, 涂高維, 蘇世宗, “淺接面結構對功率電晶體電性改善之研究”, 明新學報, 31 期, pp.129-136, 2005 年 10 月
- [10] C.Y. Chang, S.M. Sze, ULSI Technology, McGraw-Hill International Editions, 1996
- [11] 董家齊, 陳寬任, “奇妙的物質第四態—電漿”, 科學發展, 354 期, pp.52-59, 2002 年 6 月
- [12] T.B. Gorczyca, B. Gorowitz, “ Plasma-Enhanced Chemical Vapor Deposition of Dielectronics”, VSI Electronics Microstructure Science, vol.8, pp. 69-75, 1984
- [13] Michael Quirk, Julian Serda, Semiconductor Manufacturing Technology, Pearson Education Inc., 2001
- [14] James D. Plummer, Michael D. Deal, Peter B. Griffin, Silicon VLSI Technology: Fundamentals, Practice and Modeling, Pearson Education Inc. 2001
- [15] 莊達人, VLSI 製造技術, 高立圖書有限公司, 2003
- [16] Hong Xiao, Introduction to Semiconductor Manufacturing Technology, Perntice-Hall Inc., 2001
- [17] Kazuo Maeda, Stephen M. Fisher, “CVD TEOS/O3: Development history and applications”, Solid State Technology, June,1993
- [18] K. Fujino, Y. Nishimoto, N. Tokumasu, and K. Meada, “Silicon Dioxide

- Deposition by Atmospheric Pressure and Low-Temperature CVD Using TEOS and Ozone”, Journal of the Electrochemical Society, Vol.137, No.9, pp.2883-2887, September 1990
- [19] S. Nguyen, D. Dobuzinsky, D. Harmon, R. Gleason, and S. Fridmann, “Reaction Mechanisms of Plasma- and Thermal-Assisted Chemical Vapor Deposition of Tetraethylorthosilicate Oxide Films”, Journal of the Electrochemical Society, Vol.137, No.7, pp.2209-2214, July 1990
- [20] S. E. Babayan, J. Y. Jeong, A. Schutze, V. J. Tu, Maryam Moravej, G. S. Selwyn, R. F. Hicks, “Deposition of Silicon Dioxide Films With a Non-equilibrium Atmospheric-pressure Plasma Jet” Plasma Source Science and Technology, vol.10, pp.573-578, 2001
- [21] 周賢鎧, “場發射掃描式電子顯微鏡”, 化工技術, 168 期, pp.108-119, 2007 年 3 月
- [22] 周振嘉, 呂家嘉, “穿透式電子顯微鏡分析原理與實務應用”, 化工技術, 168 期, pp.134-150, 2007 年 3 月
- [23] Ralph McArthur, “Making Use of Gate Charge Information in MOSFET and IGBT Data Sheet”, Advanced Power Technology, 2001