

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

鈹鉑合金於銅閘極薄膜電晶體上之應用



The Application of TaPt Alloy on Copper Gate Thin-Film Transistors

研究生：李佳蓉

指導教授：崔秉鉞 教授

中華民國九十五年七月

鈹鉑合金於銅閘極薄膜電晶體上之應用

The Application of TaPt Alloy on Copper Gate Thin-Film Transistors

研究生：李佳蓉

Student: Chia-Jung Lee

指導教授：崔秉鉞

Advisor: Bing-Yue Tsui

國立交通大學

電子工程學系 電子研究所

碩士論文

A thesis

Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electronic Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

鈹鉑合金於銅閘極薄膜電晶體上之應用

研究生：李佳蓉

指導教授：崔秉鉞

國立交通大學電子工程學系 電子研究所碩士班

摘 要

由於鈹鉑合金有著阻值低，與二氧化矽附着力良好，以及合金結晶溫度高等特性，因此在本論文中使用鈹鉑合金作為擴散阻擋層，並將其應用在銅導線製程以及銅閘極電晶體上。

在沉積鈹鉑合金時，我們改變共同濺鍍時的濺鍍瓦數比以調整鉑的摻雜比例，材料分析結果發現，摻雜 15% 和 35% 鉑的鈹鉑合金電阻率和純鈹相差不多，而且沉積於上層的銅大致上也和沉積在純鈹阻擋層上的銅一樣有很好的抗電致遷移能力。然而，無論摻雜比例多寡，即使經過 700°C 退火 30 分鐘後，由材料分析得知薄膜仍能維持在非晶狀態，這項結果有利於擴散阻擋層之應用。電性結果顯示，到 650°C 退火後 5nm 的鈹鉑合金阻擋層仍然能夠維持阻擋的能力，和以 20nm 純鈹薄膜做為阻擋層時到 650°C 退火後即出現銅擴散和表面氧化的情形相比，摻雜些許的鉑的確可以提高阻擋銅的能力。

我們選用鉑摻雜比例為 15% 的鈹鉑合金作為銅閘極薄膜電晶體之閘極擴散阻擋層，實驗結果發現雖然經過退火後，元件會因為熱應力造成界面和閘極氧化層產生缺陷，但即使經過 30 分鐘 650°C 的後續熱處理，我們仍然沒有觀察到因阻擋層失效銅擴散而造成元件特性大幅劣化的現象，因此我們發現，將鈹鉑合金應用在銅導線製程銅閘極薄膜電晶體上是相當有可行性的一個做法。

The Application of TaPt alloy on Copper Gate Thin-Film Transistors

Student: Chia-Jung Lee

Advisor: Bing-Yue Tsui

Department of Electronics Engineering
Institute of Electronics
National Chiao Tung University

Abstract

TaPt alloys have advantages of low resistivity, good adhesion on SiO₂, and high crystallization temperature. These properties suggest that TaPt alloys are potential materials for Cu diffusion barrier of copper interconnect process and Cu-gate thin-film transistor.

The atomic composition of TaPt alloys could be adjusted by changing the co-sputter condition during TaPt deposition. The resistance of the TaPt alloy is almost the same as that of pure Ta. Cu films deposited on TaPt alloys have a preferred (111) orientation which is benefit to electro-migration immunity. The TaPt films remain amorphous up to 700°C with whatever the composition ratio. The electrical investigation shows that TaPt alloys with a thickness of only 5nm can block Cu diffusion up to 650°C. On the contrary, the pure Ta film with a thickness of 5nm can only sustain the process temperature of less than 600°C. Cu-gate TFTs by using the TaPt alloy with 15% Pt as diffusion barrier were also demonstrated. Although the interface states and oxide defects are generated during annealing, no significant degradations due to Cu diffusion are observed even after 650°C annealing. Therefore, TaPt alloys as diffusion barriers are suitable not only for the Cu interconnect but also for the Cu-gate TFT applications.

誌 謝

在研究所這段期間，首先要先感謝我的指導老師崔秉鉞教授無論是在研究上還是生活上所給予的指導和協助。老師樂於討論和分享的態度，嚴謹又實事求是的研究精神，讓我獲益匪淺。

做實驗的過程中，要謝謝交通大學奈米中心和國家奈米元件實驗室提供一流的實驗器材，也要很感謝國科會貴重儀器中心、清華大學原子科學中心，和交通大學奈米科技中心提供實驗分析儀器還有技術人員，像是歐傑電子能譜分析的蔡靜雯小姐、拉塞福背向散射的林義琨先生、X光繞射分析的賴樹琴和蕭世宏先生等的協助。實驗室的家彬、誌鋒、季霈、志民和偉豪學長，謝謝你們總是能主動在我遇到困難時分享經驗和提供建議，而同學明錡、孟漢、永助，以及實驗室的學弟妹們，除了在實驗上的協助外，也要很感謝你們為平日枯燥的實驗室生活增添了許多色彩。許多在無塵室中一起打拼的夥伴，雖然有些只認得你們露在無塵衣外的那雙眼睛，但是我由衷地感謝你們大大小小的幫忙，讓無塵室中做實驗變得不那麼無助和無聊。還有一起從成大來新竹唸書的大學同學和學姊學妹，有了你們，雖然離家很遠，還是能有很溫暖又熟悉的家鄉感覺。

也要很謝謝我的家人，平日讓我能沒有後顧之憂地在外地求學，在我遭遇挫折時仍提供一個避風港讓我依靠。最後要謝謝唐仕豪同學一直包容我喜怒無常的情緒，在低潮時給我鼓勵，陪伴我走過這兩年來的點點滴滴。

目錄

論文摘要(中文)	i
論文摘要(英文)	ii
誌謝	iii
目錄	iv
表目錄	vi
圖目錄	vii

第一章 緒論

1-1 金屬導線製程的發展與挑戰	1
1-2 薄膜電晶體閘極的演進—銅閘極的使用與挑戰	2
1-3 論文動機—為何使用鈀鉑合金?	4
1-4 論文架構	5

第二章 元件製備流程與分析方法

2-1 銅閘極電容結構製程	8
2-2 電容量測分析方法	10
2-3 銅閘極薄膜電晶體製作流程	12
2-4 銅閘極薄膜電晶體的量測分析	14

第三章 鈀鉑合金薄膜分析

3-1 鈀鉑合金組成比例分析	20
3-2 片電阻量測	20
3-3 X光繞射分析	21
3-4 縱深分析	22

第四章	銅閘極電容電性量測	
4-1	電容-電壓曲線及平帶電壓.....	32
4-2	崩潰電壓.....	33
4-3	偏壓-熱應力量測.....	34
第五章	銅閘極薄膜電晶體量測分析	
5-1	量測結果比較.....	50
5-2	不同溫度退火的後續製程對元件影響之探討.....	51
第六章	結論與未來展望	
6-1	結論.....	63
6-2	未來展望.....	65
參考文獻		68
簡歷		74



表目錄

第一章

表 1-1 鋁和銅的特性比較。

表 1-2 常用擴散阻擋層阻擋能力之比較。

表 1-3 鈦、鉑及鈦鉑合金電阻率之比較。

第二章

表 2-1 擴散阻擋層之濺鍍條件。

第三章

表 3-1 拉塞福背向散射分析結果。

表 3-2 不同擴散阻擋層上銅(111)和(200)方向訊號強度之比值。

第五章

表 5-1 經過NH₃電漿處理後，薄膜電晶體各項參數之整理。

表 5-2 NH₃電漿處理前薄膜電晶體各項參數之整理。

表 5-3 同一個元件，依序經過沒有退火，400°C退火 30 分鐘，500°C退火 30 分鐘後各項參數之整理。(After:做完電漿處理再退火；Before:先退火完再做電漿處理)

第六章

表 6-1 電容結構電性量測結果整理。

圖目錄

第二章

圖 2-1 銅閘極電容製作流程圖。

圖 2-2 銅閘極薄膜電晶體製作流程。

第三章

圖 3-1 50nm 鈦鉑合金和鈦薄膜電阻率之比較。

圖 3-2 TaPt/Cu/TaPt 閘極結構之片電阻。

圖 3-3 各溫度退火下 TaPt1 薄膜的 X 光繞射分析結果。

圖 3-4 各溫度退火下 TaPt2 薄膜的 X 光繞射分析結果。

圖 3-5 各溫度退火下 TaPt1/Cu/TaPt1 的 X 光繞射分析結果。

圖 3-6 各溫度退火下 TaPt2/Cu/TaPt2 的 X 光繞射分析結果。

圖 3-7 各溫度退火下 Ta/Cu/Ta 的 X 光繞射分析結果。

圖 3-8 TaPt1/Cu/TaPt1/SiO₂/Si 結構在 (a) 沒有經過退火，(b) 600°C 30 分鐘退火，(c) 700°C 30 分鐘退火的 AES 縱深分析結果。

圖 3-9 TaPt2/Cu/TaPt2/SiO₂/Si 結構在 (a) 沒有經過退火，(b) 600°C 30 分鐘退火，(c) 700°C 30 分鐘退火的 AES 縱深分析結果。

圖 3-10 經過 700°C 30 分鐘退火後，(a) TaPt1/Cu/TaPt1/SiO₂/Si 和 (b) TaPt2/Cu/TaPt2/SiO₂/Si 的 SIMS 縱深分析結果。

第四章

圖 4-1 擴散阻擋層為 20nm (a) TaPt1，(b) TaPt2 和 (c) Ta 的銅閘極電容在經過不同條件退火後之電容-電壓曲線。

圖 4-2 擴散阻擋層為 20nm (a) TaPt1，(b) TaPt2 和 (c) Ta 的銅閘極電容經過不同退火溫度後之平帶電壓。

圖 4-3 擴散阻擋層為 5nm (a) TaPt1，(b) TaPt2 和 (c) Ta 的銅閘極電容在經過不同條件退火後之電容-電壓曲線。

- 圖 4-4 擴散阻擋層為 5nm (a)TaPt1, (b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之平帶電壓。
- 圖 4-5 擴散阻擋層為 20nm (a)TaPt1, (b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之崩潰電壓。
- 圖 4-6 擴散阻擋層為 5nm (a)TaPt1, (b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之崩潰電壓。
- 圖 4-7 阻擋層為 20nm TaPt1 之電容經過(a)650°C和(b)700°C退火後偏壓-熱應力量測結果。
- 圖 4-8 阻擋層為 20nm TaPt2 之電容經過(a)650°C和(b)700°C退火後偏壓-熱應力量測結果。
- 圖 4-9 阻擋層為 20nm Ta 之電容經過 600°C退火後偏壓-熱應力量測結果。
- 圖 4-10 以 20nm (a)TaPt1, (b)TaPt2, (c)Ta 為擴散阻擋層之電容, 經過不同溫度退火後, 偏壓-熱應力量測時, 初始值和經過 30 分鐘 +2MV/cm 應力後之平帶電壓位移量。
- 圖 4-11 阻擋層為 5nm TaPt1 之電容經過 650°C退火後偏壓-熱應力量測結果。
- 圖 4-12 阻擋層為 5nm TaPt2 之電容經過(a)600°C和(b)650°C退火後應力量測結果。
- 圖 4-13 阻擋層為 5nm Ta 之電容經過 600°C退火後偏壓-熱應力量測結果。
- 圖 4-14 以 5nm (a)TaPt1, (b)TaPt2, (c)Ta 為擴散阻擋層之電容, 經過不同溫度退火後, 偏壓-熱應力量測時平帶電壓之位移量。
- 圖 4-14 以 5nm (a)TaPt1, (b)TaPt2, (c)Ta 為擴散阻擋層之電容, 經過不同溫度退火後, 偏壓-熱應力量測時平帶電壓之位移量。

圖 4-15 以 5nm TaPt1 為擴散阻擋層的銅閘極電容之(a)剖面結構(b)下層阻擋層情形 (c)上層阻擋層情形。

第五章

圖 5-1 (a)穿透式顯微鏡下銅閘極薄膜電晶體的剖面結構圖(b)閘極 (TaPt1(20nm)/Cu(50nm)/TaPt1(20nm))結構圖。

圖 5-2 經過不同退火條件後銅閘極薄膜電晶體的汲極電流-閘極電壓關係圖，插圖為電漿處理前後之比較(在 $V_D=5V$ 條件下)。

圖 5-3 經過不同退火條件後銅閘極薄膜電晶體的汲極電流-汲極電壓關係圖。

圖 5-4 不同退火條件下的汲極電流-閘極電壓關係圖。

圖 5-5 同一個元件，依序經過沒有退火， $400^{\circ}C$ 退火 30 分鐘， $500^{\circ}C$ 退火 30 分鐘後之汲極電流-閘極電壓關係圖。(After:做完電漿處理再退火；Before:先退火完再做電漿處理)



第一章

緒論

1-1 金屬導線製程的發展與挑戰

過去的二十年以來，積體電路技術在電路元件密度和效能上有著顯著的進步，為了追求更快的速度和滿足成本更低的需求，元件尺寸的微縮、增加金屬導線的密度以及使用多層導線技術成為必然的趨勢[1]。但是，當元件尺寸微縮至深次微米以下時，高密度導線造成的阻容遲滯(R-C time delay)和電流密度增加導致的電致遷移(electro-migration)對電路效能影響程度加劇，成為製程面臨的最大挑戰，因此，找到阻值更低並且抗電致遷移能力佳的導線材料是現在必然的趨勢[2]。

如表 1-1 所示，相較於 IC 工業中已被普遍使用的鋁來說，銅的電阻率大幅下降了 35%，在相同操作電壓下，使用銅製程可得較高電流及較快的速度，所以當元件尺寸逐漸縮小時，利用銅導線製程的晶片能有較高的操作頻率，使得元件使用效率提高[2]。除此之外，銅的抗電致遷移能力優於鋁，同時也擁有較高的熱傳導率，因此銅製程逐漸取代了傳統的鋁製程，成為現今 IC 產業的主力[3, 4]。

然而，銅容易和矽形成銅—矽化合物(甚至在 200°C 左右的低溫就會反應)[5]，在介電層二氧化矽上的附着力極差，此外，在電場的作用下也非常容易地擴散到二氧化矽中形成深能階(deep level)[6]，造成介電質劣化、漏電流增加等諸多可靠度上的問題[7-9]。所以在銅製程中，我們在銅導線與介電質間插入一薄層材料，增加和介電質的附著能力以及避免銅的擴散，如此一來就能解決上述的問題，而此薄層就稱為「擴散阻擋層」(Diffusion barrier)[10]。

理想的擴散阻擋層應該具備下列幾項特性[11]：

1. 化學活性低，不與上下層材料反應，交互擴散現象發生緩慢。
2. 對於熱應力和機械應力有一定的抵抗能力。
3. 熱膨脹係數和上下層材料匹配。
4. 接觸阻抗低。
5. 電傳導與熱傳導能力佳。
6. 和上下層材料的附着力良好。

在眾多的擴散阻擋層材料中，耐火性金屬以及其氮化物，例如 Ti(N)，W(N)，Ta(N)等，因為它們熔點極高以及化性穩定的特性，一直以來都是研究的焦點所在[12-26]。由表 1-2 中幾種常用的擴散阻擋層的比較中，可以發現到氮化鈮的阻擋能力優於純鈮以及鈦和鎢還有其氮化物，因此成為現今銅製程主要的擴散阻擋層材料。然而，氮化鈮為氮化物，相較於純金屬或金屬化合物而言，阻值仍是較高，於是我們提出了以鈮鉑合金作為擴散阻擋層的想法，於 1-3 節中有較詳盡的說明。

1-2 薄膜電晶體閘極的演進—銅閘極的使用與挑戰

隨著顯示技術不斷地演進，各種新型平面顯示器已逐漸取代了傳統陰極射線管模式工作的顯示器，像是場發射顯示器(Field Emission Display)、電漿電視(Plasma Display Panel)，液晶顯示器(Liquid Crystal Display)等，其中又以液晶顯示器的技術最純熟且最為大眾所接受。液晶顯示器依照驅動方式可分為被動矩陣式和主動矩陣式兩種，主動矩陣式利用薄膜電晶體(Thin-film transistor)做為開關元件，由於相較於被動矩陣式液晶顯示器有著解析度高以及反應速度快等優點，使得主動矩陣式液晶顯示器(Active Matrix Liquid Crystal Display)深具發展的潛力[27]。

當主動矩陣式液晶顯示器朝向高解析度與大尺寸方向發展時，來自金屬線的阻抗以及寄生電容(主要來自薄膜電晶體閘極與源極/汲極的重疊電容)

產生訊號線傳送信號的延遲時間對影像的開關速度影響越來越大，而使用低電阻的金屬代替傳統的多晶矽做為薄膜電晶體的閘極，可以大大降低阻容遲滯時間，提高信號切換速度，達到大尺寸高解析度顯示器的要求[28, 29]。

目前金屬閘極以鉭 (Ta)、鉬(Mo)、鉻(Cr)、鈦(Ti)這類耐火性金屬與合金為主[30-32]，主要還是確保製程中閘極金屬有良好的穩定性，但是這些金屬的阻值對於 15 至 20 英吋以上的顯示器仍顯過高，所以開始有人把研究焦點放在阻值較低的鋁和銅上[28-29,33-37]。然而，純鋁的電致遷移現象嚴重，hillock formation 在薄膜電晶體的製作過程中是致命的缺點，於是鋁合金，特別是與穩定性良好的耐火性金屬，如鋁—鉬以及鋁—鉻合金，開始引起許多人的注意，雖然這些鋁合金有較佳的抗電致遷移的能力，對於製造大尺寸的顯示器而言，鋁合金約 $10\mu\Omega \cdot \text{cm}$ 的阻值仍是太高[38]。如 1-1 節所述，銅有更低的電阻率以及優於鋁的抗電致遷移能力，因此被視為是相當有發展潛力的薄膜電晶體閘極材料[37]。

但是另一方面，使用銅做薄膜電晶體的閘極有一些缺點，除了容易擴散至矽中形成深層能階以外，還包括裸露的銅表面容易氧化，和二氧化矽介電質或是玻璃基板(對底閘極薄膜電晶體而言)的附著力差，易在後續的電漿輔助化學氣相沉積製程中和電漿及自由基反應等問題[39]。

對於上述的問題，製程方面有兩種主要的解決方法：一種是沉積銅與其他金屬的合金，利用退火使得金屬析離(Segregate)至表面，與氧氣形成穩定氧化物的自我保護層(Self-passivation layer)[39-42]，1997 年 H. Sirringhaus 等人提出沉積銅—鉻合金，經過 400°C 退火後鉻會析離至表面與氧氣形成氧化鉻，將銅包覆於其中，做為薄膜電晶體的閘極[39]。使用鉻是因為鉻不會和銅產生反應形成合金化合物，另外在 2000 年 I. K. Woo 等人也提出了用銅—鎂合金做為薄膜電晶體閘極的想法，利用產生反應後的氧化鎂來保

護銅閘極表面[40]。

另一種則是沉積有效阻擋銅擴散以及預防電漿損傷的緩衝層(Buffer layer)來保護銅閘極，在 2001 年 S. W. Lee 等人發表 $\text{Al}_2\text{O}_3/\text{Cu}/\text{AlN}$ 的閘極結構，氧化鋁改善銅與二氧化矽基板的附著力，而氮化鋁則是用來防止在電漿輔助化學氣相沉積製程中銅與電漿或自由基產生反應[43]。合併緩衝層與 1-1 節所述之擴散阻擋層的概念，我們將利用鉑鈦合金來做為銅導線之擴散阻擋層以及銅閘極之緩衝層，其原因則詳述於 1-3 節。

1-3 論文動機—為何使用鈦鉑合金？

由於鈦的阻值低，又是良好的耐火材料，其熔點僅次於鎢(W)和銦(Re)，因此具有相當優越的熱穩定性[44]。此外，鈦不會和銅產生化學反應形成化合物，在高溫時銅/鈦結構還是相當穩定的[45]。因此在眾多擴散阻擋層的材料中，以鈦為基底的化合物一直以來都是研究的重點，而其中的氮化鈦更是被普遍應用在銅製程的擴散阻擋層上，但是氮化鈦在 450°C 以上會開始結晶化，其晶粒邊界易成為銅的擴散路徑[46]，而且由表 1-3 可知摻雜氮而導致氮化鈦薄膜的阻值較純氮薄膜高[47, 48]，易導致電路有較大的延遲時間，也相當不利於製程的發展。然而，金屬合金的阻值比金屬氮化物低，再加上其不容易結晶化的特徵[49]，相當有利於在阻擋擴散層方面的應用。

另一方面，同樣擁有低阻值的鉑是良好的鈍化金屬，化學活性低而且熱穩定高，但就鉑單獨做為銅的擴散阻擋層來看， 300°C 以上就會出現銅擴散的情形，可見得純鉑無法單獨成為銅的擴散阻擋層[24]。在碳管研究方面，鉑雖然和碳管的接觸阻抗極低，卻有和二氧化矽附著力不佳的問題，研究發現摻雜鈦的鈦鉑合金在二氧化矽上有良好的附著力，同時也能維持和碳管間的低接觸阻抗[50]。此外，在參考文獻第 51 和 52 篇中我們也看到，即使經過 800°C 的退火，鈦鉑合金依然能夠維持相當良好的熱穩定性。

由附著力及熱穩定性良好之特性，我們推測鈇鉑合金應該可以會是良好的擴散阻擋層，因此在本論文中，我們利用共同濺鍍的方式在鈇裡面摻雜鉑形成鈇鉑合金[53]，來當做銅的擴散阻擋層/緩衝層。同時我們也調整濺鍍時鉑和鈇的功率瓦數比，形成不同組成比例的鈇鉑合金，進一步研究不同的組成比例對擴散阻擋能力所造成的影響。再者將鈇鉑合金作為薄膜電晶體中銅閘極和其介電層間的緩衝/擴散阻擋層，探討鈇鉑合金應用在銅閘極薄膜電晶體上之可行性。

1-4 論文架構

本論文使用了電性量測以及材料分析，來探討鈇鉑合金做為銅的擴散阻擋層，進而應用在銅閘極的薄膜電晶體上的結果。

論文共分為六章。首先，在第一章說明研究背景及研究動機，接下來的第二章詳述銅閘極金氧半結構和銅閘極薄膜電晶體的製備過程以及分析方法。第三章中我們利用片電阻量測和拉塞福背向散射、X 光繞射分析等材料分析方法，對鈇鉑合金和鈇鉑合金/銅/鈇鉑合金薄膜性質進行探討。而第四章是利用經過爐管不同溫度的退火來模擬銅閘極的金氧半電容結構所受的熱效應(Thermal budget)，由電性量測，如基本的電容-電壓曲線、崩潰電壓、偏壓熱應力量測等，來觀察電容劣化情形，合併第三章薄膜分析的結果，來探討鈇鉑合金做擴散阻擋層的能力。在第五章中，我們將鈇鉑合金擴散阻擋層應用在銅閘極的薄膜電晶體上，同樣使用電性量測分析，來探討鈇鉑合金應用在薄膜電晶體閘極上的可行性。最後第六章則是總結上述各章，並對未來研究方向提出建議。

表 1-1 鋁和銅的特性比較。

元素名稱	鋁(Al)	銅(Cu)
電阻係數($\mu\Omega \cdot \text{cm}$)	2.65	1.7
熱傳導係數($\text{Wm}^{-1}\text{K}^{-1}$)	235	400
熔點($^{\circ}\text{C}$)	660	1084.77
對二氧化矽的附著力	Good	Poor
電致遷移阻抗	Low	High

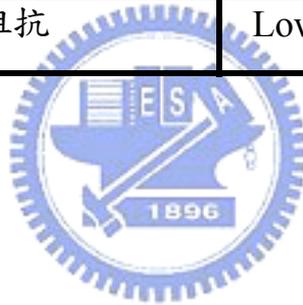


表 1-2 常用擴散阻擋層阻擋能力之比較^[16]。

阻擋擴散層材料	阻擋能力(以表中溫度進行一小時退火)	判斷銅擴散之方法
鈦(Ti)	400-450°C	片電阻量測、 X 光繞射分析
鎢(W)	525-550°C	
鉭(Ta)	550-575°C	
氮化鎢(WNx)	620°C	
氮化鉭(TaN)	650-700°C	



表 1-3 鉭、鉑及鉭鉑合金電阻率之比較^[47, 48]。

材料	電阻率($\mu\Omega \cdot \text{cm}$)	
鉑(Platinum)	10.6	
鉭(Tantalum)	bulk	13.5
	α -phase	18~25
	β -phase	170~210
氮化鉭(Tantalum nitride)	116~14800 [依含氮比例不同而不同]	

第二章

元件製備流程與分析方法

2-1 銅閘極電容結構製程

使用銅／擴散阻擋層／二氧化矽／矽的金氧半電容結構，我們可以分別從電性和物性來檢視鈹鉑合金作為銅和二氧化矽間擴散阻擋層的能力。實驗的樣品是在交通大學奈米中心 Class 10k 之無塵室中完成，圖 2-1 為製作流程圖，詳細說明如下：

1. 將硼摻雜，阻值為 $5-10 \mu\Omega \cdot \text{cm}$ 的(100)方向矽晶片經過 RCA 清洗步驟清洗後，利用乾式氧化(dry-oxide)爐管成長 50nm 的二氧化矽，作為晶背離子植入的犧牲氧化層。
2. 晶背離子植入能量為 120 keV，劑量為 $5 \times 10^{15} \text{ cm}^{-3}$ 的硼離子，目的在於降低晶背電阻，使矽晶片可以和背鍍上去的鋁形成良好的歐姆接觸。(圖 2-1 (a))
3. 經過 STD 清洗步驟清洗後，用濕式氧化(wet-oxide)爐管成長 1050°C ，52 分鐘，約為 500nm 的場氧化層，順便做上一步驟晶背植入的摻雜活化。原有的犧牲氧化層不另外去除，在摻雜活化時可防止摻雜物向外擴散(dopant out-diffusion)。
4. 利用黃光製程在場氧化層上定義出直徑分別為 $640\mu\text{m}$ 和 $320\mu\text{m}$ 的圓形主動區，接著使用 BOE 二氧化矽蝕刻液蝕刻掉主動區上之場氧化層以及犧牲氧化層，最後利用硫酸將上方光阻去除。(圖 2-1 (b))
5. 經過 RCA 清洗步驟清洗後，將晶片送入乾式氧化(dry-oxide)爐管成長 950°C ，100 分鐘，約為 60nm 的閘極氧化層。
6. 利用黃光製程定義出金屬閘極區域，為了後續金屬掀離製程能順利地掀離光阻，我們省略最後光阻硬烤的步驟。(圖 2-1 (c))

7. 使用奈米中心微機電實驗室之真空濺鍍機濺鍍TaPt/Cu/TaPt金屬閘極結構於晶片上：將鈹置於DC靶，鉑置於RF靶，真空抽至 3×10^{-6} torr以下後，開 20sccm的氬氣將壓力調整為 100mtorr，先點燃RF靶的電漿，將壓力降至 4.5mtorr，再點燃DC靶的電漿。進行五分鐘的預濺鍍(per-sputter)後，同時開DC靶與RF靶之遮攔(shutter)，在晶片維持 30 轉/分的狀態下共同濺鍍鈹和鉑。接著破真空，DC靶換入銅靶材，同樣也是抽至 3×10^{-6} torr以下的真空後，開 20sccm的氬氣將壓力調整至 4.5mtorr，點燃銅靶電漿，將晶片轉速維持在 30 轉/分，照樣進行 5 分鐘的預濺鍍後打開遮攔，以 0.65 安培之電流強度濺鍍上 10 分鐘，約為 250nm的銅。最後再依照上述步驟，在銅上濺鍍鈹鉑合金，形成 TaPt/Cu/TaPt的閘極結構。而對照組的閘極則同樣也是利用濺鍍形成 Ta/Cu/Ta結構，其鈹的濺鍍條件為DC 30W，晶片維持 30 轉/分，濺鍍時通氬氣使壓力維持在 4.5mtorr。上述擴散阻擋層之濺鍍瓦數比及厚度條件整理列表於表 2-1 中。
8. 接著用金屬掀離(lift-off)製程將濺鍍在光阻上多餘的金屬去除：利用丙酮溶液可以去除掉光阻的特性，順道帶走光阻上的金屬，僅步驟 6 中定義出的閘極電極部份會留有步驟 7 濺鍍上去的金屬。將試片浸泡在丙酮溶液中，利用超音波震盪器加強掀離的效果震盪 15 分鐘，直到光阻去除乾淨後，換入新的丙酮再震盪五分鐘，去除掀離時落在試片上的金屬殘屑。
9. 用棉花棒沾取 BOE 二氧化矽蝕刻液，將成長閘極氧化層時背面同時成長的二氧化矽去除。
10. 在鈹鉑合金只有 5nm 的條件下，我們另外使用奈米中心的集結式電漿輔助化學氣相沉積系統(multi-chamber PECVD)在正面沉積 5nm 的氮化矽，以加強保護表面在後續退火過程中不易受氧或水氣的影響。因

為只沉積 5nm，在點針量測時可直接戳破氮化矽，不需另外開接觸窗及定義鋁電極。

11. 利用奈米中心三樓的小爐管做 30 分鐘 400~700°C 的退火，目的是在模擬薄膜電晶體/銅導線製程在銅閘極/銅導線完成後，後續製程中所遭受的熱預算(thermal budget)。退火時維持氮氣 100sccm 的流量，避免爐管中有殘留的氧氣與銅反應。
12. 最後用棉花棒沾取 BOE 二氧化矽蝕刻液把晶背的自然氧化層擦除，以確保晶背是乾淨的矽表面。接著利用奈米中心的熱阻絲蒸鍍系統(thermal coater)在背面蒸鍍上 300-500nm 的鋁，銅閘極電容就完成了。(圖 2-1 (d)(e))

2-2 電容量測分析方法

2.2.1 電性量測

(A) 片電阻量測

如果銅或是擴散阻擋層(此論文中為鈿鉑合金)在界面和矽或氧產生反應，將會造成片電阻的劇烈變化[16,17,21,45]。因此我們利用奈米中心的四點探針在未圖案化(unpatterned)的 TaPt(20nm)/Cu/TaPt(20nm)薄膜結構上量測其片電阻值，來觀察不同退火溫度後片電阻的變化，藉以判斷在哪個退火溫度下鈿鉑合金阻擋層會失去保護銅的能力。

同時也利用 $\rho = R_s \times t_{film}$ 計算出電阻率 ρ ，並與 Ta(20nm)/Cu/Ta(20nm)結構比較，探討摻雜了不同比例的鉑之後，鈿鉑合金薄膜與純鈿薄膜電阻率有何異同。

(B) 電容-電壓特性量測與平帶電壓

使用 HP/Agilent 4284A 量測 100kHz 時的高頻電容-電壓特性曲線，我們知道：

$$\frac{1}{C_{fb}} = \frac{1}{C_{ox}} + \frac{L_D}{\epsilon_{si}} = \frac{1}{C_{ox}} + \sqrt{\frac{kT}{\epsilon_{si} q^2 N_a}} \quad \dots\dots(2.1)$$

將量測的高頻電容-電壓曲線中聚積區(accumulation region)的電容值近似於氧化層電容 C_{ox} ，濃度 N_a 為 $2 \times 10^{15} \text{cm}^{-3}$ 代入(2.1)式，可得到平帶電壓時對應的平帶電容 C_{fb} ，再由量測的曲線做內插得到相對應的平帶電壓 V_{fb} [54]。

銅若是穿過擴散阻擋層往二氧化矽擴散，會造成平帶電壓大幅地改變 [23]，因此不同溫度退火的電容之平帶電壓可用來做為探討鈿鉑合金阻擋能力的依據。

(C) 崩潰電壓

介電層崩潰電壓的大小可以看出介電層品質的好壞，當閘極介電層遭受銅汙染時，擴散速度極快的銅會在介電層中造成缺陷，崩潰就提早發生在這些受汙染的脆弱點(weak spots)[55-57]，我們利用 HP 4156C 在電容的積聚區量測不同溫度退火後電容的崩潰電壓，藉以探討鈿鉑合金作為擴散阻擋層所能承受的溫度極限。

(D) 偏壓-熱應力量測(Bias-temperature stress)

偏壓-熱應力量測普遍被使用在研究閘極介電層中移動性離子(mobile ion)的數量，將電容施予偏壓及足夠讓離子移動的高溫，當離子在介電層中移動，會造成電容-電壓曲線中平帶電壓的平移，由此平移量我們可推算出移動性離子的數量[58]：

$$Q_m = -\Delta V_{FB} C_{ox}$$

當銅離子穿過擴散阻擋層而進入到閘極介電層時，會造成平帶電壓大幅地改變，因此我們利用這個量測來研究使用鈿鉑合金為阻擋層的銅電容結構之可靠度。在此論文中，應力量測的條件為 200°C ， 2MV/cm 的電場強度持續 30 分鐘。量測過程為升溫至 200°C ，加 2MV/cm 的電場在介電層上持續 30 分鐘，接著回到室溫量測電容-電壓曲線。再升溫至 200°C ，繼續施加

30 分鐘 2MV/cm 的電場在介電層上，回到室溫量測，最後升溫到 200°C，施加 30 分鐘-2MV/cm 的電場，回到室溫量測。觀察其電容-電壓曲線及平帶電壓的變化情形，我們可以判別在偏壓熱應力下是否有銅擴散之現象 [7,9,21]。

2.2.2 材料分析

在擴散阻擋層薄膜分析方面，我們使用清大原子科學中心加速器實驗室的拉塞福背向散射(RBS)來分析不同濺鍍條件下鈿鉑合金中鈿與鉑的組成比例[12, 59]，並且利用清大貴儀中心的X光薄膜繞射儀(XRD)觀察鈿鉑合金在高溫退火後，是否會出現結晶的情形[18,21,45]。此處使用的試片皆為TaPt (or Ta)/SiO₂/Si的未圖案化晶片。

此外，在電容結構方面，我們使用清大貴儀中心的歐傑電子能譜儀(AES)以及二次離子質譜儀(SIMS)來做TaPt/Cu/TaPt/SiO₂/Si電容結構的元素縱深分析[12,15,17,19]。由於(111)方向的銅抗電子遷移的能力優於(200)方向 [60]，因此我們使用交大奈米科技中心的X光繞射儀(XRD)來觀察在不同組成比例的鈿鉑合金上的銅，在經過不同溫度退火後(111)和(200)方向的訊號強度變化，同時也觀察鈿鉑合金薄膜是否有結晶情況[16,17,22,23]。我們皆使用擴散阻擋層為 20nm的電容來做電容結構的材料分析，並以擴散阻擋層為 20nm Ta的電容作為對照組。

2-3 銅閘極薄膜電晶體製作流程

將 2-1 節所述之電容結構應用在薄膜電晶體的閘極上，製作流程列於圖 2-2 中，並說明如下：

1. 將硼摻雜，阻值為 5-10 $\mu\Omega \cdot \text{cm}$ 的(100)方向矽晶片經過 RCA 清洗後，利用濕式氧化爐管成長 500nm 的二氧化矽做為埋層氧化層 (buried-oxide)。

2. 利用交通大學奈米中心 10k 無塵室中的低壓化學氣相沉積系統 (LPCVD) 沉積 60nm 之非晶矽，接著利用 p+ annealing 退火爐管進行 24 小時 600°C 的固相再結晶(solid-phase crystallization)，將非晶矽結晶為多晶矽。
3. 利用黃光製程定義出主動區，並利用蝕刻多晶矽之溶液蝕刻掉多餘的多晶矽，最後使用硫酸去除掉光阻。(圖 2-2(a))
4. 使用黃光製程定義出源極/汲極摻雜區域，對源極/汲極做能量 20keV，劑量為 $5 \times 10^{15} \text{cm}^{-3}$ 的磷離子植入。(圖 2-2(b))
5. 用丙酮震盪以及硫酸去除掉光阻，經過 RCA 清洗步驟清洗，最後不經過氫氟酸浸洗(HF dip)，保留自然氧化層防止摻雜物向外擴散。利用 n+ annealing 退火爐管進行 12 小時 600°C 的摻雜活化(dopant activation)。
6. 經過 RCA clean process 清洗後，使用奈米中心中 PECVD-PD-220N 機台以化學氣相沉積方式沉積 50nm 的閘極氧化層，並用爐管做 600°C 30 分鐘的退火，使閘極氧化層更為緻密(densified)。
7. 利用黃光製程定義出閘極(圖 2-2(c))，如同 2-1 節步驟 7 所述，使用真空濺鍍機鍍上 TaPt(200Å)/Cu(500 Å)/TaPt(200 Å) 的閘極結構，此處的 TaPt 是採用表 2-1 中 TaPt1 的條件，銅的濺鍍條件則為轉速 50 轉/分，以 0.65 安培的電流強度濺鍍 2 分 30 秒(約為 50nm)，濺鍍壓力以 20scm 之氬氣維持在 4.5 mtorr。
8. 同樣也是用掀離製程將非閘極區域濺鍍在光阻上的金屬連同光阻一併去除(圖 2-2(d))，接著利用奈米中心三樓的小爐管做 30 分鐘 400-650 °C 的退火，模擬薄膜電晶體在後段製程中所遭受的熱預算(thermal budget)。
9. 利用黃光定義並使用 BOE 二氧化矽蝕刻液將源極/汲極上方的氧化層

挖開形成接觸窗(contact hole)。

10. 使用交大奈米中心的熱阻絲蒸鍍系統鍍上 500nm 的鋁，最後用黃光製程定義並利用蝕刻鋁的溶液蝕刻出金屬接觸點(metal pad)，薄膜電晶體就完成了。(圖 2-2(e))
11. 利用交大奈米中心的集結式電漿輔助化學氣相沉積系統 (multi-chamber PECVD) 做 30 分鐘的NH₃電漿處理，修補多晶矽通道中的斷鍵，使特性提升再進行量測。

2-4 銅閘極薄膜電晶體的量測分析

我們使用HP 4156C量測薄膜電晶體之汲極電流-閘極電壓(I_D-V_G)曲線以及汲極電流-汲極電壓(I_D-V_D)曲線，並且萃取以下參數：

(A) 臨界電壓V_{TH} (threshold voltage)

在此本論文中，我們以定電流法來定義臨界電壓。將寬度歸一化(normalized)的電流值 10⁻⁸ 安培定為臨界電流，對應之閘極電壓即為臨界電壓。

(B) 次臨界擺幅 S.S. (subthreshold swing)

次臨界擺幅定義為在次臨界區域中，使電流增加一個數量級所需施加的

閘極電壓大小。我們可以利用 $S.S. = \left[\frac{\partial \log_{10} I_D}{\partial V_G} \right]^{-1}$ 的公式找出各個閘極電壓下相對應的擺幅，並以其最佳值為該條件的次臨界擺幅[54]。

(C) 載子遷移率 μ (mobility)

由線性區的電流公式我們可以知道：

$$I_D = \frac{W}{L} \mu_n C_{ox} \left(V_G - V_{TH} - \frac{V_D}{2} \right) V_D \quad \text{當 } V_D \ll V_G - V_{TH}$$

$$\text{則 } g_{m,lin} = \frac{\partial I_D}{\partial V_G} \Big|_{V_D = \text{constant}} = \frac{W}{L} \mu_n C_{ox} V_D \quad \dots\dots(2.2)$$

今在 $V_D=0.5V$ (線性區)條件下，去計算出各個閘極電壓下的轉導(transconductance) g_m ，利用(2.2)式計算出最大轉導值所對應的載子遷移率[61]。

計算出上述參數並比較在不同溫度退火後這些參數的改變情況，我們可以探討在坦鉑合金擴散阻擋層的保護下，利用銅做為電晶體的閘極是否會對其特性造成影響，以及若考慮進後續製程的熱預算，銅應用在薄膜電晶體之閘極的可行性。



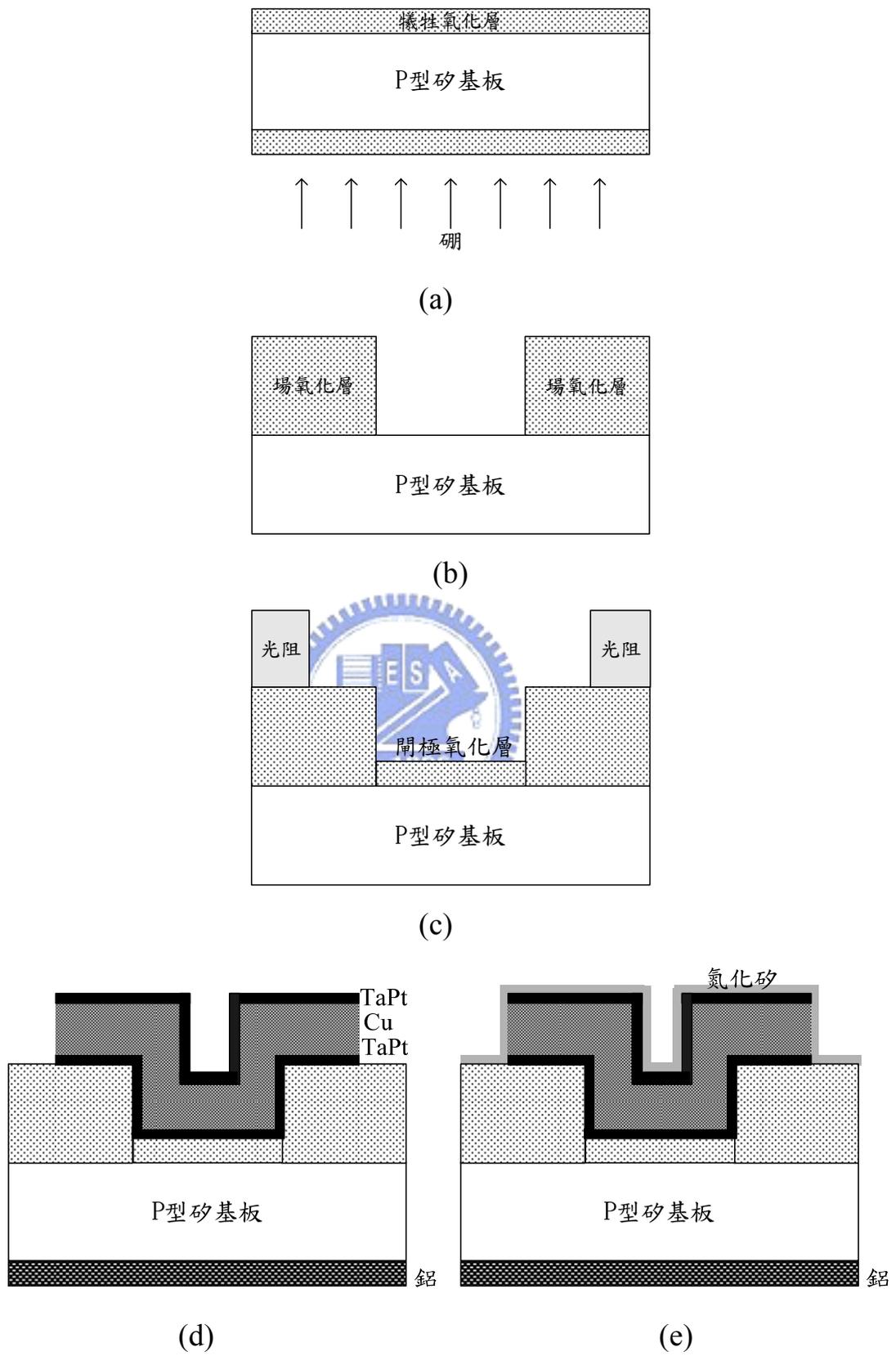
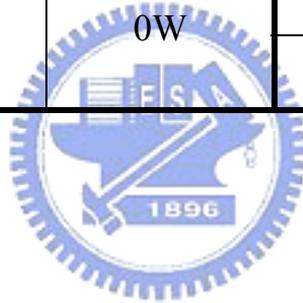
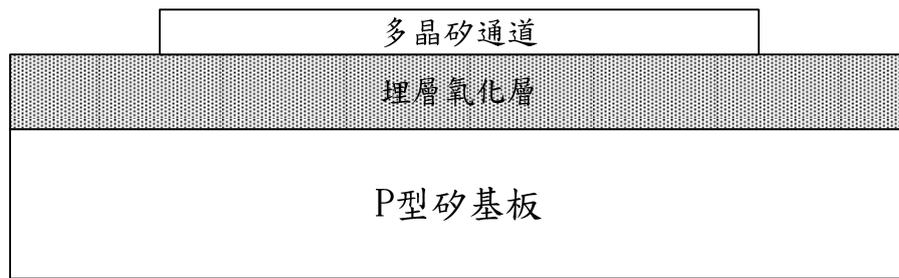


圖 2-1 銅閘極電容製作流程圖。

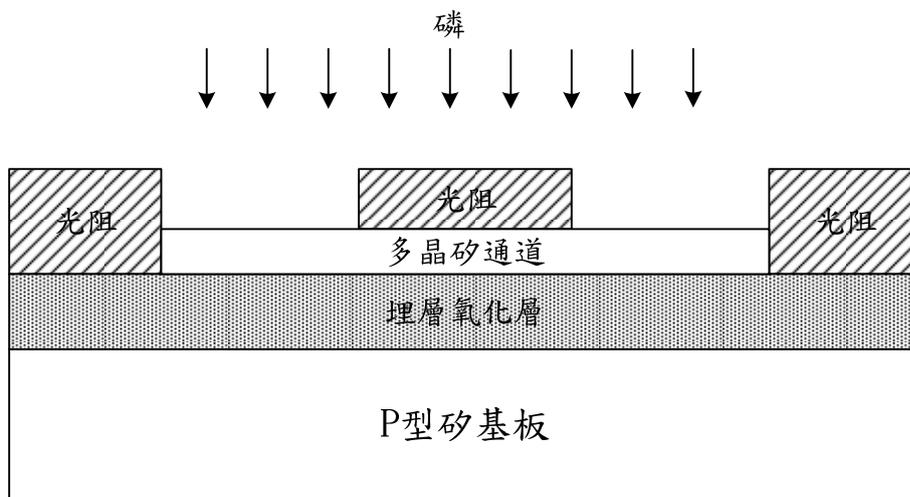
表 2-1 擴散阻擋層之濺鍍條件。

	共同濺鍍之瓦數條件		阻擋層厚度	氮化矽保護層 (5nm)
	鈦 (DC)	鉑 (RF)		
TaPt1	30W	30W	20nm	No
			5nm	Yes
TaPt2	40W	20W	20nm	No
			5nm	Yes
Ta (對照組)	30W	0W	20nm	No
			5nm	Yes

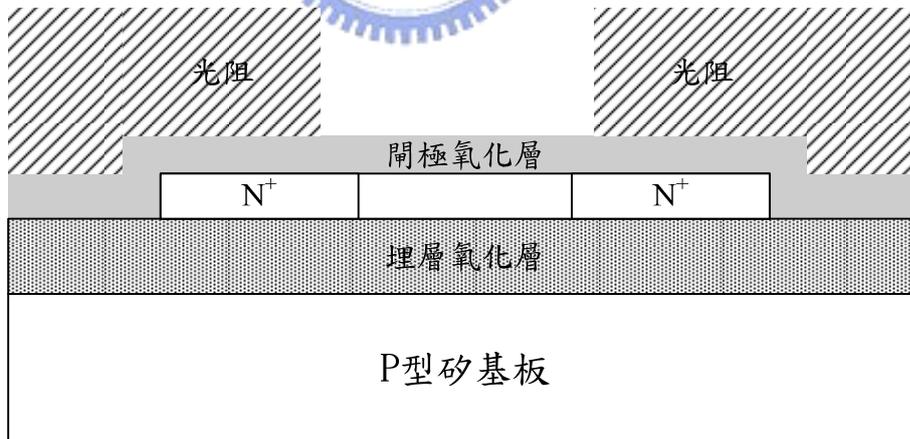




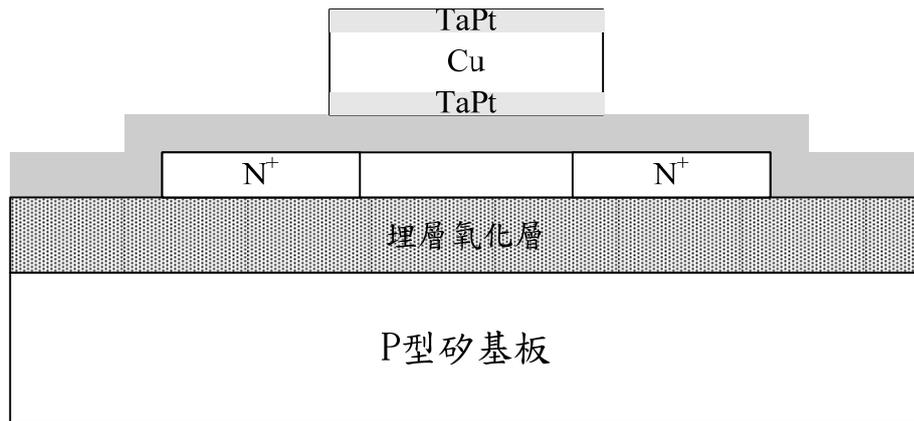
(a)



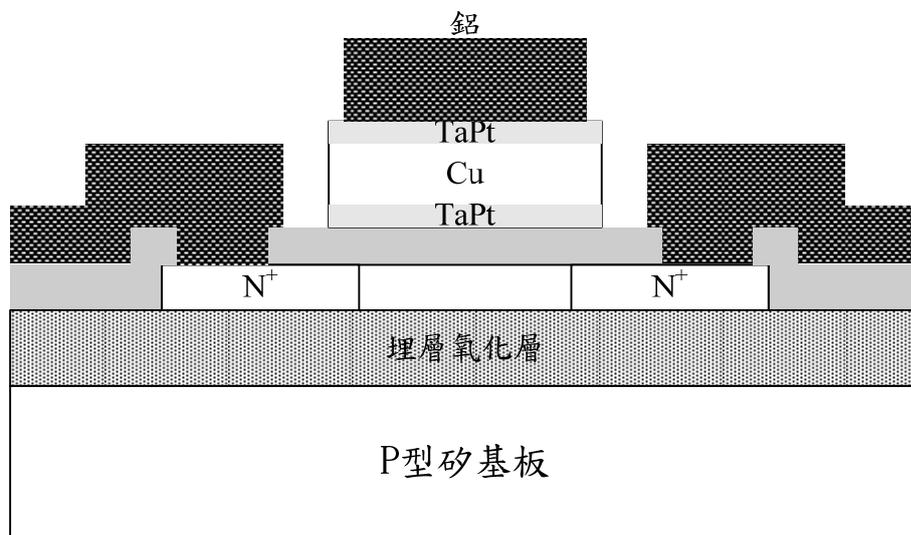
(b)



(c)



(d)



(e)

圖 2-2 銅閘極薄膜電晶體製作流程。

第三章

鈹鉑合金薄膜分析

3-1 鈹鉑合金組成比例分析

分析的試片為未圖案化的鈹鉑合金/二氧化矽/矽基板結構，其鈹鉑合金的濺鍍條件如表 3-1，而濺鍍流程則如 2.1 節電容製作流程中步驟 7 所述。利用拉塞福背向散射儀得到其能譜，再使用電腦軟體模擬調整合金比例，使符合實際的能譜，即可得到不同瓦數條件下濺鍍的合金中鈹與鉑之組成比例，其結果一併整理於表 3-1 中。

我們選用鉑比例最低的 TaPt1 (鈹：DC/30 瓦；鉑：RF/30 瓦)，以及鉑比例最高的 TaPt2 (鈹：DC/20 瓦；鉑：RF/40 瓦)來作為後續的實驗條件，探討鉑比例的多寡是否會對鈹鉑合金的阻擋能力造成影響。

3-2 片電阻量測

圖 3-1 為 50nm 鈹鉑合金及比較組 50nm 鈹薄膜在經過 30 分鐘 400~700 °C 退火後，利用四點探針量測到的片電阻換算之電阻率值。可觀察無論鉑摻雜比例的高低，鈹鉑合金的電阻率均和純鈹薄膜差不多，其中一些微小的差異極有可能是由於厚度的變化所引起。沒有退火與經過 400~700°C 退火的鈹鉑合金薄膜，其電阻率均在 $245\mu\Omega \cdot \text{cm}$ (TaPt1)和 $265\mu\Omega \cdot \text{cm}$ (TaPt2) 左右，推斷是因為薄膜沒有因為爐管高溫能量結晶化，一直維持在非晶狀態，所以阻值並沒有劇烈的改變。相對來說，Ta 薄膜在經過 700°C 退火後，阻值降低幅度明顯，推測是開始出現結晶化的情形，而鈹鉑合金薄膜即使經過 700°C 的退火仍能維持非晶狀態，相當有利於作為擴散阻擋層的應用。

而 TaPt(20nm)/Cu(250nm)/ TaPt(20nm)薄膜的片電阻量測值整理於圖 3-2 中。由於退火使得銅的晶粒長大，使得經過退火後的薄膜阻值會大幅下降。

當退火溫度到達 700°C 時，以 TaPt2 做擴散阻擋層的薄膜片電阻劇烈增加到 203.25Ω/□，而 TaPt1 做擴散阻擋層的薄膜則是到 800°C 才看到片電阻劇烈增加到 9.665Ω/□。由縱深分析可知是因為上層擴散阻擋層失效，使銅擴散至表面形成氧化銅，才使得片電阻急遽增加，而其縱深分析結果將於 3-5 節中說明。

3-3 X 光繞射分析

圖 3-3 和圖 3-4 分別為 TaPt1 和 TaPt2 薄膜 X 光繞射分析的結果，可以觀察到即使經過 600°C 30 分鐘的退火，仍然偵測不到鈦鉕合金因結晶化而產生的尖峰(peak)，再次證明了鈦鉕合金在 600°C 的退火後仍然可以維持非晶態的想法。無論退火與否，在 40.3 度都出現了(101)方向二氧化五鈦的訊號[62]，但是其強度並不隨退火與否以及退火溫度而改變，因此極有可能是在預鍍過程中，鈦靶表面的氧化物因為遮攔無法完全阻擋，而濺鍍到試片上所造成的結果。

圖 3-5~3-7 則分別為 TaPt1/Cu/TaPt1，TaPt2/Cu/TaPt2，以及對照組 Ta/Cu/Ta 的 X 光繞射分析結果，出現在 43.4 和 50.6 度的分別為銅在(111)和(200)方向的訊號，把銅(111)和(200)方向的訊號強度比值整理於表 3-2 中，發現無論使用哪種擴散阻擋層，退火後(200)方向的訊號強度都會增加，所以其比值會下降。而在不同溫度的退火條件下，銅訊號強度比值在不同阻擋層之間的差異並不明顯，由此可推測使用鈦鉕合金做為擴散阻擋層，銅的抗電致遷移能力應該會和使用純鈦為阻擋層的情況一樣優越。

另外我們可以觀察到在經過 700°C 退火後，以 TaPt1 為擴散阻擋層的結構中，除了銅的尖峰外，在 28 度開始出現很寬的氧化銅尖峰訊號。而以 TaPt2 為擴散阻擋層的結構更是在 700°C 退火後銅的訊號就消失，取而代之的是一些代表氧化銅訊號的小尖峰，呼應了 3-3 節中 TaPt2/Cu/TaPt2 薄膜在 700°C

退火後片電阻上升是因為上層擴散阻擋層失效而導致銅氧化的推測。

3-4 縱深分析

圖 3-8 及圖 3-9 是利用歐傑電子能譜分別對 TaPt1/Cu/TaPt1 及 TaPt2/Cu/TaPt2 的電容閘極結構所做縱深分析的結果。由圖 3-8 我們可以看到即使經過 700°C 的退火，銅仍然被包覆在 TaPt1 阻擋擴散層中間，沒有擴散的跡象，但是在圖 3-9 中，以 TaPt2 做為擴散阻擋層的結構到了 700°C 退火後，銅擴散到阻擋層外並有氧化銅形成，而這個現象在二次離子質譜儀的分析中也可以看到。

圖 3-10 則是 700°C 退火後，TaPt1/Cu/TaPt1 及 TaPt2/Cu/TaPt2 結構以二次離子質譜儀做縱深分析的比較：在 TaPt1 做為擴散阻擋層的條件下，銅被包在上下兩層阻擋層中，但在 TaPt2 做擴散阻擋層時，兩層阻擋層中的銅厚度明顯減薄，卻發現在表面可以偵測到大量的銅，再次證明了在 700°C 退火後銅會穿過 TaPt2 擴散阻擋層和外界氧氣反應形成氧化銅，含鈹濃度較高的鈹鉑合金薄膜可以較有效地保護銅表面不被氧化。

值得注意的一點是，做歐傑電子能譜或二次離子質譜等縱深分析時，常由於離子束混合(ion-mixing)之現象導致較深的部份在分析時有失真的問題，因此上述所做之觀察和判斷考慮的均是 TaPt/Cu/TaPt 上層擴散阻擋結構而非下層之情形。

本章一開始利用拉塞福背向散射分析不同濺鍍瓦數比的鈹鉑合金之組成比例，並選用鉑含量最低和最高的 TaPt1(Ta:85%, Pt:15%)和 TaPt2(Ta:65%, Pt:35%)做為擴散阻擋層的實驗條件，並以純鈹薄膜為實驗對照組。片電阻量測發現無論是否經過退火，直到 700°C 退火後 TaPt1 和 TaPt2 薄膜的電阻率分別維持在 $245\mu\Omega \cdot \text{cm}$ 和 $265\mu\Omega \cdot \text{cm}$ 左右，綜合 X 光繞射分析的結果，我們發現鈹鉑合金在經過高溫退火後仍能維持非晶狀態，相當有利於擴散

阻擋層方面的應用。另一方面，我們也針對閘極結構 TaPt/Cu/TaPt 薄膜作分析探討，由片電阻量測發現以 20nm TaPt2 做擴散阻擋層的結構，在經過 700°C 退火後片電阻值會遽增，合併 X 光繞射分析和縱深分析的結果，我們推斷是因為上層擴散阻擋層失效，而導致銅穿透上層阻擋層形成氧化銅的關係。兩種不同比例的鈹鉑合金比較起來，若考慮厚度變化的影響，電阻率大致上都和純鈹相差不多，而不論是 TaPt1 或 TaPt2，沉積在鈹鉑合金上的銅，和沉積在純鈹薄膜上一樣有良好的抗電致遷移率(以銅(111)和(200)方向的比值為參考)。然而，含鉑比例較少的鈹鉑合金擁有較佳的阻擋能力(由縱深分析可知，直到 700°C 退火後仍能阻擋銅擴散)。接下來的第四章中，我們將以電性分析的角度，來探討不同組成比例和不同厚度對擴散阻擋能力的影響。



表 3-1 拉塞福背向散射分析結果。

濺鍍瓦數條件		組成比例		備註
Ta (DC gun)	Pt (RF gun)	Ta (%)	Pt (%)	
30W	30W	85.4	14.6	TaPt1
30W	35W	82.5	17.5	
30W	40W	78.9	21.1	
20W	40W	65.0	35.0	TaPt2



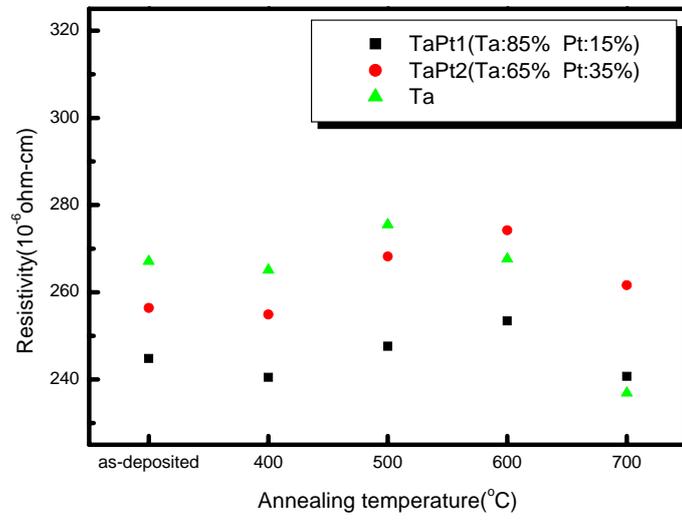


圖 3-1 50nm 鈮鉑合金和鈮薄膜電阻率之比較。

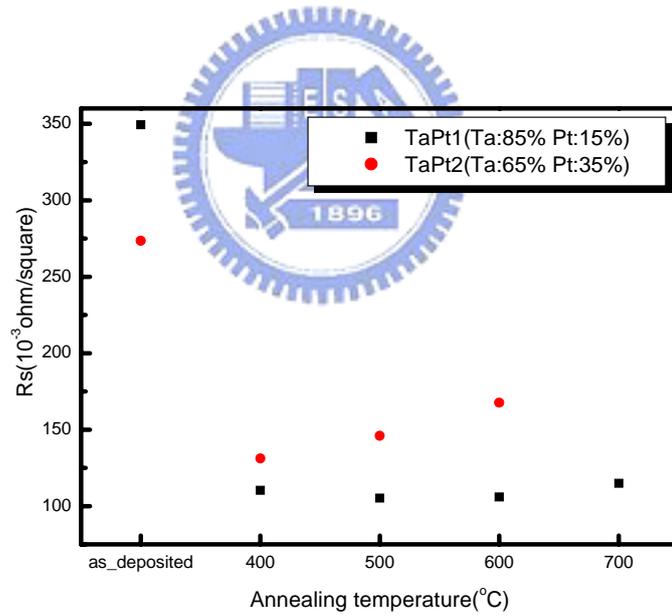


圖 3-2 TaPt/Cu/TaPt 閘極結構之片電阻。

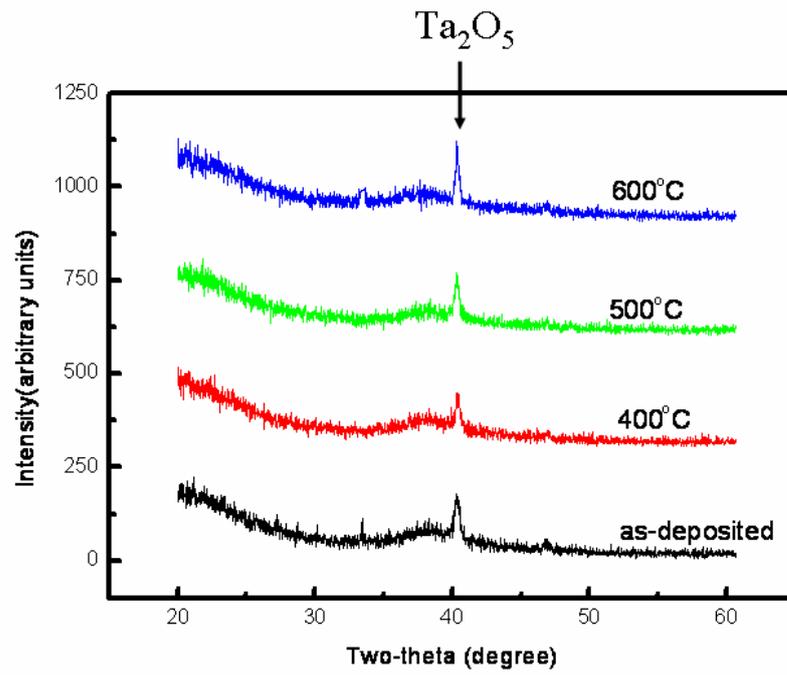


圖 3-3 各溫度退火下 TaPt1 薄膜的 X 光繞射分析結果。

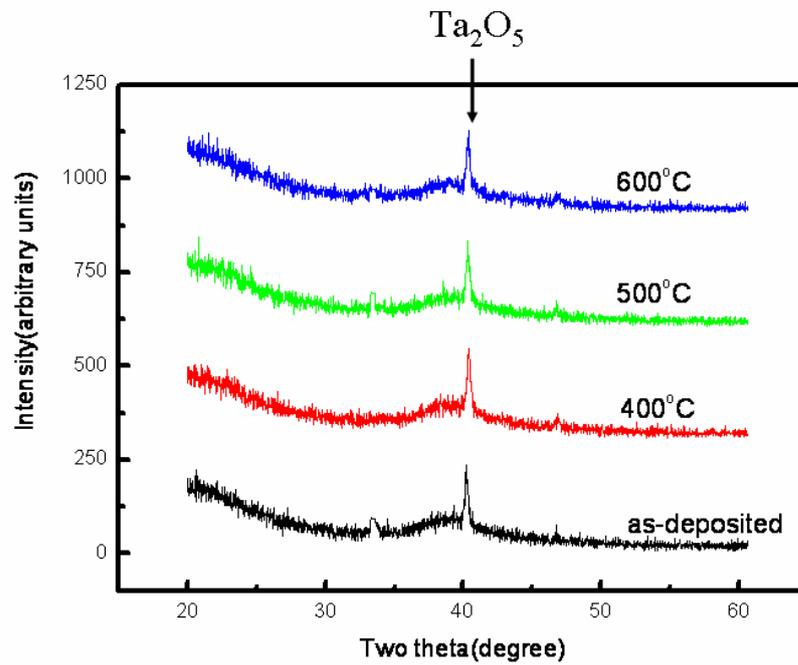


圖 3-4 各溫度退火下 TaPt2 薄膜的 X 光繞射分析結果。

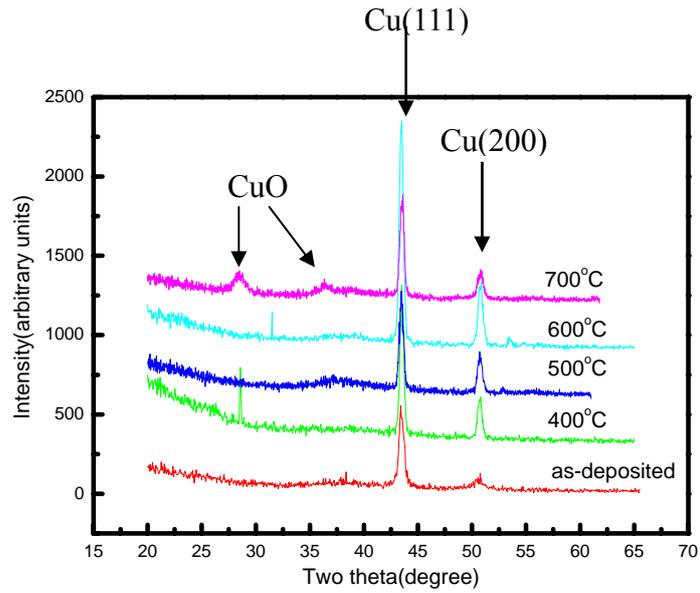


圖 3-5 各溫度退火下 TaPt1/Cu/TaPt1 的 X 光繞射分析結果。

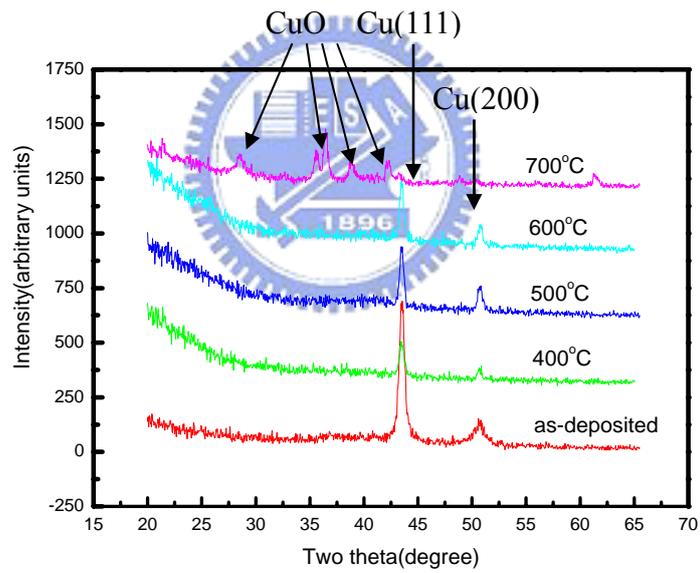


圖 3-6 各溫度退火下 TaPt2/Cu/TaPt2 的 X 光繞射分析結果。

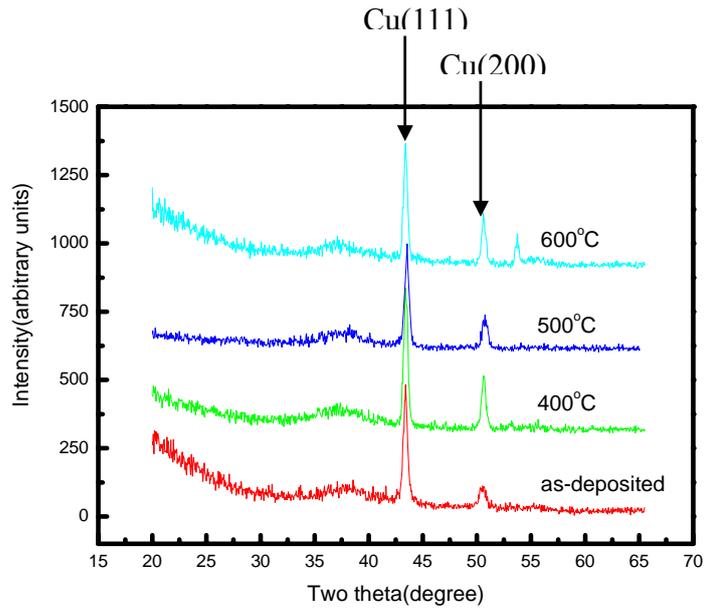
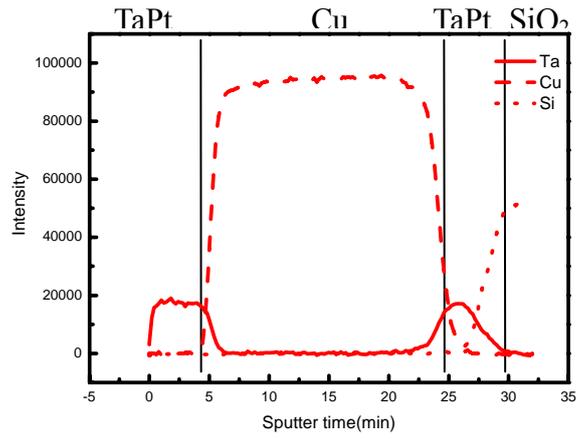


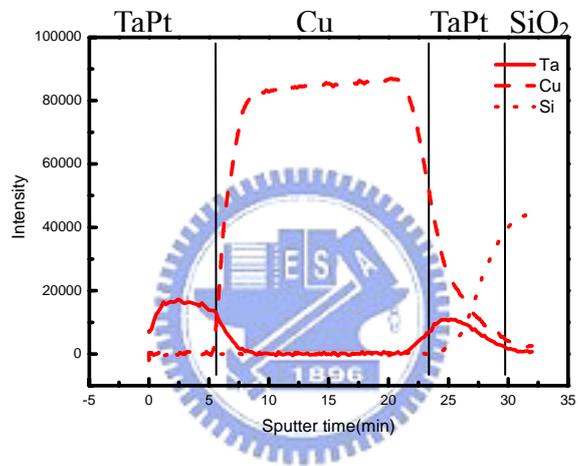
圖 3-7 各溫度退火下 Ta/Cu/Ta 的 X 光繞射分析結果。

表 3-2 不同擴散阻擋層上銅(111)和(200)方向訊號強度之比值。

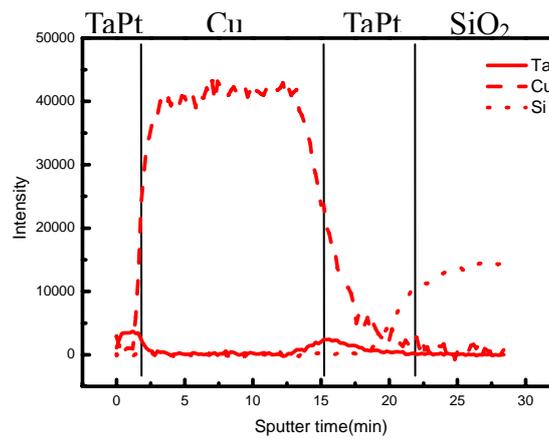
	TaPt1	TaPt2	Ta
As-deposited	4.26	4.73	4.30
400°C	3.28	2.19	2.50
500°C	2.29	2.13	3.32
600°C	3.38	2.60	2.22
700°C	3.21	N/A	N/A



(a)

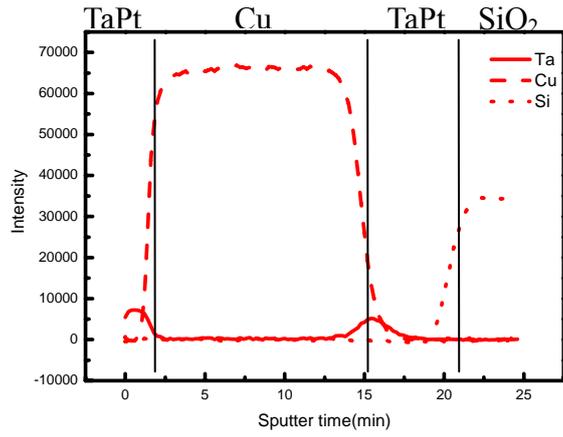


(b)

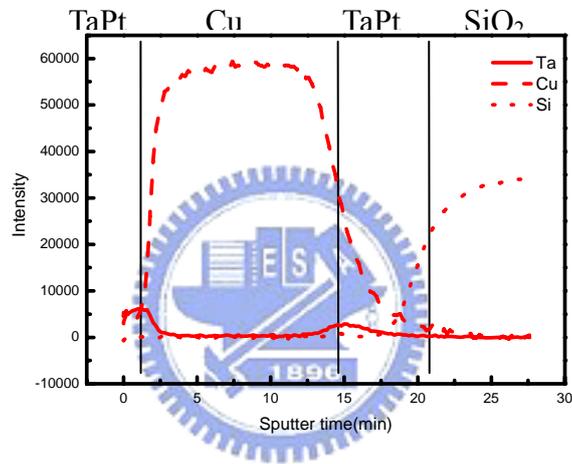


(c)

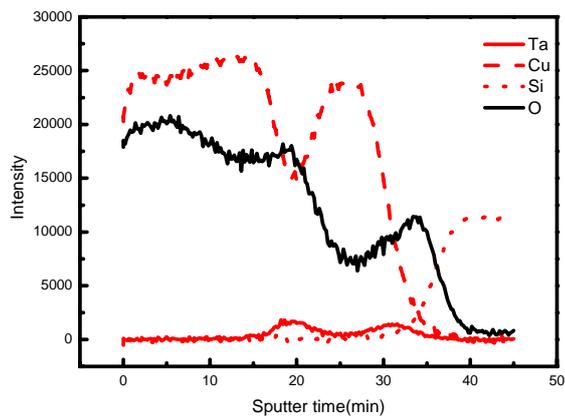
圖 3-8 TaPt1/Cu/TaPt1/SiO₂/Si結構在(a)沒有經過退火，(b)600°C 30 分鐘退火，(c)700°C 30 分鐘退火的縱深分析結果。



(a)

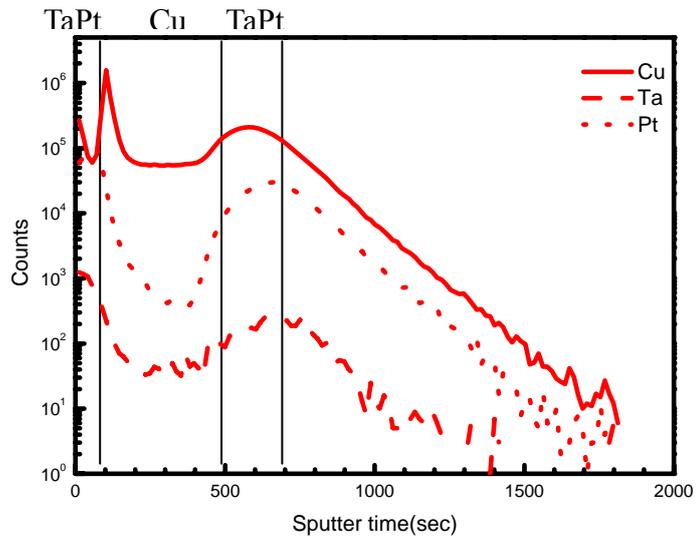


(b)

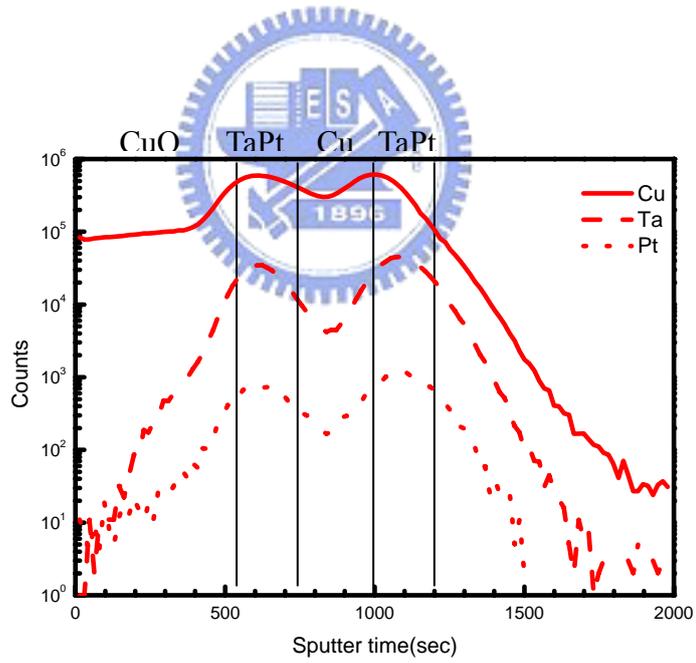


(c)

圖 3-9 TaPt₂/Cu/TaPt₂/SiO₂/Si結構在(a)沒有經過退火，(b)600°C 30 分鐘退火，(c)700°C 30 分鐘退火的 AES 縱深分析結果。



(a)



(b)

圖 3-10 經過 700°C 30 分鐘退火後，(a)TaPt1/Cu/TaPt1/SiO₂/Si和
(b)TaPt2/Cu/TaPt2/SiO₂/Si的SIMS縱深分析結果。

第四章

銅閘極電容電性量測

4-1 電容-電壓曲線及平帶電壓

由電容-電壓曲線可以對電容的品質做粗略的判斷，因此論文中以電容-電壓曲線作為最基本的電性量測，電容的製作流程與結構如 2-1 節所述，圖 4-1 之(a)~(c)分別為以 20nm 的 TaPt1，TaPt2，以及純 Ta 作為擴散阻擋層之銅閘極電容經過三十分鐘 400~700°C 的退火後所量測到的電容-電壓曲線，接著利用 2.2.1 節所述求取平帶電壓的方式，每個條件取十個量測值計算平帶電壓，取其平均並求其標準差做圖為圖 4-3。

由圖 4-2 可以發現無論使用哪種擴散阻擋層，經過退火後，平帶電壓立即大幅往正電壓方向移動，這是因為在製作閘極時是利用濺鍍的方式，因此在閘極氧化層造成了許多帶正電的缺陷，而這些缺陷電荷會因為退火時高溫的能量而消除，因此電容-電壓曲線會大幅右移。以 TaPt1 及 TaPt2 做為擴散阻擋層的電容在經過 30 分鐘 400~700°C 退火後，曲線並沒有很大的變異(如圖 4-2(a)和(b))。由圖 4-2(a)和(b)可知，對 TaPt1 而言其平帶電壓在 -0.7~-0.8 伏特之間，而就 TaPt2 來看則在 -0.06~-0.65 伏特間，不同條件間的改變幅度較大，尤其是經過 700°C 退火的樣品改變最大，而且其積聚區電容值也明顯小於其他條件，由第三章所做材料分析的結果看來，這應該是因為表面氧化造成其串聯電阻增加的結果。

另一方面，用 20nm Ta 作為擴散阻擋層的對照組樣品在經過 30 分鐘 650°C 的退火後，有一部份會因為銅擴散而呈現漏電過大的情形，而在 700°C 退火後會因為漏電過大而量測不到電容-電壓曲線，其 400~600°C 退火的樣品平帶電壓在 -0.73~-1.08 伏特間，和以鈿鉑合金做阻擋層的實驗組相比有些微的差異，推論是摻雜了鉑之後其功函數改變所致。

而以 5nm TaPt1，TaPt2，Ta 作為擴散阻擋層的電容量測結果則在圖 4-3

及圖 4-4 中，阻擋層為 TaPt1 的平帶電壓仍然集中在-0.6~-0.8 伏特之間，而阻擋層為 TaPt2 的平帶電壓較厚度為 20nm 條件下集中，推測是製程中多覆蓋了一層 5nm 的氮化矽，以至於電極表面不易氧化之故。對照組阻擋層為 5nm 鈹的電容-電壓曲線看得出來變化很大，尤其是經過 600°C 退火之後，其平帶電壓變成-3.82 伏特，和其他退火條件相比改變了 2.5 伏特之多，由於是往負電壓的方向移動，加上阻擋層為 20nm 時到 650°C 就會出現因為銅擴散而漏電流過大的情形，因此合理推斷平帶電壓的大幅移動是因為 600°C 退火時，產生了銅擴散穿透阻擋層的情形。

4-2 崩潰電壓

圖 4-5(a)~(c)為擴散阻擋層以 20nm TaPt1，TaPt2，純 Ta 為擴散阻擋層之銅閘極電容，在經過三十分鐘 400~700°C 的退火後，利用 2.2.1 節之方法所量測出的崩潰電壓，取 20 個樣品的量測值計算其平均及標準差做圖。由崩潰電壓的大小和標準差的分佈可以觀察到，以 TaPt1 和 TaPt2 為阻擋層的電容在經過 400~700°C 的退火後，崩潰電壓都是集中分佈在 45~55 伏特間，相當於 8~10MV/cm 的電場，可知道發生崩潰的原因是閘極氧化層的本質崩潰[54]，並非銅擴散的影響。而以 Ta 為阻擋層之電容，其崩潰電壓在經過 400 ~ 600°C 的退火下，同樣也是很集中地分佈在 34~36 伏特間，但是經過 650°C 退火後，由於有部份的電容已經因為銅擴散作用而漏電過大造成崩潰電壓值大幅下降，因此整個平均崩潰電壓下降且標準差增大，這部份的結果也呼應了在 4-1 節中經過 650°C 退火後，以 Ta 為阻擋層的電容之電容-電壓曲線異常的現象。

我們發現以 20nm Ta 做阻擋層的條件下，崩潰電壓平均小於以鈹鉑合金作為阻擋層的電容，但在阻擋層 Ta 為 5nm 的條件下，由圖 4-5(c)可看到崩潰電壓集中地分佈在 55~65 伏特間，並沒有發生異常的現象，所以可以推

斷 20nm Ta 的條件下應該是閘極氧化層品質較其他試片差，才導致在較低的電壓即發生崩潰，雖然由 4-1 節看到經過 600°C 退火後，其平帶電壓大幅地往負電壓方向移動，但從崩潰電壓的量測看來似乎沒有發現異常，我們猜測可能是銅擴散的情形很輕微，因此才會只反應在平帶電壓的量測上。

而以 5nm TaPt1 和 TaPt2 做阻擋層的電容量測結果分別在圖 4-6(a)和(b)中，可以看到即使在經過 650°C 的退火，其崩潰電壓還是能維持在 50 伏特左右。和 20nm 相比的差異在於經過 700°C 退火後，TaPt1 條件下的崩潰電壓降到只有 12 伏特，TaPt2 條件下的崩潰電壓雖然還有 36 伏特，但是標準差增大，表示電容間的崩潰電壓變異程度加大。雖然以基本電性量測結果來看，TaPt1 和 TaPt2 阻擋層為 20nm 的時候，電容經過 30 分鐘 700°C 退火後其基本電性(電容-電壓曲線和崩潰電壓)都是正常的，但是在阻擋層減薄到 5nm 時，700°C 退火過的電容崩潰電壓就開始降低，基本電性正常的範圍就縮小到退火條件是 650°C 之下。除了基本電性量測外，在 4-3 節中我們利用偏壓-熱應力量測來探討以鈦鉑合金作為擴散阻擋層的銅閘極電容在應力下的可靠度。

4-3 偏壓-熱應力量測

圖 4-7(a)和(b)分別為以 20nm TaPt1 做為阻擋層之電容經過 650°C 和 700°C 退火後，使用 2-2 節中所述方法量測所得之結果。650°C 退火條件下的電容，在經過 30 分鐘溫度為 200°C，電場為 +2MV/cm 的應力量測後，其平帶電壓向左平移了 0.71 伏特，相當於有 $2.55 \times 10^{11} \text{cm}^{-2}$ 的移動性離子在閘極氧化層中移動。有趣的是，再繼續施予 30 分鐘溫度為 200°C，電場為 +2MV/cm 的應力量測，其電容-電壓曲線會和只做 30 分鐘應力的曲線重疊，這意味著這些移動性離子的數量是有限的，在第一次 30 分鐘的應力時就已經都被電場驅趕到靠近氧化層和矽基板的界面，所以再施加的應力量測就不會再造

成離子移動而使得平帶電壓繼續右移。若是此平帶電壓左移之現象是來自於閘極銅擴散的現象，電容-電壓曲線應該會隨著應力時間增加，擴散進閘極氧化層的銅離子增加而右移，而非上述我們所觀察到的現象，因此可以斷定此現象並不是由於銅擴散，而應該是製程上造成閘極氧化層中含有移動性離子，才使得平帶電壓會往負電壓的方向移動。最後經過 30 分鐘溫度為 200°C，電場為-2MV/cm的應力後，電容-電壓曲線會和最原始的曲線重疊，由此可推測這些移動性離子一開始的位置應該非常地靠近金屬閘極和氧化層的界面，才會在做完負電場的應力量測後，只回到原始的曲線而沒有更往正的方向移動。由這些移動性離子的位置，我們推斷應該是濺鍍金屬閘極時在氧化層表面造成了汙染，才會導致在應力量測時，即使銅沒有擴散還是有平帶電壓移動的現象。700°C退火條件下的電容經過 30 分鐘+2MV/cm應力的量測後，平帶電壓大幅移動了 5.65 伏特，再經過 30 分鐘的應力，電容就會因為故障而量測不到電容-電壓曲線。

以 20nm TaPt₂ 為阻擋層的電容的量測結果和 TaPt₁ 條件下的非常相似，圖 4-8(a)和(b)分別是做過 30 分鐘 650°C和 700°C退火的電容做偏壓-熱應力的量測結果：650°C退火的電容其平帶電壓在經過 30 分鐘+2MV/cm 應力後向左平移了 0.97 伏特，但再經過 30 分鐘就沒有看到平帶電壓的變化；700°C退火的電容經過 30 分鐘+2MV/cm 應力後，其平帶電壓右移 2.66 伏特，再經過 30 分鐘就因為電容故障而量測不到曲線。綜合偏壓-熱應力量測和前兩個小節的基本電性量測，我們可以發現到以鈿鉑合金作為擴散阻擋層的銅閘極電容，雖然基本電性到 700°C退火的樣品都是正常的，但是在做應力量測時，700°C退火的樣品會故障，能維持正常的特性之條件下修到 650°C。

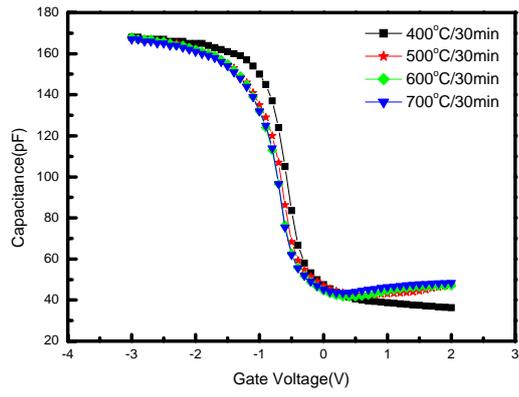
由於以 20nm Ta 為阻擋層的電容到 650°C退火的條件下就會發生異常，因此對應力量測我們只探討到 600°C退火的情況(圖 4-9)。其平帶電壓左移了 1.72 伏特，雖然顯示其移動性離子的數量較高，但就應力量測過程相對

應的平帶電壓移動情形看來，也並不是銅擴散所造成，因此考慮前兩個小節和這邊的結果看來，阻擋層為 20nm 鈮的電容在經過 30 分鐘 600°C 退火後，無論是基本電性還是可靠度都還是正常的。最後，我們將偏壓-熱應力量測時平帶電壓的位移量整理於圖 4-10 中，位移量為在 200°C 經過 30 分鐘 +2MV/cm 的電場應力平帶電壓和初始值之差值。

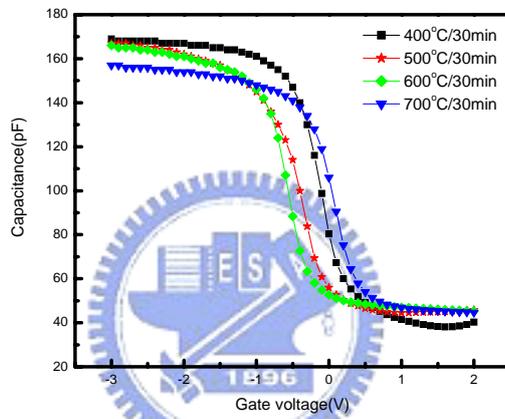
圖 4-11~圖 4-13 是為擴散阻擋層厚度減薄至 5nm 時應力量測的結果，同時我們將做偏壓-熱應力量測時平帶電壓的位移量整理於圖 4-14 中。圖 4-11 是以 TaPt1 做阻擋層的電容在經過 650°C 退火後施予偏壓-熱應力後所得量測電容-電壓曲線，可觀察到曲線並沒有平移的現象。而以 TaPt2 為阻擋層的電容，經過 600°C 及 650°C 退火後的應力量測結果分別為圖 4-12(a) 和 (b)，600°C 退火的電容經應力量測後，其平帶電壓稍微左移了 0.25 伏特，由上面的敘述我們可以推斷這不是銅擴散所導致。而 650°C 退火的電容做完應力量測後，由電容-電壓曲線我們觀察到在空乏區的曲線斜率變得較緩，而在積聚區的電容值也稍微地下降，雖然說整個應力量測過程中沒有發生因為銅擴散的情形而導致平帶電壓大幅移動或是電容故障，但是卻有因為應力而導致界面缺陷變多，高溫使得表面氧化電容串聯電阻增大的問題。至於圖 4-13 則是 5nm 鈮阻擋層在 600°C 退火後偏壓-熱應力的量測結果，可以發現所量測到的曲線趨勢和上述現象不符，只呈現小幅度沒有規則性的位移，推測是在點針時，上層鈮破裂，導致高溫量測時點針處氧化，於是隔絕掉了應力量測時的電場作用，因此看到的只剩高溫下離子些微擾動產生平帶電壓小幅無規則的移動現象，並且在積聚區的電容之也因為氧化的作用而看到電容值下降的串聯電阻效應。

在本章中，我們利用量測的電容-電壓曲線計算出平帶電壓，以及量測可用來判斷閘極氧化層品質優劣的崩潰電壓，來對電容基本特性做探討。

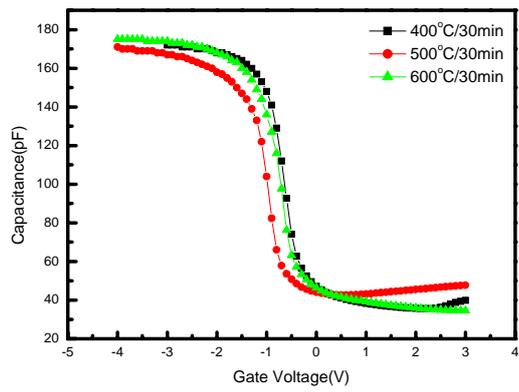
在阻擋層為 20nm 的條件下，TaPt1、TaPt2 直到 700°C 退火 30 分鐘後，其基本電性仍能維持正常，然而對照組 Ta 在 650 退火 30 分鐘就開始發生漏電流過大的情形。當阻擋層減薄為 5nm 時，以 TaPt1 和 TaPt2 為阻擋層的電容，崩潰電壓因為銅擴散至閘極氧化層中而開始下降並且變異程度加大，而以 Ta 為阻擋層的電容在 600°C 退火後因為銅些微擴散而造成平帶電壓位移加大，表面也因為氧化而導致串聯電阻增加，使得積聚區電容值變小。接著我們利用偏壓-熱應力量測來觀察阻擋層在應力下的阻擋能力，阻擋層為 20nm 時，以 TaPt1 和 TaPt2 做擴散阻擋層之電容在經過 650°C 退火後應力量測結果仍是正常，但在經過 700°C 退火後應力量測時會故障。當阻擋層為 5nm 時，以 TaPt1 和 TaPt2 做擴散阻擋層之電容，在經過 650°C 退火後應力量測結果同樣是正常的，這和我們利用穿透式電子顯微鏡看到的結果一致，圖 4-15 是以 5nm TaPt1 做阻擋層的銅電容，經過 650°C 退火後，利用穿透式電子顯微鏡(TEM)所拍攝的剖面圖，由圖 4-15(b)可以清楚地看見銅和介電層中間的擴散阻擋層依然很平整，而銅閘極上層的擴散阻擋層雖然因為銅晶粒不平整而有起伏的現象，但是仍然沒有觀察到有破裂的情形產生。然而，以 5nm Ta 為阻擋層的電容在 600°C 退火後，表面就會因為應力量測時產生氧化而隔絕了電場的作用，導致應力量測結果發生異常，綜合上述的電性量測結果，以鈦鉑合金做阻擋層，不管是 TaPt1 還是 TaPt2，考慮偏壓-熱應力的結果，無論厚度是 20nm 或 5nm，到 650°C 退火後仍能維持正常。然而以 20nm Ta 為阻擋層，在 650°C 退火後有一部份電容就會開始因為漏電流過大而發生異常，因此在鈦中間摻雜一些鉑，的確可以改善對銅的擴散阻擋能力。



(a)

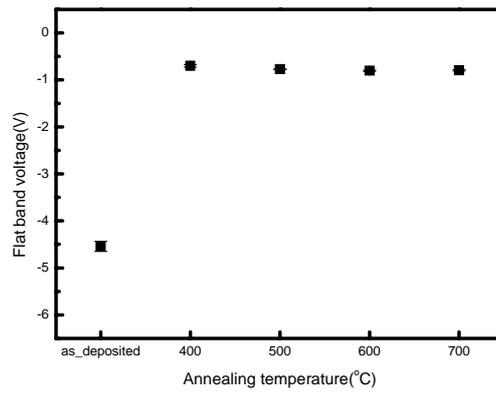


(b)

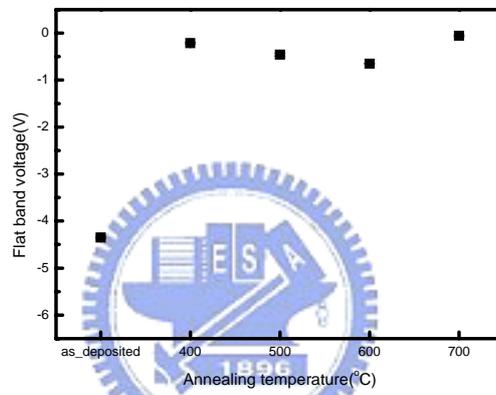


(c)

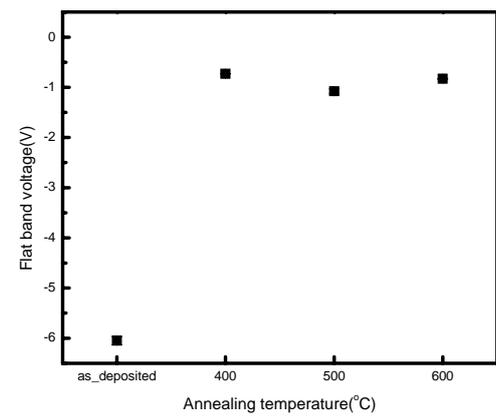
圖 4-1 擴散阻擋層為 20nm (a)TaPt1, (b)TaPt2 和(c)Ta 的銅閘極電容在經過不同條件退火後之電容-電壓曲線。



(a)

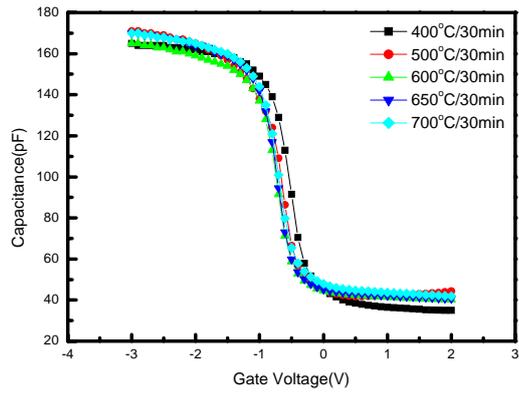


(b)

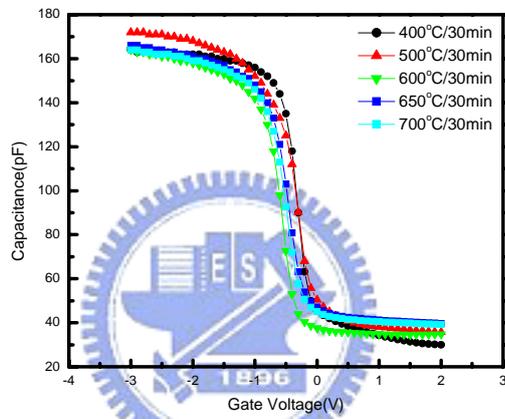


(c)

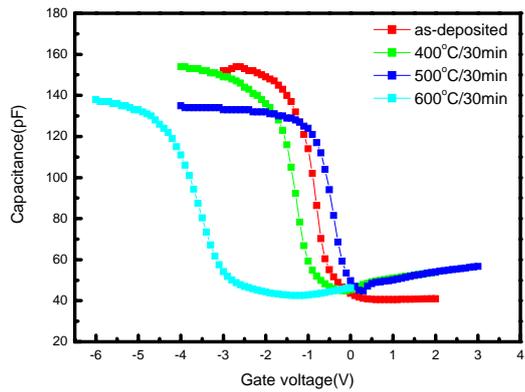
圖 4-2 擴散阻擋層為 20nm (a)TaPt1、(b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之平帶電壓。



(a)

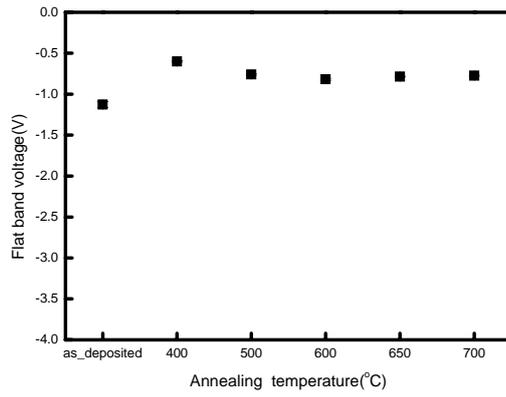


(b)

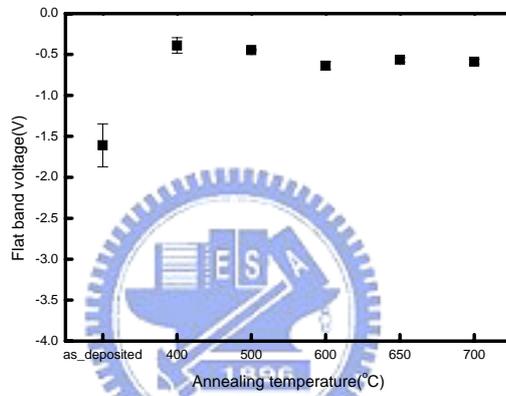


(c)

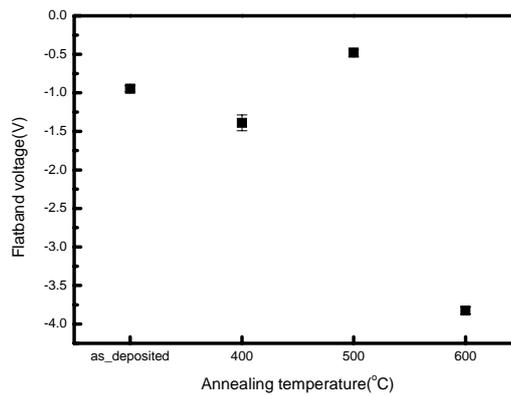
圖 4-3 擴散阻擋層為 5nm (a)TaPt1，(b)TaPt2 和(c)Ta 的銅閘極電容在經過不同條件退火後之電容-電壓曲線。



(a)

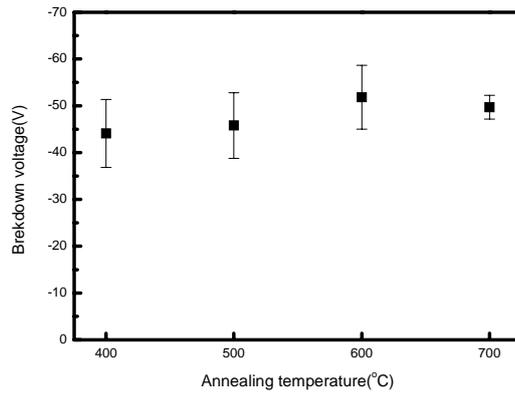


(b)

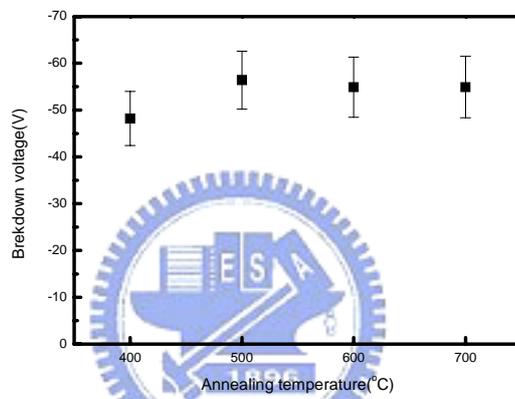


(c)

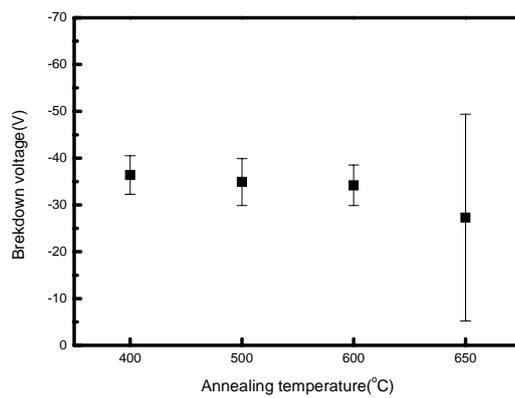
圖 4-4 擴散阻擋層為 5nm (a)TaPt1，(b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之平帶電壓。



(a)

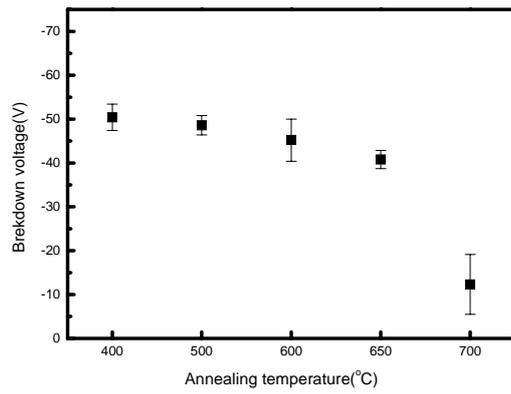


(b)

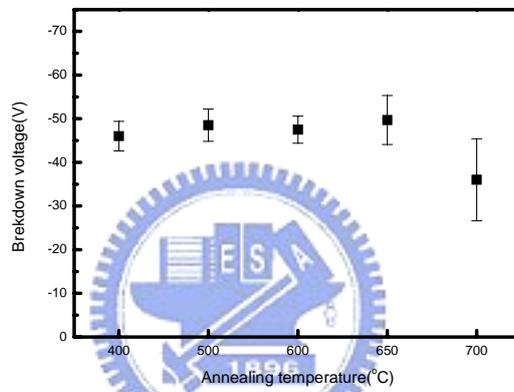


(c)

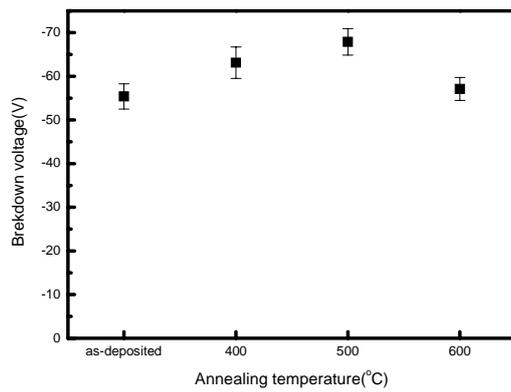
圖 4-5 擴散阻擋層為 20nm (a)TaPt1、(b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之崩潰電壓。



(a)

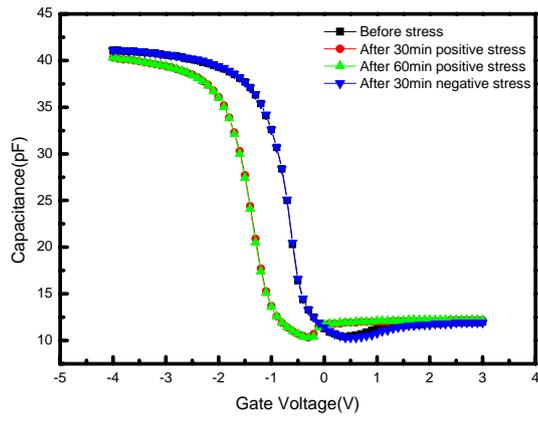


(b)

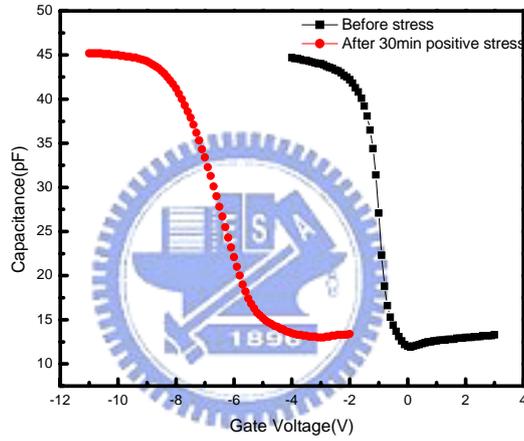


(c)

圖 4-6 擴散阻擋層為 5nm (a)TaPt1，(b)TaPt2 和(c)Ta 的銅閘極電容經過不同退火溫度後之崩潰電壓。

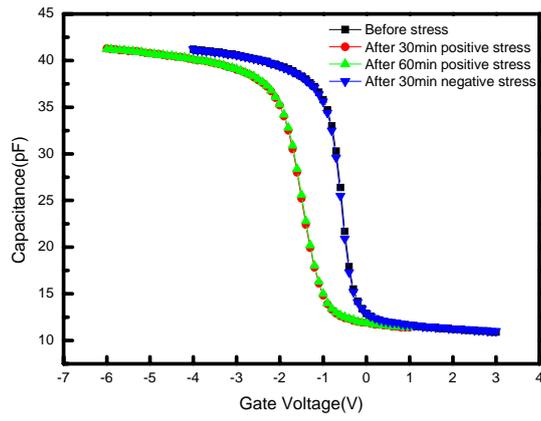


(a)

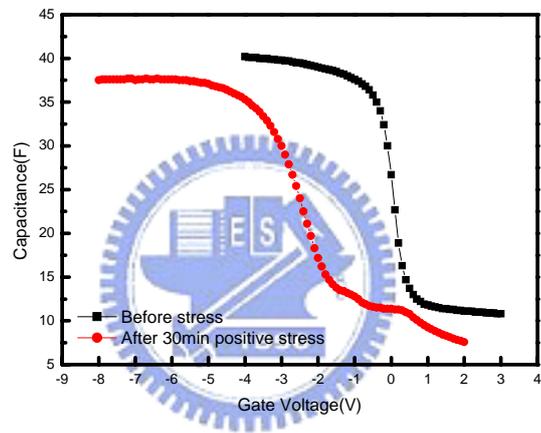


(b)

圖 4-7 阻擋層為 20nm TaPt1 之電容經過(a)650°C和(b)700°C退火後偏壓-熱應力量測結果。



(a)



(b)

圖 4-8 阻擋層為 20nm TaPt₂ 之電容經過(a)650°C和(b)700°C退火後偏壓-熱應力量測結果。

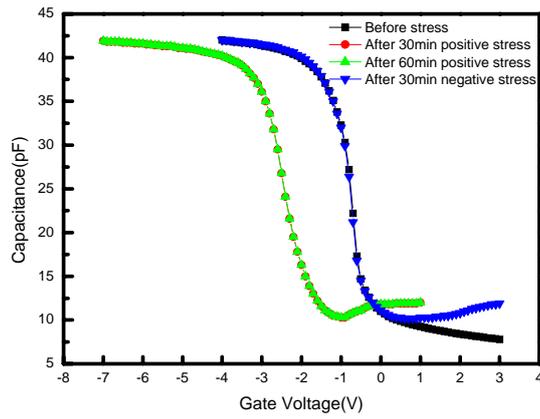


圖 4-9 阻擋層為 20nm Ta 之電容經過 600°C 退火後偏壓-熱應力量測結果。

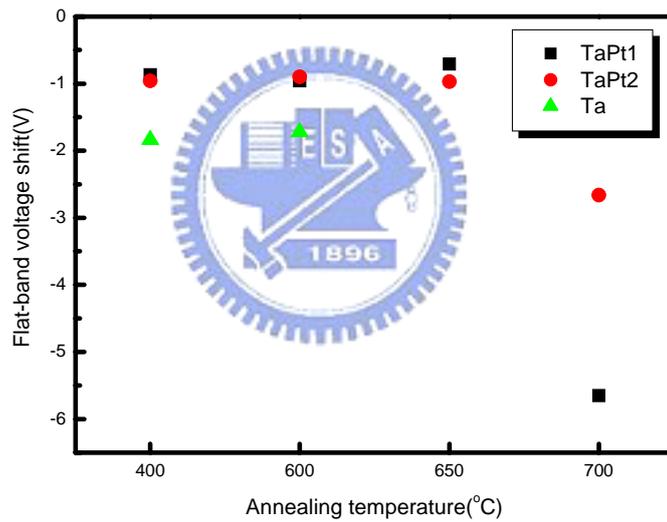


圖 4-10 以 20nm (a)TaPt1, (b)TaPt2, (c)Ta 為擴散阻擋層之電容，經過不同溫度退火後，偏壓-熱應力量測時，初始值和經過 30 分鐘+2MV/cm 應力後之平帶電壓位移量。

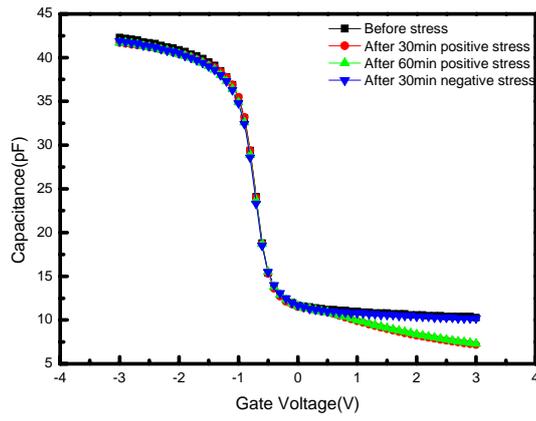
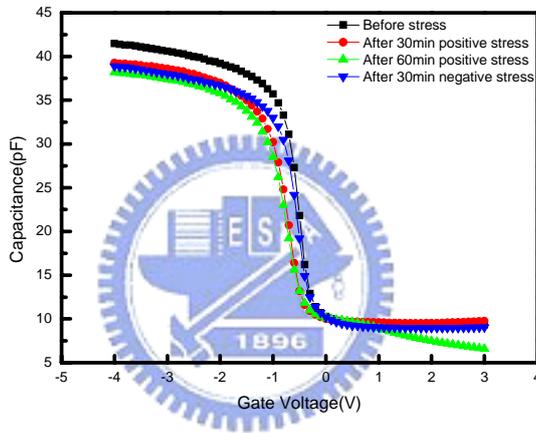
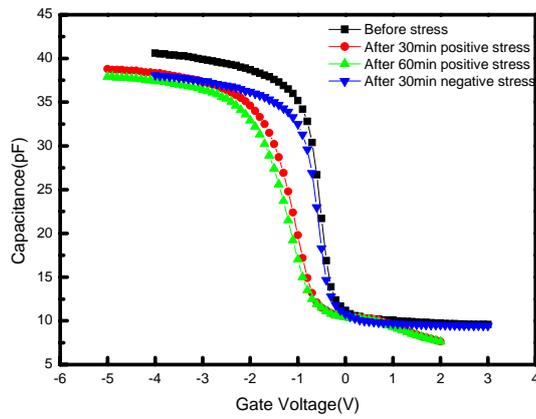


圖 4-11 阻擋層為 5nm TaPt1 之電容經過 650°C 退火後偏壓-熱應力量測結果。



(a)



(b)

圖 4-12 阻擋層為 5nm TaPt2 之電容經過(a)600°C和(b)650°C退火後應力量測結果。

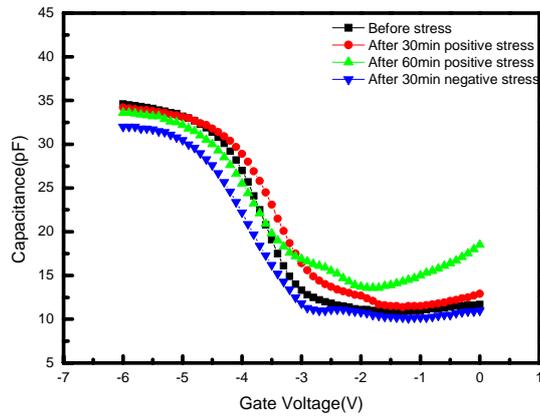


圖 4-13 阻擋層為 5nm Ta 之電容經過 600°C 退火後偏壓-熱應力量測結果。

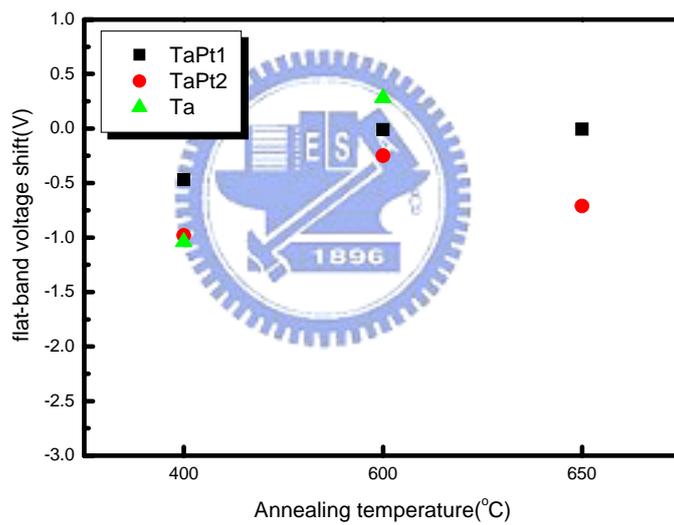
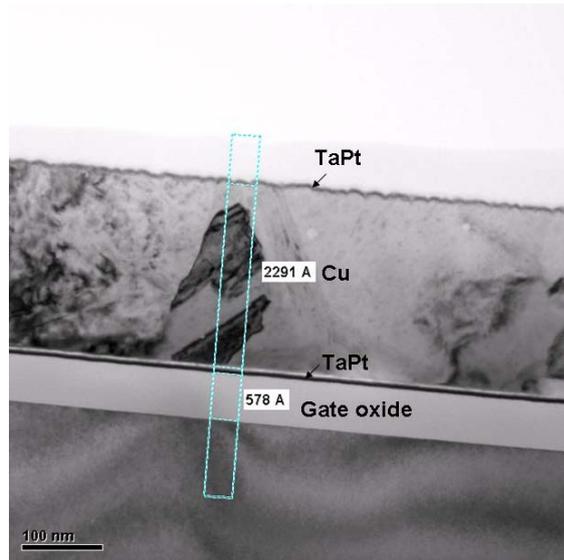
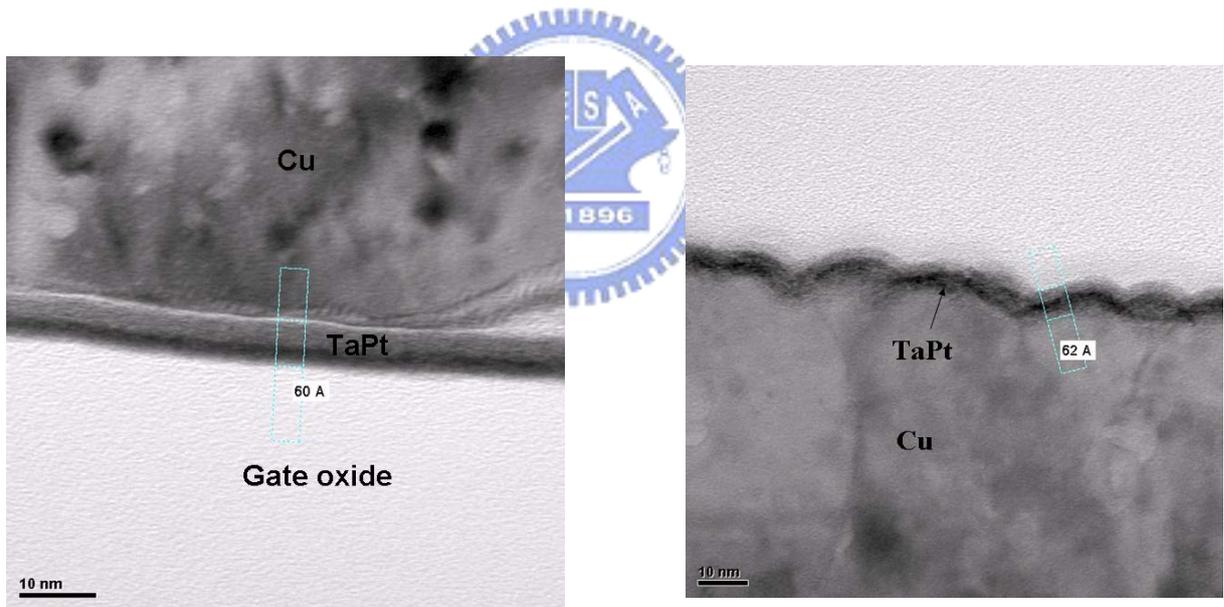


圖 4-14 以 5nm (a)TaPt1，(b)TaPt2，(c)Ta 為擴散阻擋層之電容，經過不同溫度退火後，偏壓-熱應力量測時平帶電壓之位移量。



(a)



(b)

(c)

圖 4-15 以 5nm TaPt1 為擴散阻擋層的銅閘極電容之(a)剖面結構(b)下層阻擋層情形 (c)上層阻擋層情形。

第五章

銅閘極薄膜電晶體量測分析

5-1 量測結果比較

綜合第二章到第四章的分析結果，以 20nm 鈦鉑合金作為銅阻擋擴散層，可以在後段製程承受 650°C 30 分鐘的熱預算而不會有擴散阻擋層失效的問題。此外，由實驗結果也可以發現不同比例的鈦鉑合金阻擋層 TaPt1 和 TaPt2 有一些的差異：以 TaPt1 做阻擋層的閘極結構有較小的片電阻值，而且到 700°C 退火後不會有銅氧化的情形。因此在薄膜電晶體的製作方面，我們選用 20nm 的 TaPt1 作為銅閘極薄膜電晶體的擴散阻擋層，薄膜電晶體的製程步驟如 2-3 節所述，而利用穿透式電子顯微鏡所拍攝的通道區剖面結構圖則在圖 5-1 中。

圖 5-2(a)~(e)分別為薄膜電晶體在使用掀離法定義出金屬閘極結構後，沒有經過退火和經過 30 分鐘 400~650°C 退火的後續製程，最後元件完成後，經過NH₃電漿處理後所量測到的汲極電流-閘極電壓關係圖，而各條件下所量測到的汲極電流-汲極電壓結果則列於圖 5-3(a)~(e)中。由電流對電壓的關係，我們利用 2-4 節說明之方法計算出臨界電壓、次臨界擺幅、載子遷移率等參數，接著利用電流最大和最小值計算出導通電流/關閉電流比 (I_{on}/I_{off} ratio)，並且使用改良型戴韋遜(Modified Levinson)量測方法由電流電壓曲線計算出缺陷密度，最後將結果整理於表 5-1。從 400°C 到 650°C 退火，除臨界電壓外，其它參數均無明顯變化，再比對參考文獻第 63 篇中同樣以 600°C 做 24 小時固相再結晶的多晶矽通道元件，其電子遷移率、次臨界擺幅，以及導通電流/關閉電流比分別為 16.9 cm²/V · s、680 mV/dec、 1.4×10^7 ，而我們的實驗結果則分別為 18~26 cm²/V · s、620~900 mV/dec、 $5.51 \times 10^7 \sim 1.44 \times 10^7$ ，比較起來特性並沒有太大的差異，因此可以推斷即使經過 650°C 退火，銅閘極薄膜電晶體仍然沒有因為銅擴散而造成元件劣化的現

象。

我們同時把NH₃電漿處理前所量測到的數據計算出上列參數整理於表 5-2 中，並將電漿處理前後之汲極電流-閘極電壓曲線圖列於圖 5-1 的插圖中。和電漿處理前比較起來，沒有經過退火的薄膜電晶體特性有大幅的提升，其臨界電壓從 4.18 伏特改善為 1.30 伏特，次臨界擺幅由 869mV/dec減少至 622mV/dec，載子遷移率也有所增加，然而對於經過退火的薄膜電晶體，改善的效果就變得不明顯，我們推測是因為退火過程對薄膜電晶體造成了無法以氫鍵修補掉的損害，所以在電漿處理後，沒有經過退火的電晶體利用氫鍵修補了大部份因懸鍵造成的缺陷，特性大幅提升，然而經過退火之後的電晶體的缺陷無法被氫鍵給修補，因此改善效果不明顯。

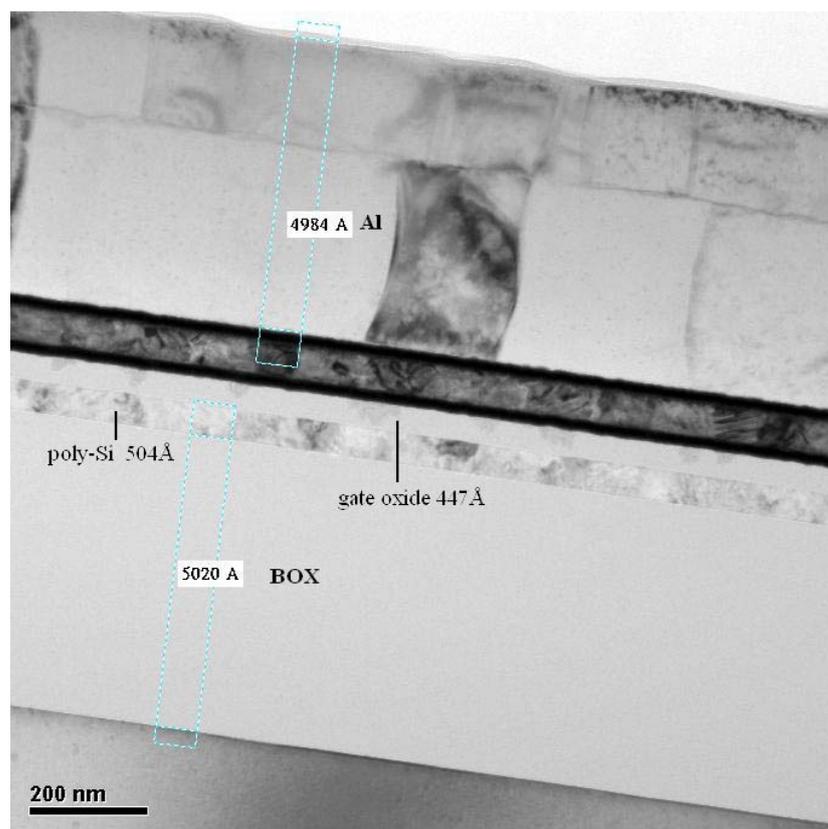
5-2 不同溫度退火的後續製程對元件影響之探討

將不同退火條件下薄膜電晶體的汲極電流-閘極電壓曲線整理於圖 5-4 中，發現在經過退火後，電流-電壓曲線會往正電壓的方向移動，我們可以由臨界電壓來觀察其趨勢：沒有經過退火的電晶體，臨界電壓為 1.30 伏特，經過 400°C 退火後，臨界電壓移動到 3.77 伏特，而 500~650°C 退火後的臨界電壓則集中在 5.5~6 伏特之間，而且次臨界擺幅也從沒有經過退火時的 622mV/dec，到 400°C 退火後增加到 752mV/dec，最後在 500~650°C 退火後集中在 850mV/dec 左右。臨界電壓往正電壓方向移動相當於在退火過程中在閘極氧化層內有負電荷生成(或是正電荷消失)，次臨界擺幅的增加則代表著界面缺陷(interface state)或是懸鍵(dangling bond)的數量增加，由於懸鍵可以和電漿處理的氫鍵結合而消除，因此退火後次臨界擺幅的增加推測是由於界面無法以電漿處理消除的缺陷增加之故。經過退火處理後，薄膜電晶體在界面產生了缺陷，而在閘極氧化層中也有負電荷生成，但是由萃取出來的參數我們發現這個現象在 500°C 退火後就開始趨於飽和。

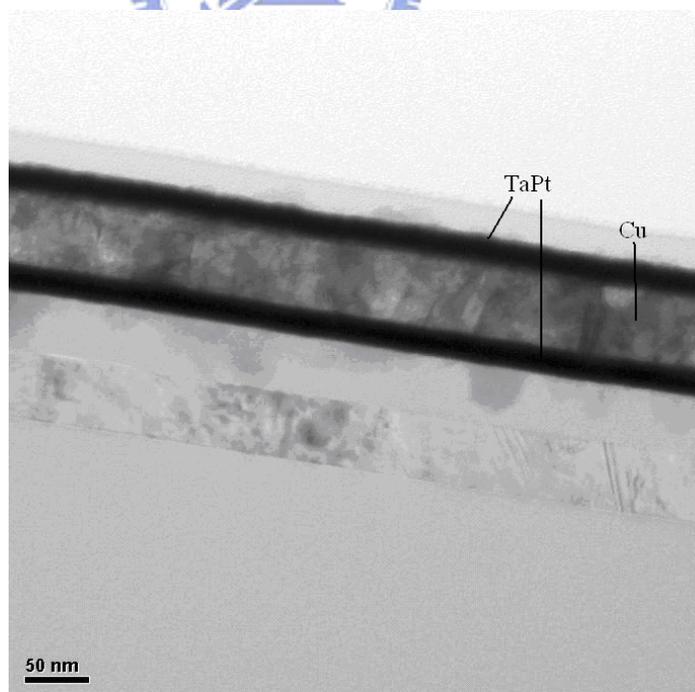
為了探討這個有趣的現象，我們利用一個沒有經過退火處理的薄膜電晶體依序經過 30 分鐘 400°C 和 500°C 的退火，在每一次退火後，記錄其汲極電流-閘極電壓特性於圖 5-5 中，為了方便比較，我們同時將 5-1 節中先經過退火再做電漿處理之元件特性加入圖 5-5，並將其參數整理於表 5-3 中。可以發現隨著退火溫度的增加，曲線也有往正電壓方向移動的趨勢(臨界電壓在 400°C 退火後由 1.30 伏特右移為 2.81 伏特，500°C 退火後則又右移為 6.70 伏特)，因此我們推測是由於爐管退火過程中鈦鉑合金和氧化層產生了 Ta-O 帶負電的鍵結，使曲線往正電壓方向移動，而雖然懸鍵已被氫鍵所修補，但是界面額外因為退火產生的缺陷使得次臨界擺幅看起來並沒有改善。此外，由表 5-3 我們還可以觀察到，與 5-1 節中先經過退火再做電漿處理的元件相比，在 400°C 退火後，先做完電漿處理再退火的元件特性較好，但在 500°C 退火後，先做完電漿處理的元件就變得比較差，推測是電漿處理後的氫鍵在依序經過退火後已經脫離，再加上依序退火的過程讓元件增加許多缺陷，才導致次臨界擺幅增加，電子遷移率降低，較先退火再經過電漿處理的元件有更嚴重的劣化現象。

綜合電漿處理前後以及不同退火條件下薄膜電晶體的量測結果，推測缺陷應該來自兩個部份，一部份是元件製程中所產生的，例如通道中懸鍵的生成，這些可以由電漿處理所修補，而另一部份則是退火過程中界面反應導致界面缺陷和閘極氧化層中帶負電的鍵結產生，這個因素導致電流-電壓曲線右移，次臨界擺幅無法因為處理而改善，而這個現象到 500°C 退火後就會趨於飽和。

本章中我們使用 20nm 的 TaPt1 做為薄膜電晶體中銅閘極的擴散阻擋層，在經過 650°C 30 分鐘的熱處理後，雖然因為熱應力產生了一些缺陷，但卻沒有發現銅擴散而導致元件故障的跡象，可見得鈦鉑合金阻擋層除了應用在銅導線製程之外，在薄膜電晶體方面也可以有效地阻擋銅的擴散。



(a)



(b)

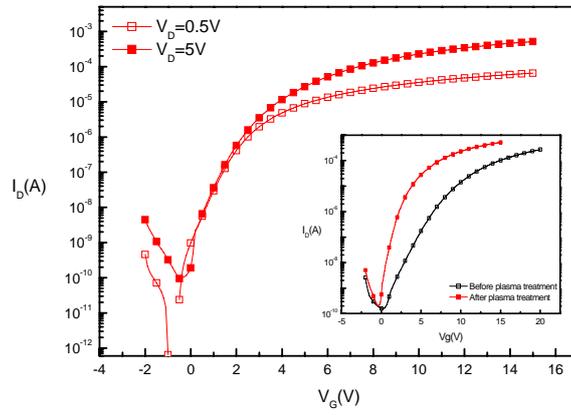
圖 5-1 (a) 穿透式顯微鏡下銅閘極薄膜電晶體的剖面結構圖 (b) 閘極 (TaPt1(20nm)/Cu(50nm)/TaPt1(20nm)) 結構圖。

表 5-1 經過NH₃電漿處理後，薄膜電晶體各項參數之整理。

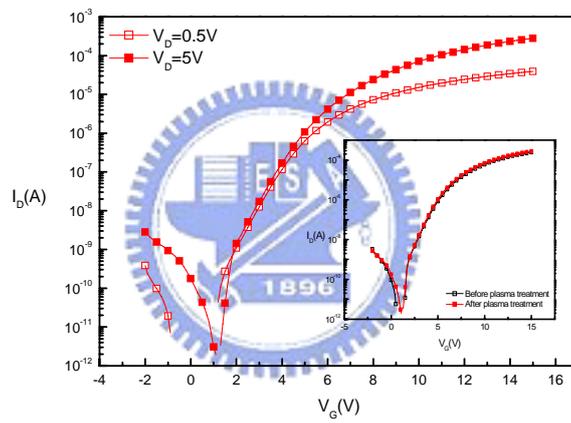
	No	400°C/30min	500°C/30min	600°C/30min	650°C/30min
V _{TH_lin} (V)	1.30	3.77	5.53	5.69	6.12
V _{TH_sat} (V)	1.22	3.62	5.25	5.41	5.75
S.S. (mV/dec) [V _D =0.5V]	622	752	869	897	824
Mobility (cm ² /V·s)	22.28	18.57	18.57	18.24	25.99
I _{on} /I _{off} [V _D =5V]	5.51×10 ⁶	1.44×10 ⁸	1.18×10 ⁸	4.47×10 ⁷	5.59×10 ⁷
Defect density (cm ⁻²)	3.35×10 ¹²	5.22×10 ¹²	6.83×10 ¹²	7.02×10 ¹²	7.45×10 ¹²

表 5-2 NH₃電漿處理前薄膜電晶體各項參數之整理。

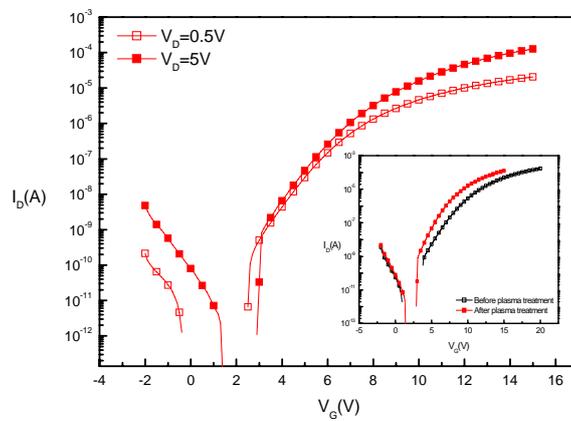
	No	400°C/30min	500°C/30min	650°C/30min
V _{TH_lin} (V)	4.18	3.87	7.23	6.91
V _{TH_sat} (V)	4.33	3.71	6.72	6.51
S.S. (mV/dec) [V _D =0.5V]	869	743	839	822
Mobility (cm ² /V · s)	14.85	18.57	14.85	10.77
I _{on} /I _{off} [V _D =5V]	1.75×10 ⁶	4.33×10 ⁷	8.61×10 ⁷	2.32×10 ⁷
Defect density (cm ⁻²)	6.64×10 ¹²	5.26×10 ¹²	8.81×10 ¹²	8.40×10 ¹²



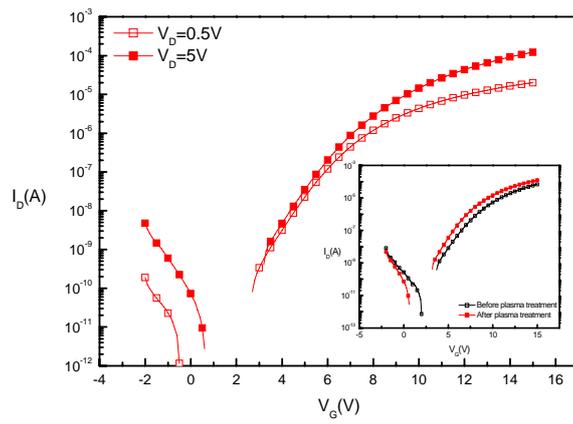
(a) No annealing



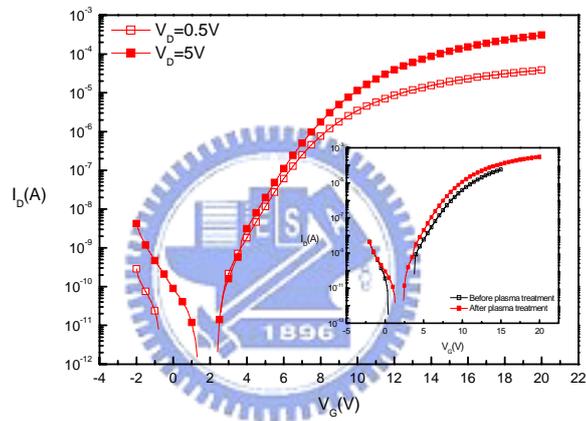
(b) 400°C/30min



(c) 500°C/30min

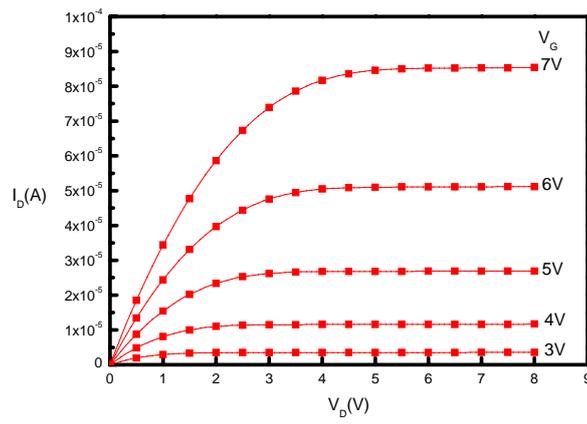


(d) 600°C/30min

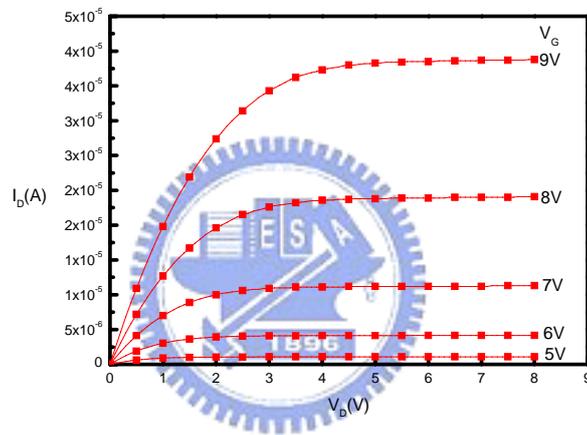


(e) 650°C/30min

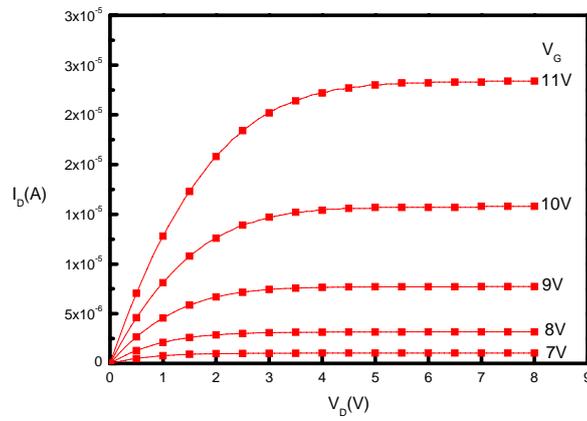
圖 5-2 經過不同退火條件後銅閘極薄膜電晶體的汲極電流-閘極電壓關係圖，插圖為電漿處理前後之比較(在 $V_D=5V$ 條件下)。



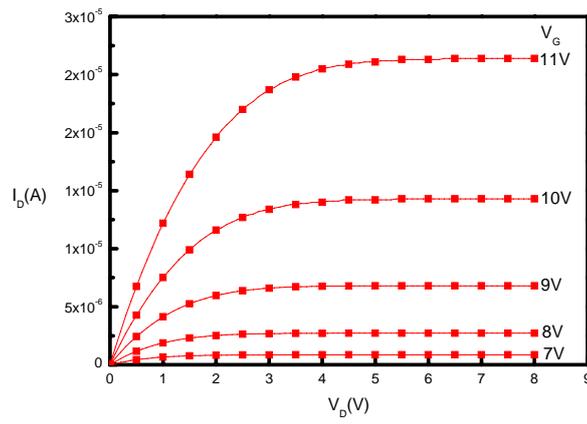
(a) No annealing



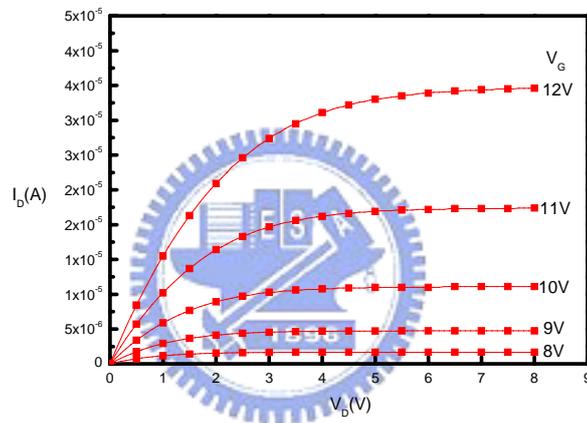
(b) 400°C/30min



(c) 500°C/30min



(d) 600°C/30min



(e) 650°C/30min

圖 5-3 經過不同退火條件後銅閘極薄膜電晶體的汲極電流-汲極電壓關係圖。

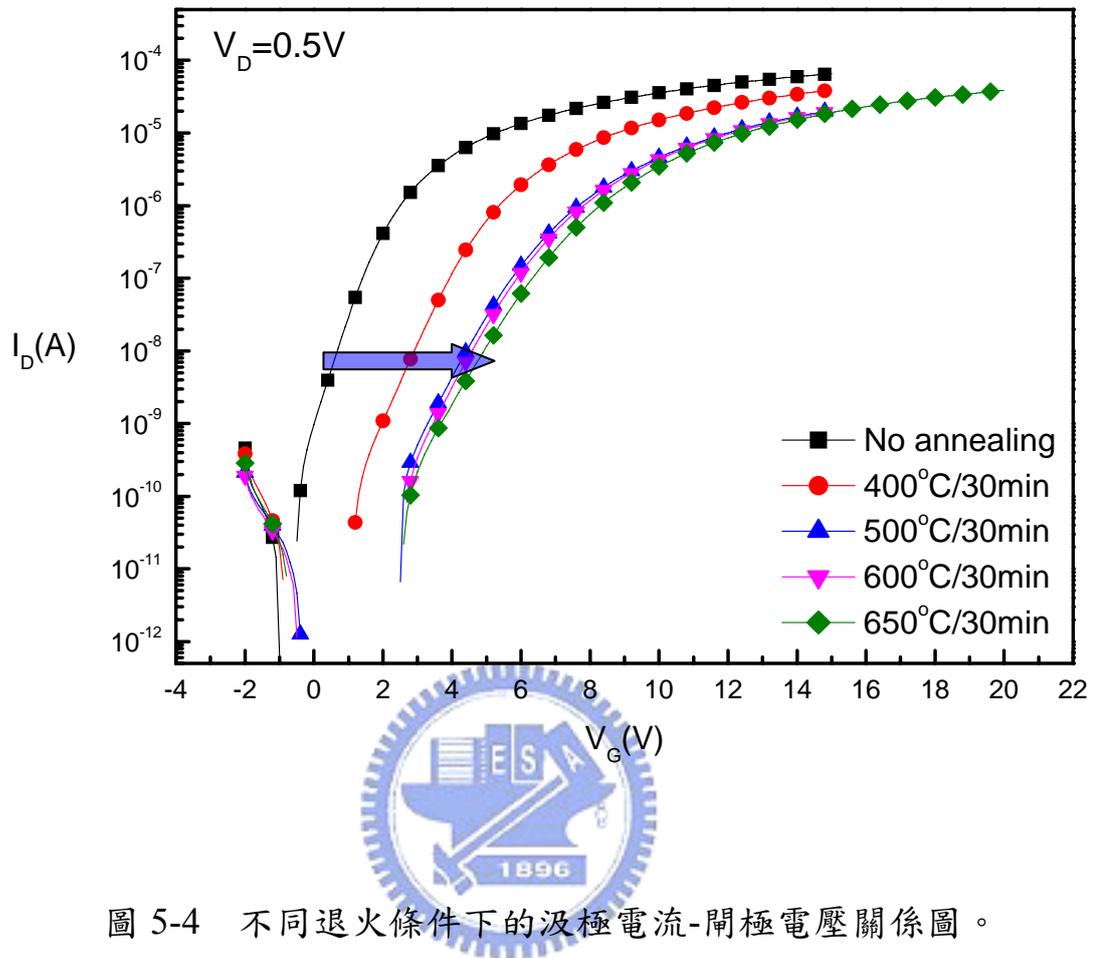


圖 5-4 不同退火條件下的汲極電流-閘極電壓關係圖。

表 5-3 同一個元件，依序經過沒有退火，400°C退火 30 分鐘，500°C退火 30 分鐘後各項參數之整理。(After:做完電漿處理再退火；Before:先退火完再做電漿處理)

	400°C/30min [Before]	400°C/30min [After]	500°C/30min [Before]	500°C/30min [After]
$V_{TH_lin}(V)$	3.77	2.81	5.53	6.71
$V_{TH_sat}(V)$	3.62	2.65	5.25	6.21
S.S. (mV/dec) [$V_D=0.5V$]	752	652	869	914
Mobility ($cm^2/V \cdot s$)	18.57	22.28	18.57	11.14
I_{on}/I_{off} [$V_D=5V$]	1.75×10^6	4.33×10^7	8.61×10^7	2.32×10^7

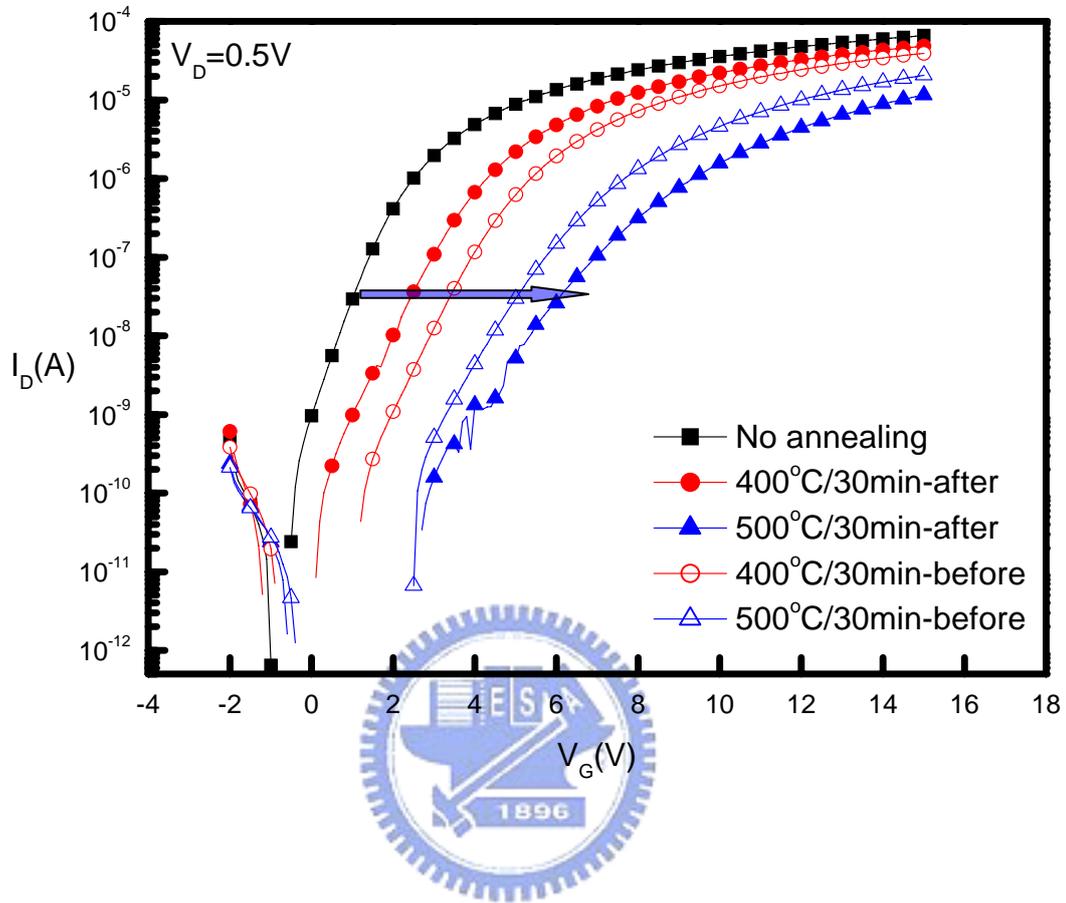


圖 5-5 同一個元件，依序經過沒有退火，400°C退火 30 分鐘，500°C退火 30 分鐘後之汲極電流-閘極電壓關係圖。(After:做完電漿處理再退火;Before:先退火完再做電漿處理)

第六章

結論與未來展望

6-1 結論

本論文使用鈹鉑合金作為銅的擴散阻擋層，探討鈹鉑合金應用在導線製程，甚至是薄膜電晶體銅閘極的緩衝層之可行性。

一開始我們利用拉塞福回向散射來分析利用不同瓦數共同濺鍍的鈹鉑合金之組成比例。從四個條件中挑選含鉑比例最少和最多的，即 TaPt1 (Ta:85%，Pt:15%)以及 TaPt2 (Ta:65%，Pt:35%)，作為實驗條件，並以鈹 Ta 作為實驗的對照組。由片電阻量測發現，無論是摻雜 15%或是 35%鉑的鈹鉑合金，其阻值均和純鈹差不多，而且即使經過 600°C 30 分鐘的退火，鈹鉑合金薄膜阻值只呈現些微的變化，代表仍為非晶結構，有利於擴散阻擋之利用，而利用 X 光繞射分析我們也得到了相同的結果。

另一方面，TaPt/Cu/TaPt 薄膜的片電阻量測顯示經過 700°C 退火 30 分鐘後，TaPt2 條件下的薄膜阻值會劇烈增加，而這個現象在 TaPt1 條件下到 800°C 退火 30 分鐘後才觀察到。根據 X 光繞射分析以及縱深分析可以發現，經過 700°C 退火的 TaPt2/Cu/TaPt2 薄膜的銅穿透至表面，表面反應形成的氧化銅導致片電阻增加，而 TaPt1/Cu/TaPt1 薄膜在經過 700°C 退火後仍然沒有觀察到銅擴散的情形。此外，以 X 光繞射分析中銅(111)和(200)方向訊號的比值結果發現，鈹鉑合金阻擋層上的銅和純鈹阻擋層上的銅訊號比值並沒有非常大的差別，這也表示了鈹鉑合金阻擋層上的銅有著和純鈹阻擋層上的銅一樣良好的抗電致遷移能力。

除了材料分析，我們也利用電容結構做電性方面的量測，並將量測結果整理於表 6-1 中。阻擋層為 20nm 的銅閘極電容在基本的電容-電壓曲線，平帶電壓以及崩潰電壓量測結果顯示，以 TaPt1 和 TaPt2 做為阻擋層的電容，直到 700°C 30 分鐘的退火後仍維持正常，然而以 Ta 做為阻擋層的電容

到 650°C 30 分鐘的退火後就會開始有因為銅擴散而開始劣化的情形發生。偏壓-熱應力的量測結果則顯示，以 TaPt1 和 TaPt2 做為阻擋層的電容，在溫度 200°C，電場為 2MV/cm 的應力下維持 30 分鐘，700°C 退火的樣品會開始劣化，而 650°C 退火的樣品則仍可量測到正常的電容-電壓曲線。由偏壓-熱應力量測中相對應的電容-電壓曲線移動的趨勢，排除銅擴散的影響後，我們推斷平帶電壓仍會平移的原因是在濺鍍過程中在閘極氧化層表面造成移動性離子污染，進而在量測過程中電場作用，移動性離子移動而造成平帶電壓的移動。

當阻擋層厚度減薄至 5nm 時，以 TaPt1 和 TaPt2 做為阻擋層的電容，在經過 700°C 的退火後，由於銅擴散至閘極氧化層造成缺陷，導致崩潰電壓降低而且標準差也變大，但是擴散的情形不明顯，因此電容-電壓曲線仍是正常的。而應力量測結果顯示，無論阻擋層是 TaPt1 或 TaPt2，650°C 退火過的樣品在高溫及電場的應力下仍能維持正常。

由材料分析及電性量測結果來看，以 TaPt1 做為銅擴散阻擋層，雖然電性量測結果和 TaPt2 條件下差不多，但是 TaPt1 的阻值較低且抗電致遷移能力較佳，因此我們選用 20nm 的 TaPt1 做為銅閘極薄膜電晶體的緩衝層條件。實驗結果發現，經過電漿處理後，閘極沒有經過退火後續處理的薄膜電晶體改善幅度最大，而經過 400~650°C 退火後續處理的電晶體改善幅度變小。此外，比較不同退火溫度後薄膜電晶體的特性，經過退火後的汲極電流-閘極電壓曲線會隨著退火溫度增加而有往正電壓方向移動趨勢，而到 500~650°C 退火後會有飽和的現象，由上述的現象我們推測薄膜電晶體中有兩種缺陷，電漿處理可以修補沒有經過退火的薄膜電晶體中的缺陷，使特性大幅提升，而經過退火後，電晶體會因為熱處理過程中的應力產生的負電荷缺陷而電流電壓曲線向正電壓方向移動，而因為此種缺陷無法被氫鍵所修補，於是電漿處理後特性並沒有很大的改善。

經過 650°C 退火 30 分鐘之後，銅閘極薄膜電晶體由量測結果可判斷沒有銅擴散的問題，對於工業界中薄膜電晶體後段製程不超過 600°C 的標準來說，利用鈹鉑合金做為銅閘極薄膜電晶體的擴散阻擋層是相當有可行性的。

6-2 未來展望

首先，在以電容結構探討鈹鉑合金阻擋層的部份，在阻擋層厚度為 20nm 時，有材料分析和電性分析的結果可以互相映證，將來希望能對阻擋層厚度為 5nm 的電容閘極結構做材料分析，以材料分析清楚地釐清元件劣化的原因是否的確是銅擴散所造成，來彌補電性量測方面不足的地方。

論文中我們使用鈹與鉑比例分別為 85:15 和 65:35 的鈹鉑合金作為實驗條件，發現鈹鉑合金的擴散阻擋能力較純鈹為佳，但是摻雜鉑的比例越高，並沒有較佳的銅擴散阻擋能力，再加上使用鉑的成本極高，在後續工作中，我們希望能降低鉑的比例去探討其影響，並試著找出一個摻雜的最佳比例。由於在論文中製作的電容和薄膜電晶體尺寸都很大，面對製程中尺寸逐漸微縮的趨勢，銅導線的寬度勢必也會越來越小，未來可以探討尺寸微縮或是銅厚度減薄對鈹鉑合金阻擋能力的影響。而合併銅導線製程中常使用低介電質材料之想法，未來也可以研究將鈹鉑合金應用在低介電質材料上的可行性。

此外，在銅閘極薄膜電晶體方面，首先除了電性分析之外，必須利用其他方法來釐清熱處理過程中產生負電荷缺陷的原因，並設法解決因為金屬掀離製程銅的邊緣會外露的問題，例如蓋上氮化矽保護層也許是一個方法。由於論文中使用的擴散阻擋層厚度為 20nm，接下來我們也可以將 5nm 的阻擋層應用在薄膜電晶體上，亦可用工業界普遍使用的氮化矽，甚至新興的高介電質材料來取代二氧化矽做為閘極的介電層。而除了本論文中所做的基本量測和參數萃取外，針對元件的可靠度做探討，或是使用鈹鉑合

金阻擋層，將銅閘極應用在新的電晶體結構上，都是未來可以繼續研究的目標。



表 6-1 電容結構電性量測結果整理。

厚度	阻擋層材料	C-V 曲線	崩潰電壓	BTS 應力量測
20nm	TaPt1	正常~700°C	正常~700°C	正常~650°C
	TaPt2	正常~700°C	正常~700°C	正常~650°C
	Ta	正常~600°C	正常~600°C	正常~600°C
5nm	TaPt1	正常~700°C	正常~650°C	正常~650°C
	TaPt2	正常~700°C	正常~650°C	正常~650°C
	Ta	正常~600°C [但已有表面氧化及 些微銅擴散問題]	正常~600°C	有量測時點 針處氧化的 問題。

參考文獻：

- [1]. S. Wolf, *Silicon processing for the VLSI era*, Lattice Press, California, vol. 2, 1990.
- [2]. P. L. Pai and C. H. Ting, "Selective Electroless Copper for VLSI Interconnection," *IEEE Electron Devices Lett.* **10**, 423, 1989.
- [3]. Xiao Hong, *Introduction to Semiconductor Manufacturing Technology*, Prentice Hall, 2001.
- [4]. J. R. Lloyd, J. Clemens, and R. Snede, "Copper metallization reliability," *Microelectronics Reliability* **39**, 1595, 1999.
- [5]. C. A. Chang, "Formation of copper silicide from Cu(100)/Si(100) and Cu(111)/Si(111) structures," *J. Appl. Phys.* **67**, 566, 1990.
- [6]. S. D. Brotherton *et al.*, "Deep levels of copper in silicon," *J. Appl. Phys.* **62**, 1826, 1987.
- [7]. Y. Shacham-Diamand *et al.*, "Reliability of copper metallization on silicon-dioxide," *Proc. VLSI Multilevel Interconnection Conf.*, p.109, 1991.
- [8]. Y. Shacham-Diamand *et al.*, "Oxidation and thermal stability of thin film copper layers," *University/Government/Industry Microelectronics Symposium, 1991*, p. 210.
- [9]. Jacques Cluzel *et al.*, "Electrical characterization of copper penetration effects in silicon dioxide," *Proc. Of 40th IEEE IRPS*, p.431, 2002.
- [10]. M. A. Nicolet, "Diffusion barrier in thin films," *Thin Solid Films* **107**, 415, 1978.
- [11]. Marc Wittmer, "Barrier layers: Principles and applications in microelectronics," *J. Vac. Sci. Technol. A* **2**, 273, 1984.
- [12]. Sa-Kyun Rha *et al.*, "Characterization of TiN barriers against Cu diffusion by capacitance-voltage measurement," *J. Vac. Sci. Technol. B* **16**, 2019, 1998.
- [13]. C. ahrens, R. Ferretti, G. Friese, and J. O. Weidner, "Thermal stress effects on capacitance and current characteristics of Cu/Si and Cu/TiN/Si Schottky-diodes," *MAM'97*, p. 56.

- [14]. Takeshi Nogami, Jeremias Romero, Valery Dubin, Dirk Brown, and Ercan Adem, "Characterization of the Cu/barrier metal interface for copper interconnects," *Proc. IITC 1998*, p. 298.
- [15]. Wen-Fa Wu, Keng-Liang Ou, Chang-Pin Chou, and Jwo-Lun Hsu, "PECVD-Ti/TiN_x barrier with multilayered amorphous structure and high thermal stability for copper metallization," *Electrochem. Solid-state Lett.*, 6 (2) G27, 2003.
- [16]. Brad H. Lee and Kijung Yong, "Diffusion barrier properties of metalorganic chemical vapor deposition –WN_x compared with other barrier materials," *J. Vac. Sci. Technol. B* **22**, 2375, 2004.
- [17]. Kyung-Hoon Min, Kyu-Chang Chun, and Ki-Bum Kim, "Comparative study of tantalum and tantalum nitrides (Ta₂N and TaN) as a diffusion barrier for Cu metallization," *J. Vac. Sci. Technol. B* **14**, 3263, 1996.
- [18]. Dong Joon Kim, Yong Tae Kim, and Jong-Wan Park, "Nanostructured Ta-Si-N diffusion barriers for Cu metallization," *J. Appl. Phys.* **82**, 4847, 1997.
- [19]. Momtchil Stavrev *et al.*, "Behavior of thin Ta-based films in the Cu/barrier/Si system," *J. Vac. Sci. Technol. A* **17**, 993, 1999.
- [20]. Karen Holloway and Peter M. Fryer, "Tantalum as a diffusion barrier between copper and silicon," *Appl. Phys. Lett.* **57**, 1736, 1990.
- [21]. B. Y. Tsui and C. F. Huang, "Investigation of Cu/TaN metal gate for metal-oxide silicon devices," *J. Electrochem. Soc.* **150**, G22, 2003.
- [22]. J. O. Olowolafe, C. J. Mogab, R. B. Gregory, and M. Kottke, "Interdiffusions in Cu/reactive-ion-sputtered TiN, Cu/chemical-vapor-deposited TiN, Cu/TaN, and TaN/Cu/TaN thin-film structures: Low temperature diffusion analyses," *J. Appl. Phys.* **72**, 4099, 1992.
- [23]. Vee S.C. Len *et al.*, "An investigation into the performance of diffusion barrier materials

- against copper diffusion using metal-oxide-semiconductor (MOS) capacitor structures,” *Solid-State Electronics* **43**, 1045, 1999.
- [24]. D.-Y. Shih, C.-A. Chang, J. Paraszczak, S. Nunes, and J. Cataldo, “Thin-film interdiffusions in Cu/Pd, Cu/Pt, Cu/Ni, Cu/NiB, Cu/Co, Cu/Cr, Cu/Ti, and Cu/TiN bilayer films: Correlations of sheet resistance with Rutherford backscattering spectrometries,” *J. Appl. Phys.* **70**, 3052, 1991.
- [25]. H. Ono, T. Nakano, and T. Ohta, “Diffusion barrier effects of transition metals for Cu/M/Si multilayers (M=Cr, Ti, Nb, Mo, Ta, W),” *Appl. Phys. Lett.* **64**, 1511, 1994.
- [26]. A. Irajizad, Z. Vashaei, and S. M. Mahdavi, “Self aligned passivation of Cu in Cu/Cr, Cu/V and Cu/Ta multilayers,” Proc. Of the 12th IEEE International Conference on Microelectronics, 2000, p.209.
- [27]. 紀國鐘，鄭晃忠，*液晶顯示器技術手冊*，台灣電子材料與元件協會，2004.
- [28]. Fumiaki Funada and Masaya Hijikigawa, “Recent Trend of Display Devices,” Sharp, 1997.
- [29]. Yoshitaka Hibino, Tetsuya Tarui, Toshihiko Hirobe and Tolis Voutsas, “The Development of the New Low Resistive Material Bus-Line Process with Super High Aperture Ratio for High Resolution TFT-LCDs,” Sharp, 1999.
- [30]. C. Cabral *et al.*, “Evaluation of thermal stability for CMOS gate metal materials,” *J. Electrochem. Soc.* **151**, F283, 2004.
- [31]. Hisayuki SHIMADA *et al.*, “Threshold voltage adjustment in SOI MOSFET’s by employing tantalum for gate material,” *Tech. Dig. of IEDM*, p. 881, 1995.
- [32]. Daniel B. Thomasson and Thomas N. Jackson, “High mobility tri-layer a-Si:H thin-film transistors with ultrathin active layer,” *IEEE Electron Devices Lett.* **18**, 397, 1997.
- [33]. C. -O. Jeong *et al.*, “Mechanism of lowering contact resistance between transparent conducting oxide layer and Mo/Al/Mo layer in TFT-LCDs,” *SID '05 Digest*, 261, 2005.

- [34]. Je-Hsiung Lan and Jerzy Kanicki, "Planarized copper gate hydrogenated amorphous-silicon thin-film transistors for AM-LCD's," *IEEE Electron Devices Lett.* **20**, 129, 1999.
- [35]. Kyung Hwan JANG, Won Jeong LEE, Hyung Rae KIM, and Geun Young YEOM, "Etching of copper films for thin film transistor liquid crystal display using inductively coupled chlorine-based plasmas," *Jpn. J. Appl. Phys.* **43**, 8300, 2004.
- [36]. Cheong Min Hong and Sigurd Wagner, "Inkjet printed copper source/drain metallization for amorphous silicon thin-film transistors," *IEEE Electron Devices Lett.* **21**, 384, 2000.
- [37]. P. M. Fryer *et al.*, "A six-mask TFT-LCD process using copper-gate metallurgy," *SID '96 Digest*, 1, 1996.
- [38]. Takashi Onishi *et al.*, "Influence of adding transition metal elements to an aluminum target on electrical resistivity and hillock resistance in sputter-deposited aluminum alloy thin films," *J. Vac. Sci. Technol. A* **14**, 2728, 1996.
- [39]. H. Sirringhaus, S. D. Theiss, A. Kahn, and S. Wagner, "Self-passivated copper gates for amorphous silicon thin-film transistors," *IEEE Electron Devices Lett.* **18**, 388, 1997.
- [40]. W. H. Lee *et al.*, "A self-passivated Cu(Mg) gate electrode for an amorphous silicon thin-film transistor," *J. Appl. Phys.* **79**, 3962, 2001.
- [41]. Hitoshi Itow, Yasushi Nakasaki, Gaku Minamihaba, Kyoichi Suguro, and Haruo Okano, "Self-aligned passivation on copper interconnection durability against oxidizing ambient annealing," *Appl. Phys. Lett.* **63**, 934, 1993.
- [42]. C. J. Liu and J. S. Chen, "Low leakage current Cu(Ti)/SiO₂ interconnection scheme with a self-formed TiO_x diffusion barrier," *Appl. Phys. Lett.* **80**, 2678, 2002.
- [43]. Sang Wook Lee, Kyu Sik Cho, Byung Kwon Choo, and Jin Jang, "Copper gate hydrogenated amorphous silicon TFT with thin buffer layers," *IEEE Electron Devices Lett.* **23**, 324, 2002.

- [44]. Kurt D. Moser, "The manufacture and fabrication of tantalum," *JOM*, 29, 1999.
- [45]. M. T. Wang, Y. C. Lin, and M. C. Chen, "Barrier properties of very thin Ta and TaN layers against copper diffusion," *J. Electrochem. Soc.* **145**, 2538, 1998.
- [46]. G. S. Chen and S. T. Chen, "Diffusion barrier properties of single- and multilayered quasi- amorphous tantalum nitride thin films against copper penetration," *J. Appl. Phys.* **87**, 8473, 1993.
- [47]. Hilke Donohue, Herve Gris, Joon C Yeoh, and Keith Buchanan , " Low-resistivity PVD α - tantalum: Phase formation and integration in ultra-low k dielectric/copper damascene structures," *Proc. IITC 2002*, p.179.
- [48]. H. B. Nie *et al.*, "Structural and electrical properties of tantalum nitride thin films fabricated by using reactive radio-frequency magnetron sputtering," *Appl. Phys. A* **73**, 229, 2001.
- [49]. David A. Porter and Kenneth E. Easterling, *Phase transformations in metals and alloys*, Chapman & Hall, 1981.
- [50]. B. Y. Tsui et al., "Effect of Oxygen absorption on contact resistance between metal and carbon nano tubes(CNTs)," *2006 International Symposium on VLSI Technology, Systems, and Applications*, p. 86.
- [51]. Chih-Feng Huang and Bing-Yue Tsui, "Investigation of Thermal Reliability of Ta-Pt Alloy Metal Gate for Nano- MOSFET Devices," in *Proc. of the 11th Symposium on Nano Device Technology*, p.368-371, 2004.
- [52]. Chih-Feng Huang and Bing-Yue Tsui, "High Thermally Stable Metal Gates with Tunable Work Functions," in *Proc. of the 24th Int. Conf. on Microelectronics*, p.451-454, 2004.
- [53]. B. Y. Tsui and C. F. Huang, "Wide range work function modulation of binary alloys for MOSFET application," *IEEE Electron Devices Lett.* **24**, 153, 2003.
- [54]. Yuan Taur and Tak H. Ning, *Fundamentals of modern VLSI devices*, Cambridge

university press, 1998.

- [55]. Deepak A. Ramappa and Worth B. Henley, "Effects of copper contamination in silicon on thin oxide breakdown," *J. Electrochem. Soc.* **146**, 2258, 1999.
- [56]. Y. H. Lin, Y. H. Wu, A. Chin, and F. M. Pan, "The effect of copper on oxide integrity," *J. Electrochem. Soc.* **147**, 4305, 2000.
- [57]. Jung-Chao Chiou, Hong-I Wang, and Mao-Chieh Chen, "Dielectric degradation of Cu/SiO₂/Si structure during thermal annealing," *J. Electrochem. Soc.* **143**, 990, 1996.
- [58]. DIETER K. SCHRODER, *Semiconductor material and device characterization – 2nd ed.*, John Wiley & Sons, Inc., 1998.
- [59]. 汪建民主編, *材料分析- Material analysis*, 中國材料科學學會, 1998.
- [60]. Changsup Ryu, Alvin L. S. Loke, Takeshi Nogami and S. Simon Wong, "Effect of texture on the electromigration of CVD copper," *Proc. Of 35th IEEE IRPS*, 1997.
- [61]. S. M. Sze, *Physics of semiconductor devices – 2nd ed.*, John Wiley & Sons, Inc., 1981.
- [62]. Seok Ryong Jeon, Sung Wook Han, and Jong Wan Park, "Effect of rapid thermal annealing treatment on electrical properties and microstructure of tantalum oxide thin film deposited by plasma-enhanced chemical vapor deposition," *J. Appl. Phys.* **77**, 1996.
- [63]. 林家彬, 「新穎三閘極電晶體與薄膜電晶體之製程技術與特性研究」, 國立交通大學, 博士論文, 民國95年。

簡歷

姓名：李佳蓉

生日：71年6月2日

籍貫：台灣省嘉義縣

地址：高雄縣橋頭鄉白樹村合興街81號

學歷：國立成功大學電機工程學系畢

(89年9月~92年6月)

國立交通大學電子研究所碩士班畢

(93年9月~95年7月)

碩士論文題目：



鈮鉑合金於銅閘極薄膜電晶體上之應用

The application of TaPt alloy on Copper Gate Thin-film Transistors