

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

矽化鎳搭配高介電常數薄特性之研究

**A study on the Properties of NiSi /
High-K Film**

The logo of National Tsing Hua University is a circular emblem with a gear-like border. Inside the circle, there are stylized Chinese characters and the letters 'ES' and 'A'.

研 究 生：林孟漢

指 導 教 授：崔秉鉞 教授

中華民國九十五年九月

矽化鎳搭配高介電常數薄特性之研究

A study on the Properties of NiSi / High-K Film

研究生：林孟漢

Student : Meng-Ham Lin

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui

國立交通大學

電子工程學系 電子研究所

碩士論文

A Thesis

Submitted to Institute of Electronics
College of Electrical Engineering and Computer Science
National Chiao Tung University
in Partial Fulfillment of the Requirement
for the Degree of Master
in
Electronic Engineering
September 2006
Hsinchu, Taiwan, Republic of China

中華民國九十五年九月

矽化鎳搭配高介電常數薄膜特性之研究

研究生:林孟漢

指導教授:崔秉鉞

國立交通大學電子工程學系 電子研究所碩士班

摘 要

本論文研究矽化鎳搭配高介電常數薄膜的特性，利用不同材料分析方法，分析矽化鎳和高介電常數介電質薄膜的材料性質，量測矽化鎳/高介電常數薄膜/矽之金氧半電容結構之電性，綜合材料分析與電性量測結果，了解高介電常數介電質薄膜的特性。

材料分析的結果顯示 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 和 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 薄膜分別在 700°C 與 900°C 的退火後會發生 HfO_2 結晶相形成，意味著增加 Al 元素的添加可抑制 HfAlO 薄膜結晶。

高介電常數薄膜電容的電性量測，顯示 HfO_2 薄膜經過 600°C 退火後介面層成長導致電容等效厚度增加， $\text{HfAlO}(\text{Hf:Al}=9:1)$ 薄膜在 800°C 亦有介面層成長情形， $\text{HfAlO}(\text{Hf:Al}=7:3)$ 和 Al_2O_3 薄膜皆無介面層成長，顯示在高溫熱處理下，薄膜相當穩定。 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 薄膜在 900°C 退火後，等效電容下降，推測 HfO_2 結晶形成，造成介電常數值升高。

HfO_2 薄膜經過 500°C 退火後由於結晶化導致漏電流增加，經過 600°C 退火後因為介面層厚度增加所以漏電流下降。 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 其漏電流情況與 HfO_2 薄膜一樣。 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 和 Al_2O_3 薄膜漏電

流維持定值。

HfO_2 和 HfAlO (Hf:Al=9:1)薄膜在結晶溫度以上的沉積熱退火條件，有崩潰電場下降現象發生，可能是薄膜結晶時晶粒邊界有著大量缺陷或斷鍵而使得薄膜易於崩潰，Al 元素的添加可抑制 HfAlO 薄膜結晶，也提升崩潰電壓。

考慮所有的要素後， HfAlO 薄膜因為具有較佳的熱穩定性和可接受的電性，因此 HfAlO 薄膜為高介電常數材料中較佳的閘極絕緣層的選擇。



A Study on the Properties of NiSi/High-K Film

Student : Meng-Ham Lin

Advisor : Bing-Yue Tsui

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

ABSTRACT

The characteristics of NiSi FUSI gate/high dielectric constant dielectric gate stack were investigated. Four kinds of high dielectric constant (high-K) materials including HfO_2 , $\text{HfAlO}(\text{Hf:Al}=9:1)$, $\text{HfAlO}(\text{Hf:Al}=7:3)$, and Al_2O_3 were studied. The physical characteristics of these films were analyzed by X-ray Photoelectron Spectroscopy (XPS), X-ray diffraction (XRD), and Transmission Electron Microscopy (TEM). The electrical characteristics of high-K films such as hysteresis, effective dielectric constant, leakage current, breakdown field, as well as carrier transport mechanism were studied by measuring MOS capacitors.

The role of Hf/Al ratios in the high-K films determines the k-value, interfacial layer growth, crystallization temperature and leakage conduction. Material analysis shows that crystallization temperature of HfO_2 , $\text{HfAlO}(\text{Hf:Al}=9:1)$, $\text{HfAlO}(\text{Hf:Al}=7:3)$ and Al_2O_3 are 500, 700, 900 and over 1000 °C, respectively. The crystalline phase of HfO_2 is only formed in the HfAlO films. The incorporation of Al into HfO_2 thin films would suppress the crystallization of HfAlO films during high temperature annealing.

After 600°C annealing, the capacitance equivalent thickness (CET)

of HfO₂ increases due to the growth of SiO₂-like interfacial layer. The growth of interfacial layer appears at 800°C annealing for HfAlO(Hf:Al=9:1). The HfAlO(Hf:Al=7:3) and Al₂O₃ film have better thermal stability under high temperature post-deposition anneal (PDA). The CET of HfAlO(Hf:Al=7:3) decrease after 900°C PDA due to the increase of dielectric constant caused by the formation of higher k-value HfO₂ phase.

After 500°C anneal, the leakage current of HfO₂ film increase owing to the crystallization. The growth of interfacial layer suppresses leakage current at 600°C PDA. Similarly, the leakage current of HfAlO(Hf:Al=9:1) samples increase due to the crystallization and then decrease due to the interfacial layer growth. On the contrary, after high temperature PDA, HfAlO(Hf:Al=7:3) and Al₂O₃ samples almost have an constant leakage current and no interfacial layer growth.

The breakdown field of HfO₂ and HfAlO(Hf:Al=9:1) decreases above the temperature of crystallization, it may be resulted from the crystallization of high-K films. The crystallization of high-K film will create a lot of defects and broken bonds located in grain boundary. The more Al content in HfAlO film improves the quality and increases breakdown field.

In summary, HfAlO is an attractive candidate for next generation gate dielectric material because of its better thermal stability and acceptable electrical properties compared with HfO₂.

誌 謝

隨著碩士論文完成，研究所生涯即將結束，在這段時間我除了學到實驗態度與專業知識外，也改進不少自身缺點，這主要歸功於指導教授 崔秉鉞老師在論文和研究上的指導和教誨鼓勵，讓學生培養了獨立思考和研究能力，老師兩年來的教導讓學生獲益良多，謝謝老師。

其次感謝財團法人工業技術研究院和茂德科技股份有限公司給予實驗上的協助，特別感謝工業技術研究院 曾培哲博士在元件製作上給予完整的協助。也感謝國家奈米元件實驗室和交通大學奈米中心提供優良的機台設備以及管理完善的實驗環境。

在我研究所期間，首先感謝誌鋒學長，給予課業和實驗上的提攜與協助，讓我在實驗上更加順利。以及林家彬、吳偉豪、謝志民、盧季需學長，李佳蓉、吳明崎、黃永助同學，李振欽、李振銘、黃勻珮、洪玉仁和柳旭茹學弟妹，大面積實驗室、NEDT 實驗室、蘇老師、雷老師和趙老師實驗室的各位，於在實驗上的指導和幫忙，以及兩年來碩士生涯的照顧和陪伴，謝謝大家。

特別感謝家人對我的支持與栽培，讓我可以專心完成碩士學位，謝謝李彥臻小姐在碩士兩年一直陪伴在我身邊並給予我鼓勵，最後我只想對他們說，我愛你們!

目 錄

中文摘要.....	I
英文摘要.....	III
誌謝.....	V
目錄.....	VI
表目錄.....	VIII
圖目錄.....	IX
第一章 緒論	1
1-1 金氧半場效電晶體對金屬閘極之需求.....	1
1-2 互補式金氧半電晶體金屬閘極製程.....	3
1-3 高介電常數材料.....	6
1-4 金屬閘極搭配高介電常數材.....	8
1-5 研究動機.....	10
1-6 論文架構.....	11
第二章 元件製備流程與分析方法	19
2-1 高介電常數材料薄膜特性研究之電容製備.....	19
2-2 材料分析試片製作.....	21
2-3 材料分析方法.....	22

2-4	電性分析方法.....	24
第三章	材料分析結果討論.....	30
3-1	XPS 分析結果.....	30
3-2	XRD 分析結果.....	31
3-3	TEM 分析結果.....	33
第四章	電性分析結果討論.....	44
4-1	量測儀器與方法.....	44
4-2	電容-電壓特性量測.....	45
4-3	電流-電壓特性量測.....	49
4-4	結論.....	52
第五章	結論與未來展望.....	77
5-1	結論.....	77
5-2	未來展望.....	78
參考文獻	80
個人簡歷	91

表目錄

第二章

表2-1 高介電常數薄膜實驗條件。

表2-2 介電常數薄膜電容實驗條件。

第三章

表3-1 XPS 元素比例分析。

第四章

表4-1 高介電常數薄膜電性特性之比較。



圖目錄

第一章

- 圖1-1 圖 1-1 (a) NMOS 元件的能帶圖；(b) 複晶矽閘極空乏對電容值的影響。
- 圖1-2 一些基本材料的金屬功函數 (Φ_m) 與其對應在矽的導帶與價帶位置。
- 圖1-3 雙重金屬材料閘極製程。
- 圖1-4 使用金屬交互擴散於互補式金氧半電晶體。
- 圖1-5 利用氮的離子植入去調變金屬功函數。
- 圖1-6 複晶矽閘極金屬矽化示意圖。
- 圖1-7 (a) 金屬閘極與高介電常數材料之能帶圖；(b) 本質態正負電荷分佈。
- 圖1-8 (a) 各種介電材料之 S 與 ϵ_{∞} 之關係圖，(b) 不同的 S 下，等效金屬功函數 ($\Phi_{m, \text{eff}}$) 與真空金屬功函數 ($\Phi_{m, \text{vac}}$) 關係圖。

第二章

- 圖2-1 高介電常數薄膜電容製作流程

第三章

- 圖3-1 高介電常數薄膜的 XPS 圖。(a) Hf 4f, (b) Al 2p。
- 圖3-2 矽化鎳薄膜的 XRD 圖。
- 圖3-3 高介電常數薄膜的 XRD 圖。(a) HfAlO(Hf:Al=7:3), (b) HfAlO(Hf:Al=9:1)。
- 圖3-4 矽化鎳薄膜的 TEM 圖。(a) 矽化鎳薄膜, (b) 矽化鎳/二氧化矽之界面。
- 圖3-5 高介電常數薄膜的橫截面 TEM 圖。(a) HfO₂ PDA 400°C, (b) HfAlO(Hf:Al=9:1) PDA 500°C, (c) HfAlO(Hf:Al=7:3) PDA 600°C, (d) Al₂O₃ PDA 700°C。
- 圖3-6 高介電常數薄膜的平面 TEM 圖。(a) HfAlO(Hf:Al=7:3) PDA 900°C, (b) HfAlO(Hf:Al=9:1) PDA 700°C。
- 圖3-7 HfAlO(Hf:Al=7:3) 薄膜沉積後熱退火 900°C 之電子繞射圖。

第四章

- 圖4-1 高介電常數薄膜電容在 10k 和 100k 測量頻率下的 C-V 圖。
(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-2 高介電常數薄膜等效電容厚度對不同熱退火的關係。
- 圖4-3 高介電常數薄膜電容之電容等效厚度統計圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-4 高介電常數薄膜平帶電壓與沉積後熱退火關係。
- 圖4-5 高介電常數薄膜電容正掃反掃電容-電壓圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (b) Al_2O_3 。
- 圖4-6 遲滯大小與不同退火溫度關係。
- 圖4-7 高介電常數薄膜電容之遲滯統計圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-8 高介電常數薄膜電容之電流-電壓曲線圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-9 為高介電常數薄膜不同退火下，電容等效厚度與漏電流之關係。
- 圖4-10 閘極漏電流統計分佈圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-11 本論文高介電常數薄膜之漏電流與其它文獻比較圖。
- 圖4-12 高介電常數薄膜 F-P 漏電機制。
- 圖4-13 圖 4-13 高介電常數薄膜之陷阱能障高度圖。(a) HfO_2 , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$, (c) $\text{HfAlO}(\text{Hf:Al}=7:3)$, (d) Al_2O_3 。
- 圖4-14 高介電常數薄膜崩潰電場與沉積後熱處理關係圖。

第一章

緒論

1-1 金氧半場效電晶體對金屬閘極之需求

爲了提高互補式金氧半場效電晶體(CMOSFET)的效能與電路密度，閘極長度與閘極絕緣層厚度的縮減已成爲趨勢[1]，但是在尺寸縮減的過程中，複晶矽閘極和二氧化矽閘極絕緣層卻帶來以下的問題：

(1) 複晶矽閘極空乏(Poly-silicon gate depletion) [2-5]

由於複晶矽閘極空乏的影響，元件在反轉的情況下，複晶矽閘極會有輕微的空乏現象產生，如圖1-1[6]，使得等效二氧化矽厚度(effective oxide thickness, EOT)增加，造成電容值下降，降低元件的效能。

爲了降低複晶矽閘極空乏所造成的問題，我們可以提高N型和P型複晶矽閘極裡的雜質濃度（亦可解決複晶矽的電阻係數偏高的問題），但是雜質濃度在複晶矽閘極有一定的飽和濃度[7]。此外，一味地增加雜質濃度 會使得硼摻雜複晶矽閘極之硼穿透問題更加嚴重，進而影響元件效能[8-11]。

(2) 硼摻雜複晶矽閘極之硼穿透 (Boron penetration for doped

poly-Si gate) [8-11]

硼在後續高溫製程時，容易穿透閘極絕緣層造成通道濃度改變和閘極絕緣層劣化。此問題隨閘極絕緣層愈薄而愈嚴重。

(3) 複晶矽的電阻係數偏高(High gate resistance)

複晶矽的電阻係數偏高，實際的片電阻值(sheet resistance)約在50-100 Ω/\square ，不利於高速訊號傳輸。

上述三項問題，皆可由金屬閘極取代複晶矽閘極得以解決 [12-24]。

(4) 閘極漏電流增加(High gate leakage current)

在閘極絕緣層厚度越來越薄的趨勢下，閘極漏電流的問題也越來越嚴重[25-27]，爲了要解決此問題，勢必將二氧化矽換成高介電常數材料，如此一來可以得到較高的電容值和物理厚度較厚的的介電層。

如果要以金屬閘極取代複晶矽閘極，因爲金屬功函數(metal work function, Φ_m)對元件的臨界電壓(threshold voltage, V_{th})與效能有很大的影響，所以選擇適當的金屬閘極材料，將可降低N-型電晶體和P-型電晶體的臨界電壓且得到對稱的臨界電壓，更可以提高元件的驅動電流。

對於N-型電晶體和P-型電晶體，爲了得到較低且對稱的臨界電壓，N-型電晶體與P-型電晶體所需要閘極材料的功函數分別接近矽的導帶(conduction band)與價帶(valence band) [28]，所以兩者所需

要的閘極材料是不相同。在目前的製程中，對於N-型電晶體，我們使用 n^+ poly-Si作為其閘極材料；P-型電晶體則使用 p^+ poly-Si。雖然使用單一金屬作為N-型電晶體與P-型電晶體的金屬閘極可得到對稱的臨界電壓，但是實際上卻是不可實行，因為對於控制（short channel effect）的通道離子植入濃度所得到的臨界電壓太大，而通道的反摻雜（counter-doping）雖可以得到想要的臨界電壓，但是卻會降低短通道和關閉的特性而降低元件效能[28]。圖1-2[6]為一些基本材料的金屬功函數，值得注意的是金屬功函數與晶相、晶向和底下的閘極絕緣層材料有關。



1-2互補式金氧半電晶體金屬閘極製程

雙重金屬材料閘極製程

雙重金屬材料閘極製程就是分別使用兩個金屬材料於互補式金氧半電晶體上[12] [29]，適合N-型電晶體元素為Nb、Ta、Hf、Zr和Ti等功函數較低元素[30-31]，其化學活性較強（易於蝕刻），在高溫製程下易與週遭絕緣層產生反應，化學熱穩定性較差；適合P-型電晶體元素為Ir、Pt、Pd、Rh和Re等功函數較高元素[30-31]，優點為化學穩定性佳，但也因為此項特性，對於化學和電漿蝕刻抵抗力較高，不利於閘極圖案定義。

圖1-3是雙重金屬材料閘極製程的案例[6]，先沉積第一層金屬於

N-型電晶體上，然後再蝕刻P型電晶體上的第一層金屬，如圖1-3 (a) 所示。接下來我們再沉積第二層金屬，然後進行圖形定義之蝕刻如圖 1-3 (b) 所示。然後再沉積複晶矽於金屬上，如此一來，可以降低片 電阻 (sheet resistance)，還可以做源/汲極離子植入的遮蔽 (S/D implant blocking)，可以防止源/汲極離子植入打到金屬而改變其金屬功函 數。在接下來的高溫製程中，第一層金屬、第二層金屬和複晶矽間可 能會產生化學反應，所以會在三者間加入TiN作為阻擋層 (barrier layer) 防止化學反應或是交互擴散 (interdiffusion)。但是雙重金屬材 料閘極製程由於蝕刻的關係，閘極絕緣層材料暴露在蝕刻物之下，使 得閘極絕緣層材料會有變薄或是有損傷之現象產生，可以在閘極絕緣 層和第一層金屬之間加入氮化鋁 (AlN_x) 保護閘極絕緣層[32]，第一 層金屬可能與氮化鋁產生反應，第一層金屬的功函數就會改變，如 此一來也增加製程的複雜度。

金屬交互擴散

在雙重金屬材料閘極製程中，閘極絕緣層材料在蝕刻的過程中會 暴露在蝕刻物下，而有變薄或是損傷的情形產生，為了降低上述情況 的發生，就文獻提出金屬交互擴散的方式[17] [33]。如圖1-4所示[33]， 先沉積第一層金屬 (低功函數金屬) 於元件上，然後再沉積第二層金 屬 (高功函數金屬)，之後再作圖形定義之蝕刻，然後經高溫退火製

程第二層金屬會擴散至第一層金屬堆積在閘極介電層上，以達到功函數調變。目前使用於交互擴散製成的金屬有Ni-Ti、Ru-Ta和Si-Al.....等。以Ni-Ti為例[33]，其功函數調變調變幅度相當大，可得到較低且對稱臨界電壓，而金屬交互擴散製程可以藉由金屬厚度比例、組成成分、退火時間和溫度來控制金屬功函數。

單金屬閘極製程

最常見的單金屬閘極製程就是利用離子植入去調變金屬功函數，如圖1-5所示[34-35]，我們用光阻遮住P-型電晶體，利用氮的離子植入將P-型金屬摻雜為N-型金屬以得到我們想要的金屬功函數，接著沉積複晶矽並完成閘極圖形定義，此製成類似傳統複晶矽製程，大部分金屬不易由此種方式達到雙金屬功函數，目前只有鉬金屬（只適用於P-型電晶體）能夠就由此製程調變功函數，而金屬功函數主要是跟離子植入的能量、摻雜量和退火溫度有關。

全矽化金屬閘極製程

以發表於金屬閘極的矽化物為NiSi[20-23] [37]、PtSi[36]、TiSi[37]、CoSi₂[21] [38]、Co_xNi_{1-x}Si[21]和Ni_{1-x}Pt_xSi[36]，如圖1-6[6]所示，全矽化金屬閘極製程就是在複晶矽閘極沉積一層金屬，然後進行高溫退火製程以達金屬矽化（silicidation），在金屬矽化的過程中就會消化完複晶矽，金屬矽化物會停在閘極絕緣層上，形成金屬矽化物

閘極[38]，如圖1-6所示。而全矽化所形成的金屬矽化物可藉由摻雜週期表上三族（In、B）或五族元素（Sb、As和P）調整功函數[20-24] [39]，全矽化金屬功函數調變主要是跟摻雜種類和摻雜劑量有關[20-24]。 $\text{Co}_x\text{Ni}_{1-x}\text{Si}$ 和 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}$ 可以藉由改變Ni的比例調變功函數，但是若摻雜三族或五族元素， $\text{Co}_x\text{Ni}_{1-x}\text{Si}$ 就無法改變Ni的比例調變功函數。此外，鎳的金屬矽化物的功函數隨晶相而改變[40-42]，晶相可藉由鎳和矽的厚度比與金屬矽化溫度去控制，例如鎳的矽化物，其晶相包含NiSi、 Ni_{13}Si 、 NiSi_2 和 Ni_2Si [40] [42]。

1-3高介電常數材料

高介電常數材料簡介



隨著金氧半場效電晶體尺寸微縮，閘極氧化層的厚度也迅速下降，隨之而來閘極漏電流和可靠度問題越來越嚴重，使得閘極氧化層厚度無法變薄。兼顧提高閘極電容值和降低來閘極漏電流的前提下，唯一的解決辦法就是將閘極氧化層替換為高介電常數材料。常見的高介電常數材料有 ZrO_2 （19-25）[43-45]、 Al_2O_3 （~9）[46-48]、 TiO_2 （40-86）[49]、 Ta_2O_5 （30-75）[50]、 Y_2O_3 （14-17）[51-52]和 HfO_2 （~25）[53-60].....等，但不是所有的高介電常數材料都可作為金氧半場效電晶體的閘極絕緣層，介電常數太大會造成太大的邊緣電場（fringing field）[61]，邊緣電場太大會降低通道處的能障而影響閘

極對通道的控制能力，使得通道關閉時的漏電流增加。 Y_2O_3 (14-17) 和 Al_2O_3 (~9) 的介電常數太小，對元件效能提升有限。一個好的高介電常數材料必須要有以下的特性：適當的能帶錯位、良好的熱穩定性、較低介面狀態密度和可靠度.....等，在目前的高介電常數材料中，以二氧化鈺(HfO_2)最受人矚目，其優點為高的介電常數(~25)，夠大的能隙(~5.8eV)，和矽之間有夠高的反應自由能(47.6 kcal/mole, 727°C) [62]。但是二氧化鈺的結晶溫度相當低(300~400°C) [62]，這將會限制之後的製程溫度，雖然Hf-silicate最近已經被發現可以增加材料的結晶溫度，但是silicates的介電常數通常小於15，這對於元件的微縮是一個相當大的挑戰。在二氧化鈺裡添加鋁元素則可提升其結晶溫度[62-64]，6.8%的Al可以使結晶溫度提升至500~600°C之間，繼續提升Al含量至31.7%則可增加至850~900°C之間。增加Al含量固然可使得結晶溫度提高，但是卻會使得介電常數和能隙下降，降低元件的效能。

高介電常數材料膜製備方式

一般高介電常數材料的沉積方式有下列幾種，物理氣相沉積(PVD) [53] [65-67]、金屬有機化學氣相沉積(MOCVD) [68-69]、噴射氣相沉積(JVD) [63] [70]和原子層化學氣相沉積(ALCVD) [58] [71-75]。物理氣相沉積的優點是薄膜製備容易，且可輕易加入新元素

於薄膜中（不像CVD方式，需要新元素precursor），所以物理氣相沉積常用來評估新材料。但物理氣相沉積容易對基板造成破壞和薄膜均勻性較差，且高能氧電漿會造成會造成非預期性的界面層。金屬有機化學氣相沉積是一項非常成熟的沉積技術，容易控制薄膜的化學特性，金屬有機化學氣相沉積所用的反應物容易在反應過後造成C-、H-和OH-的雜質污染。原子層化學氣相沉積是最有可能沉積高品質的高介電常數介電層的沉積方式，它可以準確的控制原子尺度下的厚度，並可以藉由沉積時的控制去改變薄膜元素的組成比例。

1-4金屬閘極搭配高介電常數材料的問題

金屬閘極/高介電常數材料介面層問題

對於金屬閘極的元件來說，金屬閘極和介電質的介面(interface)特性是非常重要的，以前都認為金屬在介電質上的等效功函數(effective work function)與真空功函數是一樣，但是這與實驗的結果不合，這是因為金屬閘極和介電質的介面上有能態(energy state)的緣故，故在介電質上的等效功函數與真空的真空功函數不一樣，這就是費米限定(Fermi pinning) [76-81]，此外亦有研究認為費米限定和Hf-Si鍵結有關 [78-80]。

而這些介面層上的能態可分為本質能態(intrinsic states)和異質能態(extrinsic states)，能態存在於金屬和介電質間的介面、金屬和半導

體間的介面或是半導體和半導體間的介面上。

本質能態

本質能態可分為兩種，一為靠近價帶(E_V)呈donar-like state，另一為靠近導帶(E_C)呈acceptor-like state，而這些存在於energy gap上的energy state其特性為donar-like或是acceptor-like則是由charge neutrality level (E_{CNL})來控制，由圖1-7所示，若是金屬和介電質未接觸時，charge neutrality level (E_{CNL})在介電質的能隙中間， E_{CNL} 以下的能態填滿電子而帶 $-q$ ，以上的能態因未填電子而帶 $+q$ ，因為 E_{CNL} 在介電質的能隙中間，所以donar-like state與acceptor-like state的電性成電中性。當金屬和介電質接觸之後，metal Fermi level($E_{F,m}$)在charge neutrality level (E_{CNL})之上，故金屬費米能階($E_{F,m}$)以下填滿電子，由圖1-12 [77]我們可以看到，donar-like state與acceptor-like state並不呈電中性，而帶電本質能態的產生耦極 (Dipole)，使得金屬費米能階($E_{F,m}$)朝向charge neutrality level (E_{CNL})，消彌耦極而變成電中性，所以等效金屬功函數 ($\Phi_{m,eff}$) 不同於真空金屬功函數 ($\Phi_{m,vac}$)。

等效金屬功函數 ($\Phi_{m,eff}$) 跟 E_{CNL} 和 S (slope parameter) 有關，如公式 (1) 所示。

$$\Phi_{m,eff} = \Phi_{CNL,d} + S(\Phi_{m,vac} - \Phi_{CNL,d}), \quad (1)$$

S爲：

$$S = \frac{1}{1 + 0.1(\epsilon_{\infty} - 1)^2}. \quad (2)$$

由公式(1)和(2)可知，當 $S \rightarrow 0$ (即 $\epsilon_{\infty} \rightarrow \infty$) $\Phi_{m,eff} = \Phi_{CNL,d}$ ，此時等效金屬功函數被介電質材料限定住，所以等效金屬功函數就等於介電質材料的 $\Phi_{CNL,d}$ 。若 $S = 1$ ，則等效金屬功函數 ($\Phi_{m,eff}$) 等於真空金屬功函數 ($\Phi_{m,vac}$)，在此種材料上，不管金屬材料其等效金屬功函數 ($\Phi_{m,eff}$) 等於真空金屬功函數 ($\Phi_{m,vac}$)，如由圖1-8[6]所示。

異質能態



等效金屬功函數與真空的真空金屬功函數的差異是由於本質能態上的耦極所造成，而在製程中，則會造成異質能態的產生，例如：在 SiO_2 上的TiN，在高溫退火 ($> 850^\circ\text{C}$) 前後，其等效金屬功函數 ($\Phi_{m,eff}$) 將會不同，這是因爲異質能態的產生，造成等效金屬功函數 ($\Phi_{m,eff}$) 的偏移。而異質能態主要是由於製程中有缺陷 (defects) 或是介面反應 (interfacial reaction) 的所致。

1-5 研究動機

金屬閘極不只能消弭複晶矽閘極空乏和硼穿透所衍生的影響，更能解決複晶矽的電阻係數偏高，此外金屬閘極較複晶矽更相容於高介

電係數材料，在諸多優點下，金屬閘極搭配高介電係數材料已成為當前最熱門的題材。

爲了在高效能元件上，得到對稱的臨界電壓，有很多金屬閘極材料與製程已經被廣泛研究，其中以矽化鎳的全矽化金屬閘極最受人矚目。全矽化金屬閘極爲自動對準矽化（self-align silicide）延伸，與傳統製程相匹配，減少不少製程上的難度，矽化鎳可利用三、五族元素摻雜做功函數調變。此外，其矽化溫度低，不會對元件造成太大的熱積存（thermal budget）。

在各種高介電係數材料，二氧化鋁已經廣泛被研究，主要是因爲它有夠高的介電常數（ ~ 25 ），夠大的能隙（ $\sim 5.8\text{eV}$ ），和矽之間有夠高的反應自由能（ 47.6 kcal/mole , 727°C ）。但是二氧化鋁的結晶溫度相當低（ $300\sim 400^\circ\text{C}$ ），如圖1-7[15]所示，這將會限制之後的製程溫度，對於HfAlO而言其結晶溫度可以隨著鋁元素的比例進行調變[15]，所以選擇適當的鋁元素比例，將可得到HfAlO適合的結晶溫度、能隙和介電常數。

在本論文中，我們以ALD沉積高品質的高介電常數薄膜，研究高介電常數薄膜沉積後退火，對高介電常數薄膜的材料性質和電性結結果之影響。

1-6論文架構

第二章介紹矽化鎳/高介電常數薄膜/矽之金氧半電容結構的製備流程。第三章利用不同的材料分析方法，XRD分析矽化鎳的晶相與晶向，以XPS分析HfAlO₃薄膜Hf/Al元素比例，以TEM分析微區晶粒結構。第四章為電容電性分析，第五章為本論文的結論和後續研究之建議。



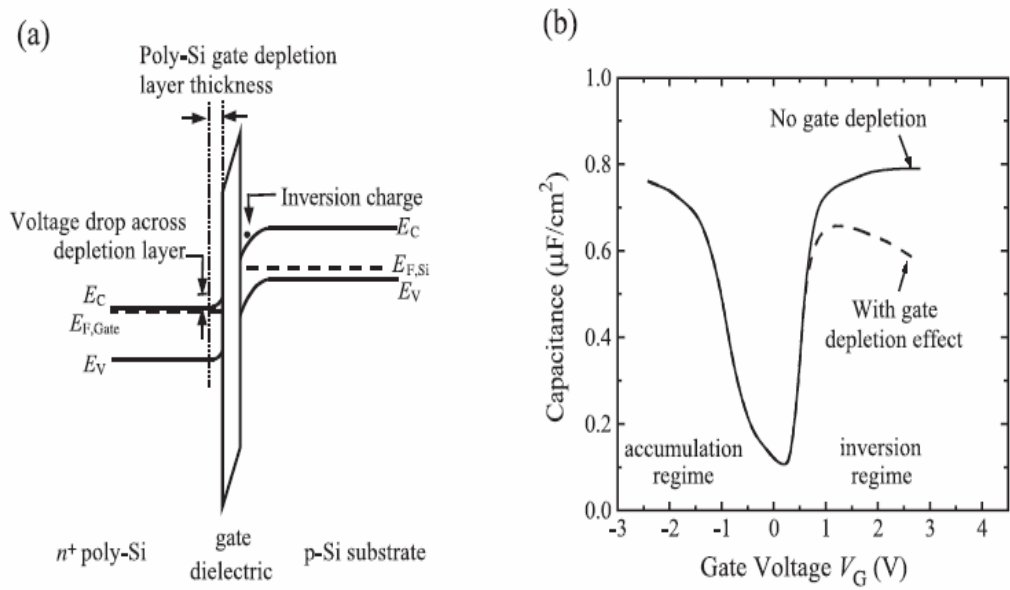


圖 1-1 (a) NMOS 元件的能帶圖；(b) 複晶矽閘極空乏對電容值的影響[6]。

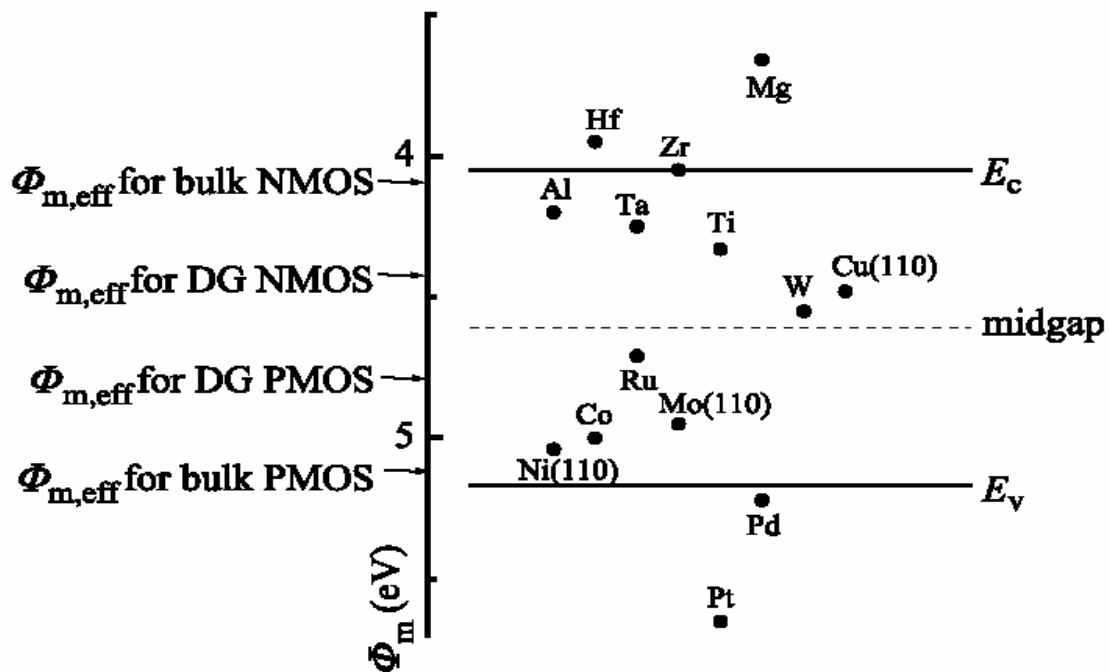


圖 1-2 一些基本材料的金屬功函數 (Φ_m) 與其對應在矽的導帶與價帶位置[6]。

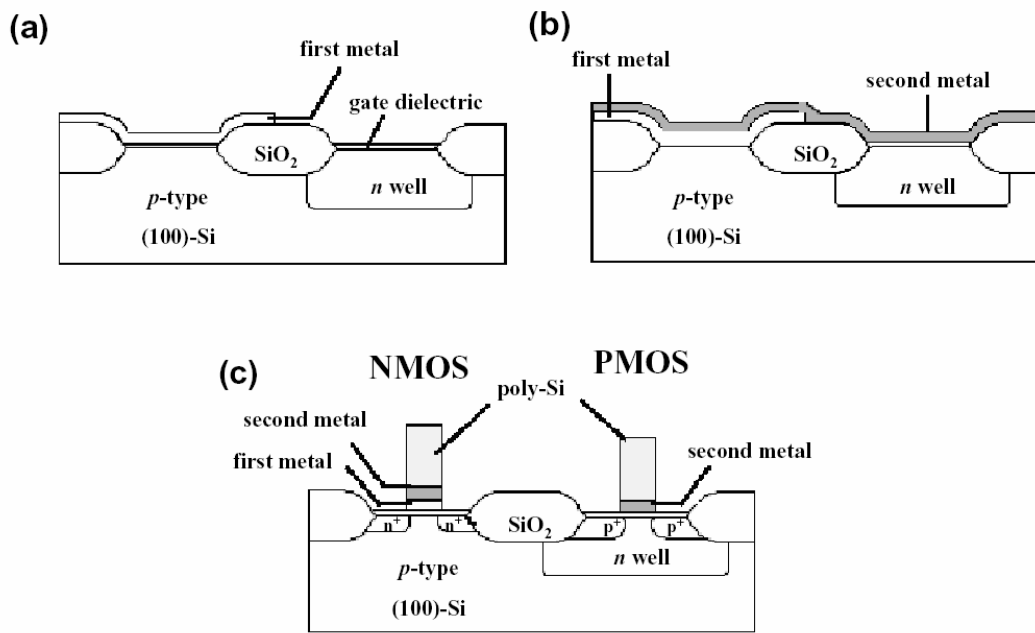


圖 1-3 雙重金屬材料閘極製程[6]。

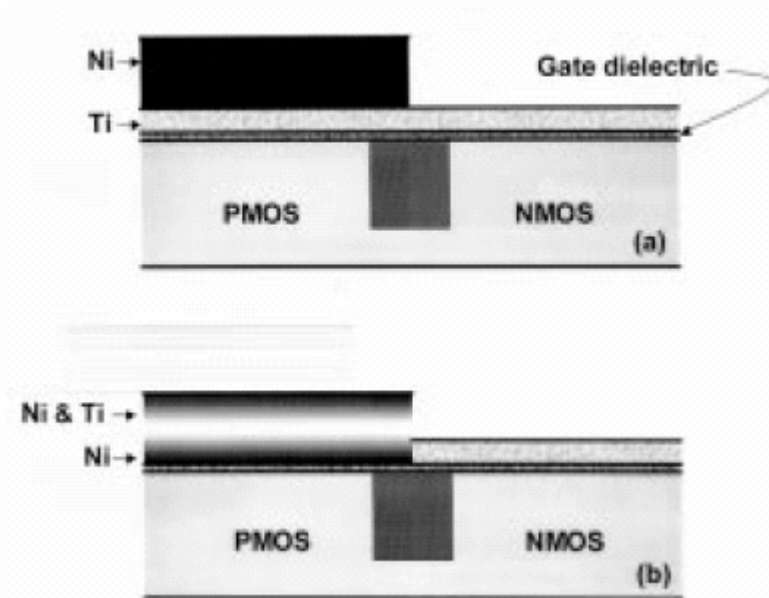
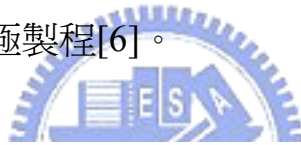


圖1-4 使用金屬交互擴散於互補式金氧半電晶體 [33]。

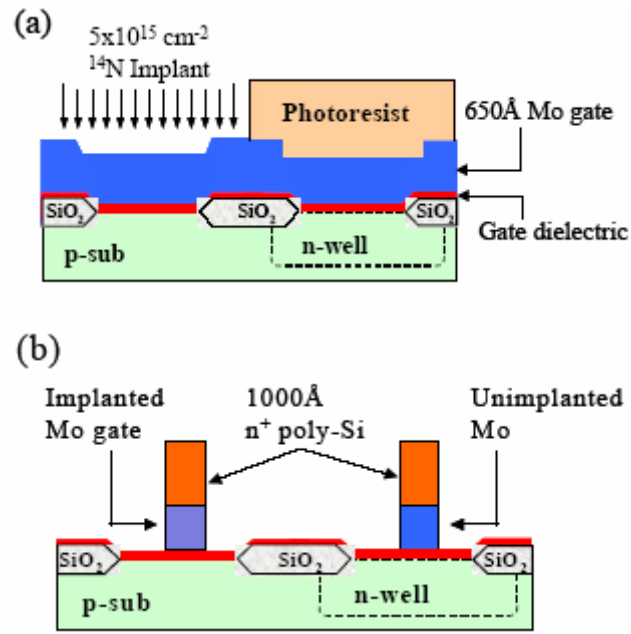


圖 1-5 利用氮的離子植入去調變金屬功函數[34]。



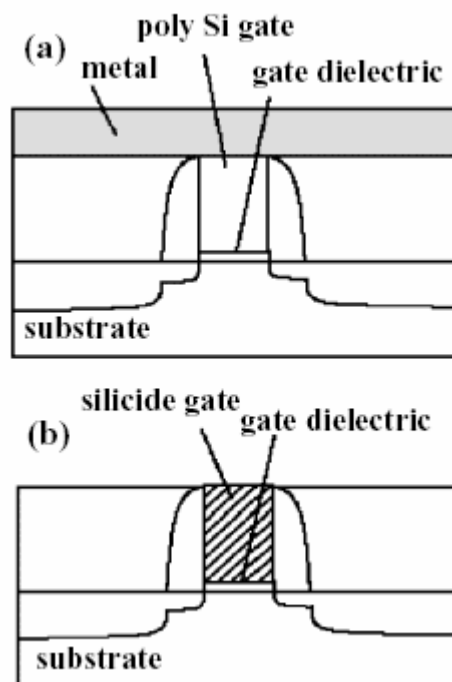


圖 1-6 複晶矽閘極金屬矽化示意圖[6]。



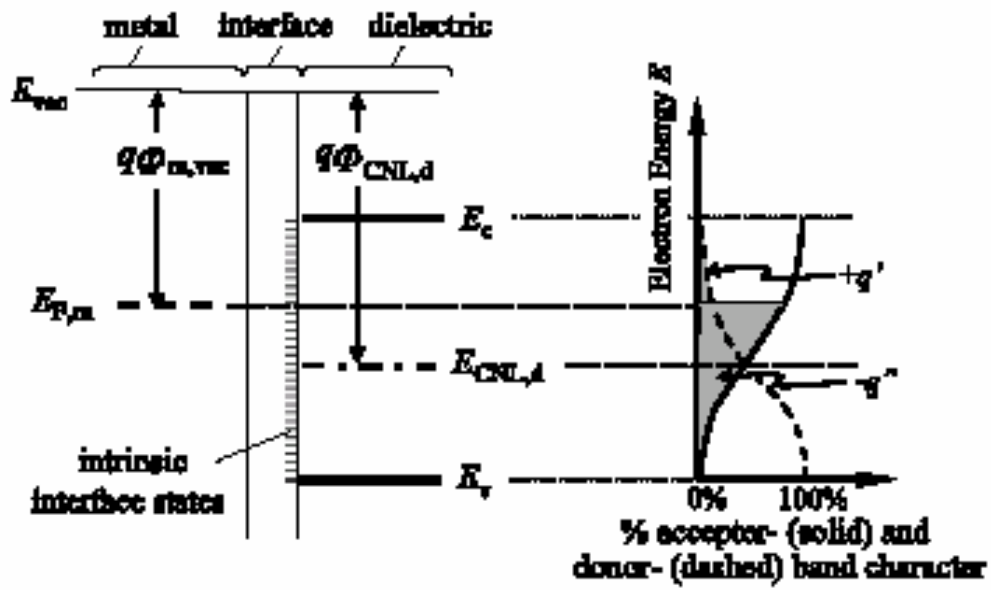


圖 1-7 (a) 金屬閘極與高介電常數材料之能帶圖；(b) 本質態正負電荷分佈 [77]。



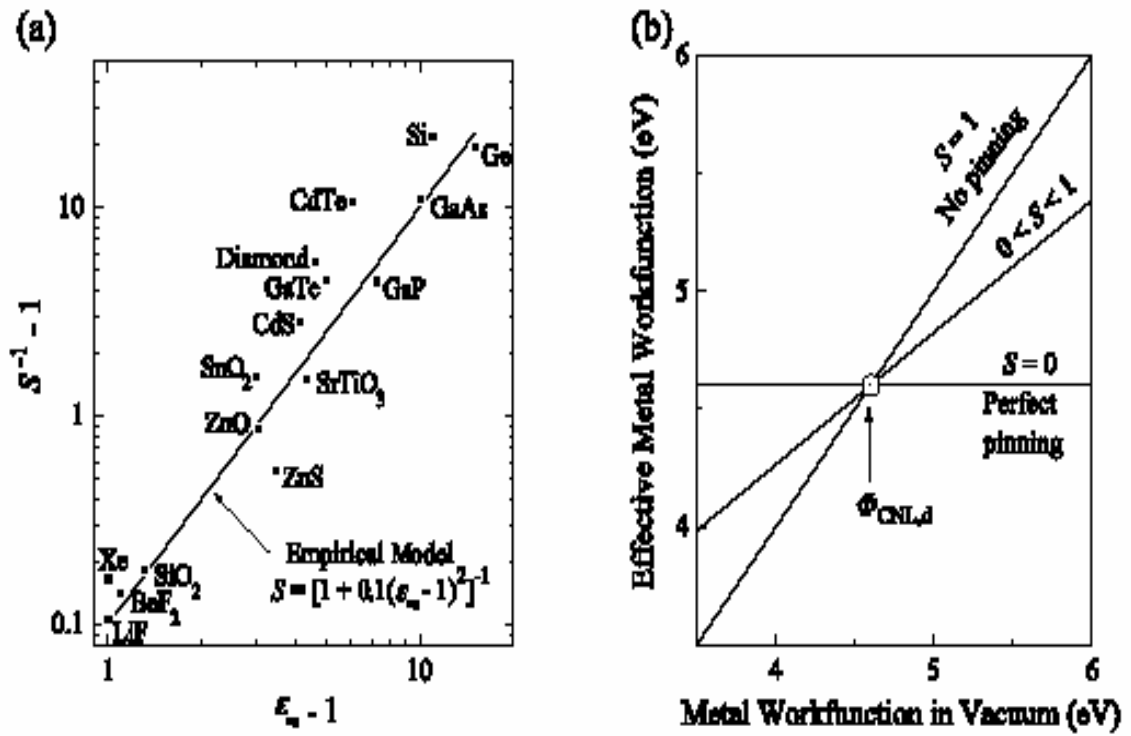


圖 1-8 (a) 各種介電材料之 S 與 ϵ_{∞} 之關係圖，(b) 不同的 S 下，等效金屬功函數 ($\Phi_{m, \text{eff}}$) 與真空金屬功函數 ($\Phi_{m, \text{vac}}$) 關係圖[6]。

第二章

元件製備流程與分析方法

本章說明高介電常數材料實驗條件、試片製備，以及材料分析目的、分析試片製作和電性分析之技術。以原子層化學氣相沉積系統 (ALD) 沉積高介電常數薄膜 (Al_2O_3 、 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 、 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 和 HfO_2) 在矽基板，進行不同溫度 (400~1000°C) 的高介電常數薄膜沉積後退火(PDA)之實驗條件，之後沉積非晶矽、蒸鍍鎳金屬，接著高溫矽化，形成閘極為矽化鎳之金氧半電容結構，材料分析方面，著重於分析矽化鎳的晶相(phase)與晶向(orientation)與高介電常數材料結晶情形與薄膜微區結構，此外，亦進行高介電常數材料 HfAlO 之 Hf 和 Al 元素比例分析，電性分析方面，從電容-電壓和電流-電壓特性量測討論電容等效厚度(Capacitance Equivalent Thickness, CET)、遲滯現象(hysteresis)、高介電常數薄膜的閘極漏電流和載子穿隧機制等特性。

2-1 高介電常數材料薄膜特性研究之電容製備

我們成長不同種類的高介電常數薄膜(Al_2O_3 、 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 、 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 和 HfO_2)，藉由材料分析和電性分析之結果，分析這四種高介電常數薄膜之差異，以下為高介電常數薄膜電容之製備流

程。

1. 4 吋 (100) 方向的磷摻雜之矽晶片經過標準 RCA 清洗步驟後，以乾式氧化 (dry oxide) 成長 20nm 之二氧化矽，作為晶背離子植入的犧牲氧化層，晶背離子植入在背鍍鋁時可以形成良好的歐姆接觸。晶背離子植入能量為 80keV，劑量 $5 \times 10^{15} \text{ cm}^{-3}$ 。(圖 2-1 (a))

2. 經過 RCA 清洗步驟後，以濕式氧化 (wet oxide) 1050°C，52 分鐘，成長 500nm 之二氧化矽，作為場氧化層 (field oxide)，而這一步 1050°C 的高溫亦可活化晶背植入離子。

3. 利用黃光製程在場氧化層定義主動區 (active area)，接著使用二氧化矽蝕刻液 (BOE) 蝕刻主動區上之場氧化層，之後用硫酸去除光阻。(圖 2-1 (b))

4. 在標準的 RCA 清洗步驟後，進行 SC1 ($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=0.25:1:5$) 的表面處理，將矽晶片浸泡在溫度 75°C 的 SC1 溶液中 600 秒，成長化學氧化層，之後用原子層化學氣相沉積系統 (ALD)，沉積厚度約 3nm 的不同高介電常數薄膜，如表 2-1 所示，其反應物分別為 HfCl_4 、 $\text{Al}(\text{CH}_3)_3$ 和 H_2O ，沉積溫度為 300°C。(圖 2-1 (c))

5. 以快速升溫退火 (RTA) 對實驗樣品，進行不同溫度 (400~1000°C)

的高介電常數薄膜沉積後退火(PDA) 30 秒。

6. 在做完高溫熱退火後，以低壓化學氣相沉積爐管(LPCVD)在 550°C 製程溫度下成長約 60nm 的非晶矽薄膜，之後利用黃光製程定義閘極區域，之後用硫酸去除光阻。

7. 接著將晶片浸泡於氫氟酸大約 2 分鐘，消除硫酸去除光阻步驟成長之原生氧化層 (native oxide)，以電子槍蒸鍍系統蒸鍍約 50nm 的鎳金屬，接著將實驗試片以快速升溫退火 500°C 30 秒，進行矽化，因為非閘極的區域並無非晶矽薄膜，所以只有閘極區域形成矽化鎳。之後以硫酸去除未反應之鎳金屬。(圖 2-1 (d))



8. 用 BOE 去除晶背因浸泡硫酸時成長之二氧化矽，以確保晶背是乾淨的矽表面，利用熱阻絲蒸鍍系統 (thermal coater) 在晶片背面蒸鍍 500nm 的鋁金屬 (圖 2-1 (e))，詳細的實驗條件與製作流程如表 2-2。

2-2 材料分析試片製作

XRD 分析試片

高介電常數材料與矽化鎳分析試片皆為未圖案之薄膜，高介電常數薄膜分析試片為矽基板上沉積約 25nm 的薄膜(成分分別為

HfAlO(Hf:Al=7:3) 和 HfAlO(Hf:Al=9:1))，厚度量測是用國家奈米元件實驗室 (National Nano Device Laboratories, NDL) 的 N&K 測厚儀 (N&K Analyzer1200)，接著進行不同溫度 (700~1000°C) 的高介電常數薄膜沉積後退火 30 秒，完成 XRD 分析試片，而矽化鎳分析試片製作方式是在 HfAlO/場氧化層/矽基板上沉積 60nm 的非晶矽薄膜，之後蒸鍍 50nm 的鎳金屬，快速升溫退火 500°C 30 秒進行矽化，完成矽化鎳分析試片製作。

TEM 分析試片

橫截面(cross section)TEM 試片為矽化鎳/高介電常數薄膜/矽基板之電容結構，製作方式是聚焦離子束與電子束顯微系統(FIB/SEM)以鎵離子源進行試片切割，接著進行 TEM 分析區域細切，然後削薄至寬度小於 100nm 以下，方便穿透式電子顯微鏡(TEM)分析。

XPS 分析試片


XPS 分析試片為未圖案高介電常數薄膜 (分別為 HfAlO(Hf:Al=7:3) 和 HfAlO(Hf:Al=9:1))/矽基板之結構，兩者厚度均為 25nm 左右，之後進行溫度 900°C 的高介電常數薄膜沉積後退火 30 秒，完成分析試片製作。

2-3 材料分析方法

XRD 分析

使用交大奈米科技中心的高解析度 X 光繞射儀(High Resolution X-ray diffractometer, Bade, D1) 來進行矽化鎳的晶相及晶向分析，判斷本實驗中鎳/矽厚度比例與 500°C 30 秒的矽化條件是否會形成 NiSi。高介電常數薄膜沉積後為非晶相，但接下來的沉積後熱退火可能會造成結晶，晶界(grain boundary)形成漏電路徑，使得漏電流增加，利用 XRD 分析高介電常數材料薄膜在不同沉積後熱退火溫度下晶相變化，以釐清電性量測的漏電結果。

TEM 分析



穿透式電子顯微鏡(TEM)分析主要是使用交大奈米科技中心的場發射穿透式電子顯微鏡(Field Emission Transmission Electron Microscope, JEOL, JEM-2100F)，橫截面(cross-sectional)TEM 試片是由交大奈米中心的聚焦離子束與電子束顯微系統(FIB/SEM, FEI Nova 200)製作，平面(plane-view)TEM 試片則是委託閎康科技公司製作。藉由穿透式電子顯微鏡(TEM) 橫截面分析，可以判斷矽化鎳全矽化和高介電常數材料薄膜在不同沉積後退火之上下介面層成長，全矽化與介面層成長將會影響電性量測的電容等效厚度結果，造成高介電常數薄膜 K 值粹取上的困難。另外，穿透式電子顯微鏡平面分析主要觀察沉積後退火結晶情形，輔以電子束繞射圖形

(diffraction pattern)分析高介電常數材料薄膜的晶相。

XPS 分析

一般元素比例分析都是用拉塞福回向散射譜儀(RBS)，由於高介電常數薄膜厚度約在 3nm，所以會有矽基板的訊號影響，加上 Al 與 Si 原子序相當接近，Al 元素的訊號亦受到矽基板影響，增加分析上的難度。因此採用 X 光光電子能譜儀(XPS) 之 X 光光束照射實驗試片，偵測游離發射光電子動能，推算光電子的束縛能，進而研判發射光電子之原子的元素種類及其化學態，比較 XPS 能譜中各元素訊號峰值面積大小，換算實驗試片之元素組成比例，進行高介電常數薄膜 HfAlO 中 Hf 和 Al 元素比例分析。



2-4 電性分析方法

電容-電壓量測

使用 HP/Agilent 型號為 4284A 之精密型 LCR 錶量測矽化鎳/高介電常數材料/矽的金氧半電容結構的高頻電容-電壓(C-V)壓特性，量測頻率為 100 KHz，其施加的交流小訊號為 25mV，量測方式由反轉區(inversion)掃描向聚集區(accumulation)，由聚集區的電容值求得電容等效厚度，搭配 TEM 分析結果，可粹取高介電常數薄膜等效介電

常數值(K 值)。此外，也加入 10 KHz 量測頻率，探討其它寄生元件對電容值影響，並藉由 10 KHz 和 100 KHz 兩種頻率進行修正，得到正確的電容值。

利用量測所得之平帶電壓(flat band voltage)分析矽化鎳金屬在不同的高介電常數薄膜之功函數，和沉積後退火對高介電常數薄膜內電荷改變之效應。此外，正掃與反掃電容-電壓量測所得平帶電壓飄移，探討不同高介電常數薄膜沉積後退火之遲滯效應。

電流-電壓量測

使用 Agilent 4156C 半導體參數分析儀量測矽化鎳/高介電常數薄膜電容結構的電流-電壓特性，探討各種沉積後退火對於漏電流大小的影響，搭配 TEM 分析結果，判斷介面層成長之電性影響，決定其崩潰電場，評估原子層化學氣相沉積之介電層品質好壞，研究不同高介電常數薄膜和各種沉積後退火之載子穿隧機制，釐清載子穿隧機制。

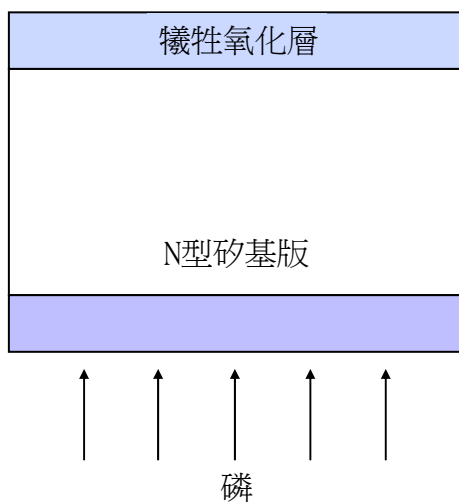
表 2-1 高介電常數薄膜實驗條件

介電層	沉積後熱退火
Al_2O_3	700°C、800°C、900°C、1000°C，30s
$\text{HfAlO}(\text{Hf:Al}=7:3)$	600°C、700°C、800°C、900°C，30s
$\text{HfAlO}(\text{Hf:Al}=9:1)$	500°C、600°C、700°C、800°C、900°C，30s
HfO_2	400°C、500°C、600°C、700°C，30s

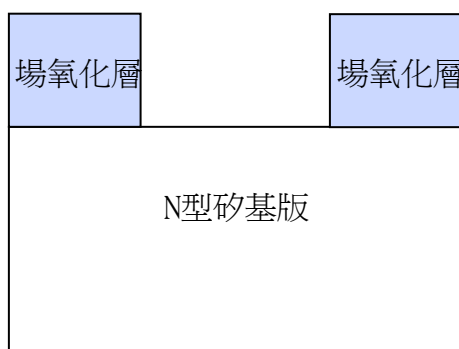


表 2-2 高介電常數薄膜電容實驗條件

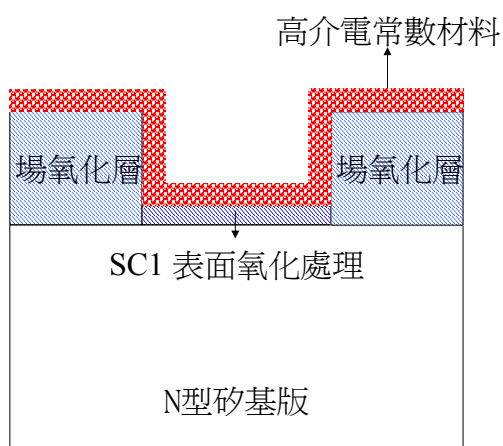
製程步驟	條件
1.RCA 清洗	
2.犧牲氧化層	900°C , 20nm
3.晶背離子植入	P , 80Kev , $5 \times 10^{15} \text{ cm}^{-3}$
4.場氧化層	1050°C , 500nm
5.電容圖案定義	
6.RCA 清洗	
7.SC1 前處理	75°C , 600s
8.ALD High-K 沉積	3nm
9. High-K 沉積後熱退火	400°C~1000°C
10.a-Si 沉積	60nm
11.閘極圖案定義	
12.濺鍍鎳金屬	50nm
13.鎳金屬矽化	500°C , 30s
14.晶背蒸鍍鋁	500nm



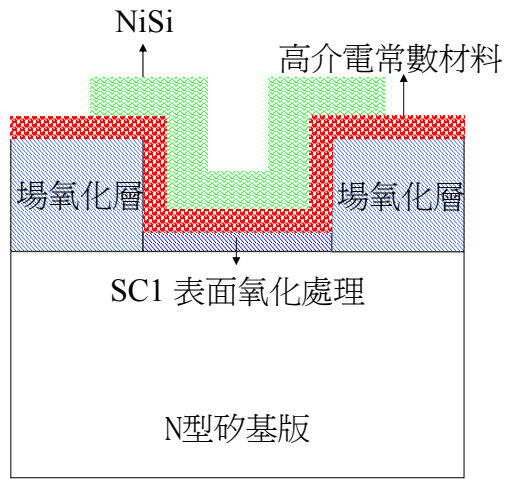
(a)



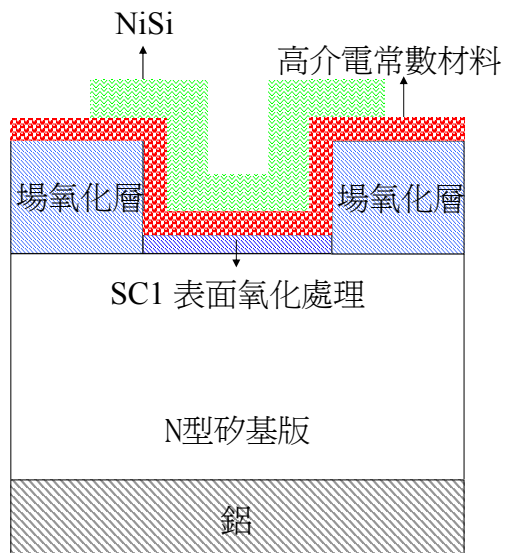
(b)



(c)



(d)



(e)

圖 2-1 高介電常數薄膜電容製作流程

第三章

材料分析結果討論

本章利用不同的材料分析方法，研究矽化鎳和高介電常數薄膜的材料特性，以 X 光薄膜繞射儀分析矽化鎳晶相及晶向，和高介電常數薄膜在沉積後退火結晶情形；以穿透式電子顯微鏡分析矽化鎳和高介電常數薄膜界面或是高介電常數薄膜表面的微結構；以電子束繞射圖形分析高介電常數材料薄膜的晶相。藉由材料分析的結果我們對高介電常數薄膜的物性有一定程度的了解，可以在下一章佐證電性量測之結果。



3-1 XPS 分析結果

XPS 能譜上的主要訊號來自光電子，光電子訊號峰的位置及形狀與原子內的電子組態有密切的關係，可得知薄膜試片的元素種類及其化學態，此外，比較薄膜試片各元素的光電子訊號峰值面積大小，可以決定薄膜內元素成份的原子濃度，對 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 和 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 進行 Hf 和 Al 元素比例分析。本實驗是以氬作為參考值，扣除系統飄移量，對薄膜試片進行氬離子轟擊分別 30 秒與 60 秒後再做 XPS 分析，由圖 3-1(a)與(b)可以看到 Hf 4*f* 和 Al 2*p* 的光電子訊號，無明顯的複合訊號，為一單型態化學鍵結，其中 Hf 4*f*_{7/2} 峰

值位於 17.0 eV，Al 2p 峰值位於 74.2 eV，此訊號分別代表 Hf-O 與 Al-O 鍵結[82]，說明 HfAlO 薄膜是以氧化鈦化合物與氧化鋁化合物組成，將光電子訊號峰值代入 3-1 式

$$\rho_n/\rho_m = (I_n/I_m)(K_m/K_n) \quad (3-1 \text{ 式})$$

ρ_n 與 ρ_m 為元素的原子密度(atoms/cm³)， I_n 和 I_m 為光電子訊號強度， K_n 和 K_m 為相對靈敏度(relative sensitivity factor, RSF)，一般， K_n 和 K_m 可由參考手冊中查得[82]。得到 Hf 和 Al 元素比例分析如表 3-1 所示，兩試片 30 與 60 訊號幾乎一樣，意味著兩試片縱深成份均勻，HfAlO(Hf:Al=7:3)與 HfAlO(Hf:Al=9:1)中的 Hf:Al 原子比分別為 7:3 與 9:1，儘管兩 HfAlO 薄膜成分比明顯不同，並不因組成比差異而有化學鍵結飄移，兩薄膜成分中氧化鈦及氧化鋁化合物有相同的化學鍵節能，推測成分中為兩獨立的化合物 HfO₂ 與 Al₂O₃ 所混合，將於下一節中利用結晶狀態分析驗證晶相是否為 HfO₂ 或 Al₂O₃。

3-2 XRD 分析結果

藉由 X 光薄膜繞射儀分析可以得知 500°C 30 秒的金屬矽化條件下的鎳金屬矽化物晶相。分析試片為未圖案的矽化鎳/HfAlO/二氧化矽/矽基板之結構，由於 HfAlO 和二氧化矽厚度分別約為 3nm 與 500nm，且二氧化矽為非晶相，X 光薄膜繞射分析的矽化鎳訊號不會受到 HfAlO 和二氧化矽的影響。由圖 3-2 矽化鎳的 XRD 圖，可以佐

證本實驗的定鎳金屬矽化物其晶相為 NiSi。分析對於高介電常數薄膜 (HfAlO(Hf:Al=7:3)和 HfAlO(Hf:Al=9:1))的結晶溫度，高介電常數薄膜 X 光繞射如圖 3-3(a)所示，HfAlO(Hf:Al=7:3) 800°C 的 XRD 圖並未有任何訊號峰出現，意味著在沉積後 800°C 熱退火 HfAlO(Hf:Al=7:3)仍為非晶相結構，在 900°C 的 XRD 圖就有訊號峰出現，分別位於 $2\theta = 31.1$ 、 36.0 及 52.1 ，訊號代表晶相/晶向分別為單協晶體(monoclinic crystal) $\text{HfO}_2/(111)$ 、正交晶體 (orthorhombic crystal) $\text{HfO}_2/(012)$ 及正交晶體 (orthorhombic crystal) $\text{HfO}_2/(121)$ ，對應的晶隔間距(d-spacing)分別為 2.823 、 2.95 及 2.025 \AA ，經 $1000 \text{ }^\circ\text{C}$ 退火後出現的晶相/晶向與 900°C 試片相同，其訊號較強半高寬較小意味晶粒成長，就 HfAlO(Hf:Al=9:1)而言，經 $700 \text{ }^\circ\text{C}$ 退火後，便出現結晶訊號，如圖 3-3(b)所示，其晶相/晶向與 HfAlO(Hf:Al=9:1)相同，兩介電質主要差異在於 Hf/Al 成分比，HfAlO(Hf:Al=7:3)含有較高 Al 原子比例，結晶溫度明顯比 HfAlO(Hf:Al=9:1)高，意味著增加 Al 可使抑制 HfAlO 薄膜結晶，此由已發表文獻，純 HfO_2 結晶溫度約為 $500 \text{ }^\circ\text{C}$ [83]，純 Al_2O_3 結晶溫度高於 $1000 \text{ }^\circ\text{C}$ 吻合[63]，HfAlO 薄膜結晶晶相為 HfO_2 且前一節說明 HfAlO 薄膜以氧化鈦化合物與氧化鋁化合物獨立存在，推測抑制 HfAlO 結晶機制，當 HfAlO 薄膜形成 HfO_2 結晶相時，需析出非結晶氧化鋁化合物，過多的氧化鋁成分將會使 HfO_2 無法結晶或抑制晶粒

成長。

3-3 TEM 分析結果

利用穿透式電子顯微鏡觀察矽化鎳和二氧化矽橫截面，分析試片為矽化鎳/二氧化矽/矽基板之電容結構，以集結式電漿輔助化學氣相沉積系統(plasma enhanced CVD) 在矽化鎳沉積一層約 30nm 的二氧化矽，由圖 3-4(a) 矽化鎳薄膜厚度約在 70~80nm 左右，圖 3-4(b)清楚顯示矽化鎳和二氧化矽界面，而無非晶矽殘留，可以推斷 500°C 30 秒的金屬矽化條件下會形成全矽化物。

預計成長 3nm 厚的不同種類的高介電常數薄膜(HfO₂、HfAlO(Hf:Al=9:1)、HfAlO(Hf:Al=7:3)和 Al₂O₃)，藉由穿透式電子顯微鏡橫截面分析確認實際成長厚度，由圖 3-2 我們可以看到高介電常數薄膜約為 3.6~3.8nm，這和預計沉積厚度 3nm 有著些微的差距，此外，高介電常數薄膜和矽基板之間的二氧化矽厚度為 0.4~0.5nm，這與文獻發表之 SC1 表面前處理生成二氧化矽厚度相當接近[84]。於圖 3-2(a)我們可以看到，HfO₂ 薄膜與矽化鎳之間有著明顯的介面層，厚度接近 0.4nm，這有可能是之後沉積非晶矽薄膜的 550°C 製程條件下成長，此介面層將會提高電容等效厚度降低高介電常數薄膜等效介電常數值，其它高介電常數薄膜橫截面 TEM (圖 3-5 (b) ~ (d))，並無介面層成長的問題。

由圖 3-6 平面 TEM 影像，可以得知 HfAlO(Hf:Al=7:3)在高達 900°C 的高介電常數薄膜沉積後退火 30 秒下，在 50nm 的 scale bar 下，有非常明顯結晶化的現象產生看到，這與 XRD 的結果相當吻合，顯示電容結構中 3.7nm HfAlO(Hf:Al=7:3)薄膜在 900°C 後退火 30 秒下，就會結晶[63]。重點是晶粒結構緊密排列，而不是常見的局部結晶，類似的結晶層在 MOCVD 的 HfO₂ 薄膜發現過 [85]。而 HfAlO(Hf:Al=9:1) 在 700°C 只有些微區域有結晶，3.6nm 的 HfAlO(Hf:Al=9:1) 薄膜的結晶溫度應接近 700°C。900 °C HfAlO(Hf:Al=7:3)電子繞射圖如圖 3-7，其中繞射點反應單晶矽電子繞射，用以參考，繞射點為經 Si(011)晶格面繞設形成，繞射環反應 HfAlO 薄膜結晶相/晶向，繞設環分別為晶格面間距(d-spacing)2.82 與 1.66 Å，所代表的晶相/晶向為 HfO₂/(111)與 HfO₂/(202)，由於 HfAlO(Hf:Al=7:3)薄膜結晶為 HfO₂ 晶粒，推測結晶過程中 HfAlO 薄膜中非結晶 Al₂O₃ 會被析出至於 HfO₂ 晶格邊界，如圖 3-6(a)中明顯的晶格邊界。

以上材料分析結果對電性的影響，將在下一章討論。

表 3-1 XPS 元素比例分析

高介電常數薄膜	離子轟擊時間	Hf(%)	Al(%)
HfAlO(Hf:Al=9:1)	30s	88.6	11.4
HfAlO(Hf:Al=9:1)	60s	90.22	9.78
HfAlO(Hf:Al=7:3)	30s	68.67	31.33
HfAlO(Hf:Al=7:3)	60s	68.49	31.51



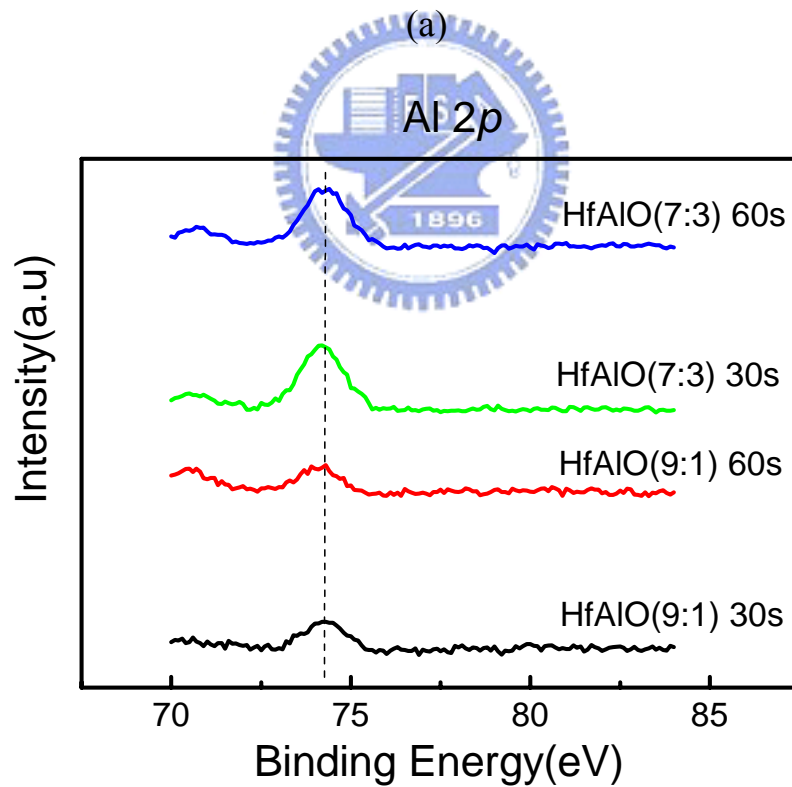
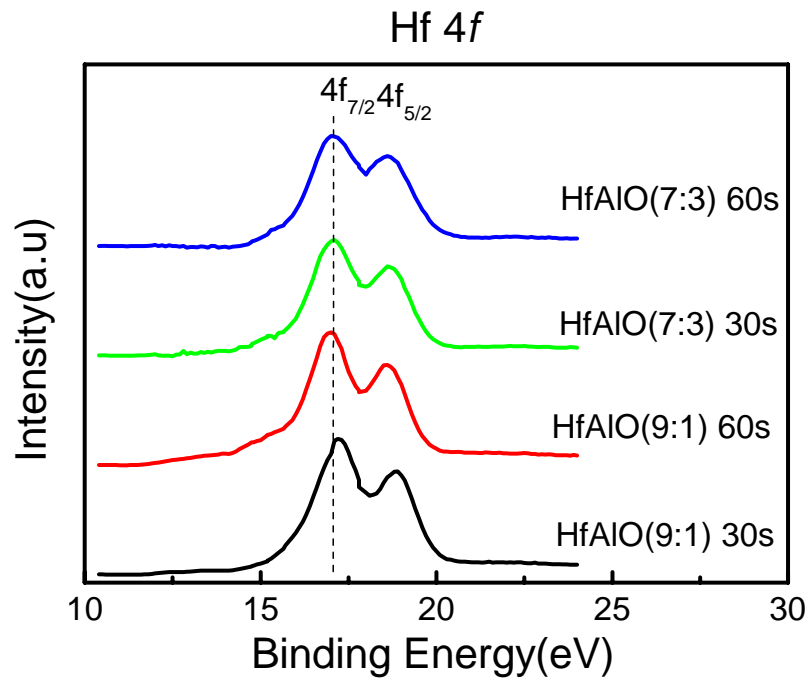


圖 3-1 高介電常數薄膜的 XPS 圖。 (a) Hf 4f， (b) Al 2p。

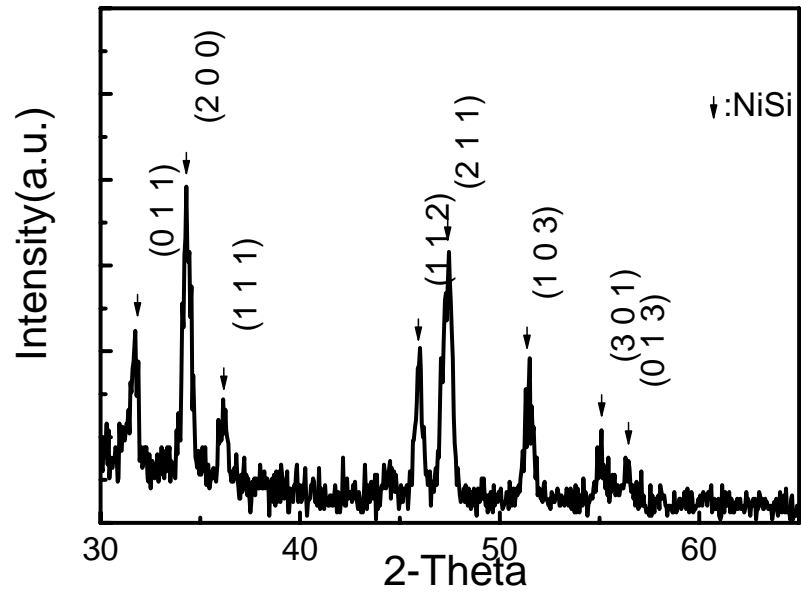
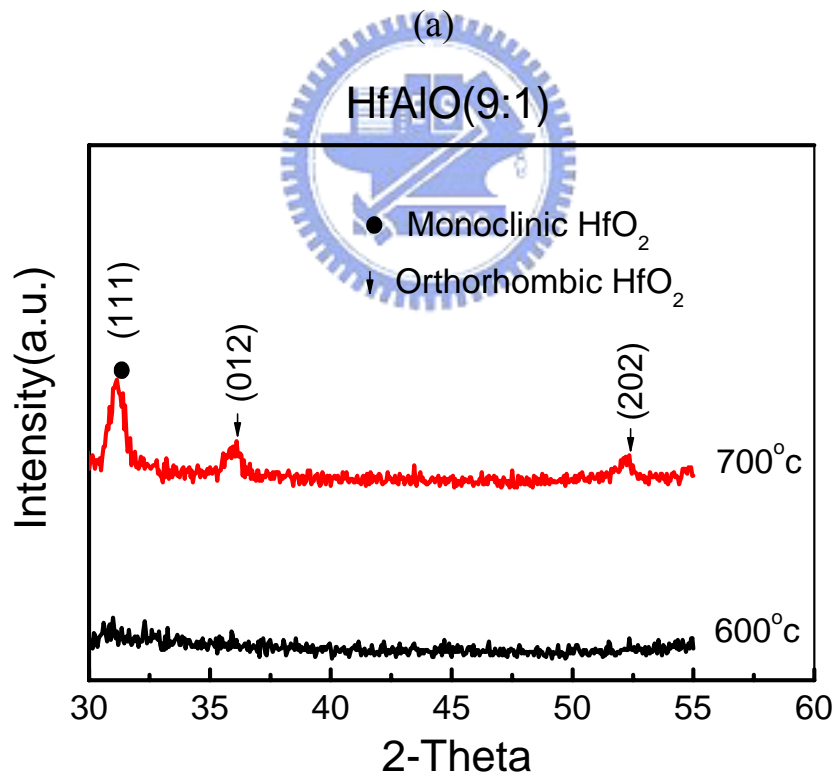
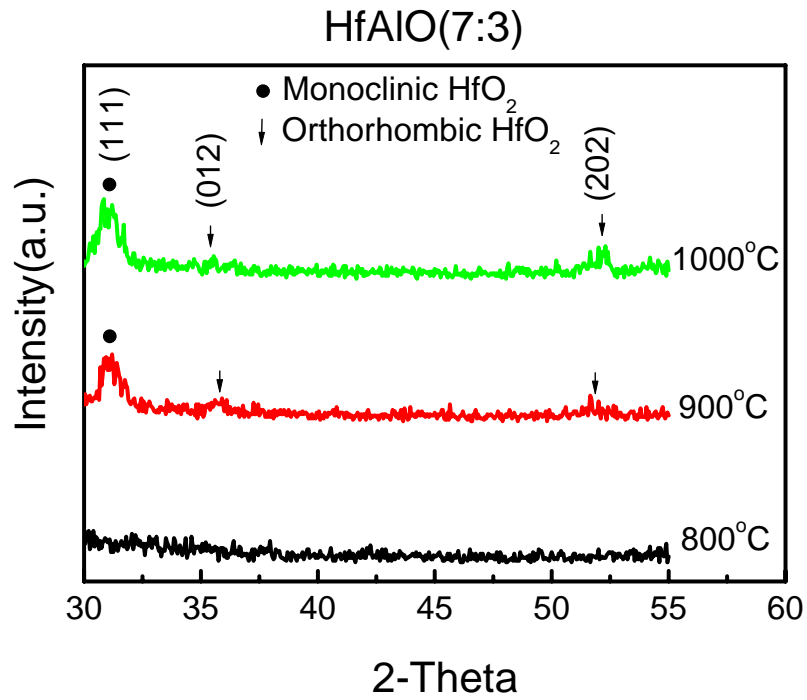


圖 3-2 矽化鎳薄膜的 XRD 圖。

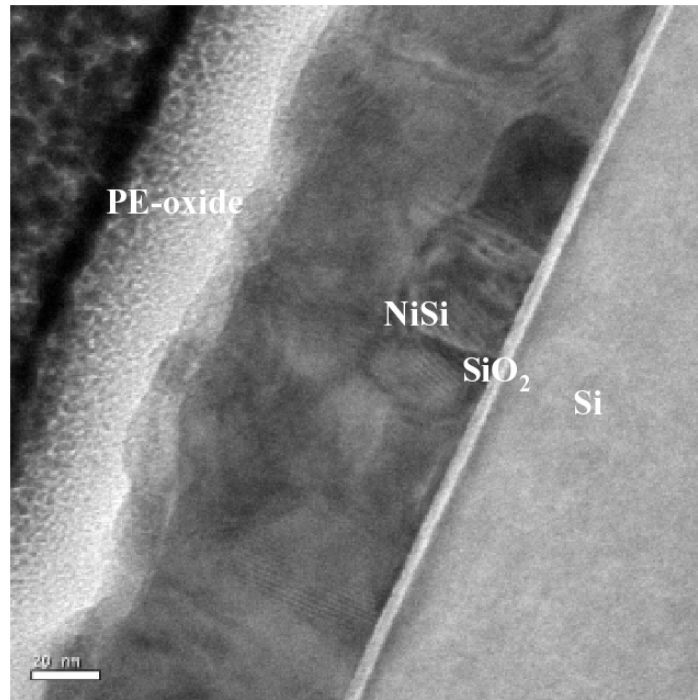




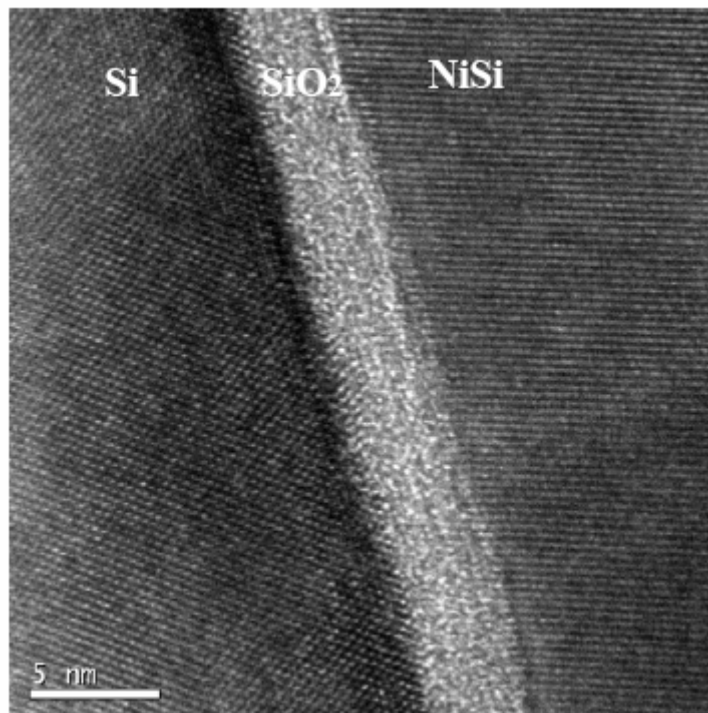
(b)

圖 3-3 高介電常數薄膜的 XRD 圖。(a) HfAlO(Hf:Al=7:3)，(b)

HfAlO(Hf:Al=9:1)。

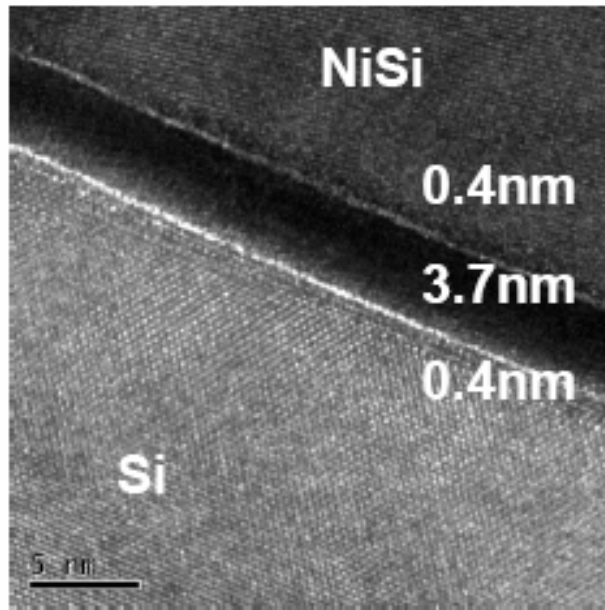


(a)

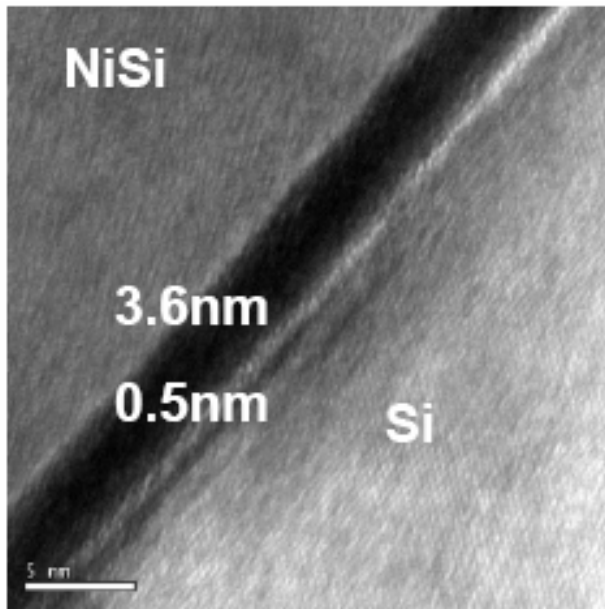


(b)

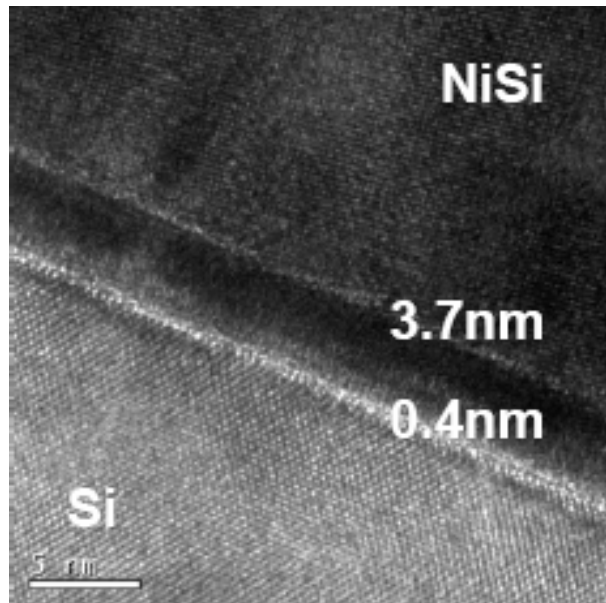
圖 3-4 矽化鎳薄膜的 TEM 圖。(a) 矽化鎳薄膜，(b) 矽化鎳/二氧化矽之界面。



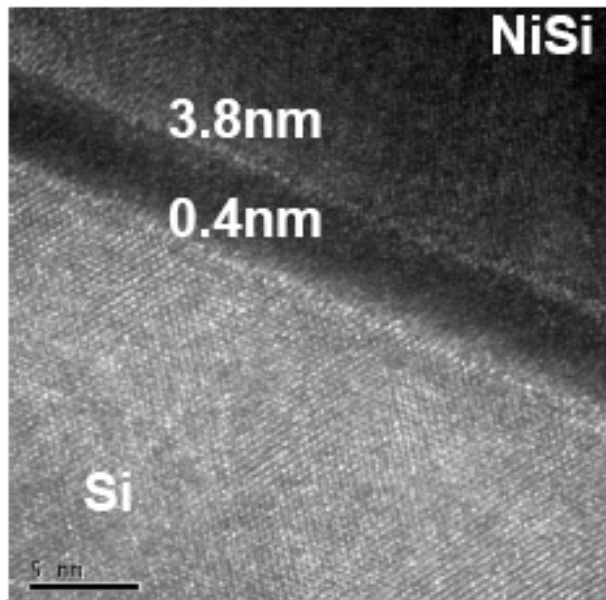
(a)



(b)

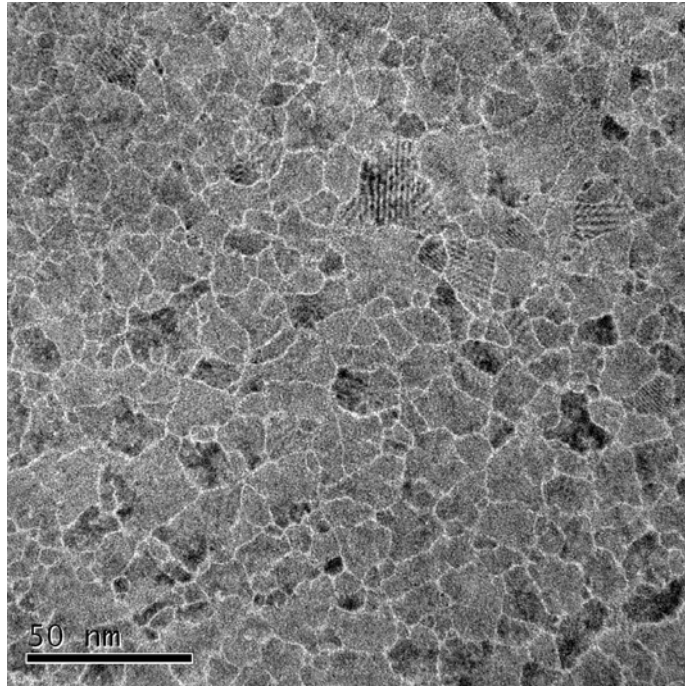


(c)

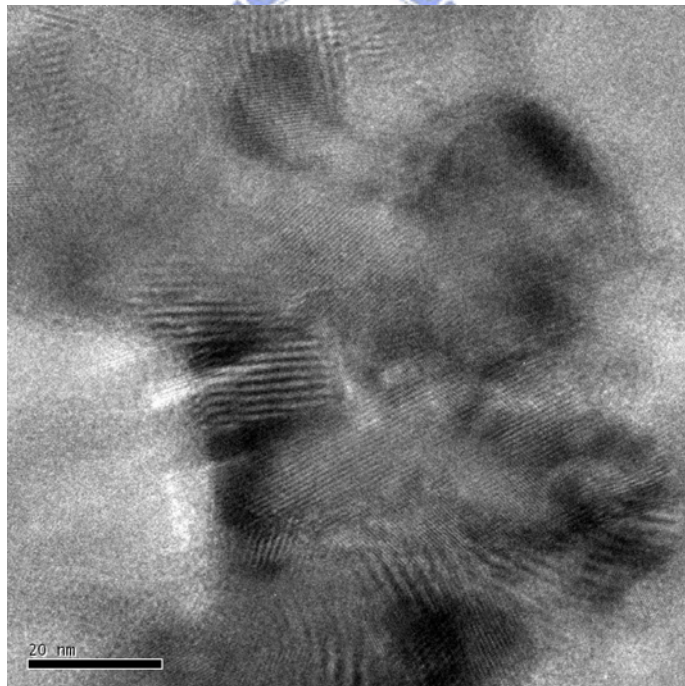


(d)

圖 3-5 高介電常數薄膜的橫截面 TEM 圖。(a)HfO₂ PDA 400°C，
(b)HfAlO(Hf:Al=9:1) PDA 500°C，(c)HfAlO(Hf:Al=7:3) PDA 600°C，
(d)Al₂O₃ PDA 700°C。



(a)



(b)

圖 3-6 高介電常數薄膜的平面 TEM 圖。 (a) $\text{HfAlO}(\text{Hf:Al}=7:3)$ PDA 900°C , (b) $\text{HfAlO}(\text{Hf:Al}=9:1)$ PDA 700°C 。

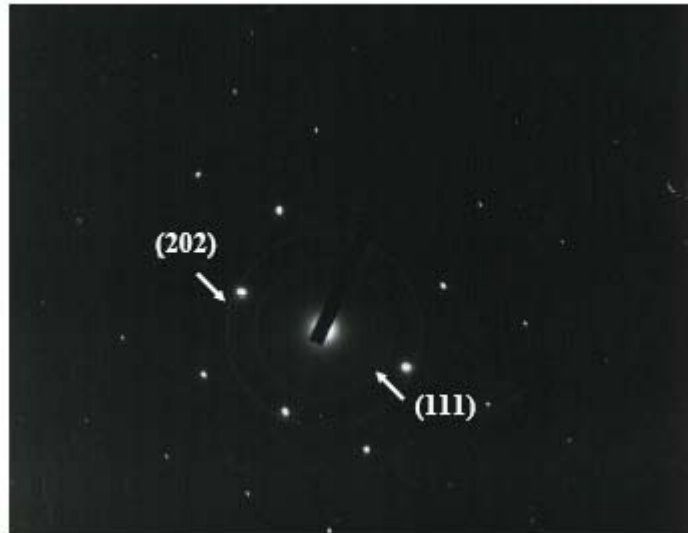


圖 3-7 HfAlO(Hf:Al=7:3)薄膜沉積後熱退火 900 °C 之電子繞射圖。



第四章

電性分析結果討論

在本章分析與探討了高介電常數絕緣薄膜的基本電性，從電容-電壓和電流-電壓特性量測討論高介電常數絕緣薄膜沉積後熱退火對電容等效厚度(Capacitance Equivalent Thickness, CET)、遲滯現象(hysteresis)、閘極漏電流的影響，包含研究該絕緣薄膜漏電流機制。

4-1 量測儀器與方法

量測高頻電容-電壓(C-V)特性，量測頻率為 100KHz，其施加的交流小訊號為 25mV，量測方式由反轉模式(inversion)掃描向聚集模式(accumulation)，由聚集模式的電容值求得電容等效厚度(CET)，粹取方式依據 4-1 式:

$$CET = \frac{\epsilon_0 \epsilon_{SiO_2} A}{C_{acc}} \quad (4-1 \text{ 式})$$

其中 C_{acc} 為偏壓在聚集區的電容值， A 為電容結構之面積， ϵ_0 為真空介電常數和 ϵ_{SiO_2} 為二氧化矽的介電常數，求得電容等效厚度包含介面層部分(為二氧化矽)與高介電絕緣層部分，如 4-2 式所示:

$$CET = t_{ox} + \frac{3.9}{\epsilon_{High-K}} t_{High-K} \quad (4-2 \text{ 式})$$

其中 ϵ_{High-K} 為高介電質 HfAlO 介電常數， t_{High-K} 為 HfAlO 薄膜實際厚度，藉由 TEM 分析得到二氧化矽厚度(t_{ox})和高介電常數薄膜厚度

($t_{\text{High-K}}$)，依據 4-2 式求取高介電質介電常數。若元件漏電流過大時，會造成電容值量測誤差，以二頻率(two frequency)方法修正量測電容值，選取之頻率為 10 KHz 與 100 KHz。

平帶電壓(flatband voltage, V_{fb})是由電容-電壓曲線粹取，由已知矽基材雜質濃度，推算出平帶電容值，其對應的電壓即為平帶電壓，當元件有明顯磁滯現象時，平帶電壓由由負偏壓掃到正偏壓之電容-電壓曲線粹取，磁滯電壓(ΔV_{fb})則定義為由正負向偏壓量測到的平帶電壓之差值。

電流-電壓(I-V)特性量測時，因矽基材為 N-型參雜，對本實驗電容結構施以正電壓，此時矽基材處於聚集模式，避免矽基材有壓降，跨在聚集區的電壓即可忽略，扣除平帶電壓，所施加的電壓將會幾乎跨在高介電常數薄膜，真實反應高介電常數薄膜的漏電流和崩潰電場。

4-2 電容-電壓特性量測

分別以 10 KHz 和 100 KHz 頻率量測高介電常數薄膜的高頻電容電壓特性，由圖 4-1 可以看到 HfO_2 、 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 、 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 和 Al_2O_3 10 KHz 和 100 KHz 頻率量測之電容-電壓曲線幾乎重疊在一起，以二頻率方法校正亦獲一致曲線。 HfO_2 、 $\text{HfAlO}(\text{Hf:Al}=9:1)$ 和 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 薄膜在靠近平帶電壓附近都有

變形(distortion)的現象發生， HfO_2 和 HfAlO (Hf:Al=9:1)薄膜分別在 600°C 和 800°C 變形現象明顯改善，乃介面層成長所致， HfAlO (Hf:Al=7:3)薄膜隨著因薄膜沉積後熱退火提高而改善介面特性消弭變形現象， Al_2O_3 薄膜的介面特性佳，並無電容-電壓曲線變形。經計算電容等效厚度，結合第三章 TEM 分析結果，計算其介電常數值， HfO_2 薄膜~13； HfAlO (Hf:Al=9:1)~11.5； HfAlO (Hf:Al=7:3)和 Al_2O_3 薄膜分別為 9 和 8，除 Al_2O_3 薄膜外，其它三者介電常數值較文獻偏低，其原因不明，有待後續研究。圖 4-2 與圖 4-3 分別為不同薄膜沉積後熱退火溫度之平均電容等效電容厚度與等效電容厚度累積分佈圖。 HfO_2 薄膜經薄膜沉積後熱退火 400°C 和 500°C ，電容等效厚度並無明顯改變，但在 600°C 就些微增加，在 700°C 的熱退火下，電容等效厚度就有顯著的增加， HfAlO (Hf:Al=9:1)薄膜與 HfO_2 情況類似，經 800°C 退火之後電容等效厚度開始增加。 HfAlO (Hf:Al=7:3)等效電容厚度在 $600\sim 800^\circ\text{C}$ 退火無明顯變化，反而在 900°C 出現等效電容厚度下降情形。 Al_2O_3 的電容等效厚度經 $700\sim 1000^\circ\text{C}$ 退火，電容等效厚度無明顯變化，圖 4-3(d)顯示高達 1000°C 退火下 Al_2O_3 薄膜其電容等效厚度與 $700\sim 900^\circ\text{C}$ 薄膜無異，就 Al_2O_3 薄膜而言，高溫熱穩定性高達 1000°C ，並無介面層成長，很合理地 Al_2O_3 薄膜等效電容值經高溫退火後不變。就純 HfO_2 而言， 500°C 退火便開始結晶，經大於 600°C 退

火後電容等效厚度明顯增厚，HfO₂ 薄膜在大於 600°C 退火後電容等效厚度增加主要應來至於介面層的成长[63]。對照圖 4-3(a) 結果顯示在 700°C 退火下，HfO₂ 之介面層成长非常不均匀。HfAlO(Hf:Al=7:3) 薄膜於退火溫度在 900°C 會析出 HfO₂ 結晶，低於 800°C 為非結晶，電容等效厚度在溫度低於 900°C 未見上升，應是無介面層形成。900°C 熱退火下電容等效厚度下降，推測是高介電常數 HfO₂ 結晶所造成。HfAlO(Hf:Al=9:1) 薄膜，雖在 700°C 會有高介電常數 HfO₂ 結晶，800°C 明顯的電容等效厚度增加情形，應是介面層形成。30% Al 元素添加於 HfO₂ 薄膜可有效的防止低介電常數介面層形成，但卻會造成整體的介電常數值下降，過少的 Al 元素摻雜在高溫下無法避免介面層成长。

圖 4-4 中可以看到平帶電壓隨著高介電常數薄膜沉積後熱退火提高而增加，平帶電壓(V_{fb})由 4-3 式決定，

$$V_{fb} = \Phi_{m,eff} - \Phi_s - \frac{Q_{eff}}{C_{ox}} \quad (4-3 \text{ 式})$$

$$\Delta = \frac{Q_{eff}}{C_{ox}} = \Phi_{m,eff} - \Phi_s - V_{fb}$$

其中 $\Phi_{m,eff}$ 、 Φ_s 分別為鎳金屬全矽化物有效功函數與矽基材有效功函數， C_{ox} 為閘絕緣層電容， Q_{eff} 為等效氧化層電荷，矽化鎳閘極於 HfO₂ 和 HfAlO 薄膜分別為 4.5 和 4.3eV [88、41]， Φ_s 約為 4.3，以 400~700°C HfO₂ 試片而言， Δ 值為 0.39~0.22 V，表示 HfO₂ 內的缺陷為正電荷，

但是隨著沉積後熱退火溫度增加，氧化層電荷降低，推測沉積後熱退火溫度可消除 HfO_2 薄膜內的缺陷降低氧化層電荷。對於 $500\sim 1000^\circ\text{C}$ $\text{HfAlO}(\text{Hf}:\text{Al}=9:1)$ 與 $600\sim 900^\circ\text{C}$ $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜而言， Δ 值分別為 $0.02\sim -0.07\text{ V}$ 與 $-0.01\sim -0.32\text{ V}$ ，沉積後熱退火有可能使得薄膜內產生負電荷造成平帶電壓往正電壓方向移動。

圖 4-5 為從負偏壓掃至正偏壓，再從正偏壓掃至負偏壓之高介電常數薄膜不同沉積後熱退火的電容-電壓圖，掃描範圍為平帶電壓約正負 1V ，若是正反掃的電容-電壓曲線並無重疊在一起而產生水平位移，表示電荷被高介電常數薄膜內缺陷捕捉形成遲滯效應，由圖 4-6， Al_2O_3 薄膜其遲滯效應隨著退火溫度增加而降低，意味著沉積後熱退火有助於陷阱密度(trap density)降低，而 HfO_2 薄膜亦有此現象，但 HfO_2 在 600°C 熱退火有介面層成長可能性，電荷要穿過變厚之介面層而被 HfO_2 捕捉的機會也大幅降低， 700°C 熱退火 HfO_2 薄膜介面層成長不均勻所致，其遲滯現象差異大，如圖 4-7(a)。而 $\text{HfAlO}(\text{Hf}:\text{Al}=9:1)$ 和 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜的遲滯效應並不嚴重，意味著 Al 元素添加有助於降低薄膜內的陷阱密度，這與文獻 [63] 吻合。但 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜在 900°C 的高介電常數薄膜沉積後熱退火下，其遲滯現象微幅升高，根據 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜在 900°C 沉積後熱退火有 HfO_2 結晶相產生，電容等效厚度些微降低顯示可能無介面層

成長，推測 HfO_2 結晶相裡的陷阱，造成遲滯現象微幅上升，圖 4-6 為高介電常數薄膜電容之遲滯統計圖。

4-3 電流-電壓特性量測

圖 4-8 四種高介電常數薄膜在正電壓下其閘極電流與閘極電壓的關係圖，將閘極漏電流所對應之電壓扣除平帶電壓來做比較，如圖 4-9 示， HfO_2 薄膜在 500°C 沉積後熱退火，漏電流突然升高推測是 HfO_2 薄膜結晶導致漏電路徑增加，但在 600°C 漏電流卻下降，對照其電容等效厚度與沉積後熱退火關係，可以看到 600°C 電容等效厚度有些微增加，之前我們推測可能是介面層成長，結合漏電流的電性結果，相信是 HfO_2 薄膜和矽基板間的介面層成長所致，所以 700°C 沉積後熱退火因為電容等效厚度升高使得漏電流下降。而 $\text{HfAlO}(\text{Hf}:\text{Al}=9:1)$ 薄膜亦與 HfO_2 有著相似的情況，因為結晶造成漏電流升高，但介面成長降低漏電流。 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜在低於 800°C 沉積後熱退火，其漏電流沒有上升趨勢， 900°C 沉積後熱退火卻會使 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜有結晶現象產生，但所對應的漏電流反而下降，推測是 HfO_2 在 $\text{HfAlO}(\text{Hf}:\text{Al}=7:3)$ 薄膜中結晶，把 Al 原子析出將漏電路徑填滿，所以漏電流不升反降。 Al_2O_3 薄膜其熱穩定性相當好，在高達 1000°C 高介電常數薄膜沉積後熱退火，也沒有結晶的現象，所以漏電流都維持跟 700°C 熱退火一樣，圖 4-10 為閘極漏電流統計分

佈圖，圖 4-11 是本論文量測結果和目前已發表的高介電常數薄膜文獻，在電壓為 1V 時間極漏電流的比較，在相同電容等效厚度下比較，本論文的漏電流較相同電容等效厚度下的二氧化矽閘極絕緣層低了數個數量級，這也是未來高介電常數薄膜取代二氧化矽作為場效電晶體閘極絕層的一個主因。

我們進一步對高介電常數薄膜電容的漏電流作漏電機制比對，Frenkel-Pool 穿隧機制的公式為 4-3 式，其中 Φ_B 是能障高度， E 是穿過絕緣層的電場強度， ϵ_0 是真空中介電常數， ϵ_i 是絕緣層的介電常數， k_B 是波茲曼常數， T 則是量測時的絕對溫度， $a = \sqrt{q/4\pi\epsilon_0\epsilon_i d}$ (其中 d 為絕緣層厚度):

$$J \sim E \exp\left[\frac{-q(\Phi_B - \sqrt{qE/\pi\epsilon_0\epsilon_i})}{kT}\right] \sim V \exp\left(\frac{+2a\sqrt{V}}{T} - \frac{q\Phi_B}{kT}\right) \quad (4-3 \text{ 式})$$

從 4-3 式可以發現當我們作 $\ln(J/V)$ 對 \sqrt{V} 關係圖時，符合此漏電機制的漏電流將會是一條直線，如圖 4-12 所示，四種高介電常數薄膜皆為 Frenkel-Pool 穿隧機制。我們對此四種高介電常數薄膜求其陷阱能障高度(trapping level barrier height)，探討高介電常數沉積後熱退火對於陷阱能障之影響，由圖 4-13 四種高介電常數薄膜之陷阱能障高度圖，500°C 沉積熱退火 HfO₂ 薄膜其陷阱能障低於 HfAlO(Hf:Al=9:1) 500°C 沉積熱退火，而 600°C 沉積熱退火 HfAlO(Hf:Al=9:1)和 HfAlO(Hf:Al=7:3)薄膜其陷阱能障相當接近，意

味著在 HfO_2 中添加 10% 的 Al 元素就可以改善薄膜品質，消弭淺的陷阱能階(trapping level)。 HfO_2 、 HfAlO (Hf:Al=9:1)和 HfAlO (Hf:Al=7:3) 薄膜分別在 600°C 、 800°C 和 700°C 沉積熱退火，陷阱能階有著顯著的改善，表示高介電常數沉積後熱退火溫度提高能有效消除較淺的陷阱能階， Al_2O_3 薄膜在不同沉積後熱退火的條件下，其陷阱能障高度並沒有變化，但對照遲滯結果發現遲滯現象隨著沉積後熱退火提高而降低，顯示沉積後熱退火能有效消除陷阱密度。

崩潰電場是由 4-4 式的關係計算獲得，並扣除矽基板串聯組抗之影響。

$$E_{bd} = \frac{|V_{bd} - V_{fb}|}{CET} \quad (4-4 \text{ 式})$$



由圖 4-14， Al_2O_3 薄膜高溫熱穩定性高達 1000°C ，崩潰電場並無隨著沉積熱退火溫度提高而增加， HfAlO (Hf:Al=7:3)薄膜在 800°C 以下的熱退火，崩潰電場維持定值，但在 900°C 熱退火崩潰電場下降，推測為 HfAlO (Hf:Al=7:3)薄膜結晶所致，而 HfO_2 和 HfAlO (Hf:Al=9:1)薄膜在結晶溫度以上的沉積熱退火條件，亦有崩潰電場下降現象發生，由圖 4-14 中發現 Al 元素比例提高可提升高介電常數薄膜之崩潰電場，Al 元素比例對於結晶溫度提升有明顯改善，可能是薄膜結晶時晶粒邊界有著大量缺陷或斷鍵而使得薄膜易於崩潰[89]，沉積後熱退火溫度提高結晶效應越顯著，所以崩潰電場隨著沉積後熱退火溫度提

高而下降。

4-4 結論

綜合以上電性結果，比較四種高介電常數薄膜之電性特性，如表 4-1 所示。比較介電常數值而言， HfO_2 薄膜仍是維持較高的介電常數值，隨著 Al 元素添加介電常數值下降，無法迎合未來元件的需求。考量結晶溫度和介面層成長等熱穩定性問題， $\text{HfAlO}(\text{Hf:Al}=7:3)$ 和 Al_2O_3 薄膜在 900°C 以上的沉積熱退火，其電容等效厚度維持不變，意味著其熱穩定性佳， HfO_2 薄膜在 500°C 結晶， 600°C 介面層成長，無法承受後續高溫製程勢必造成電性結果低劣。考量結晶時漏電流， $\text{HfAlO}(\text{Hf:Al}=7:3)$ 薄膜在高達 900°C 沉積後熱退火雖有結晶現象產生，但所對應的漏電流反而下降，推測是 HfO_2 在 $\text{HfAlO}(\text{Hf:Al}=7:3)$ 薄膜中結晶，把 Al 原子析出將漏電路徑填滿，致使漏電流微幅下降，在此四種薄膜中有著絕佳的絕緣效果， HfO_2 薄膜 500°C 熱退火下，其漏電流高達 $1 \times 10^{15} \text{ A/cm}^2$ ，對元件效能影響甚鉅。適當 Al 元素摻雜能填補 HfO_2 薄膜內的缺陷，降低遲滯效應， $\text{HfAlO}(\text{Hf:Al}=9:1)$ 薄膜的遲滯現象為其中最佳， Al_2O_3 薄膜在高達 1000°C 沉積後熱退火，其遲滯現象仍高於其他三者，意味著沉積後熱退火消除缺陷之效果不佳。在本實驗中崩潰電場大小與薄膜結晶有明顯的關聯， Al_2O_3 薄膜在高達 1000°C 仍為非晶相，故其崩潰電場不隨著沉積熱退火溫度提高而

改變，此外 Al 元素添加能提高薄膜的結晶溫度，所以 HfO_2 薄膜的崩潰電場為四者最低。



表 4-1 高介電常數薄膜電性特性之比較

	HfO ₂	HfAlO(9:1)	HfAlO(7:3)	Al ₂ O ₃
介電常數值	○	□	△	X
熱穩定性	X	□	○	○
漏電流	X	△	○	□
遲滯效應	△	○	□	X
崩潰電場	X	△	□	○

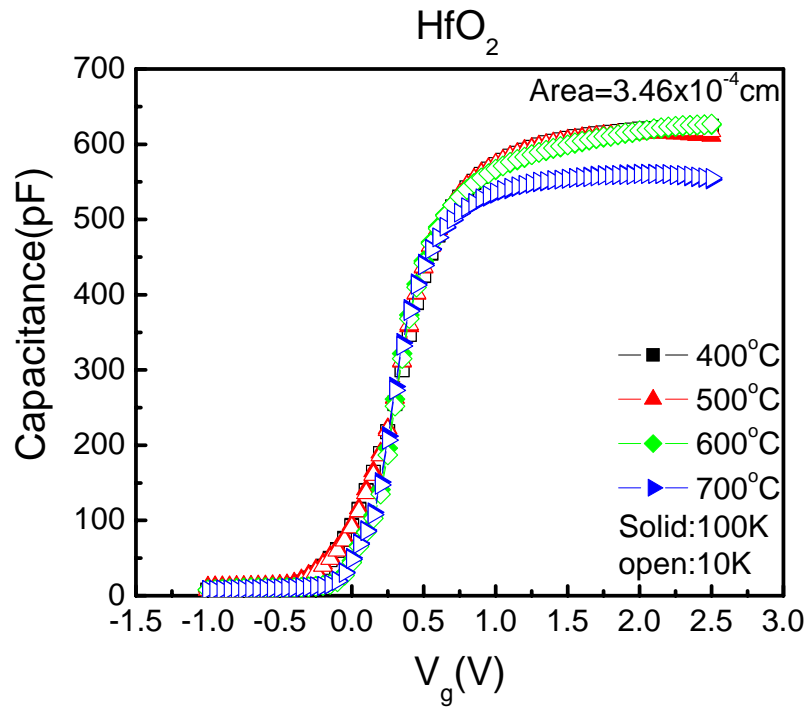
○:最佳

□:較佳

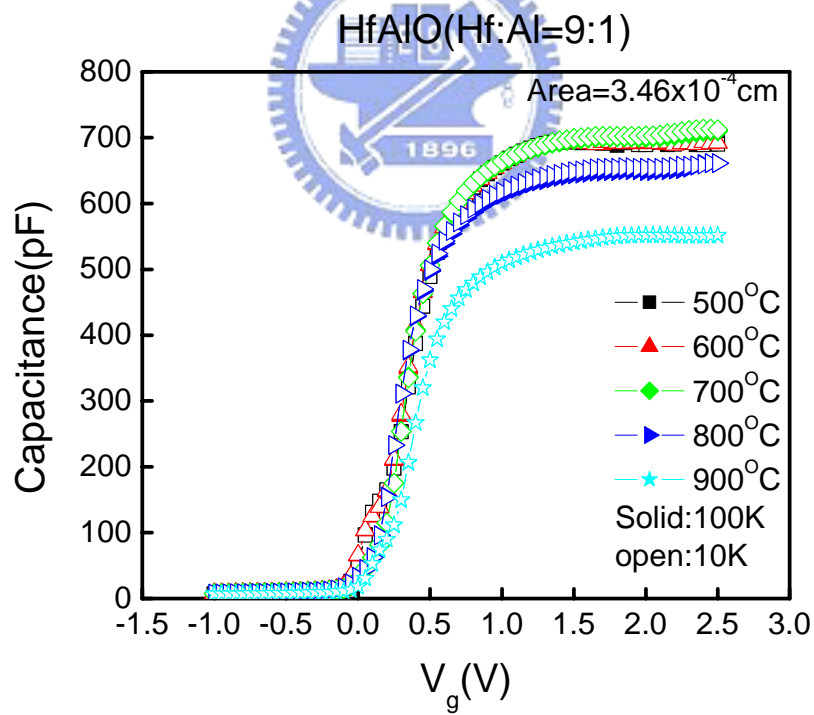
△:其次

X:最差

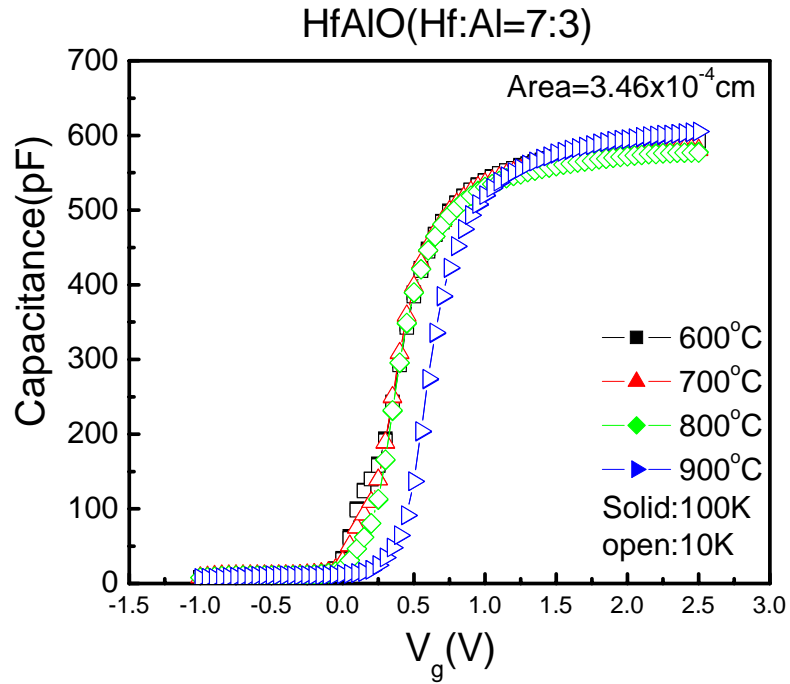




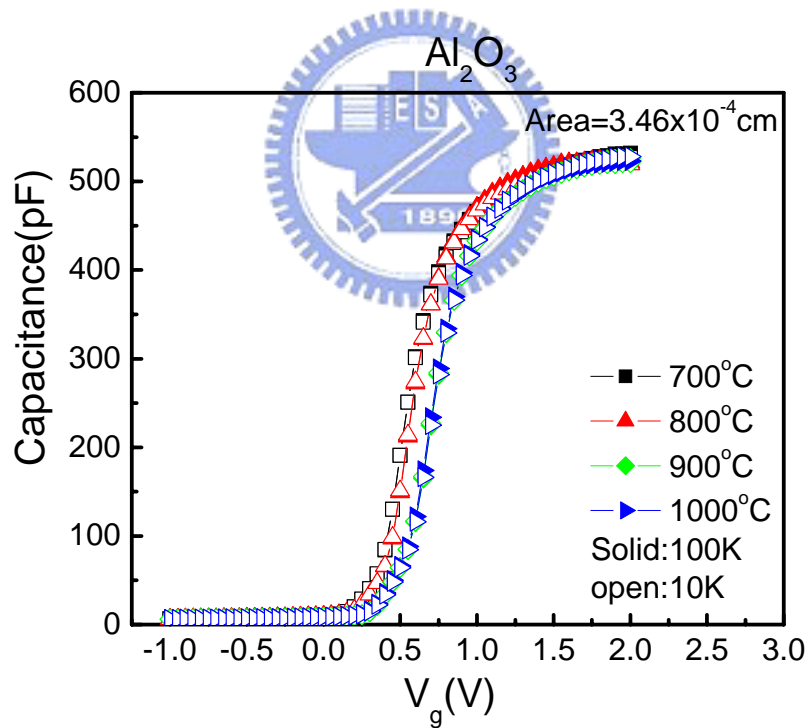
(a)



(b)



(c)



(d)

圖 4-1 高介電常數薄膜電容在 10k 和 100k 測量頻率下的 C-V 圖。(a)

HfO₂，(b) HfAlO(Hf:Al=9:1)，(c) HfAlO(Hf:Al=7:3)，(d) Al₂O₃。

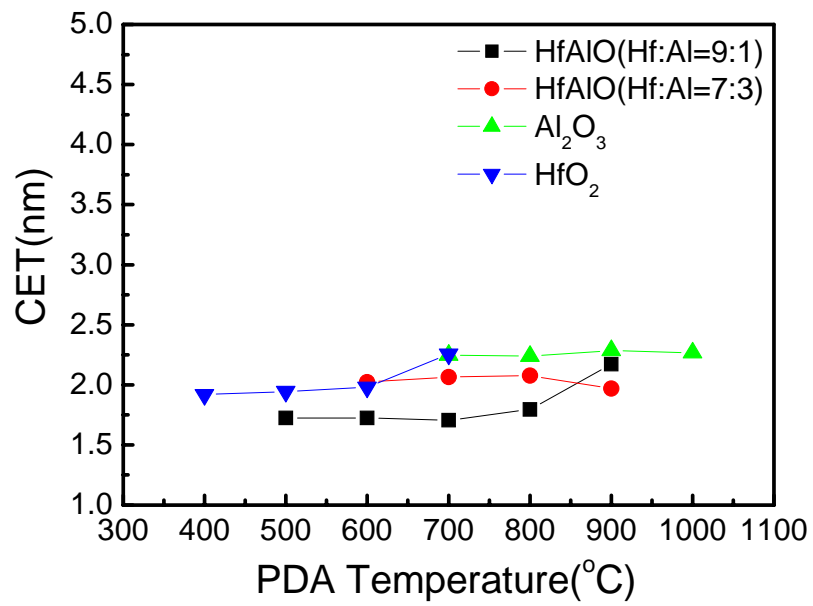
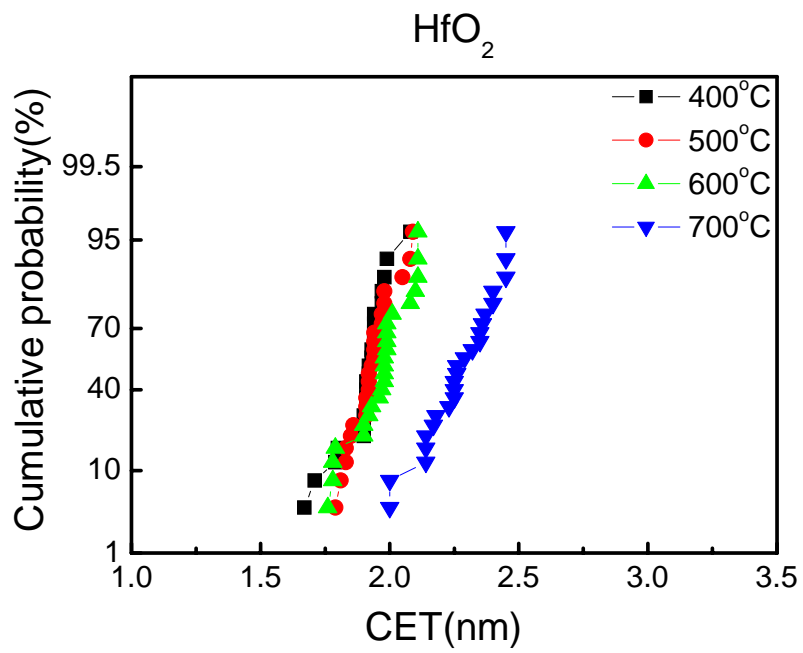
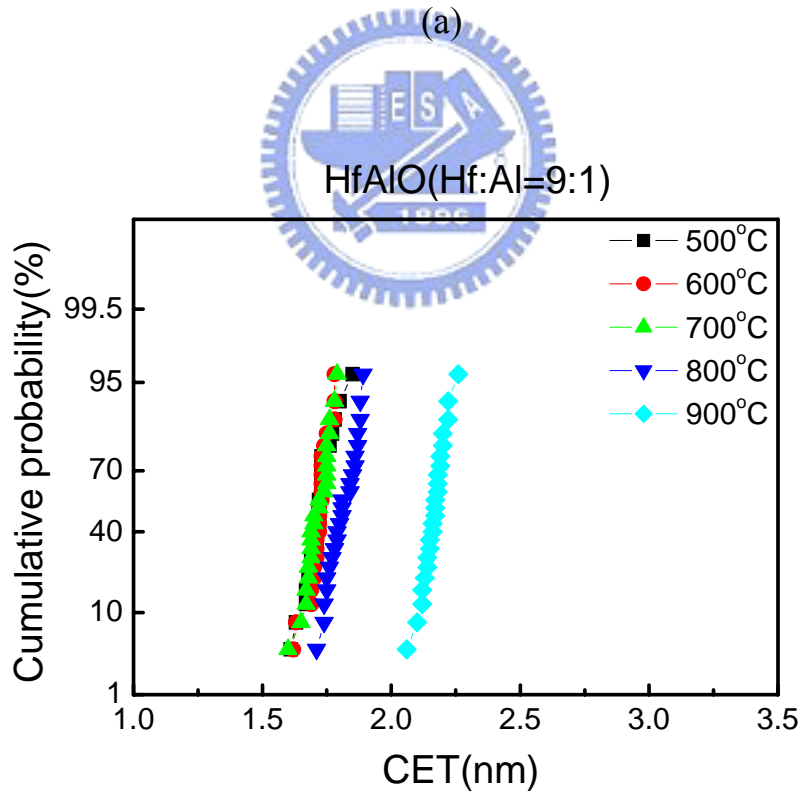


圖 4-2 高介電常數薄膜等效電容厚度對不同熱退火的關係。





(a)



(b)

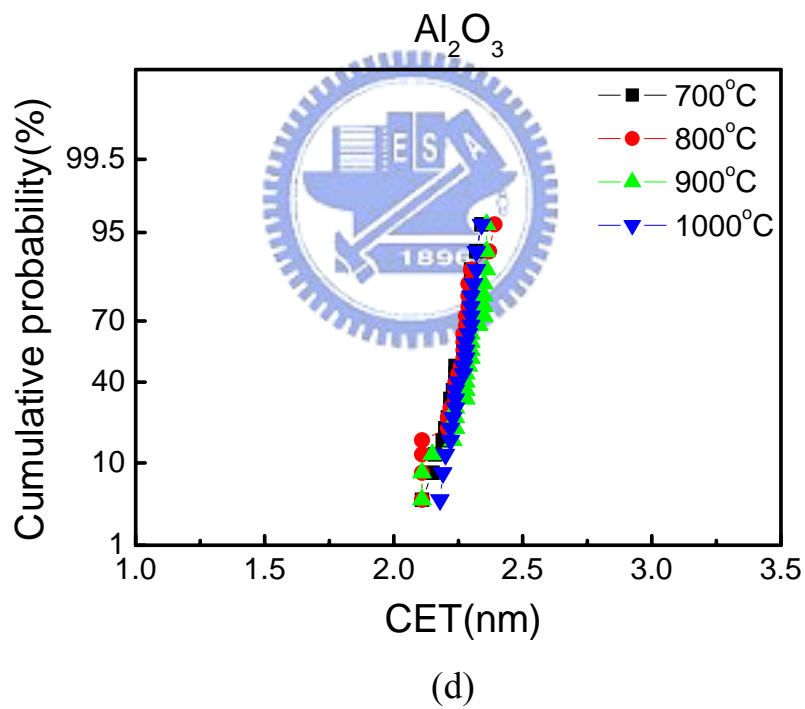
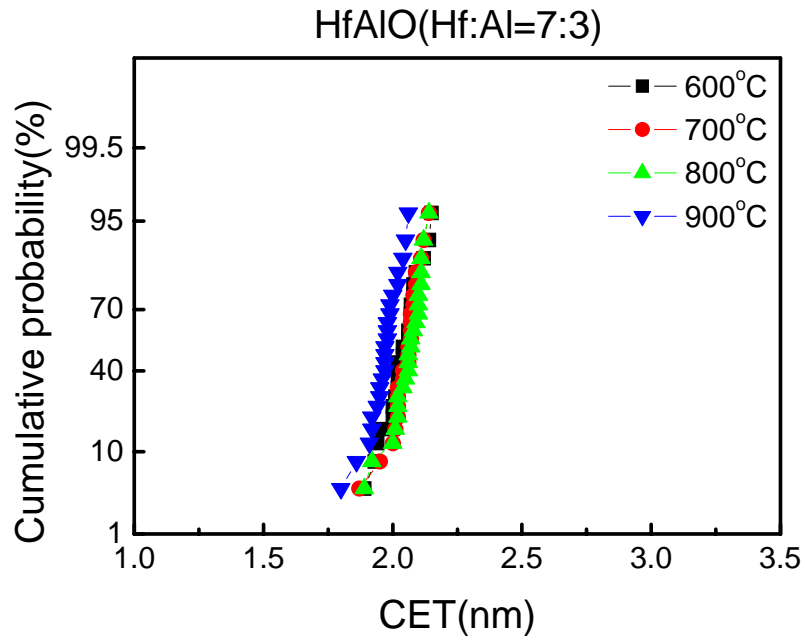


圖 4-3 高介電常數薄膜電容之電容等效厚度統計圖。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。

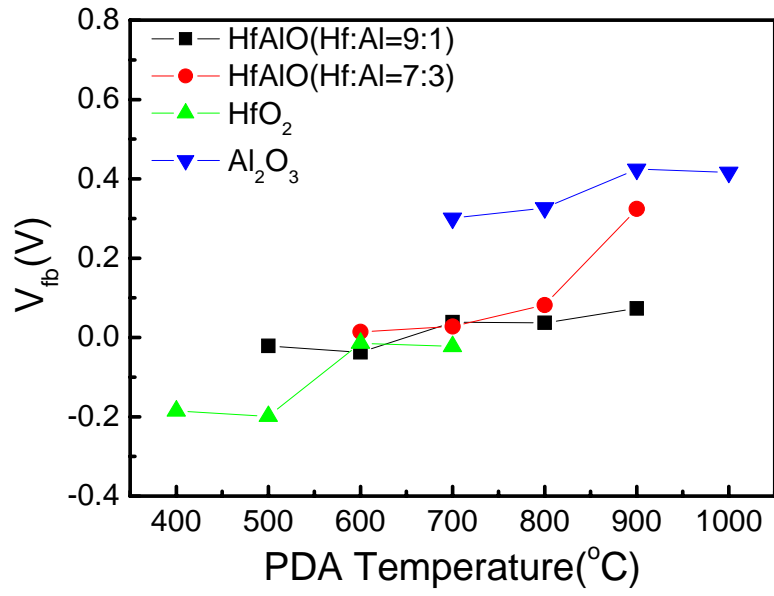
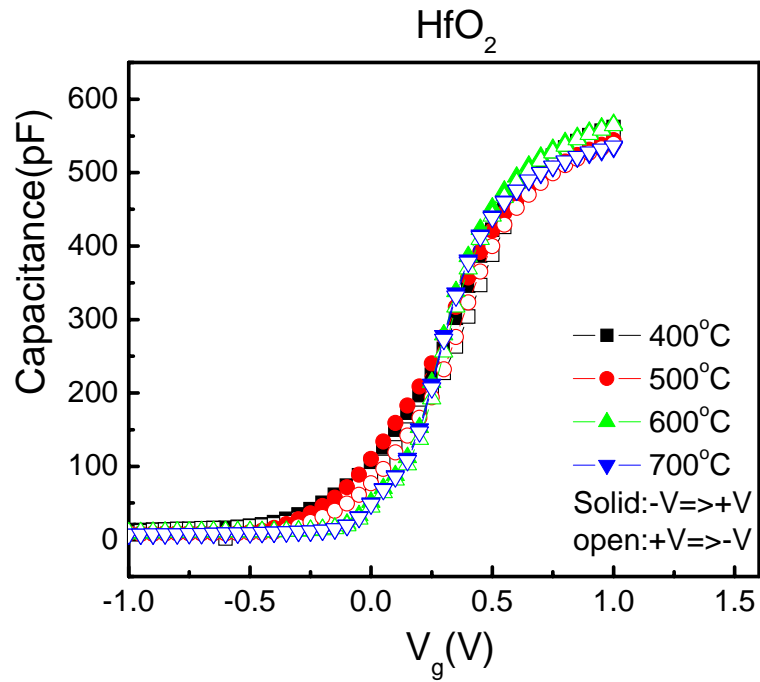
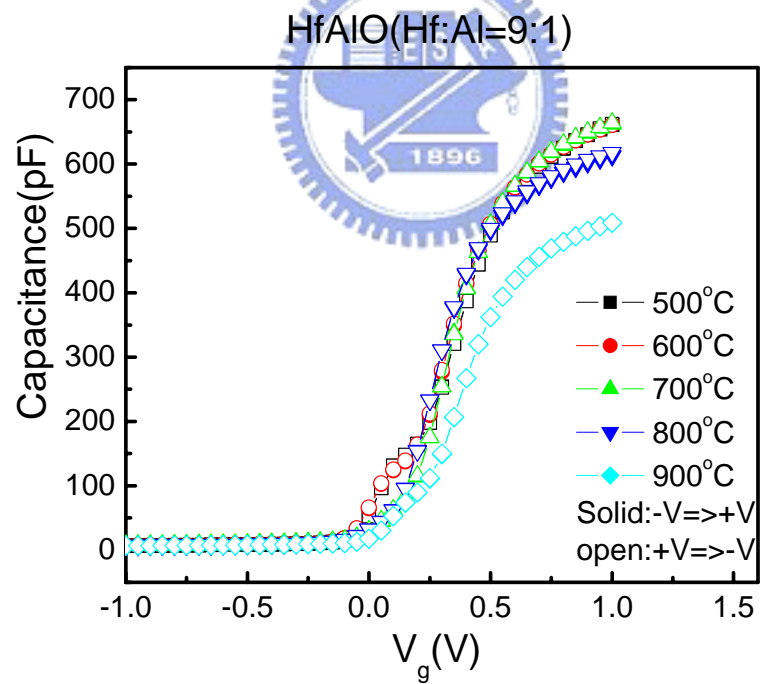


圖 4-4 高介電常數薄膜平帶電壓與沉積後熱退火關係。





(a)



(b)

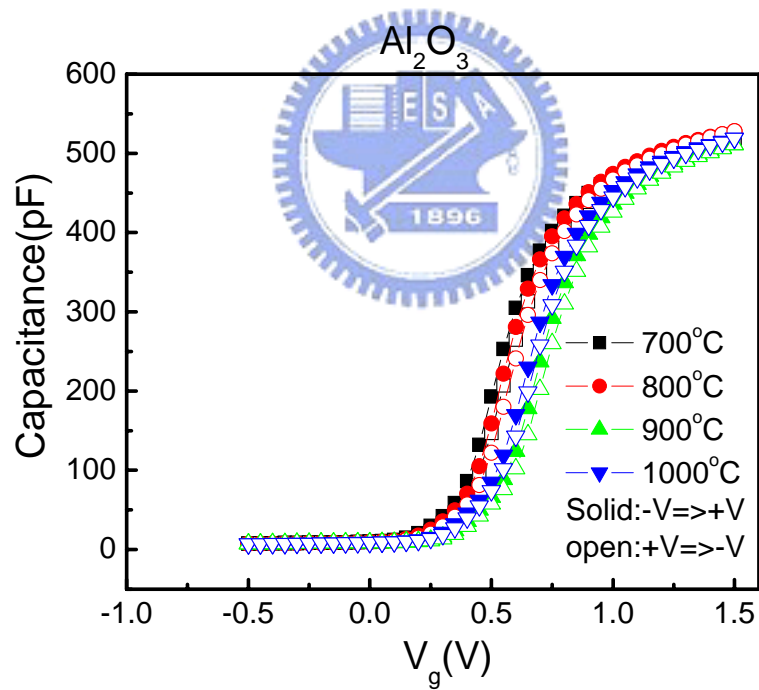
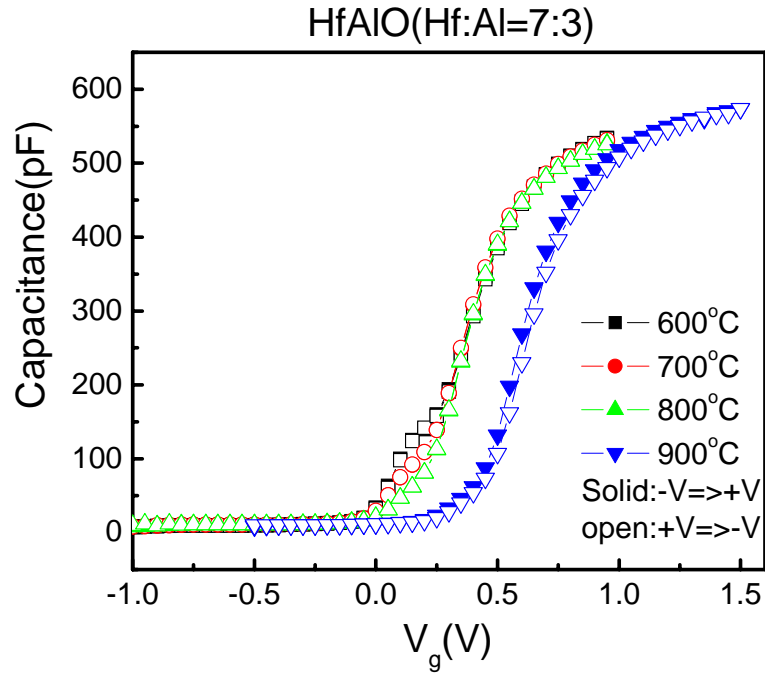


圖 4-5 高介電常數薄膜電容正掃反掃電容-電壓圖。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。

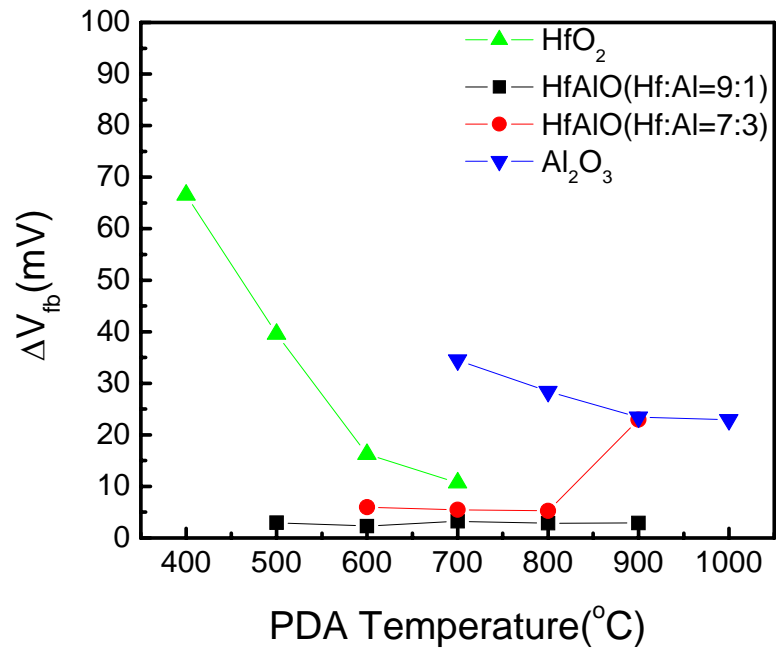
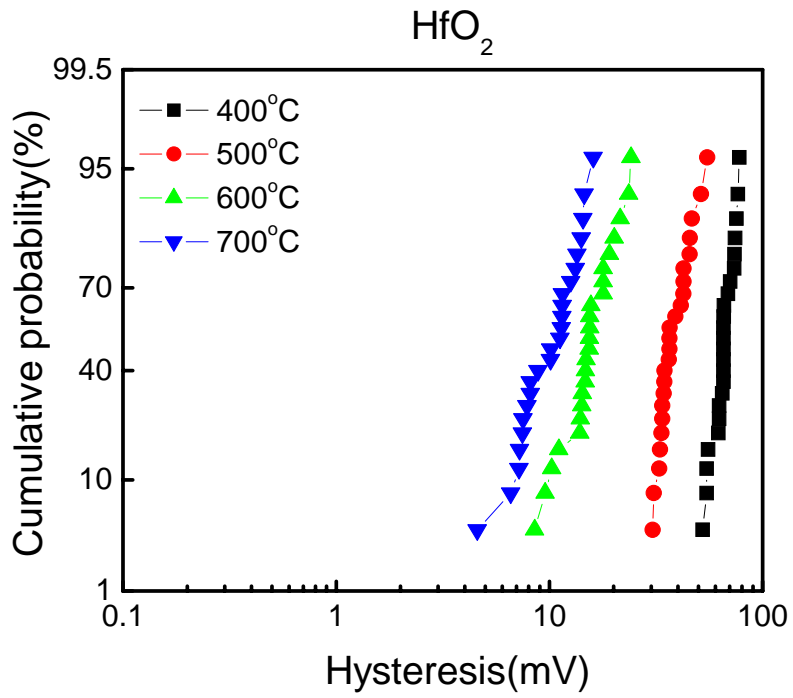
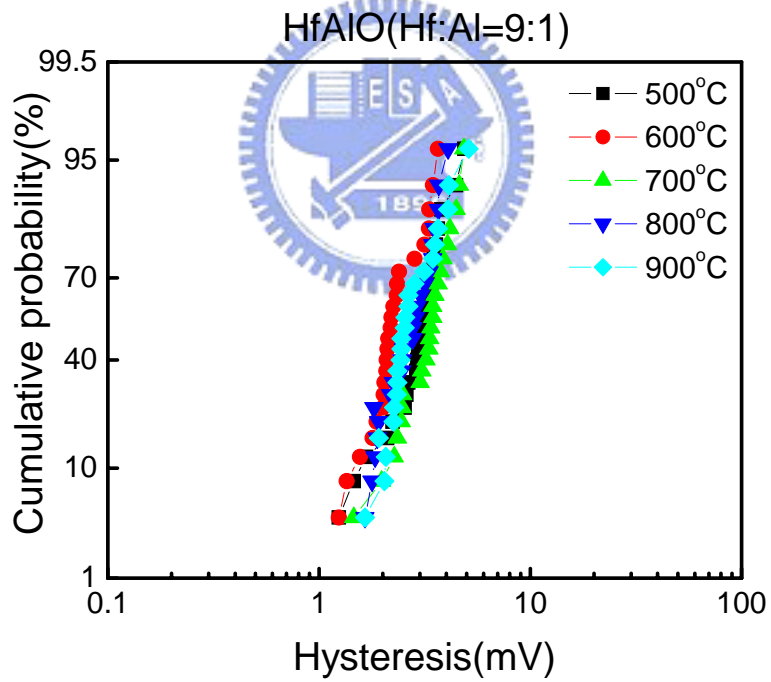


圖 4-6 遲滯大小與不同退火溫度關係。





(a)



(b)

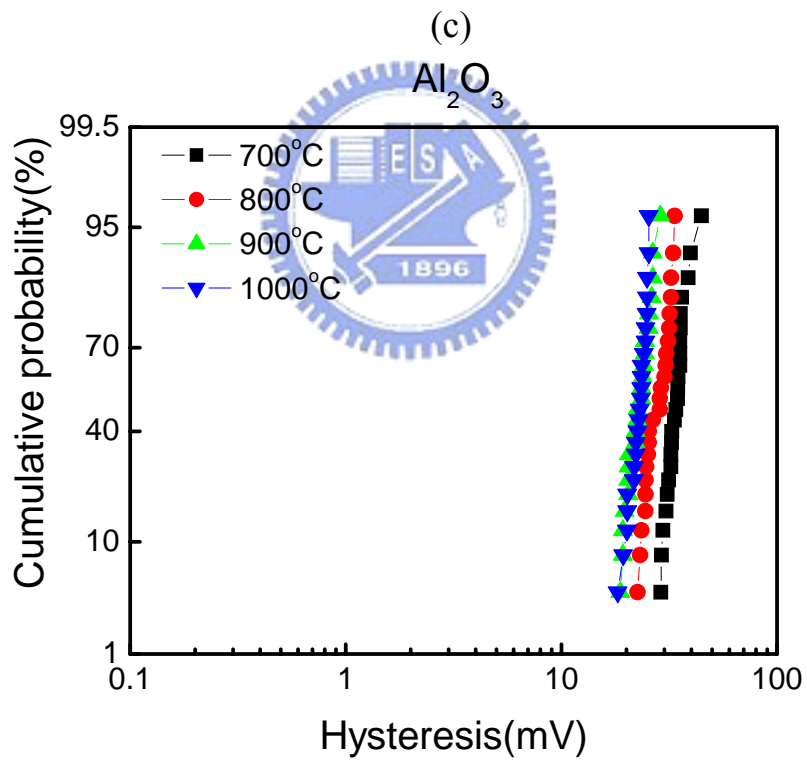
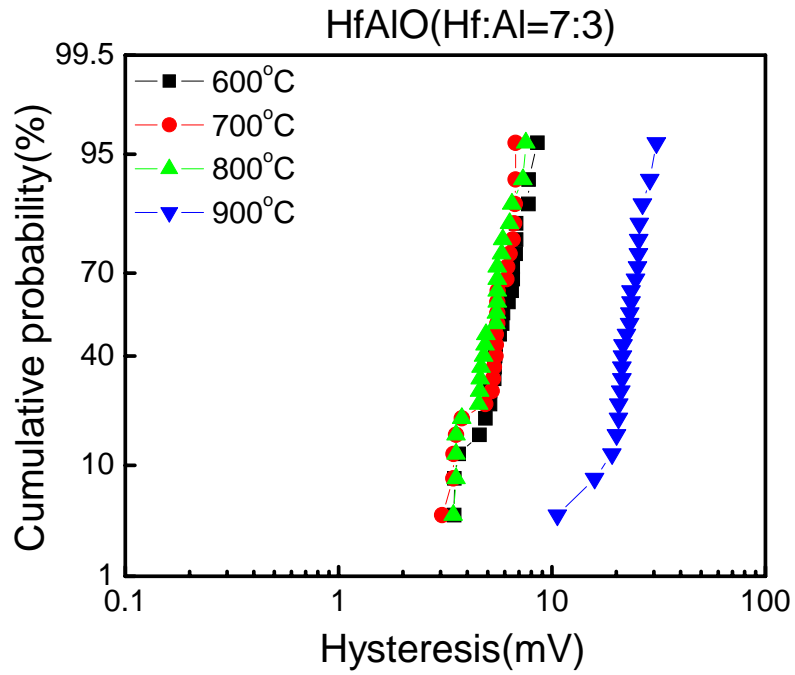
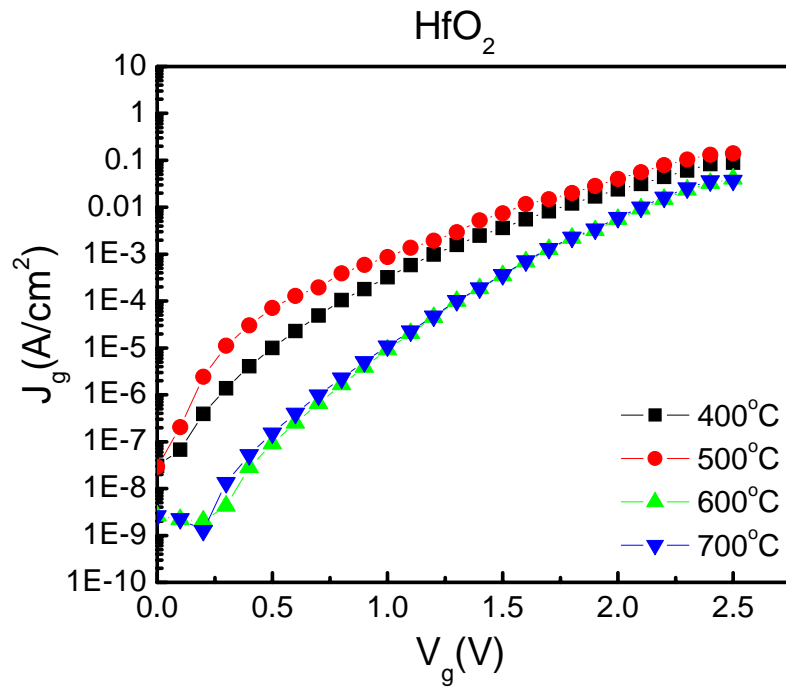
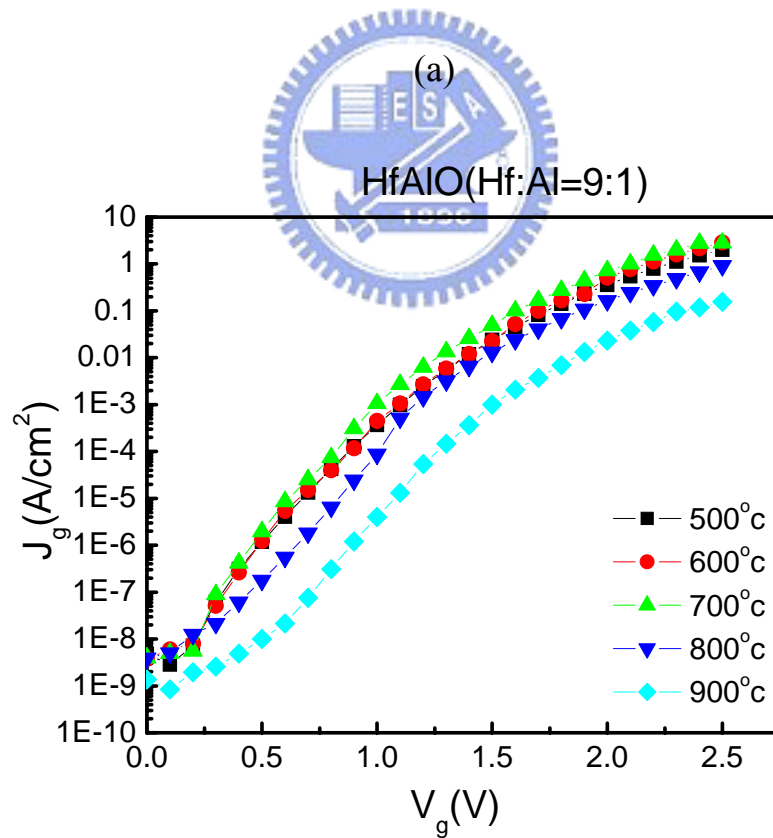


圖 4-7 高介電常數薄膜電容之遲滯統計圖。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。



(a)



(b)

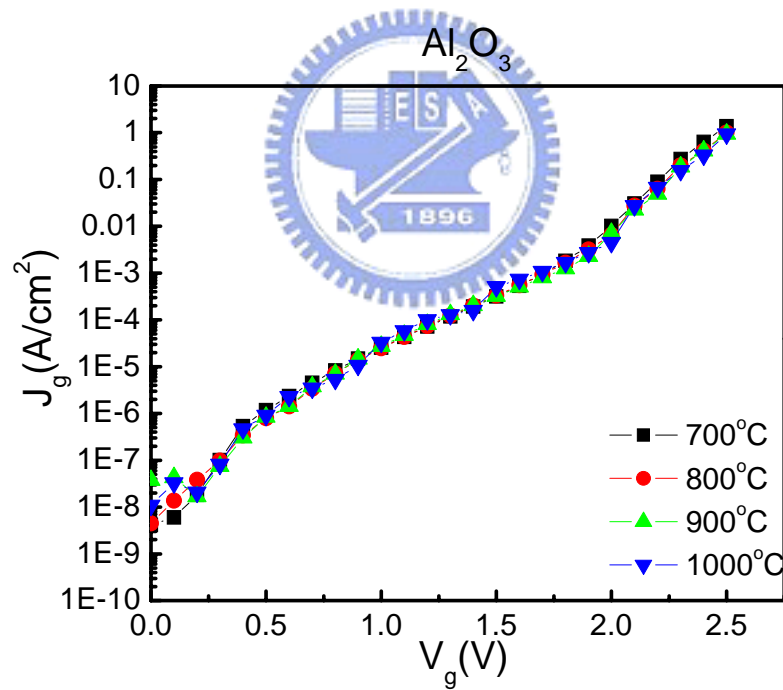
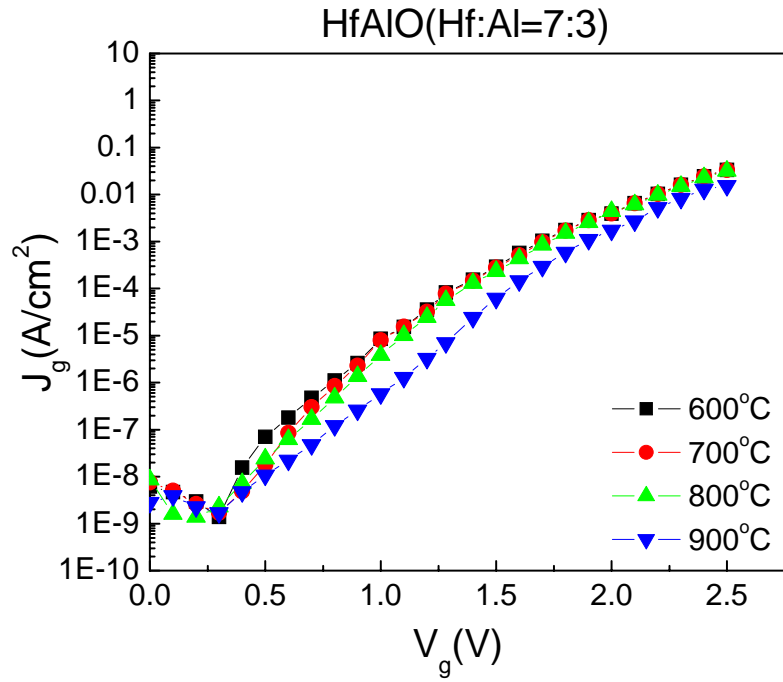


圖 4-8 高介電常數薄膜電容之電流-電壓曲線圖。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。

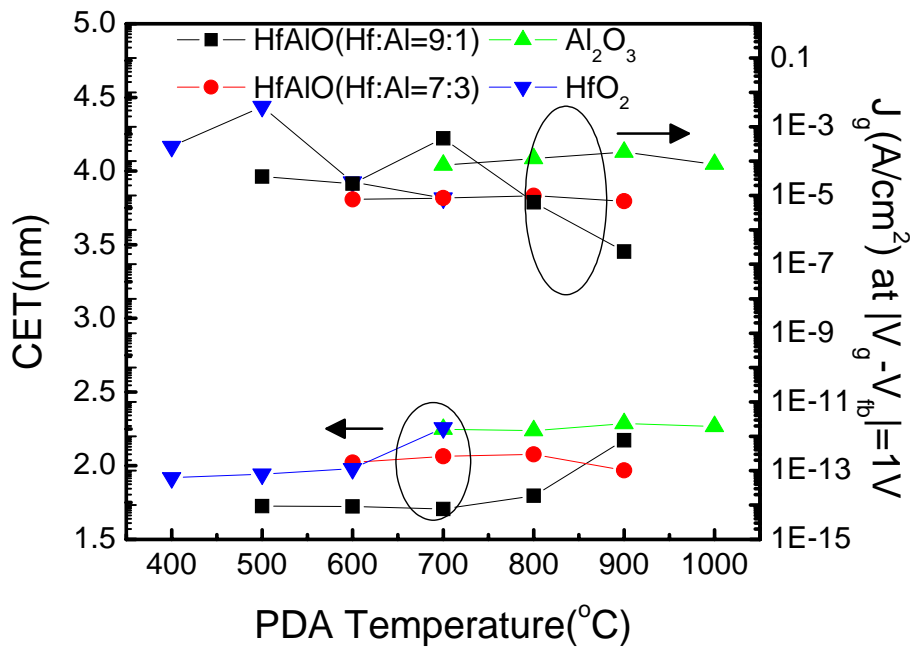
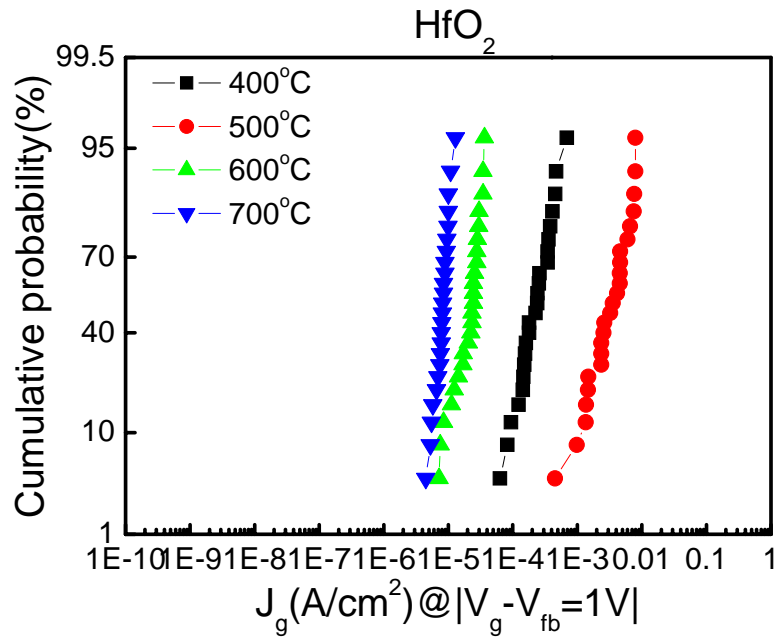
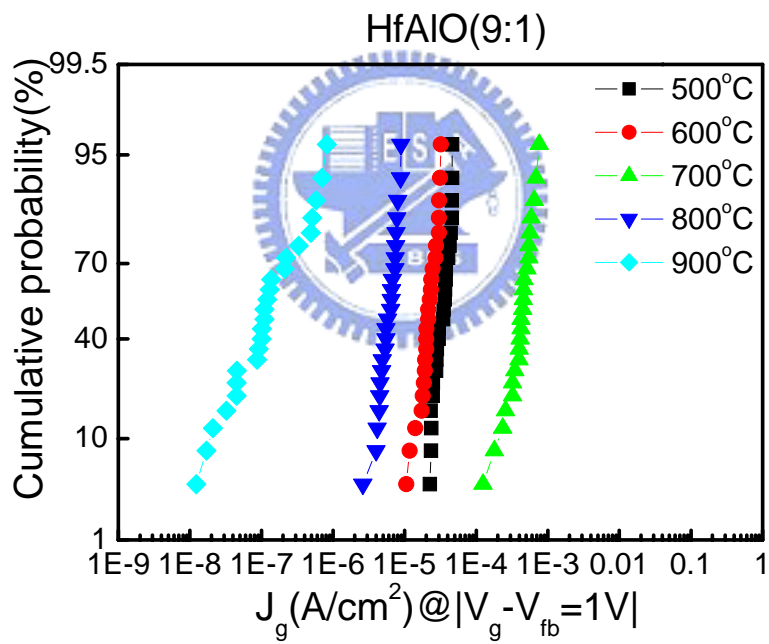


圖 4-9 為高介電常數薄膜不同退火下，電容等效厚度與漏電流之關係。

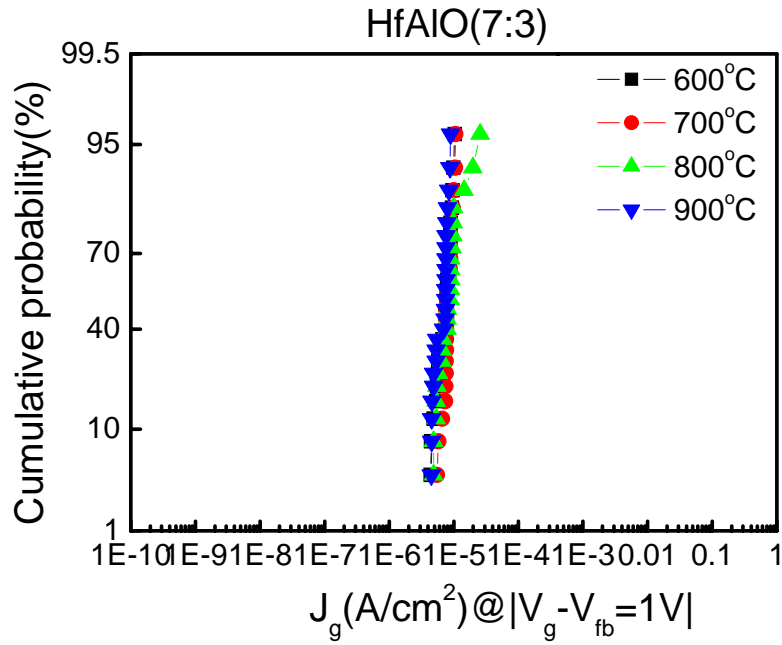




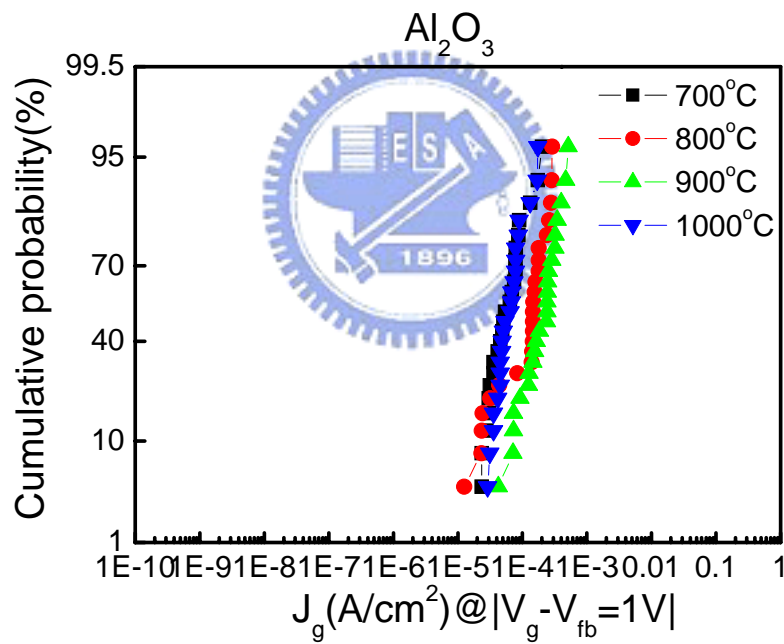
(a)



(b)



(c)



(d)

圖 4-10 閘極漏電流統計分佈圖。(a) HfO₂，(b) HfAlO(Hf:Al=9:1)，(c) HfAlO(Hf:Al=7:3)，(d) Al₂O₃。

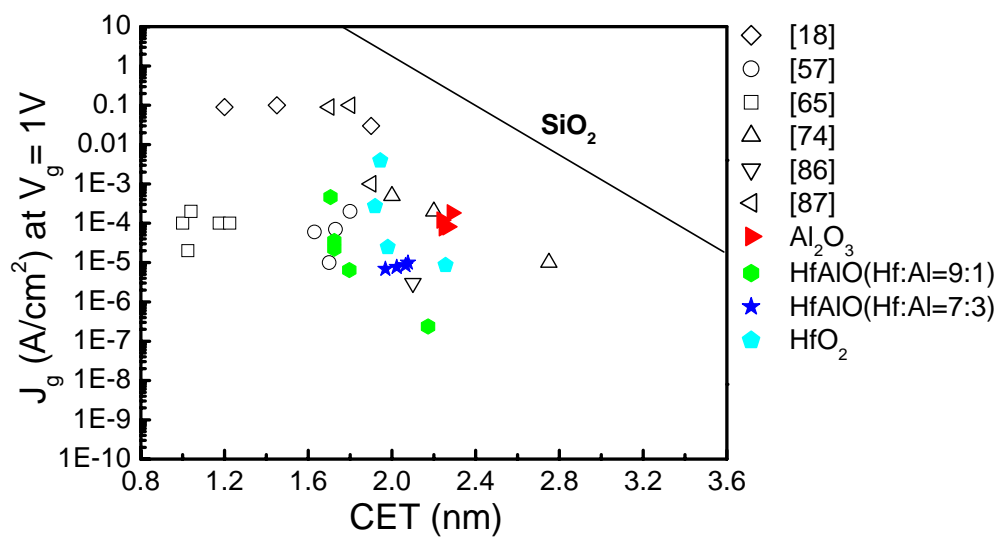
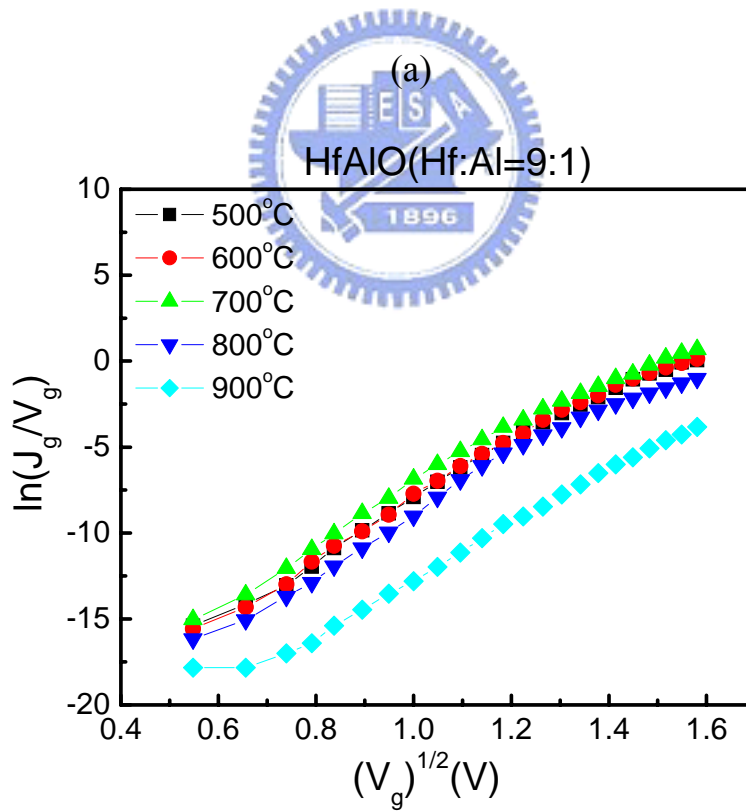
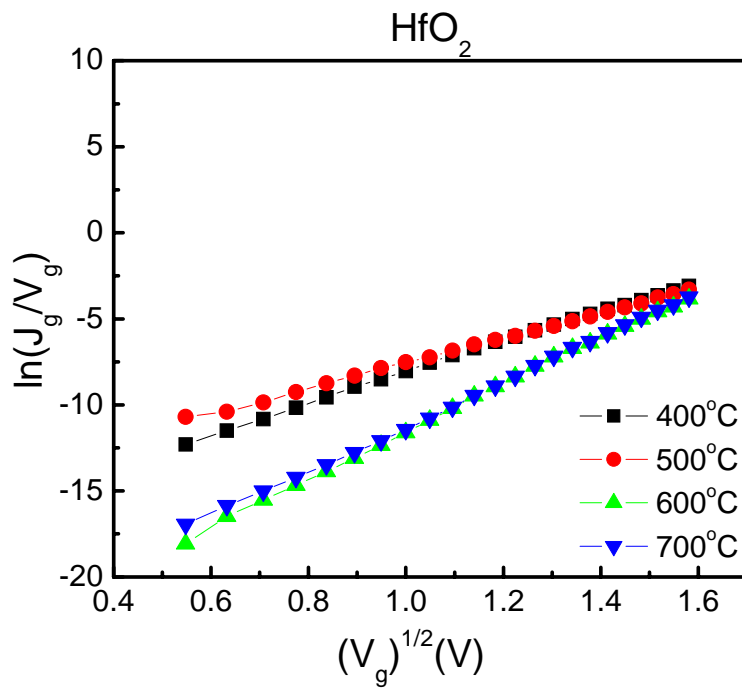


圖 4-11 本論文高介電常數薄膜之漏電流與其它文獻比較圖。





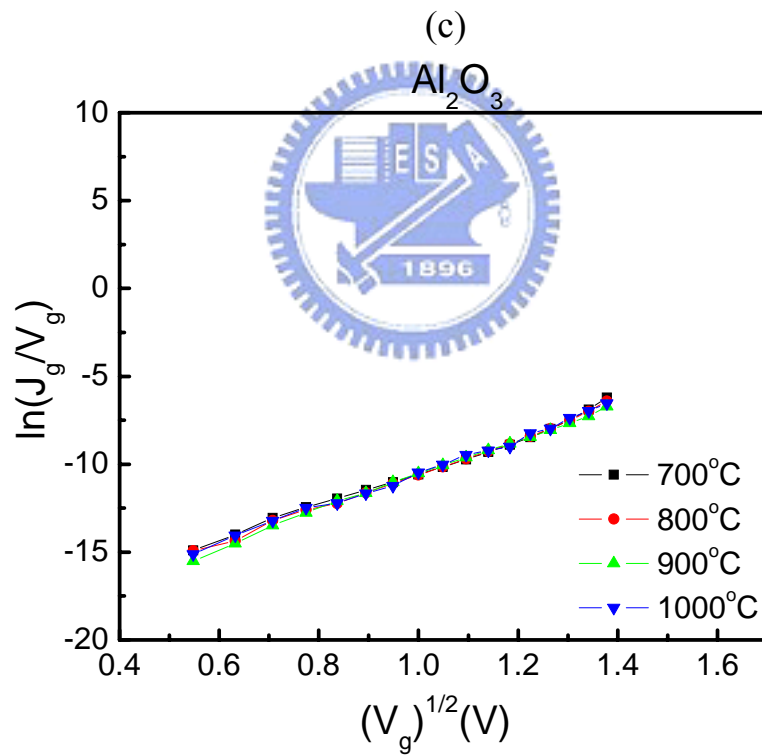
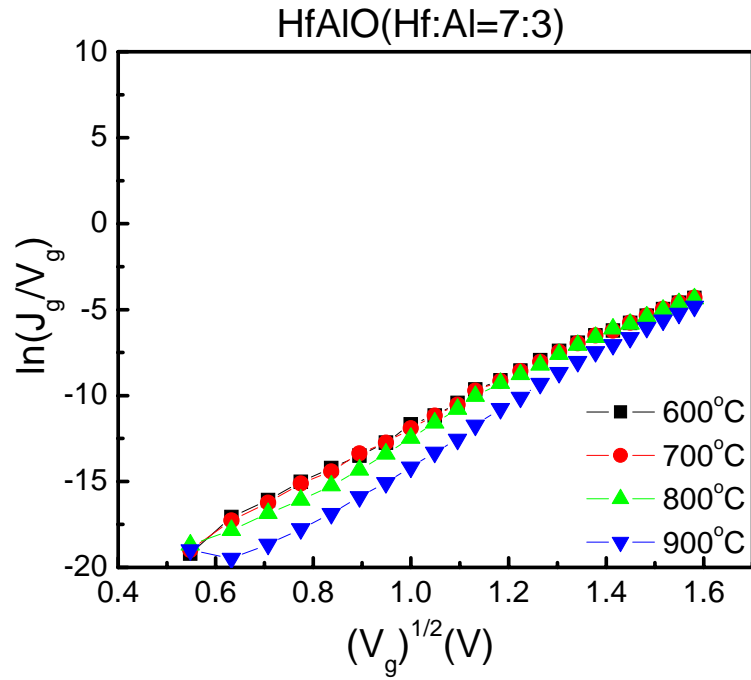
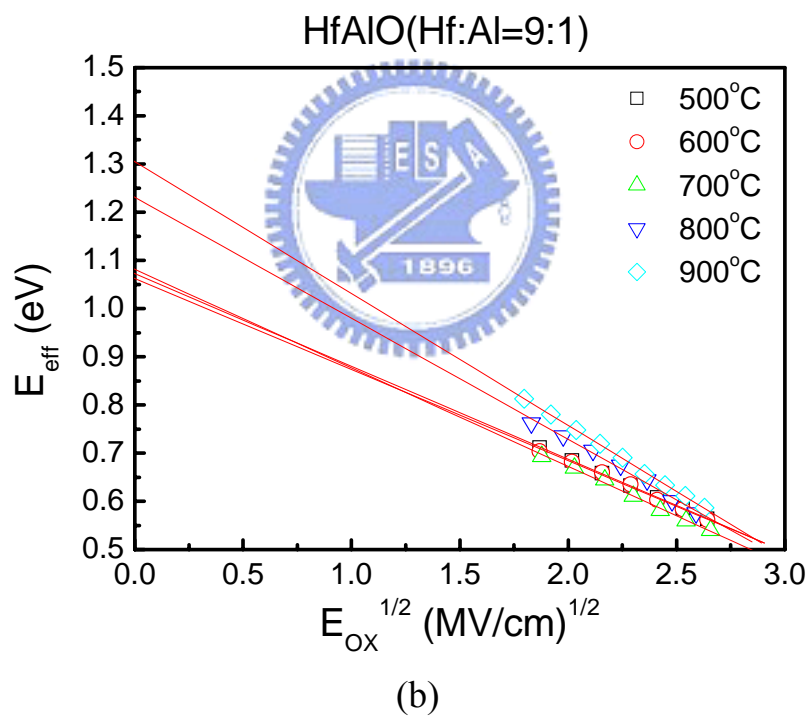
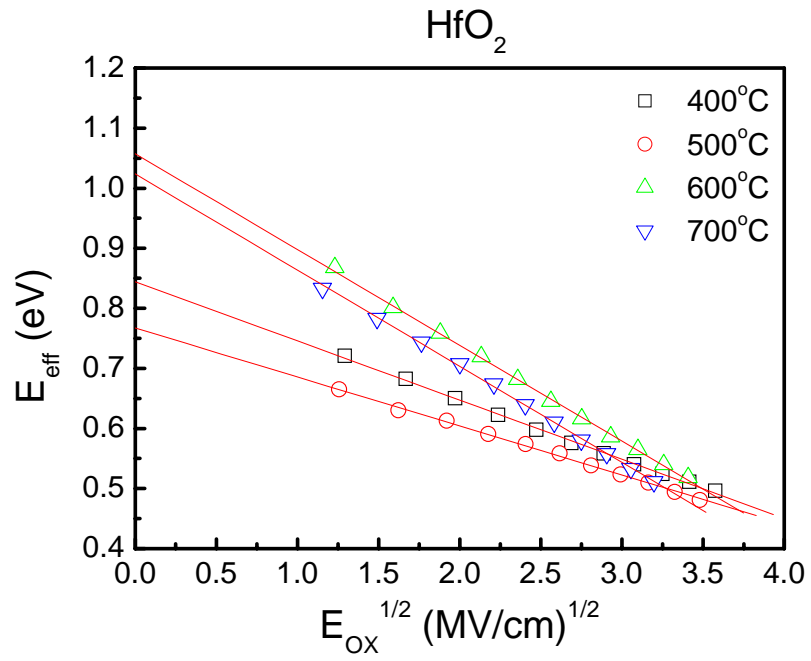


圖 4-12 高介電常數薄膜 F-P 漏電機制。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。



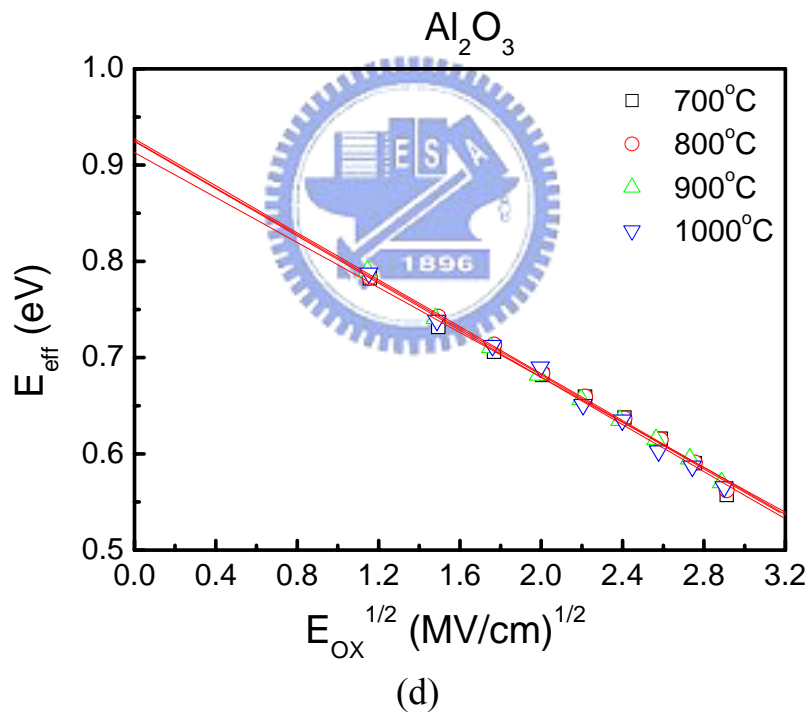
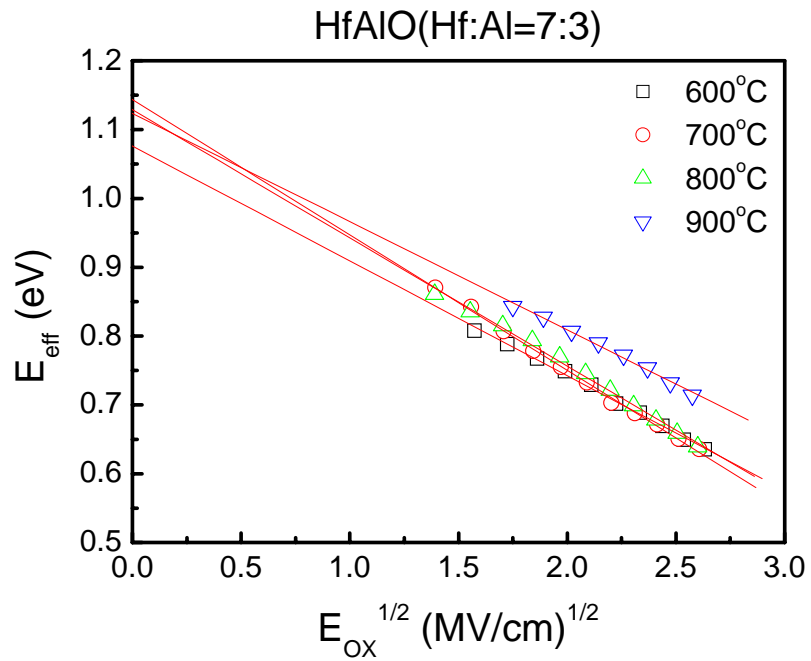


圖 4-13 高介電常數薄膜之陷阱能障高度圖。(a) HfO_2 ，(b) HfAlO(Hf:Al=9:1) ，(c) HfAlO(Hf:Al=7:3) ，(d) Al_2O_3 。

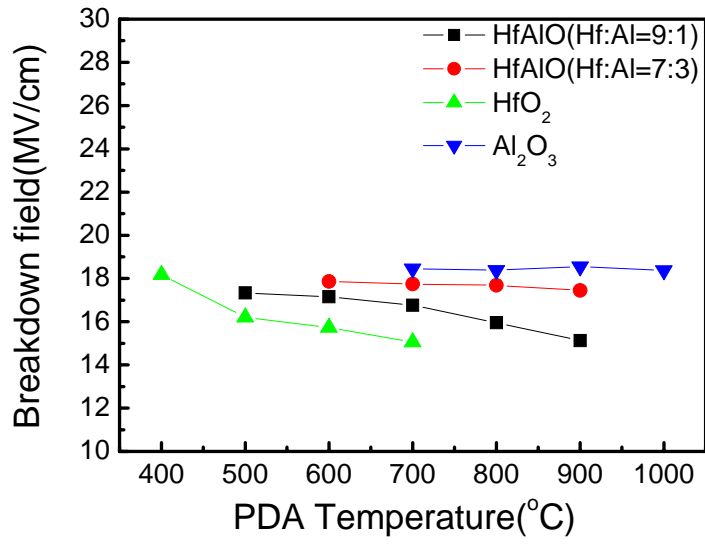


圖 4-14 高介電常數薄膜崩潰電場與沉積後熱處理關係圖。



第五章

結論與未來展望

5-1 結論

本論文研究矽化鎳金屬閘極搭配原子層化學氣相沉積之高介電常數薄膜，製作並量測高介電常數薄膜電容結構，經過材料分析和電性量測，我們可以得到以下結論：

利用 XPS 對 HfAlO(Hf:Al=7:3)和 HfAlO(Hf:Al=9:1)薄膜進行 Hf 和 Al 元素比例分析，得到 Hf 4*f* 和 Al 2*p* 的光電子訊號，為一單型態化學鍵結，代表 Hf-O 與 Al-O 鍵結，說明 HfAlO 薄膜是以氧化鈦化合物與氧化鋁化合物組成，儘管兩 HfAlO 薄膜成分比明顯不同，並不應組成比差異而有化學鍵結飄移，兩薄膜成分中氧化鈦及氧化鋁化合物有相同的化學鍵節能，推測成分中為兩獨立的化合物 HfO₂ 與 Al₂O₃ 所混合

藉由 XRD 分析高介電常數薄膜 (HfAlO(Hf:Al=7:3) 和 HfAlO(Hf:Al=9:1)) 的結晶溫度，退火後產生晶相/晶向分別為 HfO₂/(111)、HfO₂/(012) 及正交晶體 HfO₂/(121) 的訊號，HfAlO(Hf:Al=7:3)晶相/晶向與 HfAlO(Hf:Al=9:1)相同，兩介電質主要差異在於 Hf/Al 成分比，HfAlO(Hf:Al=7:3)含有較高 Al 原子比例，結晶溫度明顯比 HfAlO(Hf:Al=9:1)高，意味著增加 Al 可使抑制 HfAlO

薄膜結晶。

電容-電壓結果顯示 Al 元素添加提升高介電常數薄膜熱穩定性抑制介面層的成長，HfAlO(Hf:Al=7:3)薄膜在高達 900°C 的熱處理下，但其電容等效厚度卻些微降低，結合第三章 XRD 分析結果推斷可能是 900°C 的熱退火使得 HfO₂ 的結晶相產生，造成其介電常數值增加。比較 HfAlO、HfO₂ 和 Al₂O₃ 薄膜，發現 HfAlO 薄膜遲滯現象較兩者輕微，結合 Frenkel-Pool 陷阱能障高度結果，意味著 HfO₂ 薄膜添加 Al 元素有助於降低薄膜內的陷阱密度。

5-2 未來展望



目前半導體製程裡具有不可避免高溫製程，HfO₂ 薄膜雖有較高的介電常數值，但其高溫製程產生的結晶現象導致漏電流增加，雖然 Al₂O₃ 薄膜其熱穩定性較佳，但其介電常數值不高，將無法迎合工業界的需求，在 HfO₂ 薄膜中添加 Al 元素可提高結晶溫度、降低漏電流、抑制介面層成長和降低高介電常數薄膜的缺陷密度等優點，在文獻中 [90]提到高介電常數薄膜沉積後表面處理可提高 HfAlO(Hf:Al=7:3)薄膜的結晶溫度到 1000°C，所以最佳的 Hf/Al 比例和高介電常數薄膜沉積後表面處理是後續工作所需要研究的重點與目標。

矽化鎳為目前互補式金氧半場效電晶體裡最熱門的金屬閘極材料，矽

化鎳搭配 HfAlO 薄膜的功函數調變(workfunction modulation)範圍、物理機制和熱穩定性則是未來研究的主要項目，輔以非彈性電子穿隧能譜(inelastic electron tunneling spectroscopy, IETS)研究矽化鎳/HfAlO 介面特性對費米限定的影響，釐清電性上功函數調變之結果。



參考文獻

- [1]. R. H. Dennard, F. H. Gaensslen, H. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, "Design of ion implanted MOSFET's with very small physical dimensions", IEEE J. Solid State Circuits, vol.SC-9, p.256, 1974.
- [2]. International Technology Roadmap for Semiconductor, Semiconductor Industry Association, 2001.
- [3]. C. Y. Wong, J. Y. C. Sun, Y. Taur, C. S. Oh, R. Angelucci, and B. Davari, "Doping of n^+ and p^+ polysilicon in a dual-gate process", IEEE International Electron Devices Meeting (IEDM '88), San Francisco, p.238, 1988.
- [4]. S. H. Lo, D. A. Buchanan, and Y. Taur, "Modeling and characterization of quantization, polysilicon depletion, and direct tunneling effects in MOSFETs with ultra thin oxides", IBM J. Res. Develop., vol.43, No.3, p.327, 1999.
- [5]. Y. Taur, D. Buchanan, W. Chen, D. J. Frank, K. I. Ismail, S.-H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H.-J. C. Wann, S. J. Wind, and H.-S. Wong, "CMOS scaling into the nanometer regime", Proc. of IEEE, vol.85, p.486, 1997.
- [6]. Y. C. Yeo, "Metal gate technology for nanoscale transistors-material selection and process integration issues", Thin Solid Films. Vol. 462-463, no. Complete, p.34. Sept. 2004.
- [7]. E. Josse, T. Skotnicki, "Polysilicon Gate with Depletion-or-Metallic Gate with Buried Channel What Evil Worse?", in *IEDM Tech. Dig.*, p.661, 1999.
- [8]. J. Y. C. Sun, C. Wong, Y. Taur, C. H. Hsu, "Study of boron penetration through thin oxide with p^+ polysilicon gate", in *Proc.*

- Symp. VLSI Technology*, p.17,1989.
- [9]. J. R. Pfeister, K. F. Bake, T. C. Mele, H. H. Tseng, P. J. Tobin, J. D. Hayden, J. W. Miller, C. D. Gunderson, and L. C. Parrillo, "The effects of boron penetration on p⁺ polysilicon gates MOS devices", *IEEE Trans. Electron Devices*, vol.ED-37, p.1842, 1990.
- [10]. B. Y. Kim, I. M. Liu, H. F. Luan, M. Gardner, J. Fulford, and D. L. Kwong, "Impact of boron penetration on gate oxide reliability and device lifetime in p⁺ poly pMOSFET's", in *IEDM Tech. Dig.* p.287, 1997.
- [11]. K. A. Ellis and R. A. Buhrman, "Boron diffusion in silicon oxides and oxynitrides", *J. Electrochem. Soc.*, vol.145, p.2068, 1998.
- [12]. Q. Lu, Y. C. Yeo, P. Ranade, H. Takeuchi, T. J. King, C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, "Dual-metal gate technology for deep-sub-micron CMOS transistor", in *Proc. Symp. VLSI Technology*, p.72, 2000.
- [13]. H. Wakabayashi, Y. Saito, K. Takeuchi, T. Mogami, and T. Kunio, "A dual-metal gate CMOS technology using nitrogen-concentration-controlled TiN_x film", *IEEE Trans. Electron Devices*, ED-48, No.10, p.2363, 2001.
- [14]. R. Lin, Q. Lu, P. Ranade, T. J. King, and C. Hu, "An adjustable work function technology using Mo gate for CMOS devices", *IEEE Electron Devices Lett.*, vol.23, No.1, p.49, 2002.
- [15]. H. Zhong, S. N. Hong, Y. S. Suh, H. Iazar, G. Heuss, and V. Misra, "Properties of Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices", in *IEDM Tech. Dig.* p.432, 2001.
- [16]. D. G. park, T. H. Cha, K. Y. Lim, H. J. Cho, T. K. Kim, S. A. jang, Y. S. Suh, V. Misra, I. S. Yeo, J. S. Roh, J. W. Park, and H. K. Yoon, "Robust ternary metal gate electrodes for dual gate CMOS devices", in *IEDM Tech. Dig.*, p.616, 2001

- [17]. I. Polishchuk, P. Ranade, T. J. King, and C. Hu, "Dual work function metal gate CMOS transistors by Ni-Ti interdiffusion", *IEEE Electron Devices Lett.*, vol.23, No.4, p.200, 2002.
- [18]. B. Y. Tsui and C. F. Huang, "Wide range work function modulation of binary alloys for MOSFETs application", *IEEE Electron Devices Lett.*, vol.24, No.3, p.153, 2003.
- [19]. H. Y. Yu, H. F. Lim, J. H. Chen, M. F. Li, C. Zhu, C. H. Tung, A. Y. Du, W. D. Wang, D. Z. Chi, and D. L. Kwong, "Physical and electrical characteristics of HfN gate electrode for advanced MOS devices", *IEEE Electron Device Lett.*, vol.24, No.4, p.230-232, 2003.
- [20]. J. H. Sim, H. C. Wen, J. P. Lu, and D. L. Kwong, "Dual work function metal gates using fully nickel silicidation of doped poly-Si", *IEEE Electron Devices Lett.*, vol.24, No.10, p.631-633, 2003.
- [21]. J. Lu, H. C. Wen, J. P. Lu, and D. L. Kwong, "Dual-work-function metal gates by full silicidation of poly-Si with Co-Ni bi-Layers", *IEEE Electron Devices Lett.*, vol.26, No.4, p.228-230, 2005.
- [22]. J. H. Sim, H. C. Wen, J. P. Lu, and D. L. Kwong, "Work function tuning of fully silicided NiSi metal gates using a TiN capping layer", *IEEE Electron Devices Lett.*, vol.25, No.9, p.610, 2004.
- [23]. Jun Yuan and Jason C. S. Woo, "Tunable work function in fully nickel-silicided polysilicon gates for metal gate MOSFET applications", *IEEE Electron Devices Lett.*, vol.26, No.2, p.87, 2005.
- [24]. C. S. Park, B. J. Cho and D.L. Kwong, "Thermally stable fully silicided Hf-silicide metal-gate electrode", *IEEE Electron Devices Lett.*, vol.25, No.6, p.372-374, 2004.
- [25]. J. H. Stathis and D. J. DiMaria, "Reliability projection for

- ultra-thin oxides at low voltage,” in *IEDM Tech. Dig.*, p.167,1998.
- [26]. D. A. Buchanan, “Scaling the gate dielectric: materials, integration, and reliability”, *IBM J. Res. Develop.*, vol.43, No.3, p.245,1999.
- [27]. N. Yang, W. K. Henson, and J. J. Wortman, “Analysis of tunneling currents and reliability of MOSFET’s with Sub-2nm gate oxides”, in *IEDM Tech. Dig.*, p.453, 1999.
- [28]. I. De, D. Johri, A. Srivastava and C.M. Osburn, “Impact of gate workfunction on device performance at the 50 nm technology node”, *Solid-State Electronics*, vol.44, No.6, p.1077-1080, 2000.
- [29]. Y. C. Yeo, Q. Lu, P. Ranade, H. Takeuchi, K. J. Yang, I. Polishchuk, T. J. King; C. Hu, S. C. Song, H. F. Luan, and D. L. Kwong, “Dual-metal gate CMOS technology with ultrathin silicon nitride gate dielectric”, *IEEE Electron Devices Lett.*, vol.22, No.5, p.227, 2001.
- [30]. H. B. Michaelson, “Relation between an Atomic Electronegativity scale and the Work Function ,” *IBM J. Res. Develop.*, vol.22, No.72, p.72, 1978.
- [31]. H. B. Michaelson, “The Work Function of the Elements and its Periodicity” *J. Appl. Phys.*, vol. 48, 4729, 1977.
- [32]. C. S. Park, B. J. Cho and D.L. Kwong, “An integratable dual metal gate CMOS process using an ultrathin aluminum nitride buffer layer”, *IEEE Electron Devices Lett.*, vol.24, No.5, p.298-300, 2003.
- [33]. I. Polishchuk, P. Ranade, T. J. King, and C. Hu, “Dual work function metal gate CMOS technology using metal interdiffusion”, *IEEE Electron Devices Lett.*, vol.22, No.9, p.444-446, 2001.
- [34]. Q. Lu, R. Lin, P. Ranade, T. J. King, and C. Hu” Metal Gate Work Function Adjustment for Future CMOS Technology”, in *Proc. Symp. VLSI Technology*, p.45-46, 2001.

- [35]. P. Ranade, Y. K. Choi, D. Ha, A. Agarwal, M. Ameen, and T. J. King” Tunable work function molybdenum gate technology for FDSOI-CMOS”, in *IEDM Tech. Dig.*, p.363-366,2002.
- [36]. R. T. P. Lee, S. L. Liew, W. D. Wang, E. K. C. Chua, S. Y. Chow, M. Y. Lai, and D. Z. Chi, “Fully silicided $Ni_{1-x}Pt_xSi$ metal gate electrode for p-MOSFETs”, *Electrochemical and Solid-State Lett.*, vol.8, No.5, p.G156, 2005.
- [37]. P. Xuan, and J. Bokor, “Investigation of NiSi and TiSi as CMOS gate materials”, *IEEE Electron Devices Lett.*, vol.24, No.10, p.634-636, 2003.
- [38]. B. Tavel, T. Skotnicki, G. Pares, N. Carrière, M. Rivoire, F. Leverd, C. Julien, J. Torres, and R.Pante, “Totally Silicided ($CoSi_2$) Polysilicon: a novel approach to very low-resistive gate without metal CMP nor etching”, in *IEDM Tech. Dig.*, p.825,2001.
- [39]. W. P. Maszara, Z. Krivokapic, P. King, J. S. Goo, M. R. Lin “Transistors with dual work function metal gates by single full silicidation (FUSI) of polysilicon gates” in *IEDM Tech. Dig.*, p.367 2002.
- [40]. K. Takahashi, K. Manabe, T. Ikarashi, N. Ikarashi, T. Hase, T. Yoshihara, H. Watanabe, T. Tatsumi, and Y. Mochizuki, “Dual workfunction Ni-Silicide/HfSiON gate stacks by phase-controlled full-silicidation (PC-FUSI) technique for 45nm-node LSTP and LOP devices”, in *IEDM Tech. Dig.*, p.91,2004.
- [41]. M. S. Joo, B. J. Cho, N. Balasubramanian, and D. L. Kwong, “Stoichiometry dependence of Fermi-level pinning in fully silicided (FUSI) NiSi gate on high-K dielectric”, *IEEE Electron Devices Lett.*, vol.26, No.12, p.882, 2005.
- [42]. J. A. Kittl, M. A. Pawlak, A. Lauwers, C. Demeurisse, K. Opsomer, K. G. Anil, C. Vrancken, M. J. H. van Dal, A. Veloso, S. Kubicek, P. Absil, K. Maex, and S. Biesemans, “Work function of Ni silicide phases on HfSiON and SiO_2 : NiSi, Ni_2Si , $Ni_{31}Si_{12}$, and Ni_3Si fully silicided gates”, *IEEE Electron Devices Lett.*, vol.27, No.1, p.34-36, 2006.
- [43]. W. J. Qi, R. Nieh, B. H. Lee, L. Kang, Y. Jeon, and J. C. Lee, “Electrical and reliability characteristics of ZrO_2 deposited on Si for gate dielectric application”, *Appl. Phys. Lett.*, vol.77, No.20, p.3269, 2000.

- [44]. M. Copel, M. Gribelyuk, and E. Gusev, "Structure and stability of ultrathin zirconium oxide layers on Si (001)", *Appl. Phys. Lett.*, vol.76, No.4, p.436, 2000.
- [45]. T. S. Jeon, J. M. White, and D. L. Kwong, "Thermal stability of ultrathin ZrO₂ films prepared by chemical vapor deposition on Si (100)", *Appl. Phys. Lett.*, vol.78, No.3, p.368, 2001.
- [46]. E. P. Gusev, M. Copel, E. Cartier, I. J. R. Baumvol, C. Krug, and M. A. Gribelyuk, "High-resolution depth profiling in ultrathin Al₂O₃ films on Si", *Appl. Phys. Lett.*, vol.76, No.2, p.176, 2000.
- [47]. R. Ludeke, M. T. Cuberes, and E. Cartier, "Local transport and trapping issues in Al₂O₃ gate oxide structures", *Appl. Phys. Lett.*, vol.76, No.20, p.2886, 2000.
- [48]. M. Copel, E. Cartier, E. P. Gusev, S. Guha, N. Bojarczuk, and M. Poppeller, "Robustness of ultrathin aluminum oxide dielectrics on Si (001)", *Appl. Phys. Lett.*, vol.78, No.18, p.2670, 2001.
- [49]. S.A. Campbell, H.S. Kim, D.C. Gilmer, B. He, T. Ma, W.L. Gladfelter, "Titanium dioxide (TiO₂)-based gate insulators," *IBM J. Res. Develop.*, vol.43, No.72, p.245, 1999.
- [50]. G.B. Alers, D.J. Werder, Y. Chabal, H.C. Lu, E.P. Gusev, E. Garfunkel, T. Gustafsson, R. Urdahl, "Intermixing at the tantalum oxide/silicon interface in gate dielectric structure," *Appl. Phys. Lett.*, vol.73, No.11, p.1517, 1998.
- [51]. S. Guha, E. Cartier, M.A. Gribelyuk, N.A. Bojarczuk, M.C. Copel, "Atomic beam deposition of lanthanum- and yttrium-based oxide thin films for gate dielectrics," *Appl. Phys. Lett.*, vol.77, No.17, p.2710, 2001.
- [52]. M. Gurvitch, L. Manchanda, J.M. Gibson, "Study of thermally oxidized yttrium films on silicon," *Appl. Phys. Lett.*, vol.51, No.12, p.919, 1987.
- [53]. B. H. Lee, L. kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onishi, and J. C. Lee, "Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application," in *IEDM Tech. Dig.*, p.133, 1999.
- [54]. L. Kang, B. H. Lee, W. J. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi, and J. C. Lee, "Electrical characteristics of highly reliable

- ultrathin hafnium oxide gate dielectric”, *IEEE Electron Devices Lett.*, vol.21, No.4, p.181-183, 2000.
- [55]. L. Kang, K. Onishi, Y. Jeon, B.H. Lee, C. Kang, W.-J. Qi, R. Nieh, S. Gopalan, R. Choi, and J.C. Lee, “MOSFET devices with polysilicon on single-layer HfO₂ high-K dielectrics,” in *IEDM Tech. Dig.*, p.35, 2000.
- [56]. S. J. Lee, H. F. Luan, W. P. Bai, C. H. Lee, T. S. Jeon, Y. Senzaki, D. Roberts, and D. L. Kwong, “High quality ultra thin CVD HfO₂ gate stack with poly-Si gate electrode,” in *IEDM Tech. Dig.*, p.31, 2000.
- [57]. L. Kang, Y. Jeon, K. Onishi, B.H. Lee, C. Kang, W.J. Qi, R. Nieh, S. Gopalan, and J.C. Lee, “Single-layer thin HfO₂ gate dielectric with n⁺-polysilicon gate,” in *Proc. Symp. VLSI Technology*, p.44, 2000.
- [58]. B. Tavel, X. Garros, T. Skotnicki, F. Martin, C. Leroux, D. Bensahel, M. N. Semeria, Y. Morand, J. F. Damlencourt, S. Descombes, F. Leverd, Y. Le-Friec, P. Leduc, M. Rivoire, S. Jullian, and R. Pantel, “High performance 40 nm nMOSFETs with HfO₂ gate dielectric and polysilicon damascene gate,” in *IEDM Tech. Dig.*, p.429, 2002.
- [59]. C. Rino, K. Onishi, C. S. Kang, S. Gopalan, N. Renee, Y. H. Kim, J. H. Han, S. Krishnan, H. J. Cho, A. Shahriar, and J. C. Lee, “Fabrication of high quality ultra-thin HfO₂ gate dielectric MOSFETs using deuterium anneal,” in *IEDM Tech. Dig.*, p.613, 2002.
- [60]. B. H. Lee, R. Choi, L. Kang, S. Gopalan, R. Nieh, K. Onishi, Y. Jeon, W. J. Qi, C. Kang, and J. C. Lee, “Characteristics of TaN gate MOSFET with ultrathin hafnium oxide (8Å-12Å),” in *IEDM Tech. Dig.*, p.39, 2000.
- [61]. G. C. F. Yeap, S. Krishnan, and M. R. Lin, “Fringing-induced barrier lowering (FIBL) in sub-100 nm MOSFETs with high-K gate dielectrics,” *Electron Lett.*, vol. 34, no. 11, p1150-1152, 1998.
- [62]. W. Zhu, and T. P. Ma, “HfO₂ and HfAlO for CMOS : thermal stability and current transport,” in *IEDM Tech. Dig.*, p.463, 2001.
- [63]. Z W. Zhu, T. Tamagawa, M. Gibson, T. Fueukawa, and T. P. Ma, “Effect of Al inclusion in HfO₂ on the physical and electrical properties of the dielectrics”, *IEEE Electron Devices Lett.*, vol.23,

- no.11, p.649, 2002.
- [64]. K. Okada, H. Ota, W. Mizubayashi, H. Satake, A. Ogawa, K. Iwamoto, T. Horikawa, T. Nabatame, A. Toriumi, “Quantitative analysis of contribution of initial traps to breakdown in HfAlO_x/SiO₂ stacked gate dielectrics,” in *Proc. Symp. VLSI Tech.*, p.166, 2005.
- [65]. H. J. Cho, C. S. Kang, K. Onishi, S. Gopalan, R. Nieh, R. Choi, E. Dharmarajan, and J. C. Lee, “Novel nitrogen profile engineering for improved TaN/HfO₂/Si MOSFET performance,” in *IEDM Tech. Dig.*, p.655, 2001.
- [66]. Y. H. Kim, K. Onishi, C.S. Kang, R. Choi, H. -J. Cho, R. Nieh, J. Han, S. Krishnan, A. Shahriar, and J. C. Lee, “Hard and soft-breakdown characteristics of ultra-thin HfO₂ under dynamic and constant voltage stress” , in *IEDM Tech. Dig.*, p.629, 2002.
- [67]. K. Onishi, S. K. Chang, R. Choi, H.–J. Cho, S. Gopalan, R. Nieh, S. Krishnan, and J. C. Lee, “Effects of high-temperature forming gas anneal on HfO₂ MOSFET performance” , in *Proc. Symp. VLSI Tech.*, p.22, 2002.
- [68]. C. S. Park, B. J. Cho, and D.L. Kwong, “MOS Characteristics of synthesized HfAlON-HfO₂ stack using AlN-HfO₂”, *IEEE Electron Devices Lett.*, vol.25, No.9, p.619, 2004.
- [69]. M. S. Joo, B. J. Cho, C. C. Yeo, D. S. H. Chan, S. J. Whoang, S. Mathew, L. K. Bera, N. Balasubramanian, and D.L. Kwong, “Formation of Hafnium–Aluminum–Oxide Gate Dielectric Using Single Cocktail Liquid Source in MOCVD Process”, *IEEE Trans. Electron Devices*, vol.50, No.1, p.2088, 2003.
- [70]. W. J. Zhu, T. Tamagawa, and T. P. Ma , “Charging trapping in ultrathin hafnium oxide”, *IEEE Electron Devices Lett.*, vol.23, No.10, p.597, 2002.
- [71]. W. Tsai, L. Ragnarsson, P. J. Chen, B. Onsia, R. J. Carter, E. Cartier, E. Young, M. Grenn, and M. caymax, “Comparison of sub 1nm TiN/HfO₂ with poly-Si/HfO₂ gate stacks using scaled chemical oxide interface”, in *Proc. Symp. VLSI Tech.*, p.21, 2003.
- [72]. H. Kim, and P. C. McIntyre, “Effects of crystallization on the electrical properties of ultrathin HfO₂ dielectrics grown by atomic layer deposition” , *Appl. Phys. Lett.*, vol.82, No.1, p.106, 2003.
- [73]. H. Kim, A. Marshall, and P. C. McIntyre, “Crystallization kinetics and microstructure-dependent leakage current behavior of ultrathin

- HfO₂ dielectrics: *In situ* annealing studies” , *Appl. Phys. Lett.*, vol.84, No.12, p.2064, 2004.
- [74]. M. Cho, H. B. Park, J. Park, S. W. Lee and C. C. Hwang, “High-*k* properties of atomic-layer-deposited HfO₂ films using a nitrogen-containing Hf[N(CH₃)₂]₄ precursor and H₂O oxidant” , *Appl. Phys. Lett.*, vol.83, No.26, p.5503, 2003.
- [75]. Z. Xu, M. Houssa, S. D. Gendt, and M. Heyns, “Polarity effect on the temperature dependence of leakage current through HfO₂/SiO₂ gate dielectric stacks” , *Appl. Phys. Lett.*, vol.80, No.11, p.1975, 2002.
- [76]. Y.C. Yeo, P. Ranade, Q.Lu, R. Lin, T.J. King, and C. Hu, “Effects of high-K dielectrics on the workfunctions of metal and silicon gates,” in *VLSI Tech. Dig.*, p. 49, 2001.
- [77]. Y. C. Yeo, P. Ranade, T. J. King, and C. Hu, “Effects of High-K Gate Dielectric Materials on Metal and Silicon Gate Workfunctions”, *IEEE Electron Devices Lett.*, vol.23, No.6, p.342, 2002.
- [78]. C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H. H. Tseng; S. G. H. Anderson, B. E. White, P. J. Tobin, “Fermi-level pinning at the polysilicon/metal oxide interface-Part I”, *IEEE Trans. on Electron Devices*, vol. ED-51, No.6, p.971, 2004.
- [79]. C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H. H. Tseng, S. G. H. Anderson, B. E. White, P. J. Tobin, “Fermi-level pinning at the polysilicon/metal oxide interface-Part II”, *IEEE Trans. on Electron Devices*, vol. ED-51, No.6, p.978, 2004.
- [80]. C. C. Hobbs, L. Fonseca, V. Dhandapani, S. Samavedam, W. Taylor, J. Grant, L. Dip, D. Triyoso, R. Hegde, D. Gilmer, R. Garcia, D. Roan, L. Lovejoy, R. Rai, L. Hebert, H. Tseng, B. White, and P.

- Tobin, "Fermi-level pinning at the polySi/metal oxide interface," in *Proc. Symp. VLSI Tech.*, p.9, 2003.
- [81]. K. Shiraishi, K. Yamada, K. Torii, Y. Akasaka, K. Nakajima, M. Kohno, T. Chikyo, H. Kitajima, T. Arikado, "Physics in Fermi level pinning at the polySi/Hf-based high-k oxide interface", in *Proc. Symp. VLSI Tech.*, p.108, 2004.
- [82]. Jill Chastain: Handbook of X-ray Photoelectron Spectroscopy, Perkin-Elmer Corporation, 1992.
- [83]. Chang Seok Kang, Hag-Ju Cho, Rino Choi, Young-Hee Kim, Chang Yong Kang, Se Jong Rhee, Changhwan Choi, , Mohammad Shahariar Akbar, and Jack C. Lee, "The Electrical and Material Characterization of Hafnium Oxynitride Gate Dielectrics With TaN-Gate Electrode", *IEEE Trans. Electron Devices*, vol.51, No.2, p.220, 2004.
- [84]. M.L. Green, M. Y. Ho, B. Busch, G.D. Wilk, and T. Sorsch, "Nucleation and growth of atomic layer deposited HfO₂ gate dielectric layers on chemical oxide (Si-O-H) and thermal oxide (SiO₂ or Si-O-N) underlayers", *J. Appl. Phys.*, 92, p.7168, 2002.
- [85]. 梁建翔，二氧化鉛薄膜製備與鉛污染結果，國立交通大學，碩士論文，民國 92 年。
- [86]. K. J. Choi, W. C. Shin, and S. G. Yoon, "Effect of annealing conditions on a hafnium oxide reinforced SiO₂ gate dielectric deposited by plasma-enhanced metallorganic CVD", *J. Electro. Soc.*, 149, p.18, 2002.
- [87]. Z. Kuo, and T. P. Ma, "A new method to extract EOT of ultrathin gate dielectric with high leakage current", *IEEE Electron Device Lett.*, Vol.25, NO. 9, p.655, 2004.
- [88]. C. F. Huang, and B. Y. Tsui, "Investigation of NiSi Fully-Silicided Gate on SiO₂ and HfO₂ for Applications in Metal-Oxide-Semiconductor Field-Effect Transistors", *Jpn. J. Appl. Phys.* vol.45, p.5702, 2006
- [89]. T. Yamaguchi, T. Ino, H. Satake, and N. Fukushima, "Novel dielectric breakdown model of Hf-silicate with high temperature annealing", *IEEE International Reliability Physics Symposium*, p.34, 2003.
- [90]. M. Koyama, Y. Kamimuta, M. Koike, M. Suzuki and A. Nishiyama,

“Effect of Film Composition of Nitrogen Incorporated Hafnium Aluminate (HfAlON) Gate Dielectric on Structural Transformation and Electrical Properties through High-Temperature Annealing”, *Jpn. J. Appl. Phys.* vol.43, p.1788, 2004.



個人簡歷

姓名：林孟漢

性別：男

出生年月日：民國 70 年 10 月 10 日

籍貫：台灣省台中縣

住址：台中縣大里市立仁路 151 號

學歷：

國立中央大學物理系學士

(89.9-93.6)

國立交通大學電子所碩士

(93.9-95.9)



碩士論文題目：

矽化鎳搭配高介電常數薄特性之研究

A Study on the Properties of NiSi/High-K Film