

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

功率元件之不等電位場板終端結構設計



**Design of Termination Structure with  
Nom-equal Potential Field Plate for  
Power Devices**

研 究 生：黃永助

指 導 教 授：崔秉鉞 教授

中華民國九十五年九月

功率元件之不等電位場板終端結構設計

# Design of Termination Structure with Non-equal Potential Field Plate for Power Devices

研究生：黃永助

Student : Yung-Chu Huang

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui



A thesis

Submitted to Institute of Electronics

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirement

for the Degree of Master of Science

in

Electronic Engineering

September 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年九月

# 功率元件之不等電位場板終端結構設計

研究生:黃永助

指導教授:崔秉鉞

國立交通大學電子工程系 電子研究所碩士班

## 摘 要

複晶矽是一個成熟的材料，其沉積與蝕刻速率穩定且容易整合在一般 IC 製程上，因此本論文利用複晶矽作為一不等電位場板結合金屬場板應用在終端結構上，以提高元件崩潰電壓。

我們先利用 ISE TCAD 製程模擬軟體模擬金屬場板終端結構結合複晶矽電阻，證實其崩潰電壓比單一金屬場板結構能大幅提升。實際製作出的單一金屬場板終端結構可耐壓約 300 伏特，加入了複晶矽電阻，耐壓可提升至 2000 伏特，漏電流約在微安培等級。由於複晶矽電阻同時連接元件兩端電極，其阻抗是造成漏電流的主要因素。我們將複晶矽電阻開縫隙，使元件電極看到的複晶矽電阻等效寬度變小或等效長度變大，藉此降低漏電流，本論文有同心圓縫隙及螺旋型縫隙兩種結構。

除了改變複晶矽電阻的結構，我們研究如何提高複晶矽電阻的電阻係數以提升總阻抗，複晶矽電阻藉由 n 型及 p 型的離子植入加上後續的退火形成許多 P-N-N-P 結構，自由載子看到的能障變多，所以電阻係數提高，晶粒大小、n 型摻雜濃度和後續的退火時間及溫度是影響電阻係數最主要的因素，我們沉積 550 度的非晶矽、硼磷植入劑量各為  $1 \times 10^{13} \text{cm}^{-2}$  及  $2 \times 10^{13} \text{cm}^{-2}$ 、能量各為 40KeV、120KeV 加上後續 1000 度 30 分鐘的退火，電阻係數能達到  $10^6$  等級。如沉積溫度較高的複晶矽，我們也能利用先植入氮原子抑制晶粒在後續退火中的成長，電阻係數同樣能達到  $10^6$  等級。

# **Design of Termination Structure with Non-equal Potential Field Plate for Power Devices**

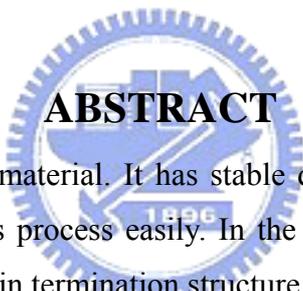
Student : Yung-Chu Huang

Advisor : Bing-Yue Tsui

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

The logo of National Chiao Tung University is a circular emblem with a gear-like outer border. Inside the circle, there is a stylized figure holding a torch, and the year '1996' is inscribed at the bottom. The word 'ABSTRACT' is overlaid in bold black text across the center of the logo.

## **ABSTRACT**

Poly silicon is a mature material. It has stable deposition rate and etching rate and combined on general IC's process easily. In the thesis we use poly silicon as a non-equal potential field plate in termination structure to increase breakdown voltage.

First we execute the simulation of termination structure which combines metal field plate and poly resistor by ISE TCAD simulation and verify that the breakdown voltage of the structure is greater than of metal field plate termination structure. In reality, we fabricate the metal field plate termination structure and its breakdown voltage is 300 V. After adding poly resistor, the breakdown voltage of the termination structure is 2000V and leakage current is in microampere. Because poly resistor connects two electrode of device, its resistance is a key factor of leakage current. We make the effect width shorter and the effect length longer to decrease the leakage current by the seams in the poly-resistor. There are two kinds of seam in our thesis. One shape is spiral and the other is like a concentric circle.

Except for changing the structure of the poly resistor, we study that how to increase the resistivity of the poly resistor and its total resistance. There are many P-N-N-P structures to form in the poly resistor by n-type and p-type implantation and annealing. A series P-N-N-P structure is encountered by the free charge carrier. A

large resistivity is hence observed. Grain size, n-type doping concentration, annealing time and annealing temperature are the key factor of resistivity. When 550 °C amorphous silicon was deposited, the ion dose of boron and phosphorus are equal to  $1 \times 10^{13} \text{ cm}^{-2}$  and  $2 \times 10^{13} \text{ cm}^{-2}$  at 40KeV and 120KeV, annealing temperature is 1000 °C and annealing time is 30minute, the resistivity of resistor can reach  $10^6 \Omega\text{-cm}$ . If 625 °C was deposited, we also could use nitrogen implantation to suppress the growth of the grain in annealing process. Then the resistivity of poly silicon also can reach  $10^6 \Omega\text{-cm}$ .



## 誌謝

隨著本論文的完成，學生生涯即將劃上句點。在兩年的碩士生活裡首先要感謝指導教授 崔秉鉞老師在論文和研究上的指導，老師在實驗上處理問題的態度，以及敏銳的思路，樹立了優秀的典範，令學生獲益良多。

感謝國家奈米元件實驗室和交通大學奈米中心提供優良的機台設備以及管理完善的實驗環境。尤其感謝范秀蘭小姐在機台及實驗上的幫助，使我在實驗上更加順利。

在從事研究期間，首先感謝黃琪聰學長，不管是生活上或研究上，都給予我非常大的幫助，以及黃誌鋒、吳偉豪、林佳彬、謝志民、盧季霈學長，林孟漢、吳明錡，李佳蓉同學和洪玉仁、黃勻珮、李振欽，李振銘、柳旭茹學弟妹在實驗上的指導和幫忙，在此致以最真誠的謝意。

特別感謝家人的支持和默默付出，讓我可以專心向學而順利完成碩士學位，還有卓伊紋小姐的鼓勵，在我遇到心情低潮的時候，都能在身邊陪伴我，最後我想對他們說，我愛你們!

# 目 錄

中文摘要	.....	i
英文摘要	.....	ii
誌謝	.....	iv
目錄	.....	v
表目錄	.....	vii
圖目錄	.....	viii
<b>第一章</b>	<b>緒論</b> .....	<b>1</b>
1-1	邊界(termination)結構的簡介.....	1
1-2	論文研究動機.....	5
1-3	論文架構.....	7
<b>第二章</b>	<b>終端結構設計與量測結果</b> .....	<b>13</b>
2-1	終端結構模擬.....	13
2-2	不等電位場板的終端結構製作流程.....	16
2-3	量測結果與討論.....	17
<b>第三章</b>	<b>複晶矽電阻的研究</b> .....	<b>39</b>
3-1	複晶矽電阻製作流程.....	39
3-2	理論模型.....	40
3-3	量測結果與討論.....	41
<b>第四章</b>	<b>結論和未來展望</b> .....	<b>58</b>

4-1	結論.....	58
4-2	未來展望.....	60
參考文獻 .....		61
個人簡歷 .....		64



# 表目錄

## 第一章

表1-1 終端結構的比較。

## 第二章

表2-1 不等電位場板終端結構元件模擬參數。

表2-2 等電位場板終端結構(含縫隙)的元件模擬參數。

表2-3 實際製作終端結構的元件參數。

## 第三章

表3-1 不同磷載子濃度、退火溫度及退火時間下的非晶矽電阻係數值。

表3-2 不同磷載子濃度、退火溫度及退火時間下的複晶矽電阻係數值(單位 歐姆-公分)。

表3-3 不做任何離子植入的複晶系及非晶矽的電阻係數值(單位 歐姆-公分)。

表3-4 不同氮原子植入條件、退火條件下的複晶矽電阻係數值(單位 歐姆-公分)。

# 圖目錄

## 第一章

- 圖 1-1 實際 PN 接面。
- 圖 1-2 空乏區內的離子碰撞現象。
- 圖 1-3 四種基本的終端結構(a)場板結構(b)浮動環結構(c)接面邊界延伸結構(d)降低表面電場結構。
- 圖 1-4 場板和 SIPOS 結合的終端結構。

## 第二章

- 圖 2-1 不含複晶矽電阻的模擬元件橫截面圖。圖左邊的鋁電極接地，圖右邊的鋁電極加電壓。
- 圖 2-2 終端結構以複晶矽電阻作為不等電位場板的佈局圖。
- 圖 2-3 矽基板表面下  $0.5\mu\text{m}$  的橫截面電場分佈圖。
- 圖 2-4 矽基板表面下  $0.5\mu\text{m}$  的電位分佈圖。
- 圖 2-5 模擬空間電荷分佈圖。上圖是只有金屬場板的終端結構，下圖是含有金屬場板及複晶矽電阻的終端結構。
- 圖 2-6 不同金屬場板長度對崩潰電壓的關係圖。
- 圖 2-7 不同複晶矽電阻長度對崩潰電壓的關係圖。
- 圖 2-8 基本元件結構中複晶矽為(a)同心圓結構(b)螺旋結構縫隙的佈局圖。
- 圖 2-9 基本元件經過開縫後的縫隙下方橫截面圖。圖左邊的鋁電極接地，圖右邊的鋁電極加電壓。
- 圖 2-10 3D 模擬結構的俯視圖。圖左邊的鋁電極連接  $P^+$  區域，圖右邊的鋁電極連接  $N^+$  區域。
- 圖 2-11 矽基板表面下  $0.5\mu\text{m}$  的電位分佈圖。
- 圖 2-12 矽基板表面下  $0.5\mu\text{m}$  的電場分佈圖。
- 圖 2-13 縫矽間的複晶矽電阻長度對崩潰電壓的關係圖。
- 圖 2-14 縫隙長度對崩潰電壓的關係圖。

- 圖 2-15 縫隙長度對最大電場的關係圖。
- 圖 2-16 終端結構以複晶矽電阻作為不等電位場板的製作流程。
- 圖 2-17 只含金屬場板終端結構的電流-電壓關係圖。
- 圖 2-18 終端結構利用兩阻複晶矽電阻作為不等電位場板的電流-電壓關係圖。
- 圖 2-19 終端結構利用三種不同複晶矽結構作為不等電位場板的電壓-電流關係圖。複晶矽電阻有經過硼磷離子佈植，金屬場板長度=100 $\mu\text{m}$ ，複晶矽電阻長度=900 $\mu\text{m}$ 。

### 第三章

- 圖 3-1 複晶矽經過 n 及 p 型的離子植入所產生的能帶圖。
- 圖 3-2 複晶矽電阻退火時間為(a)30min，(b)60min，(c)120min 時，不同的 n 型離子植入劑量對其電阻係數的影響。
- 圖 3-3 複晶矽電阻磷植入劑量為(a) $5 \times 10^{12} \text{cm}^{-2}$ ，(b) $1 \times 10^{13} \text{cm}^{-2}$ ，(c) $1 \times 10^{13} \text{cm}^{-2}$ 時，退火溫度其電阻係數的影響。
- 圖 3-4 複晶矽電阻退火溫度為(a)900 度，(b)1000 度，(c)1100 度時，不同退火時間對其電阻係數的影響。
- 圖 3-5 有無 N 型或 P 型離子植入的複晶矽及非晶矽電阻在經過退火後的電阻係數比較圖。
- 圖 3-6 非晶矽電阻的表面晶粒 SEM 圖，非晶矽經過硼磷離子植入，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  和  $2 \times 10^{13} \text{cm}^{-2}$ ，能量分別為 40KeV 和 120KeV，經過 1000 度 30 分鐘的退火，電阻係數為  $1.86 \times 10^6$ (歐姆-公分)，晶粒大小約 66nm。(b)複晶矽電阻的表面晶粒 SEM 圖。複晶矽經過硼磷離子植入，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  和  $2 \times 10^{13} \text{cm}^{-2}$ ，能量分別為 40KeV、120KeV，經過 1000 度 30 分鐘的退火，電阻係數為  $2.39 \times 10^5$ (歐姆-公分)，晶粒大小約 96nm。
- 圖 3-7 condition1 是經過 30KeV,  $2 \times 10^{15} \text{cm}^{-2}$  及 100KeV,  $2 \times 10^{15} \text{cm}^{-2}$  兩次氮原子植入，condition2 是經過 60KeV,  $2 \times 10^{15} \text{cm}^{-2}$  一次氮原子植入。有無氮原子植入的複晶矽與無氮原子植入

的非晶矽在(a)1000度60分鐘退火及(b)900度60分鐘退火後的電阻係數比較圖。

圖3-8 複晶矽電阻的表面晶粒SEM圖。複晶矽經過硼和磷離子植入，劑量分別為  $1 \times 10^{13} \text{ cm}^{-2}$ 、 $2 \times 10^{13} \text{ cm}^{-2}$ ，能量分別為 40KeV 及 120KeV，(a)兩次氮原子植入劑量皆為  $2 \times 10^{15} \text{ cm}^{-2}$  能量分別為 30KeV 及 100KeV，經過 1000 度 60 分鐘的退火，電阻係數為  $1.47 \times 10^6$  (歐姆-公分)，晶粒大小約 59nm。(b)氮原子植入，劑量為  $2 \times 10^{15} \text{ cm}^{-2}$ ，能量為 60KeV，經過 1000 度 60 分鐘的退火，電阻係數為  $8.27 \times 10^5$  (歐姆-公分)，晶粒大小約 67nm。

圖3-9 複晶矽電阻的表面晶粒SEM圖。複晶矽經過硼和磷離子植入，劑量分別為  $1 \times 10^{13} \text{ cm}^{-2}$  及  $2 \times 10^{13} \text{ cm}^{-2}$ ，能量分別為 40KeV 及 120KeV，(a)兩次氮原子植入劑量分為  $2 \times 10^{15} \text{ cm}^{-2}$ ，能量分別為 30KeV 及 100KeV，經過 900 度 60 分鐘的退火，電阻係數為  $1.53 \times 10^6$  (歐姆-公分)，晶粒大小約 65nm。(b)氮原子植入，劑量為  $2 \times 10^{15} \text{ cm}^{-2}$ ，能量為 60KeV，經過 900 度 60 分鐘的退火，電阻係數為  $1.02 \times 10^6$  (歐姆-公分)，晶粒大小約 67nm。

# 第一章 緒論

## 1-1 邊界(termination)結構的簡介

功率積體電路及元件在相關電機電子產品領域中應用日漸增多，但功率元件的設計製造及工作條件則有別於一般的傳統元件，例如可承受的電壓及電流範圍、功率、元件的耐用性、可靠度和安全操作範圍等，設定的標準都和一般IC有很大的不同，特別是功率元件在電壓的操控方面，25伏至6000伏以上的應用皆有。功率元件的進步為電力電子帶來革命性的發展，而且現今的市場針對不同的應用提供了很多可用的元件。如Power MOSFET是低功率元件的主流，開關的切換速度快是其最大的優點，在高頻操作的電路上極具吸引力，主要應用在RF電路、切換式的電源供應器及馬達控制電路等。中功率元件首推IGBT(Insulated Gate Bipolar Transistor)，在600~2500伏電壓及10K瓦功率的等級上，已取代了功率雙載子接面電晶體(power BJT)、達靈頓電晶體(Darlington transistor)、MOSFET和GTO thyristor，主要應用有交流馬達驅動、感應式加熱系統、不斷電電源供應器及切換式電源供應器等。如閘流體(Thyristor)也稱為SCR (Silicon-controlled rectifiers)，擁有最高功率密度的元件，可負載約3500安培的順向電流且順向壓降小於2伏，並可以支撐大於6000伏的反向偏壓，閘流體是一個單獨的元件，被歸類在百萬瓦特的功率等級，如12k伏/1.5k安培、7.5k伏/1.65k安培及6.5k伏/2.65k安培等，經常被應用在高壓直流轉換器、自耦變壓器、大功率的電源供應器及直流馬達驅動等。

功率元件操控電壓的能力取決於當元件內部電場變的很大，累增崩潰的發生。高電場會發生在元件內部電流流過的地方或是元件邊界，因此設計上須小心注意電場在內部或是邊界的分佈，確保元

件能承受高電壓，且盡可能的使元件的崩潰電壓能和元件材料本身特性一樣，以達到最佳化。平行擴散技術常常被使用在功率元件中，藉由氣體擴散或離子佈植來形成接面，然而，雜質會橫向擴散，程度約為垂直擴散的百分之八五，當接面由方形的窗口形成，圓柱和圓球形接面會在四周伴隨而生，如圖1-1，箭頭代表電場線，接面內部的電場較均勻，其崩潰電壓和平行接面的崩潰電壓相同，但在邊緣的地方，電場線的聚集變的更緊密，使得此處的崩潰電壓將小於平行接面的崩潰電壓。由柏桑(Poisson)方程式可推導出式子(1)(2)

$$E_{m,PP} = \frac{qN_A r_d}{\epsilon_s} \dots\dots\dots (1)$$

$$E_{m,CYL}(r_j) = \frac{qN_A r_d^2}{2\epsilon_s r_j} \dots\dots\dots (2)$$

$r_j$ ：柱狀接面的深度     $r_d$ ：輕摻雜端的空乏區半徑

$N_A$ ：輕摻雜端的載子濃度

$E_{m,PP}$ ：平行接面的最大電場

$E_{m,CYL}(r_j)$ ：圓柱接面的最大電場

由(1)(2)可得

$$\frac{E_{m,CYL}}{E_{m,PP}} = \frac{r_d}{2r_j}$$

如果接面深度是1微米，空乏區寬度是50微米，圓柱接面的最大電場將是平行接面最大電場的25倍，也就證明圓柱接面的電場線會較密集，而使得接面提早發生崩潰。

在此，回顧崩潰機制。在功率元件中，注重其耐壓能力，就是累增崩潰的機制，也稱為撞擊游離化，是一種現在功率元件的基本物理機制。大電壓往往跨在元件內PN的逆偏接面，空乏區由原本在平衡狀態的游離化電荷和靜止的施體及受體離子產生，伴隨局部電場跨在空乏區內，將內部的空間電荷或由鄰近中性區擴散進來的自由載子掃開，當電壓增加，空乏區的電場跟著增加，加速自由載子

的移動，以矽為例，當空乏區內電場比 $1 \times 10^5$  V/cm大時，自由載子達到飽和飄移速度約 $1 \times 10^7$  V/cm，獲得更高的動能去和晶格內的原子碰撞，激發電子從價帶至導帶，此電子-電洞對的產生行為稱做撞擊游離化[1]。因為空乏區內產生的電子-電洞對再次被電場加速碰撞，造成更多的電子-電洞對在空乏區內，如圖1-2，因此，撞擊游離化是一加乘現象導致流過空乏區的電流增加。當撞擊游離化速率變成無限大，稱做累增崩潰，此時元件無法再承受更大的外加電壓。

實際的元件中，因為不可能無限大，平行接面一定會被終止在邊界上，而在邊界上的接面將彎曲，圓柱和圓型的接面因此產生。在相同的偏壓下，標準變得較嚴格。這種情形是無可避免的，唯一可以做的事，是將終端區域的電場設計成接近平行接面，使電位重新分佈，進而使在矽基板內的電場能分布到任何可到達的區域，即是終端結構唯一的目的。顯而易見地，電位差降在愈大的區域，會有愈小的電場和累增電流。一般來說，功率元件終端的崩潰電壓會小於其內部，即使元件本身可以承受較高的電壓，邊緣部份發生崩潰後，整個元件操作的電流仍會持續變大，使操作的功率超過安全值致使元件毀壞，因此已經有許多接面的終端結構被發展出來，大部分述求的重點是在製程的簡化、效率(efficiency)、相同電壓下消耗的面積上。這裡的效率是指能達到平行板結構崩潰電壓的百分比。

每一種結構都有其最重要的設計參數，如何控制好這些參數使其達到崩潰電壓的最佳化，將會影響製程設計的簡單與否。在此回顧幾種現今微電子領域中主要的的終端結構：場板(Field Plate)結構、浮動環(Floating Ring)、接面邊界延伸(Junction Termination Extension)以及降低表面電場(Resurf)結構(Reduced SURface Field)，圖1-3為這四種終端結構的基本結構圖[2]。除了降低表面電場結構只能用在水平式結構，另外三種結構的電極都能做成水平式或垂直式的，易與積體電路整合在一起，如Lateral power diode[3]、LDMOSFET[4,5]等水平式的功率元件及Trench Gate Power

MOSFET、IGBT[6]等垂直式的功率元件。

單一的場板結構如圖1-3(a)，低電壓的電極向外延伸，延伸出來的電極相對於基底為負電壓，就像在 $P^+/N$ 接面旁邊多並聯了一個電容，能多吸引一些正電荷，也就等於將基底多空乏了一些，因此空乏區由 $P^+/N$ 接面的地方向外延伸，接面邊角處較密集的電場獲得了緩衝，崩潰電壓藉此能再提升[1]。此結構最重要的設計參數是氧化層的厚度和電極延伸的長度。電極的延伸長度有一個最佳條件，而如果氧化層太厚，延伸電極在基底感應的電荷太少，等於沒發揮效用，如果太薄，在延伸電極的邊緣會產生更大的電場，可能比主要 $P^+/N$ 接面的電場還大，元件反而提早崩潰。浮動環結構如圖1-3(b)，在主要 $P^+/N$ 接面的附近，多植入 $P^+$ 的井(well)， $P^+$ 和基底呈現逆偏狀態，更多的空乏區向基底延伸，藉此現象，主要的接面邊角電場聚集的效應獲得減輕，崩潰電壓被提高[1]。接面邊界延伸如圖1-3(c)，在緊鄰主要的 $P^+N$ 接面旁邊多植入較淺的 $P^+/N$ 接面，因為是和 $P^+$ 低電壓端連接著， $P^+/N$ 接面會逆偏，空乏區由此延伸的接面能再多往外擴張，而此結構最重要的設計參數就是延伸出的 $P$ 濃度，有一最佳的濃度使達到最大的崩潰電壓，如果 $P$ 太淡，在不是很高的電壓下就被完全空乏掉，崩潰點又會回到主要接面，使得 $P$ 層無法發揮效用，如果 $P$ 太濃， $P$ 層很難被空乏，使 $P$ 層邊緣的空乏區很小，崩潰電壓反而被此限制。另外， $P$ 層的延伸寬度也須控制好，取得最佳化條件[2]。

降低表面電場結構如圖1-3(d)，在設計高電壓和低導通電阻的水平式結構上，RESURF是最有效的方法之一，它已成功被應用在許多高電壓結構上，如二極體、LDMOS、LIGBT及JFET[7,8,9,10]等，此結構最大可承受的逆偏電壓範圍，可以從幾十伏特到幾千伏特。其基本結構包含一個高阻值的 $P$ -基底，上面有一 $N$ -磊晶層，此 $N$ -層的橫向被一 $P^+$ 包住，而兩個二個主要接面因此形成，一個是 $P^+N$ -接面，另一個是 $P-N$ -接面，加大電壓下， $N$ -磊晶層在一特定的厚度下，會完全被空乏，且使 $P^+N$ -的接面電場小於臨界電場即表面電場

不使元件崩潰，而P-N-接面的電場近似臨界電場，因此可以達到比較理想的基底崩潰電壓。

除上述四種較常用的例子外，仍有其他單一結構被發展出來，如斜邊 (bevel) 結構、溝槽式終端結構 (Trench Termination Technique)[11,12]及其他特別的結構[13,14]等，也都被研究如何有效地整合在功率元件上，主要訴求是將邊界的接面空乏區儘可能的向外延伸，以提告元件邊緣的崩潰電壓。

## 1-2 論文研究動機

對高功率電晶體的邊界結構而言，效率和消耗的面積是非常重要的，一方面要能提高可承受的耐壓，如國防上的應用，電子元件耐壓必須達到數百、千伏特，以確保軍用設備隨時能正常使用於任何環境，一方面要能提高效率並節省面積去降低製造成本，單一的場板、浮動環或接面邊界延伸結構等已較不適合去符合這些要求。

以浮動環來說，有高效率及製程簡單是此結構的優點，因為周圍的井可以伴隨著主要元件區一起製作，不須多一道製程步驟或光罩，但井間的距離大大地影響崩潰電壓，如何找出最佳化是此結構設計上非常困難的地方，而且如果要做到能耐較高的崩潰電壓，愈靠近外圈的井，彼此間的距離必須愈來愈大，因此最後將消耗許多面積，較不符合降低製程成本的需求。接面邊界延伸方面，類似浮動環，但多了一離子佈值的步驟去形成邊界延伸的離子佈值區域，目的是要正好能被完全空乏，提高空乏區寬度，進而提高崩潰電壓，但設計上，如果要能承受較高電壓，就需要多幾次離子佈植將邊界延伸出去，每一次佈植的濃度和寬度，要達到最佳化設計，將變得非常困難，而寬度也會消耗更多的面積。另外，此結構的效率會嚴重受到氧化層和矽基板介面電荷的影響，因為延伸區域的介面電荷會影響此處的電位分佈，進而影響到空乏區的分佈，使崩潰電壓不在最佳化處。降低表面電場結構方面，優點為導通狀態下的高

電流傳導區域和截止狀態下的高逆偏電壓區域是分開的，因此能較容易同時達到高崩潰電壓及低導通電阻，且設計和製程簡單及消耗面積少，缺點為崩潰電壓極易受到磊晶層特性的影響和無法與垂直結構的元件整合。場板結構方面，製程上最為簡單，只要一個延伸的金屬板，且可以在金屬化製程步驟一起完成，但在場板邊緣下方的矽基板位置，由於電位劇烈變化，將造成一個比主要接面區更大的電場，此電場如果超過矽的介電強度，即發生崩潰，因此，這個電場限制了崩潰電壓，使單一場板的結構，大多應用在低電壓的範圍。

許多研究單位發展了一些變化結構，如場板搭配浮動環[15,16,17]，製程困難度並未增加很多，但崩潰電壓卻大幅提升，如兩個接面邊界延伸的結合[3,6]，以大面積的快速回復二極體(fast recovery diode)的邊界結構為例，約可以達到矽本身理想崩潰電壓的百分之九十。之後，也有人針對單一場板的結構做了改進，利用一層SIPOS(Semi-Insulating Polycrystalline Silicon)作為一高電阻層，沉積在兩端的電極之間，如圖1-4，目的是使空乏區從主要接面延伸出去，令兩端電極間的電位呈線性分佈取代原來的非線性分佈，緩和場板邊緣下方的電場，因此大幅提高崩潰電壓[18,19,20,21]。另外，由於此高電阻層的存在，限制了下方矽基板表面的電位，即使在矽基板和氧化層的界面有大量界面電荷，也不會影響到矽基板的表面電位，所以崩潰電壓最佳化不會受到影響。然而，SIPOS和一般的IC製程上較不相容，且SIPOS是利用矽原子和氧原子混合而成[22]，不同的比例混合造成不同的電阻值和蝕刻率，使不均勻性提高和再現性下降。此結構的另一個缺點是多了一高電阻層在兩電極之間，相對於整個結構而言，無疑提供了一條電流路徑，使漏電流提高。表1-1為上述五種終端結構比較表。

### 1-3 論文架構

本論文利用複晶矽電阻(Poly-resistor)[23]替代SIPOS作為一高電阻層，先是將此複晶矽電阻的電阻係數提高再將兩電極間的複晶矽電阻開縫，使此電阻的寬度變小以提高其電阻值，預期能達到高崩潰電壓且低漏電流，在第二章中會特別針對複晶矽電阻加以述說。

論文一開始主要是概略的介紹邊界結構的用處以及從其發展至今最常被用來搭配組合或改良的三種結構，並簡要的敘述個別的優缺點。

第二章中主要分成兩個部分即元件模擬與元件量測結果與討論。元件模擬主要是利用ISE TCAD半導體模擬軟體[24]模擬元件參數對崩潰電壓的影響，參數包括終端結構金屬場板長度、複晶矽電阻長度、複晶矽的縫隙大小及縫隙間的複晶矽長度。元件量測結果與討論的章節先是介紹邊界結構包含場板及複晶矽電阻的製作流程。元件製作完成後首先會針對元件做基本電流-電壓特性分析，量測元件崩潰電壓及其漏電流大小，並對不同尺寸結構得出不同的崩潰電壓加以整理。接著利用ISE軟體模擬出此邊界結構的崩潰電壓值及漏電流值，實際測量值和模擬值兩者做一比較。

第三章介紹複晶矽電阻的理論及在不同的熱處理條件下量測出的電阻值。未摻雜的複晶矽電阻係數約為 $1 \times 10^5$  歐姆-公分，在做一種n型或p型的摻雜後，其電阻係數會降低，但做了兩種型的摻雜，電阻係數反而會大於未摻雜的複晶矽，且不同的摻雜劑量及摻雜後不同的退火條件下，電阻係數也將有不同的變化。

最後一章則是整個論文總結及一些未來針對此主題可做的工作建議。

表1-1 終端結構的比較(-代表最差,++++代表最好)

	場板	浮動環	接面邊界 延伸	降低表面 電場	電阻性場 板
關鍵參數	氧化層厚度,場板長度	環劑量,表面電荷	接面延伸長度,表面電荷	磊晶層劑量及厚度	無
設計簡易性	+++	+	+++	+++	+++
製程簡易性	+++	+++	++	++++	+
效率	+	+++	+++	++++	+++
消耗面積	+++	++	++	++++	+++
可微縮程度	-	++	++	+++	++
其他	只能配合低崩潰電壓			只能配合水平結構	漏電流較大

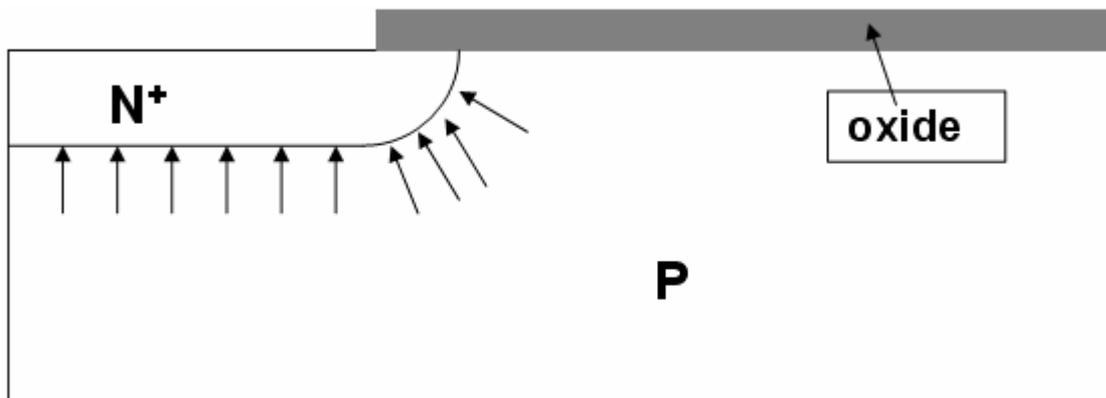


圖 1-1 實際PN接面

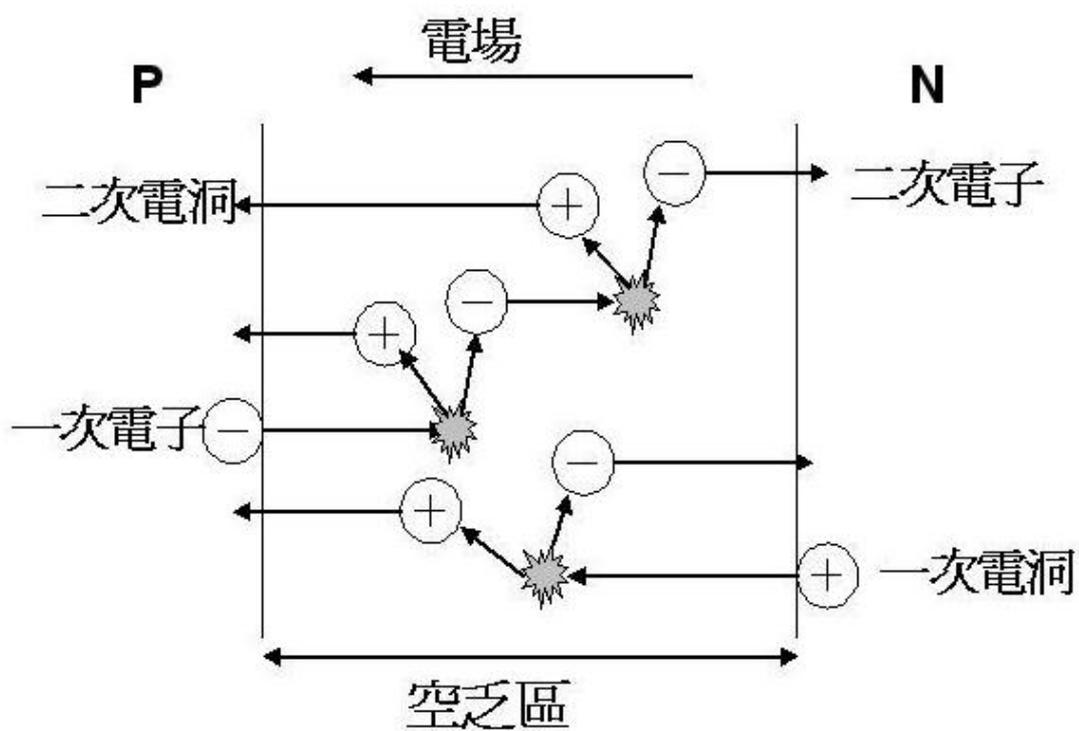
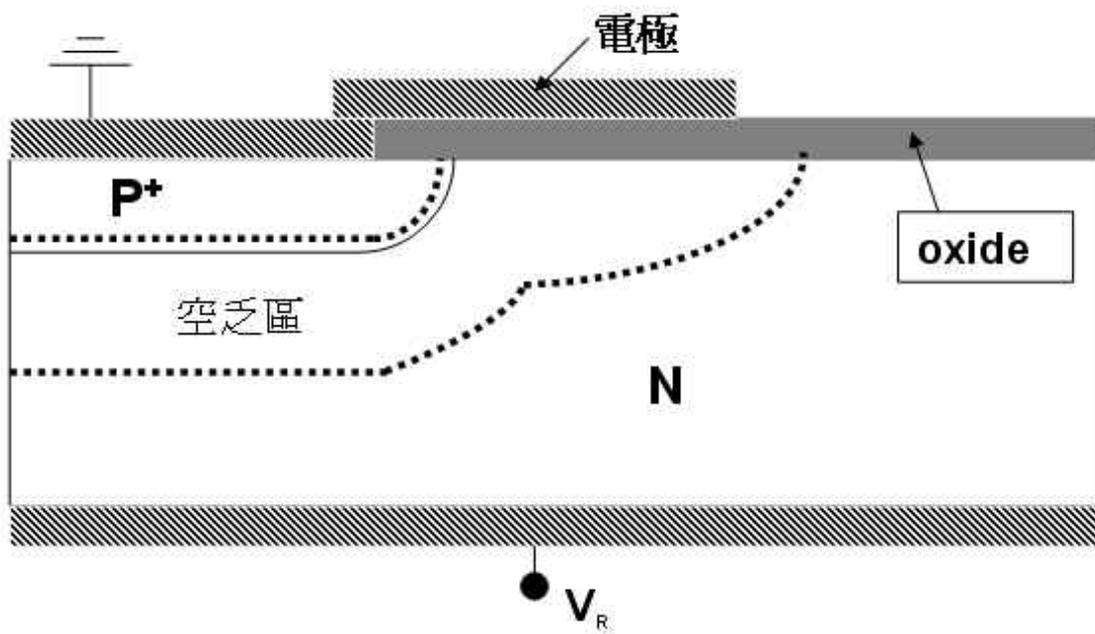
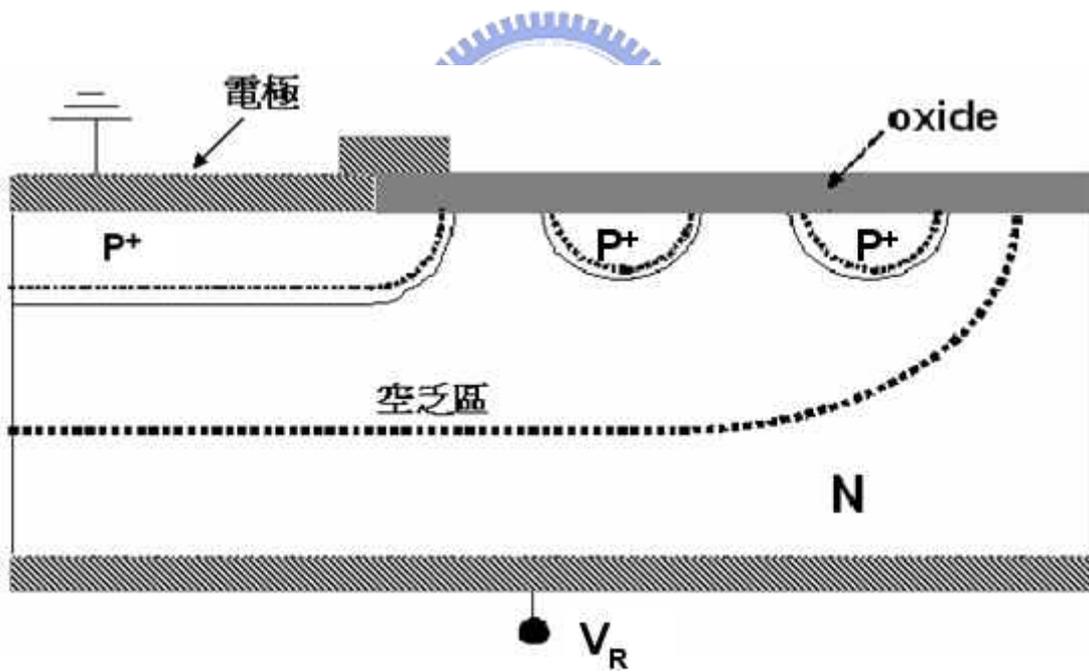


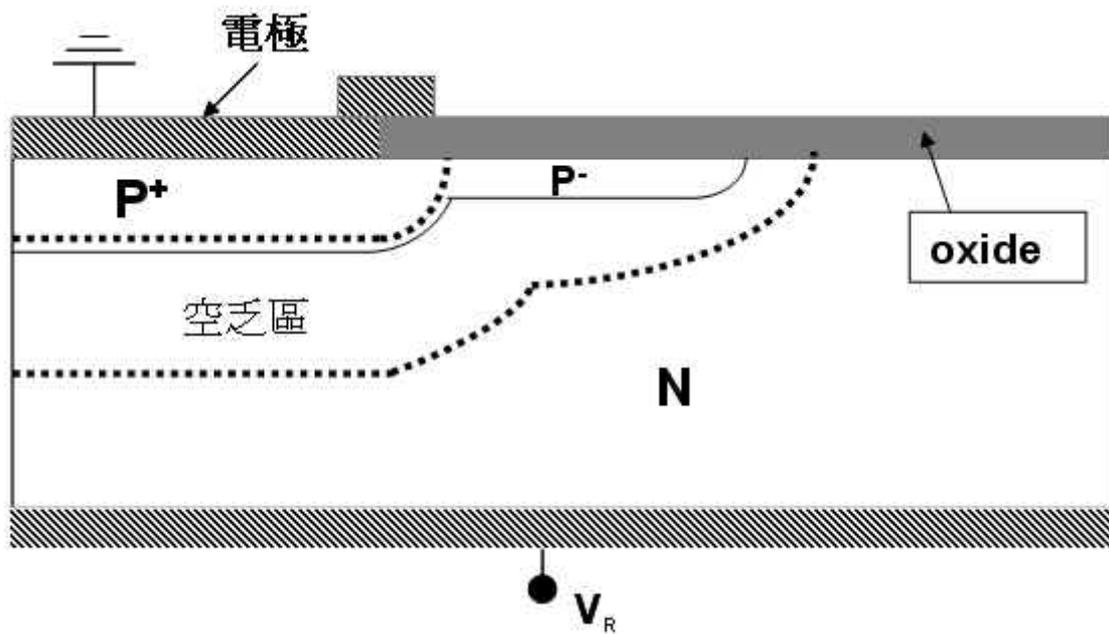
圖 1-2 空乏區內的離子碰撞現象



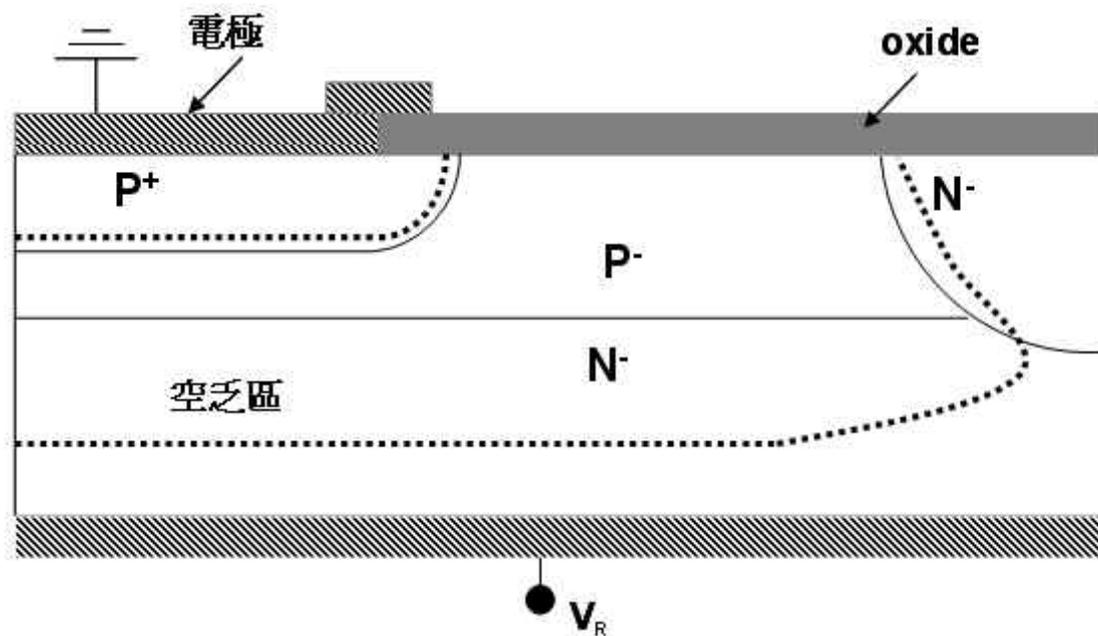
(a) 場板結構



(b) 浮動環結構



(c) 接面邊界延伸結構



(d) 降低表面電場結構

圖 1-3 四種基本的終端結構

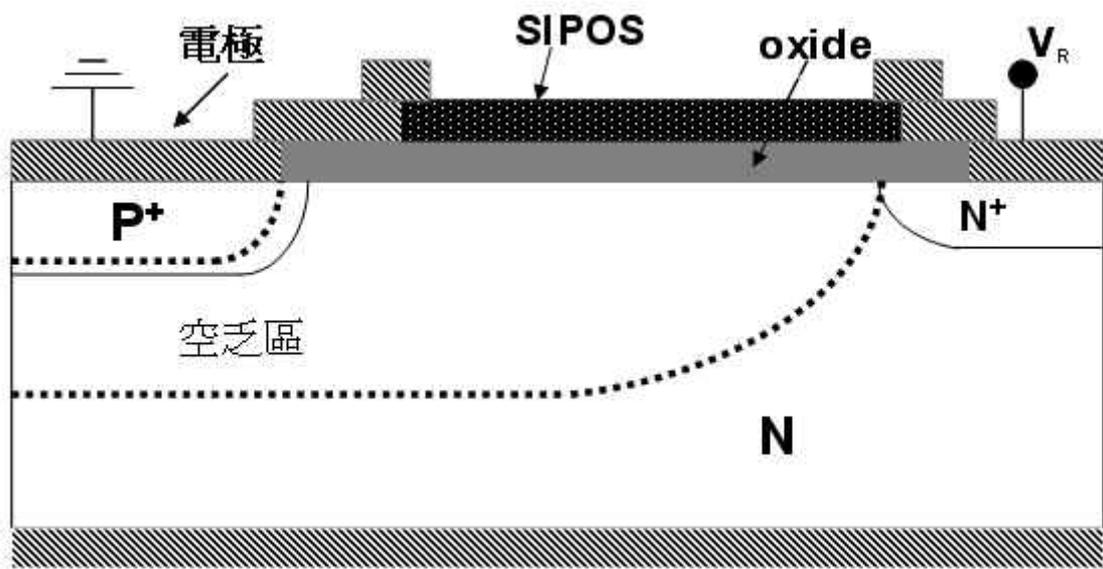


圖 1-4 場板和 SIPOS 結合的終端結構



## 第二章 終端結構設計與量測結果

### 2-1 終端結構模擬

在實際製作元件之前，我們首先利用 ISE TCAD 半導體製程模擬軟體 [24] 改變元件結構中的設計參數，模擬在不同參數下，比較其終端結構的耐壓，先取得一些驗證和可行的一些參數範圍，為了模擬元件崩潰時的電流或電場變化，在模擬的物理模型中，特別加入了電子及電洞的累增崩潰模型，並對電子撞擊游離化係數 (impact ionization coefficient) 的積分值 ( $\int \alpha_n$ ) 做運算，我們定義當此一數值大於 1 時的外加電壓為崩潰電壓。

首先為了證明只有場板的終端元件在加入了複晶矽電阻後，能承受更高的崩潰電壓，我們先模擬不含複晶矽電阻的基本元件，模擬參數見表 2-1，模擬結構的橫截面圖如圖 2-1 所示，金屬場板長度 ( $X_{fp}$ ) 為  $100\mu\text{m}$ ， $N^+$  區域加大電壓，中間的  $P^+$  區域接地， $P^+N^-$  的接面呈現逆偏狀態，然而序論中提到，只含場板的終端元件在承受電壓下，場板邊緣端的高電場強度是其最嚴重的缺點，往往就是元件的崩潰點所在。接下來我們就模擬加入複晶矽電阻的終端結構，複晶矽長度 ( $X_m$ ) 為  $900\mu\text{m}$ ，如圖 2-14(h) 是此元件模擬結構圖，元件俯視圖如圖 2-2 所示， $N^+$  區域加大電壓，中間的  $P^+$  區域接地，圖 2-3 是上述兩種結構矽基板表面下  $0.5\mu\text{m}$  的橫截面電場分佈圖，電場峰值確實出現在場板邊緣的下方 ( $X=200\mu\text{m}$ )，原因可由矽基板表面下方的電位分佈解釋，如圖 2-4 是矽基板表面下  $0.5\mu\text{m}$  的橫截面電位分佈圖，我們知道電場是電位的負梯度，電位的變化愈大，電場就愈大。以不含複晶矽電阻的元件來說，場板邊緣下方的電位呈指數上升，變化非常大，所以元件內部的電場峰值會出現在此處，此結構崩潰電壓的模擬結果約只有 345 伏特。含複晶矽電阻的元件方面，場板邊緣下方的電位是呈線性上升，電場有了緩衝，因此其電場強度大幅降低了。圖 2-5 是兩種元件內部橫截面空間電荷分佈圖，不含複晶矽電阻的元件中，空乏區只延伸到場板的附近，然而含複晶矽電阻的元件中，內部空乏區因為電阻將表面電位線性地

分佈至另一端電極，所以大幅延伸到另一端接面。由基本元件物理可知，空乏區內部峰值電場與空乏區寬度成反比，空乏區寬度變大使內部峰值電場予以獲得緩衝，加入了複晶矽電阻的結構，其崩潰電壓提升至約 3100 伏特。

除了上述兩種結構的比較，我們繼續對金屬場板的長度( $X_{fp}$ )及複晶矽電阻長度( $X_m$ )兩種參數做調變，首先我們固定 $X_m$ 為  $900\mu\text{m}$ ，改變 $X_{fp}$ 的長度，分別有 10、60、100、200、 $300\mu\text{m}$ 五種不同的尺寸，圖 2-6 是不同 $X_{fp}$ 對崩潰電壓的關係圖，可看出最佳化值約在 $X_{fp}$ 等於  $100\mu\text{m}$ 時，崩潰電壓為 3314 伏特，印證了序論中所述，場板的長度有一最佳化的值。接下來我們固定 $X_{fp}$ 的長度為  $100\mu\text{m}$ ，改變 $X_m$ 的長度，分別為 300、400、500、600、700、800、900、1000 八種不同的尺寸，圖 2-7 是不同 $X_m$ 對崩潰電壓的關係圖，可看出崩潰電壓隨著複晶矽電阻的長度變長而變大，因為愈長的電阻長度將空乏區延伸的愈大，使金屬板邊緣下的峰值電場變的更低。 $X_m$ 持續的增加，崩潰電壓最後會趨近一飽和值，也就是理想的平行板接面，相同的接面深度及其它模擬參數不變的平行板下，崩潰電壓約為 4900 伏特，以第一章定義的效率來看，模擬最佳化條件下的效率約為  $\frac{3314}{4900} = 68(\%)$ 。

終端結構中的複晶矽電阻，連接兩端電極，其阻值是影響漏電流的主要因素，但除了提高複晶矽電阻的電阻係數外，還可以將複晶矽開一些縫隙，使兩端電極看到的電阻等效寬度能變小或是等效長度變長，以提高複晶矽電阻的電阻值，卻又不降低崩潰電壓。本論文提出另外兩種複晶矽有縫隙的結構和複晶矽無縫隙的結構做比較，圖 2-8(a)、(b)為這兩種複晶矽有縫隙的佈局圖，圖 2-9 是基本元件結構經過開縫的縫隙下方橫截面圖，改變的參數有 $X_g$ 及 $X_f$ 兩種， $X_g$ 是複晶矽縫矽長度， $X_f$ 是縫隙間的複晶矽長度，其它模擬參數見表 2-2，因為這兩個參數將會影響到下方矽表面的電位及電場分佈。我們先利用模擬找出這兩個參數對崩潰電壓的影響，再進行光罩的設計，但含縫隙的結構無法用 2D 模擬，所以必須採用 3D 結構模擬，但 3D 模擬會產生非常大量的格點，可能會造成過多的運算時間或是發散，因此我們將結構簡化，圖 2-10 是簡化 3D 結構的俯視圖，延圖 3-9 上

的虛線橫切得到的橫截面圖如圖 2-8。由於我們只是要分析 $X_g$ 及 $X_f$ 對崩潰電壓的關係，在此我們特地將矽基板的濃度提高至 $1 \times 10^{14} \text{ cm}^{-2}$ ，目的是降低元件模擬的崩潰電壓值，以節省模擬的時間。在分析兩種參數，分別是縫隙長度 $X_g$ 及縫隙間的複晶矽長度 $X_f$ 對崩潰電壓的影響之前，我們先模擬終端結構在加入有縫隙複晶矽電阻後，元件內部的電位及電場分佈變化，其中 $X_g=15\mu\text{m}$   $X_f=40\mu\text{m}$ ，元件發生崩潰時，崩潰電壓為 1400 伏特左右，圖 2-11 是矽基板表面下  $0.5\mu\text{m}$ 的電位分佈圖，與複晶矽不開縫隙終端結構的電位分佈圖類似，由於每一個縫隙間的複晶矽幾乎是等電位，所以電位是呈現階梯狀上升，與電位線性上升有類似的改善崩潰電壓的效果，圖 2-12 是矽基板表面下  $0.5\mu\text{m}$ 的電場分佈圖，最大電場仍是落在金屬場板的邊緣，但崩潰電壓可到達約 1400 伏特，比較只有金屬場板的終端結構在基底濃度為  $1 \times 10^{14}/\text{cm}^3$ ，崩潰電壓約 322 伏特，提升了不少。接下來我們固定縫隙長度 $X_g$ 為  $15\mu\text{m}$ ，改變縫隙間的複晶矽長度 $X_f$ ，分別有 20、30、40 及  $50\mu\text{m}$ 四種尺寸，我們得到 $X_f$ 對崩潰電壓的關係圖，如圖 2-13(a)所示，由於元件中的複晶矽區域總長度不變，空乏區延伸的範圍就變的固定，使 $P^+/N$ 接面的電場或金屬場板邊緣下的電場受到緩衝的程度相同，而縫隙間的複晶矽長度並不會影響空乏區的延伸，因此崩潰電壓幾乎不隨縫隙間的複晶矽長度改變而改變。接下來我們任意固定 $X_f$ 為  $40\mu\text{m}$ ，調變縫隙長度 $X_g$ ，分別有 0、5、10、15、30、40 及  $50\mu\text{m}$ 七種尺寸，我們得到 $X_g$ 對崩潰電壓的關係圖，如圖 2-14 所示。圖 2-15 是偏壓 1500 伏特下矽基板的最大電場對 $X_g$ 的關係圖，最大電場位置在金屬場板邊緣下方，在縫隙最大時，電位變化愈大，使得此處的電場愈大，因此崩潰電壓隨著縫隙長度的增加而有降低的趨勢。

依照上述的模擬結果， $X_g = 0\sim 15\mu\text{m}$ 及 $X_f = 40\mu\text{m}$ 時有最佳化的崩潰電壓，為了使微影製程較容易，所以在我們將光罩上兩種有縫隙複晶矽電阻的縫隙長度設計成  $15\mu\text{m}$ ，縫隙間的複晶矽長度設計成  $40\mu\text{m}$ 。

## 2-2 不等電位場板的終端結構製作流程

圖 2-16 為主要製程流程圖，詳細的製程步驟如下：

- (1) 首先基板材料為晶格方向(100)，基底濃度為  $2.34 \times 10^{13} \text{ cm}^{-3}$  至  $2.86 \times 10^{13} \text{ cm}^{-3}$  的N型基板。基板的濃度愈低，空乏區能延伸較多，使崩潰電壓不致受限於基板。雖然模擬部分的基板濃度有  $2 \times 10^{13} \text{ cm}^{-3}$  及  $1 \times 10^{14} \text{ cm}^{-3}$  兩種，都與實際製作用的基板濃度不同，但不影響其他元件結構參數對崩潰電壓的影響趨勢。
- (2) 正面旋塗光阻，120 度硬烤 5 分鐘，晶背離子植入，植入的離子源、能量與劑量分別為磷(Phosphorus)、80KeV與  $1 \times 10^{15} \text{ cm}^{-2}$ 。
- (3) 以濕氧化法(Wet Oxidation)1050 度，3 小時成長約  $1 \mu\text{m}$  的氧化層，如圖 2-16(a)所示。
- (4) 如圖 2-16(b)所示，光罩 1 定義出  $\text{P}^+$  區域，將未被光阻保護的氧化層，用BOE濕蝕刻去除，接著就是P型的離子植入。植入的離子源、能量與劑量分別為硼(Boron)、100KeV與  $3 \times 10^{15} \text{ cm}^{-2}$ 。在通氧及氮氣的環境下，做雜質趨入(Dopant Drive-In)，溫度為 1100 度，時間為 360 分鐘，接面深度約為  $7 \mu\text{m}$ ，如圖 2-16(c)是利用展阻量測另外的測試晶片得到的接面深度圖，測試晶片基底濃度約為  $1 \times 10^{15} \text{ cm}^{-3}$ 。
- (5) 如圖 2-16(d)所示，利用硫酸加雙氧水去除光阻。重新旋塗光阻，以光罩 2 定義出  $\text{N}^+$  區域，將未被光阻保護的氧化層，用BOE濕蝕刻去除，接著N型的離子植入。植入的離子源、能量與劑量分別為磷、80KeV與  $1 \times 10^{15} \text{ cm}^{-2}$ 。在通氧及氮氣的環境下，做雜質趨入，溫度為 1100 度，時間為 90 分鐘，接面深度約為  $3.5 \mu\text{m}$ ，如圖 2-16(e)是利用展阻量測另外的測試晶片得到的接面深度圖，測試晶片基底濃度約為  $1 \times 10^{15} \text{ cm}^{-3}$ 。
- (6) 利用硫酸加雙氧水去除光阻，以低壓化學氣相沉積法(LPCVD)在 625 度沉積 350nm的複晶矽，之後做P型的離子植入，植入的離子源、能量與劑量分別為硼(Boron)、40KeV與  $1 \times 10^{13} \text{ cm}^{-2}$ ，接著用快速升溫退火(RTA)，溫度為 900 度，時間為 30 秒，如圖 2-16(f)所示。
- (7) 做N型的離子植入，植入的離子源、能量與劑量分別為磷、120KeV與  $2 \times 10^{13} \text{ cm}^{-2}$ ，接著用PECVD沉積 50nm的氧化層，防止雜質往外擴散，再做退火，溫度為 1000 度，時間為 60 分鐘，如圖 2-16(g)所示。

- (8) 以 BOE 去除複晶矽上的氧化層，旋塗光阻，光罩 3 定義出複晶矽電阻區域，將未被光阻保護的的複晶矽，用濕蝕刻去除，如圖 2-16(h)所示。
- (9) 用光罩 4 定義接觸窗區域，將未被光阻保護的區域利用 BOE 濕蝕刻去除氧化層，如圖 2-16(i)所示。
- (10) 利用熱阻絲蒸鍍系統(Thermal Evaporation Coater)鍍 800nm 的鋁。
- (11) 光罩 5 定義電極，將未被光阻保護的鋁，用鋁蝕刻溶液去除。最後做鋁退火，溫度是 400 度，時間是 30 分鐘，如圖 2-17(j)所示。
- 其他終端結構的元件參數列於表 2-3。

## 2-3 測量結果與討論

我們先利用 Keithley 2410 分別量測有無複晶矽電阻的終端結構，無複晶矽電阻的結構如圖 2-1 所示，金屬場板的長度為  $100\mu\text{m}$ ，圖 2-17 是無複晶矽電阻終端結構元件的電流-電壓關係圖，由圖可知，不含複晶矽電阻的元件在電壓加到約 300 伏特時，即發生崩潰，如同前一節的模擬結果。有複晶矽電阻的結構如圖 2-16(j)所示，金屬場板的長度為  $100\mu\text{m}$ ，複晶矽長度為  $900\mu\text{m}$ ，其中複晶矽電阻分成兩組，第一組的複晶矽以 625 度的溫度沉積後，不做任何的離子植入及無任何退火條件，第二組有做硼及磷的離子佈植，能量分別是 40KeV 及 120KeV，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  及  $2 \times 10^{13} \text{cm}^{-2}$ ，退火條件是 1000 度 60 分鐘，因為不選用阻值最大的非晶矽電阻或複晶矽電阻，也能看出終端結構中不同的複晶矽結構對漏電流的影響，所以本論文隨機取了一種退火條件。圖 2-18 是元件分別利用上述兩組複晶矽作為不等電位場板的電壓-電流關係圖，在加入複晶矽電阻後，電壓即使加到 1000 伏特，也無電流急遽上升的現象，但使用第一組複晶矽的元件，其電流明顯較第二組小，也印證上一章所述，有經過硼磷離子佈植及退火處理的複晶矽電阻，阻值反而較無經過離子佈植及退火的複晶矽電阻小。由終端結構中複晶矽未開縫元件的電壓電流反推經過離子佈植的複晶矽電阻係數約為 1000 歐姆-公分，然而，第二章中相同條件的複晶矽電阻，電阻係數約為 7000 歐姆-公分，兩者之間差了約 7 倍。由電壓電流反推未經過離子佈植的複晶矽電阻係數約為  $5 \times 10^4$  歐姆-公分，第二章中未經過離

子佈植的複晶矽電阻係數約  $7.86 \times 10^5$  歐姆-公分，兩者差了約 15 倍。第二章的複晶矽電阻寬度為  $80 \mu\text{m}$ ，但本章節的元件中，複晶矽未開縫的結構，其兩電極之間看到的複晶矽電阻寬度大幅變大，電流流經 P-N-N-P 結構較少或是有缺陷的路徑機率會增加，因此漏電流會變大，使得反推得到的電阻係數會變小。

接下來我們比較複晶矽在開縫隙後，是否有影響其崩潰電壓或漏電流大小，圖 2-19 是兩種複晶矽開縫後與無開縫的電壓-電流關係圖，開縫的結構有兩種，同心圓狀如圖 2-8(a)，螺旋狀如圖 2-8(b)，其中複晶矽有經過硼及磷的離子佈植能量分別是 40KeV 及 120KeV，劑量分別為  $1 \times 10^{13} \text{ cm}^{-2}$  及  $2 \times 10^{13} \text{ cm}^{-2}$ ，退火條件是 1000 度 60 分鐘，由圖 2-19 可知，元件並沒有因為複晶矽上的縫隙，而有提早崩潰的現象，在一千伏特的偏壓下，電流仍在微安培的等級，螺旋型的結構，電阻的寬度最小、長度最長，所以相同的電壓下，有較小的漏電流，相反的，無縫隙的結構，電阻的寬度最大、長度最小，因此漏電流最大。接著我們利用 Keithley 248 voltage supply 量測元件的崩潰電壓，無縫隙複晶矽及兩種有縫隙複晶矽的元件最高可耐壓約 2000 伏特，元件到達崩潰時皆燒毀，電流立即到達機台限流，因此，元件上的複晶矽不因為有縫隙，而使崩潰電壓有衰減的現象。

在前述的模擬結果中，以金屬場板為  $100 \mu\text{m}$ ，複晶矽長度為  $900 \mu\text{m}$  的元件來看，崩潰電壓可以到達約 3314 伏特，但實際元件製作只能到 2000 伏，原因是實際元件的矽基板濃度並不是均勻的，濃度範圍約從  $2.34 \times 10^{13} \text{ cm}^{-2}$  至  $2.86 \times 10^{13} \text{ cm}^{-2}$ ，比模擬參數值  $2 \times 10^{13} \text{ cm}^{-2}$  高。加上模擬的條件都是理想狀況，而高阻值矽基板以及實際製程上會造成晶格缺陷，增加電子-電洞對的激發速率，都是影響元件崩潰電壓的重要因素，因此實際元件的崩潰電壓不如模擬值。

表 2-1 不等電位場板終端結構元件模擬參數

元件參數	參數值
P <sup>+</sup> 區域(電極)的半徑大小	100μm
N <sup>+</sup> 區域(電極)的半徑大小	280μm
P <sup>+</sup> 區域(電極)的接面深度	6μm
N <sup>+</sup> 區域(電極)的接面深度	3μm
氧化層厚度	1μm
複晶矽電阻厚度	0.35μm
鋁電極厚度	0.35μm
N <sup>-</sup> 磊晶層厚度	500μm
N <sup>-</sup> 磊晶層濃度	$2 \times 10^{13} \text{ cm}^{-2}$
N <sup>+</sup> 厚度	20μm
N <sup>+</sup> 濃度	$2 \times 10^{16} \text{ cm}^{-2}$
金屬場板長度	$X_{fp}$
複晶矽電阻長度	$X_m$

表 2-2 不等電位場板終端結構(含縫隙)的元件模擬參數

元件參數	參數值
P <sup>+</sup> 區域(電極)的長度	100μm
N <sup>+</sup> 區域(電極)的長度	280μm
P <sup>+</sup> 區域(電極)的接面深度	6μm
N <sup>+</sup> 區域(電極)的接面深度	3μm
氧化層厚度	1μm
複晶矽電阻厚度	0.35μm
鋁電極厚度	0.35μm
N <sup>-</sup> 磊晶層厚度	500μm
N <sup>-</sup> 磊晶層濃度	$1 \times 10^{14} \text{ cm}^{-2}$
N <sup>+</sup> 厚度	20μm
N <sup>+</sup> 濃度	$2 \times 10^{16} \text{ cm}^{-2}$
金屬場板長度	100μm
複晶矽縫隙長度	$X_g$
縫隙間的複晶矽長度	$X_f$
複晶矽電阻總長度	900μm

表 2-3 實際製作終端結構的元件參數

晶格方向(100)的 N 型基板	基底濃度為 $2.34 \times 10^{13} \text{ cm}^{-3}$ 至 $2.86 \times 10^{13} \text{ cm}^{-3}$
氧化層厚度	$1 \mu\text{m}$
P <sup>+</sup> 接面深度	$7 \mu\text{m}$
N <sup>+</sup> 接面深度	$3.5 \mu\text{m}$
複晶矽厚度	$350 \text{nm}$
金屬板長度( $X_{fp}$ )	$100 \mu\text{m}$
複晶矽長度	$900 \mu\text{m}$

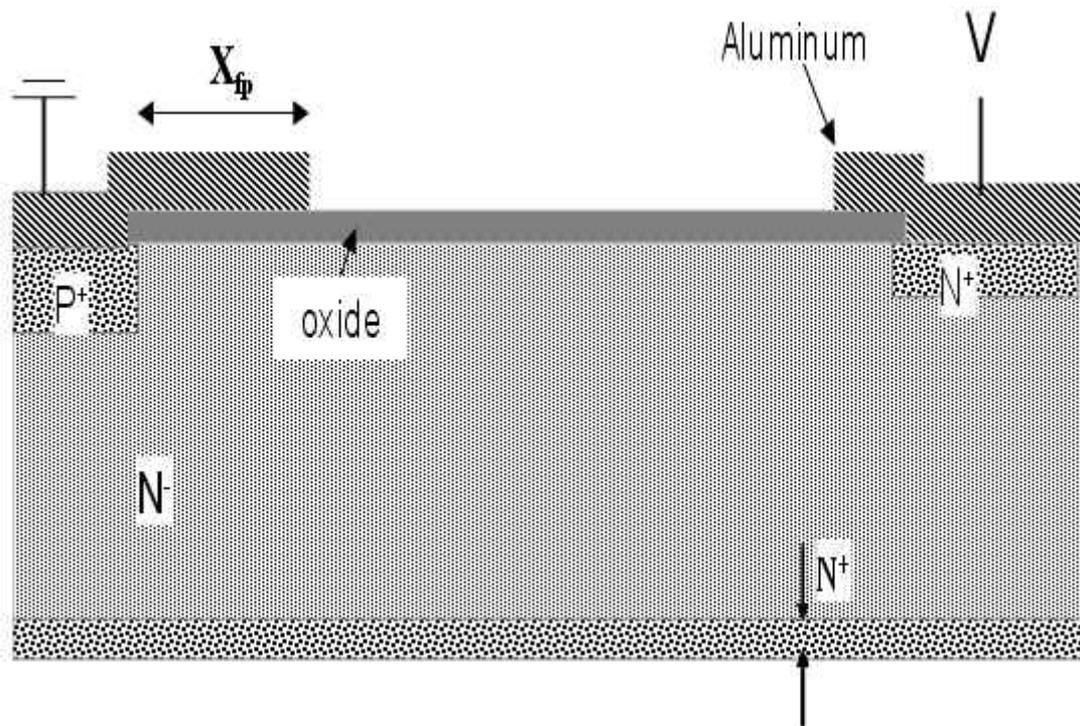


圖 2-1 不含複晶矽電阻的模擬元件橫截面圖。圖左邊的鋁電極接地，圖右邊的鋁電極加電壓。

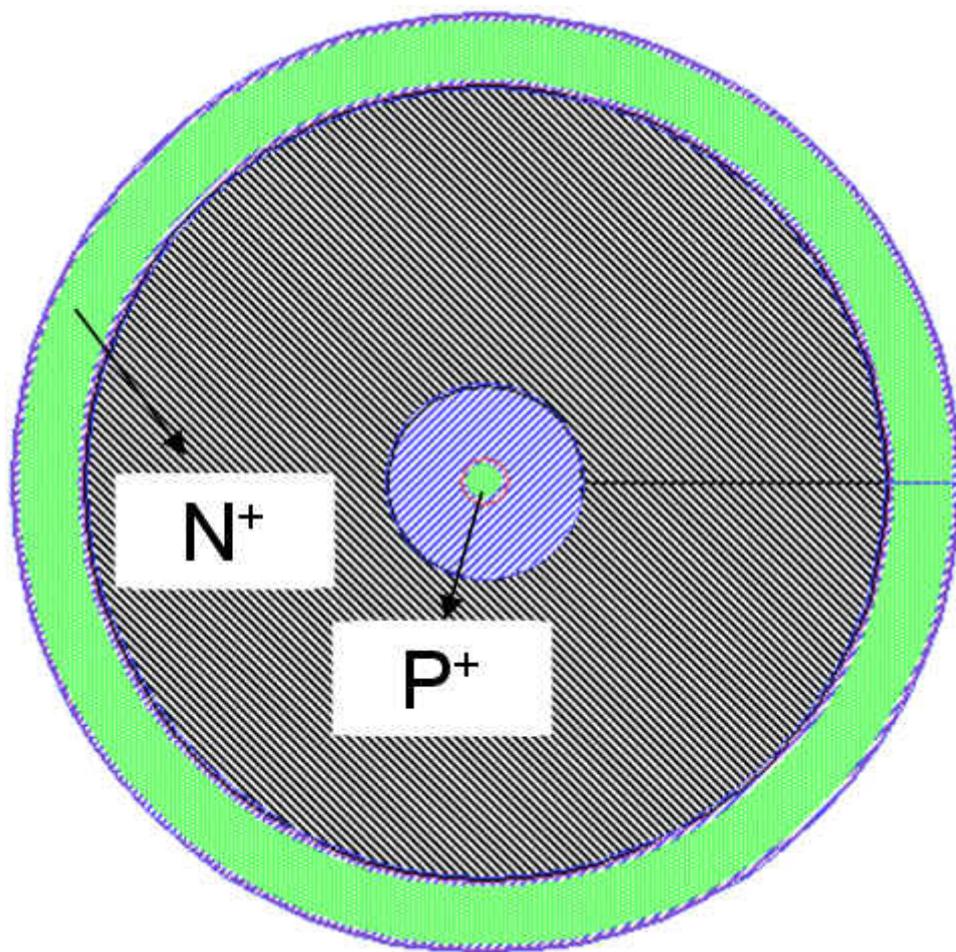


圖 2-2 終端結構以複晶矽電阻作為不等電位場板的佈局圖

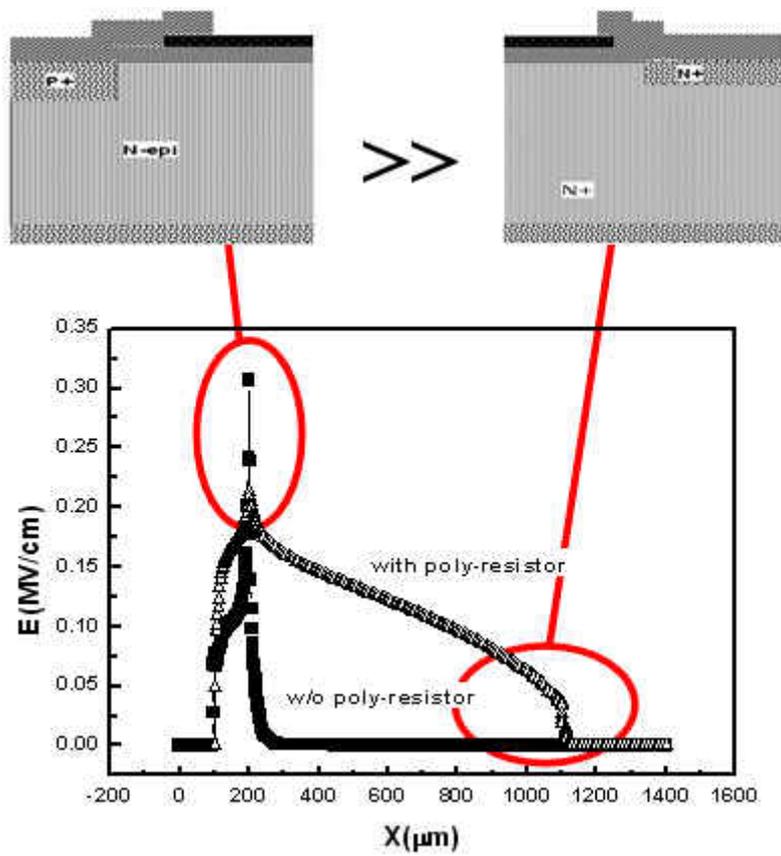


圖 2-3 矽基板表面下  $0.5\mu\text{m}$  的橫截面電場分佈圖。

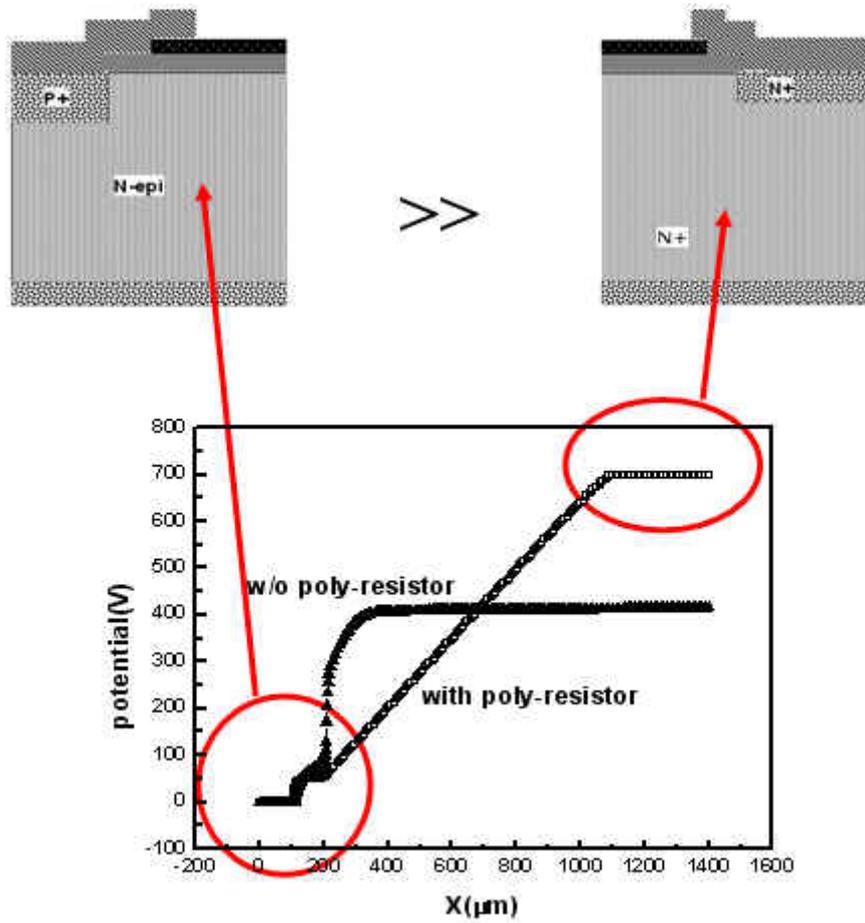


圖 2-4 矽基板表面下  $0.5\mu\text{m}$  的電位分佈圖。

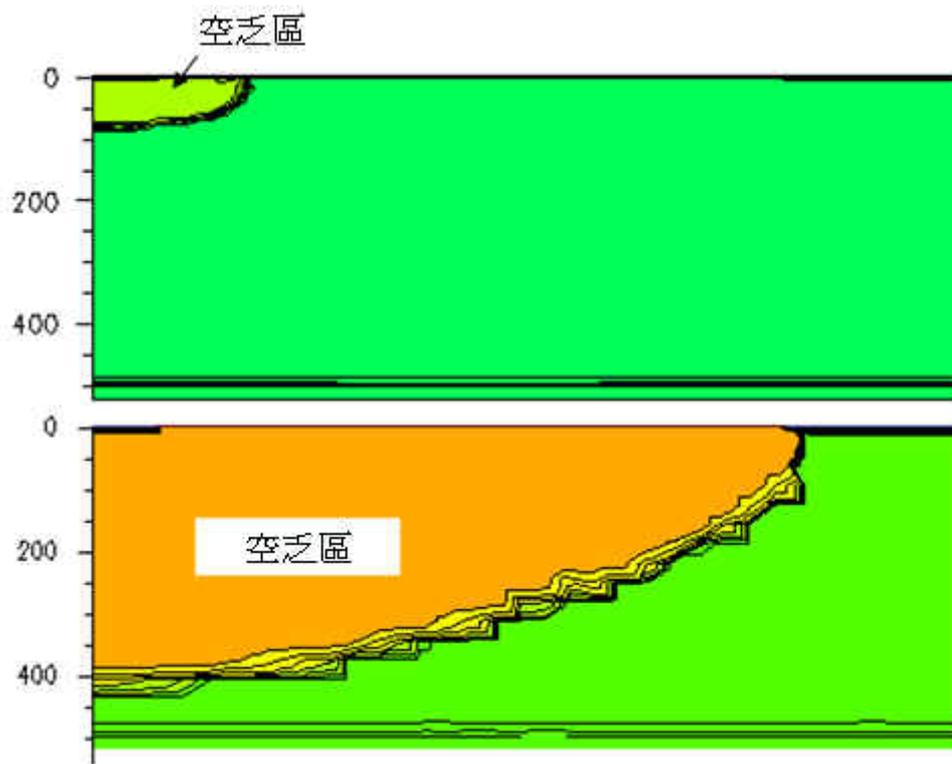


圖 2-5 模擬空間電荷分佈圖。上圖是只有金屬場板的終端結構，下圖是含有金屬場板及複晶矽電阻的終端結構。

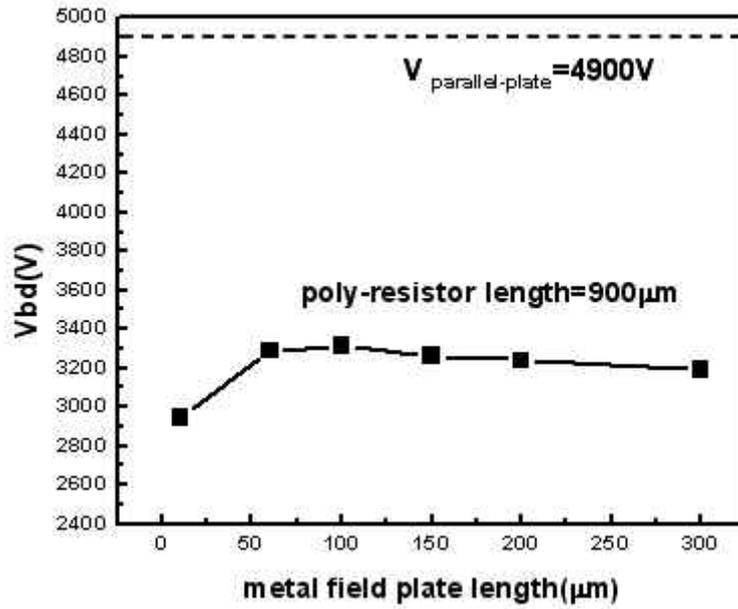


圖 2-6 不同金屬場板長度對崩潰電壓的關係圖。

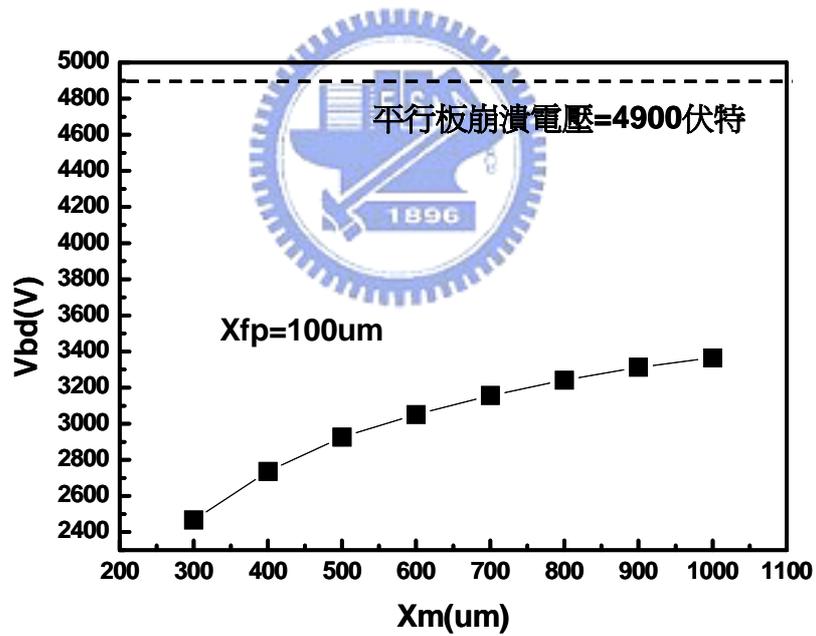
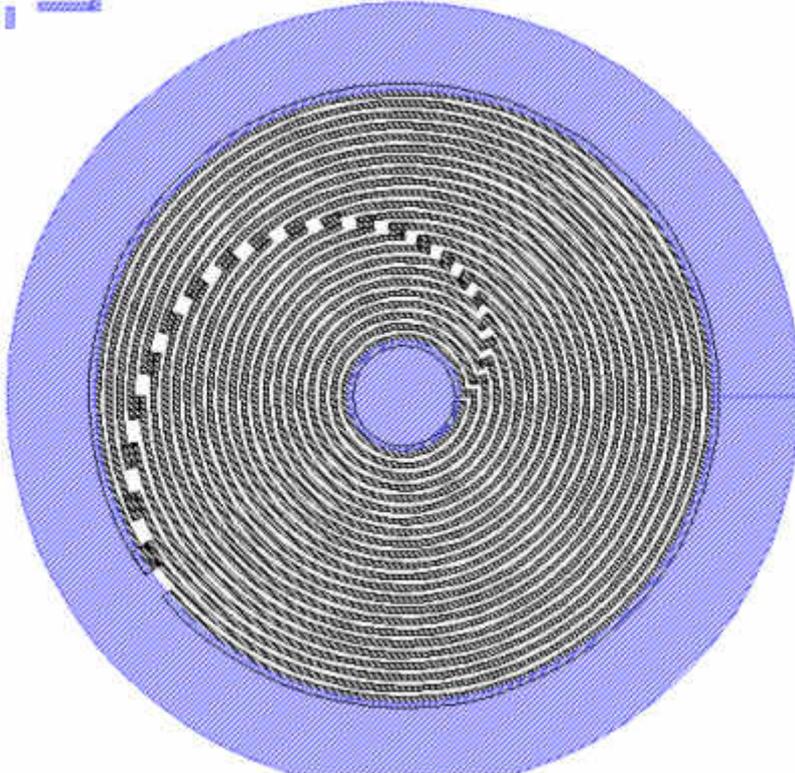
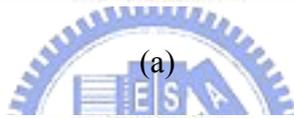
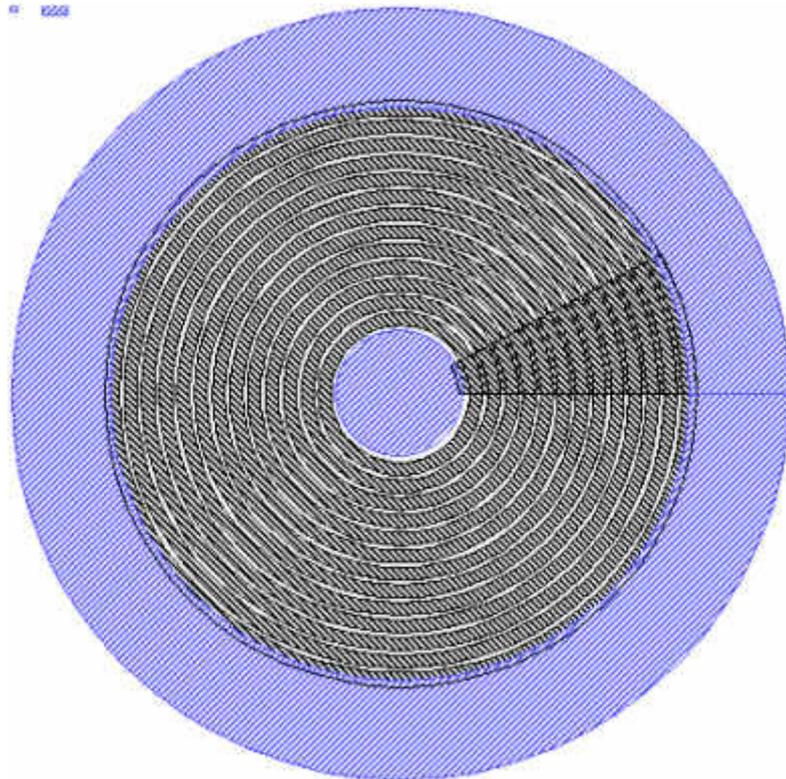


圖 2-7 不同複晶矽電阻長度對崩潰電壓的關係圖



(b)

圖 2-8 基本元件結構中複晶矽為(a)同心圓結構(b)螺旋結構縫隙的佈局圖。

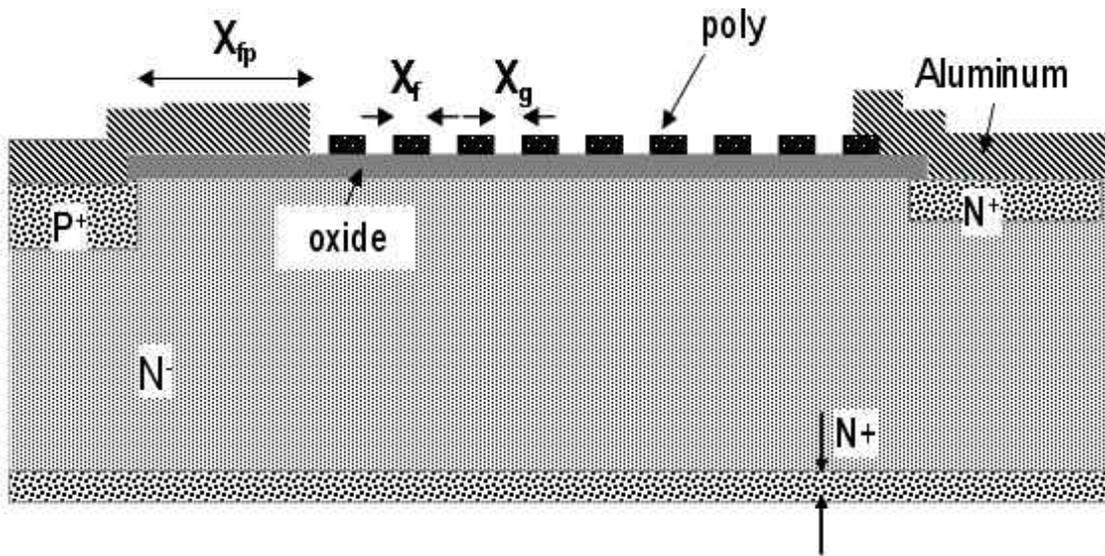


圖 2-9 基本元件經過開縫後的縫隙下方橫截面圖。圖左邊的鋁電極接地，圖右邊的鋁電極加電壓。

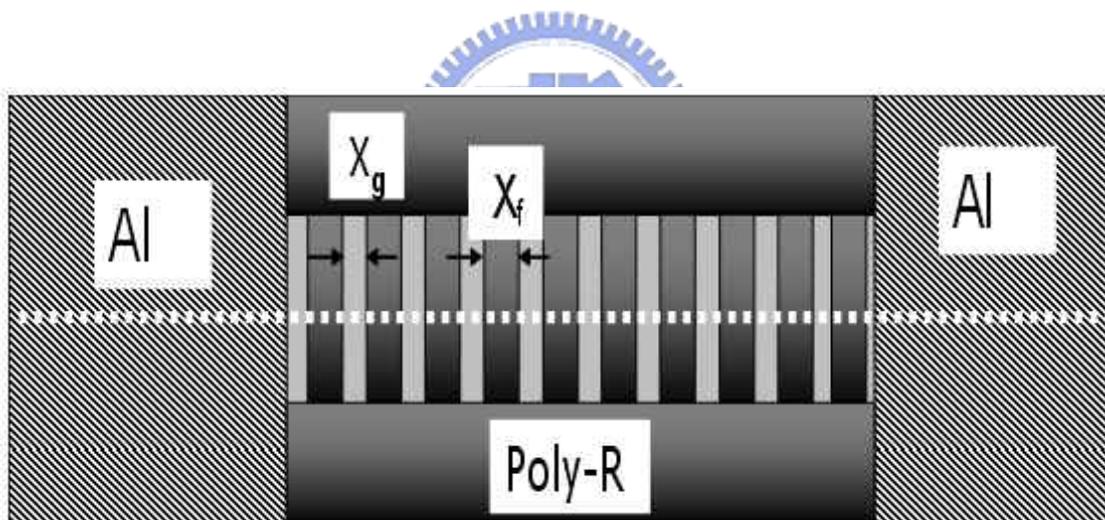


圖 2-10 3D 模擬結構的俯視圖。圖左邊的鋁電極連接 P+ 區域，圖右邊的鋁電極連接 N+ 區域。

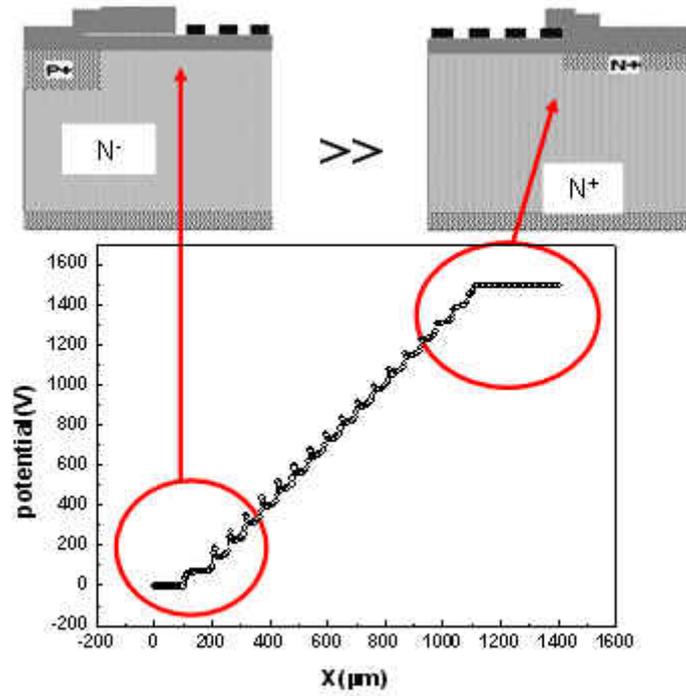


圖 2-11 矽基板表面下 0.5 $\mu\text{m}$  的電位分佈圖。

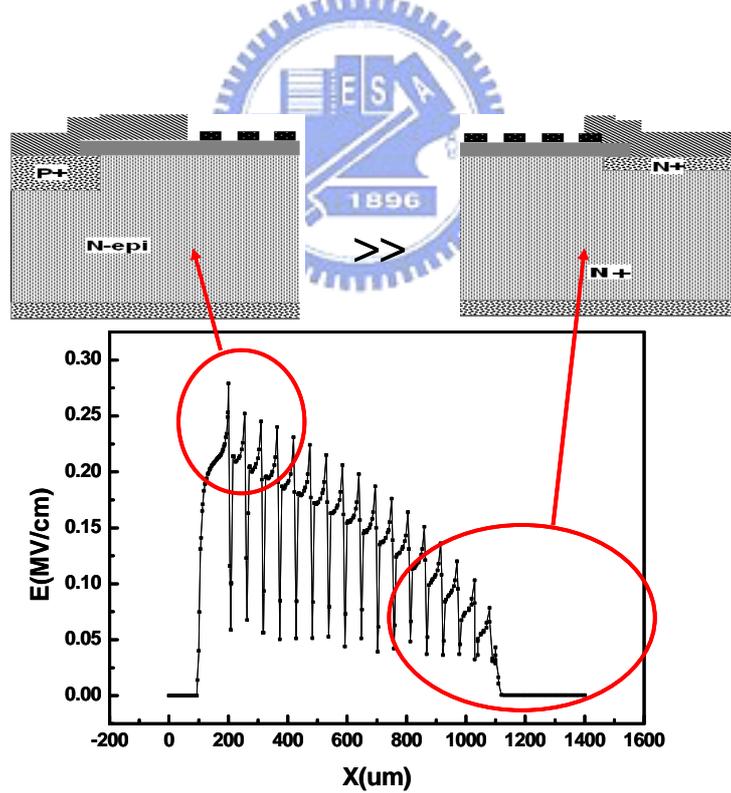


圖 2-12 矽基板表面下 0.5 $\mu\text{m}$  的電場分佈圖。

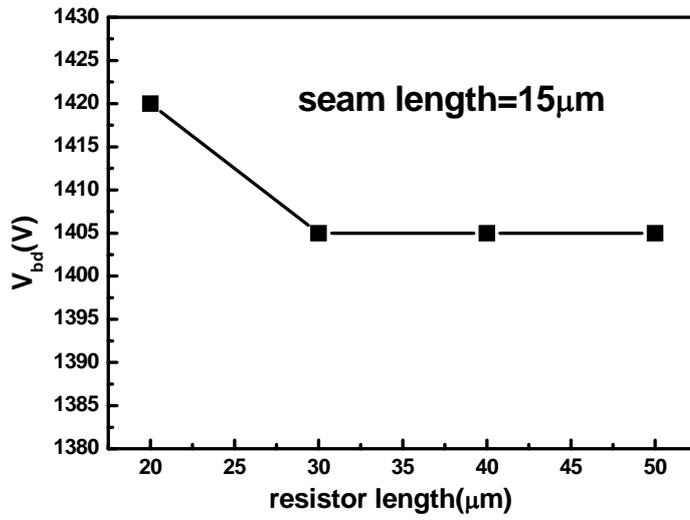


圖 2-13 resistor length 對崩潰電壓的關係圖

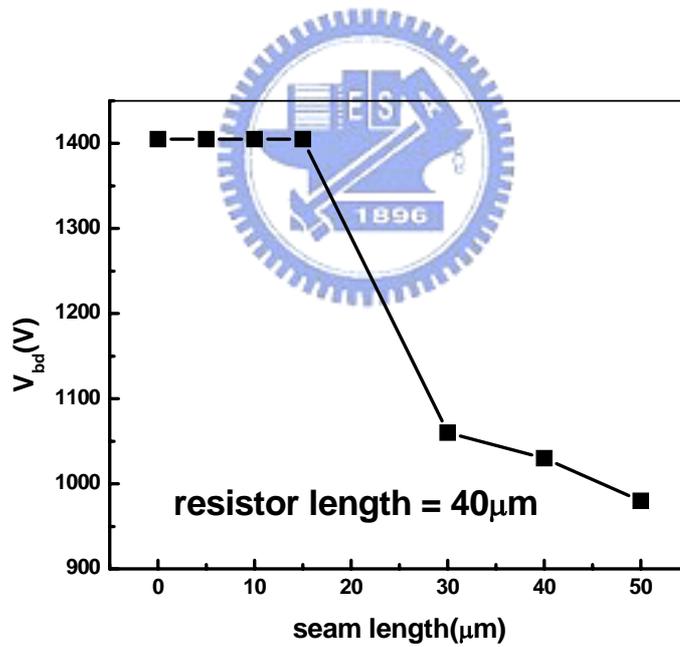


圖 2-14  $X_g$  對崩潰電壓的關係圖

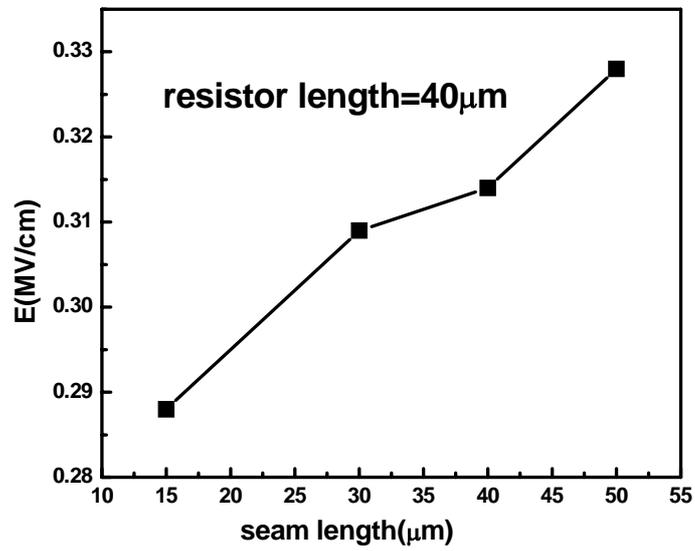
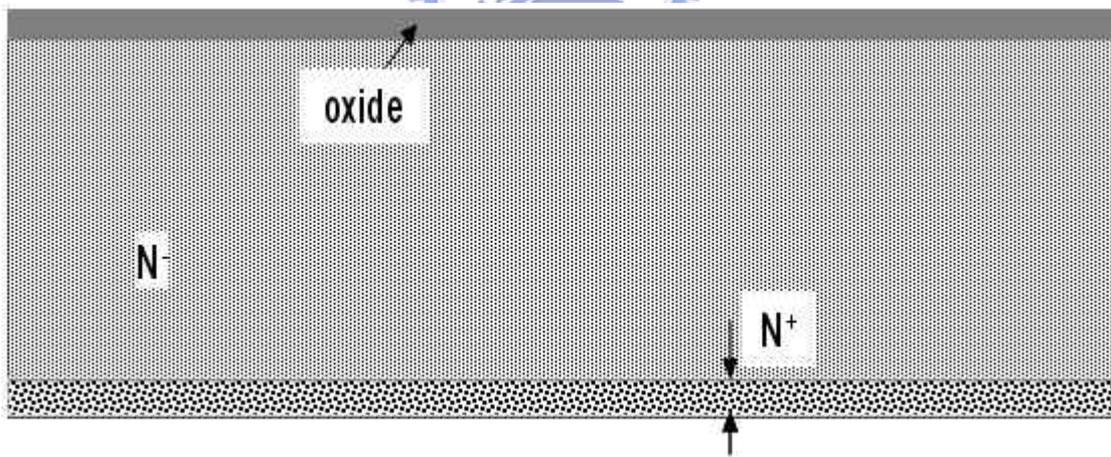
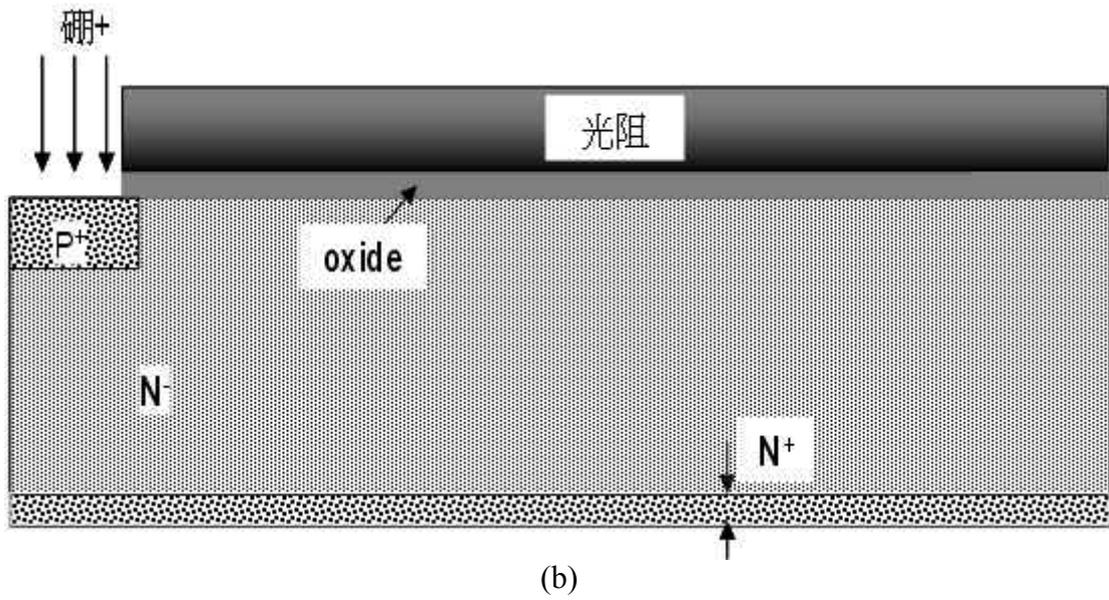


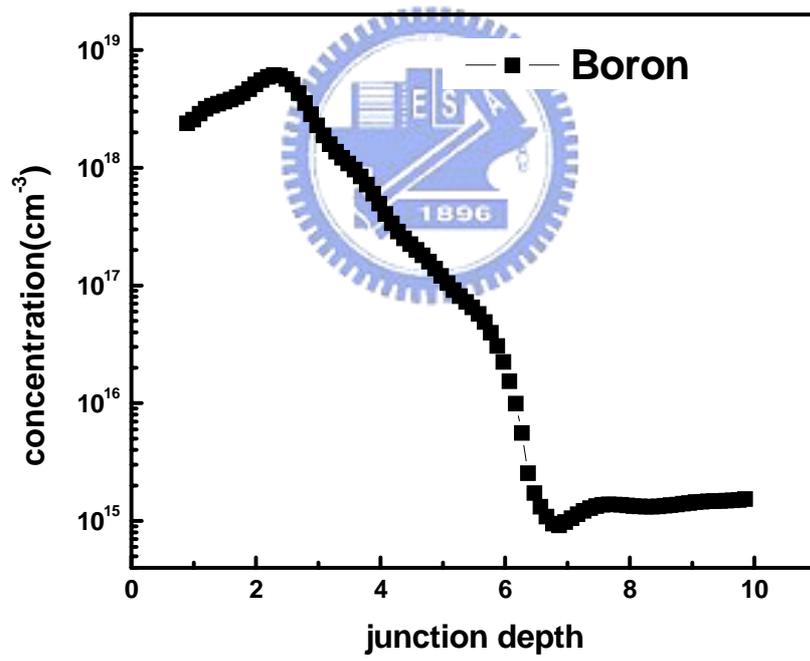
圖 2-15  $X_g$  對最大電場的關係圖



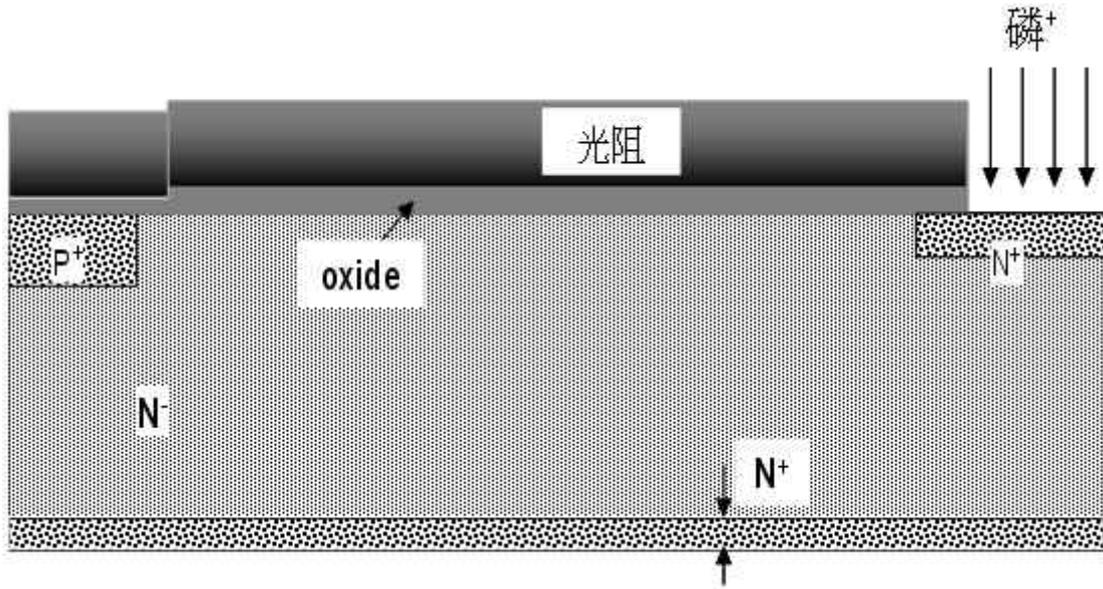
(a)



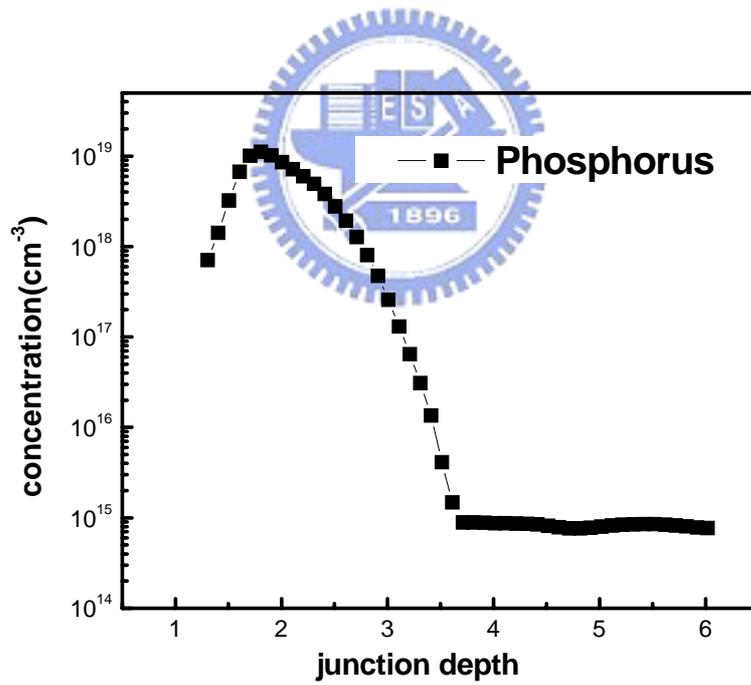
(b)



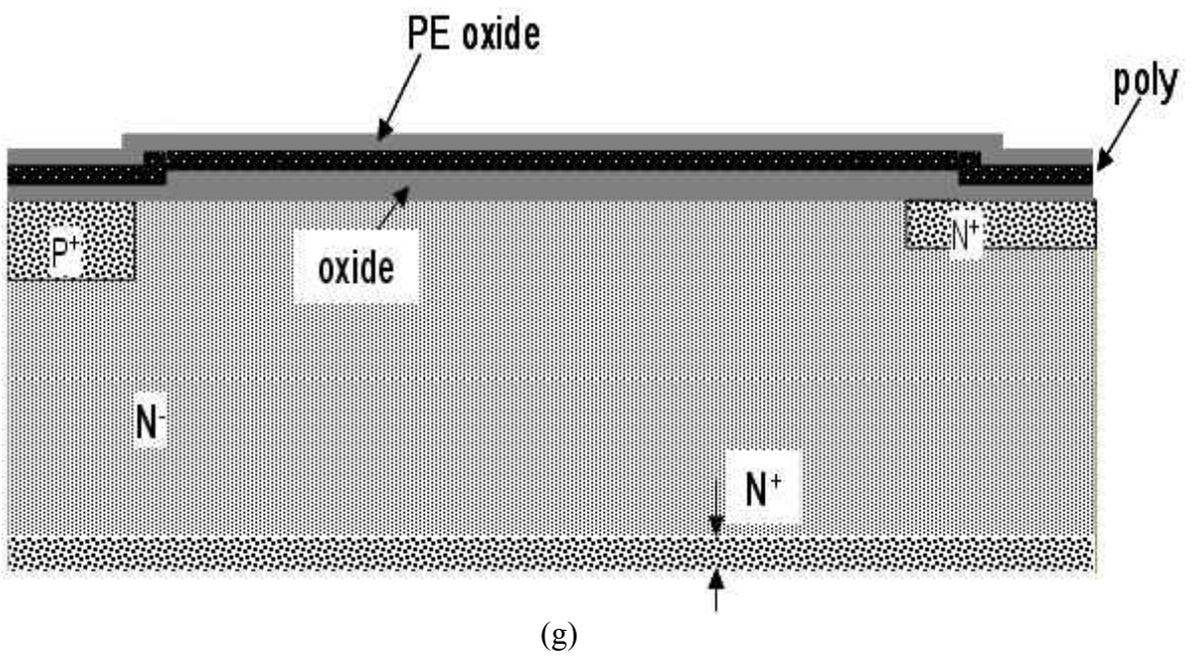
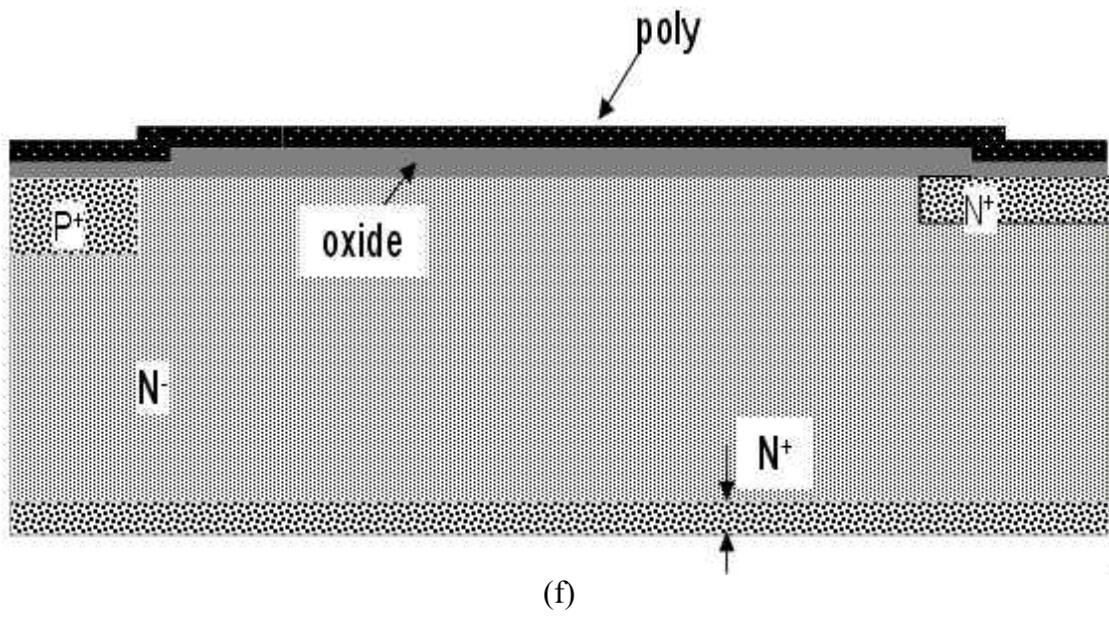
(c)

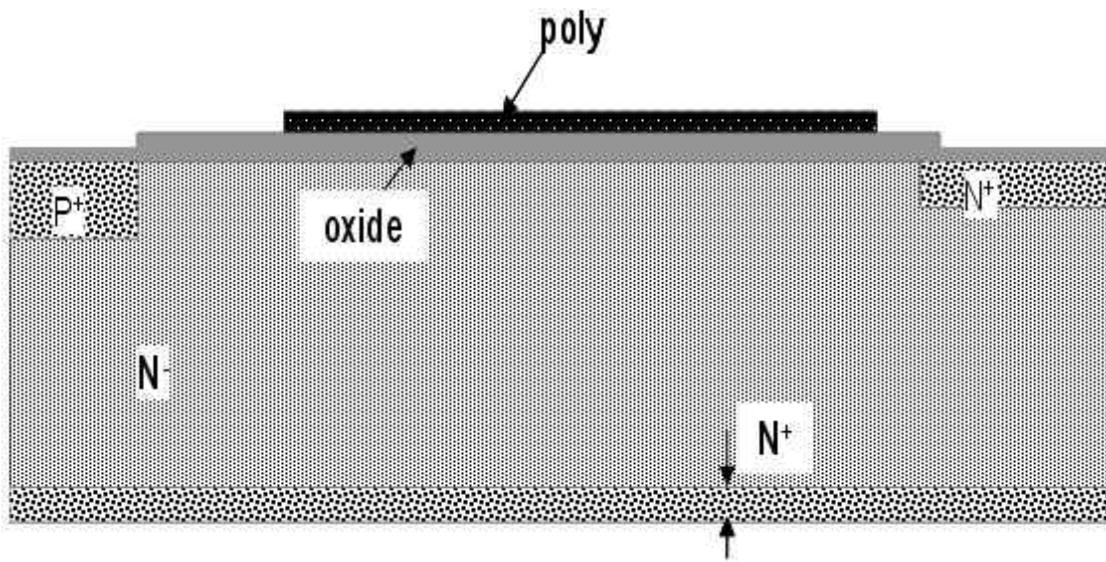


(d)

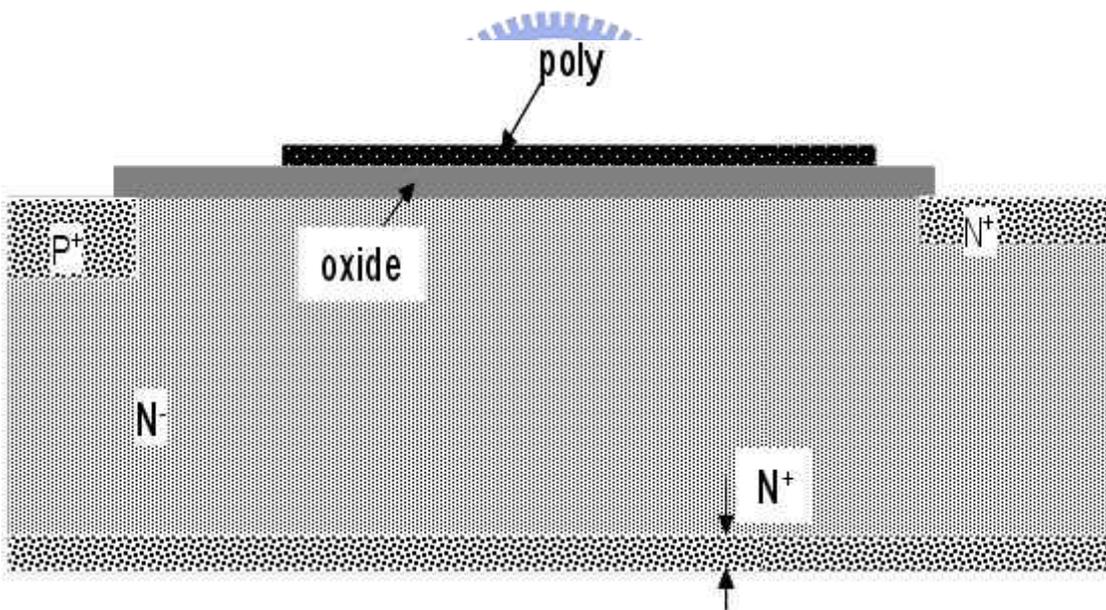


(e)

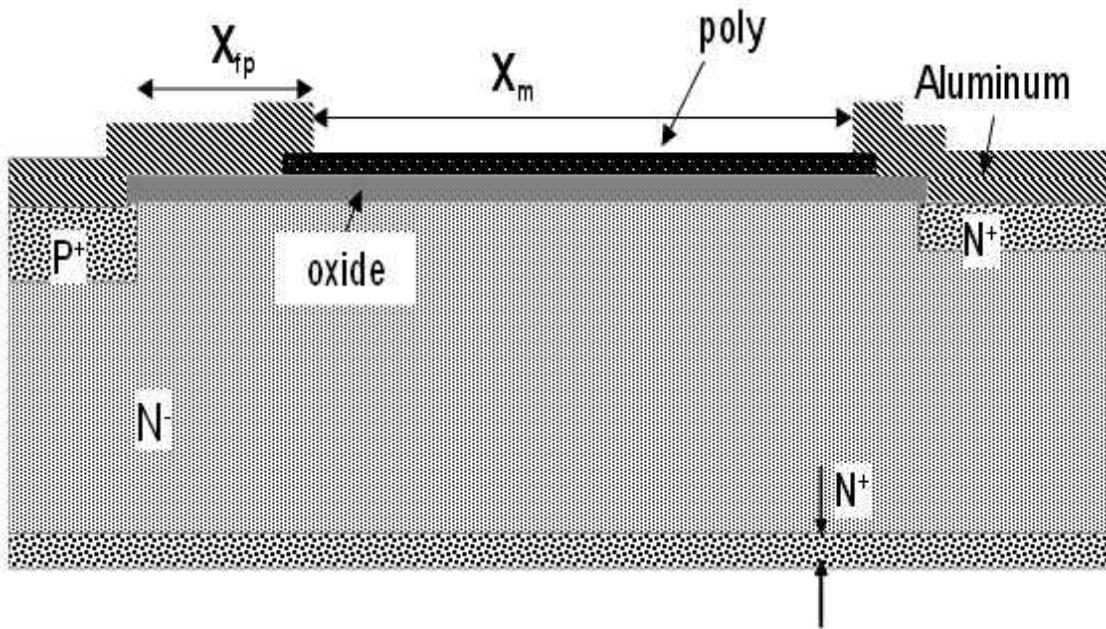




(h)



(i)



(j)

圖 2-16 終端結構以複晶矽電阻作為不等電位場板的製作流程

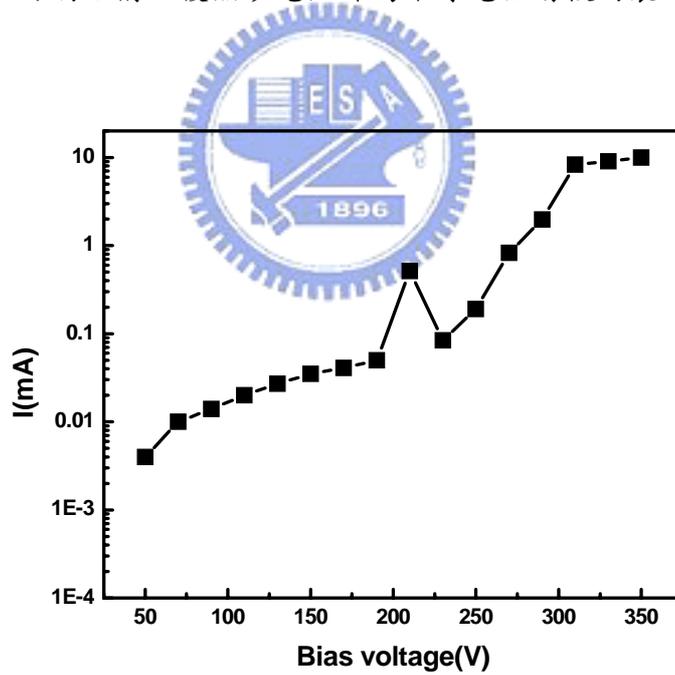


圖 2-17 只含金屬場板終端結構的電流-電壓關係圖

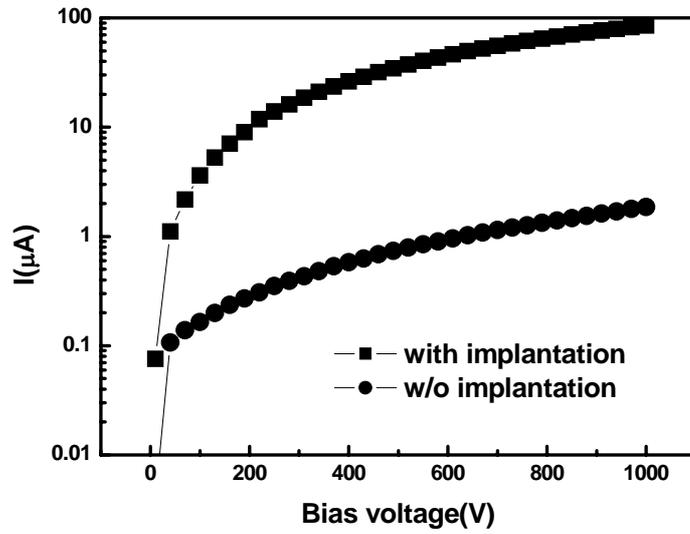


圖 2-18 終端結構利用兩阻複晶矽電阻作為不等電位場板的電流-電壓關係圖。

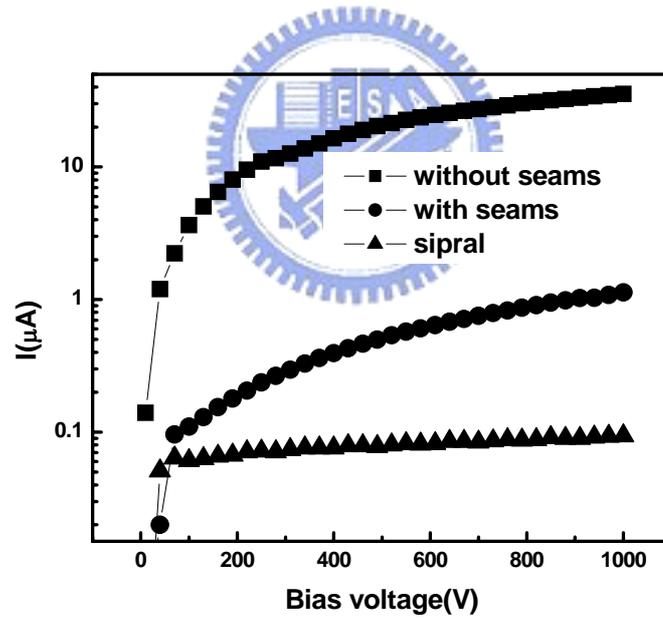


圖 2-19 終端結構利用三種不同複晶矽結構作為不等電位場板的電壓-電流關係圖。複晶矽電阻有經過硼磷離子佈植，金屬場板長度=100μm，複晶矽電阻長度=900μm。

## 第三章 複晶矽電阻的研究

### 3-1 複晶矽電阻製作流程

複晶矽電阻為本論文終端結構中的一個重要部份，由於它同時連接兩端電極，因此它的阻值將大大影響到元件在到達崩潰電壓前的漏電流值。本章製作了五種複晶矽電阻，並比較其電阻係數。第一組複晶矽電阻的製程步驟如下：

- (1) 基板材料為晶格方向(100)，電阻率介於 1 至 20 $\Omega$ -cm 的 p 型基板。
- (2) 利用濕氧化法(Wet Oxidation)1050 度成長約 500nm 氧化層。
- (3) 利用低壓化學氣相沉積法(LPCVD) 沉積 625 度的複晶矽 350nm。
- (4) p型的離子植入，植入的離子源、能量與劑量分別為硼(Boron)、40KeV與  $1 \times 10^{13} \text{ cm}^{-2}$ 。
- (5) 900 度，30 秒的快速升溫退火(RTA)。
- (6) n型的離子植入，植入的離子源與能量分別為磷(Phosphorus)與 120KeV，植入劑量有  $5 \times 10^{12}$ 、 $1 \times 10^{13}$ 和  $2 \times 10^{13} \text{ cm}^{-2}$ 三種。
- (7) 電漿輔助化學氣相沉積(PECVD)沉積 50nm 的氧化層，目的是防止後續高溫退火離子向外擴散。
- (8) 高溫爐管退火，時間有 30 分鐘、60 分鐘與 120 分鐘三種，溫度有 900 度、1000 度與 1100 度三種，共有 9 種條件。
- (9) 用 BOE 去除複晶矽上的氧化層。
- (10) 定義電阻區，為兩端點結構，長度為 1720 $\mu\text{m}$ ，寬度為 85 $\mu\text{m}$ 。

第三步除了沉積 625 度的複晶矽，還有另一組條件為先 550 度沉積 350nm 的非晶矽，再利用 RTA，900 度 30 秒，後續製程步驟不變，此為第二組複晶矽電阻。第三組複晶矽電阻是沉積完多晶矽後，先植入氮離子，再做 RTA，900 度 30 秒，後續製程步驟不變。第四組

為 625 度沈積的複晶矽，不做任何離子植入。第五組為 550 度沈積的非晶矽，不做任何離子植入。

### 3-2 理論模型

過去有一些同時在複晶矽上植入硼和磷離子以提高電阻係數的研究。Lee [25]提出 n 型和 p 型的摻雜物會彼此形成鍵結，以致於可傳導的載子會彼此形成化學鍵，也因為這些自由載子減少，使載子的傳導能力降低，電阻係數提高。Quo[23]提出另一種機制，雜質分離效應(segregation effect)。以植入磷及硼離子為例，n 型的磷雜質會往晶粒邊界(grain boundary)移動並聚集在晶粒內靠近晶粒邊界的地方，然而硼原子則沒有此趨勢，硼原子傾向輕微在晶粒內靠近晶粒邊界的區域空乏，因為這些硼原子會由晶粒往晶粒邊界擴散。因此，靠近晶粒邊界會形成 n 型雜質較多的區域，在晶粒中的硼較不會有分離的現象，使晶粒的中心變成輕微的 p 型，當自由電荷載子在傳導時，會遭遇一連串的 P-N-N-P 多接面結構，如同遇到很多的能障(potential barrier)，能帶圖如圖 3-1，而以電洞傳導為例，電洞看到的能障如下，

$$V_{BP} = \frac{k_B T}{q} \ln \left[ \frac{N_A N_D(T_A, t_A)}{n_{ic}^2} \right] \quad \dots \dots \quad (3)$$

$N_A$ 是在晶粒中 p 型雜質較多的區域的硼離子摻雜濃度， $N_D(t_A, T_A)$ 是 n 型雜質較多的區域的磷離子摻雜濃度， $T_A$ 是後續退火的溫度， $t_A$ 是後續退火的時間。此理論的作者認為  $N_D$  隨不同的退火溫度和時間而改變，是影響電阻係數最主要的因素。

由前兩種理論可知道，P-N-N-P 多接面結構的數量愈多，傳導的自由電荷載子看到的能障就愈多，阻值應該會愈大，然而 P-N-N-P 的結構是在晶粒邊界附近形成，因此較多晶粒邊界的結構有較多的 P-N-N-P 結構，進而具有較大的阻抗。一般來說，非晶矽(amorphous

silicon)的晶粒比複晶矽(poly silicon)小，所以有較多的晶粒邊界去形成更多的 P-N-N-P 結構。如 3-1 節的製作流程，在第三步驟，本論文除了沉積複晶矽，也另外沉積 550 度的非晶矽做為比較，由於沉積的溫度較低，成長出來的晶粒會變得更小，預期會形成較多的 P-N-N-P 結構使電阻係數變大，此兩種條件的量測結果及討論將在下一節加以述說。

### 3-3 量測結果與討論

複晶矽電阻是藉由半導體參數分析儀 4156C 量測而得，每個電阻值是試片上最少七個點的平均值，首先，討論製作流程中第三步驟沉積 550 度非晶矽這一組實驗。電阻係數值和不同磷植入劑量的關係如圖 3-2(a)、(b)、(c)所示，電阻係數隨著磷植入劑量增加而有增加的趨勢，此結果與理論趨勢吻合，因為 N 型的摻雜濃度增加使得式子(3)的  $N_D(T_A, t_A)$  變大，進而形成更高的能障，導致電阻係數的提高。當退火的溫度增加，阻值有下降的趨勢，如圖 3-3(a)、(b)所示。根據理論部分， $N_D(T_A, t_A)$  隨著  $T_A$  變大而變小，因此使能障降低進而電阻係數下降，其中的物理機制是由於在較高的退火溫度下，導致反雜質分離效應(desegregation effect)[24]發生，此效應是原本聚集在晶粒邊界附近的 n 型摻雜濃度會隨著退火溫度升高而往晶粒內部擴散，使原本靠近晶粒邊界的磷摻雜濃度降低。此外，晶粒也會隨著退火溫度增加而變大，由前一節可知，晶粒變大伴隨晶粒邊界和 P-N-N-P 的結構數量變少，也就是能阻擋自由載子電荷傳導的區域變小，因此電阻係數降低。然而，Lee 的研究中提到，硼和磷離子會因為退火溫度提高而獲得更多的能量去產生鍵結，愈多的硼磷鍵結導致愈少的自由載子，所以電阻係數提高。在 Quo 的研究中也提到，當磷離子的植入劑量超過硼離子時，此現象會更加明顯，與先前的反雜質分離效應作用相反。由於本論文的非晶矽電阻是在較低的溫度下沉積非晶矽，晶粒大小較前人論文中沉積的複晶矽

小，晶粒邊界因而較多，如圖 3-3(b)可看出，當磷離子植入劑量等於硼離子時，此兩種現象已開始顯現出來，如圖 3-3(c)，當磷離子植入劑量為硼離子的兩倍時，阻值不隨退火溫度增加而有固定上升或下降的趨勢，表示兩種現象間的相互影響更加明顯。同上述，在 Quo 的論文中提到，退火時間的增加類似退火溫度增加一樣，都會使反雜質分離效應更明顯，植入的摻雜無論是 n 型或 p 型，都傾向均勻分布在晶粒中，因此自由載子電荷看到的能障降低，造成電阻係數降低，如圖 3-4(a)、(b)中磷劑量等於  $5 \times 10^{12} \text{ cm}^{-2}$  及  $1 \times 10^{13} \text{ cm}^{-2}$  的曲線所示。另一方面，Lee 的論文提到，當退火時間增加，植入的硼磷離子有更多的時間去產生鍵結，使得可傳導的自由載子電荷變少，電阻係數反而升高，所以在磷劑量愈大時，此效應變的愈明顯，與反雜質分離效應彼此間的影響也更加明顯，如圖 3-4(a)、(b)、(c) 中，磷劑量等於  $2 \times 10^{13} \text{ cm}^{-2}$  的曲線所示，電阻係數已沒有隨著退火時間增加而有上升或下降的固定趨勢。由圖 3-4(c)可看出兩種效應相互影響的情形最明顯，因為退火溫度高到 1100 度，更加強硼磷之間的鍵結，加強電阻係數上升的趨勢，所以圖 3-4(c)中，磷植入劑量為  $5 \times 10^{12} \text{ cm}^{-2}$  及  $1 \times 10^{13} \text{ cm}^{-2}$  的曲線和圖 3-4(a)、(b)中的不同，無電阻係數降低的趨勢。另外，當退火時間變長，晶粒的成長會趨向穩定，意味影響電阻係數變化最大的因素----晶粒邊界的多寡也趨向穩定，使得電阻係數隨著退火溫度的變化也趨向穩定。表 3-1 為非晶矽電阻在各種退火條件下的電阻係數值。

3-2 節提到，晶粒大小影響晶粒邊界的數量多寡，晶粒邊界愈多，形成的 P-N-N-P 結構愈多，能使電阻係數提高，本論文採取三種退火條件，將原本低溫沉積的非晶矽換成沉積溫度較高的複晶矽，做為對照比較，同時也將不做任何植入及退火條件的純非晶矽和複晶矽納入比較，如圖 3-5 所示，電阻係數由大至小依序為經過 n 型及 p 型摻雜的非晶矽(成長溫度為 550 度)、不做任何處理的低溫成長非晶矽、不做任何處理的複晶矽(成長溫度為 625 度)、經過 n 型及 p 型摻雜的複晶矽。我們將複晶矽及非晶矽的試片浸泡在 secco

etching溶液中 5 分鐘，secco etching溶液也是一種缺陷蝕刻溶液，所以它沿複晶矽及非晶矽的晶粒邊界的蝕刻速度較快，我們可藉由表面掃描式電子顯微鏡(SEM)看出晶粒大小。本論文的secco etching溶液是由 0.15(莫爾濃度) $C_1O_3$ :HF(49%)=1:2 配置而成，使用前約加十倍的水稀釋。由於非晶矽的沉積溫度較複晶矽低，非晶矽的晶粒大小會比複晶矽的小，圖 3-6(a)、(b)，分別為非晶矽電阻及複晶矽電阻的表面晶粒SEM圖，平均晶粒大小各約是 66nm及 96nm，晶粒愈小，可傳導自由載子的區域也較少，所以不做任何處理的低溫成長非晶矽其電阻係數會比不做任何處理的複晶矽大。低溫成長非晶矽在做了兩種型的摻雜，如上節所述，形成許多P-N-N-P結構，因此其電阻係數會比不做任何處理的低溫成長非晶矽大。然而，特別的是複晶矽做了兩種型的離子植入後，所有的數據卻都比不做任何處理的複晶矽小，探討原因是因為其晶粒較大，晶粒邊界的數量少了許多，使晶粒邊界附近形成的P-N-N-P結構不足以主導其電阻係數，反而由受到摻雜的晶粒內部主導，晶粒多摻雜了施體(donor)及受體(acceptor)，使得電阻係數反而又降低了。表 2-2 為複晶矽電阻在各種退火條件下的電阻係數值。表 2-3 為不做任何離子植入的複晶矽及非晶矽的電阻係數值。

本論文另外做了複晶矽電阻植入氮原子方面的探討，在複晶矽電阻製程的第四步前，先植入氮原子，再利用快速升溫退火 900 度 30 秒。為了使氮原子能較均勻的分佈於複晶矽中，本論文先用ISE TCAD模擬氮原子植入 350nm複晶矽的深度，結果顯示，在 60KeV的植入能量下，氮原子峰值約在複晶矽的中間深度，所以將氮原子植入分成兩種條件：條件一 30KeV,  $2 \times 10^{15} \text{ cm}^{-2}$  接著植入 100KeV,  $2 \times 10^{15} \text{ cm}^{-2}$ ，條件二 60KeV,  $2 \times 10^{15} \text{ cm}^{-2}$ 。如圖 3-7(a)、(b)所示，磷離子植入劑量皆為  $2 \times 10^{13} \text{ cm}^{-2}$ ，退火條件分別為 1000 度 60 分鐘和 900 度 60 分鐘，在複晶矽電阻在植入了氮原子後，其電阻係數有明顯的提升，且接近非晶矽電阻的電阻係數，原因是複晶矽在沉積後所值入的氮原子，在後續的退火條件下，有抑制晶粒成長

的現象。如圖 3-8(a)、(b)及圖 3-9(c)、(d)，為複晶矽電阻植入氮原子經過退火後的表面晶粒 SEM 圖，其晶粒大小分別約為 59nm、67nm、65nm 及 67nm，與圖 3-6(b)複晶矽電阻的晶粒大小相比，晶粒變的較小，且與圖 3-6(a)非晶矽電阻的晶粒大小接近，所以其阻值較無氮原子植入的複晶矽電阻大，與非晶矽電阻的電阻係數接近。表 3-4 為複晶矽電阻植入氮原子後再經過退火的電阻係數值。

本章共有五種不同製程的電阻，由各個實驗結果得知，晶粒大小、磷的植入劑量和退火的時間及溫度是影響電阻係數的重要參數，經過各種不同的退火時間及溫度後，五種電阻各自也有不同大小的阻值。複晶矽電阻方面，本論文的離子植入劑量與能量及退火條件與 Quo 的研究類似，但 Quo 的實驗結果中，同樣條件下都較本論文的電阻係數大，由於晶粒尺寸是影響複晶矽電阻係數不同的最大因素，所以推測是 Quo 研究中所使用的沉積系統及退火用的高溫爐管系統與本論文使用的不同，在經過沉積及後續退火，實際上的複晶矽晶粒大小可能有所差異，造成之間的差異。在本論文中，非晶矽在磷的植入劑量為  $2 \times 10^{13} \text{ cm}^{-2}$ 、退火溫度為 1000 度時，可得到較高的電阻係數，或者，使用複晶矽電阻時，先植入氮原子，也可得到與非晶矽電阻接近的電阻係數。

表 3-1 不同磷載子濃度、退火溫度及退火時間下的非晶矽電阻係數值(單位 歐姆-公分)

Amorphous(550 度)		30 分鐘	60 分鐘	120 分鐘
900 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	$2.39 \times 10^5$	$1.84 \times 10^5$	$2.27 \times 10^5$
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$1.56 \times 10^5$	$7.33 \times 10^4$	$8.82 \times 10^4$
	P : $2 \times 10^{13} \text{ cm}^{-2}$	$5.77 \times 10^5$	$1.43 \times 10^6$	$1.23 \times 10^6$
1000 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	$1.31 \times 10^5$	$9.7 \times 10^4$	$1.08 \times 10^5$
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$1.03 \times 10^5$	$8.4 \times 10^4$	$7.2 \times 10^4$
	P : $2 \times 10^{13} \text{ cm}^{-2}$	$1.86 \times 10^6$	$1.25 \times 10^6$	$1.83 \times 10^6$
1100 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	$2.62 \times 10^4$	$2.27 \times 10^4$	$2.85 \times 10^4$
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$2.72 \times 10^4$	$3.03 \times 10^4$	$4.29 \times 10^4$
	P : $2 \times 10^{13} \text{ cm}^{-2}$	$3.53 \times 10^5$	$3.07 \times 10^5$	$1.09 \times 10^6$

RESISTOR LENGTH :  $1700 \mu\text{m}$

RESISTOR WIDTH :  $80 \mu\text{m}$

表 3-2 不同磷載子濃度、退火溫度及退火時間下的複晶矽電阻係數值(單位 歐姆-公分)

Poly(625 度)		30 分鐘	60 分鐘	120 分鐘
900 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	$2.13 \times 10^4$	$9.03 \times 10^4$	$3.56 \times 10^4$
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$7.24 \times 10^3$	$3.99 \times 10^4$	$4.12 \times 10^4$
	P : $2 \times 10^{13} \text{ cm}^{-2}$	$6.71 \times 10^3$	$3.13 \times 10^4$	$2.47 \times 10^4$
1000 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	$2.23 \times 10^4$	$6.13 \times 10^4$	$3.21 \times 10^4$
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$7.52 \times 10^3$	$5.23 \times 10^3$	$5.79 \times 10^3$
	P : $2 \times 10^{13} \text{ cm}^{-2}$	$2.39 \times 10^5$	$7.25 \times 10^3$	$2.39 \times 10^4$
1100 度	P : $5 \times 10^{12} \text{ cm}^{-2}$	64.3	44.5	328
	P : $1 \times 10^{13} \text{ cm}^{-2}$	$4.42 \times 10^4$	$8.03 \times 10^3$	992.3
	P : $2 \times 10^{13} \text{ cm}^{-2}$	593.48	$1.5 \times 10^3$	$2.35 \times 10^3$

RESISTOR LENGTH :  $1700 \mu\text{m}$

RESISTOR WIDTH :  $80 \mu\text{m}$

Poly	$7.86 \times 10^5$
Amorphous	$9.86 \times 10^5$

表 3-3 不做任何離子植入的複晶矽及非晶矽的電阻係數值(單位 歐姆-公分)

表 3-4 不同氮原子植入條件、退火條件下的複晶矽電阻係數值(單位 歐姆

P dose= $2 \times 10^{15} \text{ cm}^{-2}$	Condition1	Condition2
1000 度,60 分鐘	$1.47 \times 10^6$	$8.27 \times 10^5$
900 度,60 分鐘	$1.53 \times 10^6$	$1.02 \times 10^6$

-公分)

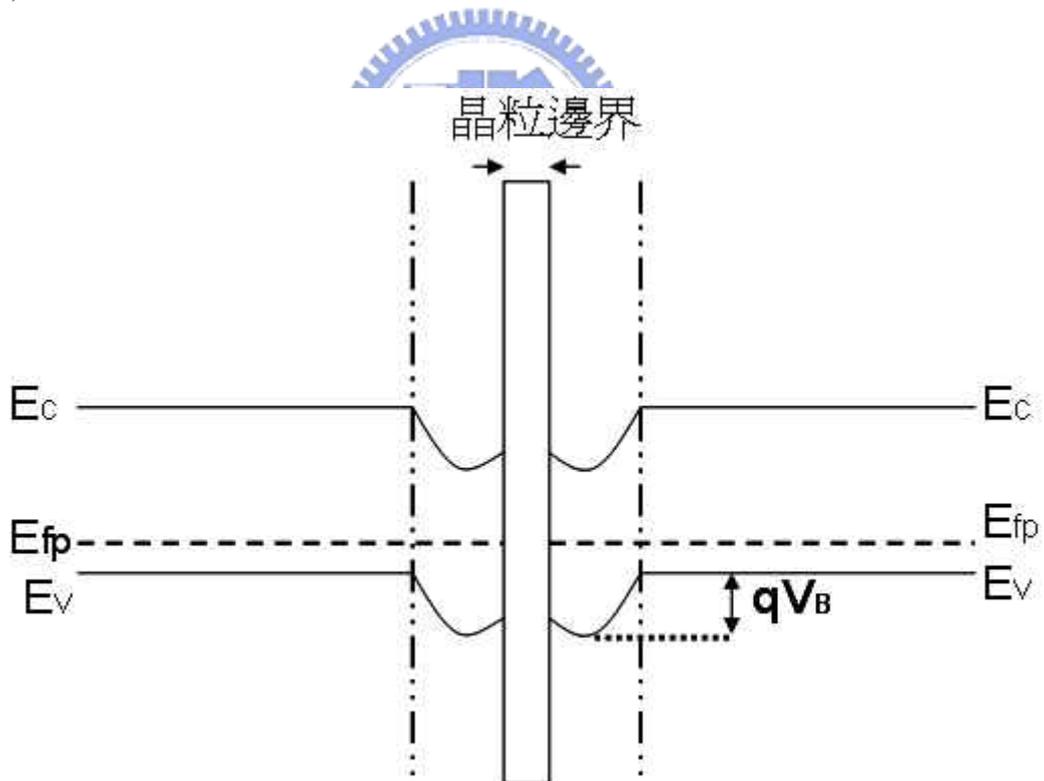
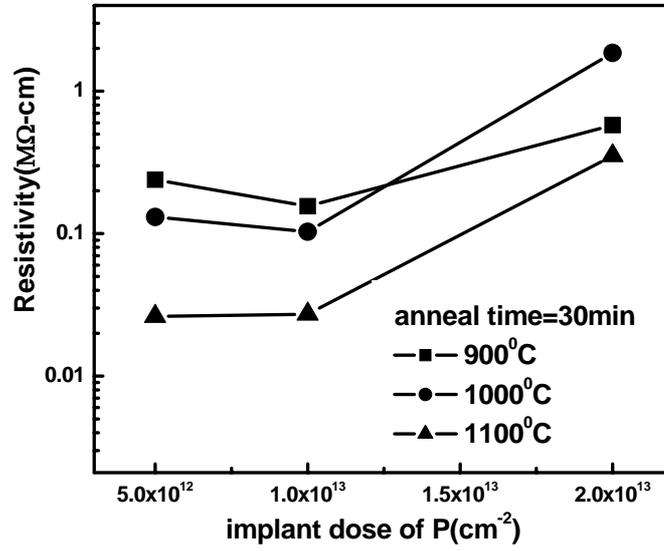
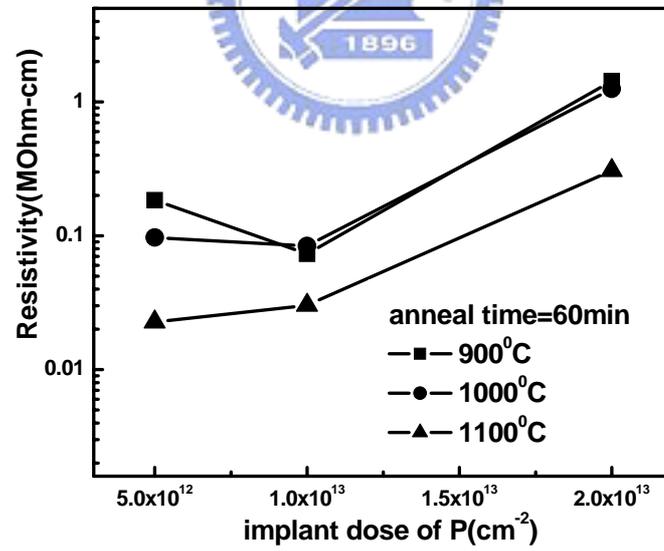


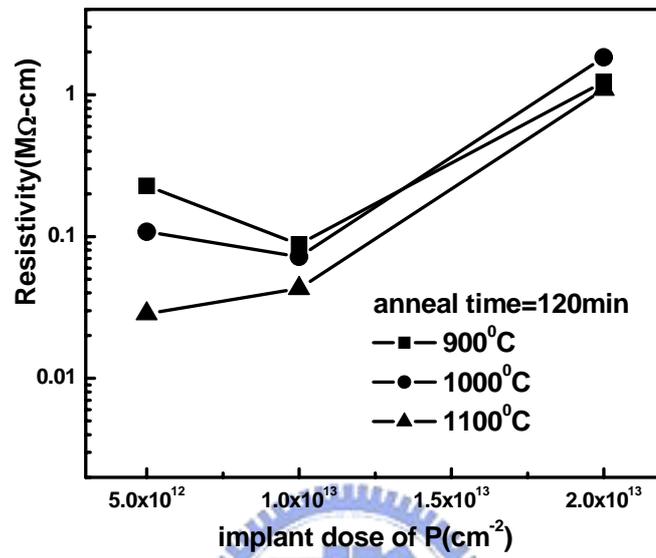
圖 3-1 複晶矽經過 n 及 p 型的離子植入所產生的能帶圖[23]。



(a)

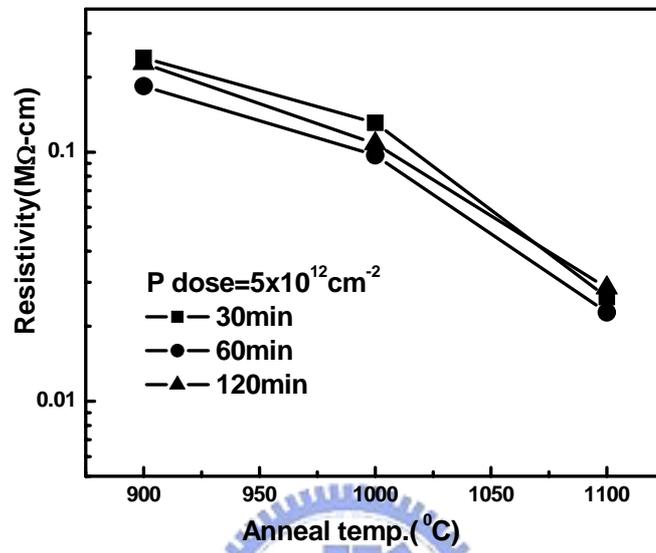


(b)

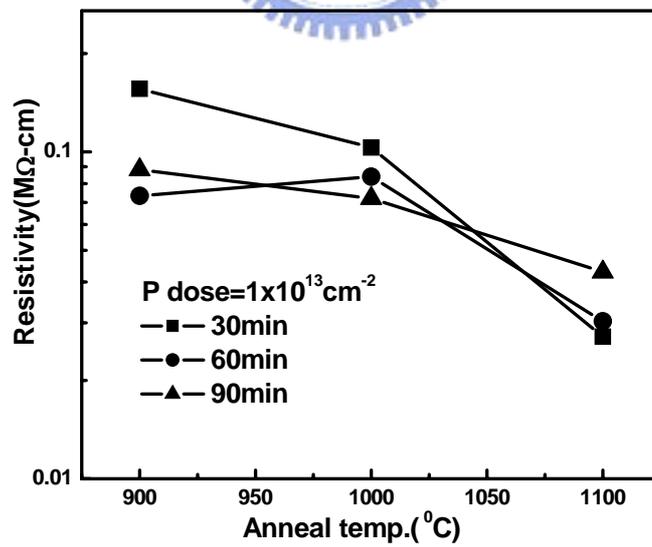


(c)

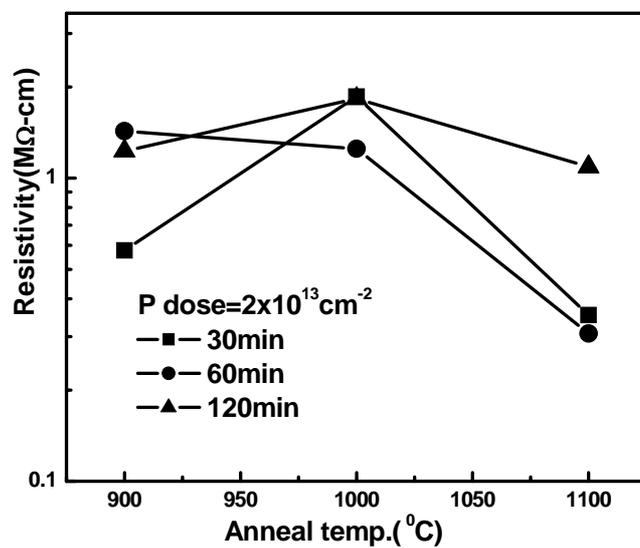
圖 3-2 複晶矽電阻退火時間為(a)30min，(b)60min，(c)120min時，不同的 n 型離子植入劑量對其電阻係數的影響。



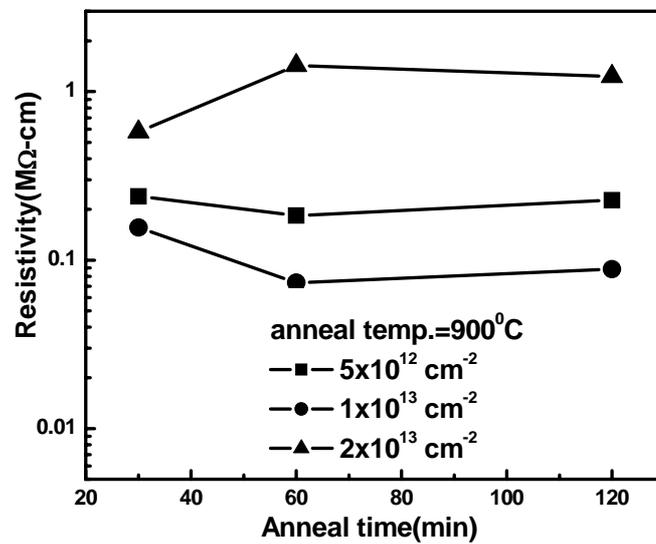
(a)



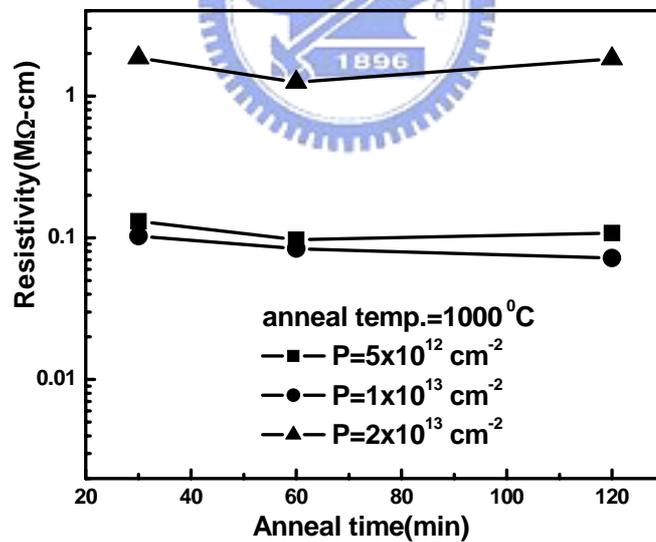
(b)



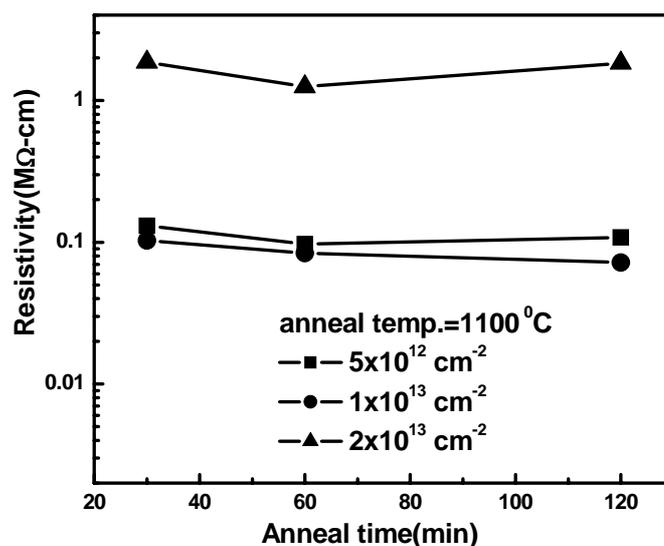
(c)  
 圖 3-3 複晶矽電阻磷植入劑量為(a) $5 \times 10^{12} \text{ cm}^{-2}$ ，(b) $1 \times 10^{13} \text{ cm}^{-2}$ ，  
 (c)  $1 \times 10^{13} \text{ cm}^{-2}$ 時，退火溫度其電阻係數的影響。



(a)



(b)



(c)

圖 3-4 複晶矽電阻退火溫度為(a)900 度，(b)1000 度，(c)1100 度時，不同退火時間對其電阻係數的影響。

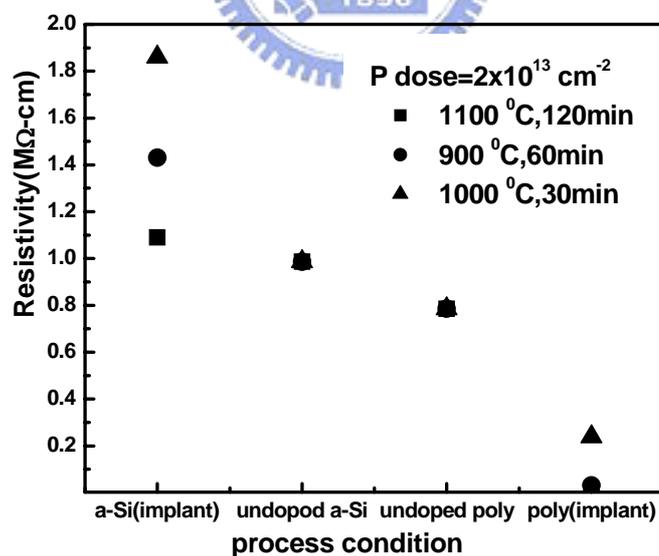
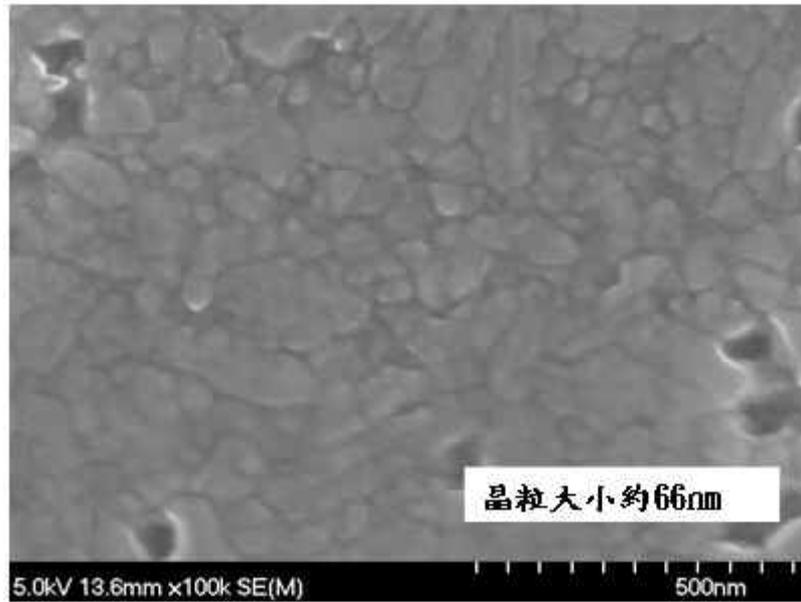
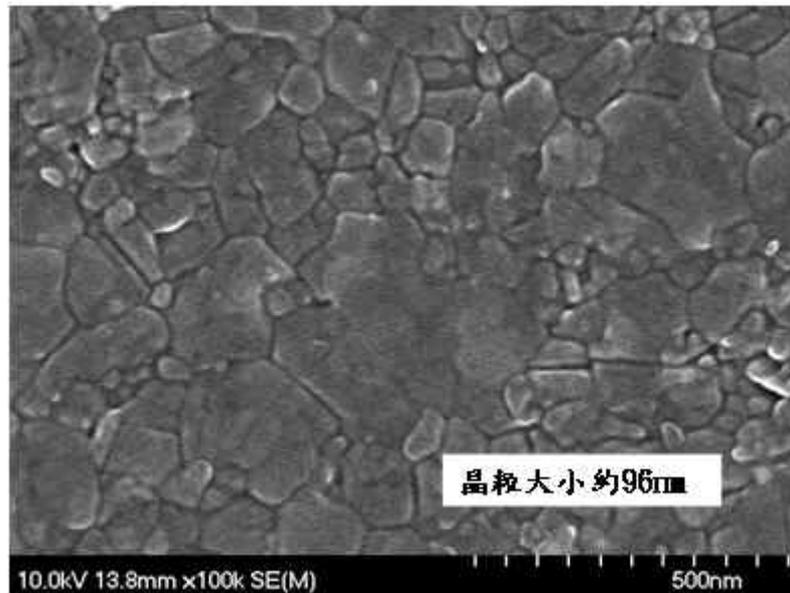


圖 3-5 有無 n 型或 p 型離子植入的複晶矽及非晶矽電阻在經過退火後的電阻係數比較圖。

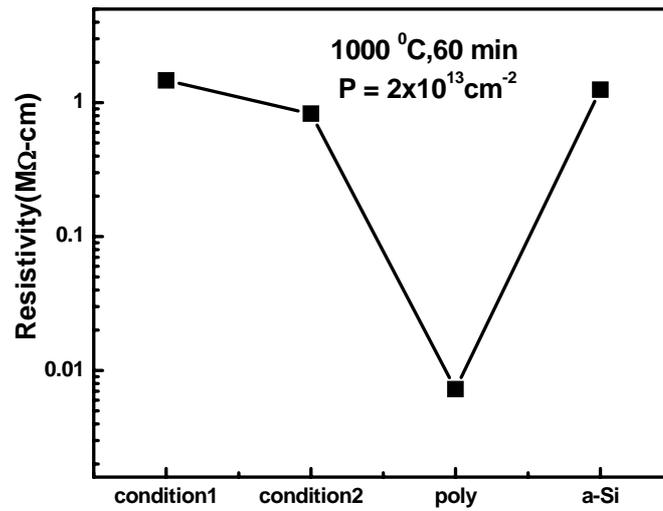


(a)

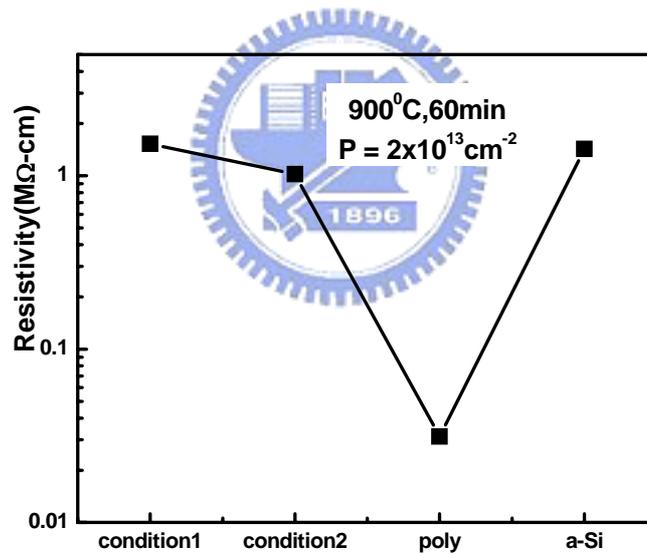


(b)

圖 3-6 經過硼磷離子植入，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  和  $2 \times 10^{13} \text{cm}^{-2}$ ，能量分別為 40KeV 和 120KeV 及經過 1000 度 30 分鐘退火的 (a) 非晶矽電阻的表面晶粒 SEM 圖，非晶矽電阻係數為  $1.86 \times 10^6$  (歐姆-公分)，晶粒大小約 66nm。 (b) 複晶矽電阻的表面晶粒 SEM 圖，電阻係數為  $2.39 \times 10^5$  (歐姆-公分)，晶粒大小約 96nm。

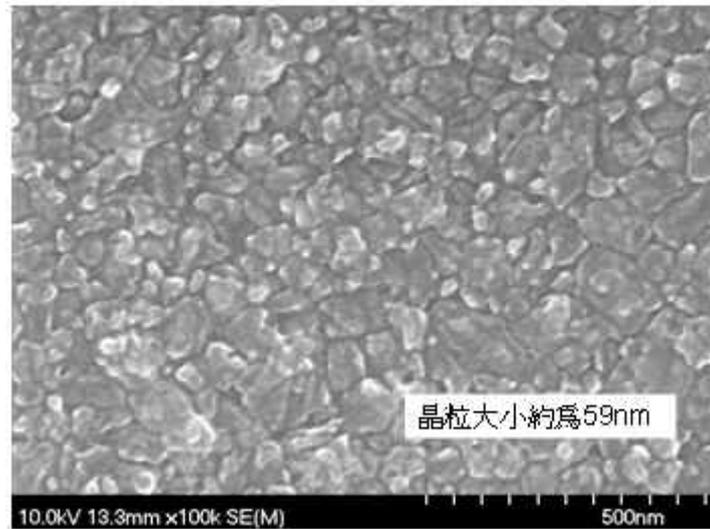


(a)

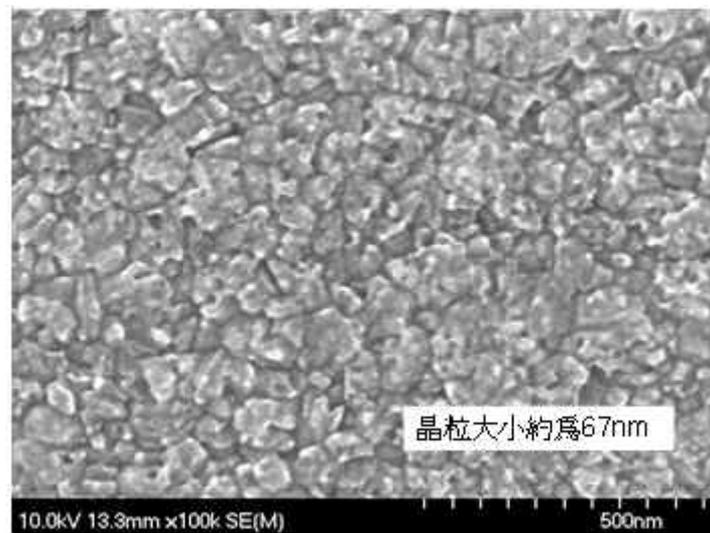


(b)

圖 3-7 condition1 是經過 30KeV,  $2 \times 10^{15}(\text{cm}^{-2})$ , 100KeV,  $2 \times 10^{15}(\text{cm}^{-2})$  兩次氮原子植入, condition2 是經過 60KeV,  $2 \times 10^{15}(\text{cm}^{-2})$  一次氮原子植入。有無氮原子植入的複晶矽與無氮原子植入的非晶矽在(a)1000 度 60 分鐘退火及(b)900 度 60 分鐘退火後的電阻係數比較圖。

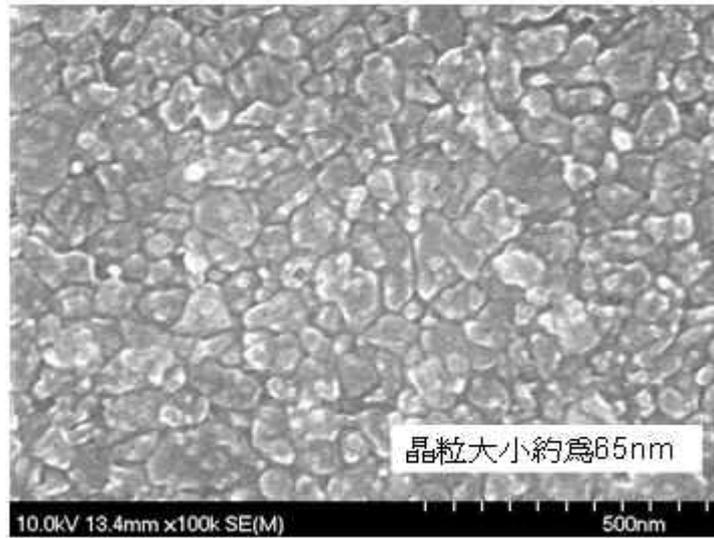


(a)

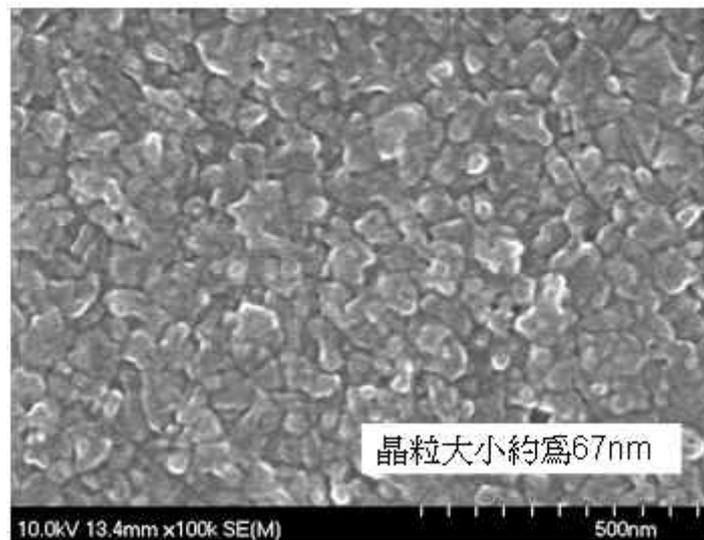


(b)

圖 3-8 複晶矽電阻的表面晶粒SEM圖。複晶矽經過硼和磷離子植入，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  及  $2 \times 10^{13} \text{cm}^{-2}$ ，能量分別為 40KeV 及 120KeV，經過 1000 度 60 分鐘的退火，(a)兩次氮原子植入劑量皆為  $2 \times 10^{15} \text{cm}^{-2}$ ，能量分別為 30KeV 及 100KeV，電阻係數為  $1.47 \times 10^6$  (歐姆-公分)，晶粒大小約 59nm。(b)氮原子植入，劑量為  $2 \times 10^{15} \text{cm}^{-2}$ ，能量為 60KeV，電阻係數為  $8.27 \times 10^5$  (歐姆-公分)，晶粒大小約 67nm。



(a)



(b)

圖 3-9 複晶矽電阻的表面晶粒SEM圖。複晶矽經過硼和磷離子植入，劑量分別為  $1 \times 10^{13} \text{cm}^{-2}$  及  $2 \times 10^{13} \text{cm}^{-2}$ ，能量分別為 40KeV 及 120KeV，經過 900 度 60 分鐘的退火，(a)兩次氮原子植入劑量皆為  $2 \times 10^{15} \text{cm}^{-2}$ ，能量分別為 30KeV 及 100KeV，電阻係數為  $1.53 \times 10^6$  (歐姆-公分)，晶粒大小約 65nm。(b)氮原子植入，劑量為  $2 \times 10^{15} \text{cm}^{-2}$ ，能量為 60KeV，電阻係數為  $1.02 \times 10^6$  (歐姆-公分)，晶粒大小約 67nm。

## 第四章 結論與未來展望

### 4-1 結論

終端結構的種類有很多種，各有其優缺點，本論文首先討論場板方面的設計，只包含金屬場板的結構常被應用在約幾百伏特低崩潰電壓的元件上，我們先利用模擬軟體ISE TCAD模擬單一場板的結構，崩潰電壓約只有 300 伏特，再加入了複晶矽電阻之後，形成一個不等電位的場板，使元件兩端電極間的矽基板表面電位呈線性分佈，降低原來位於金屬場板邊緣下方的大電場，且將逆偏接面(P<sup>+</sup>N<sup>-</sup>接面)的空乏區延伸的更大，因此提高了崩潰電壓，模擬值約 3000 伏特。由於兩端電極間連接的複晶矽電阻是影響漏電流的主要因素，除了提高複晶矽的電阻係數去降低漏電流，我們改變複晶矽層的結構，將複晶矽做了兩種開縫隙的設計，目的是使電極兩端看到的等效長度增加或等效寬度降低，在此我們先模擬縫隙的大小及縫隙間複晶矽層長度的最佳化值，分別為 15  $\mu\text{m}$  及 40  $\mu\text{m}$ ，在此數值下，模擬的崩潰電壓值並無因為複晶矽上的縫隙而有衰減，然後根據此結果製作光罩。實際製作出的元件中，只含金屬場板的元件，在偏壓加至 300 伏特，元件即崩潰，但加入了複晶矽電阻後，崩潰電壓可提升至 2000 伏特。然而在相同的元件面積下，複晶矽以螺旋型的設計，可得到最小的漏電流，無任何縫隙的結構，其漏電流最大，在此一結果下，有無縫隙的元件，崩潰電壓都約為 2000 伏特，確實不因複晶矽上的縫隙而衰減。

降低漏電流方法除了改良複晶矽電阻的結構外，還可以藉著提高複晶矽電阻的電阻係數以提高兩端電極間的阻抗，本論文接下來探討多晶矽電阻及複晶矽在各種不同的磷植入劑量及不同的退火

條件下，其電阻係數的變化趨勢，並和有無植入氮原子的複晶矽電阻、不做任何處理的複晶矽及不做任何處理的非晶矽做個比較。

不同的磷離子植入劑量及不同的退火條件對非晶矽電阻的影響和趨勢如下：

1. 電阻係數值隨著磷離子植入劑量增加而增加。靠近晶粒邊界會形成 n 型雜質較多的區域，此 n 型雜質的增加使自由載子電荷看到的位能障提高。
2. 當磷的摻雜濃度小於硼時，電阻係數隨著退火溫度增加而降低。溫度愈高，反雜質分離效應 (desegregation effect) 愈明顯，且晶粒也會隨著退火溫度增加而變大，所以 P-N-N-P 的結構數量變少，也就是能捕捉自由載子電荷的區域變小，因此電阻係數降低。硼和磷離子會因為退火溫度提高而獲得更多的能量去產生鍵結，當磷離子的植入劑量超過硼離子時，此現象愈明顯，愈多的硼磷鍵結導致愈少的自由載子電荷去傳導，造成電阻係數可能提高，與晶粒變大及反雜質分離效應造成的電阻係數降低，兩者作用相反。
3. 電阻係數隨著退火時間的增加而降低，因為反雜質分離效應使植入的摻雜傾向均勻分布在晶粒中，因此自由載子電荷看到的能障降低，造成電阻係數降低。但當磷的植入劑量超過硼，或是退火溫度到 1100 度時，此趨勢逐漸消失，如同上一點所提到的硼磷鍵結，退火時間增加使植入的硼磷離子有更多的時間去產生鍵結，自由載子電荷因此逐漸減少，電阻係數提高，與反雜質效應作用相反。
4. 磷離子植入劑量與各個退火條件對複晶矽電阻而言，較無變化的趨勢，且其電阻係數值較非晶矽電阻小。因為複晶矽電阻的晶粒大小較非晶矽小很多，晶粒邊界的結構自然較非晶矽少，所能造成的 P-N-N-P 結構數量不夠多，轉變成由受到摻雜的晶粒影響較大，電阻係數反而降低。
5. 有植入氮原子的複晶矽電阻，其電阻係數能大大地提升，與非晶

矽電阻在相同的退火條件下，電阻係數相近。由於植入的氮原子在後續的退火條件下，能抑制晶粒的成長，其大小與非晶矽相近，晶粒邊界的數量大大提高，因此電阻係數增加。

## 4-2 未來展望

首先，在複晶矽電阻部分，N型雜質植入劑量在硼植入劑量固定為  $1 \times 10^{13} \text{ cm}^{-2}$  對電阻係數的變化在本論文已有了趨勢，將來希望能植入不同的P型劑量，探討其對電阻係數的影響是否與n型雜質相同，並希望從各個不同的植入劑量或不同的退火條件，能找出其中使複晶矽電阻係數能達到最大的條件。

此外，在終端結構的設計方面，本論文只用了金屬場板搭配複晶矽電阻不等電位場板，然而，浮動環結構也是常被應用在功率元件的終端結構之一，其效率及可微縮的程度都優於金屬場板，所以接下來我們可以將本論文元件中的金屬場板換成浮動環，但由於浮動環的植入劑量與能量或是浮動環與電極間的距離，都是影響崩潰電壓的重要因素，因此我們可先利用模擬軟體找出最佳化的範圍以方便製程參數上的選擇，綜合浮動環與複晶矽電阻不等電位場板的優點，提高元件的效率及節省元件面積，另外，我們可以將本論文的終端結構整合在常用的功率電晶體上，如功率場效電晶體(Power MOS)、絕緣閘極雙載子電晶體(IGBT)等，都是未來可以繼續研究的目標。

## 參考文獻

- [1] B.J. Baliga, "Power Semiconductor Devices," Boston, MA:PWS, 1998.
- [2] G. Charitat, "Voltage handling capability and termination techniques of silicon power semiconductor devices," bipolar/BiCMOS Circuits and Technology Meeting, Proceedings of the 2001, pp.175-183.
- [3] D.S. Chao, C.C. Hung, D.Y. Shu, M.-J. Kao, and W.Y. Hsieh ; M.-J. Tsai ; Benson Wang; Bill Teng; H.P. Tsai ; Rick Lin; Max Chen, " Optimization and fabrication of planar edge termination techniques for a high breakdown voltage and low leakage current p-i-n diode," Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE ,Vol.1, pp.241 - 245, 2004
- [4] Z. Hossain, T. Ishigwo, L. Tu, H. Corleto, F. Kuramae, and R. Nair," Field-plate effects on the breakdown voltage of an integrated high-voltage LDMOS transistor, " Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04. The 16th International Symposium on 24-27 May 2004, pp.237 – 240.
- [5] A. Nezar and C.A.T. Salama ,"Breakdown voltage in LDMOS transistors using internal field rings," Electron Devices, IEEE Transactions on Vol. 38, Issue 7, July 1991, pp.1676 – 1680.
- [6] M. Vellvehi, D. Flores, and Joreda .X et. al. "Design and optimization of suitable edge terminations for 6.5kV IGBTs," Microelectronics Journal, Vol. 33, Issue 9, September 2002, pp.765-769.
- [7] A.W. Ludikhuize, "A Review of RESURF Technology," in Proceedings of 2000 International Symposium on Power Semiconductor Devices and ICs, pp.11-18, May 2000.
- [8] J.A. Appels and H.M.J Vaes, "High Voltage Thin Layer Devices (RESURF Devices)," Proceedings of 25<sup>th</sup> International electron Device Meeting, IEEE - IEDM 1979, Vol.25, pp238-241.
- [9] Z. Parpla and C.A.T. Salama, "Optimization of RESURF LDMOS transistors: an analytical approach," IEEE Transactions on Electron

Devices, Vol. 37, Issue 3, pp. 789 -796, March 1990.

- [10] A. Aarts and N. D'Halleweyn, "A surface-potential-based high-voltage compact LDMOS transistor Model," *Electron Devices, IEEE Transactions on*, Vol. 52, Issue 5, May 2005, pp.999-1007.
- [11] D. Dragomirescu, G. Charitat, and F. Morancho, "Novel concepts for high voltage junction termination techniques using very deep trenches," in *Proceedings of 1999 Semiconductor Conference*, Vol.1, 5-9 Oct. 1999 pp.67 - 70 .
- [12] D. Dragomirescu and G. Charitat, "Trench termination technique with vertical JTE for 6 kV devices," in *Proceedings of 2000 Bipolar/BiCMOS Circuits and Technology Meeting*, 24-26 Sept. 2000 pp.86 – 89.
- [13] J.K. Oh, M.W. Ha, M.K. H, and Y.I. Choi, "A new junction termination method employing shallow trenches filled with oxide," *Electron Device Letters, IEEE* Vol. 25, Issue 1, Jan. 2004 pp.16 – 18.
- [14] D. Krizaj, S. Amon, and G. Charitat, "Diffused spiral junction termination structure: modeling and realization," in *Proceedings of 1996 International Symposium on Power Semiconductor Devices and ICs*, 20-23 May 1996 pp.247 – 250.
- [15] S.L. Kosier, A. Wei, M.A. Shibib, J.C. Desko, R.D. Schrimpf, K.F. Galloway, and K.C. Yau, "Combination field plate/field ring termination structures for integrated power devices," in *Proceedings of 1993 International Symposium on Power Semiconductor Devices and ICs*, 18-20 May 1993 pp.182 - 187.
- [16] B.S. Avset, and L. Evensen, "The effect of metal field plates on multiguard structures with floating p+ guard rings," *Nucl. Instr. Meth. A* 377 (1996) pp 397-403.
- [17] C.B. Goud and K.N. Bhat, "Two-dimensional analysis and design considerations of high-voltage planar junctions equipped with field plate and guard ring," *Electron Devices, IEEE Transactions on* Vol. 38, Issue 6, June 1991 pp.1497 - 1504.
- [18] D. Dragomirescu, G. Charitat, F. Rossel, and E. Scheid, "Very high

voltage planar devices using field plate and semi-resistive layers: design and fabrication,” in Proceedings of 2000 Semiconductor Conference, Vol. 1, 10-14 Oct. 2000 pp.363 – 366.

- [19] G. Charitat, M.A. Bouanane, and P. Rossel, “A new junction termination technique for power devices: resurf LDMOS with SIPOS layers,” in Proceedings of 1993 International Symposium on Power Semiconductor Devices and ICs, 19-21 May, 1992 pp.213 – 216.
- [20] D. Jaume, G. Charitat, J.M. Reynes, and P. Rossel, “High-voltage planar devices using field plate and semi-resistive layers,” Electron Devices, IEEE Transactions on Vol. 38, Issue 7, July 1991 pp.:1681 – 1684.
- [21] S.-K. Chung, “Analytic model for field-plate-edge breakdown of planar devices terminated with field plate and semi-resistive layer,” Science, Measurement and Technology, IEE Proceedings- Vol. 151, Issue 1, 5 Jan, 2004 pp.21 – 24.
- [22] J. Ni and E. Arnold, “Electrical conductivity of semi-insulating polycrystalline silicon and its dependence upon oxygen content,” Applied Physics Letters, Vol. 39, No. 7, October 1981, pp.554-556.
- [23] J.Y. Quo, 1987, Giga Ohm Poly-silicon-resistor & Poly-silicon Thin-Film MOSFET Technology, M.S. Thesis, Chiao Tung University, Taiwan.
- [24] ISE TCAD Tools: DEVISE, DESSIS, User’s manual, ISE 10.0, 2004.
- [25] M.K. Lee and C.Y. Lu, “On the Semi-Insulating Polycrystalline Silicon Resistor,” Solid-State Electronics, vol.27, pp.995, 1984.

# 個人簡歷

姓名：黃永助

性別：男

出生年月日：民國 69 年 7 月 23 日

籍貫：台灣省桃園縣

住址：台中縣大里市中興路二段 153 巷 13 號 4F

學歷：

國立台中第二高級中學 (84.9-87.6)

國立逢甲大學電子工程系學士 (87.9-91.6)

國立交通大學電子所碩士 (93.9-95.9)



碩士論文題目：

功率元件之不等電位場板終端結構設計

Design of Termination Structure with Non-equal Potential Field Plate for Power Devices