

# 高速渦輪碼晶片之設計與實作

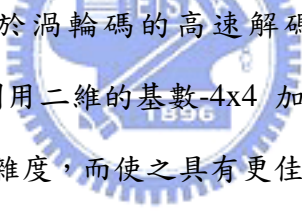
學生：唐正浩

指導教授：張錫嘉 教授

國立交通大學

電子工程學系 電子研究所碩士班

## 摘 要



本論文提出了兩個關於渦輪碼的高速解碼器設計。首先是一個高速Max-Log-MAP解碼器，我們利用二維的基數-4x4 加-比較-選擇單元來降低因為高基數設計所造成的高硬體複雜度，而使之具有更佳的成本效益。此外，我們更進一步利用資料路徑的時序重訂來提高解碼速度。根據實驗結果，此解碼器在 0.13  $\mu\text{m}$  製程下最高能達到 952 MS/s 的傳輸速度，晶片的面積是 1.96mm<sup>2</sup>。

由於傳統的渦輪解碼器是由兩個MAP解碼器所組成，因此我們接著提出一個高速的渦輪碼解碼器設計。在此，我們引進了一個新的交錯器概念，其利用了在不同的資料區塊間彼此交換資訊來增進改錯能力。而我們提出了一個蝶狀(Butterfly)架構來實現其行為，且不需要太多複雜的控制電路。最後，我們也採用了時序重訂過後的基數-2x2 的Max-Log-MAP解碼器來當為整個渦輪器的組成解碼器。根據實驗結果，此解碼器在 0.13  $\mu\text{m}$  製程下最高能達到 1.06Gb/s 的傳輸速度，晶片的面積是 17.81mm<sup>2</sup>。