

國立交通大學

電子工程學系 電子研究所 碩士班

碩士論文

使用加入緩衝器之低振幅延遲合併嵌入式演算法
用以降低時鐘網路之功率消耗

On Reducing Clock Network Power Consumption
by Low-Swing DME Buffering Technique

研究生：林昶達 (Yun-Ta Lin)

指導教授：陳宏明 教授 (Prof. Hung-Ming Chen)

中華民國九十五年十月