

使用加入緩衝器之低振幅延遲合併嵌入式 演算法用以降低時鐘網路之功率消耗

學生：林昀達

指導教授：陳宏明 教授

國立交通大學 電子工程學系 電子研究所碩士班

摘 要



在現代的超大型積體電路設計中，時鐘樹網路在功率消耗上佔了相當大的一部份。越來越高的操作頻率意味著功率耗費的問題越大。如果不能小心的設計時鐘網路的話，功率消耗的問題會更嚴重。在本篇論文中，我們展示出一個方法能夠在時鐘樹合成時，達到低功率的效果，並且能符合零偏斜的限制。這方法基本上是使用低振幅的連接器來傳送時鐘訊號，且用低振幅、雙邊觸發正反器接收。此外我們可以降低插入的緩衝器數目和減少電線長度以達到低功率的效果。由實驗結果可以得知，我們的方法能有效的降低功率。跟之前使用低振幅傳輸時鐘網路訊號的方法相比，我們能夠減少平均百分之四十五左右的功率消耗。