

國立交通大學

電機與控制工程學系

碩 士 論 文

連續時間和差類比數位轉換器之實作考量分析



On Analysis of Continuous-Time Sigma-Delta ADC with
Practical Considerations

研 究 生：呂文豪

指 導 教 授：董蘭榮 博士

中 華 民 國 九 十 五 年 十 月

連續時間和差類比數位轉換器之實作考量分析

On Analysis of Continuous-Time Sigma-Delta ADC with
Practical Considerations

研究生：呂文豪

Student : Wen-Hao Liu

指導教授：董蘭榮 博士

Advisor : Lan-Rong Dung

國立交通大學

電機與控制工程學系



Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Electrical and Control Engineering

October 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年十月

連續時間和差類比數位轉換器之實作考量分析

研究生：呂文豪

指導教授：董蘭榮 博士

國立交通大學電機與控制工程學系

摘要

本篇論文為討論在設計Continuous-Time Sigma-Delta Modulator(CT SDM)的過程中，如何在系統模擬上考慮其非理想效應以及在電路上實現的方法，並將兩者之間的結果互相比對。在介紹Sigma-Delta Modulator的基本理論後，經由DT-CT係數的轉換得到適用於CT SDM的係數，接著從參考現有的文獻以及模擬過程中的發現，建立有限增益頻寬(Finite gain bandwidth)、回授路徑額外時間延遲(Excess loop delay)、時鐘抖動(Clock jitter)、RC時間常數變動(RC time-constant variation)、係數值變動(Coefficients variation)、電容電阻不匹配(R、C mismatches)等非理想效應相關的模擬環境。並對於不同架構的差異性：(1)二階及三階的CT SDM (2)回授路徑上不同時間延遲的架構(unit-delay和half-delay) (3)用於CRFF架構的加法電路 (4)前饋(Feed-forward)與回授(Feed-back)架構的比較(CRFF和CRFB)等做模擬與分析探討。論文中使用MATLAB Simulink做系統上的模擬，在電路上則以台積電TSMC 0.18 μm Mixed Signal 1P6M 1.8V製程設計實現。最後，在模擬上所達到的規格為 250 kHz, 4mW, 83dB SNDR 3rd-order CRFF CT SDM。

On Analysis of Continuous-Time Sigma-Delta ADC with Practical Considerations

Student : Wen-Hao Liu

Advisor : Lan-Rong Dung

Institute of Electrical and Control Engineering National
Chiao-Tung University

Abstract

This thesis discusses the methods to simulate non-idealities in behavioral environment and practical realization in circuits when designing a continuous-time sigma-delta modulator. After introduce some basic concepts of the sigma-delta modulator, we use DT-CT transformation to get available coefficients for the CT SDM. Then by the bibliography and discoveries during simulation, models about non-idealities, such as finite gain-bandwidth, excess loop delay, clock jitter, RC time-constant variation, coefficients variation, and R, C mismatches are built. Analysis in different structures also introduced: (1)2nd-order and 3rd-order modulators, (2)unit-delay and half-delay in the feed-back path, (3)summing circuit in CRFF modulator, and (4)CRFF and CRFB structures. Simulations here are using TSMC 0.18 μ m Mixed Signal 1P6M 1.8V process. The final CT SDM simulated specification is 250 kHz, 4mW, 83dB SNDR 3rd-order in CRFF form.

誌謝

首先感謝董蘭榮老師在我碩士這兩年的指導，將我帶領至電路設計的世界裡，兩年來不僅在課業，甚至在生活方面都獲益良多，在此感謝老師的諄諄教誨。

接著就是實驗室的學長、同學及學弟們，大家在實驗室的這段日子都互相幫忙，這種跟同伴一起努力的感覺很好，今後要各奔東西也希望大家在人生的道理上有好的發展。



最後要感謝的就是我的父母親，有他們在精神及物質方面的支持，我才有辦法這麼無後顧之憂的完成學業，將來的我一定更加的懂事，也會盡一切努力讓你們覺得驕傲。

2006/10/19 文豪 於實驗室

章節目錄

中文摘要	i
英文摘要	ii
誌謝	iii
章節目錄	iv
圖目錄	vi
表目錄	xi
第一章 簡介	1
1-1 CT $\Sigma \Delta$ modulator 的應用	1
1-2 CT $\Sigma \Delta$ modulator 設計上的困難點	1
1-3 模擬及設計考量上的介紹	2
1-4 章節規劃	3
第二章 和差數位類比轉換器基本理論	4
2-1 量化雜訊(Quantization Noise)	4
2-2 過取樣(Oversampling)	5
2-3 移頻(Noise Shaping)	6
2-3.1 一階移頻	7
2-3.2 二階移頻	8
2-3.3 高階移頻	8
2-4 單級(Single stage)和多級(multi-stage)	9
2-5 多位元(Multi-bit)	9

第三章	設計 CT $\Sigma \Delta$ Modulator 之探討與分析	11
3-1	係數求法	11
3-2	行為模型的建立	15
3-2.1	放大器有限增益頻寬	17
3-2.2	時鐘抖動(Clock Jitter)	19
3-2.3	回授路徑的時間延遲(Excess Loop Delay)	22
3-2.4	積分器輸出振幅	25
3-2.5	其他非理想效應的考量	28
3-3	加法電路	28
3-4	Feed-forward 及 feed-back 架構	29
第四章	模擬結果之探討與分析	31
4-1	二階系統模擬	31
4-1.1	HSPICE 模擬所使用之電路架構	32
4-1.2	非理想效應(Non-Idealities)	37
4-1.3	係數的變動(Coefficient Variation)	40
4-2	三階系統模擬	42
4-2.1	HSPICE 模擬所使用之電路架構	45
4-2.2	非理想效應(Non-Idealities)	56
4-2.3	係數的變動(Coefficient Variation)	58
4-2.4	R, C 不匹配的效應(Mismatch)	61
4-3	加法電路上的比較	68
4-4	CRFB 架構的探討分析	71
第五章	結論	79
	參考文獻	80

圖目錄

圖 2-1.1 量化器及其線性模型	4
圖 2-1.2 量化雜訊功率譜密度	5
圖 2-3.1 調變器(a)一般型式 (b)線性模型	6
圖 2-3.2 一階調變器的線性模型	7
圖 2-3.3 二階調變器	8
圖 3-1.1 CRFF 基本架構 (a) DT (b) CT	11
圖 3-1.2 連續時間回授方波信號	12
圖 3-1.3 連續時間回授方波信號	14
圖 3-2.1 DT MATLAB Simulink 方塊圖	15
圖 3-2.2 CT MATLAB Simulink 方塊圖	16
圖 3-2.3 (a)DT 上的功率頻譜 (b)經由係數轉換後得到之 CT 係數模擬結果 ..	17
圖 3-2.4 單極點的 RC 積分器	18
圖 3-2.5 考慮有限增益頻寬後的 MATLAB 模型	18
圖 3-2.6 二階 modulator 在理想狀況及限制 $GBW=3f_s$ 時的比較	19
圖 3-2.7 CT SDM 方塊圖及時間變異	19
圖 3-2.8 回授信號的時間誤差	20
圖 3-2.9 Jitter 模型	20
圖 3-2.10 考慮 Jitter 的 MATLAB 模型	21
圖 3-2.11 加入 Jitter 後的功率譜	22
圖 3-2.12 考慮 loop delay 的 CT $\Sigma \Delta$ modulator 示意圖	22
圖 3-2.13 CT SDM 架構圖 (a)傳統架構 (b)改善 loop delay 的架構	24
圖 3-2.14 (a)Loop filter 輸入 $Y'(n)$ (b)Loop filter 在傳統架構中的輸出 (c)DAC_B 輸出 (d) $H'(s)$ 輸出 (e)改善架構的開路	24

圖 3-2.15 使用 half-delay 的 CT SDM 架構圖	25
圖 3-2.16 在各級積分器輸出加入 saturation 前後模擬所得之功率頻譜	26
圖 3-2.17 加入 a_0 ，由輸入信號直接到量化器輸入的路徑	27
圖 3-2.18 各級輸出，由上而下為 (a)第一級積分器 (b)第二級積分器 (c)第三級積分器 (d)量化器輸入	27
圖 3-3.1 電阻式的加法電路	29
圖 3-3.2 電容式的加法電路	29
圖 3-4.1 Feed-back 架構的 $\Sigma \Delta$ modulator	30
圖 4-1.1 二階 unit-delay 和 half-delay modulators 理想的功率頻譜	31
圖 4-1.2 頻寬對 unit-delay 和 half-delay modulators 的影響	32
圖 4-1.3 Folded-cascoded 運算放大器	33
圖 4-1.4 比較器	33
圖 4-1.5 1.5bit 量化器	34
圖 4-1.6 1.5bit 量化器輸入輸出	34
圖 4-1.7 二階 $\Sigma \Delta$ modulator 電路	35
圖 4-1.8 二階 unit-delay modulator MATLAB 及 HSPICE 模擬結果比較	36
圖 4-1.9 二階 half-delay modulator MATLAB 及 HSPICE 模擬結果比較	36
圖 4-1.10 二階 modulator 中 GBW 對 SNDR 造成的影響	37
圖 4-1.11 在 unit-delay 及 half-delay modulators 中使用相同放大器頻寬所得到的結果	38
圖 4-1.12 在 Half-delay 中不同的 GWB 對應的 SNDR 值	38
圖 4-1.13 在 Unit-delay 中不同的 GWB 對應的 SNDR 值	39
圖 4-1.14 加入 0.2% jitter 後(約 30ps)對系統表現的影響	39
圖 4-1.15 Saturation 對二階 modulator 的影響	40
圖 4-1.16 Half-delay R, C 變動值 25% 及匹配上誤差各別為 4%, 2.5%	40
圖 4-1.17 Half-delay R, C 變動值 25% 及匹配上誤差各別為 2%, 0.5%	41

圖 4-1.18	Unit-delay R, C 變動值 25% 及匹配上誤差各別為 4%, 2.5%.....	41
圖 4-1.19	Unit-delay R, C 變動值 25% 及匹配上誤差各別為 2%, 0.5%.....	42
圖 4-2.1	理想的三階 unit-delay 及 half-delay CT SDM 功率頻譜	44
圖 4-2.2	加入 saturation 後的 unit-delay 及 half-delay 三階 CT SDM 功率頻譜	44
圖 4-2.3	三階 CT SDM 電路	45
圖 4-2.4	HSPICE 在三階 half-delay 理想電路模擬	46
圖 4-2.5	HSPICE 在三階 unit-delay 理想電路模擬	46
圖 4-2.6	Unit-delay 在回授路徑上的 delay 做法 (a)使用兩個 D-latch (b)使用一個 D-latch 及 DFF	47
圖 4-2.7	在三階 unit-delay 理想電路中，使用圖 4-2.6(b)的方式來實現 unit-delay 的模擬	47
圖 4-2.8	運算放大器的 macro model	48
圖 4-2.9	Macro model AC 響應	49
圖 4-2.10	Macro model 暫態響應，輸出擺幅限制在 0.2~1.6V	49
圖 4-2.11	經由 macro model 模擬之 CT SDM 電路結果	50
圖 4-2.12	Macro model AC 響應，DC gain=72.1dB，UGBW=230MHz	51
圖 4-2.13	用圖 4-2.12 的 macro op-amp 規格，所得到的三階 half-delay modulator 模擬結果	51
圖 4-2.14	Two-stage 運算放大器電路	52
圖 4-2.15	三階 CT SDM 實際電路模擬結果	53
圖 4-2.16	由上而下依序為 MATLAB 中三階 unit-delay $\Sigma \Delta$ modulator 的加法輸出、第三級、第二級以及第一級輸出	54
圖 4-2.17	由上而下依序為 HSPICE 中三階 unit-delay $\Sigma \Delta$ modulator 第一級、第二級、第三級以及加法輸出	54

圖 4-2.18 由上而下依序為 MATLAB 中三階 half-delay $\Sigma \Delta$ modulator 的加法輸出、第三級、第二級以及第一級輸出	55
圖 4-2.19 由上而下依序為 HSPICE 中三階 half-delay $\Sigma \Delta$ modulator 第一級、第二級、第三級以及加法輸出	55
圖 4-2.20 三階 unit-delay 及 half-dley $\Sigma \Delta$ modulator 頻寬的影響	56
圖 4-2.21 加入 30ps jitter 後,三階 unit-delay 及 half-dley $\Sigma \Delta$ modulator 頻寬的影響	56
圖 4-2.22 Saturation 對三階 modulator 的影響	57
圖 4-2.23 RC-時間常數變動對三階 modulator 的影響	58
圖 4-2.24 三階 unit-delay modulator 係數偏移在 MATLAB 中的模擬	59
圖 4-2.25 三階 half-delay modulator 係數偏移在 MATLAB 中的模擬	59
圖 4-2.26 三階 unit-delay modulator 係數偏移在 HSPICE 中的模擬	60
圖 4-2.27 三階 half-delay modulator 係數偏移在 HSPICE 中的模擬	60
圖 4-2.28 HSPICE 三階 unit-delay modulator 在第一級 R 1%, C 0.2% 的 mismatch 所造成的影響	61
圖 4-2.29 HSPICE 三階 unit-delay modulator 在係數上 R 1%, C 0.2% 的 mismatch 所造成的影響(除了第一級積分器的 R, C 值)	62
圖 4-2.30 HSPICE 三階 half-delay modulator 在第一級 R 1%, C 0.2% 的 mismatch 所造成的影響	62
圖 4-2.31 HSPICE 三階 half-delay modulator 在係數上 R 1%, C 0.2% 的 mismatch 所造成的影響(除了第一級積分器的 R, C 值)	63
圖 4-2.32 考慮 mismatch 的問題在 MATLAB 所建立的 simulink model	64
圖 4-2.33 由圖 4-2.32 建立的模型,所模擬出來的 R, C mismatch 造成的 SNDR 值影響	65
圖 4-2.34 由 HSPICE 模擬統計第一級 R, C mismatch 造成的影響及近似方程式 .	65
圖 4-2.35 由 HSPICE 模擬統計其他係數的 R, C mismatch 造成的影響及近似方程	

式	66
圖4-2.36 由近似方程式來模擬mismatch影響的結果	66
圖 4-3.1 由電容加法來實現的三階 CT SDM	68
圖 4-3.2 Half-delay 使用電容加法電路在係數的變動下模擬結果	68
圖 4-3.3 Half-delay 使用電阻加法電路在係數的變動下模擬結果	69
圖 4-3.4 Half-delay 使用電容加法電路在 R, C mismatch 下的模擬結果	70
圖 4-3.5 Half-delay 使用電阻加法電路在 R, C mismatch 下的模擬結果	70
圖 4-4.1 CRFB MATLAB simulink 方塊圖	71
圖 4-4.2 三階 CRFB CT $\Sigma \Delta$ modulator	71
圖 4-4.3 MATLAB 理想的三階 CRFB modulator 模擬結果	72
圖 4-4.4 MATLAB 理想的三階 CRFB modulator 輸出，由上而下依序為第一級， 第二級和第三級	73
圖 4-4.5 HSPICE 理想的三階 CRFB modulator	73
圖 4-4.6 HSPICE 理想的三階 CRFB modulator 輸出，由上而下依序為第一級， 第二級和第三級	74
圖 4-4.7 電路實現的三階 CRFB modulator 輸出，由上而下依序為第一級，第二 級和第三級	74
圖 4-4.8 實現後的三階 CRFB 功率頻譜	75
圖 4-4.9 頻寬對 SNDR 值的影響	76
圖 4-4.10 fs variation 對 SNDR 值的影響	76
圖 4-4.11 係數 variation 對 SNDR 值的影響	77
圖 4-4.12 R, C mismatch 對 SNDR 的影響	77

表目錄

表 3-1.1 奇數階 CRFF 迴路增益(圖 3-1.1)	14
表 3-2.1 Jitter 於二階 modulator 的影響所對應的 SNDR	21
表 4-2.1 Half-delay 於不同 out-of-band gain 所計算出來的三階係數	43
表 4-2.2 Unit-delay 於不同 out-of-band gain 所計算出來的三階係數	43
表 4-2.3 用在三階 $\Sigma \Delta$ modulator 的運算放大器規格	53
表 4-2.4 三階 unit-delay modulator 模擬係數變動所得之 SNDR 值	60
表 4-2.5 三階 half-delay modulator 模擬係數變動所得之 SNDR 值	60
表 4-2.6 圖 4-2.28 的模擬結果	61
表 4-2.7 圖 4-2.29 的模擬結果	62
表 4-2.8 圖 4-2.30 的模擬結果	63
表 4-2.9 圖 4-2.31 的模擬結果	63
表 4-3.1 圖 4-3.4 的模擬結果	69
表 4-3.2 圖 4-3.5 的模擬結果	70
表 4-4.1 圖 4-4.11 的模擬結果	77

第一章 簡介

1-1 CT $\Sigma\Delta$ modulator 的應用

由於和差調變器(Sigma-Delta Modulator, SDM)運用了較多的數位訊號處理來執行類比數位之間的轉換，不但減輕了類比電路元件設計上的需求，同時也能達到不錯的解析度 [1]，一直以來在音頻上的應用非常普遍。而隨著製程的進步以及在無線和有線傳輸通訊的迅速發展下，為了符合新訂制的標準，類比數位轉換器在規格上的要求，如頻寬、解析度也不斷地提升。

較早期的 SDM 實現以電容切換式(Switched-Capacitor, SC)電路為主，但是因為受限於電容充放電所需的趨穩時間(Settling Time)，在其放大器的設計上通常需要 4 ~ 10 倍的時脈(Clock Frequency) [2]-[3]，頻寬大約在 ~10k 到幾個 MHz。在高頻、寬頻的需求下，相較於 SC 電路的實現，CTM 的許多優點使其受到極大的重視。其所需要的放大器增益頻寬乘積(Gain-Bandwidth Product, GBW)大為減低，約為 DTM 需求的三分之一 [4]-[5]，這使得整體的功率消耗降低，也代表著 CTM 可以操作在更高的頻率。如 [6]-[8]，在通訊的應用上，CT SDM 的設計上已達到 14-bits 20 MHz 的頻寬，而且功率消耗僅 20 mW，在現有的文獻中是非常驚人的。

1-2 CT $\Sigma\Delta$ modulator 設計上的困難點

在要開始 CT SDM 的設計之前，首先會遇到的問題是如何去建立模擬環境。在這方面，DT SDM 已有很完善的工具，包含非理想效應的模型(Model)可供設計者們使用 [9]-[11]。而且在迴路濾波器(Loop-Filter)的參數上，SC 電路的實現是相對於電容的比例關係，所以製程上可以達到很高的匹配性(Matching)。使其在對應數學推演的公式上也更為精準。相對於 DT，在 CT 系統上考量非理想效應的影響來計算 Loop-Filter 較為複雜，也使其在 Model 上的建立較為困難。另外

CT SDM 的 RC 時間常數(Time-Constant)是一個絕對而非相對的值，以 TSMC 1P6M 0.18 μm 製程為例，時間常數的乘積值變動量(Variation)大約有 $\pm 30\%$ ，進而影響到整個系統的穩定性。然而 CT SDM 最主要的缺點在於回授路徑上的額外迴路延遲(Excess Loop Delay)以及時鐘抖動(Clock Jitter) [12]-[13]，嚴重的影響到整個系統的表現。

1-3 模擬及設計考量上的介紹

關於這些存在的問題，已有許多可供參考的文獻，如運算放大器的有限增益(Finite Gain)及增益頻寬乘積(Gain-Bandwidth Product)的模型[14]-[16]，在迴路延遲以及時鐘抖動的分析及改善[16]-[20]，迴路濾波器以及考量其他效應發展出來的模擬環境[21]-[23]，顯現出 SDM 朝向 CT 發展的趨勢。

根據上述的問題，在本論文中我們將分析與探討的事項分為：

- (1) 迴路濾波器的階數和量化器的位元數：濾波器的階數直接的影響到雜訊移頻(Noise-Shaping)的效果，但是在二階以上的系統，隨之產生的便是穩定性的問題。而使用單位元(Single-Bit)的量化器，可以得到線性度上的好處，不過多位元(Multi-Bit)優點在於能將雜訊成份壓低，所以必須根據設計的考量來選擇。
- (2) 係數的求法：在決定 CT SDM 的係數上有許多種方法，如直接設計一個 CT 的濾波器[5]，利用 DT-CT 轉換的方式[4][24]。而在計算係數的過程中會將回授信號的影響考慮在其中，通常以 NRZ 或 RZ 的信號波形模擬。除此，也有其他不同類型的回授信號模型[25]-[26]。
- (3) 行為模型的建立：由本節一開始所介紹的參考文獻中，建立一個適合模擬 CT SDM 系統的環境，包含各種非理想效應的考量。
- (4) 回授路徑的延遲：根據[27]中所提到的新架構，在回授路徑中加入了一個單一延遲(Unit-Delay)及一條由量化器輸出至輸入的補償路徑，來改

善了時間延遲及抖時鐘抖動造成的影響。在模擬的過程中，我們發現了不同的延遲會對整個系統的影響有所差異，所以會針對此做討論。

(5) 前饋(Feed-forward)與回授架構：兩種架構上的差異，主要在於前饋的信號轉移函式(Signal Transfer Function, STF)存在零點，而回授架構只存在極點。如何去選擇就要根據應用上的需求來做決定[4]，[28]-[29]。

(6) 加法電路：在 CIFF 的架構中如[30]-[32]，因為迴路濾波器的輸出直接輸入到量化器，所以不需要加法的電路。而在有前饋路徑架構的如 CRFF[21][27][33]，以電流加總、電阻電容的方式來實現加法電路。

綜合以上的分析以及討論，我們以 GSM/EDGE 的規格為一個參考的準則(250kHz, 10-12bit)[33]-[37]，針對所談到的各種設計上的方法與考量，來做模擬與比較。



1-4 章節規劃

本章節中，介紹了目前 CT SDM 的應用範圍以及在本論文裡所要探討的事情做個簡單的描述。接下來第二章中，會說明 $\Sigma \Delta$ 調變器的基本理論。第三章我們就 CT SDM 在設計過程中所遭遇到的困難，和問題的解決方法，做進一步的了解與探討。並針對各種不同的狀況做比較，模擬結果列於第四章中。最後再對這一連串的分析所發現與觀察到現象做個總結。

第二章 和差數位類比轉換器基本理論

[38] $\Sigma \Delta$ ADC 使用了過取樣(Oversampling)及移頻的技巧，所以可以達到高解析度，因此又可稱為 Oversampling ADC。而主要的優點在於：第一，減輕了電路類比元件的設計需求，如放大器的增益和元件不匹配的容忍度，換來的是較複雜的數位電路，不過以現今的製程而言，複雜數位電路在速度的提升和面積需求的下降，已較容易實現。第二，簡化了 A/D 輸入所需要的反鋸齒濾波器(Anti-Aliasing Filter, AAF)，而 CT SDM 本身具有低通濾波的效果，所以又有了不需要 AAF 的優點。由於在設計 CT SDM 時是利用 DT-CT 的轉換，所以接下來的數學分析是建立在 DT 領域(Domain)。

2-1 量化雜訊(Quantization Noise)

一開始我們先描述量化雜訊的基本定義。量化誤差 $e(n)$ ，為輸入與輸出之間的差值。而為了便於分析，假設 $e(n)$ 為獨立的(Independent)白雜訊(White Noise)信號，在線性模型的建立上就如圖 2-1.1。將 $e(n)$ 近似為一個平均分佈

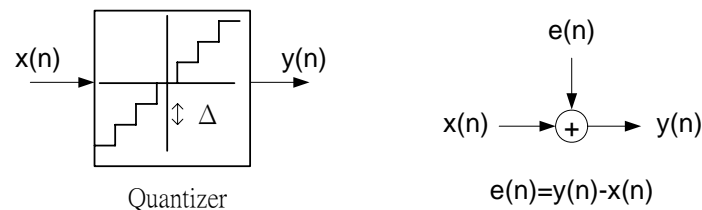


圖 2-1.1 量化器及其線性模型

(Uniform Distribution)的亂數，所以雜訊功率為

$$e_{rms}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad \text{----- (式)2-1}$$

其中 Δ 為兩個量化位階(Quantization Level)之間的差。假設量化雜訊的功率頻

譜密度 $S_e(f)$ 平均分佈在 $-\frac{f_s}{2} \sim \frac{f_s}{2}$ ，圖 2-1.2，那麼根據式 2-1，

$$\begin{aligned} SNR_{\max} &= 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log(OSR) \quad \text{----- (式)2-2} \\ &= 6.02N + 1.76 + 10 \log(OSR) \end{aligned}$$

可求得頻譜密度高度為

$$k_x = \left(\frac{\Delta}{12} \right) \sqrt{\frac{1}{f_s}} \quad \text{----- (式)2-3}$$

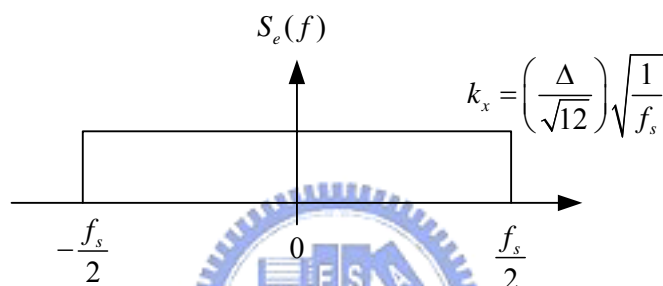


圖 2-1.2 量化雜訊功率譜密度

2-2 過取樣(Oversampling)

當取樣頻率 $f_s > f_0$ (頻寬) 時，我們稱之為過取樣，而過取樣率 (Oversampling Ratio, OSR) 的定義為

$$OSR = \frac{f_s}{2f_0} \quad \text{----- (式)2-4}$$

假設輸入為一個振幅未受到剪波 (Clipping) 的弦波信號，其尖峰 (Peak) 值為 $2^N (\Delta/2)$ 。則信號功率 P_s 為

$$P_s = \left(\frac{\Delta 2^N}{2\sqrt{2}} \right)^2 = \frac{\Delta^2 2^{2N}}{8} \quad \text{----- (式)2-5}$$

由於在頻寬內的信號才是我們所想要的，所以量化雜訊經由過取樣後而減低成為

$$P_e = \int_{-f_s/2}^{f_s/2} S_e^2(f) |H(f)|^2 df = \int_{-f_0/2}^{f_0/2} k_x^2 df = \frac{2f_0}{f_s} \frac{\Delta^2}{12} = \frac{\Delta^2}{12} \left(\frac{1}{OSR} \right) \text{----(式)2-6}$$

這代表了當取樣頻率變為兩倍，雜訊功率會降低 3dB。由式 2-5 和 2-6 可計算出

$$\begin{aligned} SNR_{\max} &= 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log(OSR) \text{----(式)2-7} \\ &= 6.02N + 1.76 + 10 \log(OSR) \end{aligned}$$

2-3 移頻(Noise Shaping)

$\Sigma \Delta$ 調變器移頻的效果主要是由回授路徑所產生的，其一般型式以及線性的模型如圖 2-3.1 所示。以閉迴路(Closed-Loop)來看，於低頻時，放大器的增益

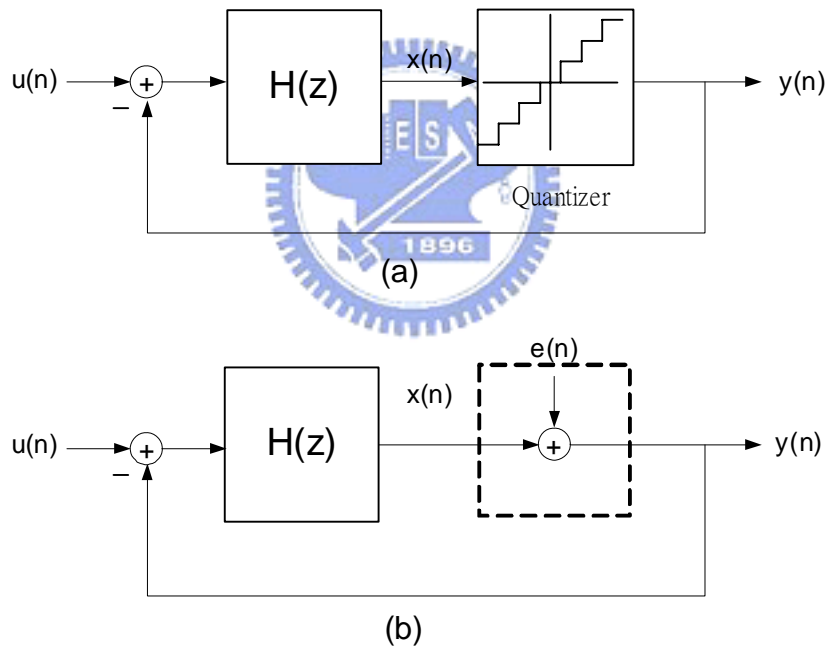


圖 2-3.1 調變器 (a)一般型式 (b)線性模型

通常非常大，可以有效的降低雜訊的影響。將輸入 $u(n)$ 及量化器誤差 $e(n)$ 視為兩個獨立的信號， $H(z)$ 代表迴路濾波器，根據疊加(Superposition)及 *Mason's Rule*，可得到系統輸出

$$Y(z) = \frac{H(z)}{1+H(z)}U(z) + \frac{1}{1+H(z)}E(z) \text{-----}(式)2-8$$

其中 $\frac{H(z)}{1+H(z)}$ 定義為信號轉移函式 $STF(z)$ ， $\frac{1}{1+H(z)}$ 為雜訊轉移函式 $NTF(z)$ 。

2-3.1 一階移頻

一階調變器如圖 2-3.2 所示，包含 DT 的積分器，量化器及 1-bit 的 DAC。迴

路濾波器 $H(z)$ 即為 DT 積分器，其轉移函式為 $\frac{z^{-1}}{1-z^{-1}}$ ，因此經由推演後，我們

可得系統的 $STF(z)$ 和 $NTF(z)$

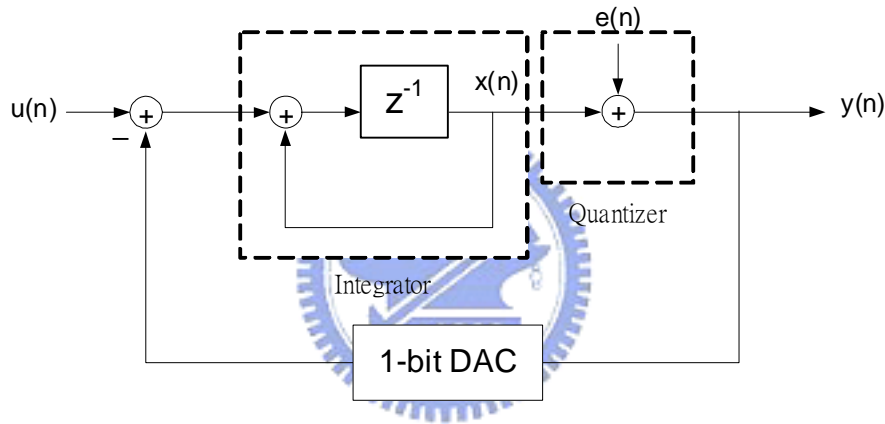


圖 2-3.2 一階調變器的線性模型

$$STF(z) = \frac{Y(z)}{U(z)} = \frac{(z^{-1}/1-z^{-1})}{1+(z^{-1}/1-z^{-1})} = z^{-1} \text{-----}(式)2-9$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+(z^{-1}/1-z^{-1})} = 1-z^{-1}$$

由式 2-9 可看出 $STF(z)$ 是一個延遲而 $NTF(z)$ 為一個高通濾波器，這也代表了雜訊被高通濾波。要計算 $NTF(z)$ 的大小，令 $z = e^{j\omega T} = e^{j2\pi f/f_s}$ ，可得

$$|NTF(z)| = |1-z^{-1}| = |1-e^{-j2\pi f/f_s}| = 2 \sin\left(\frac{\pi f}{f_s}\right) \text{-----}(式)2-10$$

而量化雜訊的功率為

$$SNR_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{3}{\pi^2} (OSR)^3 \right] \text{---(式)2-11}$$

$$= 6.02N + 1.76 - 5.17 + 30 \log(OSR)$$

所以一階 $\Sigma \Delta$ 調變器可得的最大 SNR 為

$$SNR_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{3}{\pi^2} (OSR)^3 \right] \text{---(式)2-12}$$

$$= 6.02N + 1.76 - 5.17 + 30 \log(OSR)$$

可由上式得知當 OSR 加倍時，SNR 可以得到 9dB 的改善。

2-3.2 二階移頻

二階的調變器由兩個積分器及量化器組成，同樣地假設 DAC 為理想的，推演方式與一階的類似。

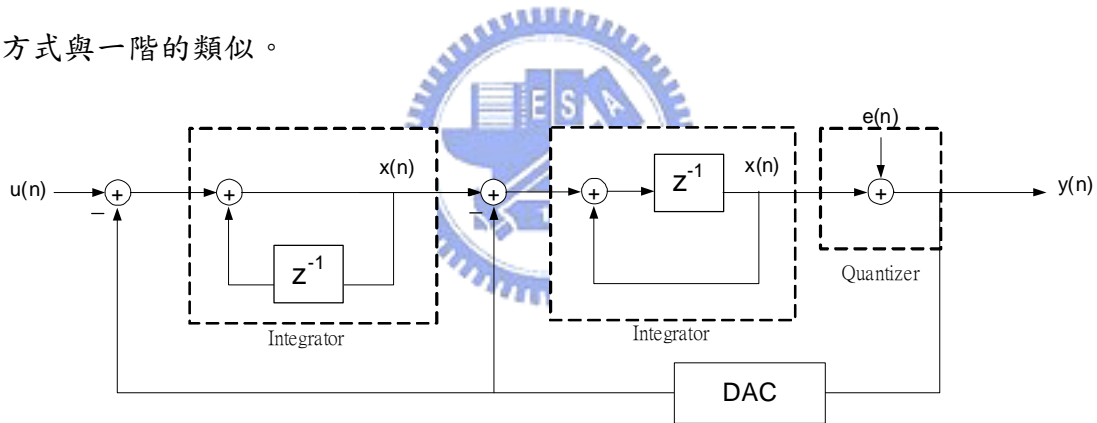


圖 2-3.3 二階調變器

其 $STF(z)$ 和 $NTF(z)$ 分別為

$$STF(z) = z^{-2}$$

$$NTF(z) = (1 - z^{-1})^2 \text{---(式)2-13}$$

可由上式看出雜訊有二階移頻的效果，而可達到的最大 SNR 值為

$$SNR_{\max} = 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{5}{\pi^4} (OSR)^5 \right] \text{---(式)2-14}$$

$$= 6.02N + 1.76 - 12.9 + 50 \log(OSR)$$

當 OSR 變為兩倍時，SNR 增加了 15 dB，即 2.5bits。

2-3.3 高階移頻

當然，高階的 $\Sigma \Delta$ 調變器，由於移頻效果的提升，將更多雜訊推到高頻而達到更好的解析度。所以一個 L 階的調變器我們可以將之表示為

$$\begin{aligned} SNR_{\max} &= 10 \log \left(\frac{P_s}{P_e} \right) = 10 \log \left(\frac{3}{2} 2^{2N} \right) + 10 \log \left[\frac{2L+1}{\pi^{2L}} (OSR)^{2L+1} \right] \text{---(式)2-15} \\ &= 6.02N + 1.76 + 10 \log \left(\frac{2L+1}{\pi^{2L}} \right) + 10(2L+1) \log(OSR) \end{aligned}$$

因此， L 階的調變器增加的 SNR 為 $(6L+3)$ dB，即 $L+0.5$ bit。

2-4 單級(Single stage)和多級(multistage)

在高階的 $\Sigma \Delta$ modulator 的設計中，使用 single-stage 主要的缺點在於穩定性的問題，而最常見的解決方式是使用 MASH(Multi-stage noise Shaping)的架構，以低階的 loop filter 經過 cascaded 的型式來達到系統的階數。其模式為由後級對前級的輸出做估算，再以數位對消(digital cancellation)的方式將前級的量化誤差減去。所以在理想上，對一個 n 階的 modulator 來說，最後只會剩下最後一級的量化誤差，而該誤差是經過 n 階的 noise shaping。因為電容的比例可以做的非常精準，很適合用在 DT 的系統上[46]。

然而對於 CT 的系統，在對消邏輯的數學運算是並不容易推算出來，且對消的誤差反而會造成額外的雜訊，進而對系統的表現產生影響。考慮了在類比元件對於非理想效應的容忍度，以及運算放大器規格的考量，單級迴圈在 CT SDM 的設計中較受歡迎，在本論文中所提到有關 CT 的文獻也大多是以單級迴圈的方式來實現。不過對於 MASH 的架構，由於有著其優越的 noise-shaping 能力，關於以 cascaded 架構的討論也不在少數[47]-[52]。

2-5 多位元(Multi-bit)

為了要提高系統表現，除了增加階數，取樣頻率之外，就是使用 multi-bit 的量化器。Multi-bit 量化器的使用可以有效的減低雜訊的成份，理想上量化器每增加一位元，就可以使得解析度提高 1-bit，即 6dB 的 SNR。不過使用 multi-bit 的缺點為在於回授路徑上需要額外的 DAC，其線性度有可能限制了整個 A/D 的表現，所以在回授 DAC 線性度上的要求通常要比 A/D modulator 要來得高。為了要達到高解析度，便需要 digital calibration 或是 DEM(dynamic element matching) 的電路。這些額外的電路需求都大大的損耗功率以及面積。因此，除了高規格的 A/D，一般而言我們會選擇 1-bit 的量化器，即比較器，去除線性度上的考量。



第三章 設計 CT $\Sigma \Delta$ Modulator 之探討與分析

在介紹了一些 $\Sigma \Delta$ 的基本理論之後，接下來本篇論文所要談的，是關於在 CT SDM 設計的過程中有可能會遭遇到的問題，針對此來做說明以及尋求解決的辦法。

3-1 係數求法

即便是要設計一個 DT SDM，首先也要根據不同的架構，計算出適合的係數，才能成功的完成系統模擬及接下來的設計，而 CT SDM 也不外乎如此。在本篇論文中主要是使用 CRFF(Cascade-of-resonators, feed-forward form)此種架構來做探討，其基本型式如圖 3-1.1。

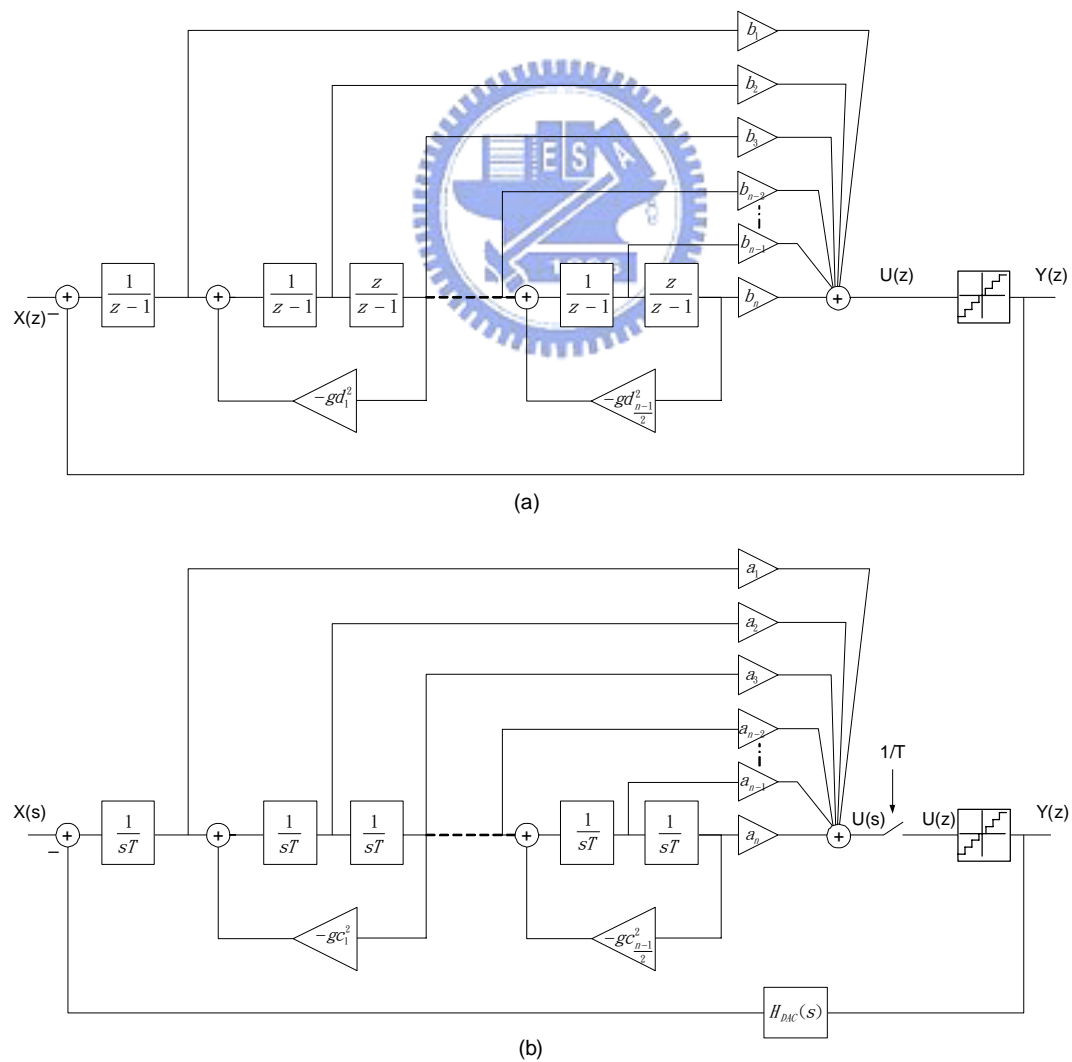


圖 3-1.1 CRFF 基本架構 (a) DT (b) CT

而在計算 CTM 的係數時，通常是從迴路濾波器著手，主要可以分為幾種方法：(1) 對於熟悉濾波器設計的人，可以直接在時域(Time Domain)設計一個 n 階的低通濾波器(LPF)，n 為所要的系統階數。[5]就以 Butterworth 的 LPF 來實現 Loop Filter。(2)於 DT 設計符合需求的調變器，再透過 DT-CT 的轉換來求得 CT 調變器的對應係數。而轉換的方式又有所不同，如[4]所使用的 Impulse-invariant transform，[24]中所提到利用數位控制理論的 Modified z-transform。相較兩種 DT-CT 的轉換，因為利用 Modified z-transform 可以在 z domain 中完成 Loop Filter 的計算，最後只要將由 DT 與 CT 計算出來的轉移函式中的各項係數做比較的動作，即可得到所要的 CT 係數，省去了一連串由 z 轉 s domain 的複雜運算。所以在此我們將對此轉換方式做詳細的說明。

如圖 3-1.1， $b_1 \sim b_n$ ， $a_1 \sim a_n$ 及 $gd^2 \sim gd^{\frac{n-1}{2}}$ ， $gc^2 \sim gc^{\frac{n-1}{2}}$ 分別代表了 DT 和 CT 的前饋和共振路徑的係數， $H_{DAC}(s)$ 為回授路徑 DAC 的轉移函式。另外定義 DT 與 CT 的迴路增益 $G_d(z)$ 和 $G_c(z)$ ，而因為兩者為等效的系統，所以可表示為

$$\begin{aligned} G_d(z) &= G_c(z) \\ G_d(z) &= Z[H_c(s) H_{DAC}(s)] \end{aligned} \quad \text{----- (式)3-1}$$

一開始由 DT SDM 的設計著手，利用[10]所提供的 MATLAB Simulink Toolbox，可用於 CIFF、CIFB、CRFF 以及 CRFB 四種不同架構，且可很容易的就得到我們所需要的係數。

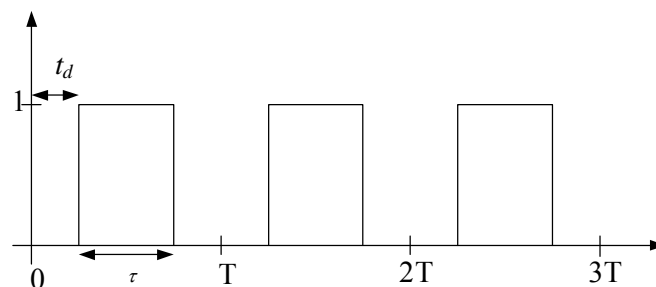


圖 3-1.2 連續時間回授方波信號

假設回授信號為 RZ(Return to zero)或 NRZ(Non-return to zero)的方波。
 T 代表時鐘週期(Clock period)，圖 3-1.2 的信好可以描述為

$$h_{dac}(t) = u(t - t_d) - u(t - t_d - \tau) \text{----- (式)3-2}$$

其中 $u(t)$ 為步進函數(unit-step function)， τ 為回授信號的工作週期(Duty Cycle)。對上式做拉式轉換(Laplace Transform)可得

$$H_{DAC}(s) = \frac{e^{-t_d s} - e^{-(t_d + \tau)s}}{s} \text{----- (式)3-3}$$

將 3-3 式代入 3-1 式可得迴路增益 $G_c(z)$ 的 z-transform

$$G_c(z) = Z \left[\frac{H_c(s)e^{-t_d s}}{s} \right] - Z \left[\frac{H_c(s)e^{-(t_d + \tau)s}}{s} \right] \text{----- (式)3-4}$$

其中 $0 \leq t_d \leq T$ 及 $0 \leq t_d + \tau \leq T$ 。

因為傳統的 z-transform 無法表示兩個連續取樣瞬間的變化，所以 modified z-transform 就是對 z-transform 此種特性做的一種修改形式。因此 3-4 式可重新表示為

$$G_c(z) = Z_{m1} \left[\frac{H_c(s)}{s} \right] - Z_{m2} \left[\frac{H_c(s)}{s} \right] \text{----- (式)3-5}$$

其中 $m_1 = 1 - \frac{t_d}{T}$ 及 $m_2 = 1 - \frac{(t_d + \tau)}{T}$ 。上式便是回授信號為 RZ 或 NRZ 型式的 CT SDM

迴路增益通式。

利用數控的餘數定理(Residue Theorem)，3-5 式可表示為

$$G_c(z) = \sum_{p_i = \text{poles of } \frac{H_c(s)}{s}} \text{Residues of } \frac{H_c(s)}{s} \frac{e^{m_1 T s}}{z - e^{T s}} \Big|_{\text{at } p_i} \text{----- (式)3-6}$$

$$- \sum_{p_i = \text{poles of } \frac{H_c(s)}{s}} \text{Residues of } \frac{H_c(s)}{s} \frac{e^{m_2 T s}}{z - e^{T s}} \Big|_{\text{at } p_i}$$

因此 CT SDM 迴路增益 $G_c(z)$ 可在 z domain 中描述。所以只要將 $G_c(z)$ 分子和分母的係數與 $G_d(z)$ 分子和分母的係數做比較，便可以得到 CT SDM 的係數。

n^{th} order odd CRFF		
DT	$G_d(z)$	$\frac{\alpha_{d,n-1}z^{n-1} + \alpha_{d,n-2}z^{n-2} + \dots + \alpha_{d,1}z + \alpha_{d,0}}{(z-1)(z^2 - (2 - gd_1^2) + 1) \dots (z-1)(z^2 - (2 - gd_{\frac{n-1}{2}}^2) + 1)}$
CT	$G_c(z)$	$\frac{\alpha_{c,n-1}z^{n-1} + \alpha_{c,n-2}z^{n-2} + \dots + \alpha_{c,1}z + \alpha_{c,0}}{(z-1)(z^2 - 2 \cos(gc_1) + 1) \dots (z-1)(z^2 - 2 \cos(gc_{\frac{n-1}{2}}) + 1)}$

表 3-1.1 奇數階 CRFF 迴路增益(圖 3-1.1)

由表 3-1.1 列出 DT 與 CT CRFF 迴路增益的通式可得知

$$gc_i = \cos^{-1}\left(1 - \frac{gd_i^2}{2}\right) \text{-----(式)3-7}$$

其中 $\alpha_{c,i} = f(a_1, \dots, a_n, t_d, \tau)$ 及 $\alpha_{d,i} = f(b_1, \dots, b_n)$ 且 $\alpha_{c,i} = \alpha_{d,i}$ 。

而在[2][27]中所介紹的，為了要補償迴路延遲(Loop-Delay)，所以加入了額外的回授係數，如圖 3-1.3，針對此，在係數上的計算於[18]中有討論。

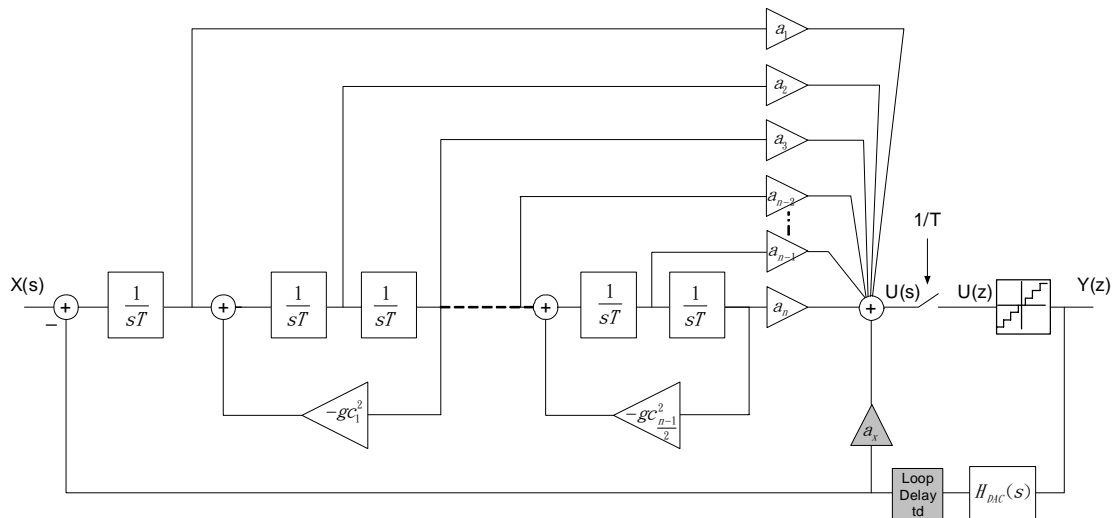


圖 3-1.3 連續時間回授方波信號

與 3-1 式相比較，因為多了額外的係數 a_x ，所以迴路增益變為

$$\begin{aligned} G_d(z) &= G_c(z) \\ H_d(z) &= Z[(H_c(s) - a_x) H_{DAC}(s)] \end{aligned} \quad \text{-----(式)3-8}$$

其中 $H_d(z)$ 為 DT 的迴路濾波器。而接下來同樣使用 modified z-transform 計算後比較 DT 與 CT 的係數。以上的計算是以數學符號運算工具 MAPLE 來完成。

3-2 行為模型的建立

成功的計算出 CT SDM 的係數之後，接著就是系統的模擬。除了要模擬整個調變器中非理想效應外，首先要確認在經由 DT-CT 轉換後，是否系統與當初 DT 環境下所設計的表现能夠相對應。

使用 $\Sigma \Delta$ Toolbox，在 MATLAB Simulink 我們可以建立出如圖 3-2.1 及 3-2.2 的系統模型。在此是以二階的 CRFF 型式調變器為例，取樣頻率 f_s 為 64 MHz，OSR=128，輸入頻率為 $(5/4096) \times f_s = 78.125$ k Hz。

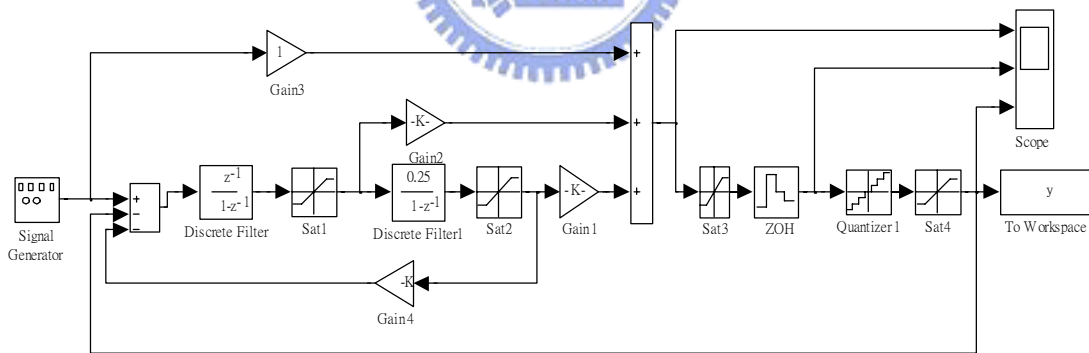


圖 3-2.1 DT MATLAB Simulink 方塊圖

經由一段時間的模擬後，對產生的位元串(Bit Stream)取 4096 點做 FFT，可得到 DT 與 CT 的功率譜，圖 3-2.3。由 MATLAB 所計算出兩者的 SNDR 的差異在 1 dB 內，約為 90 dB(理想狀況下)，可顯示出經由 modified z-transform 轉換所求的係數，兩者之間有著良好的對應性。

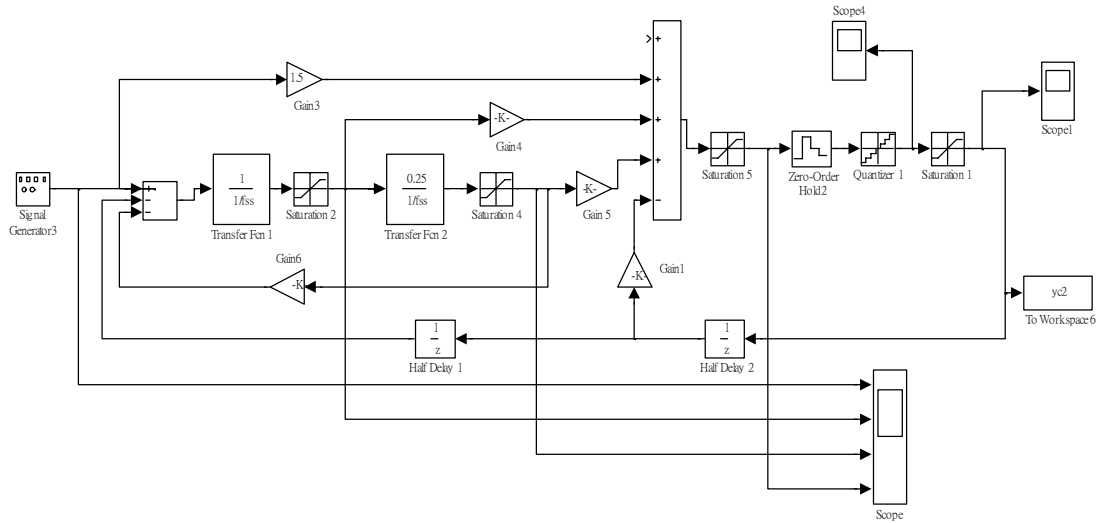
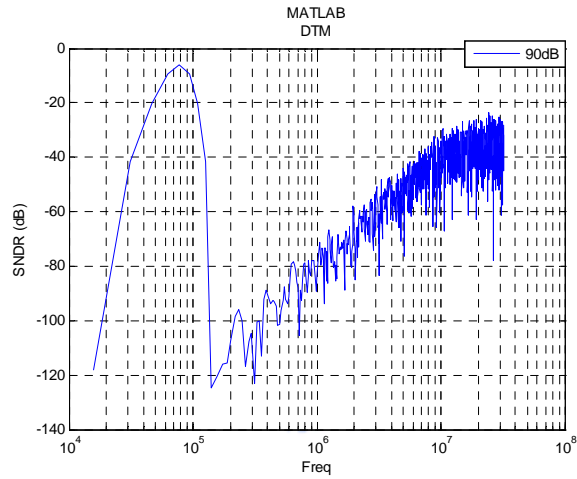
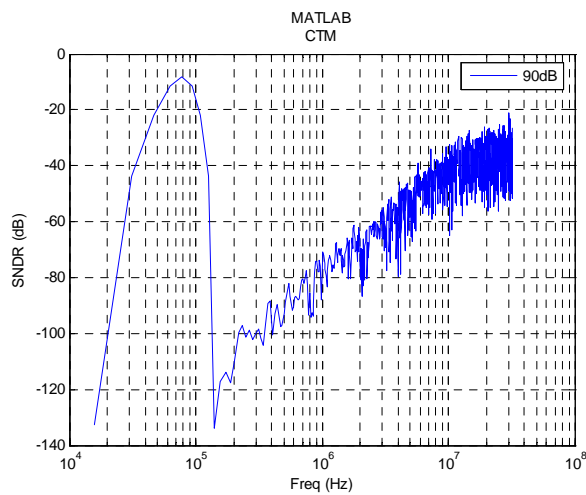


圖 3-2.2 CT MATLAB Simulink 方塊圖



(a)



(b)

圖 3-2.3 (a)DT 上的功率頻譜 (b)經由係數轉換後得到之 CT 係數模擬結果

3-2.1 放大器有限增益頻寬

關於非理想效應，在此先由放大器的有限增益頻寬談起[14][30][39]-[41]。第一級積分器為整個 $\Sigma\Delta$ 調變器最關鍵的部份，因為其非理想效應所產生的誤差會直接影響到輸入信號，也因為其要求的規格通常較高，所以會消耗大部份的功率。

而積分器的轉移函式可將之表示為

$$ITF = \frac{f_s A_0}{s(1+A_0) + f_s} = \frac{\alpha f_s}{s + \gamma} \text{----- (式)3-9}$$

其中 $\alpha = \frac{A_0}{1+A_0}$ 代表增益誤差(Gain Error)， $\gamma = \frac{f_s}{1+A_0}$ 代表極點的偏移。計算單

迴圈(Single-Loop)頻寬內的量化雜訊(In Band Noise, IBN)，可得其通式為

$$IBN(A_0, M) = \frac{\Delta^2}{12k_1^2 k_q^2} \left[\frac{1}{A_0^{2L} OSR} + \sum_{m=1}^M \left(\frac{\pi^{2m} M(M-1)\cdots(M-m+1)}{(2m+1) OSR^{2m+1} A_0^{2(L-m)} m!} \right) \right] \text{---- (式)3-10}$$

在考慮積分器的有限頻寬，先將之視為單極點的放大器，增益及增益頻寬可表示為

$$A(s) = \frac{A_{dc}}{\frac{s}{\omega_A} + 1}, \quad GBW = A_{dc} \omega_A \left[\frac{rad}{s} \right] \text{----- (式)3-11}$$

調變器的架構中，RC積分器的輸入可能不只有一條路徑，所以如圖3-2.4，假設有n個輸入路徑，當放大器的開路增益(Open Loop Gain)夠大，而對第i條路徑， $i=1\sim n$ ，的積分器轉移函式可近似為

$$ITF_{GBW}(s)|_i = \frac{k_j f_s}{s} \cdot \frac{\frac{GBW}{GBW + \sum |k_j f_s|}}{\frac{s}{GBW + \sum |k_j f_s|} + 1} \text{----- (式)3-12}$$

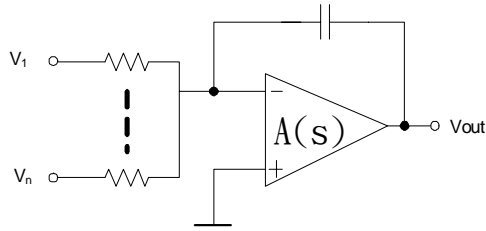


圖 3-2.4 單極點的 RC 積分器

其中 f_s 為取樣頻率， GBW 為增益頻寬乘積及 k_j 為各路徑的係數，可由電阻的比例

來實現 ($R_i = \frac{R_0}{k_j}$)。3-12 式所代表的意思為一個理想的單極點積分器 $\frac{k_j f_s}{s}$ ，其增

益誤差，第二極點(non-dominant pole)分別為

$$GE = \frac{GBW}{GBW + \sum |k_j f_s|}, \quad \omega = GBW + \sum |k_j f_s| \quad \text{----- (式) 3-13}$$

得到了有限增益頻寬的數學式後，在 MATLAB 模擬中加入如圖 3-2.5 中虛線圈起來的方塊，計算式如 3-13 式。

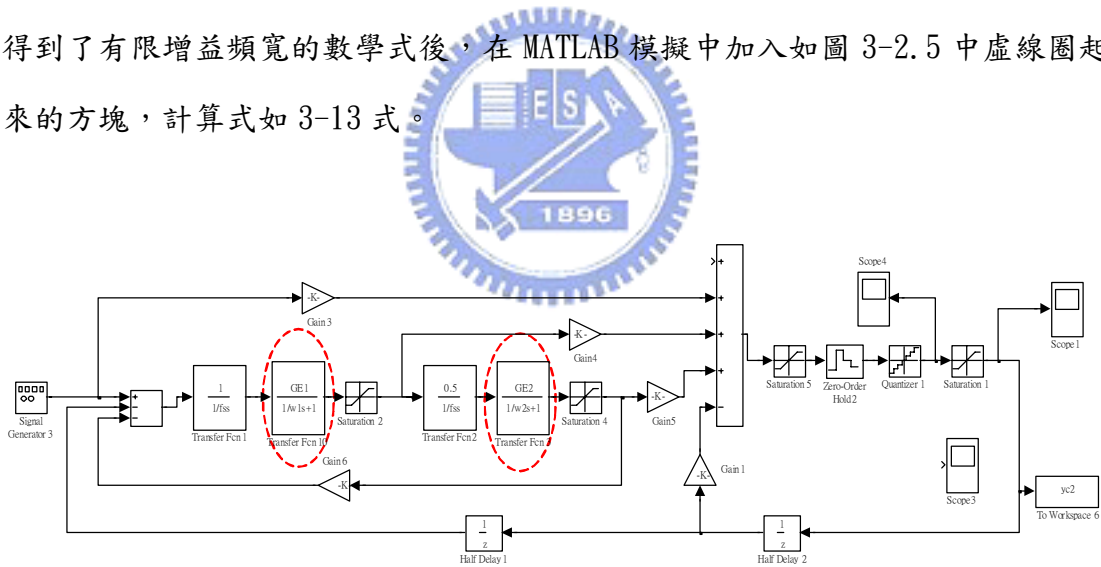


圖 3-2.5 考慮有限增益頻寬後的 MATLAB 模型

與 3-2 節一開始的模擬情況相同，由圖 3-2.6 中可看出當限制了放大器的增益頻寬後，雜訊(Noise flow)也因此有所增加。

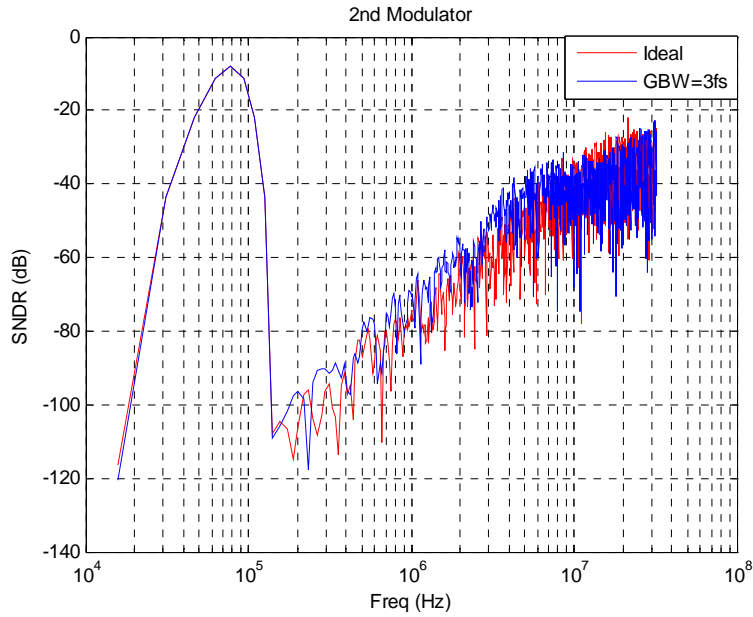


圖 3-2.6 二階 modulator 在理想狀況及限制 GBW=3fs 時的比較

3-2.2 時鐘抖動(Clock Jitter)

CT SDM 對於 clock 的變異是非常敏感的，也就是 clock jitter。基本上 jitter 所產生的雜訊是個亂數且與輸入信號是無關的 (Uncorrelated)，而其效應混雜於輸出的位元串，當其大小超過量化雜訊時，那麼整個系統的表現變成受限於 jitter 影響 [42]。

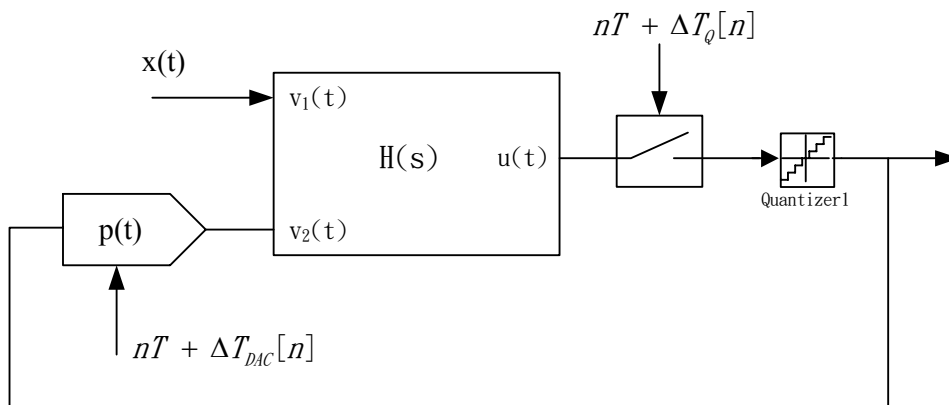


圖 3-2.7 CT SDM 方塊圖及時間變異

圖 3-2.7 為回授信號的時間變異 (Uncertainty) 所建立的基本模型 (針對 single-loop CT SDM)。S 為量化器前的取樣，p(t) 為 DAC 所產生的回授信號。

ΔT_{DAC} 為回授信號的時間誤差，而 ΔT_Q 是取樣 clock。經由 S 所產生的誤差，即量化雜訊，會經由調變器移頻，在先前的章節有提到。 ΔT_{DAC} 所造成的是使得回授脈衝 (Impulse) 信號點的位置與取樣點有所不同。

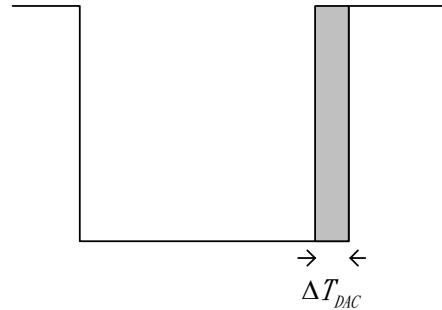


圖 3-2.8 回授信號的時間誤差

假設回授為 NRZ 的信號，圖 3-2.8 中的灰色區域代表了因為 ΔT_{DAC} 造成的誤差量，可將其表示為

$$\Delta A[n] = (y[n] - y[n-1]) \cdot \Delta T_{DAC}[n] \text{-----(式)3-14}$$

以一個週期 T 來計算，所產生的雜訊為

$$e_j[n] \frac{\Delta A[n]}{T} = (y[n] - y[n-1]) \cdot \frac{\Delta T_{DAC}[n]}{T} \text{-----(式)3-15}$$

根據上式，可將圖 3-2.7 的 Jitter 模型重新定義

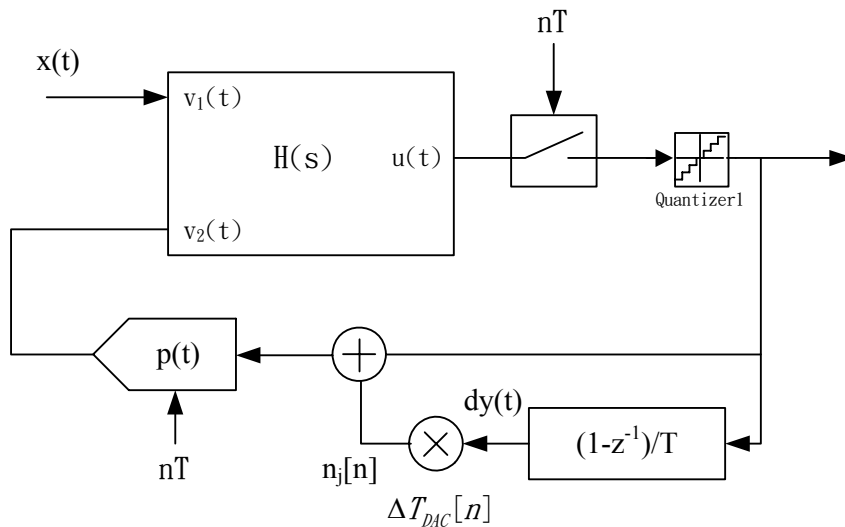


圖 3-2.9 Jitter 模型

將考慮 jitter 後的 MATLAB Simulink 方塊建立如圖 3-2.10，虛線區域 jitter 模型中的 Random Number，我們假設其為一個高斯分佈的型式。

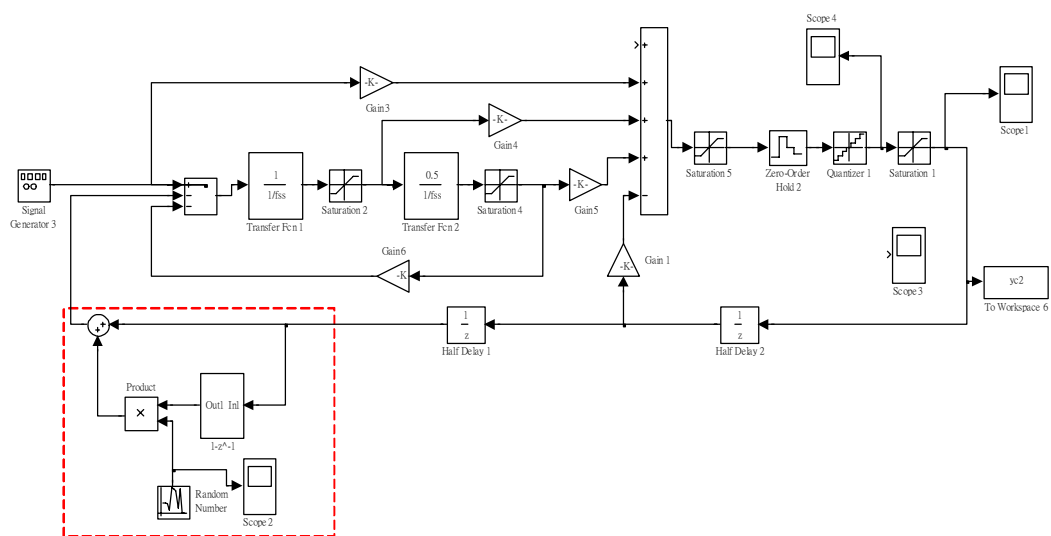


圖 3-2.10 考慮 Jitter 的 MATLAB 模型

在此所定義的 jitter 大小是相對於一個 clock 週期所占的百分比。即當取樣頻率越快的時候，同樣的百分比對應的時間越小。由於取樣頻率為 64 MHz，即一個週期為 15.625 nsec，則 1% 的 jitter 代表了 156.25 psec。圖 3-2.11 顯示加入不同大小的 jitter 後對功率譜的影響。

當 jitter 在 0.5% 時，即 78.125 psec，與圖 3-2.6 相比較，有限增益頻寬對系統表現的影響小於 jitter 的影響。變成主要是受限在 jitter 的大小，而整體 noise flow 上升至 -80dB 左右，表 3-2.1 列出相對應的 SNDR 值。

Jitter	0	0.1%	0.5%
SNDR(dB)	86.55	77.82	64.52

表 3-2.1 Jitter 於二階 modulator 的影響所對應的 SNDR 值

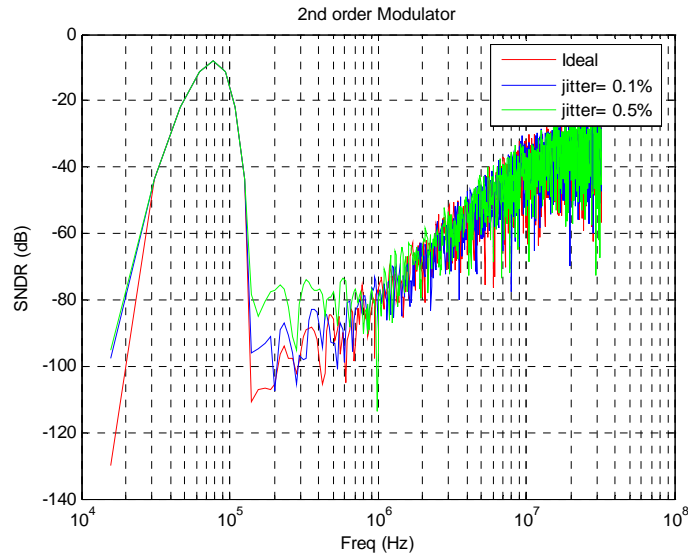


圖 3-2.11 加入 Jitter 後的功率譜

3-2.3 回授路徑的時間延遲(Excess Loop Delay)

有關於 loop delay，在 3-1 節中計算係數時，已經將其效應考慮進去。因為理想上的 CT SDM 在回授路徑上是沒有時間差的，但是這在實際上的設計是無法實現的，所以 3-1 節中所討論計算係數的方法，基本上都是針對了 loop delay 所造成的影響，而做了適當的調整。

接著針對 loop delay 對系統的影響做說明[12][43]-[44]。圖 3-2.12 為 CT SDM 的方塊圖，其中 p 決定了回授 DAC 的型式為 NRZ($p=1$)或 RZ($p=1/2$)的信號。

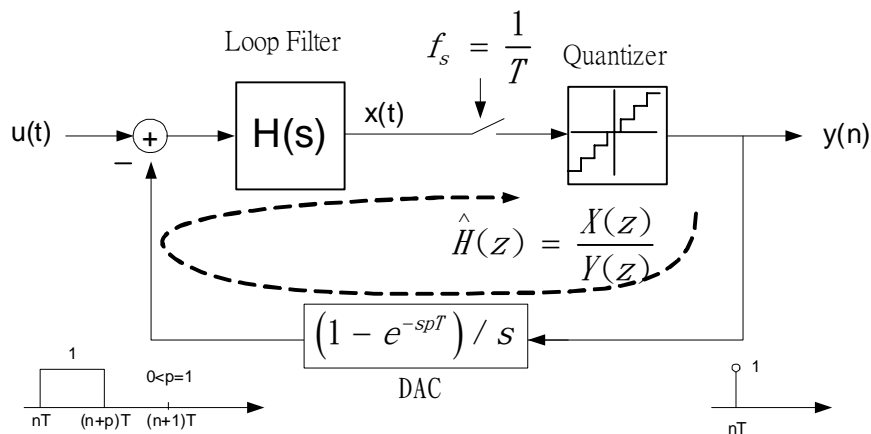


圖 3-2.12 考慮 loop delay 的 CT $\Sigma \Delta$ modulator 示意圖

在此同樣使用了 modified z-transform，可得 loop filter 的轉移函式，

$$\begin{aligned} \hat{H}_{2,LP}(z, m) &= Z_m \left[Z^{-1} \left[\frac{2z^{-1} - z^{-2}}{(1 - z^{-1})^2} \right] \right] \text{-----}(式)3-16 \\ &= z^{-1} \frac{2m + (2 - 3m)z^{-1} + (m - 1)z^{-2}}{(1 - z^{-1})^2} \end{aligned}$$

由上式可看出回授開路(feedback open loop)的轉移函式階數增加了一階，使得 NTF 與所設計的有所不同。根據數據顯示[43]，以一個二階的低通調變器而言，當 loop delay 大於週期的 38%，就會使得系統不穩定，而隨著階數及取樣頻率的增加，所能容忍的比例也越低。

為了解決這個問題，在回授中增加了額外的延遲及回授路徑用來補償 loop delay[21][27]。圖 3-2.13(b)可看到，回授到輸入端的信號多加了一個 clock delay，造成了一個時間延遲。而為了要使得 loop filter 輸出在取樣時的值不改變，加入了一條經由半個時間延遲($T_s / 2$)回授到量化器輸入的路徑。在回授中加入的這兩個半延遲(half-delay)，因為是由 clock 來控制信號回授的保持(hold)或是傳輸，所以即使是量化器取樣時造成的時間延遲對於調變器也不會有所影響。針對這段敘述以圖 3-2.14 來加以說明。

將調變器輸出與回授路徑打斷如圖 3-2.14(e)，此時回授路徑輸入為 $Y'(n)$ ，loop filter 為 $H'(s)$ 。如圖 3-2.14(e)的方式，將圖 3-2.13(a)傳統架構的 CT SDM 開路，並在 DAC 前端提供一個脈衝輸入如圖 3-2.14(a)。由 $t=0$ 開始，每 T_s 取一點，經過 $t=nT_s$ ($n = 1, 2, 3 \dots$)，可得輸出如圖 3-2.14(b)。這表示著輸入訊號在 $t=0$ 送進的瞬間，在輸出 $Y(n)$ 可以得到相對應的輸出訊號，但實際上是不可可能的。所以在加入了延遲的架構中，在 loop filter 第一筆不為零的取樣($t=T_s$)，先經由 DAC_B 送入了量化器的輸入，圖 3-2.14(c)，此時送回

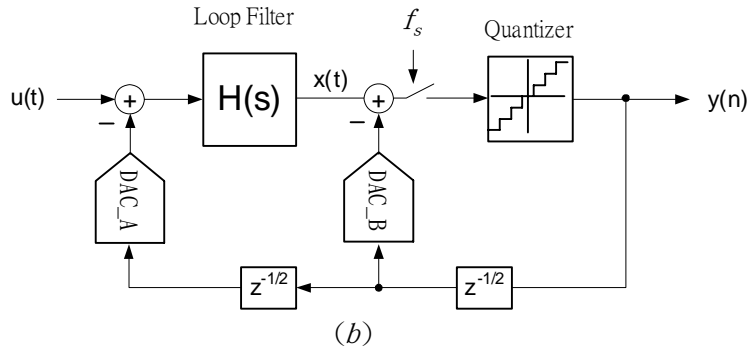
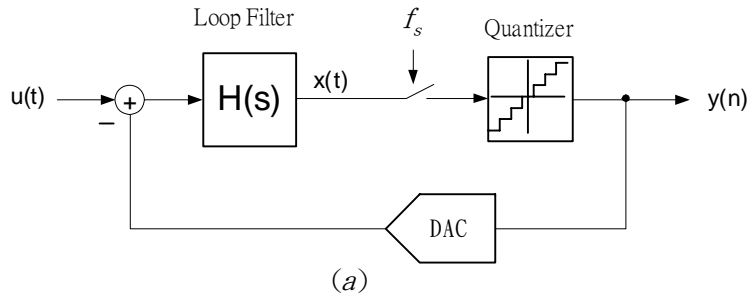


圖 3-2.13 CT SDM 架構圖 (a)傳統架構 (b)改善 loop delay 的架構

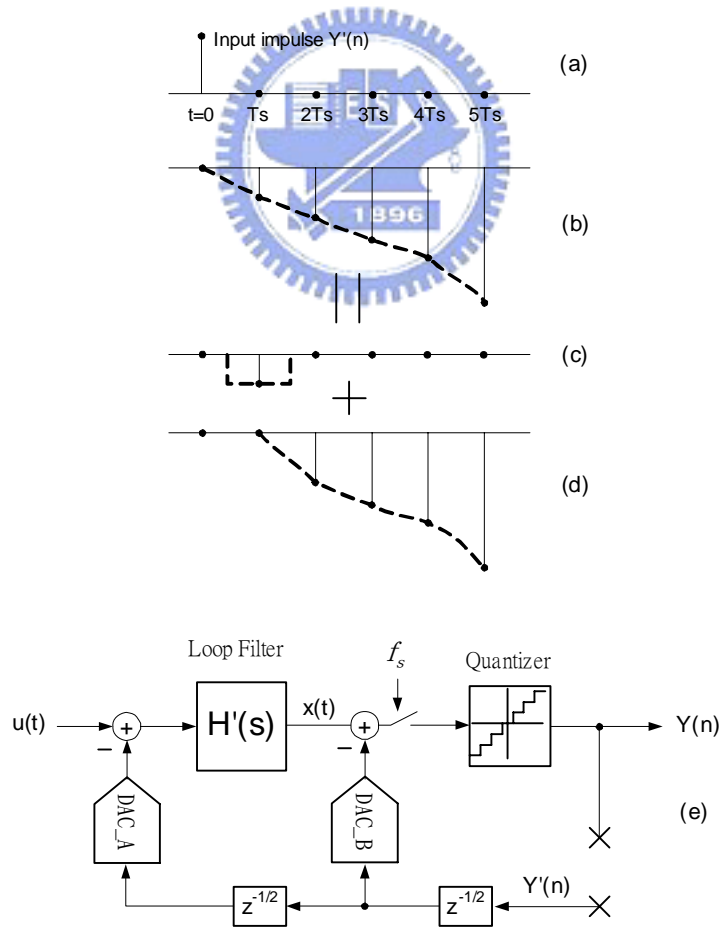


圖 3-2.14 (a)Loop filter 輸入 $Y'(n)$ (b)Loop filter 在傳統架構中的輸出 (c)DAC_B 輸出 (d) $H'(s)$ 輸出 (e)改善架構的開路

輸入端的回授信號尚未產生，圖 3-2.14(d)，因為 $H'(s)$ 的第一筆輸入要先經過一個週期後才會產生。所以只要將上述的 DAC_B 及 $H'(s)$ 輸出相加，便可以得到與圖 3-2.14(b) 相同的值。

此種架構減低了 loop delay 所造成的 SNDR 下降的影響，換言之，在回授路徑加入額外的延遲是可得到好處的。

然而經由這個論點，我們意外的發現若在額外增加的延遲中，只使用一個 half-delay，也就是到輸入端及量化器輸入端的回授信號都只經過半個延遲，如圖 3-2.15。經由模擬，不管是在放大器規格的要求上，或是系統對於 RC 時間常數變動的容忍度，與使用兩個半延遲的架構相比，都有所益處。我們將透過模擬的結果，於下一章中來做比較。

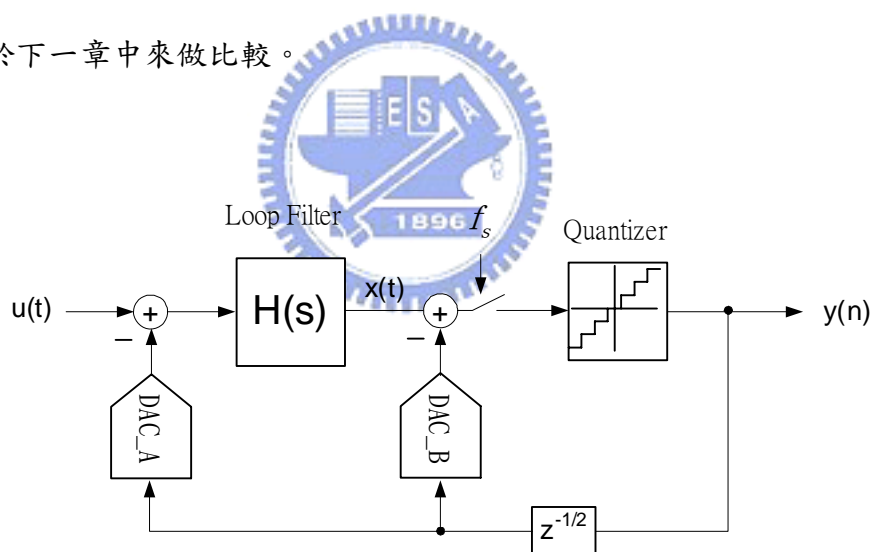


圖 3-2.15 使用 half-delay 的 CT SDM 架構圖

3-2.4 積分器輸出振幅

建立以上模型後，在模擬 CT SDM 的過程中，一開始是由二階的系統著手，並未對各級積分器的係數做特別的調整。而隨著系統階數的增加，可輸入的振幅大小也隨之降低。在計算三階系統的係數時，一開始各級積分器的係數都以 1

來計算(即 $\frac{1}{f_s S}$)。在將計算出來的係數帶進 MATLAB 模擬時，雖然可以得到所預計的 SNDR 值(圖 3-2.16)。輸入信號約-8dB(在模擬二階系統時所用的輸入信號大小為-3dB)，但由於信號會經過三級的積分器的放大，所以在觀察各級輸出時，發現其振幅已經超過了製程的電源電壓(VDD)1.8V，其中又以第三級積分器輸出最大，如圖 3-2.18。因此當對每一級積分器的輸出加上 saturation 的方塊，限制振幅大小在電壓範圍內，可預計的，輸出波形發生了變形(Distortion)，這並非我們想得到的結果。也代表了嚴重的變形不但使整個系統的性能變差，在電路設計上也有所困難。

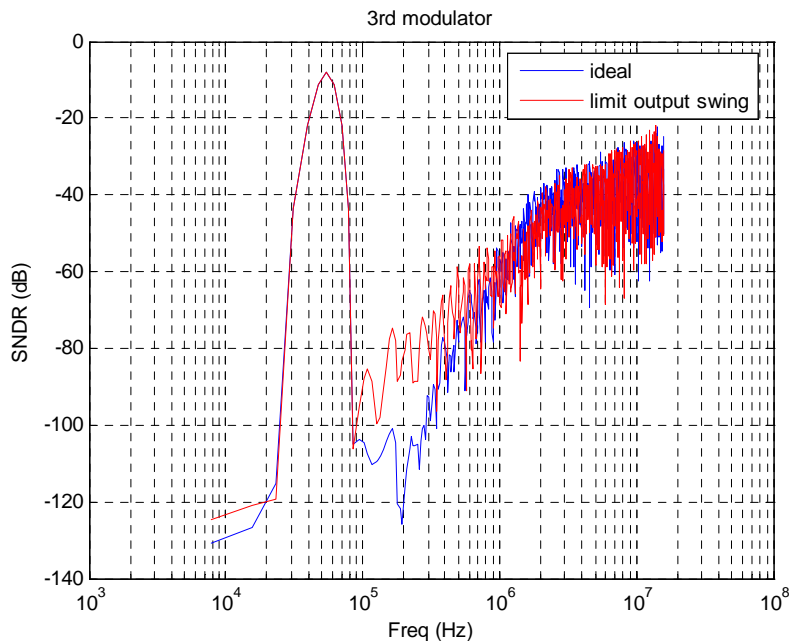


圖 3-2.16 在各級積分器輸出加入 saturation 前後模擬所得之功率頻譜

因此高階的架構設計上，由於迴路增益隨著迴路階數逐級下降，高頻信號在第一級積分器的明顯的增加，使得積分器容易過載(Overloading)。因此便需要降低積分器的輸入的振幅，即對其係數做調整(Scale down)。為了解決這個問題，可以額外加入一條直接由輸入信號傳輸到量化器前的路徑，如圖 3-2.17 中的 a_0 。這條路徑的功用在於使得大部份的輸入信號成份，會經由此路徑傳輸到

量化器，只有其中一小部份的信號成份跟隨著量化雜訊經由積分器傳送。

所以選擇積分器的係數便顯得非常重要，在經過適當的調整後，可以確實的降低積分器輸出振幅的大小，使其在合理的範圍之內。

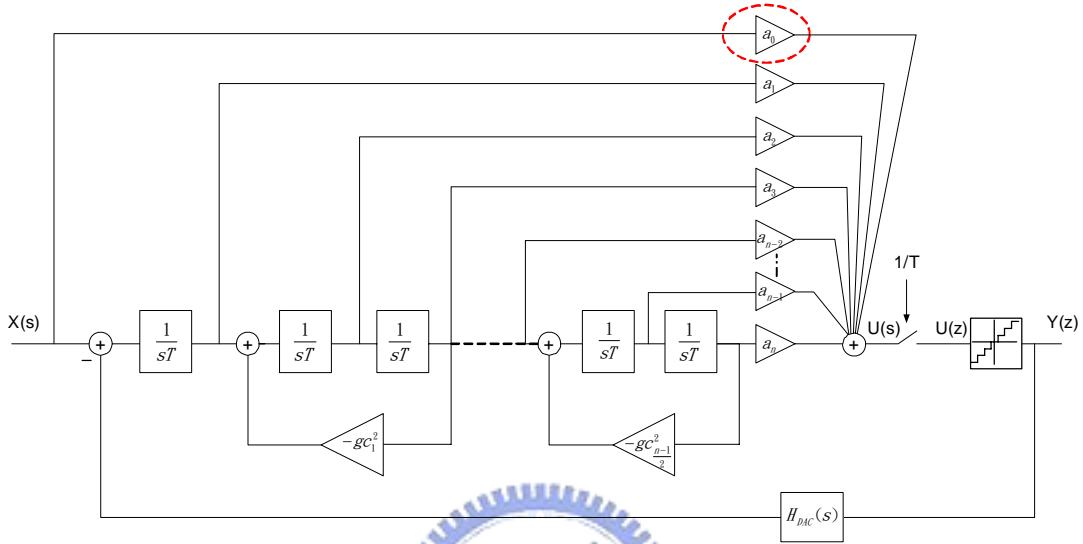


圖 3-2.17 加入 a_0 ，由輸入信號直接到量化器輸入的路徑

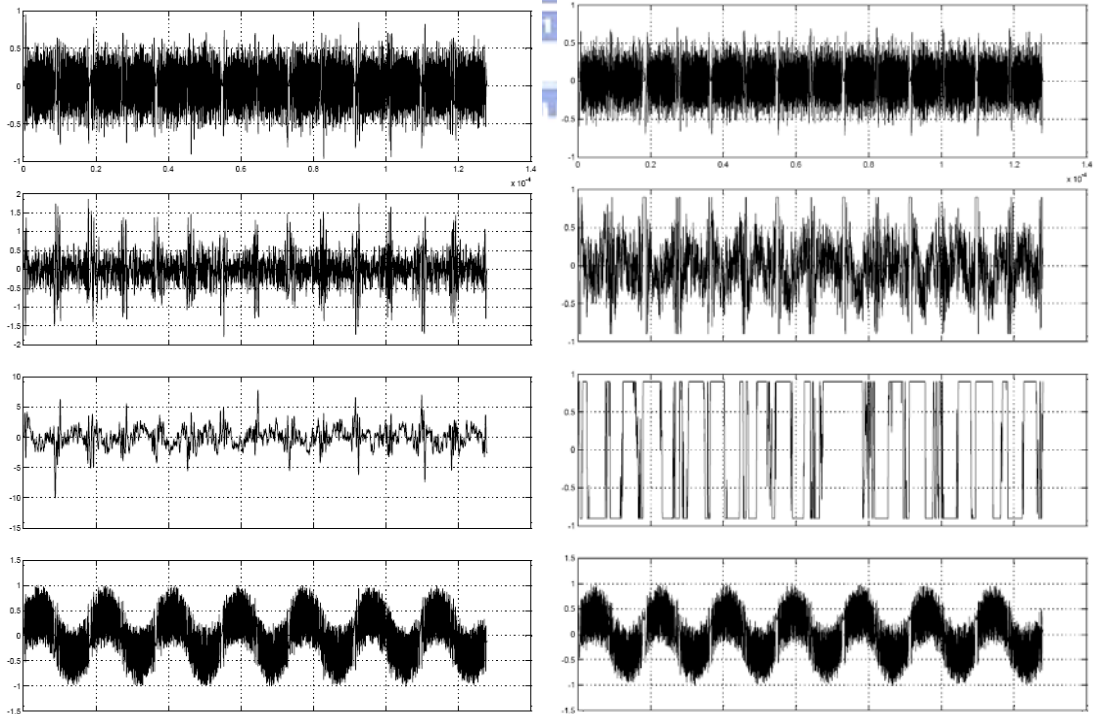


圖 3-2.18 各級輸出，由上而下為 (a)第一級積分器 (b)第二級積分器 (c)第三級積分器 (d) 量化器輸入

3-2.5 其他非理想效應的考量

如上述的模型建立，考慮了放大器的有限增益頻寬、jitter、loop delay 以及 saturation 的問題。而另外我們所要考量的便是 RC 時間常數的變動，以及各級 R、C 的不匹配所造成的影響。在這邊我們對於使用 unit-delay 和 half-delay 兩種 CT SDM，及電阻式和電容式的兩種加法電路(在 3-3 節中討論)，還有 CRFF 和 CRFB 兩種架構，針對這幾種不同的狀況，於第四章中做各種的模擬比較。

3-3 加法電路

在 feed-forward 的架構中，由各級的輸出拉了一條路徑到量化器的輸入，也因此需要在量化器的輸入端對信號做加總的動作。而信號相加的方式可經由電流信號相加(Current Summation)後，再轉換為電壓信號，此種方式通常是經過 I-V 的轉換器如 gm-cell 來實現[21][27]。另外，也可以直接以電壓信號相加的方式[33]。我們採用的為後者，而對此再以電阻式及電容式兩種加法電路來做比較。

為了要簡化圖形，在此僅以單端(Single-ended)的圖示說明，實際上是以全差動(Fully-differential)的電路來模擬。圖 3-3.1 電阻式的加法電路，主要是在多利用一個放大器 A4，利用電阻的比例關係來實現 feed-forward 的係數，

$a_i = \frac{ru}{rf_i}$ ， $i=0\sim 3$ 。另為一種型式為使用電容的方式做相加的動作，如圖 3-2.20，

$a_i = \frac{cf_i}{c2}$ ， $i=0\sim 2$ 。與電阻式的相比較，省去了放大器 A4 的使用，不過付出

的是增加了原本第三級積分器 A3 的負載。然而，放大器 A3 在頻寬增益上的需求原來就比較低，所以在省去 A4 所得到在功率消耗上的所得到的好處，大於 A3 負載的增加，可由之後的模擬結果得知。另外就是在製程上的考量，

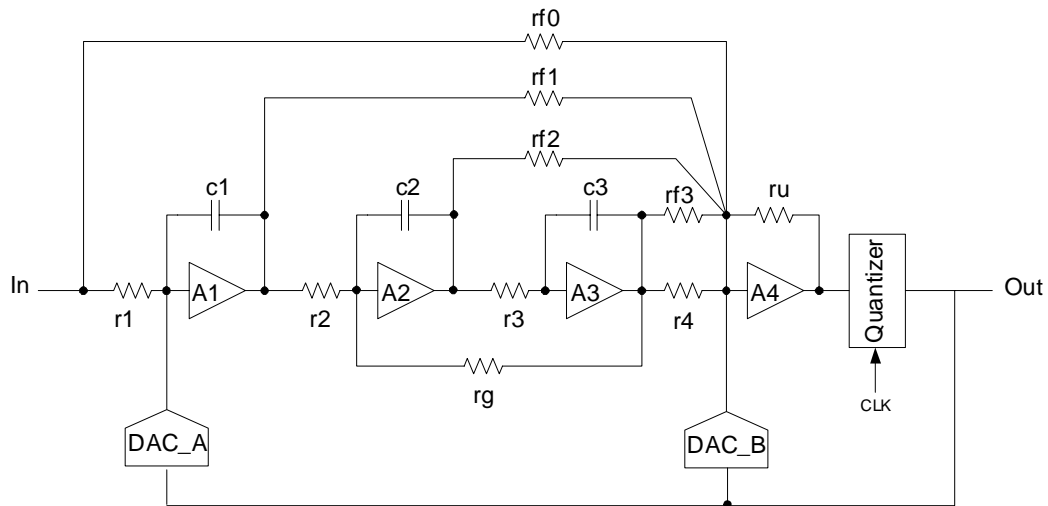


圖 3-3.1 電阻式的加法電路

以 TSMC 1P6M 0.18 μm 製程為例，電阻的變動值約在 $\pm 20\%$ ，電容約為 $\pm 10\%$ (根據不同的畫法)。而係數上又是以比率(Ratio)的值來實現，電容的匹配性又比電阻好得多。所以實際在選擇上，使用電容要比電阻來的優先。

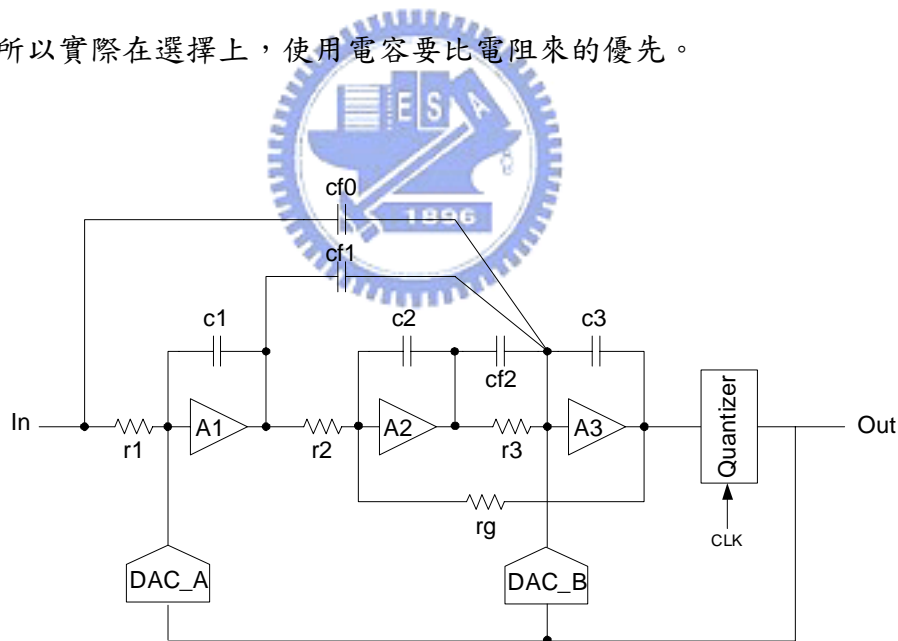


圖 3-3.2 電容式的加法電路

3-4 Feed-forward 及 feed-back 架構

在 $\Sigma \Delta$ modulator 架構上的選擇，除了圖 3-1.1 的 feed-forward 的 CRFF 架構之外，另外一種則是 feed-back 的架構如圖 3-4.1。由於兩種架構在設計上，都可以實現相同的 NTF，所以單就想要達到的 SNDR 值而言，選擇那一種作法是

沒有差別的。

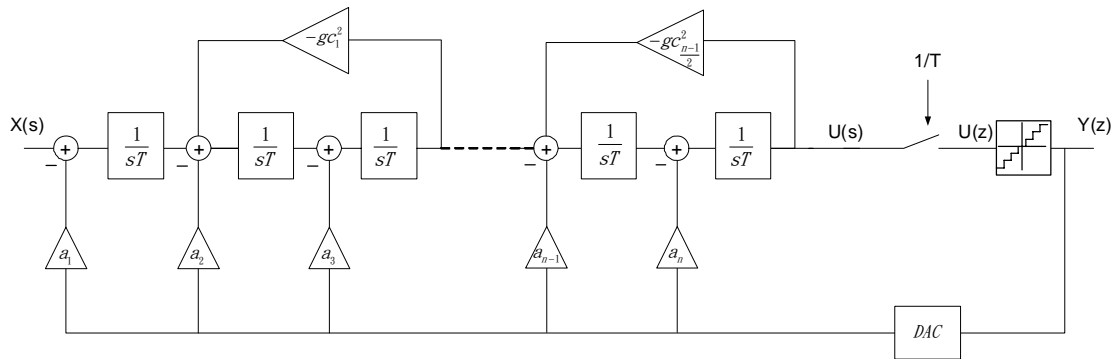


圖 3-4.1 Feed-back 架構的 $\Sigma \Delta$ modulator

不過當我們從 STF 的角度來看，feed-forward 及 feed-back 的 STF 轉移函式分別表示為

$$STF_{FF} = \frac{\alpha_1(sT)^n + \alpha_2(sT)^{n-1} + \alpha_3(sT)^{n-2} + \dots}{\beta_1(sT)^{n+1} + \beta_2(sT)^n + \beta_3(sT)^{n-1} + \dots} \text{----- (式)3-17}$$

$$STF_{FB} = \frac{\alpha_1 sT}{\beta_1(sT)^{n+1} + \beta_2(sT)^n + \beta_3(sT)^{n-1} + \dots}$$

由上式可見，feed-forward 的低通濾波效果為 1 階，而 feed-back 架構的濾波階數則為 n 階。所以在高頻部份的衰減，feed-forward 為 -20dB/decade，而 feed-back 則是 -20n dB/decade。

另外，feed-forward 架構的會因為零點和極點無法精確的對消，在帶外產生突波(peak)，這是其主要的缺點。雖然如此，因為在 feed-back 架構裡，對於每一級運算放大器所要求的規格較來的高，導致功率消耗上升。基於這項考量，feed-forward 在為設計者所喜愛。

第四章 模擬結果之探討與分析

上一章節中，我們了解了有關 CT SDM 的設計考量以模如何建立模擬的環境。為了要對所建立的模型做驗證，所以我們就製定了一個規格目標，除了在 MATLAB 上的模擬之外，我們也在考慮非理想效應的情況下，經由 MATLAB 模擬所得到的規格來設計電路，並將 HSPICE 的模擬結果來互相比較對照。在此我們以頻寬 250kHz，10~12bit 的解析度來做設計考量。

4-1 二階系統模擬

參考[45]，我們可以決定 OSR 以及量化器的 bit 數。為了要能夠符合規格且預留因為設計中的非理想效應造成的 SNDR 下降幅度。在此我們選擇 OSR=128，則取樣頻率 $f_s=64\text{MHz}$ ，並使用 1.5bit 的量化器。而同時我們將設計 unit-delay 與 half-delay 兩種架構並做兩者之間的比較

為了使 unit-delay 和 half-delay 是在對等的條件下比較，根據 MAPLE 計算出來的係數，必須先將 unit-delay 和 half-delay 兩者做些微的係數調整(主要為調整 DFFP 的係數)，使得兩者所達到相同的 SNDR 值以及功率頻譜，如圖 4-1.1。

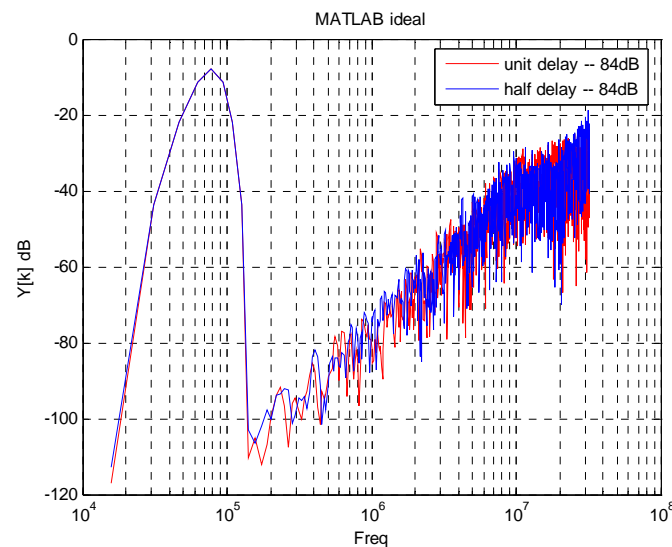


圖 4-1.1 二階 unit-delay 和 half-delay modulators 理想狀況功率頻譜

再者兩種架構所需求的增益頻寬如圖 4-1.2 所示，c 值代表增益頻寬與取樣頻率之間的倍率。可明顯看出在要達到相同的 SNDR 值之下，unit-delay 所需要的頻寬比 half-delay 的架構要大的許多，而在頻寬持續增大的情況下，兩者的 SNDR 值會趨於一致，即達到理想值。

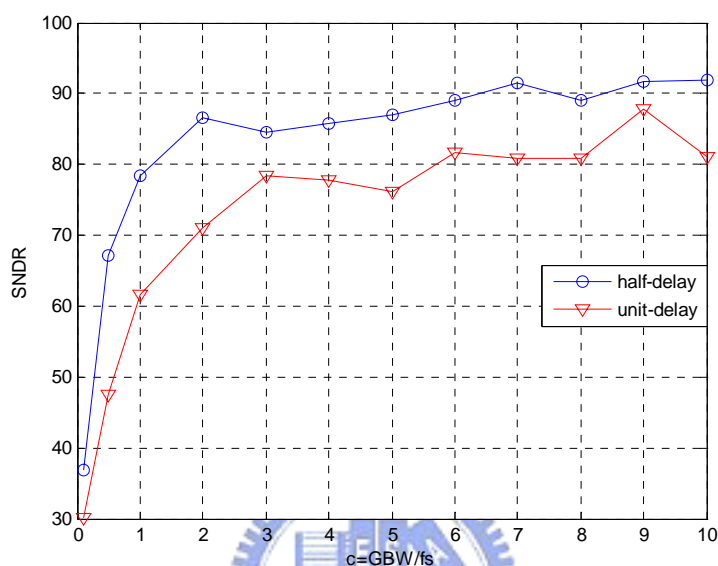


圖 4-1.2 頻寬對 unit-delay 和 half-delay modulators 的影響

4-1.1 HSPICE 模擬之電路架構

整體電路上的實現是 fully-differential 的方式，在此我們使用 folded-cascoded 的運算放大器及 dynamic 的比較器，以及在線性度的考量下使用 1.5bit 的量化器。

在運算放大器的選擇上，由於在 CT SDM 中所要求的增益頻寬通常在 $3 f_s$ 左右就足夠。在我們的設計中，二階的系統以 folded-cascoded 的運算放大器來實現電路，但是因為在輸出接著的是下一級積分器的電阻，所以為影響其增益大小，使得設計上的規格要比模擬上來得高。而在三階中則使用 two-stage 的運算放大器，其中的差異性在接下來的內容會做說明。

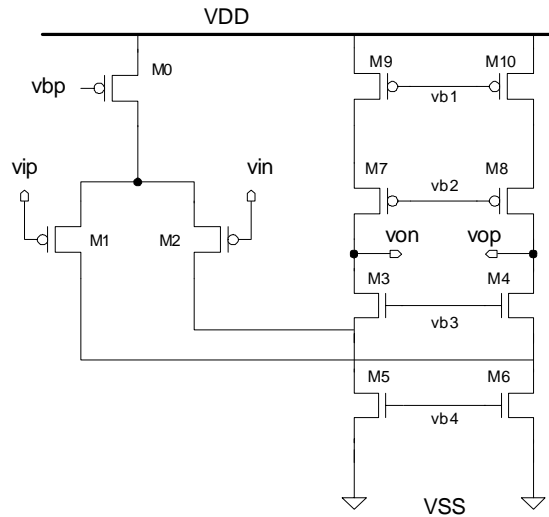


圖 4-1.3 Folded-cascode 運算放大器

比較器是由兩個 non-overlapping 的 clock 來控制，分為 reset 跟 regeneration 兩段 timing。當 ck2 為 low 時是 reset mode，將輸入兩端電壓拉回平衡點。而當 ck1 為 low 時是 regeneration mode，此時 M8, M9 導通，會因為輸入的差異使得電流不同，而這個誤差量經過放大至 VDD，接著驅動後級的 S-R latch，進而得到比較後的輸出 Q。

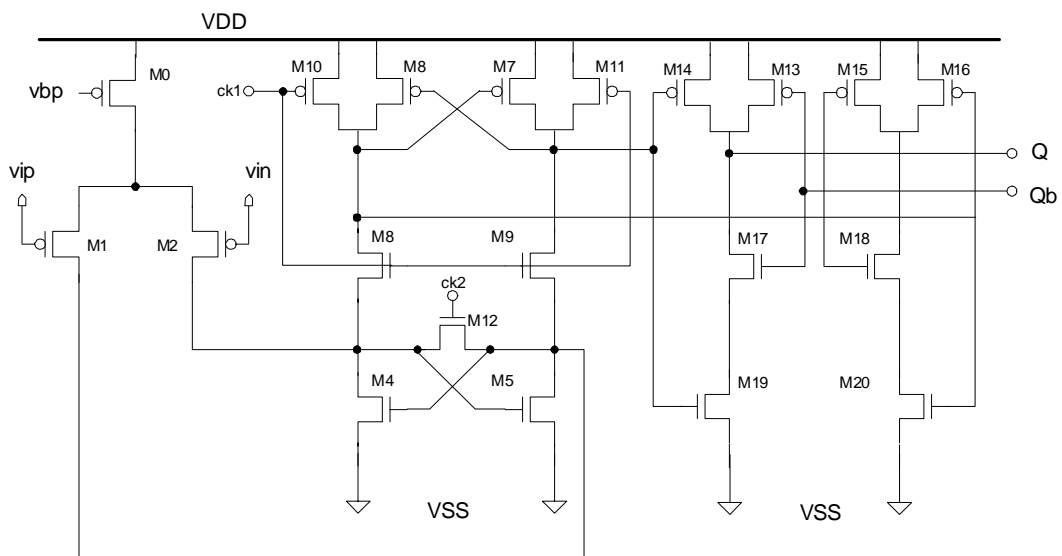


圖 4-1.4 比較器

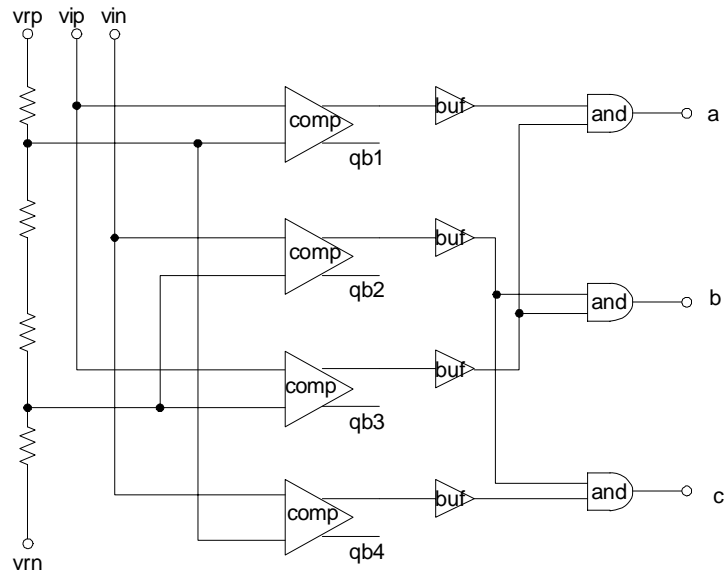


圖 4-1.5 1.5bit 量化器

1.5bit 的量化器實現方式如上圖，作法為將參考電壓 vrp、vrn 依輸入弦波的比例分為兩個參考電壓，在把 loop-filter 的輸出電壓與分別做比較後，再經由簡單的數位邏輯，將其結果分為三個相同的 level

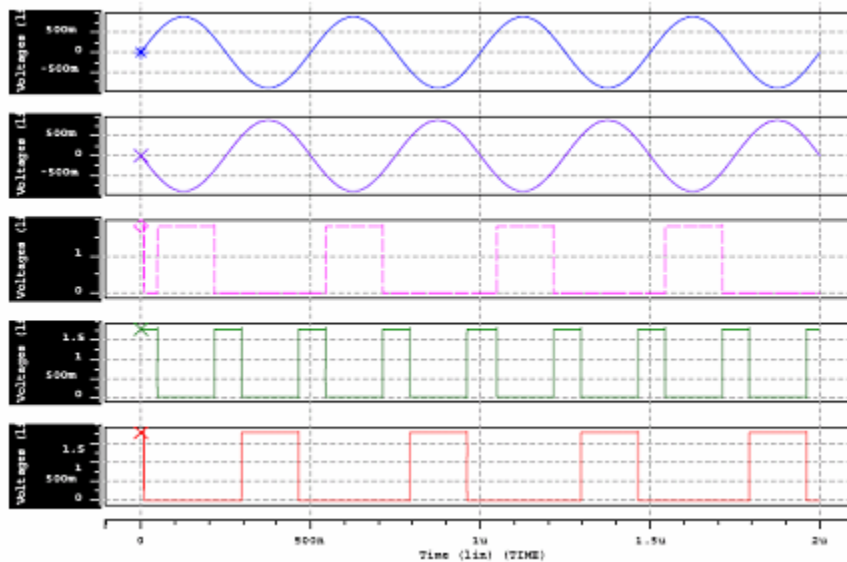


圖 4-1.6 1.5bit 量化器輸入輸出

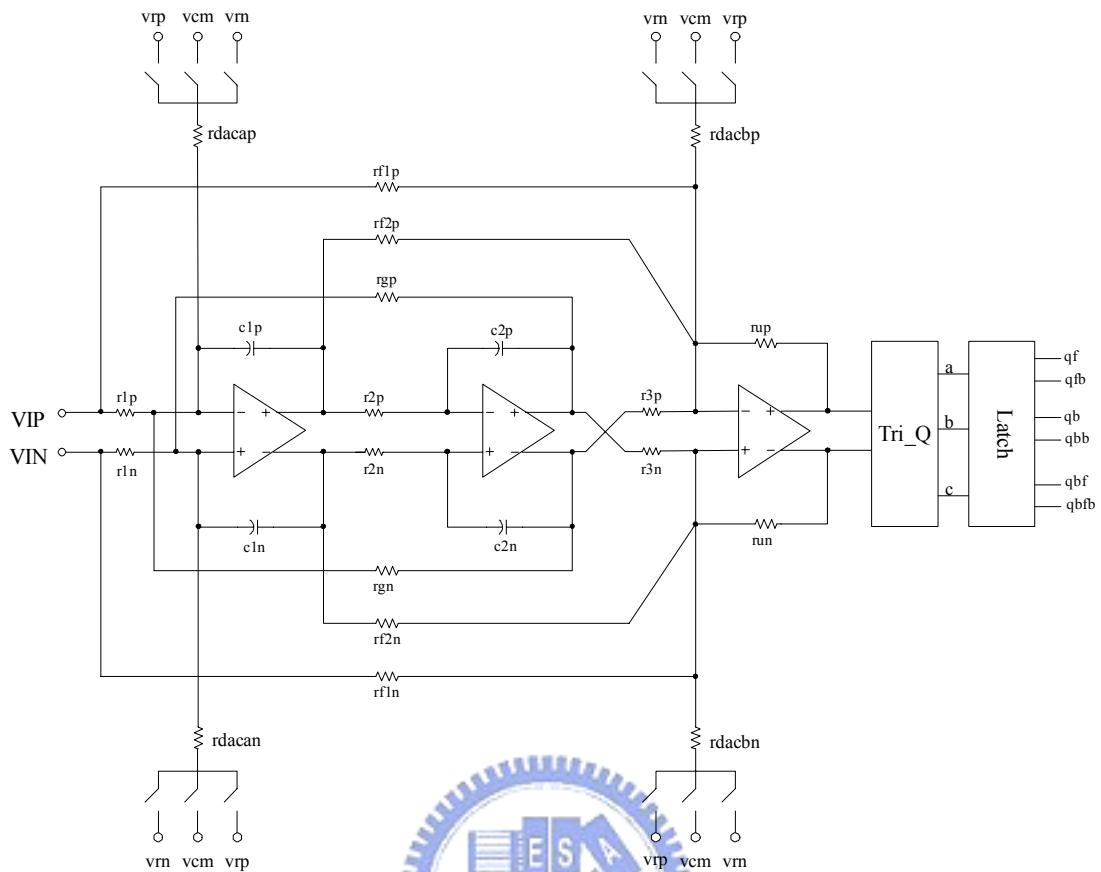


圖 4-1.7 二階 $\Sigma \Delta$ modulator 電路

最後實現的 2nd-order 的 unit-delay 及 half-delay modulator 結果分別如圖 4-1.8 及圖 4-1.9 所示。

MATLAB 模擬條件：

Unit-delay: 係數 $a_1=2.25$, $a_2=2$, $a_3=1.5$, $k_1=1$, $k_2=0.5$, $k_b=1.25$,
 $g_c=0.005$, Jitter = 0.3% = 46.8ps

Half-delay: 係數 $a_1=1.25$, $a_2=1.5$, $a_3=1.5$, $k_1=1$, $k_2=0.5$, $k_b=0.75$,
 $g_c=0.005$, Jitter = 0.5% = 78ps

HSPICE 模擬所用運算放大器規格：

Unit-delay: 1st stage \rightarrow 65dB, $u_{gbw}=420\text{MHz}$; 2nd stage \rightarrow 60dB,
 $u_{gbw}=132\text{MHz}$

Half-delay: 1st stage \rightarrow 60dB, $u_{gbw}=164\text{MHz}$; 2nd stage \rightarrow 60dB,
 $u_{gbw}=132\text{MHz}$

輸入信號: 0.4V, 78.25kHz。

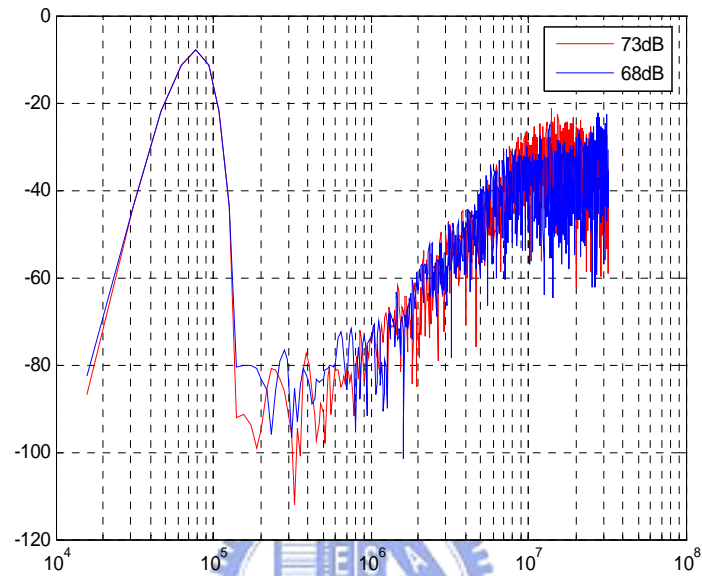


圖 4-1.8 二階 unit-delay modulator MATLAB 及 HSPICE 模擬結果比較

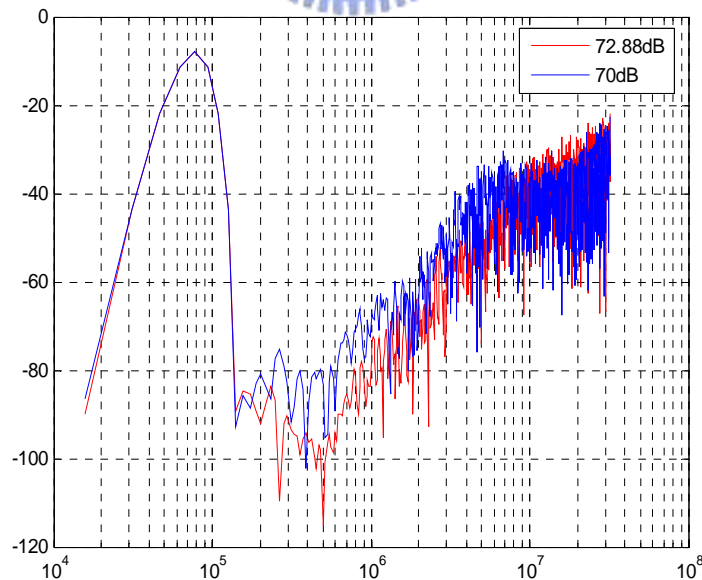


圖 4-1.9 二階 half-delay modulator MATLAB 及 HSPICE 模擬結果比較

1-bit 的 feedback DAC 在電路實現上, 是經由 quantizer output 電壓來

控制 switch (transmission gate)。而 switch 在導通時通常會存在個小電阻值，這成為造成係數誤差的一項原因。所以我們可以加大 switch 的尺寸或是稍微調整回授的電阻值來消除此影響。

4-1.2 非理想效應(Non-Idealities)

首先從 MATLAB 來模擬增益頻寬對於 SNDR 值所造成的影響。圖 4-1.10 可以觀察出 half-delay 的架構上對於 GBW 的要求比 unit-delay 來得低。而圖 4-1.11~13 為在 HSPICE 上的模擬結果

在一開始都使用 $2 f_s$ 的運算放大器時，圖 4-1.11。兩種架構對應到的 SNDR 值基本上還與 MATLAB 所得到的結果接近，但是試著加大頻寬後觀察其結果，圖 4-1.12 及圖 4-1.13。並未如預期中得到 SNDR 上升的好處。

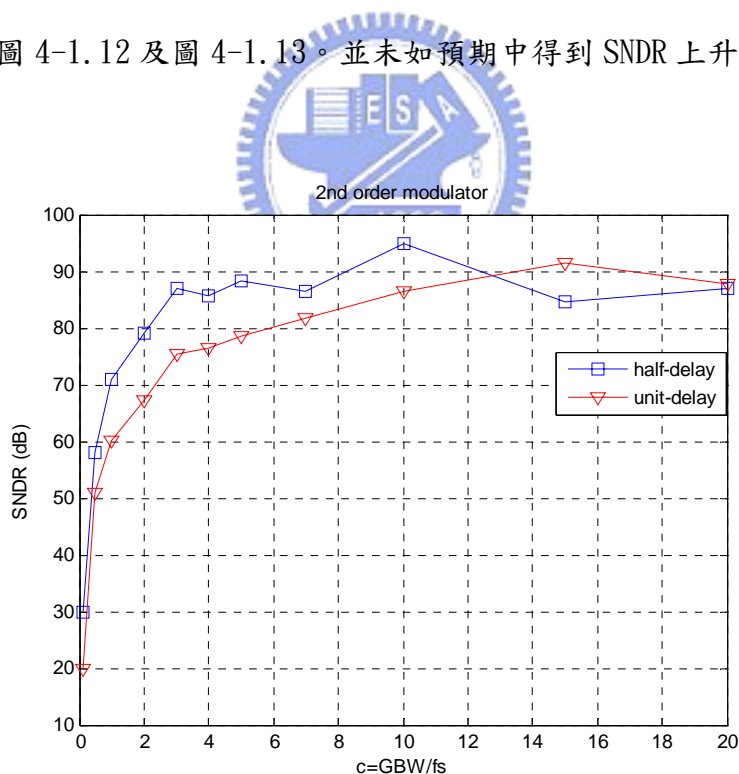


圖 4-1.10 二階 modulator 中 GBW 對 SNDR 造成的影響

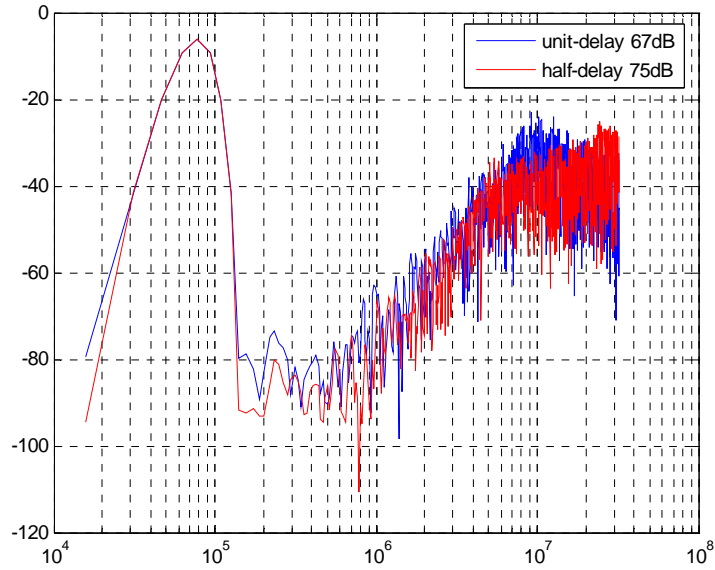


圖 4-1.11 在 unit-delay 及 half-delay modulators 中使用相同放大器頻寬所得到的結果

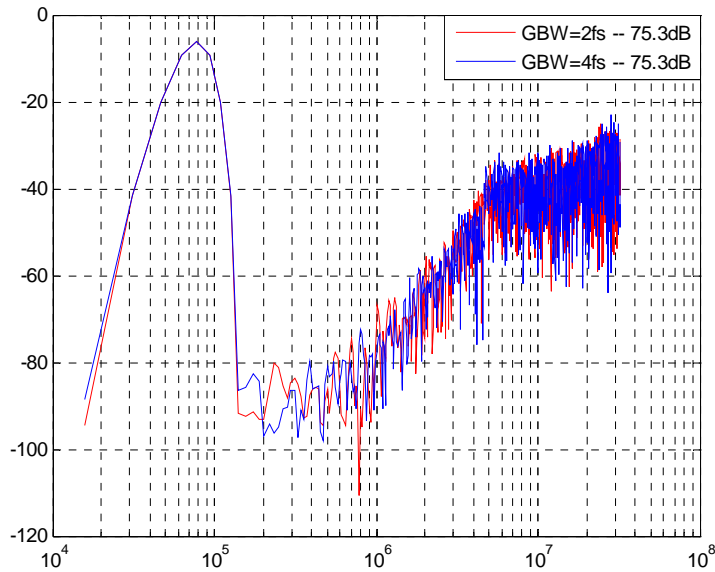


圖 4-1.12 在 Half-delay 中不同的 GBW 對應的 SNDR 值

在模擬過程中我們加入了 jitter 的因素，圖 4-1.14，根據在不同頻寬大小對於二階 modulators SNDR 影響的模擬結果觀察，圖 4-1.12 和 4-1.13，原以為是 jitter 所造成的影響已超過增益頻寬的影響，以致於限制住系統的 SNDR 表現。然而在之後我們從事三階 CT SDM 設計過程中，發現了主要問題在於運算放大器架構的選擇上，於 4-2 節三階系統的設計中會多加說明。

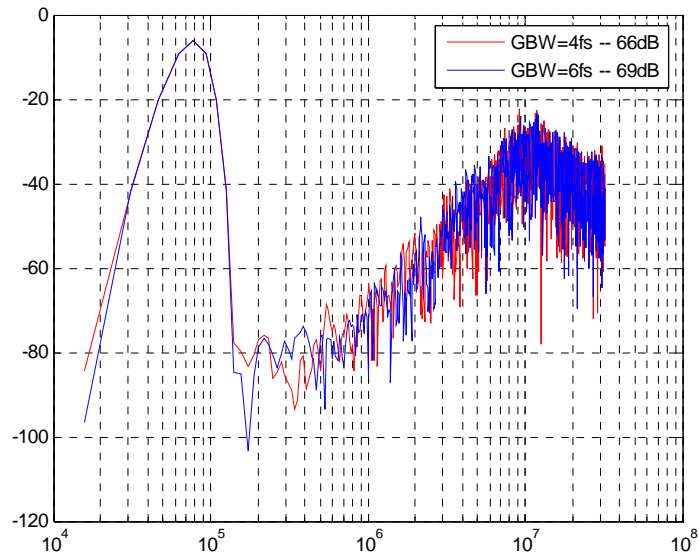


圖 4-1.13 在 Unit-delay 中不同的 GBW 對應的 SNDR 值

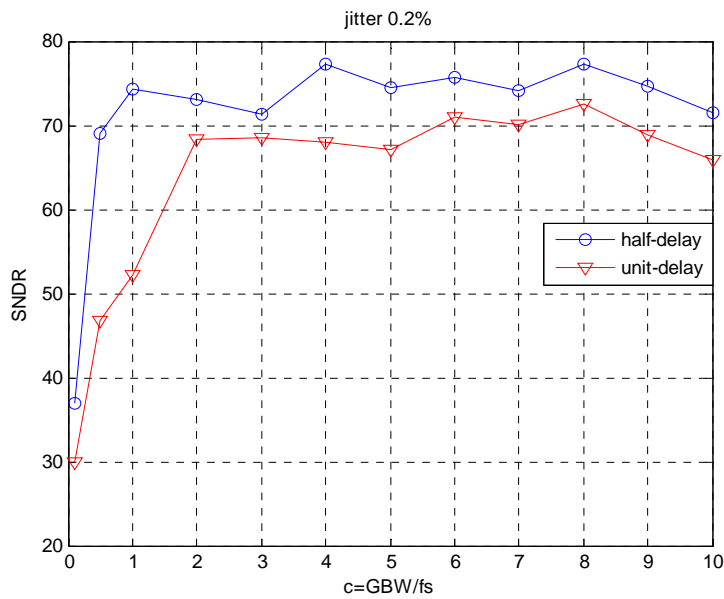


圖 4-1.14 加入 0.2% jitter 後(約 30ps)對系統表現的影響

圖 4-1.15 說明的在有限的輸出擺幅之下，對於整體系統的影響。因為如果在輸出振幅產生 distortion 的話，有可能含有信號成份的資訊就會被截除造成 SNDR 值的衰減。而在觀察模擬結果時，unit-delay 在於其每一級的輸出都要比 half-delay 來得大些，這也是其對於輸出擺幅的要求較大的原因。

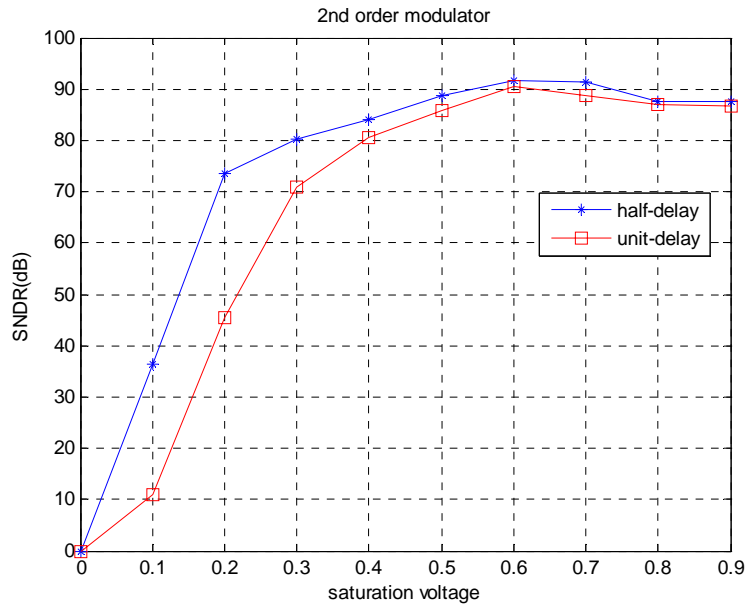


圖 4-1.15 Saturation 對二階 modulator 的影響

4-1.3 係數的變動(Coefficient Variation)

二階中在模擬係數變動的方式是以 HSPICE 中的 Monte Carlo 來做模擬，給予高斯分佈型態的亂數，再統整模擬後所得的結果。

(1)Half-delay

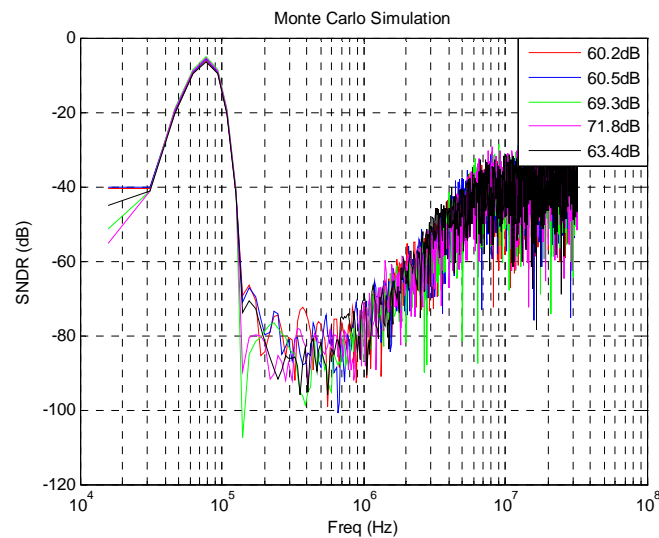


圖 4-1.16 Half-delay R, C 變動值 25% 及匹配上誤差各別為 4%, 2.5%

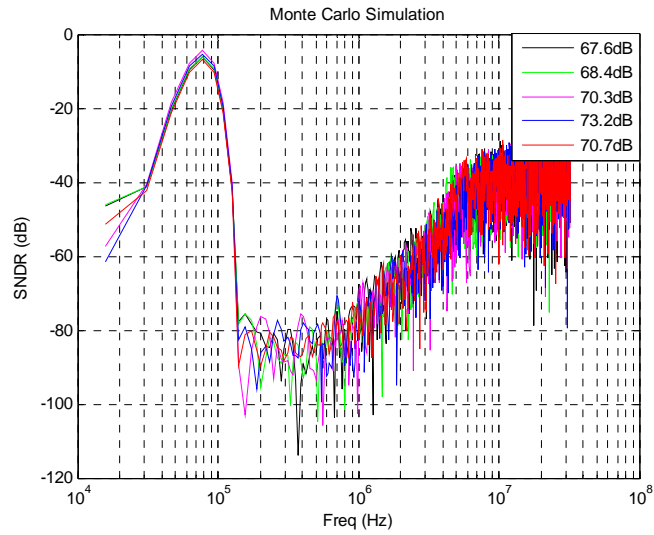


圖 4-1.17 R, C 變動值 25% 及匹配上誤差各別為 2%, 0.5%

(2)Unit-delay

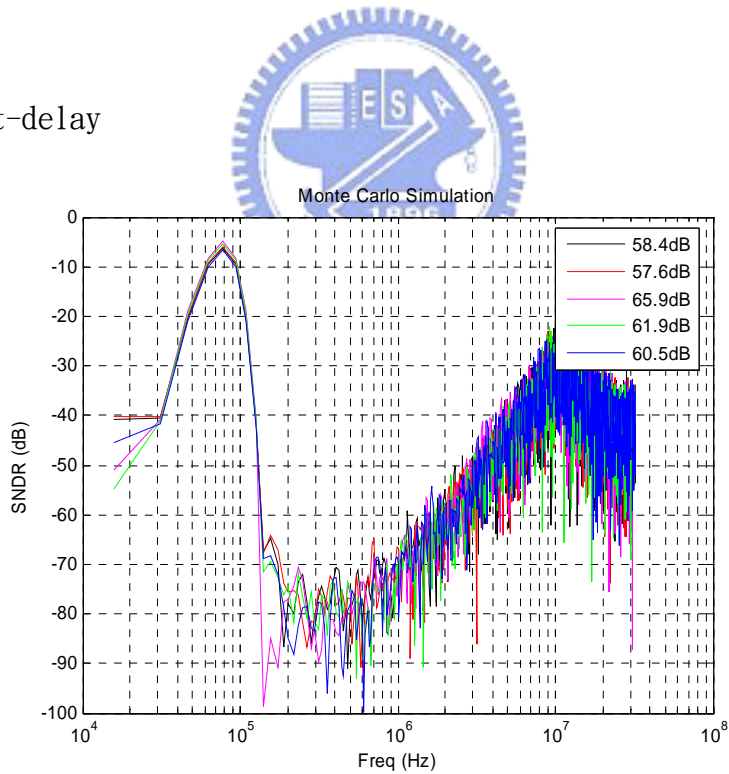


圖 4-1.18 R, C variation 25% and matching variation 4%, 2.5%, respectively.

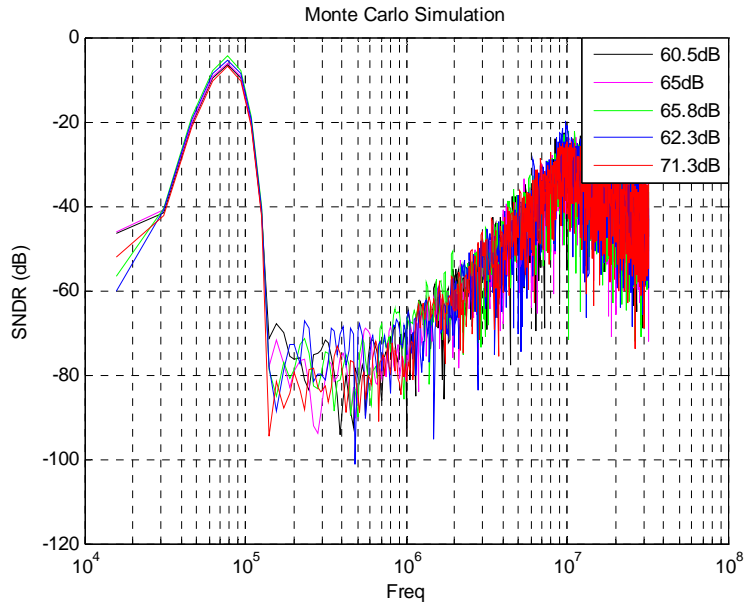


圖 4-1.19 R, C variation 25% and matching variation 2%, 0.5%, respectively.

在接下來設計三階的調變器過程中，發現我們在設計二階的系統時，其實是存在著一些問題。例如 jitter 的效應，在 MATLAB 中的模擬目的是為了預測實際晶片量測中，所輸入的 clock 信號變異所產生的影響，而在 HSPICE 的模擬中並無法考慮到此效應。然而在上述的 MATLAB 模擬中，在決定規格時，我們將 jitter 的效應考慮過高，以至於造成 jitter 成為了影響系統表現的主要因素。進而使得在訂定運算放大器的規格時產生了誤差。

這也解釋了在 HSPICE 模擬無法準確地與 MATLAB 模擬相對應(相較於 MATLAB 訂定的規格，在 HSPICE 模擬中所對運算放大器的要求更高)。而根據上述的模擬做為參考的基礎，除了避免發生同樣的問題，也試著將 MATLAB 與 HSPICE 之間模擬的差異一步一步的解決，這將在下一節中談論。

4-2 三階系統模擬

首先有了模擬二階 CT SDM 的經驗後，在三階的模擬上加了更多的考量。在係數的選擇上，先就不同的 out-of-band gain 來選則係數。原則上 out-of-band

gain 越大，對於雜訊的衰減能夠得到好處，相對的能得到較好的 SNDR。但是太大的 out-of-band gain 則會使的系統容易受到非理想效應的影響而趨於不穩定。所以我們就不同的 out-of-band gain 來計算係數並做選擇。

同樣的我們希望頻寬為 250k Hz，12bit 的解析度，就此選擇 OSR=64，即取樣頻率為 32 MHz，為了屏除回授 DAC 線性度對系統的影響，在能夠達到設計規格的情況下，使用 1bit 的量化器。

a) Half-delay

Outband gain		a1	a2	a3	kb	Gc
(1)	1.5	0.7972	0.5293	0.1719	0.3664	0.0014
(2)	2	1.3229	1.3183	0.64	0.5824	0.0014
(3)	2.5	1.6922	2.0169	1.1633	0.726	0.0014

表 4-2.1 Half-delay 於不同 out-of-band gain 所計算出來的三階係數

b) unit-delay

Outband gain		a1	a2	a3	kb	Gc
(1)	1.5	0.9349	0.5722	0.171	0.799	0.0014
(2)	2	1.6725	1.4781	0.638	1.3296	0.0014
(3)	2.5	2.2327	2.3074	1.1601	1.7043	0.0014

表 4-2.2 unit-delay 於不同 out-of-band gain 所計算出來的係數

而在經過模擬之後，在 out-of-band gain=2 的時候，對於 unit-delay 及 half-delay 都有較好的表現。再針對 DFFP 的係數做調整，unit-delay 及 half-delay 的 a0 分別為 2 及 1.5。在理想的狀況下其功率頻譜如圖 4-2.1。

在高階的系統我們特別需要注意積分器的輸出，於先前的章節有討論過。所

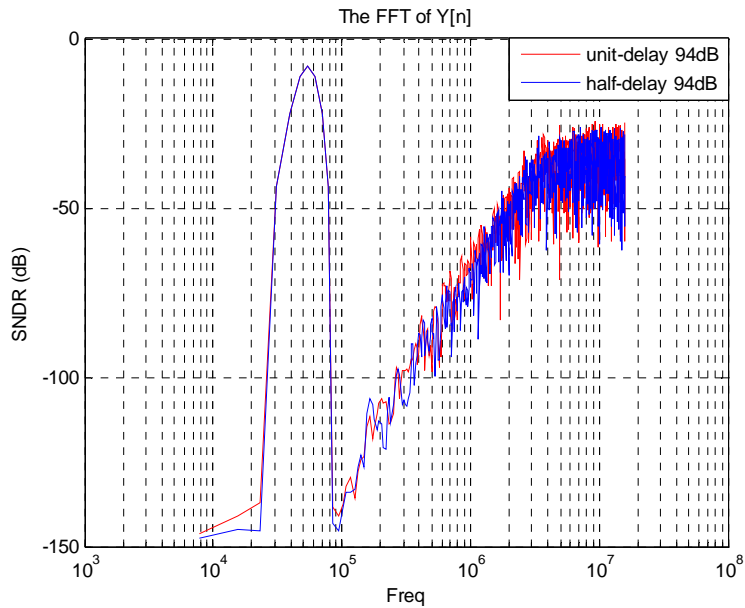


圖 4-2.1 理想的三階 unit-delay 及 half-delay CT SDM 功率頻譜

以在模擬時我們要在各級的輸出部分加入 saturation 的方塊，用以考量輸出最大振幅的限制。而加入 saturation 後的系統表現如圖 4-2.2 所示。

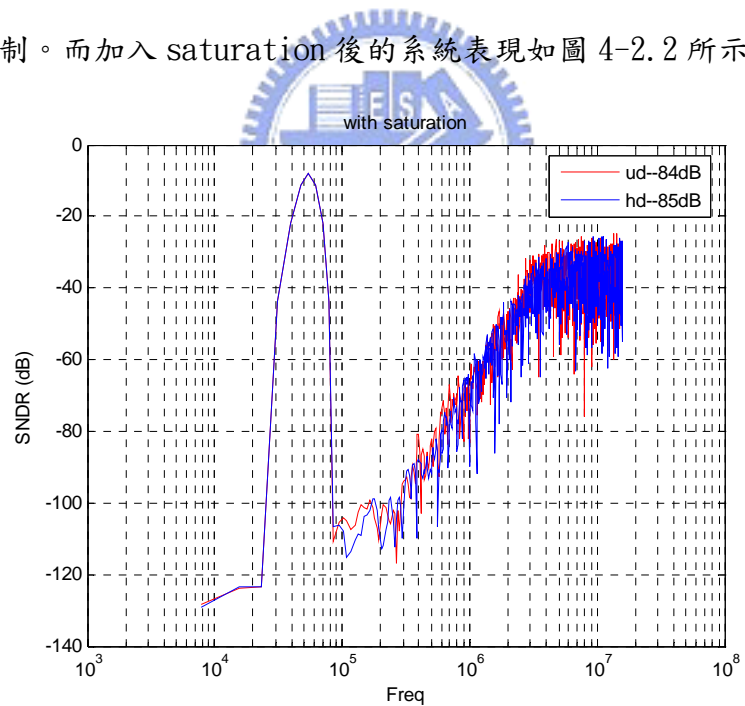


圖 4-2.2 加入 saturation 後的 unit-delay 及 half-delay 三階 CT SDM 功率頻譜

因為在二階系統的設計時，MATLAB 訂定的放大器規格與在 HSPICE 中所需要設計的放大器規格有所差異。我們由此重新思考，既然 MATLAB 是在理想的狀況下做模擬，那麼在 HSPICE 的模擬中，應該也要先從建立理想的電路出來。這樣一來，才能夠確定我們的電路接法沒有問題，這是做二階電路時所未考量的。

4-2.1 HSPICE 模擬所使用之電路架構

因此利用 HSPICE 中的 *e element* 來模擬電路中的積分器以及比較器。在比較器中因為有 S/H 的動作，所以除了使用 *e element* 外，於其輸出的部份再加了一個 D Flip-Flop。而 DFF 以及在回授路徑上所使用的 delay，以 D-latch 實現，是屬於數位電路的部份，對於整個系統而言的影響並不大，所以在這邊直接以 CMOS 來實現。另外回授的 1-bit DAC，使用 *g element* 來當為理想的開關。至於 clock 信號，以 pulse 的方式給予。而三階的電路如圖 4-2.3 所示。

透過上述的理想元件，替代了原本所設計的類比元件部份。經由模擬後，很成功的可以發現，在 half-delay 的架構中，可以得到與 MATLAB 接近的理想狀況下的 SNDR 值，如圖 4-2.4。然而在 unit-delay 的架構中，圖 4-2.5，還存在著一些差異，其低頻的部份有上揚的現象。因為在各類比元件中，都已經是使用的

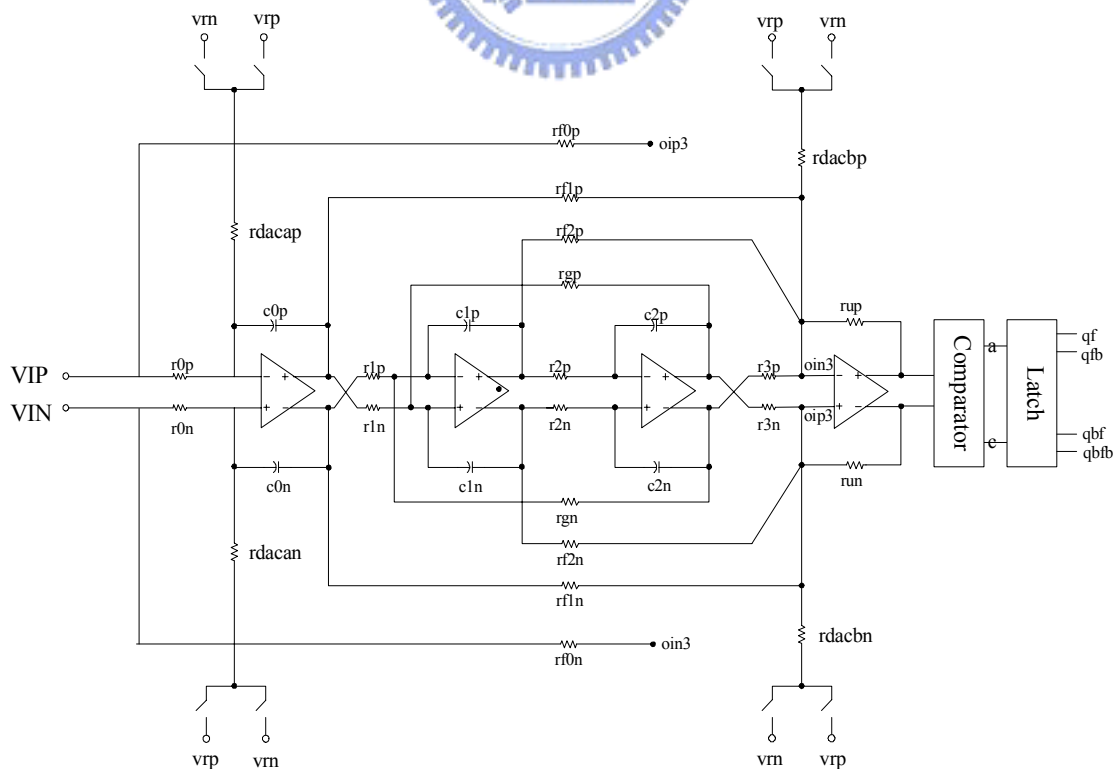


圖 4-2.3 三階 CT SDM 電路

理想的電路來實現。所以在這邊我們推斷，原因應出於 latch 的部份，相較於 half-delay，unit-delay 使用了兩個 latch，因為第二個 delay 的輸入為第一個 delay 的輸出，有可能在經由 latch 過後，資料的處理上產生了些許的時間誤差。

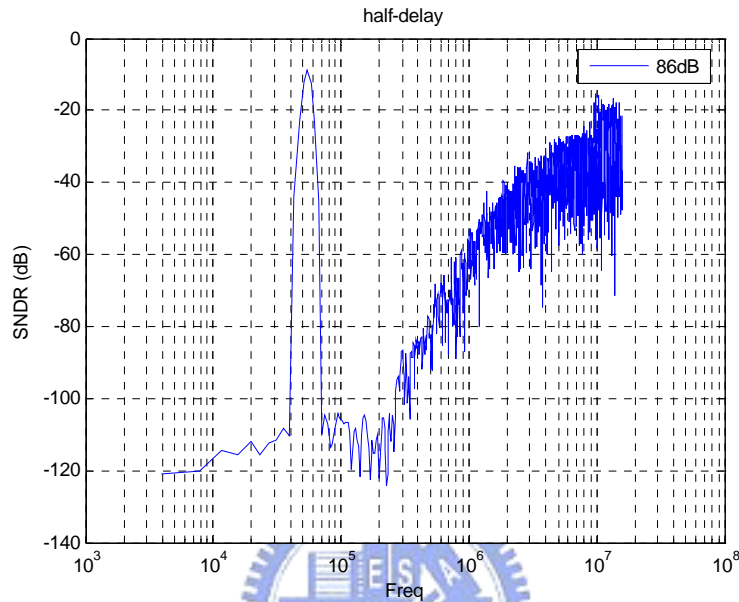


圖 4-2.4 HSPICE 在三階 half-delay 理想電路模擬

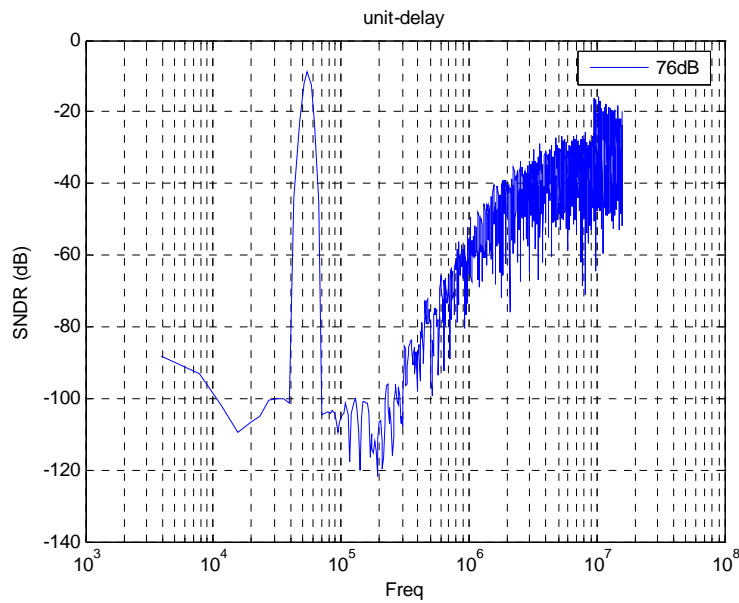


圖 4-2.5 HSPICE 在三階 unit-delay 理想電路模擬

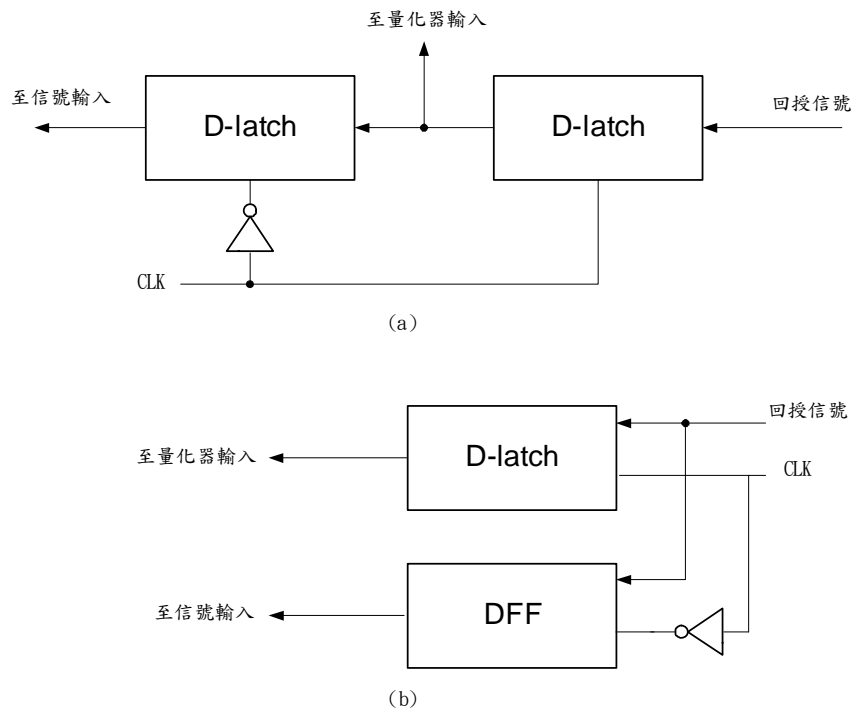


圖 4-2.6 不同的回授 delay 做法 (a)使用兩個 D-latch (b)使用一個 D-latch 及 DFF

所以在這個考量之下，試著以 DFF 來實現 unit-delay，讓回授信號同時送回兩條回授路徑，圖 4-2.6。而在經過此調整之後再次模擬 unit-delay 的架構可得如圖 4-2.7 的結果。發現低頻部份雜訊上揚的情形有所改善，也較接近了 MATLAB 上理想的值。

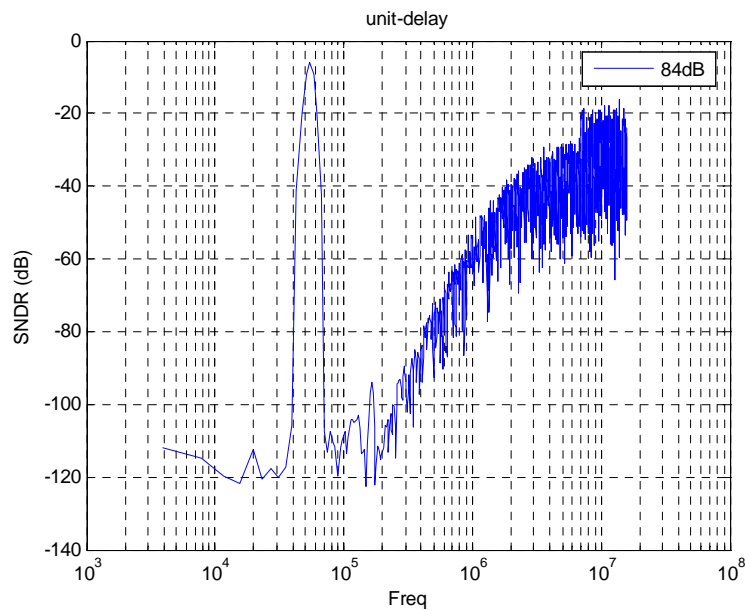


圖 4-2.7 在三階 unit-delay 理想電路中，使用圖 4-2.6(b)的方式來實現 unit-delay 的模擬

建立起了理想的電路模型後，接著我們便對於每個類比部份的元件，逐一的以實際設計的電路替換掉理想的元件。由於運算放大器為整個 CT SDM 最關鍵的部份，在實際設計放大器之前，我們再以 macro model 來模擬放大器的規格，這則釐清各項放大器的非理想效應造成 SNDR 的衰減，二則可以節省許多模擬的時間。圖 4-2.8 為根據 folded-cascoded 架構的運算放大器所建立的 macro model，在此做個說明。

輸入級以 R_{in} 及 C_{in} 來代表，因為輸入端為 MOS 的閘極， R_{in} 在理想上是無窮大，而 C_{in} 則要根據 MOS 大小來決定，主要是寄生電容的效應，所以數量級約為數十到數百 fF。 V_{os} 為 offset 電壓，我們將之假設為零來考慮。

第一級所代表的為非主極點位置， $f_{p2} = \frac{1}{2\pi \times R_p \times C_p}$ 。輸出級則決定主極

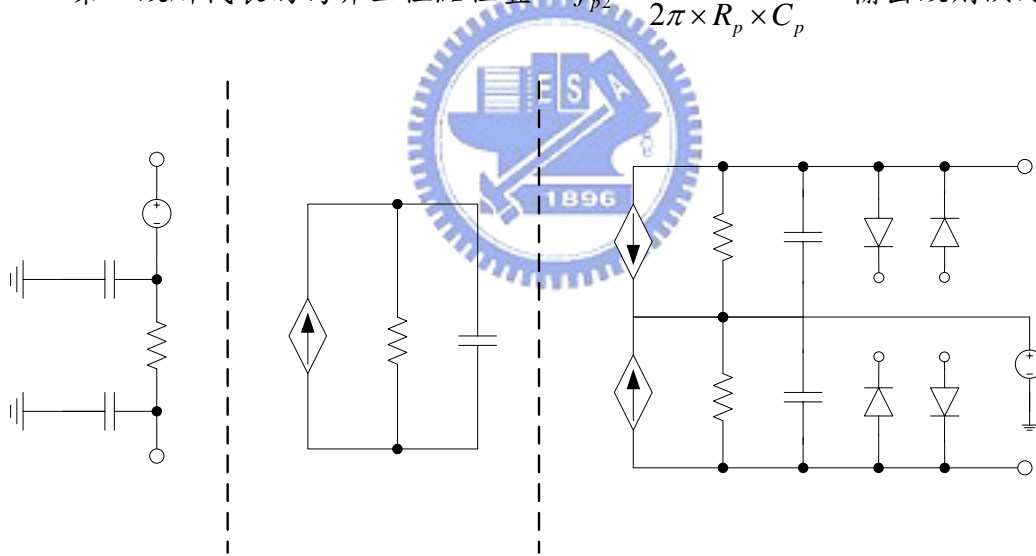


圖 4-2.8 運算放大器的 macro model

點位置 $f_p = \frac{1}{2\pi \times R_o \times C_o}$ 。而整體增益的大小則為 $A_v = G_d R_p G_o R_o$ 。另外輸出

級所使用的 diode，則用來限制輸出擺幅大小，恰可對用 MATLAB 中的 saturation。圖 4-2.9 及 4-2.10 為使用 macro model 的一個例子，分別為 AC 及暫態響應。DC gain 約為 60dB，頻寬 200MHz。

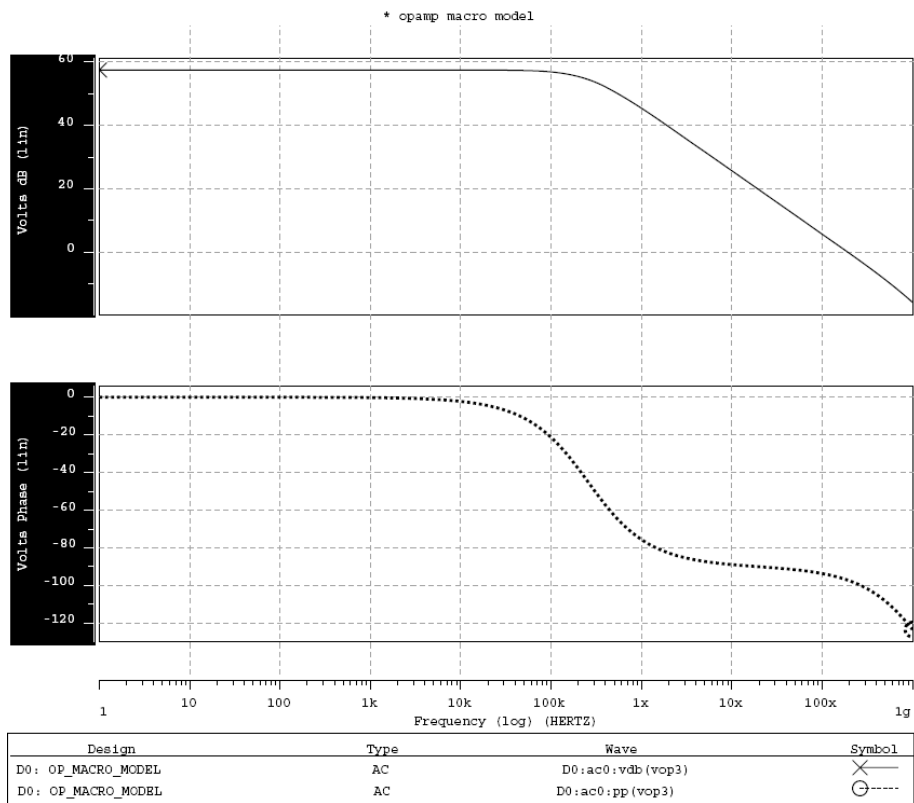


圖 4-2.9 Macro model AC 響應

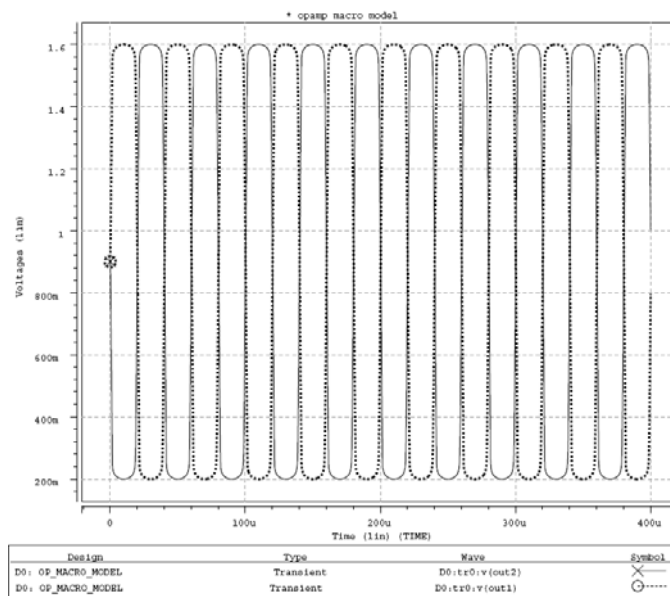


圖 4-2.10 Macro model 暫態響應，輸出擺幅限制在 0.2~1.6V

確定了 macro model 的可用性之後，將其用應用在 HSPICE 的模擬上。根據 MATLAB 所訂出的運算放大器規格，約在 50dB，三倍取樣頻率的頻寬之下(100MHz)，即可達到我們所想要的 SNDR 值。但是以此條件下經由 macro model 模擬發現，卻無法達到跟 MATLAB 所模擬一樣的 SNDR 值，如圖 4-2.11，這也證明了問題點在於運算放大器身上。

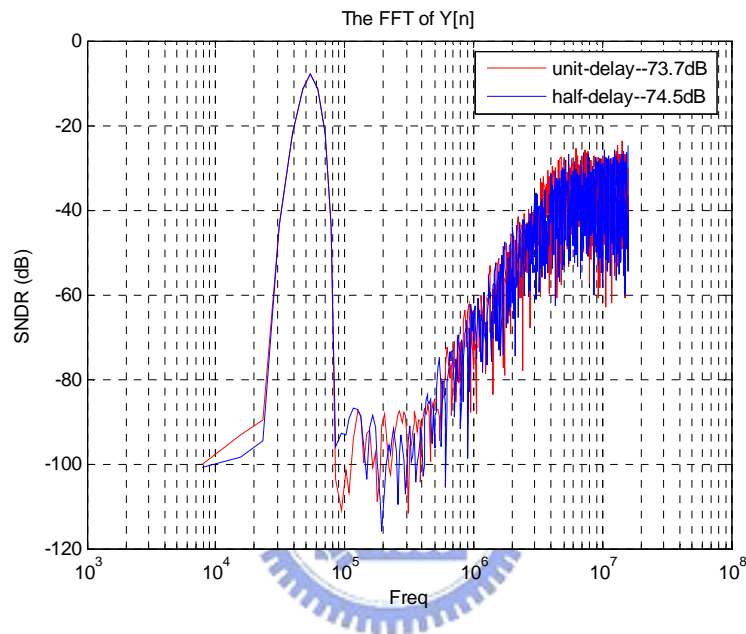


圖 4-2.11 經由 macro model 模擬之 CT SDM 電路結果

雖然在提高 macro model 所設定的 DC gain 及 bandwidth，如圖 4-2.12。以 half-delay 為例，雖然可以達到預期中的 SNDR 值，如圖 4-2.13。但這也與 MATLAB 模擬出來所需要的放大器規格差異頗大。而且主要的差異在於增益的部份，需要達到 70dB 的需求

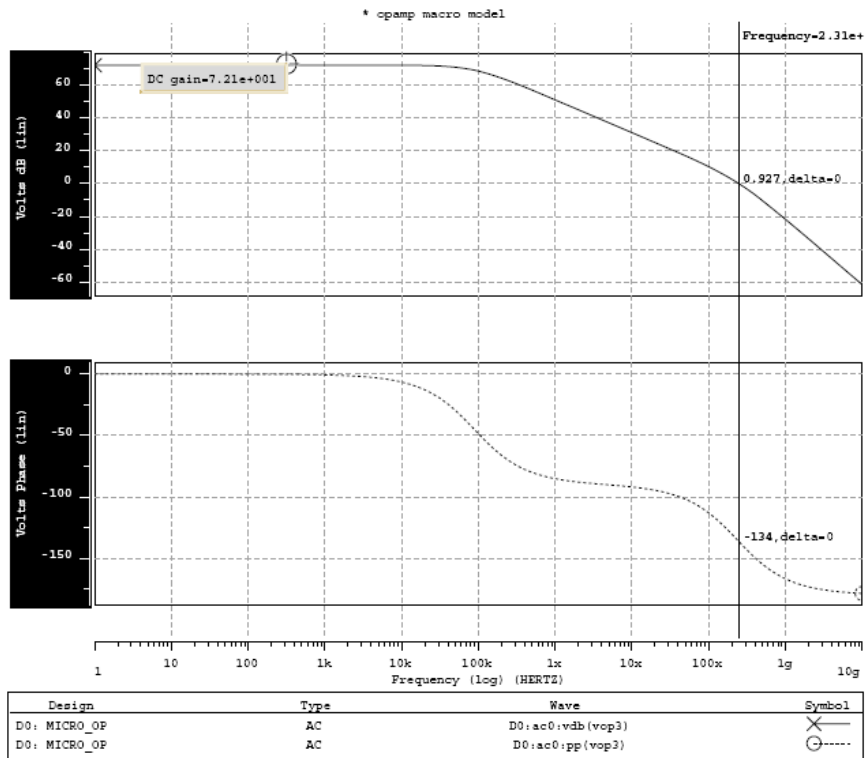


圖 4-2.12 Macro model AC 響應，DC gain=72.1dB，UGBW=230MHz

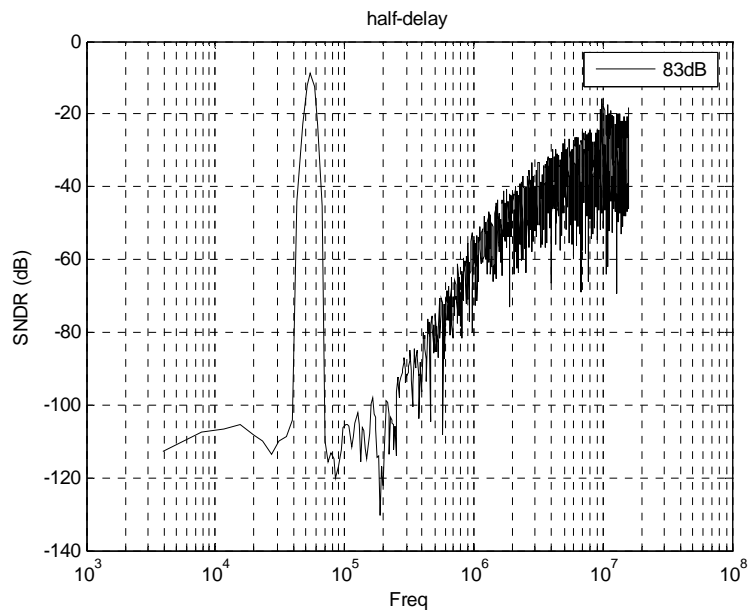


圖 4-2.13 用圖 4-2.12 的 macro op-amp 規格，所得到的三階 half-delay modulator 模擬結果

最後可發現，無論是二階或三階的電路，圖 4-1.7 及圖 4-2.3，主要原因在於我們每一級都是使用 active RC 積分器，所以在 folded-cascoded 看到的輸出存在著一個淨電阻值，恰巧與輸出電阻並聯，因此會大為減低放大器的增益。也因此我們在上述的 macro model 中，必須要設計到運算放大器的增益到 70 dB 左右才可以符合要求。但因為輸出負載電阻的關係，實際上的增益約只有 50 dB 左右。

考慮到這點，我們使用‘Two-stage OP-amplifier，圖 4-2.14，來取代 folded-cascoded 架構。優點在於可以在低功率的消耗之下，亦能夠達到所需要的增益以及頻寬。而且輸入範圍以及輸出擺幅幾乎可以達到 rail-to-rail。所以實際的考量及模擬之後，two-stage 的運算放大器在我們的電路中是較好的選擇。

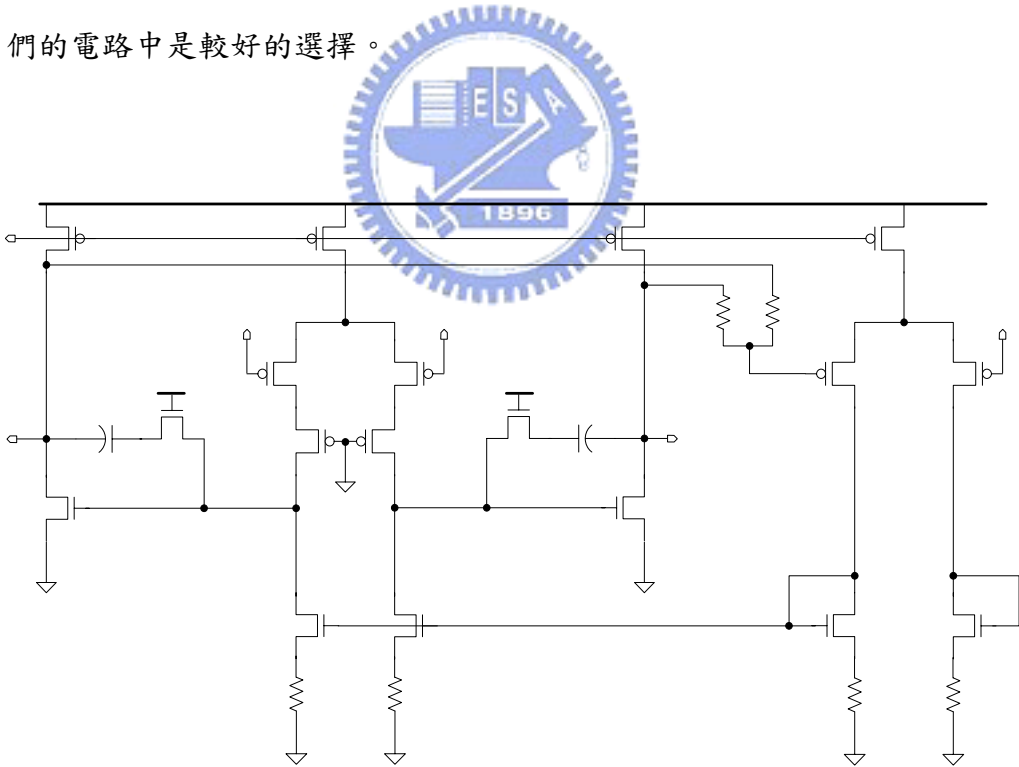


圖 4-2.14 Two-stage 運算放大器電路

表 4-2.3 列出設計的放大器規格，在頻寬的部份參考圖 4-2.17，為了要能夠符合 unit-delay 及 half-delay 兩種架構的需求，我們選擇大概在 f_s 左右的頻寬。

DC gain	53.8 dB
Common mode rejection	-10 dB
Unit-gain bandwidth	92.84MHz
Phase margin	50°
Input range	0.1~1.7V
Output swing	0.2~1.6V
Power dissipation	549uA @ 1.8V

表 4-2.3 用在三階 $\Sigma \Delta$ modulator 的運算放大器規格

而最後所實現的三階 CT SDM 的模擬結果如圖 4-2.15，包含了由 two-stage RC integrator，comparator，clock_generator，1-bit DAC (switch)，resistor summing circuit(電容式的加法電路於下一節中討論)。圖 4-2.16~19 為 MATLAB 與 HSPICE 在 unit-delay 以及 half-delay 架構中輸出的結果對照。

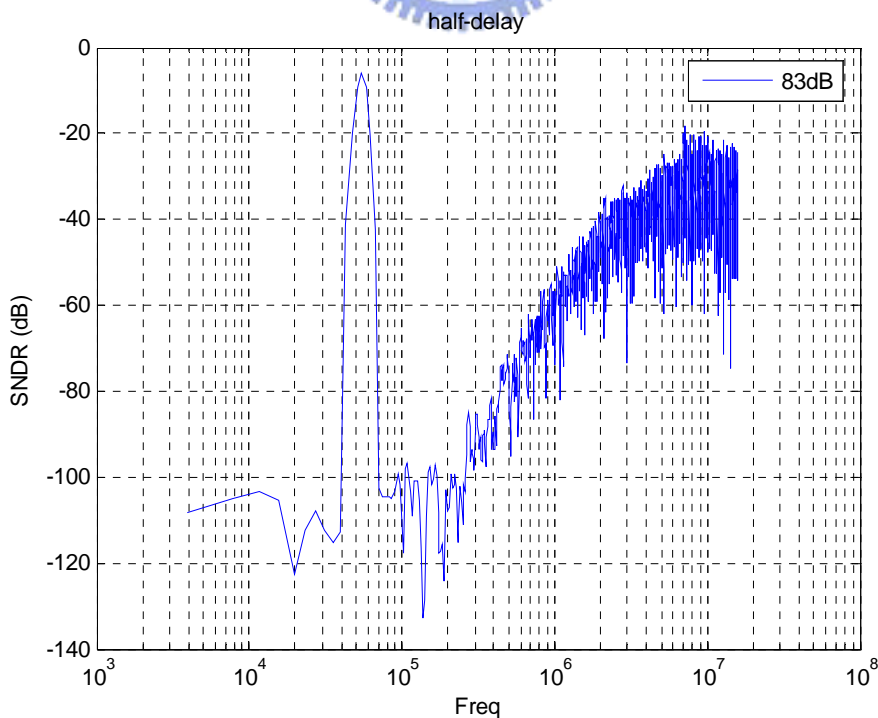


圖 4-2.15 三階 CT SDM 實際電路模擬結果

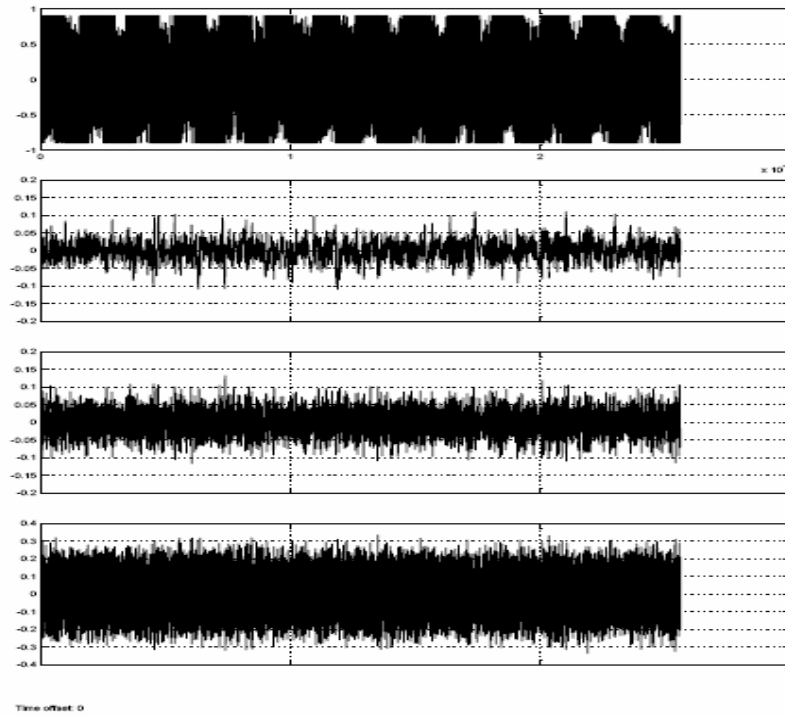


圖 4-2.16 由上而下依序為 MATLAB 中三階 unit-delay $\Sigma \Delta$ modulator 的加法輸出、第三級、第二級以及第一級輸出

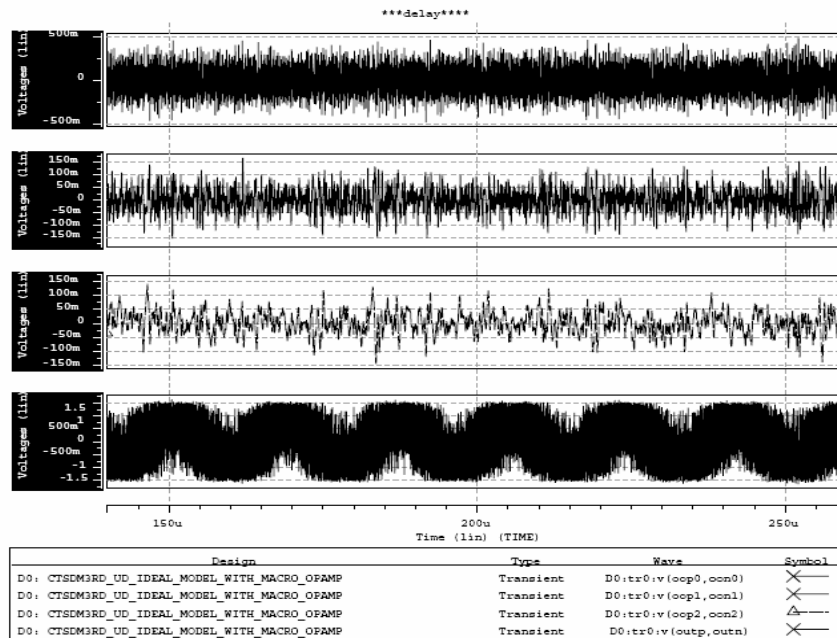


圖 4-2.17 由上而下依序為 HSPICE 中三階 unit-delay $\Sigma \Delta$ modulator 第一級、第二級、第三級以及加法輸出

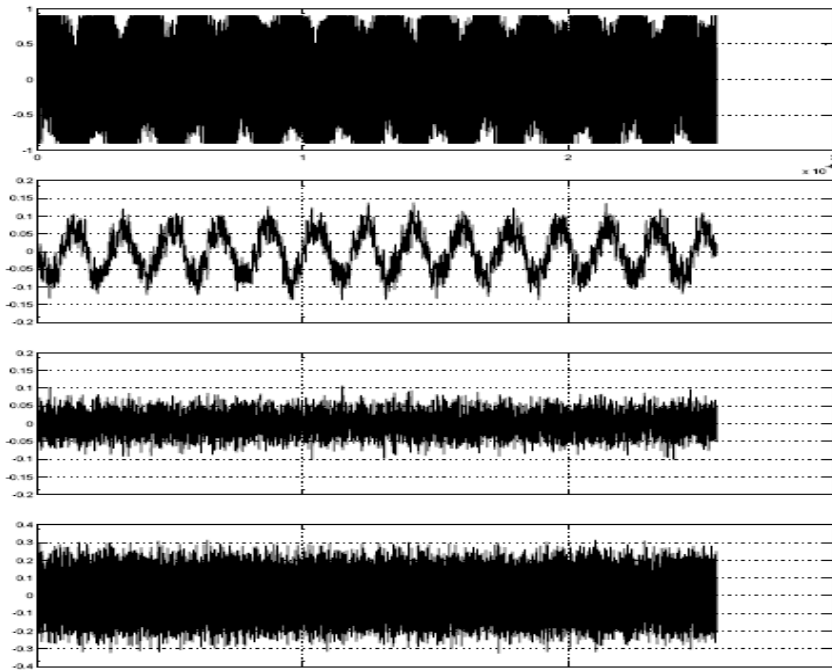


圖 4-2.18 由上而下依序為 MATLAB 中三階 half-delay $\Sigma \Delta$ modulator 的加法輸出、第三級、第二級以及第一級輸出

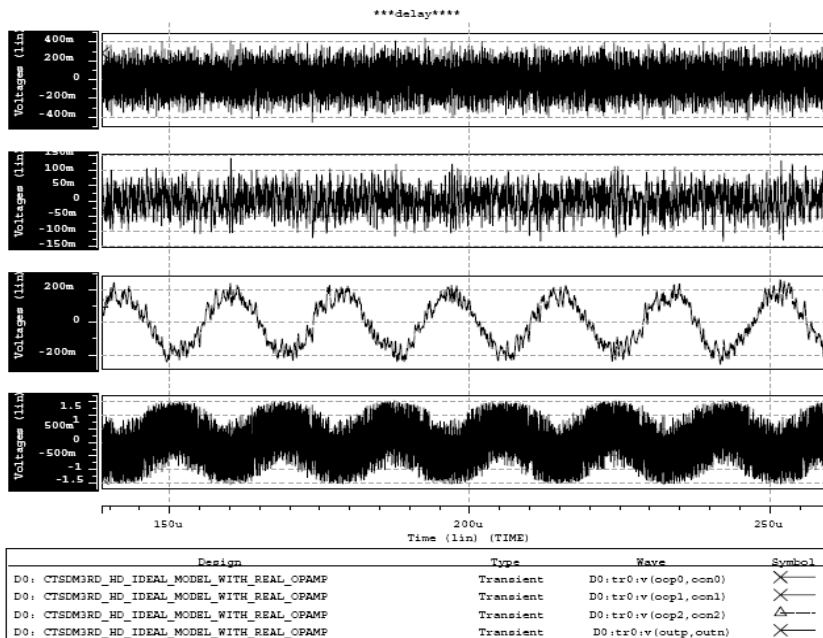


圖 4-2.19 由上而下依序為 HSPICE 中三階 half-delay $\Sigma \Delta$ modulator 第一級、第二級、第三級以及加法輸出

4-2.2 非理想效應(Non-Idealities)

在這邊所做的模擬都是對於 unit-delay 以及 half-delay 的比較對照。

(1) 考慮頻寬的大小對 SNDR 值的影響

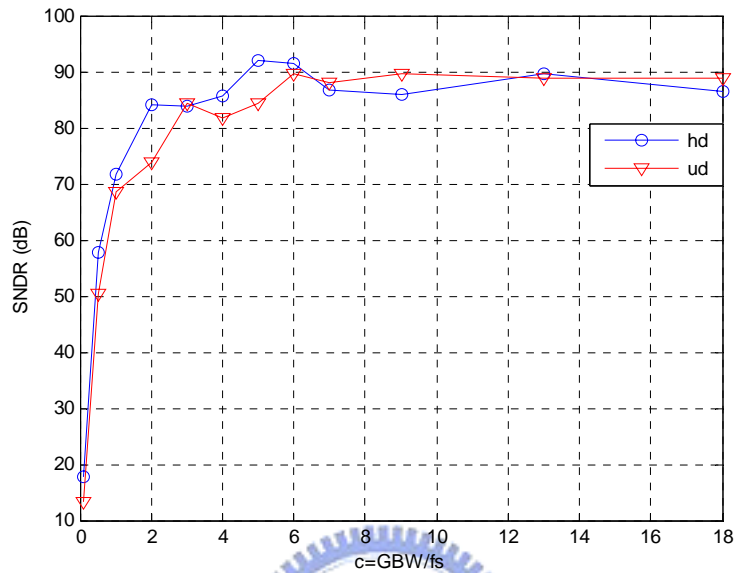


圖 4-2.20 三階 unit-delay 及 half-dleay $\Sigma \Delta$ modulator 頻寬的影響

兩者之間的差異並不是很明顯，但是 half-delay 所需要的最小頻寬仍然是比 unit-delay 來的低。

(2) 加入 jitter 效應後的影響

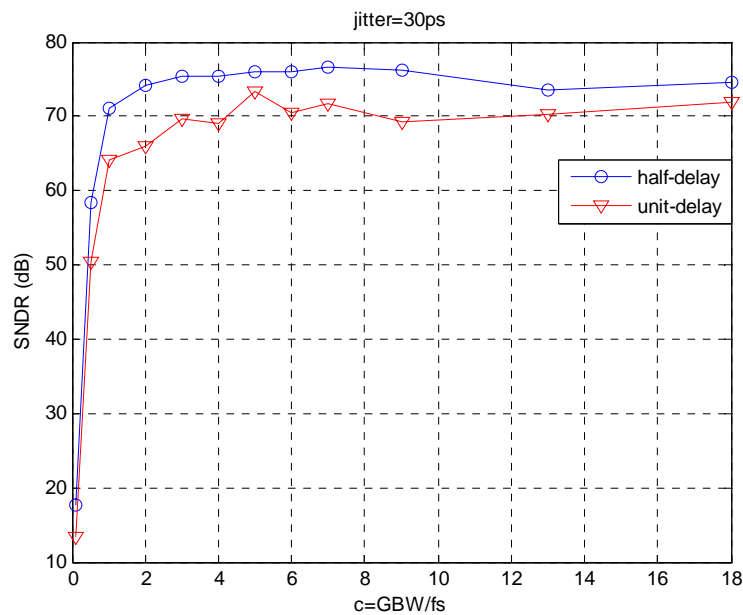


圖 4-2.21 加入 30ps jitter 後，三階 unit-delay 及 half-dleay $\Sigma \Delta$ modulator 頻寬的影響

在加入 30ps 的 jitter 後，約為取樣頻率的 0.1%，SNDR 的最大值變為受到 jitter 所限制，從圖 4-2.21 可以看出 half-delay 對於 jitter 的容忍量相較於 unit-delay 是較高的。

(3) SATURATION 對於三階系統的影響如下

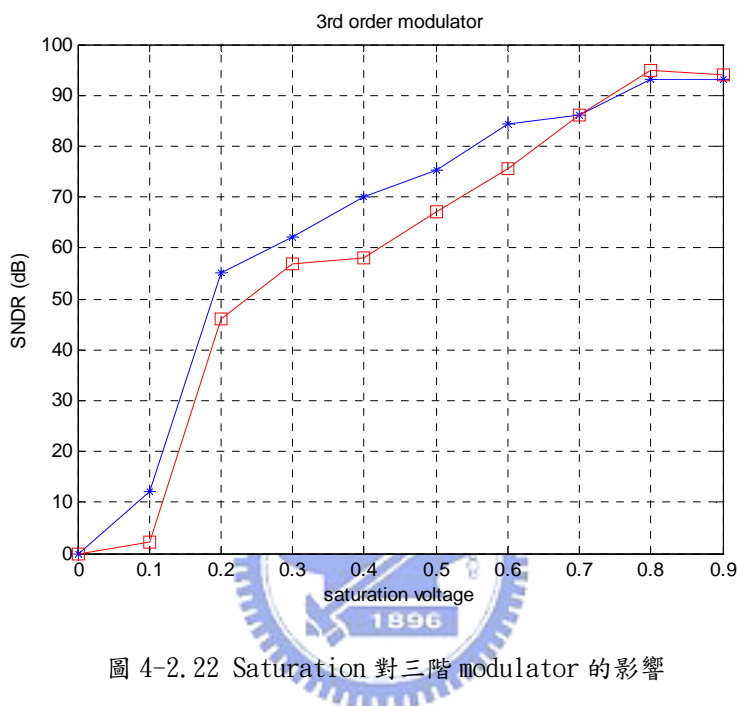


圖 4-2.22 Saturation 對三階 modulator 的影響

如同 3-2.4 節中對輸出振幅限制所做的討論，在高階的系統更容易受到輸出電壓限制的影響。在比較 unit-delay 以及 half-delay 的輸出時，亦可以發現 unit-delay 的各級輸出都較 half-delay 要大些。所以當 saturation 限制電壓下降時，unit-delay 的 SNDR 值受到的影響較 half-delay 來的大。如上圖所示，我們也可以推得在設計 unit-delay 所需要的運算放大器時，其輸出擺幅要設計得比給 half-delay 架構使用的要來得大。

(4) 時間常數變動 (Time-Constant Variation)

圖 4-2.23 顯示 RC variation 對 SNDR 所造成的影響，在往正端偏移時，unit-delay 及 half-delay 所表現的結果差不多相同。不過一但 variation 是往負端偏移，在超過 -20% 後 unit-delay SNDR 值的下滑的很快。而

half-delay 大約在-30%後才受到 variation 嚴重的影響。而根據此模擬結果，在設計 unit-delay 及 half-delay 的 CT SDM 時，選擇的 RC time-constant 可以刻意做個偏移。如 half-delay 我們可以設計約在 $0.9 f_s$ 處，這樣在 $\pm 20\%$ 的偏移都可以維持在 80dB 以上的 SNDR 值。

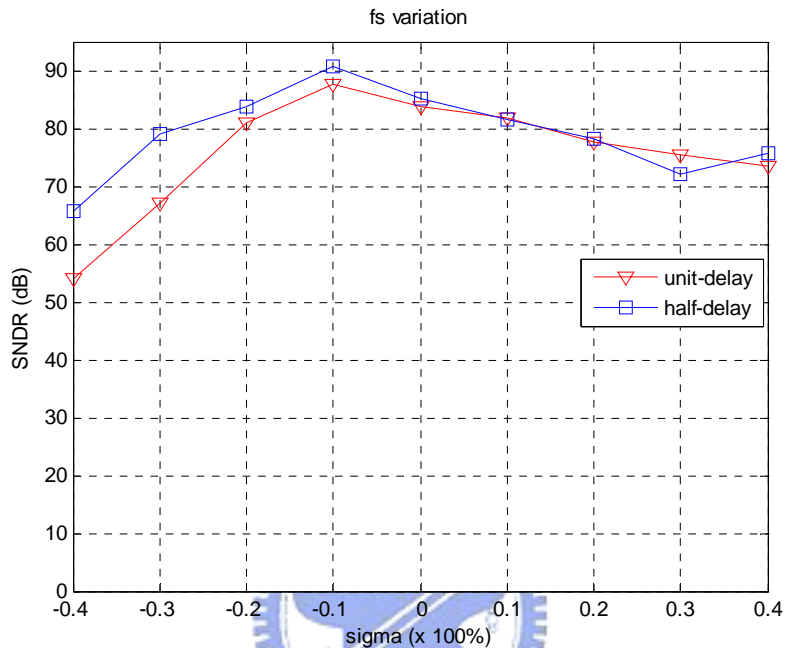


圖 4-2.23 RC-時間常數變動對三階 modulator 的影響

4-2.3 係數的變動(Coefficient Variation)

這邊所考慮的係數 variation 包函 feed-forward、feed-back 路徑，積分器係數，以 MATLAB 產生亂數的方式先模擬後，再將同樣的亂數代入 HSPICE 中模擬，在此只僅僅對係數 variation 對系統造成的影響考慮，所以模擬的過程中都是利用理想的電路。

以高斯分佈產生 $\pm 30\%$ 的亂數，得到圖 4-2.24 與 4-2.25 得模擬結果，分別代表 unit-delay 以及 half-delay 在 MATLAB 中係數變動的情形。而在這十筆的模擬中，unit-delay 中有機會出現讓系統不穩定的係數組。

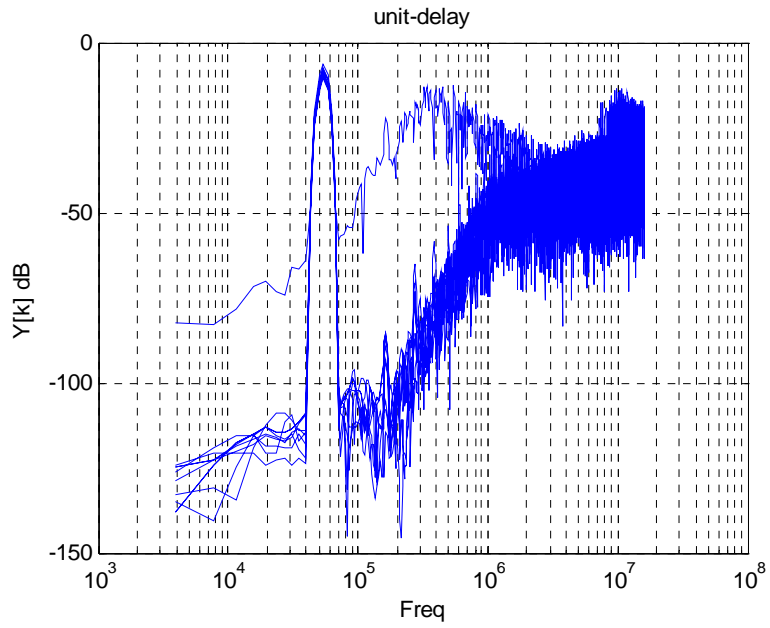


圖 4-2.24 三階 unit-delay modulator 係數偏移在 MATLAB 中的模擬

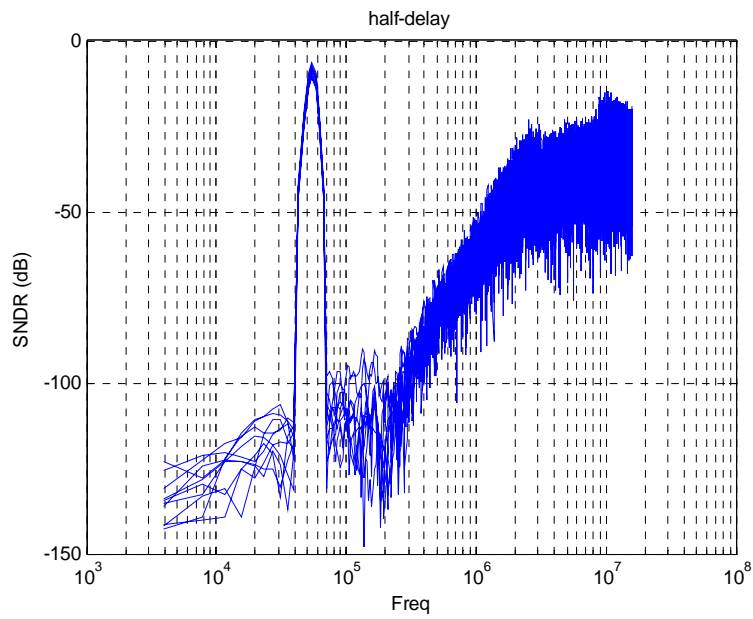


圖 4-2.25 三階 half-delay modulator 係數偏移在 MATLAB 中的模擬

圖 4-2.26 與 4-2.27 則為以相同的亂數在 HSPICE 中的模擬結果，相較於 MATLAB，有兩組係數使得 unit-delay 的系統趨於不穩定。

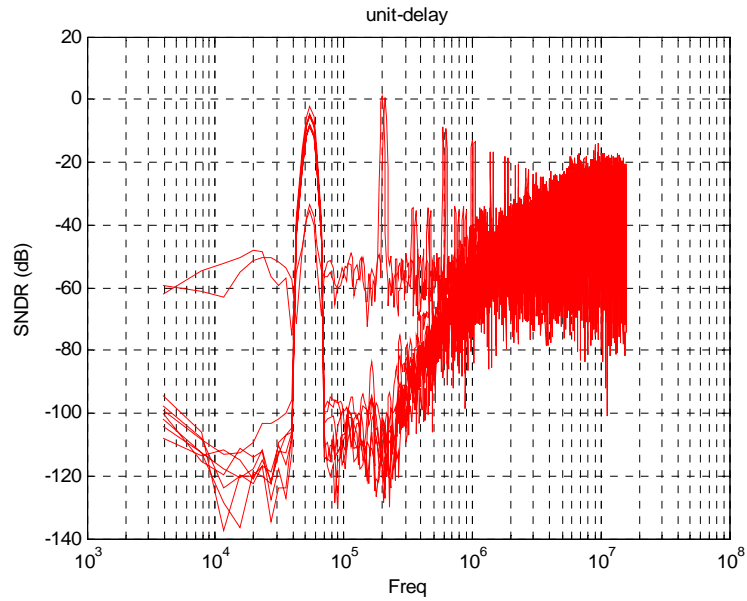


圖 4-2.26 三階 unit-delay modulator 係數偏移在 HSAPICE 中的模擬

83.4	X	86	X	81.4	87.7	79.4	78.5	80.1	83
------	---	----	---	------	------	------	------	------	----

(單位 dB)

表 4-2.4 三階 unit-delay modulator 模擬係數變動所得之 SNDR 值，

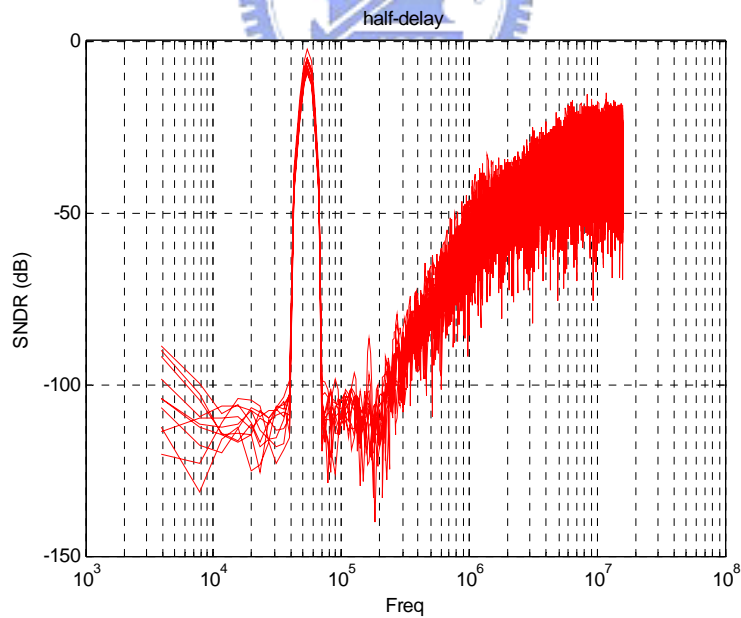


圖 4-2.27 三階 half-delay modulator 係數偏移在 HSAPICE 中的模擬

84	83.4	82.7	83.9	82.2	78	82.4	80.2	86.4	82.5
----	------	------	------	------	----	------	------	------	------

(單位 dB)

U 表 4-2.5 三階 half-delay modulator 模擬係數變動所得之 SNDR 值

4-2.4 R, C 不匹配的效應(Mismatch)

除了係數可能產生variation之外，另外因為電路是以fully-differential來實現的，所以R、C的mismatch也成為需要考量的一部份。

然而在MATLAB的模擬中所建立的simulink模型，相對於電路是在單端上的模擬。這部份在參考的文獻中，並沒有特別的去探討，大多是在電路實作後，再以Monte Carlo的方式在 HSPICE中模擬來考慮其影響。而我們在經由 HSPICE 模擬可以發現，R、C mismatch在第一級積分器中所造成的影響是最大的。因此我們希望能夠事先在 MATLAB中就能夠考慮到 mismatch 所造成的影響，且這樣也可節省許多的模擬時間。在此先列出由 HSPICE模擬所得到的結果，再討論我們在 MATLAB上來模擬 mismatch的方法。

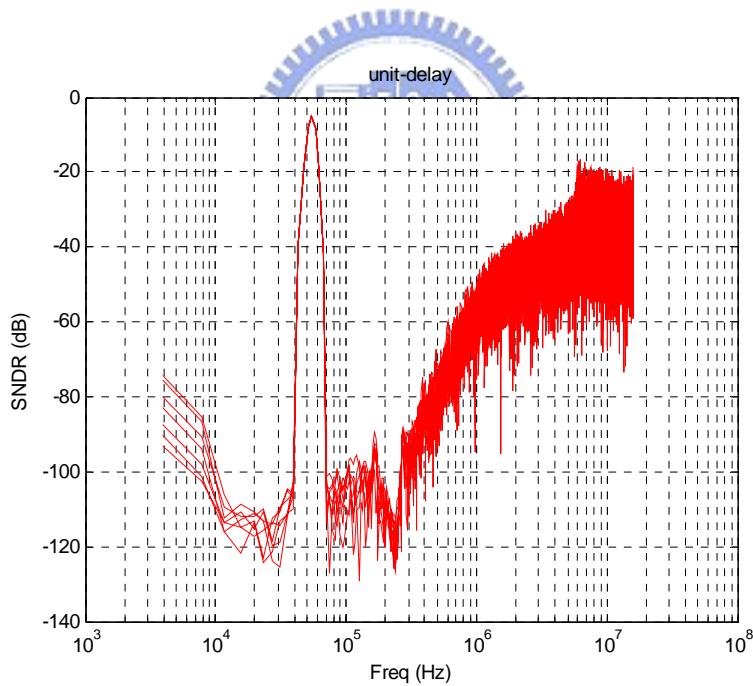


圖4-2.28 HSPICE 三階 unit-delay modulator在第一級 R 1%、C 0.2% 的mismatch 所造成的影響

75	80.8	67.4	81.2	68.4	79.1	72.3	63.8	65.5	77.7
----	------	------	------	------	------	------	------	------	------

(單位 dB)

表 4-2.6 圖 4-2.28 的模擬結果

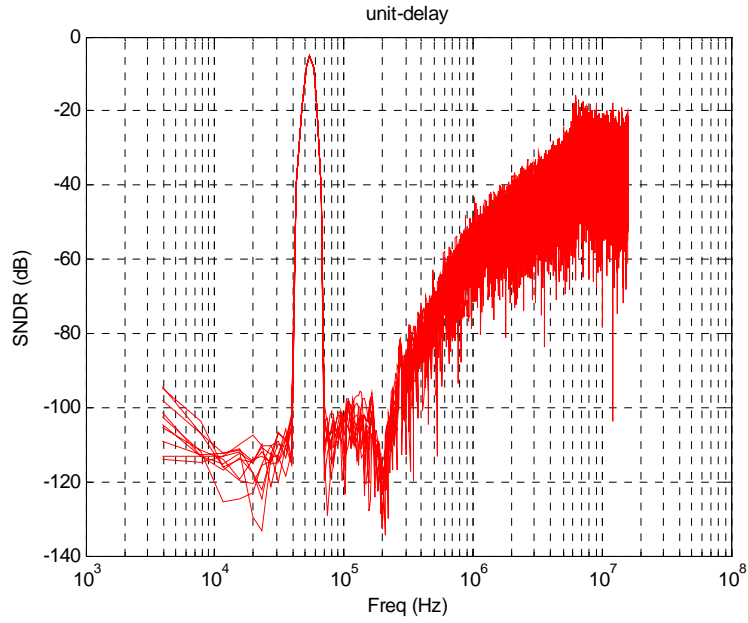


圖4-2.29 HSPICE 三階unit-delay modulator在係數上R 1% , C 0.2% 的mismatch 所造成的影響(除了第一級積分器的R, C值)

75	80.8	86	81.2	81.4	79.1	79.4	78.5	80.1	87.7
----	------	----	------	------	------	------	------	------	------

(單位 dB)

表 4-2.7 圖 4-2.29 的模擬結果

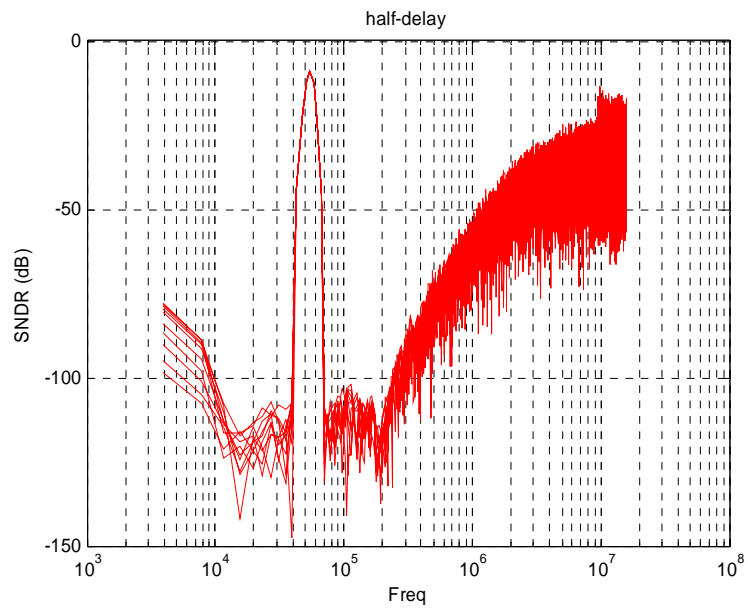


圖4-2.30 HSPICE 三階 half-delay modulator在第一級 R 1% , C 0.2% 的mismatch 所造成的影響

75.3	82.9	68.4	67.2	67.8	66.7	72.8	80.9	69.4	78.3
------	------	------	------	------	------	------	------	------	------

(單位 dB)

表 4-2.8 圖 4-2.30 的模擬結果

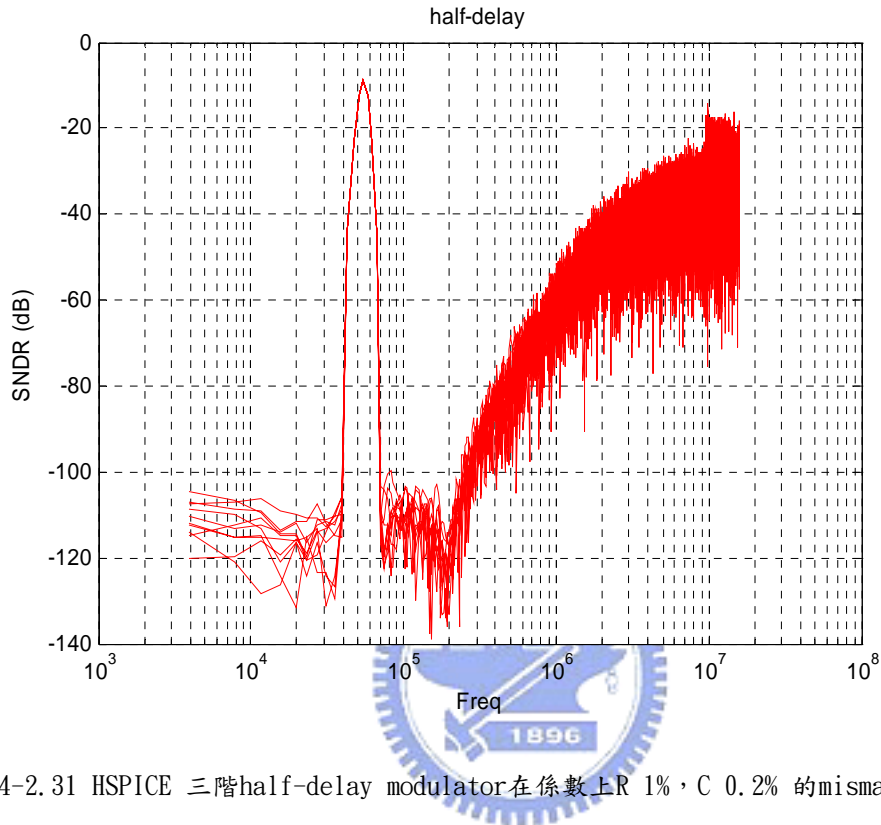


圖4-2.31 HSPICE 三階half-delay modulator在係數上R 1%、C 0.2% 的mismatch 所造成的影響(除了第一級積分器的R, C值)

82.8	83	83.6	85.9	84.5	84.3	82.7	84.1	83.8	84
------	----	------	------	------	------	------	------	------	----

(單位 dB)

表 4-2.9 圖 4-2.31 的模擬結果

在 MATLAB 上考慮 mismatch 的模擬方式，我們使用兩種不同的方式來做參考。因為在經由 HSPICE 的結果可以得知，主要的 mismatch 考量是第一級的影響，所以其實關於其他級的係數變動大致是可以忽略的。

第一種方式由圖 4-2.32 所示，除了原本的 simulink block 外，再加一

組相同的如圓圈所標記的部份。給予相同的輸入信號，當之間沒有差異性時，兩者每一點輸出資料會是相同的，也因此沒有誤差量的產生，會得到相

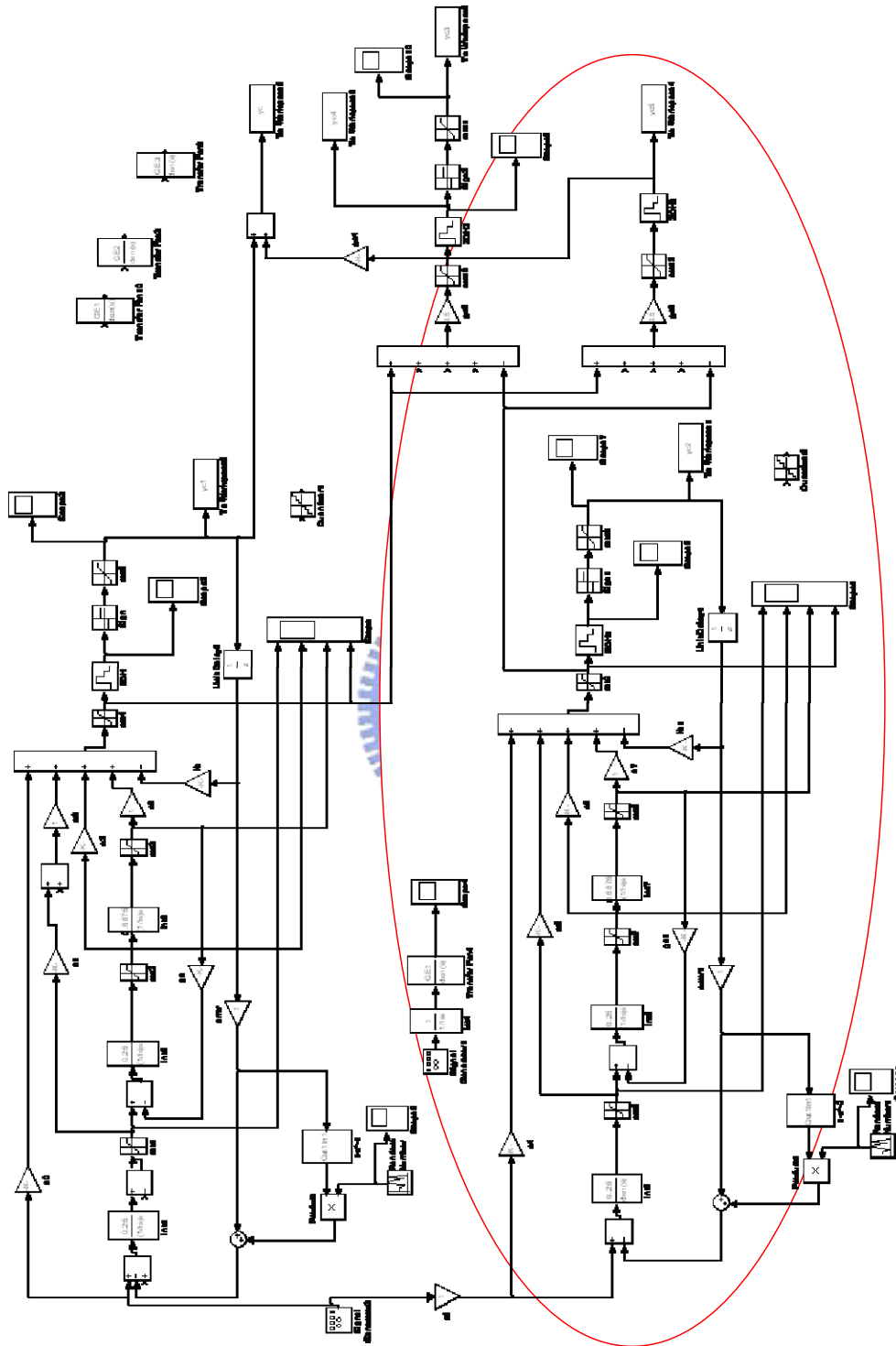


圖4-2.32 考慮 mismatch 的問題在 MATLAB 所建立的simulink model

同的SNDR值。做法為視我們要對那一條路徑上的mismatch做考量，在其係數的方塊中加入變化量，這便會使的最後的資料輸出有所差別。最後再將這筆誤差量的平均值算進原本modulator的輸出。便可模擬出mismatch對系統造

成的影響，圖4-2.33。

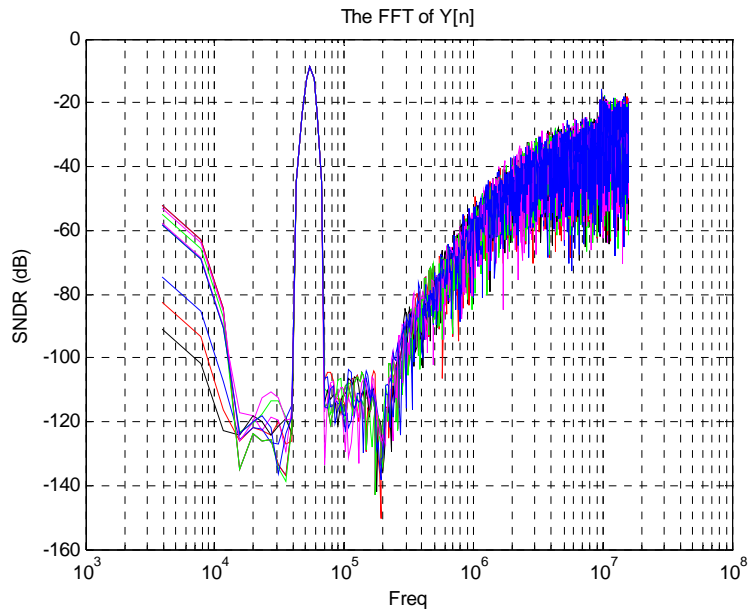


圖4-2.33 由圖4-2.32建立的模型，所模擬出來的 R,C mismatch 造成的SNDR值影響

而另一種方式則是 HSPICE 模擬的結果，將造成的 SNDR 值衰減數據統計，將之以方程式來近似後，如圖 4-2.34 與 4-2.35，再把其誤差量加進 MATLAB 的模擬結果中

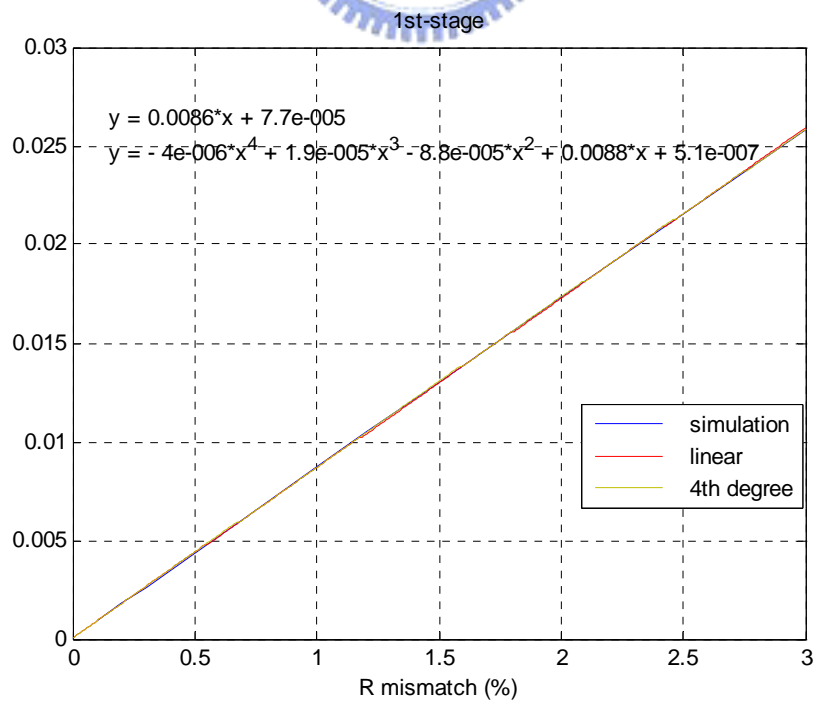


圖4-2.34 由HSPICE模擬統計第一級R,C mismatch造成的影響及近似方程式

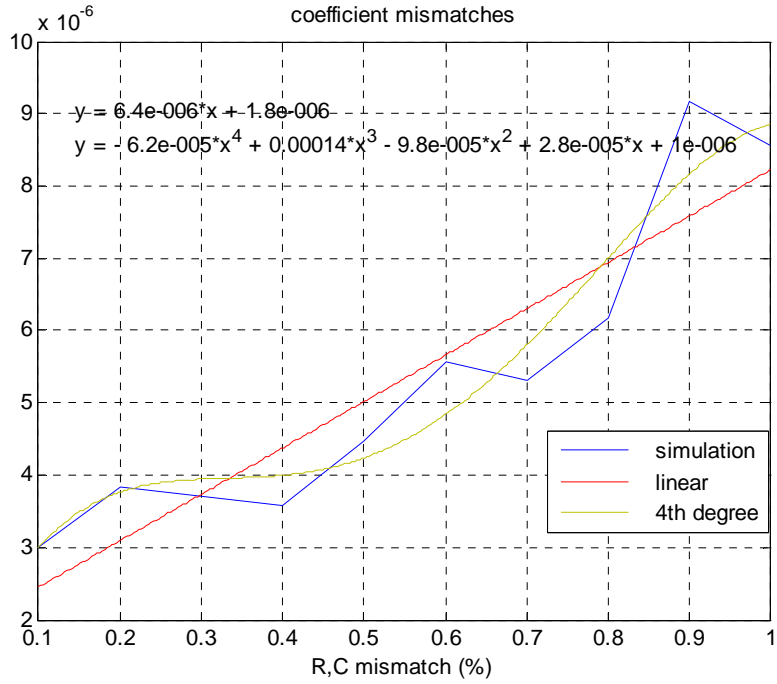


圖4-2.35 由HSPICE模擬統計其他係數的R,C mismatch造成的影響及近似方程式

經由模擬後可得到如下圖的結果。而在對應HSPICE模擬所得的結果，雖然不是完全的準確，但是在做電路之前，可以此方式在MATLAB上先得到參考的結果。

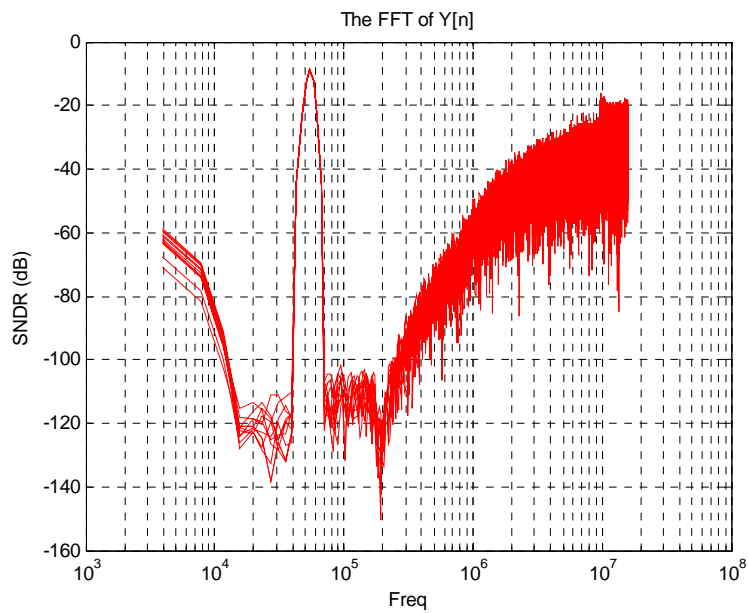


圖4-2.36 由近似方程式來模擬mismatch影響的結果

4-2.5 二階與三階系統的總結

(1) 頻寬上的需求在 CT $\Sigma \Delta$ modulators 中，相較於 DT $\Sigma \Delta$ modulators 都有很大的改善，且可看出在 jitter 的容忍度上，二階與三階的系統都是以 half-delay 架構比 unit-delay 上來得好。

(2) 由於階數的提高，隨之會造成輸出振幅的上升，所以在係數的調整上於高階系統也變的比較重要。而在觀察 half-delay 輸出振幅時，發現其都較 unit-delay 要來的低些。雖然在二階系統上的差異不大，但三階系統中對於輸出擺幅的需求就可以明顯的看出。而從另外一個觀點來看，現在的製程一直朝著低電壓前進，也就是所能提供的電壓源大小也越來越低，由於要達到一定的 SNDR 也需要一定的輸出擺幅，根據這種趨勢來看，在為了要達到更高解析度下而選擇高階系統的實現方式時，輸出擺幅是需要被考慮的。



(3) 由 mismatch 所造成的影響，兩者相較之下差異不大。但是因為二階系統本身沒有穩定性上的問題，所以對於 R, C 變動上的容忍度較高，不會像三階系統有可能使得整個 modulator 不穩定。

在這邊所需要注意的是，本篇論文 modulators 的設計中，為了要摒除非理想效應中，回授 DAC 線性度的因素，因此使用 1.5bit(二階)及 1bit(三階)的量化器。而在上述關於輸出擺幅的問題，若使用 multi-bit 的量化器後亦可獲得改善，不過相對要付出的，除了功率的增加外，為了要使 DAC 維持在比整個系統要求還要高的線性度，可能需要額外的 trimming 電路，也使在設計上的難度增加。

4-3 加法電路上的比較

對應圖 4-2.3 的加法電路由電阻實現，圖 4-2.4 的加法是以電容的方式。這在 3-3 節中有談論到，在此我們單就 half-delay 的架構來比較。

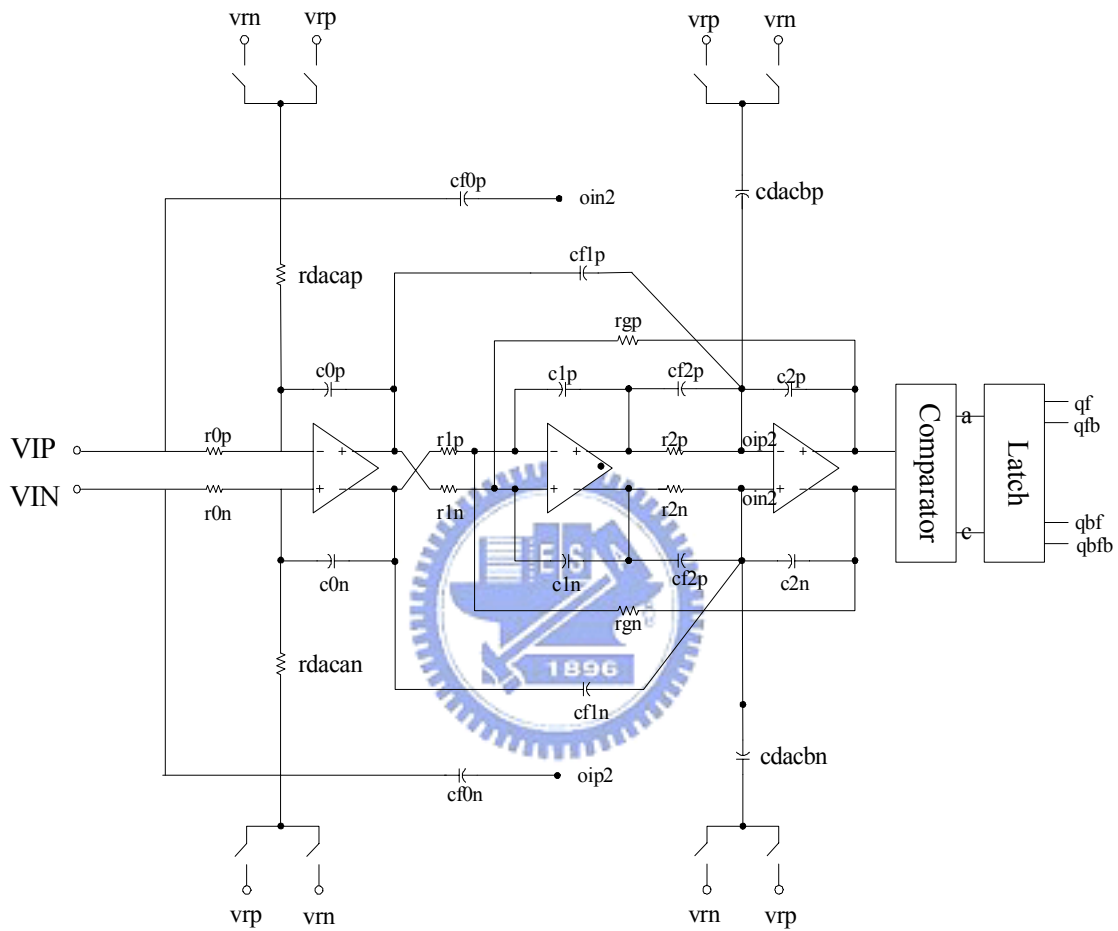


圖4-3.1 由電容加法來實現的三階CT SDM

而電阻式與電容式這兩者的差異我們直接以模擬的結果來觀看。

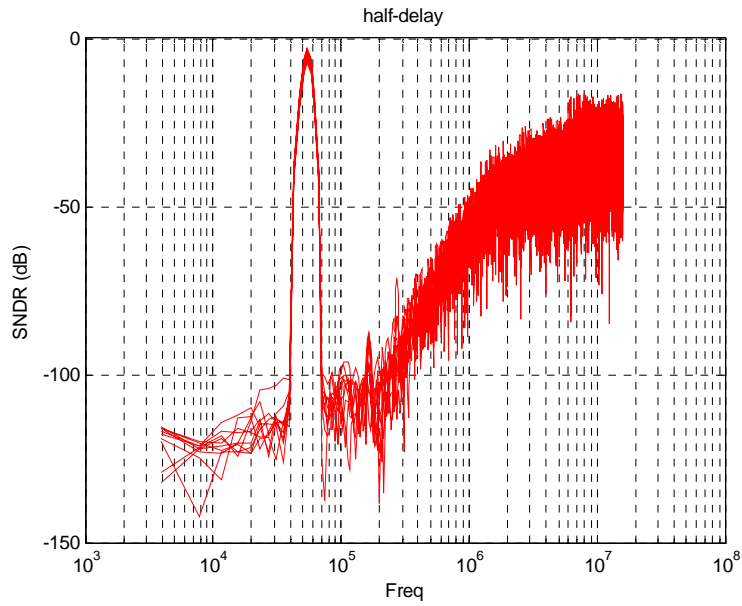


圖 4-3.2 Half-delay 使用電容加法電路在係數的變動下模擬結果

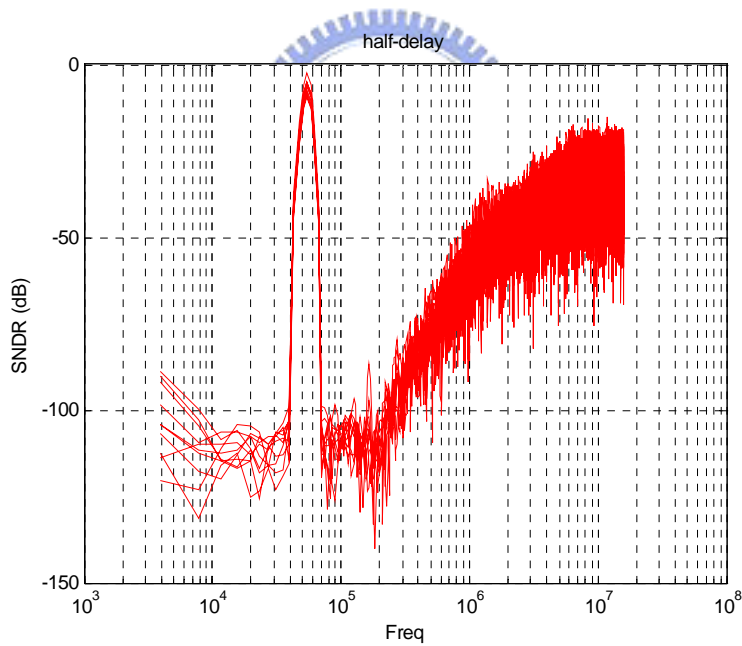


圖 4-3.3 Half-delay 使用電阻加法電路在係數的變動下模擬結果

上面兩張圖是由相同的亂數模擬得到的結果。可以看出用電阻的加法電路在係數產生 variation 時，會造成低頻部份雜訊的上揚。而在模擬 R, C mismatch 的部份時，因為主要的低頻雜訊是由第一級 R, C 的 mismatch 所產生，所以兩者的差別並不大。

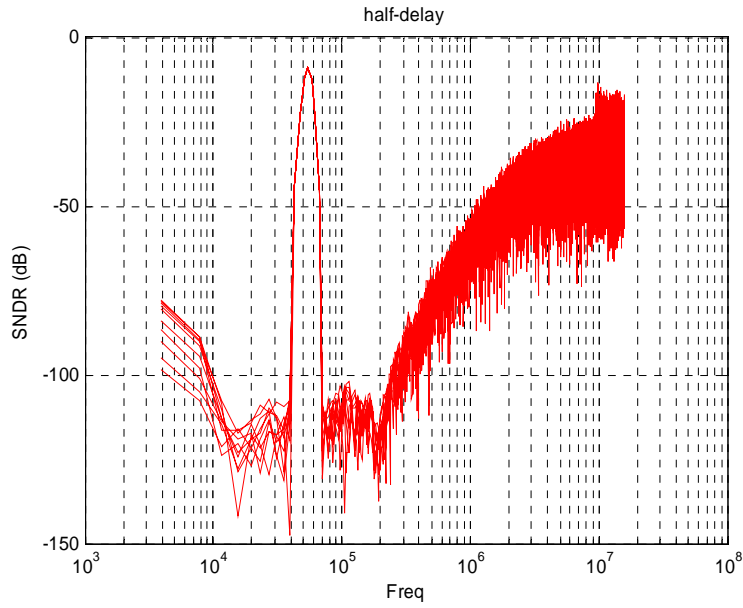


圖 4-3.4 Half-delay 使用電容加法電路在 R, C mismatch 下的模擬結果

75.3	82.9	68.4	67.2	67.8	66.7	72.8	80.9	69.4	78.3
------	------	------	------	------	------	------	------	------	------

表 4-3.1 圖 4-3.4 的模擬結果

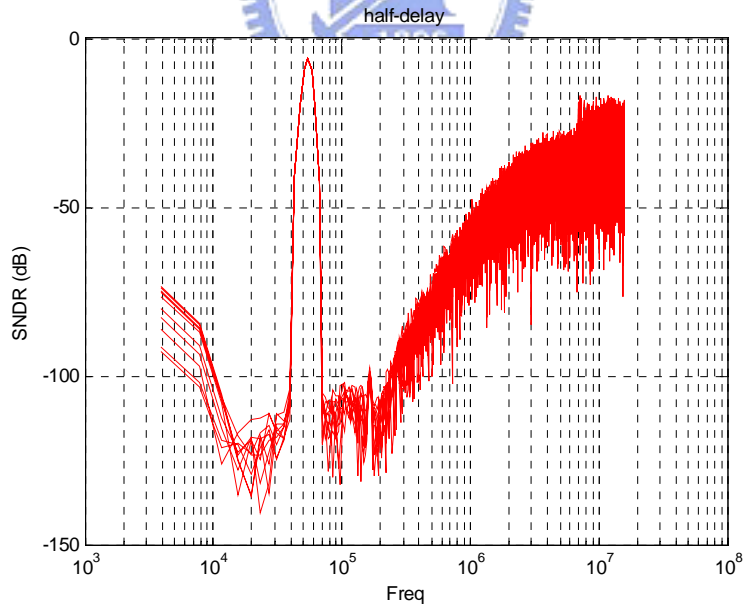


圖 4-3.5 Half-delay 使用電阻加法電路在 R, C mismatch 下的模擬結果

74.5	82.5	67.3	66	67	65.7	71.9	81.2	68.3	77.9
------	------	------	----	----	------	------	------	------	------

表 4-3.2 圖 4-3.5 的模擬結果

另外一項的差別在於功率的消耗，雖然使用電容式的加法造成的第三級放大器的負載增加，但是由於第三級放大器本身需求的頻寬及增益並不高，所以在模擬完整體電路後所消耗的功率大約為 4mW。然而以電阻式的加法電路來說，多使用了一個運算放大器，而為了要有足夠的輸出擺幅，需增加 two-stage 輸出級的 MOS 大小，不過這也造成了其電流的增加，在完成以電阻式的 CT SDM 模擬後，其功率消耗約為 7mW。

4-4 CRFB 架構的探討分析

除了 3-4 節中有對兩種架構做的基本介紹之外，在 CRFB(Cascaded-of-resonators, feedback form)的架構中，與 CRFF 不同的地方在於其 feed-forward 的路徑的輸入都是由輸入信號源所提供，而在 feed-back 的信號則是回授到每一級積分器的輸入，所以比 CRFF 多了幾條路徑。其 MATLAB simulink blocks 如圖 4-4.1 所示。

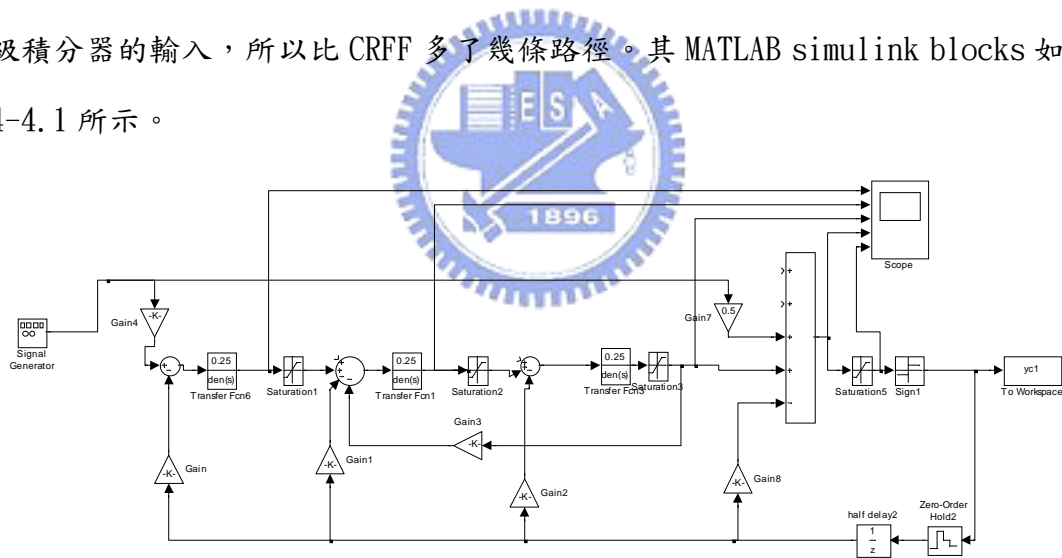


圖 4-4.1 CRFB MATLAB simulink 方塊圖

從圖 4-4.1，而且根據前面的章節分析，使用 half-delay 的對於非理想效應的容忍度要比使用 unit-delay 來得高，且規格上的要求也較寬鬆。所以我們在計算係數時便以 half-delay 的方式計算，加法電路也以電容的方式來實現以省去額外使用的運算放大器。因此最後的電路實現如圖 4-4.2 所示

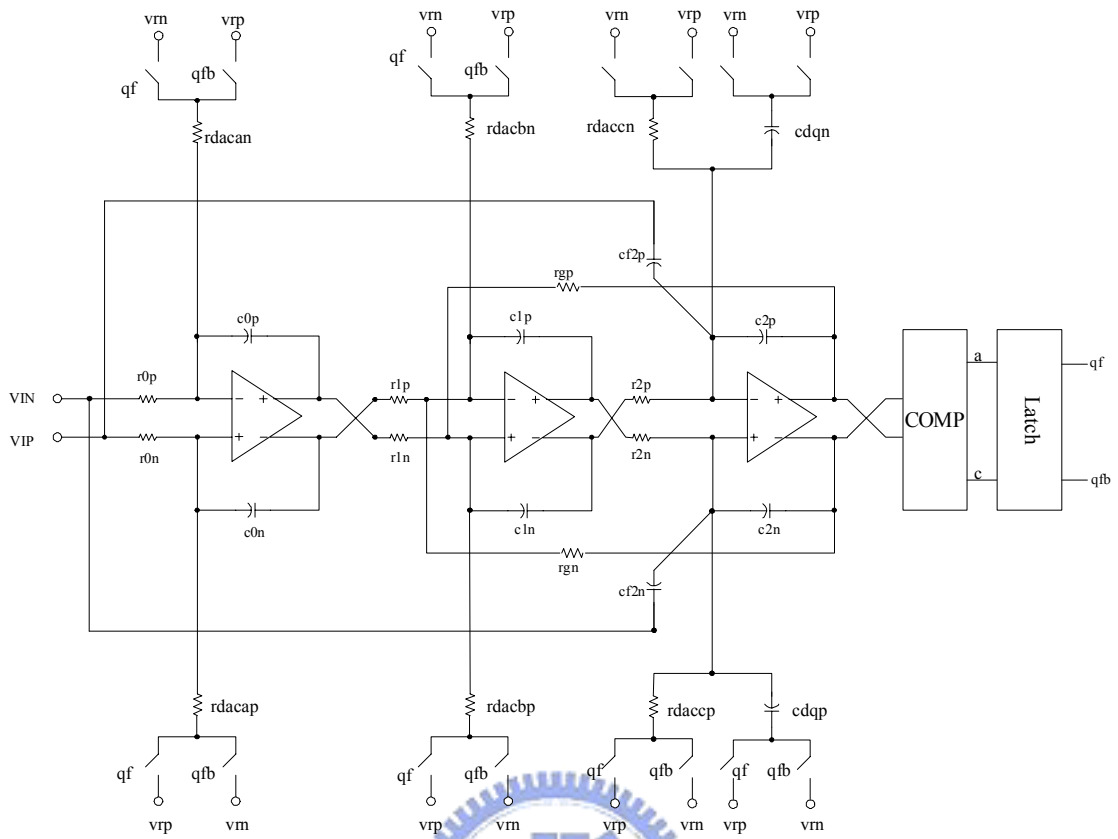


圖 4-4.2 三階 CRFB CT $\Sigma\Delta$ modulator

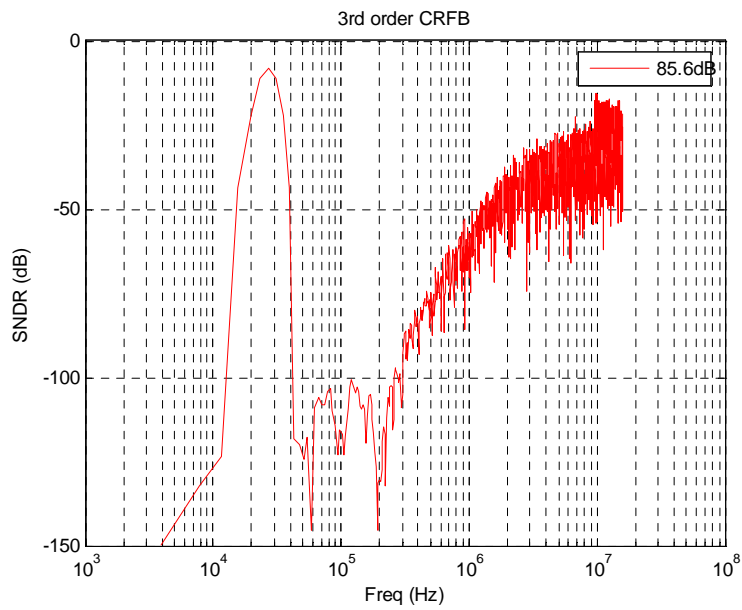


圖 4-4.3 MATLAB 理想的三階 CRFB modulator 模擬結果

同樣的，一開始我們也先使用理想的電路來模擬與 MATLAB 中的結果來做比較。而在此我們也發現於 CRFB 架構係數的選擇上，也存在著輸出振幅過大的問題，由圖 4-4.4 及 4-4.6 觀察，MATLAB 中第三級的積分器輸出振幅已達到 $\pm 1.5V$ 左右，然而在 MATLAB 中的波形是對應於電路單端的輸出波形，這在建立 mismatch 的模型中有提到。所以在 HSPICE 中模擬出的波形已達到 $\pm 3V$ ，這個擺幅的範圍對於我們所使用的 TSMC $0.18\mu m$ 1.8V 的製程而言，超過了其電壓源的大小，使得電路上無法做到。雖然試著以調整係數來降低其輸出振幅，但是卻沒有明顯的效果。

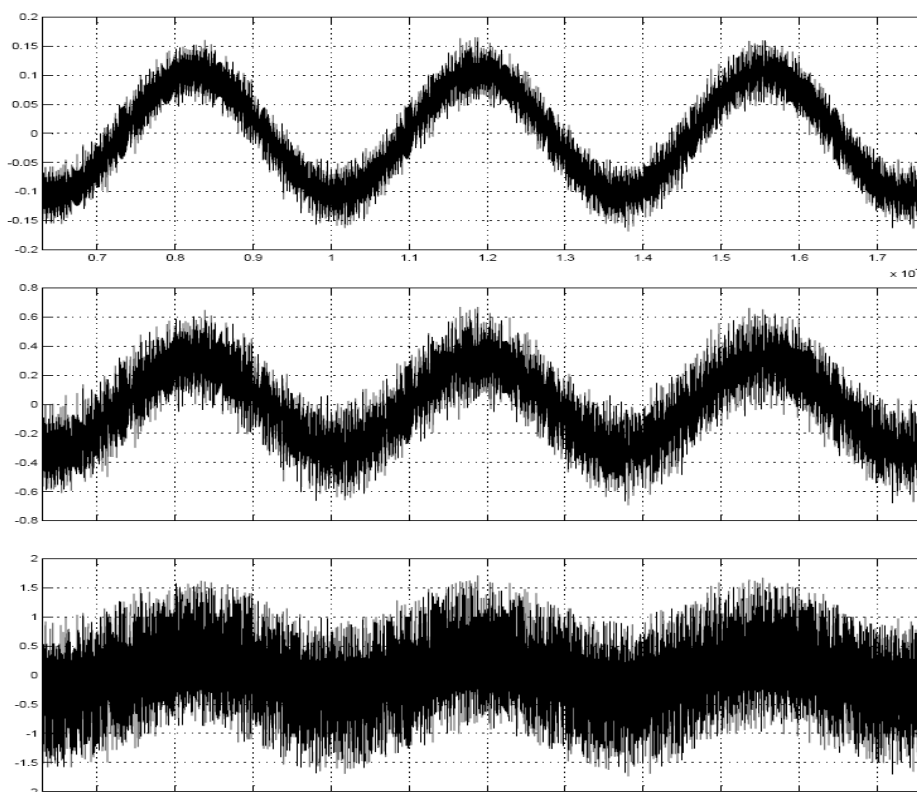


圖 4-4.4 MATLAB 理想的三階 CRFB modulator 輸出，由上而下依序為第一級，第二級和第三級

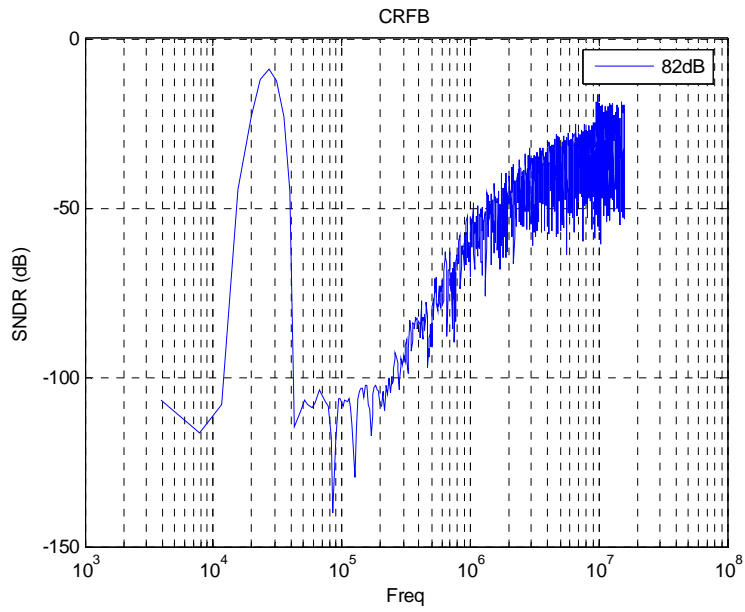


圖 4-4.5 HSPICE 理想的三階 CRFB modulator

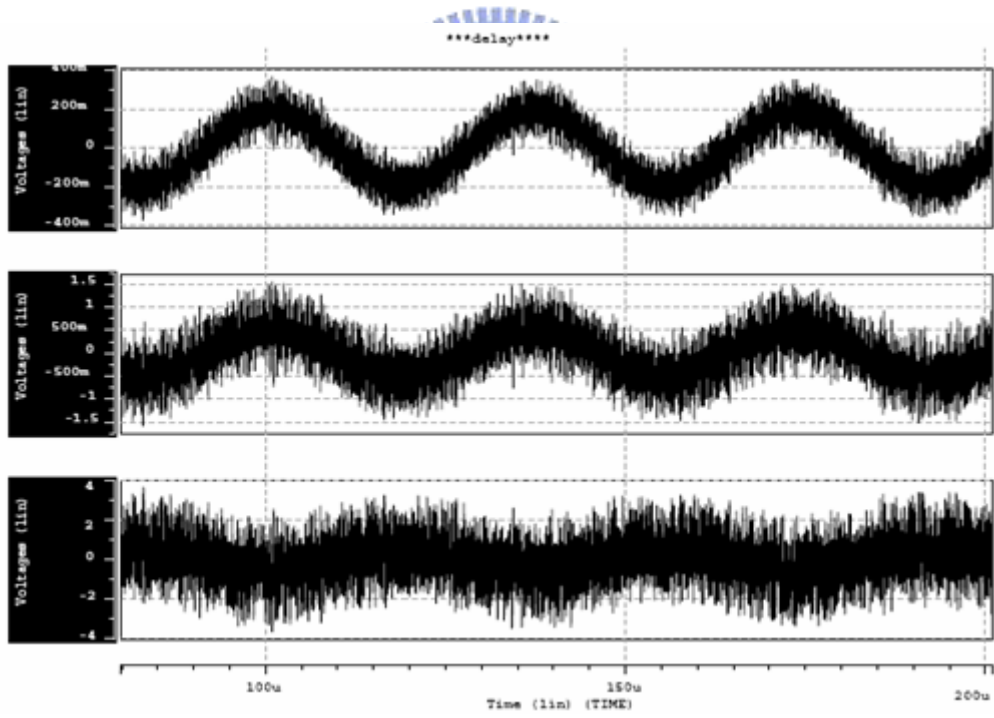


圖 4-4.6 HSPICE 理想的三階 CRFB modulator 輸出，由上而下依序為第一級，第二級和第三級

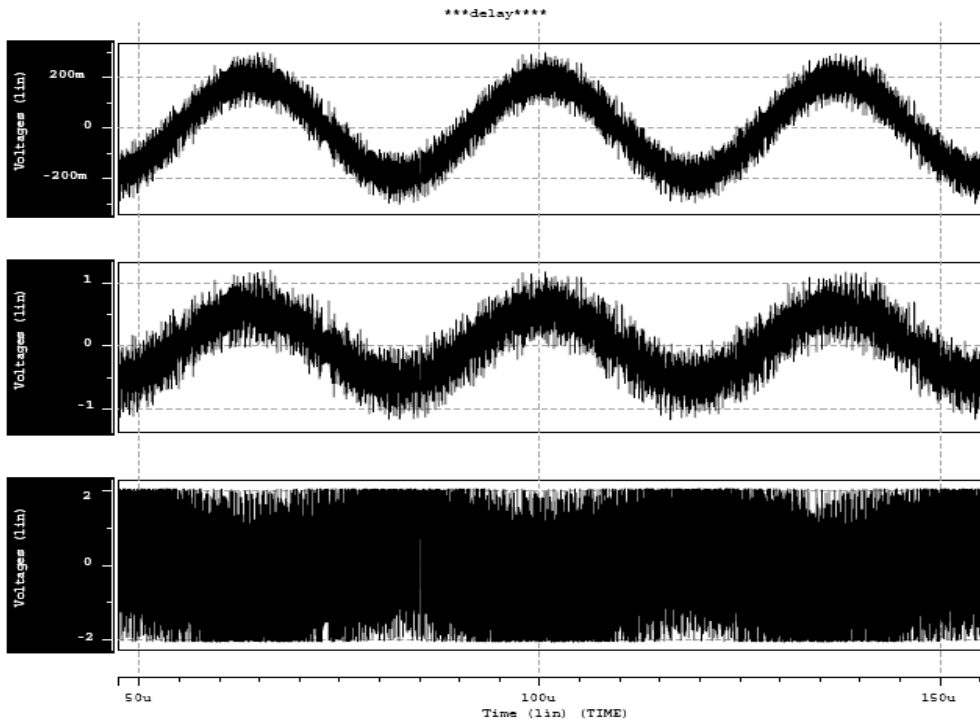


圖 4-4.7 電路實現的三階 CRFB modulator 輸出，由上而下依序為第一級，第二級和第三級

最後以電路實現的 modulator 輸出波形如圖 4-4.7 所示，輸出振幅受到電壓限制產生 distortion，所以得到的 SNDR 值約掉了 6dB 左右，圖 4-4.8。

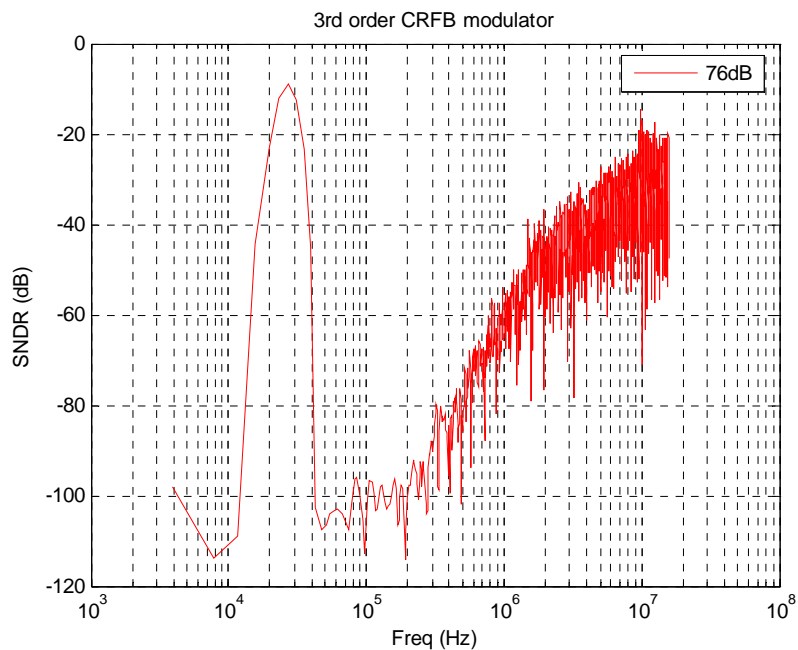


圖 4-4.8 實現後的三階 CRFB 功率頻譜

接下來，有限增益頻寬對於 CRFB 架構所造成的影響可以由圖 4-4.9 中看出，相較於在 CRFF 中只需要 $3 f_s$ 左右的增益頻寬(圖 4-2.20)，CRFB 則需要比 CRFF 還要高一倍以上的 GBW，才可達到我們所想要的規格。就另一個觀點，表示我們需要付出更多的功率損耗來換取系統的表現。在上述的電路中，最後所消耗的功率約為 6mW。

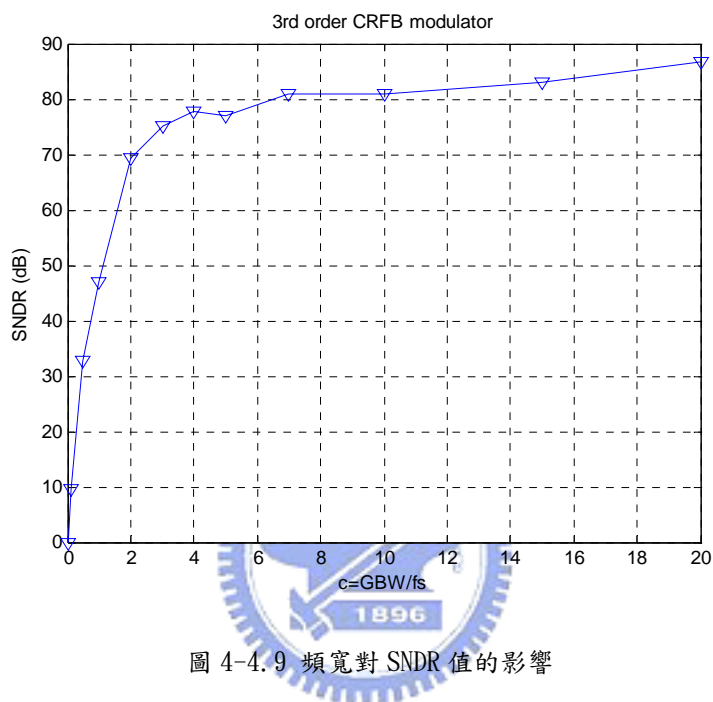


圖 4-4.9 頻寬對 SNDR 值的影響

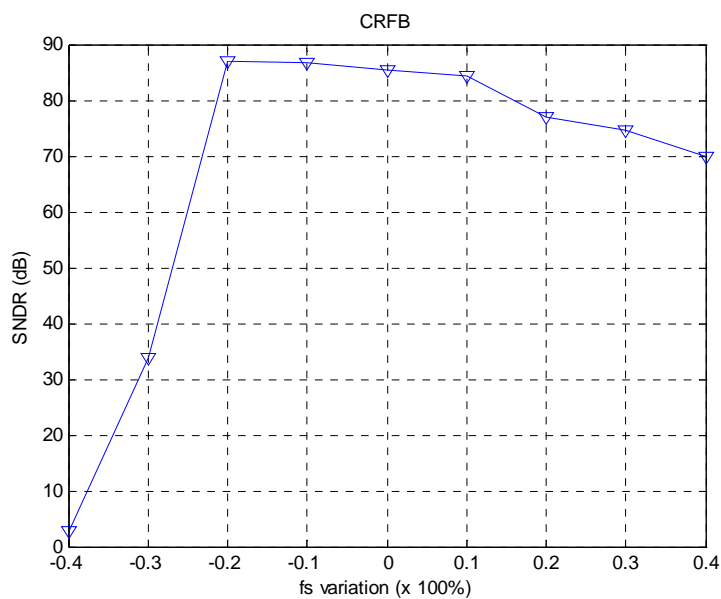


圖 4-4.10 fs variation 對 SNDR 值的影響

關於 f_s 變動所造成的影響也可如圖 4-4.10 中所見，CRFB 約只有 $\pm 15\%$ 的容忍範圍 (CRFF 為 $\pm 20\%$)，且當變動往負方向偏移，在大於 -20% 時，系統的表現則急遽的下降。

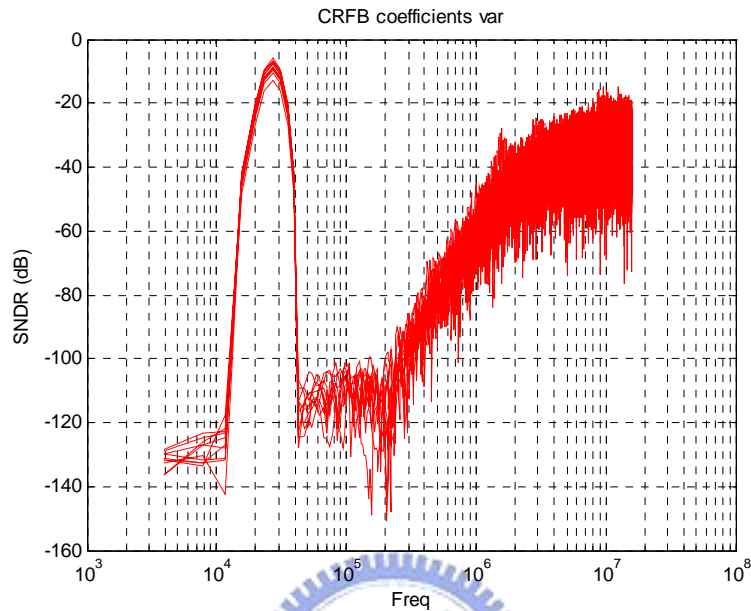


圖 4-4.11 係數 variation 對 SNDR 值的影響

74.8	85.3	85.4	90.4	86.7	83.4	83.8	89.6	81.1	85.8
------	------	------	------	------	------	------	------	------	------

單位 (dB)

表 4-4.1 圖 4-4.11 的模擬結果

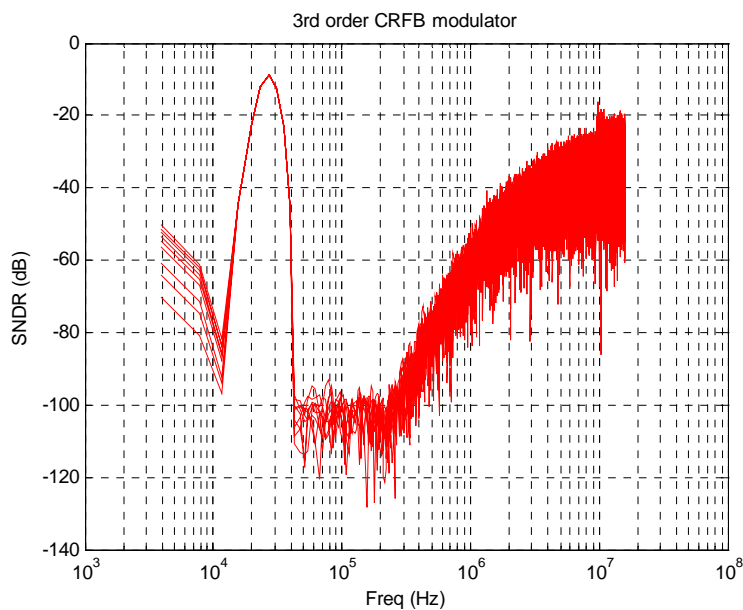


圖 4-4.12 R, C mismatch 對 SNDR 的影響

而在關於整體係數的 variation 上，仍然可以顯現出 single stage 對於此的容忍度(以 $\pm 30\%$ 的高斯分佈來產生亂數)。最後則是模擬電阻電容 mismatch 所得到的結果。

Mismatch 的問題無論在於 feed-forward 或是 feed-back 中都是存在的，其影響程度也差不多，所以我們亦可以經由 4-2.4 節中所介紹的方式，在電路實現前先在 MATLAB 上來對其做模擬。



第五章 結論

於本篇論文所談到的關於 CT $\Sigma\Delta$ modulator 設計的過程中，從一開始係數上的決定，已將 CT excess loop delay 的影響計算在其內而做了修正。接著在 MATLAB 的模擬環境中，我們建立了有關有限增益頻寬，jitter，RC 時間常數和各路徑係數的變動，以及考慮到電阻電容匹配性影響的 behavioral model。另外也對於 MATLAB single-ended 的模擬環境，對應到電路上以 fully-differential 的方式來實現所得到的模擬結果(主要在於 mismatch 上的模擬)做了分析。最後根據 MATLAB 模擬所訂定的規格，在 HSPICE 上設計的電路，對於探討到的各項非理想效應所得到的模擬結果，也有良好的對應性。

除了非理想效應的探討，針對不同的架構也做了比較。在我們所使用的 half-delay 架構上來看，無論是二階或是三階的系統，除了所需要的元件規格較 unit-delay 的架構來得低之外。在對於 RC variation 的容忍度也有較大的範圍。而係數上的 variation，我們則使用電容式的加法電路，利用其製程上的優勢，即可做到在比例上的精準度，將其影響減到最低。省去了在電阻加法電路的做法中所需要的運算放大器，同時也減低了功率的消耗。

而所討論到的 feed-forward 以及 feed-back 的差異性，即 CRFF 和 CRFB。而無論兩者之間選擇何架構在設計上，都可以達到所預期的規格。但是由於抗 variation 以及消耗功率上，較偏好使用 CRFF 的架構。

最後本篇論文中在 HSPICE 上模擬得到的 CT SDM 為：

- (1) 250 kHz, 4mW, 83dB SNDR 3rd-order in CRFF form
- (2) 250 kHz, 6mW, 76dB SNDR 3rd-order in CRFB form

參考文獻：

- [1] S.R. Norsworthy, R. Schreier and G.C. Temes, *Delta-Sigma Data Converters: Theory, Design, and Simulation*, 1996
- [2] P. Benabes, M. Keramat and R. Kielbasa, “A Methodology for designing continuous-time sigma- delta modulators,” European Design and Test Conference (ED&TC 97), pp. 46-50, Paris, 1997
- [3] M.S. Kappes, “A 2.2-mW CMOS Bandpass Continuous-Time Multibit Δ - Σ ADC with 68 dB of Dynamic Range and 1-MHz Bandwidth for Wireless Applications,” IEEE Journal of Solid-State Circuits, Vol. 38, pp. 1098-1104, July 2003.
- [4] J.A. Cherry and W.M. Snelgrove, *Continuous-Time Delta-Sigma Modulators for High-Speed A/D Conversion*, 2000.
- [5] L. Breems and J.H. Huising, *Continuous-Time Sigma-Delta Modulation for A/D Conversion in Radio Receivers*, 2001.
- [6] K. Philips, “A 4.4mW 76dB Complex $\Sigma\Delta$ ADC for Bluetooth Receivers,”IEEE ISSCC, Vol. 1, pp. 64- 478, 2003.
- [7] J. Arias and etc, “A 32-mW 320-MHz Continuous-Time Complex Delta-Sigma ADC for Multi-Mode Wireless-LAN Receivers,” IEEE JSSC, Vol. 41, No. 2, pp. 339-351, Feb. 2006.
- [8] G. Mitteregger and etc, “A 14b 20mW 640MHz CMOS CT $\Delta\Sigma$ ADC with 20MHz Signal Bandwidth and 12b ENOB,” IEEE ISSCC, 2006.
- [9] S. Brigati, F. Francesconi, P. Malcovati, D. Tonietto, A. Baschiroto and F. Maloberti, “Modeling Sigma Delta modulator Non-Idealities in SIMULINK®,”IEEE ISCAS, Vol. 2, pp. 384-387, July 1999.
- [10] R. Schreier, *The Delta-Sigma Toolbox for MATLAB*.
- [11] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato and A.

- Baschiroto, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators," IEEE Transactions on Circuits and Systems, Vol. 50, No. 3, pp.352-364, March 2003.
- [12] J.A. Cherry and W.M. Snelgrove, "Excess Loop Delay in Continuous-Time Delta-Sigma Modulators," IEEE Transactions on Circuit and System, Vol. 46, No. 4, pp. 376-389, April 1999.
- [13] J.A. Cherry and W.M. Snelgrove, "Clock Jitter and Quantizer Metastability in Continuous-Time Delta-Sigma Modulators," IEEE Transactions on Circuit and System, Vol. 46, No. 6, pp. 661-676, June 1999.
- [14] A. Leuciuc and C. Mitrea, "On the Effect of OP-AMP Finite-Gain in Delta-Sigma modulators," IEEE International Symposium on Circuits and Systems, Vol. 3, pp. 754-757, May 2000.
- [15] A. Leuciuc, "On the Nonlinearity of Integrators in Continuous-Time Delta-Sigma Modulators," MWSCAS, Vol. 2, pp. 862-865, 2001.
- [16] M. Ortmanns, F. Gerfers and Y. Manoli, "Compensation of Finite Gain-Bandwidth Induced Errors in Continuous-Time Sigma-Delta Modulators," IEEE Transaction on Circuits and System, Vol. 51, No. 6, pp. 1088-1099, June 2004.
- [17] O. Oliaei, "Design of Continuous-Time Sigma-Delta Modulators with Arbitrary Feedback Waveform," IEEE Transaction on Circuit and Systems-II, Vol. 50, No.8, pp.437-444, August 2003.
- [18] A. Latiri, H. Aboushady and N. Beilleau, "Design of Continuous-Time $\Sigma\Delta$ Modulators with Sine-Shaped Feedback DACs," IEEE International Symposium on Circuits and Systems, Vol. 4, pp. 3672-3675, May 2005.
- [19] F. Gerfers, M. Ortmanns, L. Samid and Y. Manoli, "Implementation of a 1.5V Low-Power Clock-Jitter Insensitive Continuous-Time $\Sigma\Delta$ Modulator," IEEE

- International Symposium on Circuits and Systems, Vol. 2, pp. II-652- II-655, 2002.
- [20] M. Ortmanns, F. Gerfers and Y. Manoli, "A Continuous-Time Sigma- Delta Modulator with Switched Capacitor Controlled Current Mode Feedback," IEEE ESSCIRC, pp. 249-252, Sept. 2003.
- [21] S. Paton, and etc, "A 70-mW 300-MHz CMOS Continuous-Time $\Sigma\Delta$ ADC with 15-MHz Bandwidth and 11 Bits of Resolution," IEEE JSSC, Vol. 39, No. 7, pp. 1056-1063, July 2004.
- [22] J. Ruiz-Amaya and etc, "MATLAB/SIMULINK-Based High-Level Synthesis of Discrete-Time and Continuous-Time $\Sigma\Delta$ Modulators,"IEEE Automation and Test in Europe Conference and Exhibition Designers' Forum, pp. 1530-1591, 2004.
- [23] L. Hernandez, A. Wiesbauer, S. Paton and A. Di Giandomenico, "Modelling and Optimization of Low Pass Continuous-Time Sigma-Delta Modulators for Clock Jitter Noise Reduction," IEEE ISCAS, Vol. 1, pp. I-1072-5, May 2004.
- [24] H. Aboushady and Marie-Minerve Louerat, "Systematic approach for discrete-time to continuous-time transformation of $\Sigma\Delta$ modulators," IEEE ISCAS, vol. 4 pp. IV-229- IV-232, May 2002
- [25] O. Oliaei, "Design of Continuous-Time Sigma-Delta Modulators with Arbitrary Feedback Waveform," IEEE TCAS-II, Vol. 50, No. 8, pp. 437-444, August 2003.
- [26] A. Latiri, H. Aboushady and N. Beilleau, "Design of Continuous-Time $\Sigma\Delta$ Modulators with Sine-Shaped Feedback DACs,"IEEE ISCAS, pp.3672-3675, May 2005.
- [27] S. Yan and E. Sanchez-Sinencio, "A Continuous-Time $\Sigma\Delta$ with 88-dB Dynamic Range and 1.1-MHz Signal Bandwidth," IEEE JSSC, Vol. 39, No. 1, Jan. 2004.

- [28] N. Beilleau, H. Aboushady and M.M. Louerat, "Filtering Adjacent Channel Blockers using Signal-Transfer-Function of Continuous-Time $\Sigma\Delta$ Modulators," IEEE MWSCA, Vol. 1, pp. I- 329-32, July 2004.
- [29] F. Munoz, K. Philips and A. Torralba, "A 4.7mW 89.5dB DR CT Complex $\Delta\Sigma$ ADC with Built-In LPF," IEEE ISSCC, Vol.1, pp. 500-613, Feb. 2005.
- [30] F. Gerfers, M. Ortmanns and Y. Manoli, "A 1.5-V 12-bit Power-Efficient Continuous-Time Third-Order $\Sigma\Delta$ Modulator," IEEE JSSC, Vol. 38, No. 8, pp. 1343-1352, August 2003.
- [31] J.H. Nielsen and E. Bruun, "A Low-Power 10-bit Continuous-Time CMOS $\Sigma\Delta$ A/D Converter," IEEE ISCAS, Vol. 1, pp. I- 417-20, May 2004
- [32] L. Samid and Y. Manoli, "A Micro Power Continuous-Time $\Sigma\Delta$ Modulator," IEEE ESSCIRC, pp. 165-168, Sept. 2003.
- [33] M. Schimper, L. Dorrer, E. Riccio and G. Panov, "A 3mW Continous-Time $\Sigma\Delta$ -Modulator for EDGE/GSM with High Adjacent Channel Tolerance," IEEE ESSCIRC, pp.183-186, Sept. 2004.
- [34] F. Esfahani, P. Basedau, R. Ryter and R. Becker, "An 82 dB CMOS Continuous-Time Complex Bandpass Sigma-Delta ADC for GSM/EDGE," IEEE ISCAS, Vol. 1, pp. I- 1049-52, May 2003.
- [35] Robert H. M. van Veldhoven, "A Triple-Mode Continuous-Time $\Sigma\Delta$ Modulator with Switched-Capacitor Feedback DAC for a GSM-EDGE/CDMA2000/UMTS Receiver," IEEE JSSC, Vol. 38, No. 12, pp. 2069-2076, Dec. 2003.
- [36] L.J. Breems, E.J. van der Zwan and J.H. Huijsing, "A 1.8-mW CMOS $\Sigma\Delta$ Modulator with Integrated Mixer for A/D Conversion of IF Signals," IEEE JSSC, Vol. 35, No. 4, pp. 468-475, April 2000.
- [37] L. Dorrer and etc, "10-Bit, 3 mW Continuous-Time Sigma-Delta ADC for

- UMTS in a 0.12 μ m CMOS Process,” IEEE ESSCIRC, pp. 245-248, Sept. 2003.
- [38] D.A. Jones and K. Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., 1997.
- [39] M. Ortmanns, F. Gerfers, L. Samid and Y. Manoli, “Successful Design of Cascaded Continuous-Time $\Sigma\Delta$ Modulators,” IEEE ICECS, Vol. 1, pp. 321-324, 2001.
- [40] M. Ortmanns, F. Gerfers and Y. Manoli, “Influence of Finite Integrator Gain Bandwidth on Continuous-Time Sigma Delta Modulators,” IEEE ISCAS, Vol. 1, pp. I- 925-928, May 2003.
- [41] M. Ortmanns, F. Gerfers and Y. Manoli, “Compensation of Finite Gain-Bandwidth Induced Errors in Continuous-Time Sigma-Delta Modulators,” IEEE TCAS-I, Vol. 51, No. 6, pp. 1088-1099, June 2004.
- [42] L. Hernandez, A. Wiesbauer, S. Paton and A. Di Giandomenico,” Modelling and Optimization of Low Pass Continuous-Time Sigma-Delta Modulators for Clock Jitter noise Reduction,” IEEE ISCAS, Vol. 1, pp. I- 1072-5, May 2004.
- [43] W. Gao, O. Shoaie and W.M. Snelgrove, “Excess Loop Delay Effects in Continuous-Time Delta-Sigma Modulators and the Compensation Solution,” IEEE ISCAS, Vol. 1, pp. 66-68, June 1997.
- [44] L. Hernandez, “Continuous-Time Noise-Shaping Modulators with Delay Elements,” IEEE ISCAS, Vol. 5, pp. 565-568, May 2000.
- [45] A. Marques, V. Peluso, M.S. Steyaert and W.M. Sansen, “Optimal Parameters for $\Delta\Sigma$ Modulator Topologies,” IEEE TCAS-II, Vol. 45, No. 9, pp. 1232-1241, Sept. 1998.
- [46] G. Fischer and A.J. Davis, “Alternative Topologies for Sigma-Delta Modulators-A Comparative Study,” IEEE TCAS-II, Vol. 44, No.10, pp.789-797, Oct. 1997.

- [47] L.J. Breems, R. Rutten and G. Wetzker, "A Cascaded Continuous-Time $\Sigma\Delta$ Modulator With 67-dB Dynamic Range in 10-MHz Bandwidth," IEEE JSSC, Vol. 39, No. 12, pp. 2152-2160, Dec. 2004.
- [48] M. Ortmanns, M. Kuderer and Y. Manoli, "A Cascaded Continuous-Time $\Sigma\Delta$ Modulator with 80 dB Dynamic Range," IEEE ISCAS, pp. I- 405-408, 2004.
- [49] M. Ortmanns, F. Gerfers and Y. Manoli, "A Case Study on a 2-1-1 Cascaded Continuous-Time Sigma-Delta Modulator," IEEE TCAS-I, Vol. 52, No. 8, pp. 1515-1525, August 2005.
- [50] R. Tortosa and etc, "A Direct Synthesis Method of Cascaded Continuous-Time Sigma-Delta Modulators," IEEE ISCAS, Vol. 6, pp. 5585-5588, May 2005.
- [51] M. Ortmanns, L. Samid and Y. Manoli, "Multirate Cascaded Continuous-Time $\Sigma\Delta$ Modulators," IEEE ISCAS, Vol. 4, pp. IV- 225-228, 2002.
- [52] M. Ortmanns, F. Gerfers and Y. Manoli, "On the Synthesis of Cascaded Continuous-Time $\Sigma\Delta$ Modulators," IEEE ISCAS, Vol. 5, pp. 419-422, 2001.