

國立交通大學
電機與控制工程研究所

碩士論文

採用 $\Sigma - \Delta$ 調變之全橋式 5.1 聲道
D 類音頻放大器



A Full-Bridge 5.1 Channel Class-D Audio Amplifier
Using Sigma-Delta Modulation

研究生：朱家弘

指導教授：胡竹生 博士

中華民國九十五年七月

採用 $\Sigma - \Delta$ 調變之全橋式5.1聲道D類音頻放大器

A Full-Bridge Class-D Audio Amplifier in 5.1 Channel Using
Sigma-Delta Modulation

研究生：朱家弘

Student : Chia-Hung, Chu

指導教授：胡竹生 博士

Advisor : Prof. Jwu-Sheng, Hu

國立交通大學
電機與控制工程學系
碩士論文



Submitted to Institute of Electrical and Control Engineering
College of Electrical Engineering and Computer Science
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in

Electrical and Control Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

採用 $\Sigma - \Delta$ 調變之全橋式 5.1 聲道 D 類音頻放大器

研究生：朱 家 弘

指導教授：胡 竹 生 博士

國立交通大學電機與控制工程研究所碩士班



本論文以 $\Sigma - \Delta$ 為調變基礎來設計 D 類音頻放大器。D 類放大器不是使用電晶體的線性工作區，而是將其當作開關來放大，有效率高、設計較易的優勢。D 類放大器前級需要一個調變器將任意訊號調變成切換式開關訊號以供輸入，而相較於常用的 Pulse-Width Modulator， $\Sigma - \Delta$ 調變器沒有固定的諧波干擾，且擁有較低的切換次數。在 $\Sigma - \Delta$ 調變器產生切換式訊號的量化過程中，會有量化誤差的問題，所以本論文以一理想之 Noise Shaping 量化演算法為推導基礎，分析在無限大的取樣頻率下，其量化誤差如何藉由回授機制、迴圈轉移函數來改變其能量分佈，由其衍生出有限取樣頻率之數位 $\Sigma - \Delta$ 調變理論與其穩定性分析，並得到最佳的訊號雜訊比。本論文將於 FPGA 實現穩定的數位式 Sigma-Delta Modulator DAC，並配合 USB 六聲道音頻控制器與全橋功率放大器，完成一 5.1 聲道 D 類音頻放大器。

A Full-Bridge Class-D Audio Amplifier in 5.1 Channel Using Sigma-Delta Modulation

Student : Chia-Hung Chu

Advisor: Prof. Jwu-Sheng Hu

Institute of Electrical and Control Engineering
National Chiao-Tung University



This thesis designs a Class D audio amplifier based on Sigma-Delta Modulator. Instead of working in saturation mode, the transistors of Class D amplifiers operate in the triode and cut-off modes, which is more efficient in terms of energy conversion and has lower cost. Modulators that modulate any signal to a binary signal are needed for Class D amplifiers. However, compared with traditional Pulse-Width Modulator, Sigma-Delta Modulator produces less harmonic distortion and needs fewer number of switching. The quantization scheme in Sigma-Delta Modulator has the impact of quantization errors. Considering a time-optimal quantization algorithm, the in-band quantization errors can be completely eliminated by designing the loop filter running at infinitely high sampling frequency. In this thesis, a Sigma-Delta Modulator is analyzed by modeling a Sigma-Delta Modulator as an approximation of a time-optimal quantizer and its stability criterion is derived. Moreover, a USB based 5.1 channel Class D amplifier which contains a stable digital Sigma-Delta Modulator DAC with FPGA, a six channel USB audio controller, and a switching power stage is also implemented in this thesis.

誌 謝

終於鬆了一口氣，這一陣子日以繼夜、焚膏繼晷的日子終於在一片恭喜聲中落幕了，當然需要改進的地方仍然很多，但努力的結果也受到了不少肯定。

雖然要感謝的人很多，除了謝天之外，還是要一一地感謝所有人。首先當然要感謝的當然是各位撥空參加的口試委員白明憲、鄒應嶼、張隆國、陳科宏等老師，謝謝你們的指教與肯定，有你們的到來與審核才讓敝人小弟在下我有機會通過考驗。

而最應該感謝的人，當然是胡竹生老師，感謝老師這兩年來的忍耐與教導，雖然我經常打混摸魚，而看在眼裡的老師仍然一直非常有耐心並且客氣地教導我許多做學問的技巧，在循循善誘之下，我總算爭氣得畢業了，真的由衷地謝謝老師的指教，才讓我習得當今正燙手的學問 D 類放大器。

正所謂承先啟後，接下來當然一定要感謝同為數位放大器組的各位先驅，超強的順智、美麗的岑思、嫵媚的鏗元，沒有你們的傳承就沒有今天的我，尤其要謝謝鏗元的幫忙，在多次遇到瓶頸的情況下，都是在學姊的幫忙下度過難關，亦師亦友。

另外當然要感謝實驗室的各位夥伴，博士班學長：專利多到不像話的立偉、有點變形但學問滿溢的宗敏、閃亮亮聯發科的帥帥价呈、鬼才又超會哈拉的維瀚、有車子沒馬子的興哥、常被我麻煩的育德；一起奮鬥的同學：超難約的佩靜、會飛的鳥蕙、文靜的螞蟻、熱心助人的恒嘉、像包偉銘的耀賢、為人厚道的永融；還有學弟：小強弘齡、小 P 楷祥、Alphar 兄；實驗室助理淑伶；尤其要感謝宗敏，在我人生最脆弱的時候給予我許多理性與正面的思考，當然也要感謝其他夥伴們陪我度過這一段不快樂的日子，謝謝你們的肩膀與依靠，我愛你們，有你們在真好。

當然還要感謝已經不在身邊的她，粘，謝謝妳一路走來的肯定與鼓勵，妳一向是我支持下去的動力，很遺憾今後只剩下自己一人，但我仍會繼續努力下去。

這一陣子得到了很多東西，也同時失去了不少東西，我不知道得到的是否比失去多，但我會努力揮別過去，自己繼續勇敢地一步一步往上爬。

目 錄

摘 要.....	i
ABSTRACT.....	ii
誌 謝.....	iii
目 錄.....	iv
表 列.....	vi
圖 列.....	vii
第一章 緒論.....	1
1.1 研究動機.....	1
1.2 研究內容與目標.....	4
1.3 論文貢獻.....	5
1.4 章節概要.....	6
第二章 D類放大器前級調變理論.....	7
2.1 PULSE-WIDTH MODULATION (PWM).....	7
2.2 MULTI-STEP OPTIMAL CONVERTER (MSOC).....	10
2.2.1 區間二次倒回(Receding Horizon Quadratic)最佳化控制.....	10
2.2.2 MSOC 系統架構.....	11
2.3 SIGMA-DELTA MODULATION (SDM).....	14
2.3.1 SDM 之發展由來.....	14
2.3.2 SDM 之概念與效果.....	17
2.4 各方法分析與比較.....	18
第三章 SDM 調變原理與設計.....	19
3.1 SDM 調變器的順滑模態與最佳模態理論.....	19
3.1.1 具時間最佳化之 Noise Shaping 量化機制.....	20
3.1.2 1階數位化量化器.....	21
3.1.3 n階數位化量化器與系統化簡.....	23
3.1.4 SDM 之穩定條件.....	25
3.2 數位 $\Sigma - \Delta$ 調變器 NOISE-SHAPING 與狀態變數限制.....	27
3.2.1 從輸出觀點來看 n階 Noise Shaping 效果.....	27
3.2.2 系統各階狀態表示式與穩態.....	28
3.3 設計方法.....	30
3.3.1 迴路濾波器(Loop Filter)設計.....	30
3.3.2 最佳化雜訊轉移函數(Noise Transfer Function)零點位置.....	31
3.3.3 n階 SDM 系統之設計流程.....	32
第四章 SDM 設計實例分析與模擬.....	33

4.1	1.5-BIT 量化機制.....	33
4.1.1	1.5-bit 量化概念.....	33
4.1.2	1.5-bit 量化運算.....	35
4.1.3	SDM 的 1.5-bit 量化運算.....	36
4.2	1.5-BIT 三元(TERNARY)轉四元(QUATERNARY)切換機制.....	37
4.3	效能量測標準.....	42
4.4	系統階數的選擇.....	43
4.4.1	階數與效能.....	43
4.4.2	階數與振幅大小.....	45
4.5	高通 NOISE SHAPING 截止頻率的選擇.....	47
4.5.1	截止頻率與振幅大小.....	48
4.5.2	截止頻率與效能.....	48
4.6	四階數位 SIGMA-DELTA MODULATOR 設計模擬.....	49
第五章	5.1 聲道音頻放大器硬體架構與實現.....	53
5.1	USB1.1 5.1 聲道音效控制器.....	54
5.1.1	硬體介紹：SONIX SN11116.....	55
5.1.2	I2S (Inter-IC Sound)介面.....	56
5.1.3	支援 5.1 聲道之應用軟體：Sonix Sound Station.....	58
5.2	FPGA 核心實現.....	59
5.2.1	硬體介紹：Altera FLEX10K Emulation Board.....	59
5.2.2	軟體介紹：MAX plusII.....	60
5.2.3	FPGA 實作.....	61
5.3	功率放大級.....	66
5.3.1	硬體介紹：(1)TI TAS5121；(2) TOREX P/N Power MOS.....	66
5.3.2	功率放大級實作.....	68
第六章	效能量測與比較.....	71
6.1	訊號效能量測.....	71
6.1.1	調變級邏輯量測與效能計算.....	71
6.1.2	放大級三元與四元切換電壓量測比較.....	73
6.2	放大級效率.....	76
6.2.1	TI TAS5121 輸出輸入功率.....	76
6.2.2	TOREX P/NMOS H-Bridge 輸出輸入功率.....	78
第七章	結論.....	82
7.1	研究成果.....	82
7.2	未來展望.....	83
	參考文獻.....	84

表 列

表 2.4.1	訊號調變法比較表.....	18
表 4.1.1	輸出 $y[n]$ 狀態與後級 CMOS 有效輸入比照表	34
表 4.1.2	1.5-bit 運算"輸出-輸入"關係表	37
表 4.2.1	產生殘差電壓的狀態轉換表.....	39
表 4.2.2	四元切換狀態轉換表.....	40
表 4.4.1	1~5 階的 $\Sigma-\Delta$ 調變器效能比較表	44
表 4.4.2	1~5 階的 $\Sigma-\Delta$ 調變器振幅比較表	47
表 4.5.1	高通 Noise-Shaping 截止頻率與振幅比較表.....	48
表 4.5.2	高通 Noise-Shaping 截止頻率與效能比較表.....	49
表 4.6.1	四階 $\Sigma-\Delta$ 系統係數.....	51
表 5.1.1	TYPE 2、3 參照 SN11116 運作模式	55
表 5.2.1	四階 $\Sigma-\Delta$ 調變器實作係數.....	62
表 6.1.1	調變級各種切換機制效能比較表.....	73
表 6.2.1	TOREX P/NMOS 輸入電壓 v.s.輸出效率(系統頻率 1.536MHz).....	81
表 6.2.1	TOREX P/NMOS 輸入電壓 v.s.輸出效率(系統頻率 3.072MHz).....	81



圖 列

圖 1.1.1	類比音響系統.....	1
圖 1.1.2	類比功率放大器工作偏壓.....	2
圖 1.1.3	D 類放大器.....	3
圖 1.1.4	全數位化音頻擴大器系統.....	3
圖 1.3.1	實作的組成結構；其中虛線部份為實做完成的部分.....	5
圖 2.1.1	Pulse-Width Modulator 示意圖.....	7
圖 2.1.2	NPWM 與 UPWM 運作圖[10].....	8
圖 2.1.3	PWM 輸出頻譜響應圖(三角波頻率= 48kHz × 8，解析度= 2 ⁵).....	8
圖 2.1.4	NPWM 與 UPWM 運作圖[12].....	9
圖 2.2.1	MSOC with Feedback Loop.....	13
圖 2.2.2	MSOC 輸出頻譜響應圖(2-order, N=2).....	13
圖 2.3.1	Delta Modulator DAC 方塊示意圖.....	14
圖 2.3.2	Delta Modulator 操作機制.....	15
圖 2.3.3	Delta Modulator 之問題.....	15
圖 2.3.4	Inose Δ 調變器.....	16
圖 2.3.5	(i)一階 $\Sigma-\Delta$ 調變器 (ii) 一階數位 $\Sigma-\Delta$ 調變器.....	16
圖 2.3.6	n 階數位 $\Sigma-\Delta$ 調變器.....	16
圖 2.3.7	一階與二階 $\Sigma-\Delta$ 輸出頻譜響應圖.....	18
圖 3.1.1	1-bit Noise-Shaping 量化機制.....	20
圖 3.1.2	Noise-Shaping 概念.....	21
圖 3.1.3	1 階 Time-Optimal 量化器.....	21
圖 3.1.4	1 階數位 $\Sigma-\Delta$ 調變器.....	22
圖 3.1.5	n 階 Time-Optimal 量化器.....	23
圖 3.1.6	n 階 Time-Optimal 量化器等效方塊.....	24
圖 3.1.7	(a) n 階數位 $\Sigma-\Delta$ 調變器 (b) n 階數位 $\Sigma-\Delta$ 調變器等效方塊圖.....	25
圖 3.2.1	W^{-1} 之頻率響應 (a) 零點皆在 $z = 1$ (b) 零點在最佳位置.....	28
圖 3.3.1	Additive Noise Model.....	30
圖 4.1.1	切換訊號與開關波形關係圖.....	34
圖 4.1.2	德州儀器差動調變方塊示意圖.....	35
圖 4.1.3	德州儀器的差動調變方法.....	35
圖 4.1.4	Apogee 的三元調變與傳統 PWM 運作比較.....	36
圖 4.1.5	1-bit 與 1.5-bit 系統輸出之頻譜圖.....	37
圖 4.2.1	狀態 0 切換機制.....	38
圖 4.2.2	PMOS 導通、NOMS 截止的三元切換.....	38
圖 4.2.3	全橋四元切換控制.....	39

圖 4.2.4	P/NMOS 匹配輸出頻譜.....	41
圖 4.2.5	P/NMOS 不匹配輸出頻譜(a)三元切換 (b)四元切換	41
圖 4.2.6	P/NMOS 不匹配誤差電壓頻譜(a)系統頻寬內 (b)音頻 20kHz 內	41
圖 4.4.1	-3dB FS 1kHz Sine Wave 的切換輸出頻譜圖	44
圖 4.4.3	-60dB FS 1kHz Sine Wave 的切換輸出頻譜圖	45
圖 4.4.3	-96dB FS 1kHz Sine Wave 的切換輸出頻譜圖	45
圖 4.4.4	1~5 階 $\Sigma-\Delta$ 調變器低通濾波的時序圖	47
圖 4.6.1	雜訊轉移函數頻率響應圖.....	49
圖 4.6.2	完整四階 $\Sigma-\Delta$ 系統設計等效示意圖.....	51
圖 4.6.3	電路實現架構圖.....	51
圖 4.6.4	$\Sigma-\Delta$ 系統各階狀態變化圖.....	51
圖 4.6.5	(a)1.5-bit 輸出頻譜與 $ W^{-1}(e^{j\omega}) $ (紅色) (b)音頻時域圖.....	52
圖 5.1	5.1 聲道音頻放大器實體圖.....	53
圖 5.1.1	SN11116 接腳圖[29].....	54
圖 5.1.2	SN11116 方塊圖[29].....	55
圖 5.1.3	I2S 的連接	57
圖 5.1.4	I2S 傳輸機制.....	57
圖 5.1.5	Sonix Sound Station v1.61.4.....	58
圖 5.2.1	Altera FLEX10K Emulation Board	59
圖 5.2.2	MAX plusII 使用介面	60
圖 5.2.3	I2S Decoder 硬體方塊圖	61
圖 5.2.4	5.1 聲道 I2S 介面	62
圖 5.2.5	1 階 $\Sigma-\Delta$ 調變器等效排程.....	63
圖 5.2.6	4 階 $\Sigma-\Delta$ 調變器等效排程.....	63
圖 5.2.7	1 階 $\Sigma-\Delta$ 調變器執行順序圖.....	64
圖 5.2.8	4 階 $\Sigma-\Delta$ 調變器控制圖.....	64
圖 5.2.9	三元轉四元方塊圖與 Finite State Machine	65
圖 5.2.10	5.1 聲道 $\Sigma-\Delta$ 調變器之 FPGA 架構圖	65
圖 5.2.11	FPGA 實現之編譯結果	66
圖 5.3.1	TI TAS5121 接腳圖	67
圖 5.3.2	TOREX XP152A12C0MR/XP151A13A0MR 接腳圖	67
圖 5.3.3	(a)輸出功率與 PVDD 電壓(b)效率與輸出功率	68
圖 5.3.4	功率放大器啟動程序.....	69
圖 5.3.5	P/NMOS 絕對最大額定.....	69
圖 5.3.6	P/NMOS H-Bridge 功率放大級.....	70
圖 6.1	放大器平台訊號示意圖.....	71
圖 6.1.2	三元切換調變級邏輯輸出頻譜圖(零點 $z = 1$).....	72
圖 6.1.3	三元切換調變級邏輯輸出頻譜圖(最佳化零點位置).....	72

圖 6.1.4	四元切換調變級邏輯輸出頻譜圖(最佳化零點位置).....	73
圖 6.1.5	TI TAS5121 (a)三元切換輸出時域圖 (b)四元切換輸出時域圖	73
圖 6.1.6	TI TAS5121 (a)三元切換輸出頻譜圖 (b)四元切換輸出頻譜圖	74
圖 6.1.7	TI TAS5121 三元與四元切換輸出頻譜比較圖	74
圖 6.1.8	TOREX P/NMOS H-Bridge (a)三元切換時域圖 (b)四元切換時域圖 .	75
圖 6.1.9	TOREX P/NMOS H-Bridge (a)三元切換頻譜圖 (b)四元切換頻譜圖 .	75
圖 6.1.10	TOREX P/NMOS H-Bridge 三元與四元切換輸出頻譜比較圖	76
圖 6.2.1	TI TAS5121 輸入電壓與電流圖(32 倍系統取樣)	77
圖 6.2.2	TI TAS5121 輸出電壓與電流圖(32 倍系統取樣)	77
圖 6.2.3	TI TAS5121 輸入電壓與電流圖(64 倍系統取樣)	78
圖 6.2.4	TI TAS5121 輸出電壓與電流圖(64 倍系統取樣)	78
圖 6.2.5	TOREX P/NMOS 輸入電壓與電流圖(32 倍系統取樣).....	79
圖 6.2.6	TOREX P/NMOS 輸出電壓與電流圖(32 倍系統取樣).....	79
圖 6.2.7	TOREX P/NMOS 輸入電壓與電流圖(64 倍系統取樣).....	80
圖 6.2.8	TOREX P/NMOS 輸出電壓與電流圖(64 倍系統取樣).....	80
圖 7.1.1	USB 介面 5.1 聲道音頻放大系統.....	82



第一章 緒論

1.1 研究動機

自從 Thomas Alva Edison 於 1876 年發明留聲機後，音響系統即隨著科技的進步及發達而有驚人的進步。其中功率放大器在音響系統扮演一個相當重要地位，傳統的方法是以 Bipolar 為元件作類比式線性功率放大。近代音響系統大都以數位儲存媒體作為音源，必須透過數位類比轉換器(Digital to Analog Converter)，將數位訊號轉換為類比訊號，將類比訊號輸入類比功率放大器，驅動揚聲器，系統如下圖 1.1.1 所示。

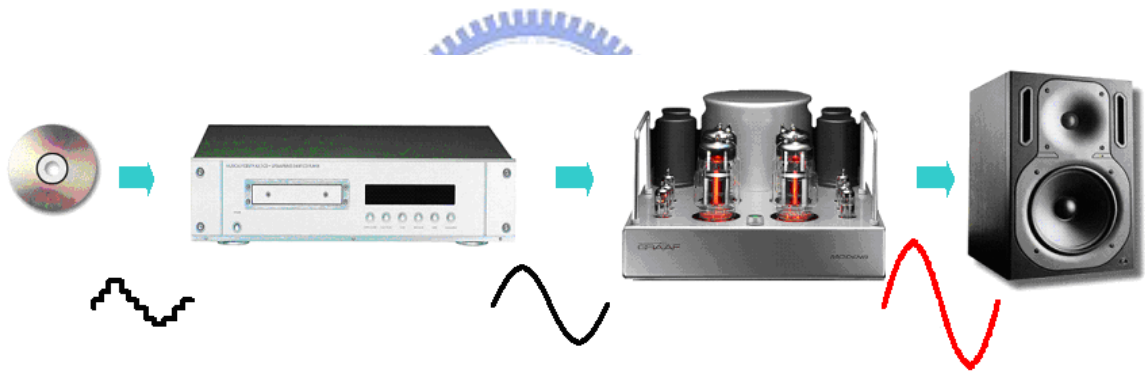


圖 1.1.1 類比音響系統

現今類比式功率放大器，常見以下[1]：

1. A 類放大器(Class A)

其工作電壓位於電晶體輸出特性曲線直流部分的中央位置，如圖 1.1.2(i)。其平均電流在有無訊號輸入時是相同的，全效率只有 20~30%之間。

2. B 類放大器(Class B)

電晶體工作電壓位於截止區域附近，如圖 1.1.2(ii)。需採用推挽式(Push-pull)結構，效率實際約 65%，但有交叉失真(Cross-over distortion)。

3. AB 類放大器(Class AB)

如圖 1.1.2(iii)，為 A 類與 B 類的折衷設計，兼顧效率用電包含散熱、體積) 要求及音質要求的妥協性設計，效率約 40~60%。

4. C 類放大器(Class C)

工作偏壓位於截止偏壓以外，如圖 1.1.2(iv)。放大器導通時間少於輸入波形全週期的一半，不適合用在聲頻的放大，適用在射頻信號放大，效率達 65%~85%。

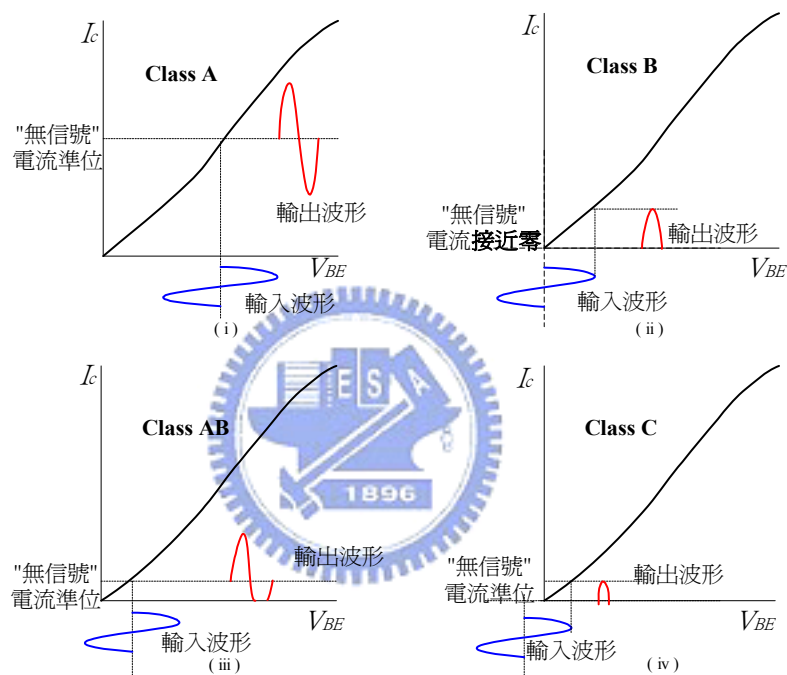


圖 1.1.2 類比功率放大器工作偏壓

這些類比放大器效率有限，因此散熱元件體積是一個問題。而近年來可攜式及小型化消費性產品盛行，如 MP3、可攜式 DVD 和平面顯示器等，可攜式設備的電池使用壽命、散熱器尺寸、PCB 面積以及系統成本的考量下，D 類音頻功率放大器的應用開始普遍。由於 D 類放大器的功耗較低，因此能夠實現較高的效率。所以，許多大型平面顯示器和消費性音訊產品都更願意採用此類放大器。

D 類放大器最早是在 1959 年由 Baxandall 所提出[2]，純以大訊號開關模式運作[3]，不需要任何工作偏壓，效率一般可達 90% 以上[4]。如圖 1.1.3 為 D 類放大

器示意圖，其中 MOSFET 以開關來表示，其之所以效率高乃是因為 MOSFET 在狀態為'ON'時， $R_{DS(on)}$ 為極小，因此它上面幾乎沒有壓降；在狀態'OFF'時， $R_{DS(off)}$ 值很大，因此幾乎沒有電流流過。所以從電源向負載提供了幾乎等量的功率。對於理想開關，由於沒有切換損失，可達 100%之功率效益，以目前之 Power MOS 技術，已經可將功率效益提升至 95%[5]。因此在輸出相同的功率下，D 類放大器較節省能源，另外體積小以及效率高，並且還可大幅減少散熱片所佔面積甚至取消散熱片。

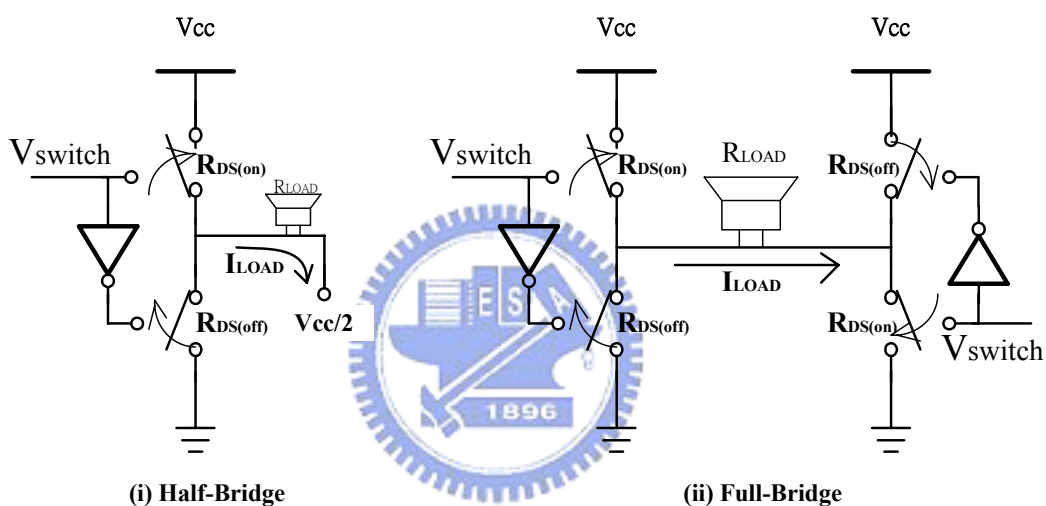


圖 1.1.3 D 類放大器

D 類放大器再加上前級調變，便可將音響放大器全數位化，免除 D/A 轉換失真，使得從音源數位取樣後到播放間的所有過程全部數位化。下圖 1.1.4 為全數位化音頻放大系統。

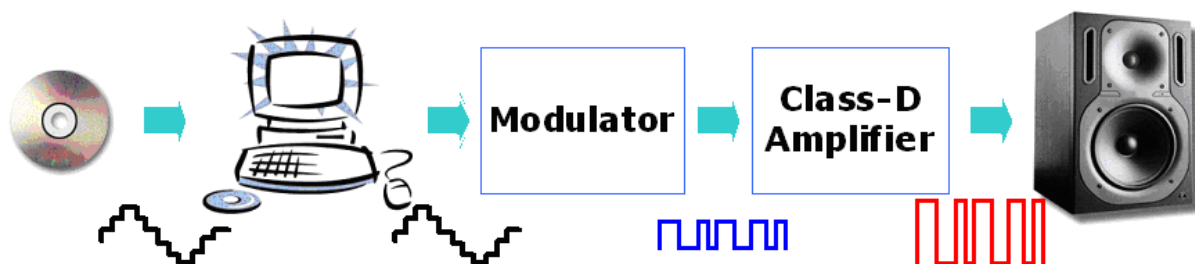


圖 1.1.4 全數位化音頻擴大器系統

切換式放大器的損失包含有：導通損失、切換損失以及周邊電路損耗，近年來許多降低切換頻率以及功率損耗的技術也就孕育而生。而無須濾波器的 D 類放大器解決了這項問題，其可以充分的利用揚聲器的自身電感及低頻響應特性，無須在訊號調變送入 D 類放大器後再加濾波器，但是基於 PWM 的 D 類放大器，因為它的總諧波失真(Total Harmonics Distortion)較高，所以只能提供有限的頻寬，無法支援多音調振鈴及 MP3 播放。為了解決此頻率響應的問題，採用 $\Sigma-\Delta$ 的調變方法並且無需要濾波器的 D 類放大器因此產生，它不但可以提供較廣的頻寬同時也可以降低切換頻率，甚至不需要後級的濾波器。

數位 $\Sigma-\Delta$ 調變通常可以依二個重要特徵—階數、取樣頻率，作為比較、評估的基準。隨著超大型積體電路製程不斷的改良，電路的操作速度不斷的提昇且供應電壓逐漸地下降，可將 $\Sigma-\Delta$ 調變應用在較高頻寬的系統。

1.2 研究內容與目標



本論文的重心在於 D 類放大器的前級調變理論 Sigma-Delta ($\Sigma-\Delta$) 調變。以具時間最佳化(Time-optimal) Noise-Shaping 量化機制理論[6]為始，分析其高階系統滑動模式(Sliding mode)的存在性與穩定性，在無限大的取樣頻率下，其量化誤差如何藉由回授機制、迴圈轉移函數來改變其能量分佈，藉以衍生出有限取樣頻率之高階系統 $\Sigma-\Delta$ 調變理論，並證明與分析其穩定性[7]。

另外在本 $\Sigma-\Delta$ 系統架構中，雜訊轉移函數(Noise Transfer Function)通常以巴特沃斯(Butterworth)高通濾波器為設計，其零點位置固定在 $z = 1$ (直流)。本論文將以降低量化雜訊在頻寬內的能量需求，對 NTF 分子部分函數定義出所需最佳化的成本函數(Cost Function)，以線性代數方法求出在頻寬內 n 階系統零點的位置，藉由改變零點位置，來得到更佳的訊號雜訊比。

本文目標就是將所設計的調變系統實現於 FPGA，並且搭配一個 5.1 聲道的 USB 音頻控制器與全橋式 D 類數位功率放大器(Full Bridge Class-D Amplifier)，來完成一 5.1 聲道 D 類音頻放大器。USB 控制器將 PC 端的數位媒體音源以 PCM 16-bit 讀出，經由 FPGA 內的 $\Sigma-\Delta$ 調變器調變成 1.5-bit 的切換訊號，透過全橋式 D 類數位功率放大器放大，驅動揚聲器。

1.3 論文貢獻

本論文承繼[8][9]之基礎，針對雜訊轉移函數(Noise Transfer Function)的零點位置證明推導出頻寬內最佳化位置，得到較佳的訊號雜訊比(Signal-to-Noise Ratio)。另外在實現上，將 USB 介面更換為 I2S 標準介面，大大增加了平台介面的彈性，同時可以同步於系統取樣頻率，省去了緩衝器(buffer)的需要，大幅降低了 FPGA 的使用面積，使 FPGA 得以同時實現六個聲道的調變器。另外提出 1.5-bit 三元轉四元切換機制以補償全橋 P/NMOS 不匹配問題。透過 USB 控制器本身的取樣頻率轉換器(Sample Rate Converter)，將音樂一律轉換為 48kHz 的取樣頻率，來使調變系統取樣頻率得以固定。在後級全橋功率放大器部分，也根據了六個聲道個別功率需求，搭配不同的脈波(pulse)壓降。圖 1.3.1 為實作平台組成結構。

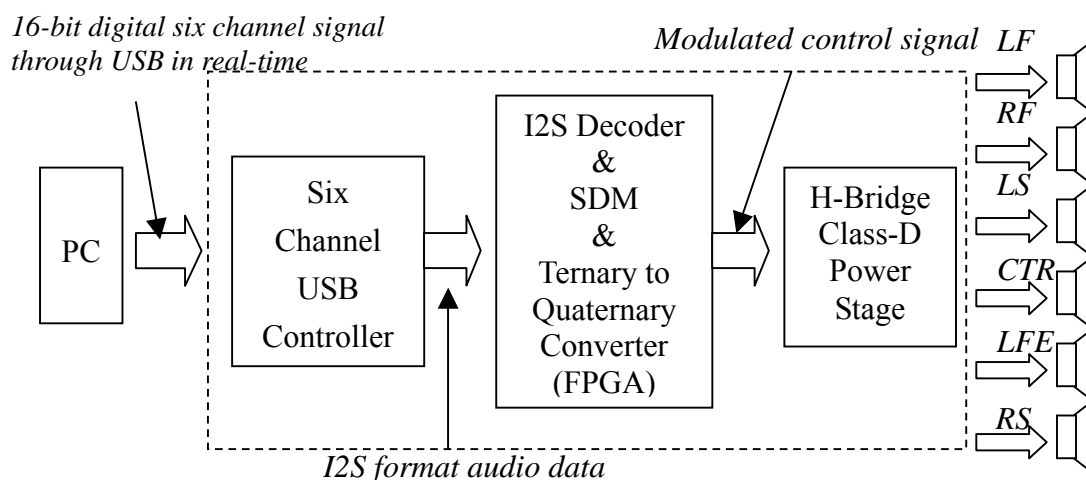


圖 1.3.1 實作的組成結構；其中虛線部份為實做完成的部分

1.4 章節概要

本論文的章節組織如下：

第二章將說明將 multi-bit 數位訊號調變成 1bit 切換訊號的 PWM、MSOC 與 SDM 的調變原理，並分析個別理論的優劣之處；第三章為本論文理論核心，以具時間最佳化(Time-optimal) Noise-Shaping 量化機制為推導基礎，分析系統在無限大的取樣頻率下滑動模式(Sliding mode)的存在性與穩定性，藉以延伸到有限取樣頻率高階數位 $\Sigma-\Delta$ 調變器最佳模式下的存在性與穩定性，並且說明 n 階 $\Sigma-\Delta$ 調變系統的設計方法與雜訊轉移函數(Noise Transfer Function)最佳化的零點位置；第四章為說明 1.5 bit 機制，並用三元轉四元切換機制補償 P/NMOS 不匹配對於 1.5-bit 量化的影響，另外探討 $\Sigma-\Delta$ 調變器階數、Noise Shaping 截止頻率(Cutoff frequency)、輸出振幅與訊號效能(Performance)量測之間的關係，來決定系統的最佳實現；第五章說明如何實現全數位化的音響系統，並詳細說明 I2S 機制、三元轉四元轉換器；第六章提出該數位化音訊平台之效能評估與比較；最後第七章為結論及對本系統的未來展望。

第二章 D 類放大器前級調變理論

採用 D 類放大器的另外一個重點為切換式訊號的產生方法，一個好的切換訊號才能極盡展現 D 類放大器高功率效益的優點[3]。目前可見的架構為構造簡單的 Pulse-Width-Modulation(PWM)，Multi-Step Optimal Converter (MSOC)，以及 Sigma-Delta Modulation(Σ - Δ)。

2.1 Pulse-Width Modulation (PWM)

PWM 如其名，是將輸入訊號的大小訊息，經過三角波比較後，即轉換為雙位準(± 1)的時間寬度，當輸入訊號較大，則高準位的時間較長，反之亦然。

PWM 切換控制方塊如圖 2.1.1，其中三角波可以為正、上升、下降三角波等三種。

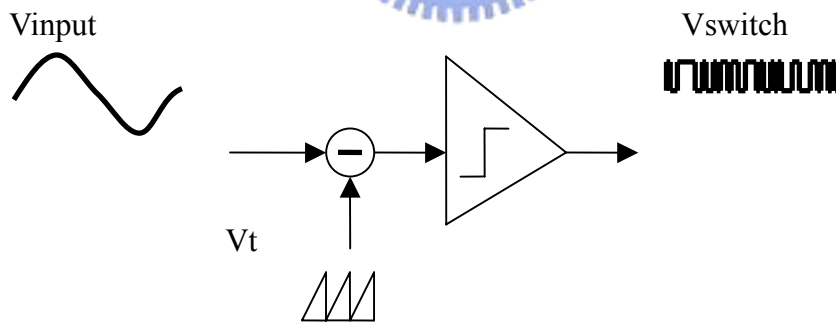


圖 2.1.1 Pulse-Width Modulator 示意圖

切換式控制信號 V_{switch} 是由輸入訊號 V_{input} 與頻率為 f_s 的三角載波 V_t 比較而得，當輸入訊號 V_{input} 的電壓大於三角波 V_t 時，則輸出為高準位；反之則為低準位，而開關的切換頻率為 f_s 。固定切換頻率，調整脈波寬度，以改變輸出電壓的大小。PWM 輸出電壓的平均值之大小，正比於開關之導通截止時間[10]。

數位 PWM，其輸入訊號為取樣後的訊號，即所謂的 Uniform PWM(UPWM) 架構，而當取樣頻率無限大時，則為理想的 NPWM(Natural PWM)，圖 2.1.2 為運作比較，系統於 NPWM 情況下，不會產生諧波失真[11][12]，而對於有取樣動作之 UPWM 卻會產生倍頻雜訊(Harmonic Distortion) [10]。

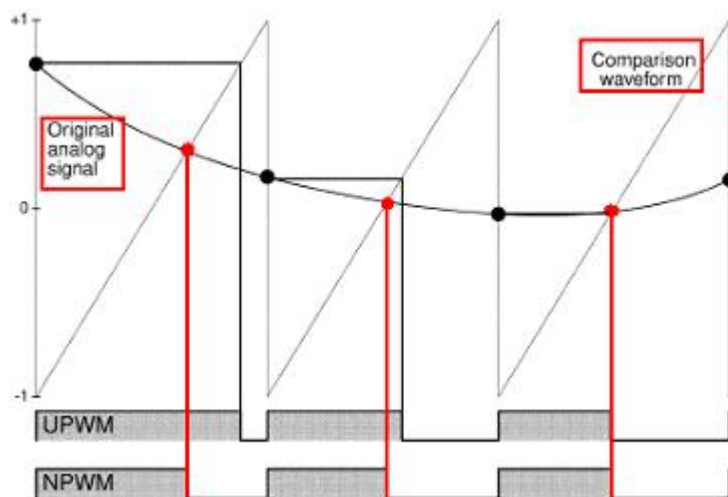


圖 2.1.2 NPWM 與 UPWM 運作圖[10]

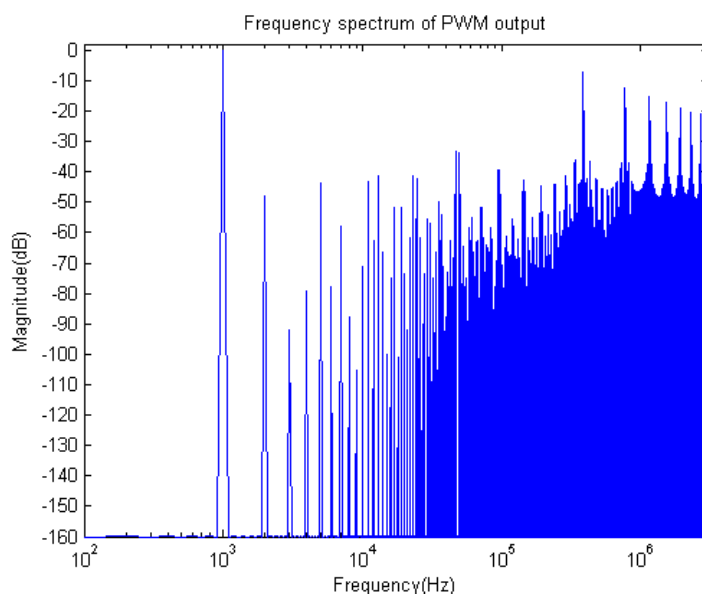


圖 2.1.3 PWM 輸出頻譜響應圖(三角波頻率=48kHz × 8，解析度= 2⁵)

如圖 2.1.3，輸入為取樣率 48kHz 的 1kHz 正弦波(Sine Wave)，三角波取樣倍

率(Oversampling Ratio)為 8 倍，三角波解析為 2^5 (內頻假設為 12.288MHz)的數位 PWM 輸出頻譜，發現其諧波失真問題相當嚴重，若欲藉著取樣頻率之提高降低諧波成分，將使系統之時脈需求提高。

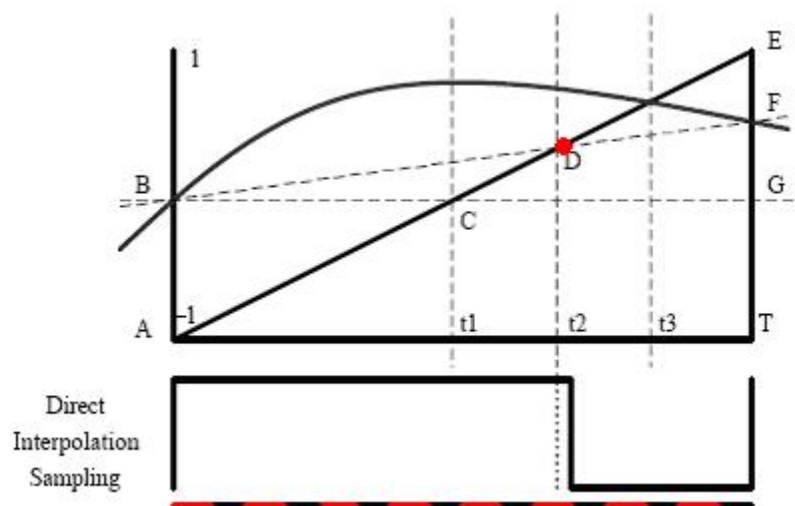


圖 2.1.4 NPWM 與 UPWM 運作圖[12]

上圖 2.1.4，為[12]提出一解決方法為 Direct Interpolation Sampling，即以線性內插方式，補償 UPWM 輸入訊號之不足，由於線性內插可以採相似三角形運算得到方波寬度，以達到調變訊號最接近 NPWM 的狀態。

除了取樣頻率之外，其問題在於數位實現時，為了增加 duty cycle 精度所需的時脈將高達 Giga Hz[11]，於高切換頻率情況時，會有 EMI 的問題[14]，同時在每一個三角波週期內必定有一次切換，造成功率級之切換損失無法減低。數位 PWM 三角波的切換頻率為 f_s ，而為了達到 n-bit 的解析度(resolution)，內部時脈必須為 $2^n f_s$ 。假設輸入為取樣頻率 48kHz 的訊號，而三角波作 32 倍的過度取樣，所以 $f_s = 48K \times 32Hz$ ，若要達到 16-bit 的解析度，則內頻為 $48K \times 32 \times 2^{16}$ 約等於 100GHz，在實現上不切實際。因此，[12][13]之作者提出，先將輸入訊號作前級 Noise Shaping 的處理降低位元數，再輸入 PWM 作調變波的產生，可大幅減低高

時脈的需求，同時前級的雜訊重新分佈處理，可將因為降低位元數所產生的量化雜訊，移至頻帶外，因此仍然保有訊號之精度。

PWM 之應用近年來於音訊的處理如 TI 的 5000 系列，其中 TAS5086[14]更為六聲道 PWM 處理器。

2.2 Multi-Step Optimal Converter (MSOC)

MSOC 源自於有限制條件的最佳化控制(Constrained Optimal Control)理論 [16]，於 2002 年由 Daniel E. Quevedo 等人提出。此設計方法相當彈性，可以依據不同的需求而訂定出個別的成本函數(Cost Function)，量化誤差為常見的需求。

2.2.1 區間二次倒回(Receding Horizon Quadratic)最佳化控制

理論簡述如下。考慮一個系統其輸入為 $u(k)$ ，以及它的狀態向量為 $x(k) \in R^n$ ，在此假設 $n=1$ ，可得到下列的狀態方程式：

$$x(k+1) = Ax(k) + Bu(k), \quad u(k) \in U \quad (2.1)$$

其中 U 表示一個某種限制下的輸入集合。

而 Finite Horizon Quadratic Cost Function with Prediction Horizon N 如下：

$$V_N(x(k), u(k)) = x^T(k+1)Px(k+1) + \{x^T(k)Qx(k) + u^T(k)Ru(k)\} \quad (2.2)$$

其中 $Q \geq 0, P > 0$ and $R > 0$

將(2.1)式帶入(2.2)式可得：

$$V_N(x(k), u(k)) = \bar{V}_N(x(k)) + u^T(k)Wu(k) + 2u^T(k)Fx(k) \quad (2.3)$$

其中 $W = B^T PB + R$, $F = B^T PA$, $\bar{V}_N(x(k))$ 為與 $u(k)$ 無關的常數項。

令 $\tilde{u}(k) = W^{1/2}u(k)$ 代入(2.3)可簡化為

$$V_N(x(k), u(k)) = \bar{V}_N(x(k)) + \tilde{u}^T(k) \tilde{u}(k) + 2\tilde{u}^T(k) W^{-1/2} Fx(k) \quad (2.4)$$

將(2.4)對 $u(k)$ 微分，可求得最佳解：

$$\tilde{u}(x(k)) = -W^{-1/2} Fx(k)$$

再將此最佳解經過量化，即可得到開關的切換訊號，如下所示

$$u^*(x(k)) = W^{-1/2} q_{\bar{U}^N}(-W^{-1/2} Fx(k)) \quad (2.5)$$

2.2.2 MSOC 系統架構

系統目的在於減少訊號頻帶內的量化誤差(Quantization Error)，所以判別誤差前應該將轉換誤差通過訊號頻帶的濾波器，設此濾波器為 H ：[17]

$$H(z) = D + C(zI - A)^{-1} B \quad (2.6)$$

其中 $A \in R^{n \times n}$, $B \in R^{n \times 1}$, $C \in R^{1 \times n}$, $D \in R^{1 \times 1}$ 。另外必須設計一個理想的量化器(quantizer)，使輸入與量化輸出經過濾波器的誤差(filtered error)最小化，概念就是 $e(t) = \Delta H(z)(a(t) - u(t))$ ，其中 $a(t)$ 為原輸入訊號， $u(t)$ 為量化後的訊號，而此狀態空間系統的表示式如下所示：

$$\begin{aligned} x(t+1) &= Ax(t) + B(a(t) - u(t)) \\ e(t) &= Cx(t) + D(a(t) - u(t)), \end{aligned} \quad (2.7)$$

$x(k) \in R^n$ 為濾波器的狀態， $n \in R$ 也就是濾波器 H 的階數(order)。而以二次成本函數(Quadratic Cost Function)為設計準則，在有限的區間 N 內；在時間 $t=k$ 時，將下列之二次成本函數最小化則可求得解：

$$V_N(\bar{u}(k)) = \sum_{t=k}^{k+N-1} (e(t))^2, \quad (2.8)$$

其中 $\bar{u}(k) = [u(k) \ u(k+1) \ \dots \ u(k+N-1)]^T \in U^N$

而利用 $\bar{e}(k) = [e(k) \ e(k+1) \ \dots \ e(k+N-1)]^T = \psi \bar{a}(k) - \psi \bar{u}(k) + \Gamma x(k)$ ，再根據式

(2.3)、(2.4)及(2.5)概念，得到方程式(2.8)之最佳解為：

$$\bar{u}^*(k) = \arg \min_{\bar{u}^*(k) \in U^N} V_N(u(k)) = \psi^{-1} q_{\bar{U}^N}(\psi \bar{a}(k) + \Gamma x(k)) \quad (2.9)$$

其中

$$\bar{a}(k) = \begin{bmatrix} a(k) \\ a(k+1) \\ \vdots \\ a(k+N+1) \end{bmatrix}, \quad \Gamma = \begin{bmatrix} C \\ CA \\ \vdots \\ CA^{N-1} \end{bmatrix}, \quad \psi = \begin{bmatrix} 1 & 0 & \dots & 0 \\ h_1 & 1 & \ddots & \vdots \\ \vdots & \ddots & \ddots & 0 \\ h_{N-1} & \dots & h_1 & 1 \end{bmatrix}, \quad h_i = CA^{i-1}B, i = 1, 2, \dots, N-1$$

$q_{\bar{U}^N}(\cdot)$ ：Nearest Neighbor Vector Quantizer[21]。

$U^N = \{v_1, v_2, \dots, v_r\}$ ，其中 $r = (n_u)^N$ ，被映射(mapping)到另一個集合上：

$\tilde{U}^N \triangleq \{\tilde{v}_1, \tilde{v}_2, \dots, \tilde{v}_r\} \subset R^N$ ，其中 $\tilde{v}_i = \Psi v_i, v_i \in U^N$ 。

為了提高性能， $t = k$ 時， $\bar{u}^*(k)$ 只有第一個元素(element)將被使用來回授更新狀態 $x(k)$ 以及輸出，在下一個取樣時間點，新的狀態將被使用來最小化 $V_N(\bar{u}(k+1))$ ，得到 $u(k+1)$ 。再以 $a(k)$ 表示 $\bar{a}(k)$ ，最後系統輸出可以簡化為：

$$u(k) = [1 \ 0 \ \dots \ 0] \Psi^{-1} q_{\bar{U}^N}(H(z)a(k) - F(z)u(k)) \quad (2.10)$$

其中 $H(z) = \Psi [1 \ z \ \dots \ z^{N-1}]^T + \Gamma(zI - A)^{-1}B$ ， $F(z) = \Gamma(zI - A)^{-1}B$

圖2.2.1表示了(2.10)式的架構[17]，是以回授的方式表示，其中粗線表示是向量的訊號路徑。圖2.2.2為取樣32倍的情況下，輸入取樣頻率48kHz的1kHz正弦波，其切換訊號u的頻率響應分佈。在此 $H(z)$ 為純二階積分器， $N=2$ ，量化器(quantizer)為1-bit。從頻域圖上可以看到20kHz以內有雜訊分布。

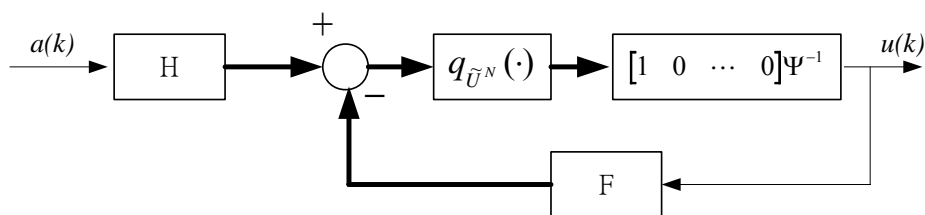


圖 2.2.1 MSOC with Feedback Loop

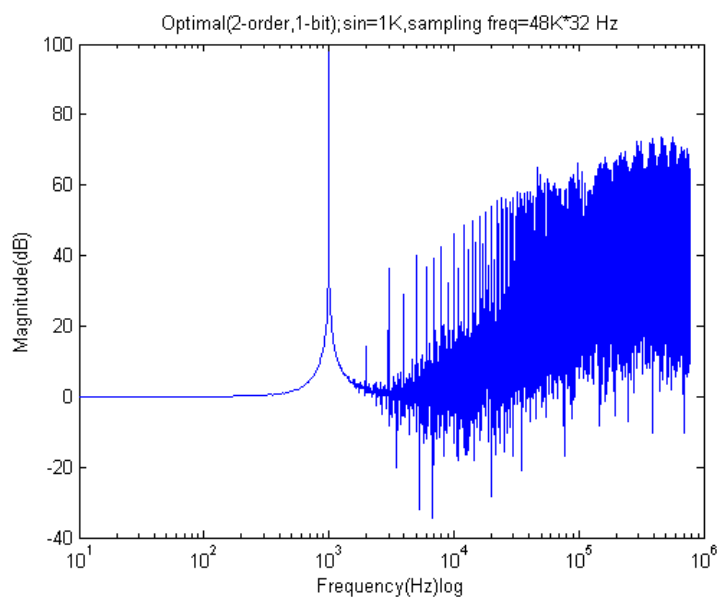


圖 2.2.2 MSOC 輸出頻譜響應圖(2-order, N=2)

$q_{U^N}(\cdot)$ 是一個 N 維的向量量化器，當 horizon N 增加，所得到的效能比較好，但複雜度隨著增加。MSOC 在 $N=1$ 時等於是 $\Sigma - \Delta$ 調變器，所以 $\Sigma - \Delta$ 調變器是 MSOC 的一個特例。此方法在高階的穩定性上仍有待證明，因為此最佳化方法的回授為非線性，無法依據線性系統中的穩定性原則來判定，當系統高於二階時，極容易發生不穩定情況；因此對於音頻訊號之應用，只能將雜訊推至某一定程度之高頻地帶，效果有限。

2.3 Sigma-Delta Modulation (SDM)

2.3.1 SDM 之發展由來

Sigma-Delta($\Sigma-\Delta$) Modulator 是由 Delta(Δ) Modulator 演進而來的，最早是在 1952 年由 Frank de Jager 提出[18]，應用在通訊領域。圖 2.3.1 為一個 Delta Modulator DAC 方塊示意圖，虛線部分為 Δ 調變器架構。假設 R_d 代表一個 16-bit 的數位音訊， Y_d 為 Δ 調變之 1Bit 雙準位輸出(± 1)。

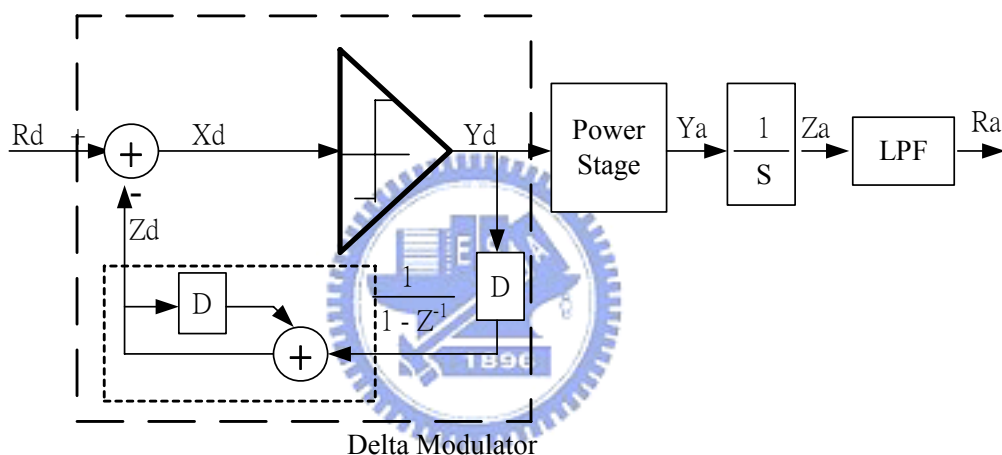


圖 2.3.1 Delta Modulator DAC 方塊示意圖

Δ 調變之目的就是要使 Y_d 之積分波形愈接近 R_d 愈好，如此一來，當 Y_d 經由 D 類放大器轉換為類比訊號時，透過類比積分器與低通濾波器處理後便可以將 R_d 轉換為類比放大訊號 R_s 。參照圖 2.3.2， Δ 調變操作機制就是想辦法讓 Z_d (Y_d 之積分值) 盡量追蹤 R_d 的訊號，當 Z_d 超過 R_d ，下一個 Y_d 值就設為負 1，反之下一個 Y_d 值就設為正 1，不斷地修正來使得 Z_d 跟隨 X_d 曲線。因此 Y_d 轉換為類比後，經過類比積分器的 Z_a 和 Z_d 之波形是一樣的，只不過 Z_d 是數位而 Z_a 是類比。最後再透過一個類比低通濾波器以產生平滑的 X_a ， X_a 就是 X_d 的類比重現。

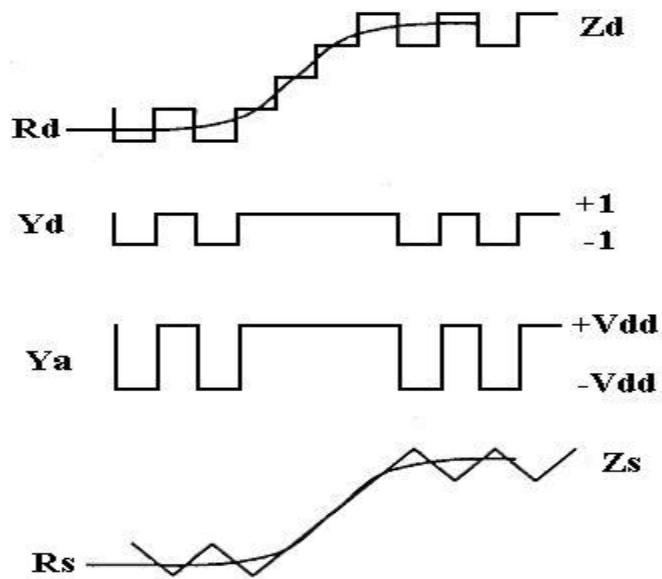


圖 2.3.2 Delta Modulator 操作機制

Δ 調變會演變為 $\Sigma-\Delta$ 調變，主要是有三個缺點：(i)若 R_d 輸入變化太劇烈，將使的 Z_d 跟不上 R_d 造成嚴重失真；(ii) R_d 輸入為直流或極低頻時， Y_d 只會不斷上下切換，無法得知電壓大小(圖 2.3.3)；(iii)類比積分器有不穩定及佔用面積的問題。

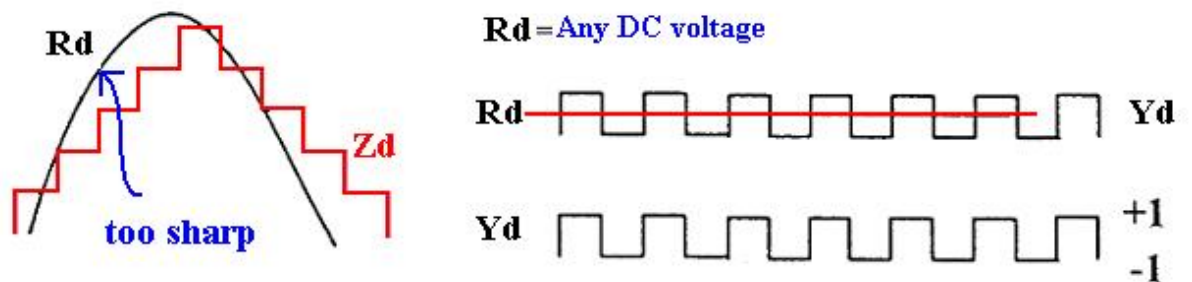


圖 2.3.3 Delta Modulator 之問題

於是，1962 年 Inose 基於 Δ 調變器架構提出 $\Sigma-\Delta$ 調變器[19]，將 Δ 調變器之類比積分器移至輸入端，如圖 2.3.4，如此不但可以使急劇變化的輸入透過積分變為較平緩，對於直流之輸入，後面的 Δ 調變就可以看得到而加以量化編碼，類比積分器也變為數位式；而若將其中的二個積分器與減法器做等效處理，可省下

2.3.2 SDM 之概念與效果

簡單說，Sigma-Delta($\Sigma - \Delta$) Modulation 原理一般就是利用過高的取樣頻率補償訊號位元數之降低[7]，將 multi-bit 的訊號轉成一連串 1-bit 的訊號，這串訊號的頻譜在音頻範圍內(20kHz)要和輸入訊號一模一樣，而量化器(Quantizer)產生的量化誤差則透過迴圈轉移函數盡量移往高頻的頻帶，如此一來這些雜訊便可以利用類比低通濾波器或是揚聲器的低通效應還原音頻內的訊號。

那從 $\Sigma - \Delta$ 調變系統的設計角度來看，如圖 2.3.6，當輸入訊號在通過最後的量化器前，會經過一級、二級，甚至是多級的低通濾波器，這樣的目的是希望訊號經由量化器量化後，低頻成分可以很精準，而方法就是盡量讓量化器只針對低頻訊號作量化，而偏偏回授端會將量化後高頻成分帶入，因此濾波器便是扮演在量化器前阻擋高頻成分的角色，而輸入訊號所通過的級數，則是代表 $\Sigma - \Delta$ 調變器的階數。由此一來便可以容易地理解到，當所設計的 $\Sigma - \Delta$ 調變器的階數越高，阻擋高頻的能力越強，量化器對於低頻訊號的量子化也越精準，量化誤差也就越往高頻擠，來得到更好的訊號雜訊比(Signal-to-Noise Ratio)。

圖 2.3.7 是一階與二階的 $\Sigma - \Delta$ 調變器的 Matlab 模擬圖，其中輸入頻率為 1kHz 的單頻訊號，取樣頻率取 48kHz，取樣倍率為 32 倍(系統頻率為 1.536MHz)。從 $\Sigma - \Delta$ 調變效果的角度來觀察，一階 $\Sigma - \Delta$ 調變輸出頻譜圖 20kHz (音頻)以內是我們所要的訊號，而 20kHz 以上就是不要的雜訊，除了 1kHz 訊號產生的 peak 之外，所有的雜訊有被移至高頻的效果，而從一階與二階 $\Sigma - \Delta$ 輸出頻譜來看，二階系統的量化雜訊比較往高頻擠，Noise-Shaping 的效果更加明顯，而在低頻的部分更加精準。由此可以表示階數越高，效果越好。若可以將系統設計為更高階數的架構，其雜訊分布情形將更不會影響我們所要的音樂訊號。但階數越高數位濾波器成本越高。且會有穩定性分析上的問題，必須在階數與規格要求取得平衡。

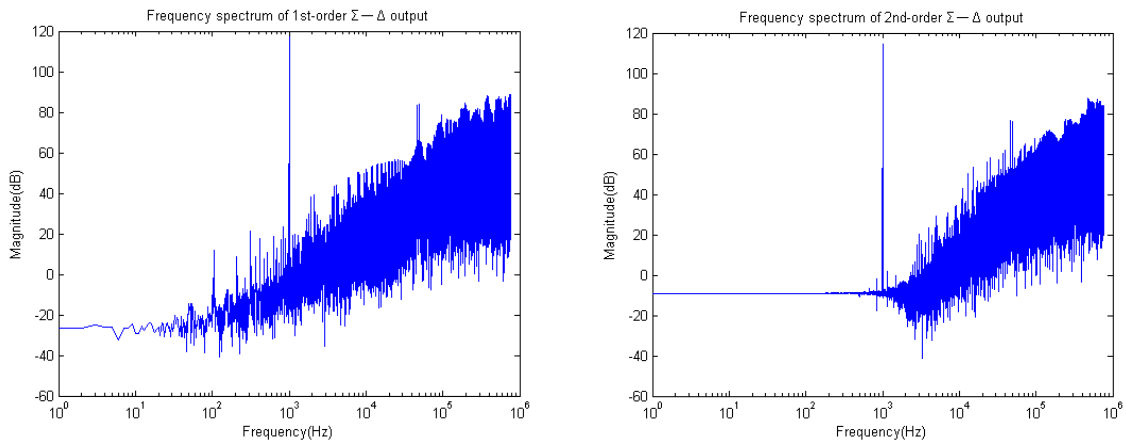


圖 2.3.7 一階與二階 $\Sigma - \Delta$ 輸出頻譜響應圖

2.4 各方法分析與比較

表 2.4.1 為三種調變法之統整，其中 PWM 雖然構造簡易無穩定性問題，但是其數位化效果沒有另外兩個理想，且切換次數也無法降低；而 MSOC 之方法提供了一個適合小系統運作，且訊號響應有一定水準之要求的應用；而 $\Sigma - \Delta$ 系統為一個可彈性設計為高階或低階之調變方法，雖然構造較複雜，需要乘法與加法運算，但是如果設計得當，系統響應可以理想地將雜訊推至所期望的頻帶，不致干擾輸入訊號。

表 2.4.1 訊號調變法比較表

	構造	Stability	THD	時脈需求	SNR
PWM	簡單	穩定	高	高	低
MSOC	較複雜	二階以下穩定	中	低	高
$\Sigma - \Delta$	複雜	高階穩定	低	低	高

第三章 SDM 調變原理與設計

數位 $\Sigma - \Delta$ 調變器工作概念包含：超取樣(Oversample)、Noise-Shaping。

1. 超取樣(Oversample)

從數位訊號的訊號雜訊比(Signal-to-Noise Ratio)的公式來看：

$$\text{SNR}(\text{dB}) = 6.02n + 1.76 + 10\log_{10}(f_s / 2f_{\text{MAX}}) \quad (3.1)$$

其中 n 為 bit 數， f_s 為訊號取樣頻率， f_{MAX} 為訊號頻寬。由式(3.1)，超取樣倍率每 4 倍將等效於解析度增加 1bit。而如果 1-bit 要達到 16-bit 解析，超取樣倍率大小將不切實際，所以 $\Sigma - \Delta$ 採用 Noise-Shaping 技術消除了這種侷限，每 4 倍將使 SNR 增加高於 6dB。



2. Noise-Shaping

將 1-bit 輸出回授與輸入訊號比對後產生的量化誤差(Quantization Error)，透過迴圈轉移函數來改變其能量分佈，推往高頻，此部分將由以下章節詳述之。

3.1 SDM 調變器的順滑模態與最佳模態理論

本章基於[6][7]來介紹 $\Sigma - \Delta$ 調變的設計概念與方法，將以連續訊號的具時間最佳化(Time-Optimal)之 Noise-Shaping 量化機制為基礎，藉由各階量化器的演進，討論其順滑模態(Sliding Mode)的存在性與穩定性，並由此衍生出 n 階數位 $\Sigma - \Delta$ 調變器系統架構，分析其數位運作下，最佳模態(Optimization Mode)的存在性與穩定性。首先於 3.1 闡述理想化 Noise-Shaping 機制概念，推導出 n 階數位 $\Sigma - \Delta$ 調變器架構與其穩定條件。3.2 說明輸出特性與實現上的狀態變數限制。3.3 為系統設計方法與流程。

3.1.1 具時間最佳化之 Noise Shaping 量化機制

數位 $\Sigma - \Delta$ 調變器的機制就是將 multi-bit 訊號調變成 1-bit，我們可從一個理想連續訊號的 1-bit Noise-Shaping 量化機制作為基礎。如圖 3.1.1，1-bit Noise-Shaping 量化器(Quantizer)機制就是將一個連續訊號 $r(t)$ 量化成 1-bit 二元(Binary) $y(t)$ 輸出，而 1-bit 訊號 $y(t)$ 要如何逼近原始的輸入訊號 $r(t)$ ，可從 Noise-Shaping 量化器內部機制來探討。

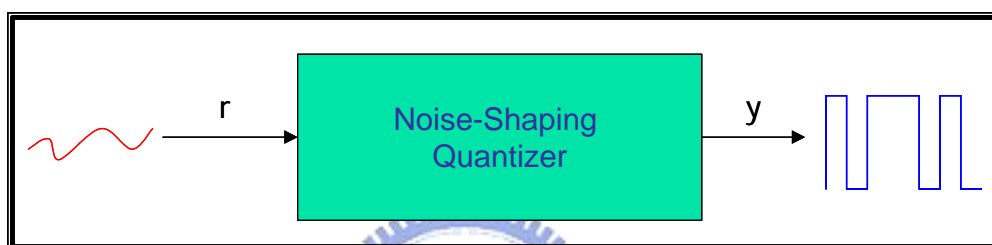


圖 3.1.1 1-bit Noise-Shaping 量化機制

1-bit 二元訊號不可能等於一個連續訊號，所以此問題可視為一個有限制條件的最佳化(Constrained Optimization)問題。我們可以給予訊號轉移函數(Signal Transfer Function) $F(s)$ ，與一個權重函數(Weighting Function) $W(s)$ ，從一個 frequency-weighted norm 最小化來看：

$$\min_{|y|=1} \|W(FR - Y)\| \quad (3.2)$$

$Y(s)$ 與 $R(s)$ 為 $y(t)$ 與 $r(t)$ 的拉普拉司(Laplace)轉換。式中 $FR - Y$ 即為量化誤差，而權重函數(Weighting Function) $W(s)$ 則定義頻域的權重，因此式(3.2)說明了 $FR - Y$ 量化誤差將經由 $W(s)$ 所選擇的頻帶做最小化。如圖 3.1.2，假設 $r(t)$ 為一個音頻(20kHz)內的訊號，則 $W(s)$ 可以選擇為一個截止頻率(Cutoff Frequency)高於音頻的低通濾波器，如此一來此最佳化將針對量化誤差低頻部分做最小化，使得 1-bit 訊號 Y 與 FR 在音頻內可以得到最佳的近似。因此權重函數(Weighting Function)

$W(s)$ 就是扮演將 $FR - Y$ 量化誤差做整形(Shaping)的角色，將誤差推擠到不要的頻帶，達到 Noise-Shaping 效果。

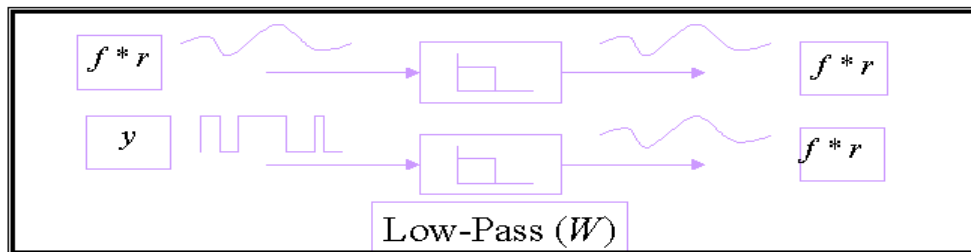


圖 3.1.2 Noise-Shaping 概念

3.1.2 1 階數位化量化器

根據式(3.2)的概念，可以從一理想連續訊號 1 階具時間最佳化(Time-Optimal) 量化器來看，其架構為圖 3.1.3。在此規定所有係數皆為正數。

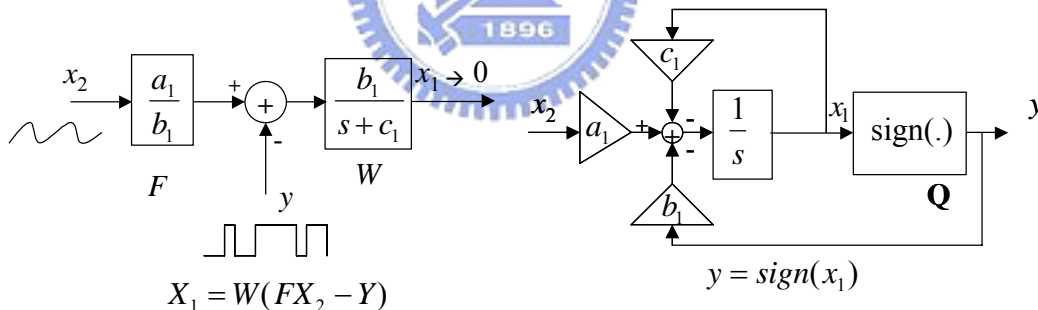


圖 3.1.3 1 階 Time-Optimal 量化器

其中 $X_1 = W(FX_2 - Y)$ ，系統的目標就是將 x_1 最小化，因此令 x_1 的成本函數(Cost Function)為 $V = \frac{1}{2}x_1^2$ ，希望其大小隨時間而漸小，其微分為 \dot{V} ：

$$\dot{V} = x_1 \dot{x}_1 = x_1(a_1 x_2 - b_1 y - c_1 x_1) = -|x_1|[-a_1 \text{sign}(x_1)x_2 + b_1 + c_1|x_1|] \quad (3.3)$$

根據 descent property， $\dot{V} = x_1 \dot{x}_1 < 0$ when $x_1 \neq 0$ ，將使 x_1 收斂，也就是當 $x_1 > 0$ 時， x_1 會變小，當 $x_1 < 0$ 時， x_1 會增加，在最小時間內使 x_1 收斂於 0。由於 V 恆大

於等於 0，當 $V=0$ 時表示量化誤差 x_1 為 0，所以使非 0 的 V 符合 descent property 的充分條件為：

$$|x_2| < \frac{b_1}{a_1} + \frac{c_1}{a_1}|x_1| \quad (3.4)$$

此為順滑模態的存在性(Existence of Sliding Mode)， $x_1 = 0$ 為順滑表面(Sliding Surface)。

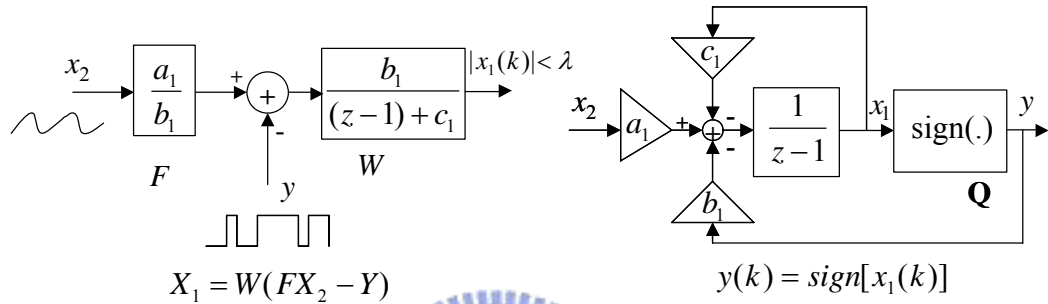


圖 3.1.4 1 階數位 $\Sigma - \Delta$ 調變器

而將 1 階量化器數位化來看，如圖 3.1.4，為了能在 n 階系統使用 pipeline，因此將積分器加入一個 delay 來分析系統效果。但對於離散系統來說，便無法以 V 的差分來證明 descent property。但以減小量化誤差 x_1 為出發點，可以用相似於 $x_1 \dot{x}_1 < 0$ 的概念 $x_1 \Delta x_1 < 0$ 來證明 x_1 會收斂於某個範圍內。由圖 3.1.4 可得方程式：

$$x_1(k+1) = x_1(k) + a_1 x_2(k) - b_1 y(k) - c_1 x_1(k) \quad (3.5)$$

$$y(k) = \text{sign}[x_1(k)] \quad (3.6)$$

因此可得 x_1 的差分：

$$\Delta x_1(k) = x_1(k+1) - x_1(k) = a_1 x_2(k) - b_1 \text{sign}[x_1(k)] - c_1 x_1(k) \quad (3.7)$$

推導出 $x_1(k) \Delta x_1(k)$ ：

$$\begin{aligned} x_1(k) \Delta x_1(k) &= x_1(k) \{a_1 x_2(k) - b_1 \text{sign}[x_1(k)] - c_1 x_1(k)\} \\ &= -|x_1(k)| \{-a_1 \text{sign}[x_1(k)] x_2(k) + b_1 + c_1 |x_1(k)|\} < 0 \end{aligned}$$

$$\therefore |x_2(k)| < \frac{b_1}{a_1} + \frac{c_1}{a_1} |x_1(k)| \quad (3.8)$$

此稱為最佳模態的存在性(Existence of Optimization Mode)。

在(3.8)的條件下，可以確保 x_1 的差分在某一範圍內：

$$\begin{aligned} |\Delta x_1(k)| &= |a_1 x_2(k) - b_1 \text{sign}[x_1(k)] - c_1 x_1(k)| \leq a_1 |x_2(k)| + b_1 + c_1 |x_1(k)| \\ &< 2b_1 + 2c_1 |x_1(k)| \end{aligned} \quad (3.9)$$

同時，由於條件(3.8)可以使 $x_1(k)\Delta x_1(k) < 0$ (for $x_1(k) \neq 0$)，也就是當 $x_1(k) > 0$ 時， $x_1(k+1) < x_1(k)$ ；當 $x_1(k) < 0$ 時，則 $x_1(k+1) > x_1(k)$ ，因此可以得知 $x_1(k)$ 會以 0 為準位振盪，加上差分 $|\Delta x_1(k)|$ 被限制(3.9)，可以推知 $x_1(k)$ 最終被限制於 $|\Delta x_1|$ 的最大變動範圍內：

$$|x_1(k)| = |\Delta x_1(k)| < 2b_1 + 2c_1 |x_1(k)| \quad (3.10)$$

在 $0 \leq c_1 < 0.5$ 的前提下， $x_1(k)$ 的邊界(3.10)可寫為：

$$|x_1(k)| < \frac{2b_1}{1-2c_1} \quad (3.11)$$

3.1.3 n 階數位化量化器與系統化簡

如圖 3.1.5，以一階量化器為基礎串接起來，即形成一個 n 階具時間最佳化(Time-Optimal)量化器。

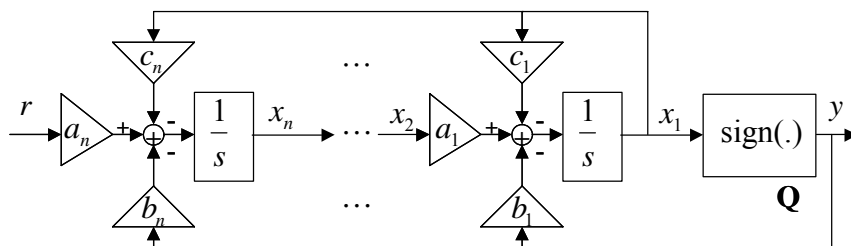


圖 3.1.5 n 階 Time-Optimal 量化器

而由於分析與設計上方便，以下將此 n 階架構作一個等效上的簡化，根據圖 3.1.5 之 n 階系統，可以寫下其狀態方程式以及 Laplace 轉換方程式：

$$\begin{cases} \dot{x}_1 = a_1 x_2 - b_1 y - c_1 x_1 \Rightarrow X_1 = \frac{1}{s+c_1} (a_1 X_2 - b_1 Y) & (3.12) \end{cases}$$

$$\begin{cases} \dot{x}_2 = a_2 x_3 - b_2 y - c_2 x_2 \Rightarrow X_2 = \frac{1}{s} (a_2 X_3 - b_2 Y - c_2 X_1) & (3.13) \end{cases}$$

$$\begin{cases} \dot{x}_n = a_n r - b_n y - c_n x_n \Rightarrow X_n = \frac{1}{s} (a_n R - b_n Y - c_n X_1) & (3.14) \end{cases}$$

將(3.12)、(3.13)、(3.14)疊代，可以得到：

$$X_1(s) = W(s)[F(s)R(s) - Y(s)] \quad (3.15)$$

其中

$$\begin{cases} F(s) = \frac{a}{N_n(s)}, \quad a = a_1 a_2 \cdots a_n \\ W(s) = \frac{N_n(s)}{D_n(s)} \\ N_n(s) = b_1 s^{n-1} + a_1 b_2 s^{n-2} + \cdots + (a_1 a_2 \cdots a_{n-1} b_n) \\ D_n(s) = s^n + c_1 s^{n-1} + a_1 c_2 s^{n-2} + \cdots + (a_1 a_2 \cdots a_{n-1} c_n) \end{cases}$$

$F(s)$ 為訊號轉移函數(Signal Transfer Function)， $W(s)$ 為迴圈濾波器(Loop Filter)，而根據(3.15)化簡式可以將系統簡化為圖 3.1.6。

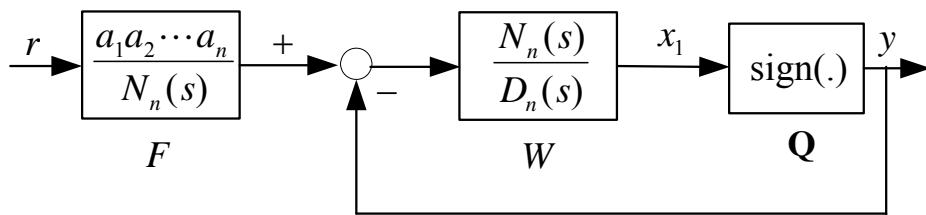
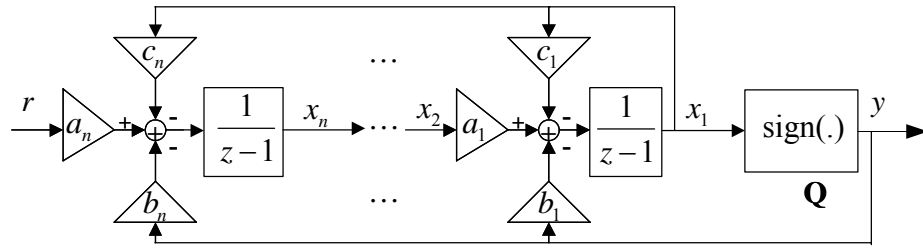


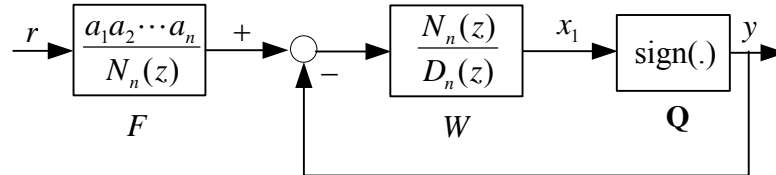
圖 3.1.6 n 階 Time-Optimal 量化器等效方塊

參照連續訊號的方法，可推導出 n 階數位 $\Sigma - \Delta$ 調變器與其系統等效方塊圖，如圖 3.1.7。式(3.15)可以改寫為：

$$X_1(z) = W(z)[F(z)R(z) - Y(z)] \quad (3.16)$$



(a)



(b)

圖 3.1.7 (a) n 階數位 $\Sigma - \Delta$ 調變器 (b) n 階數位 $\Sigma - \Delta$ 調變器等效方塊圖

其中

$$\begin{cases} F(z) = \frac{a}{N_n(z)}, & a = a_1 a_2 \cdots a_n \\ W(z) = \frac{N_n(z)}{D_n(z)} \\ N_n(z) = b_1(z-1)^{n-1} + a_1 b_2(z-1)^{n-2} + \cdots + (a_1 a_2 \cdots a_{n-1} b_n) \\ D_n(z) = (z-1)^n + c_1(z-1)^{n-1} + a_1 c_2(z-1)^{n-2} + \cdots + (a_1 a_2 \cdots a_{n-1} c_n) \end{cases} \quad (3.17)$$

3.1.4 SDM 之穩定條件

因為 $x_1 = 0$ 是動滑表面(Sliding Surface)，代入式(3.12)可以求得 y ：

$$y = \frac{a_1}{b_1} x_2 \quad (3.18)$$

將上式代入(3.13)~(3.14)可以得到各狀態關係式：

$$\begin{cases} \dot{x}_2 = a_2 x_3 - (a_1 b_2 / b_1) x_2 \\ \dot{x}_3 = a_3 x_4 - (a_1 b_3 / b_1) x_2 \\ \vdots \\ \dot{x}_n = a_n r - (a_1 b_n / b_1) x_2 \end{cases} \Rightarrow \begin{bmatrix} \dot{x}_2 \\ \dot{x}_3 \\ \dot{x}_4 \\ \vdots \\ \dot{x}_n \end{bmatrix} = \begin{bmatrix} -a_1 b_2 / b_1 & a_2 & 0 & \cdots & 0 \\ -a_1 b_3 / b_1 & 0 & a_3 & \ddots & \vdots \\ -a_1 b_4 / b_1 & 0 & \ddots & \ddots & 0 \\ \vdots & \vdots & \ddots & 0 & a_{n-1} \\ -a_1 b_n / b_1 & 0 & \cdots & 0 & 0 \end{bmatrix} \begin{bmatrix} x_2 \\ x_3 \\ x_4 \\ \vdots \\ x_n \end{bmatrix} + \begin{bmatrix} 0 \\ \vdots \\ 0 \\ a_n \end{bmatrix} r$$

$$\text{其中 } A = \begin{bmatrix} -a_1 b_2 / b_1 & a_2 & 0 & \cdots & 0 \\ -a_1 b_3 / b_1 & 0 & a_3 & \ddots & \vdots \\ -a_1 b_4 / b_1 & 0 & \ddots & \ddots & 0 \\ \vdots & \vdots & \ddots & 0 & a_{n-1} \\ -a_1 b_n / b_1 & 0 & \cdots & 0 & 0 \end{bmatrix}, \quad B = \begin{bmatrix} 0 \\ \vdots \\ 0 \\ a_n \end{bmatrix}$$

由矩陣 A 可以得知系統的特徵方程式：

$$s^{n-1} + \frac{b_2 a_1}{b_1} s^{n-2} + \frac{b_3 a_2 a_1}{b_1} s^{n-3} + \cdots + \frac{b_n a_{n-1} \cdots a_2 a_1}{b_1} = \frac{N_n(s)}{b_1} \quad (3.19)$$

因為輸入 r 為有限值，因此只要確保(3.19)的根落在左半平面，則可以使系統狀態皆為有限值。此外也觀察到，式(3.19)等效於系統迴圈濾波器 W 之分子 $N(s)$ ，因此設計上要使 $N(s)$ 的根必須落在左半平面，即可以確保系統狀態 $x_2 \sim x_n$ 皆為穩定，此稱為順滑模態的穩定性(Stability of Sliding Mode)。因此一個理想 n 階具時間最佳化量化器的穩定條件為：

(i) 動滑模態的存在性(Existence of Sliding Mode)： $|x_2| < \frac{b_1}{a_1} + \frac{c_1}{a_1} |x_1|$

(ii) 動滑模態的穩定性(Stability of Sliding Mode)： $N_n(s)$ 所有根必須落在左半平面

而發展成 n 階數位 $\Sigma - \Delta$ 調變器時，量化誤差由式(3.11)將收斂於一個範圍內而不為 0。首先由 1 階狀態方程式(3.5)可以得到 $y(k)$ 與 $x_1(k)$ 、 $x_2(k)$ 之關係：

$$y(k) = \left(\frac{a_1}{b_1}\right)x_2(k) - \left(\frac{1}{b_1}\right)\Delta x_1(k) - \left(\frac{c_1}{b_1}\right)x_1(k) \quad (3.20)$$

而利用上式，可以將其餘狀態變數表示為：

$$\begin{cases} x_2(k+1) = \left(1 - \frac{a_1 b_2}{b_1}\right)x_2(k) + a_2 x_3(k) + \left(\frac{b_2}{b_1}\right)\Delta x_1(k) + \left(\frac{c_1 b_2}{b_1} - c_2\right)x_1(k) \\ x_3(k+1) = -\frac{a_1 b_3}{b_1}x_2(k) + x_3(k) + a_3 x_4(k) + \left(\frac{b_3}{b_1}\right)\Delta x_1(k) + \left(\frac{c_1 b_3}{b_1} - c_3\right)x_1(k) \\ \vdots \\ x_n(k+1) = -\frac{a_1 b_n}{b_1}x_2(k) + x_n(k) + a_n r(k) + \left(\frac{b_n}{b_1}\right)\Delta x_1(k) + \left(\frac{c_1 b_n}{b_1} - c_n\right)x_1(k) \end{cases}$$

由上面關係式，可以寫成系統方程式：

$$\bar{x}(k+1) = A\bar{x}(k) + B_1 r(k) + B_2 \Delta x_1(k) + B_3 x_1(k)$$

$$\text{其中 } A = \begin{bmatrix} -a_1 b_2 / b_1 + 1 & a_2 & 0 & \cdots & 0 \\ -a_1 b_3 / b_1 & 1 & a_3 & \ddots & \vdots \\ -a_1 b_4 / b_1 & 0 & \ddots & \ddots & 0 \\ \vdots & \vdots & \ddots & 1 & a_{n-1} \\ -a_1 b_n / b_1 & 0 & \cdots & 0 & 1 \end{bmatrix}, \quad B_1 = \begin{bmatrix} 0 \\ \vdots \\ 0 \\ a_n \end{bmatrix}, \quad B_2 = \begin{bmatrix} b_2 / b_1 \\ b_3 / b_1 \\ \vdots \\ b_n / b_1 \end{bmatrix}, \quad B_3 = \begin{bmatrix} c_1 b_2 / b_1 - c_2 \\ c_1 b_3 / b_1 - c_3 \\ \vdots \\ c_1 b_n / b_1 - c_n \end{bmatrix}$$

由矩陣 A 可以得知系統的特徵方程式：

$$(z-1)^{n-1} + \frac{b_2 a_1}{b_1} (z-1)^{n-2} + \frac{b_3 a_2 a_1}{b_1} (z-1)^{n-3} + \cdots + \frac{b_n a_{n-1} \cdots a_2 a_1}{b_1} = \frac{N_n(z)}{b_1} \quad (3.21)$$

由式(3.10)與(3.11)得知 $\Delta x_1(k)$ 、 $x_1(k)$ 與輸入 $r(k)$ 皆為有限值，因此只要確保(3.21)(等效於系統迴圈濾波器 W 之分子 $N(z)$)的根落在單位圓內，則可以確保系統狀態 $x_2 \sim x_n$ 皆為穩定，此稱為最佳模態的穩定性(Stability of Optimization Mode)。因此一個 n 階數位 $\Sigma - \Delta$ 調變器的穩定條件為：

(i) 最佳模態的存在性(Existence of Optimization Mode)： $|x_2(k)| < \frac{b_1}{a_1} + \frac{c_1}{a_1} |x_1(k)|$

(ii) 最佳模態的穩定性(Stability of Optimization Mode)： $N_n(z)$ 所有根必須落在單位圓內

3.2 數位 $\Sigma - \Delta$ 調變器 Noise-Shaping 與狀態變數限制

3.2.1 說明由輸出觀點看系統之 Noise-Shaping 效果，3.2.2 則為各階狀態變數的表示。

3.2.1 從輸出觀點來看 n 階 Noise Shaping 效果

由式(3.16)推導，可得輸出之等式：

$$Y = FR - W^{-1}X_1 \quad (3.22)$$

因此可以發現在理想狀態下， $X_1=0$ ，則輸出 $Y = FR$ ；但是於離散系統中，只能保證 X_1 收斂於某一範圍[7]，因此 W 頻帶內的量化誤差只能被降低而不是排除。因此輸出必包含兩部分，第一項為我們所要的訊號 FR ，而另外一項為量化誤差 X_1 所造成的雜訊，所幸的是量化誤差會先經過 W^{-1} 濾波；當 FR 分布為低頻帶時，我們可以選擇 W^{-1} 為高通濾波器，使量化誤差於低頻的成分不會出現於 Y 中，便可以讓 Y 的兩個訊號成分不會互相干擾。

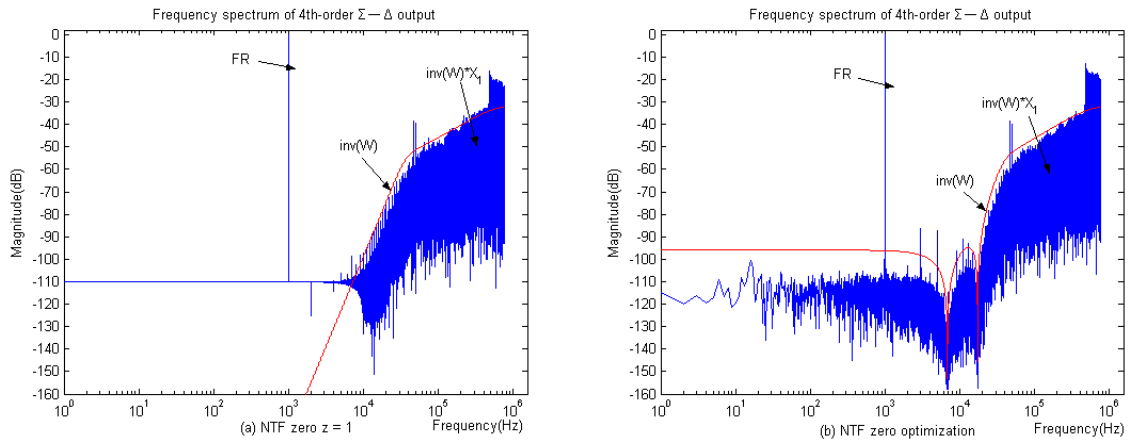


圖 3.2.1 W^{-1} 之頻率響應 (a)零點皆在 $z = 1$ (b)零點在最佳位置

圖 3.2.1 為本論文所採用之 W^{-1} 頻譜圖，因此量化誤差通過 W^{-1} 後其頻率分布會被改變，原本分布於低頻的成分則被推至高頻處，因此 $\Sigma - \Delta$ 之另一項特性為具有雜訊重整(Noise-Shaping)的能力，在後面的設計方法中，將說明如何使雜訊分布於任意所想要的頻帶，並分析證明最佳化 W^{-1} 之零點位置。

3.2.2 系統各階狀態表示式與穩態

3.1 節的穩定條件中只能確保系統各階狀態維持在有限值，但其設計係數組合有多種可能，為求離散系統中各狀態的數位表示法可以統一，因此必須根據各狀態與係數之間的關係，妥善設計一組係數來使各狀態在相同的邊界(Boundary)

以便實現。

各狀態 z-transform 的表示式：

$$\begin{cases} zX_1 = X_1 + a_1X_2 - b_1Y - c_1X_1 \\ zX_2 = X_2 + a_2X_3 - b_2Y - c_2X_1 \\ \vdots \\ zX_n = X_n + a_nR - b_nY - c_nX_1 \end{cases} \quad (3.23)$$

將式(3.17)、(3.22) $Y = FR - W^{-1}X_1$ 代入(3.23)可以求得各狀態 $X_m(z)$ 與 $R(z)$ 、 $X_1(z)$ 的關係式：

$$\begin{aligned} X_2(z) &= \frac{b_1}{a_1} F(z)R(z) + \frac{((z-1) + c_1) - b_1W(z)^{-1}}{a_1} X_1(z) \\ &= \frac{N_1(z)}{a_1} F(z)R(z) + \frac{D_1(z) - N_1(z)W(z)^{-1}}{a_1} X_1(z) \\ X_3(z) &= \frac{[b_1(z-1) + b_2a_1]}{a_1a_2} F(z)R(z) + \frac{[(z-1)^2 + c_1(z-1) + c_2a_1] - [b_1(z-1) + b_2a_1]W(z)^{-1}}{a_1a_2} X_1(z) \\ &= \frac{N_2(z)}{a_1a_2} F(z)R(z) + \frac{D_2(z) - N_2(z)W(z)^{-1}}{a_1a_2} X_1(z) \\ &\quad \vdots \\ X_n(z) &= \frac{N_{n-1}(z)}{a_1a_2 \cdots a_{n-1}} F(z)R(z) + \frac{D_{n-1}(z) - N_{n-1}(z)W(z)^{-1}}{a_1a_2 \cdots a_{n-1}} X_1(z) \end{aligned}$$

所以可以推導出 $X_m(z)$ 與 $R(z)$ 、 $X_1(z)$ 的通式：

$$X_m(z) = \frac{a_1a_2 \cdots a_n \cdot A_m(z)}{a_1a_2 \cdots a_{m-1}} R(z) + \frac{B_m(z)}{a_1a_2 \cdots a_{m-1}} X_1(z) \quad , \quad m = 2, 3, \dots, n \quad (3.24)$$

$$\text{其中} \begin{cases} A_m(z) = N_{m-1}(z) / N_n(z) \\ B_m(z) = D_{m-1}(z) - N_{m-1}(z)W(z)^{-1}, \quad W(z) = N_n(z) / D_n(z) \\ N_k(z) = b_1(z-1)^{k-1} + b_2a_1(z-1)^{k-2} + \cdots + (b_k a_{k-1} \cdots a_1) \\ D_k(z) = (z-1)^k + c_1(z-1)^{k-1} + \cdots + (c_k a_{k-1} \cdots a_1) \end{cases} \quad (3.25)$$

最後，由(3.24)可估測 $x_m(k)$ 在穩態時的最大值為：

$$\|x_m\|_{ss\infty} \approx \frac{a_1 a_2 \cdots a_n \|A_m\|_{\infty}}{a_1 a_2 \cdots a_{m-1}} \|r\|_{ss\infty} + \frac{\|B_m\|_{\infty}}{a_1 a_2 \cdots a_{m-1}} \|x_1\|_{ss\infty} \quad (3.26)$$

其中 $\|\cdot\|_{\infty}$ 表示 H_{∞} norm, $\|A\|_{\infty} = \sup_{|z|=1} |A(z)|$, $\|\cdot\|_{ss\infty}$ 表示穩態之最大振幅。

3.3 設計方法

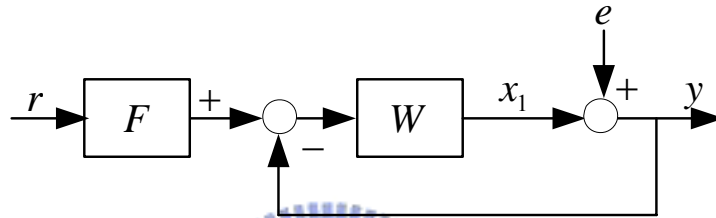


圖 3.3.1 Additive Noise Model

3.3.1 迴路濾波器(Loop Filter)設計

將圖 3.1.7 的等效方塊圖的 1-bit 量化器線性化為 additive noise model 如圖 3.3.1，如此一來量化誤差 e 的轉移函數即為雜訊轉移函數(Noise Transfer Function)：

$$NTF = \frac{1}{1+W(z)} = \frac{1}{1+N_n(z)/D_n(z)} = \frac{D_n(z)}{D_n(z)+N_n(z)}$$

如此可以根據想要雜訊分佈的頻帶設計一高通濾波器，而得到對應的迴路濾波器 $W(z)$ 。以處理音頻數位 $\Sigma - \Delta$ 調變器來說，本論文是讓雜訊轉移函數為一個 n 階的巴特沃司(Butterworth)高通濾波器。濾波器形式：

$$NTF = \frac{(z-1)^n}{(z-1)^n + b_1(z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + \cdots + (b_n a_{n-1} \cdots a_1)} \quad (3.27)$$

3.3.2 最佳化雜訊轉移函數(Noise Transfer Function)零點位置

式(3.27)的零點位置皆位於 $z=1$ ，而對於最小化頻寬內的雜訊能量(Noise Power)而言，可將這些零點妥善分佈在頻寬內達到最佳效果。

從 Noise-Shaping 函數 $W^{-1}(z) = D_n(z) / N_n(z)$ 來看，以極點(poles)位置固定的前提下，要最小化訊號頻寬 ω_B 內的雜訊能量(Noise Power)為：

$$\min_h \int_0^{\omega_B} |W^{-1}(e^{j\omega})|^2 d\omega \Rightarrow \min_h \int_0^{\omega_B} |D_n(h_z, e^{j\omega})|^2 d\omega \quad (3.28)$$

其中 $D_n(h_z, e^{j\omega}) = e^{jn\omega} + h_1 e^{j(n-1)\omega} + h_2 e^{j(n-2)\omega} + \dots + h_n$

以下以線性代數來求其解：

令 $h_z = [h_1 \ h_2 \ \dots \ h_n]^T$ and $v_z = [e^{j(n-1)\omega} \ e^{j(n-2)\omega} \ \dots \ 1]^H$

$$\begin{aligned} |D_n(h_z, e^{j\omega})|^2 &= [e^{jn\omega} + v_z^H h_z]^H [e^{jn\omega} + v_z^H h_z] = [e^{-jn\omega} + h_z^T v_z][e^{jn\omega} + v_z^H h_z] \\ &= 1 + (e^{jn\omega} v_z^T + e^{-jn\omega} v_z^H) h_z + h_z^T v_z v_z^H h_z \\ &= 1 + 2u^T(\omega) h_z + h_z^T W(\omega) h_z \end{aligned}$$

$$u^T(\omega) = \text{Re}[e^{-jn\omega} v_z^H] = [\cos\omega \ \cos 2\omega \ \dots \ \cos n\omega]$$

$$W(\omega) = \text{Re}[v_z v_z^H] =$$

$$\text{Re} \begin{bmatrix} 1 & e^{-j\omega} & e^{-j2\omega} & \dots & e^{-j(n-1)\omega} \\ e^{j\omega} & 1 & e^{-j\omega} & \ddots & \vdots \\ e^{j2\omega} & e^{j\omega} & 1 & \ddots & e^{-j2\omega} \\ \vdots & \ddots & \ddots & \ddots & e^{-j\omega} \\ e^{j(n-1)\omega} & \dots & e^{j2\omega} & e^{j\omega} & 1 \end{bmatrix} = \begin{bmatrix} 1 & \cos\omega & \cos 2\omega & \dots & \cos(n-1)\omega \\ \cos\omega & 1 & \cos\omega & \ddots & \vdots \\ \cos 2\omega & \cos\omega & 1 & \ddots & \cos 2\omega \\ \vdots & \ddots & \ddots & \ddots & \cos\omega \\ \cos(n-1)\omega & \dots & \cos 2\omega & \cos\omega & 1 \end{bmatrix}$$

$$J = \int_0^{\omega_B} |D_n(h_z, e^{j\omega})|^2 d\omega = \omega_B + 2p^T(\omega_B) h + h^T Q(\omega_B) h$$

$$p^T(\omega_B) = \int_0^{\omega_B} u^T(\omega) d\omega = \left[\frac{\sin\omega_B}{1} \quad \frac{\sin 2\omega_B}{2} \quad \dots \quad \frac{\sin n\omega_B}{n} \right]$$

$$Q(\omega_B) = \int_0^{\omega_B} W(\omega) d\omega = \begin{bmatrix} \omega_B & \frac{\sin \omega_B}{1} & \frac{\sin 2\omega_B}{2} & \dots & \frac{\sin(n-1)\omega_B}{n-1} \\ \frac{\sin \omega_B}{1} & \omega_B & \frac{\sin \omega_B}{1} & \ddots & \vdots \\ \frac{\sin 2\omega_B}{2} & \frac{\sin \omega_B}{1} & \omega_B & \ddots & \frac{\sin 2\omega_B}{2} \\ \vdots & \ddots & \ddots & \ddots & \frac{\sin \omega_B}{1} \\ \frac{\sin(n-1)\omega_B}{n-1} & \dots & \frac{\sin 2\omega_B}{2} & \frac{\sin \omega_B}{1} & \omega_B \end{bmatrix}$$

藉由解 $\nabla_h J = 0$ ，可以得到最佳解 $h^* = -Q(\omega_B)^{-1} p(\omega_B)$ 。以上是由最佳係數解求得零點位置，另外也可直接找出最佳零點位置[28]。

3.3.3 n 階 SDM 系統之設計流程

Step1. 設計迴圈濾波器(Loop Filter)、最佳化零點位置(Optimizing NTF Zeros)：

$$W(z) = \frac{N_n(z)}{D_n(z)} = \frac{b_1(z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + \dots + (b_n a_{n-1} \dots a_1)}{(z-1)^n + c_1(z-1)^{n-1} + \dots + (c_n a_{n-1} \dots a_1)}$$

→ 得到 $b_1, b_2 a_1, \dots, b_n a_{n-1} \dots a_1$ and $c_1, c_2 a_1, \dots, c_n a_{n-1} \dots a_1$

Step2. 邊界 $|x_1(k)| < 2b_1 / (1 - 2c_1)$ 與最佳模態存在性 $|x_2(k)| < \frac{b_1}{a_1} + \frac{c_1}{a_1} |x_1(k)|$ ：

→ 得到 a_1

Step3. 利用狀態變數限制方程式 $\|x_m\|_{ss\infty} \approx \frac{a_1 a_2 \dots a_n \|A_m\|_{\infty}}{a_1 a_2 \dots a_{m-1}} \|r\|_{ss\infty} + \frac{\|B_m\|_{\infty}}{a_1 a_2 \dots a_{m-1}} \|x_1\|_{ss\infty} \leq 1$

$$\text{其中} \begin{cases} A_m(z) = N_{m-1}(z) / N_n(z) \\ B_m(z) = D_{m-1}(z) - N_{m-1}(z)W(z)^{-1}, \quad W(z) = N_n(z) / D_n(z) \\ N_k(z) = b_1(z-1)^{k-1} + b_2 a_1 (z-1)^{k-2} + \dots + (b_k a_{k-1} \dots a_1) \\ D_k(z) = (z-1)^k + c_1(z-1)^{k-1} + \dots + (c_k a_{k-1} \dots a_1) \end{cases}$$

→ 得到 $a_2 \sim a_n$

Step4. 將係數 $a_2 \sim a_n$ 代回 Step1

→ 計算 $b_2 \sim b_n, c_2 \sim c_n$

第四章 SDM 設計實例分析與模擬

前一章主要為闡述一個1-bit n 階 $\Sigma - \Delta$ 調變器的硬體架構、穩定性分析與設計方法，但是在硬體實現上必須根據成本與效能做一個最佳選擇。本章將考慮的因素有切換次數功率消耗、全橋功率放大器CMOS不匹配問題、 $\Sigma - \Delta$ 調變器階數成本與訊號雜訊比(Signal-to-Noise Ratio)的權衡，與Noise-Shaping截止頻率與輸出振幅大小關係。

本章將引進1.5-bit量化器運算方法，三元(Ternary)轉換四元(Quaternary)輸出，並且分析比較 $\Sigma - \Delta$ 調變器階數、訊號雜訊比(Signal-to-Noise Ratio)、Noise-Shaping截止頻率與振幅大小之間的關係。

4.1 1.5-bit 量化機制

原本的1-bit 量化機制，即使輸入訊號源微小或0時，系統仍不斷切換，造成無謂損失。所以需要不同的調變方式來降低MOS的切換次數，以提高小訊號放大效率，這個方法稱為1.5-bit 量化機制，概念就是輸出 $y[n]$ 除了原本的 ± 1 外，多了一個0狀態。

4.1.1 1.5-bit 量化概念

全橋功率放大器，是以切換命令控制四顆元件的導通與否，來決定負載的順向與逆向電流，而 $y[n]$ 的二元(Binary)輸出 ± 1 則決定了正向與逆向，現在多了一個0狀態，則是讓負載電流為0。而三元輸出 $y[n]$ 與全橋切換控制關係所有可能為表4.1.1，除了 ± 1 有唯一解以外，0狀態切換的方式有多種，而以CMOS左右成對的情況下，通常選擇將各對CMOS輸入開關短路，如以一來控制訊號只需要以2 bits即可實現三元(Ternary)輸出。

由圖 4.1.1 左圖得知當 1-bit 二元(Binary)量化時，負載兩端 V_+ 、 V_- 為互補脈波，所以當 $y[n]$ 由 $+1 \rightarrow -1$ 時， V_+ 由 $+1 \rightarrow 0$ 且 V_- 由 $0 \rightarrow +1$ ，反之亦然，每次切換動作必使每個開關作切換一次；而圖 4.1.1 右圖為採 1.5-bit 三元(Ternary)量化，0 狀態為採用 PMOS 導通 NMOS 截止的方式，當 $y[n]$ 由 $+1 \rightarrow 0$ 時， V_+ 不變且 V_- 由 $0 \rightarrow +1$ ；而當 $y[n]$ 由 $-1 \rightarrow 0$ 時， V_+ 由 $0 \rightarrow +1$ 且 V_- 不變，如此只需將其中某一對 CMOS 的兩個開關作切換的動作，其餘皆維持原狀。如此一來只要確保輸出 $y[n]$ 能夠準確表示所想要的訊號，則 1.5-bit 量化可以將低切換次數，減少切換損失，熱能消耗之外，對於抑制 EMI 以及延長元件使用壽命皆有所改善。

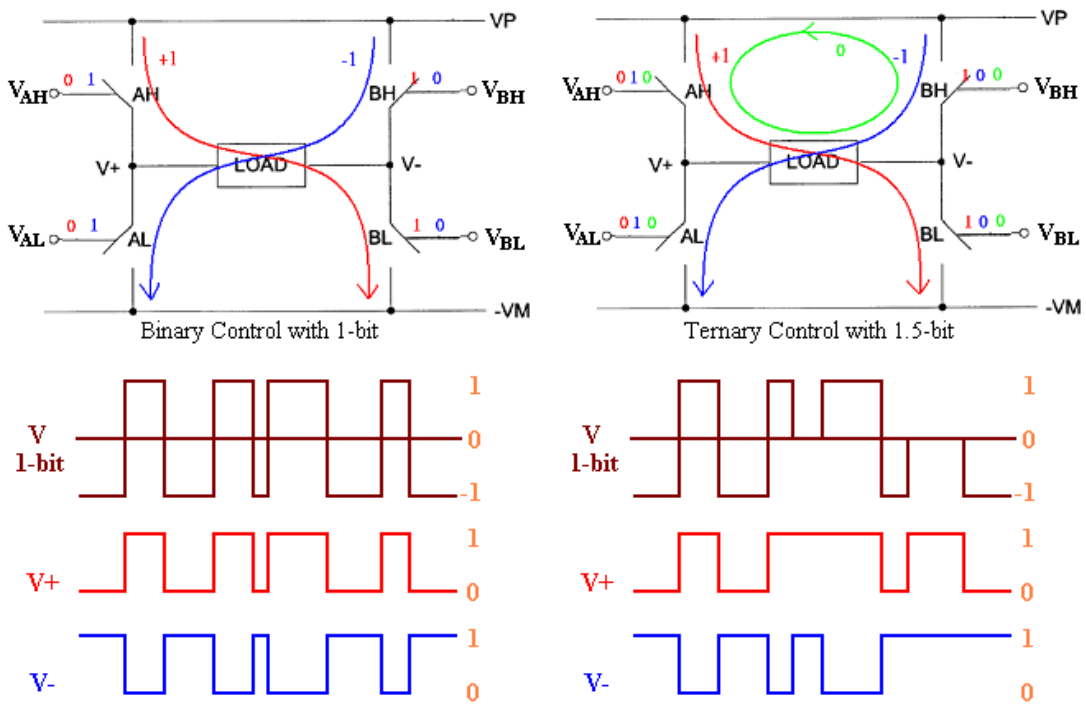


圖 4.1.1 切換訊號與開關波形關係圖

表 4.1.1 輸出 $y[n]$ 狀態與後級 CMOS 有效輸入比照表

$y[n]$	0	0	1	0	0	0	-1	0	0
$V_{AH}(\text{PMOS})$	0	0	0	1	1	1	1	1	1
$V_{AL}(\text{NMOS})$	0	0	0	0	0	0	1	1	1
$V_{BH}(\text{PMOS})$	0	1	1	0	1	1	0	1	1
$V_{BL}(\text{NMOS})$	0	0	1	0	0	1	0	0	1

4.1.2 1.5-bit 量化運算

1.5-bit 量化運算根據不同的調變理論有不同的方法，其中同一種調變理論也有數種方法。在此介紹根據 PWM 的方法：德州儀器的差動調變(Differential Modulator)[22]與 Apogee Technology 的三元調變(Ternary Modulation)[23]。

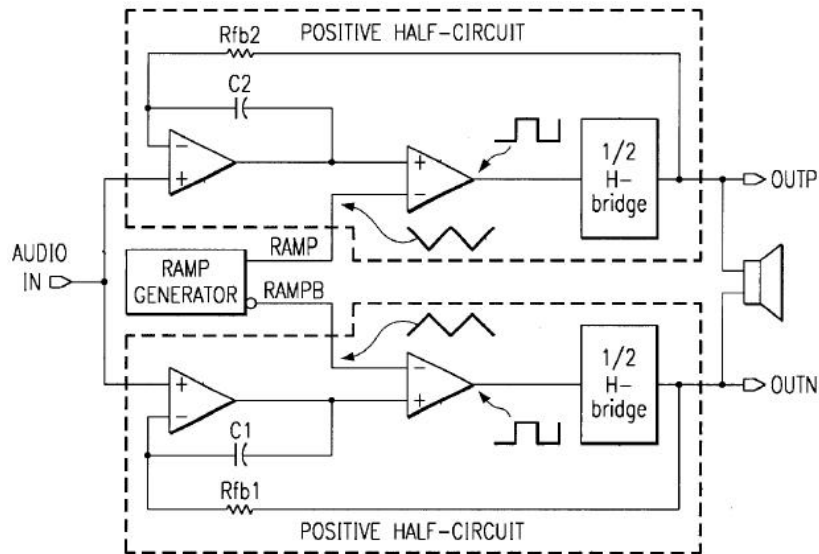


圖 4.1.2 德州儀器差動調變方塊示意圖

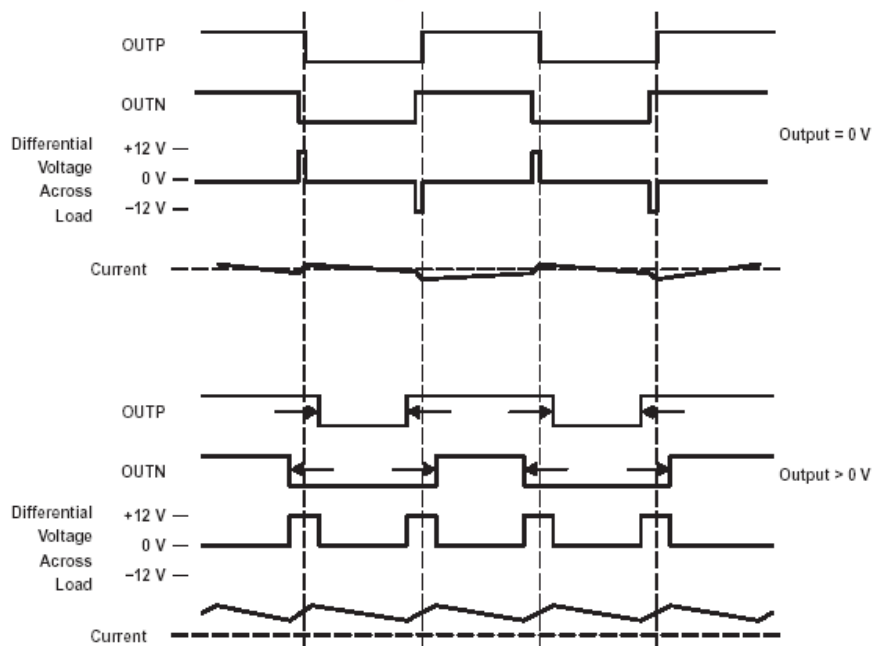


圖 4.1.3 德州儀器的差動調變方法

德州儀器的差動調變採取兩組 PWM 半電路，根據輸入調整兩端脈波 (OUTP、OUTN) 相位差(圖 4.1.2)。當輸入為零時，其兩輸出為 duty cycle=50% 的方波，平均電流值為零，而當有輸入電壓值時，則兩輸出端調整各自的 duty cycle，產生差動電流，如圖 4.1.3。

Apogee Technology 的三元調變，輸出端電壓除了 ± 1 之外多了一個 0 狀態，圖 4.1.4 顯示輸入訊號與輸出之關係，原理就是將原本正半週與負半週會抵銷調的脈波面積定為 0 狀態輸出。

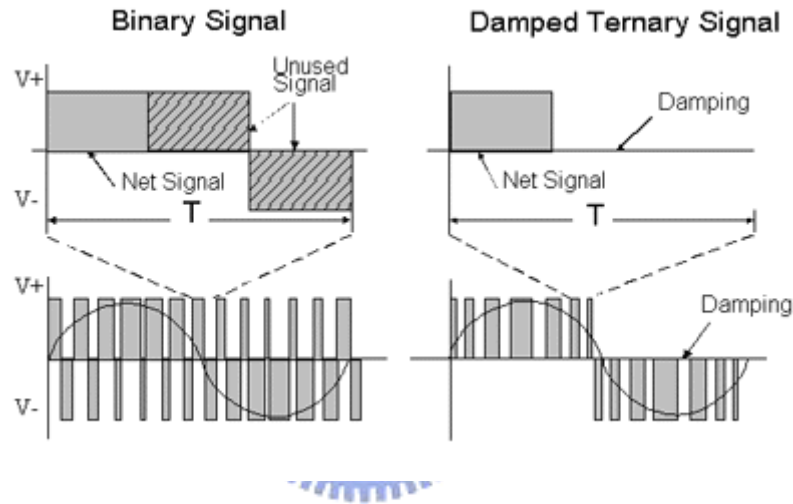


圖 4.1.4 Apogee 的三元調變與傳統 PWM 運作比較

4.1.3 SDM 的 1.5-bit 量化運算

參照[24]理論，將 1-bit 延伸為 1.5-bit 之運算，以確保不改變系統追蹤訊號的運作。1-bit $\Sigma-\Delta$ 的設計概念是希望量化誤差 x_1 收斂，也就是 $x_1 \Delta x_1 < 0$ ，而由 3.1 小節可以知道，原本的 1-bit 運算，是經由限制 x_2 之範圍 ($|x_2(k)| < \frac{b_1}{a_1} + \frac{c_1}{a_1} |x_1(k)|$)，及採用 $y = \text{sign}(x_1)$ 做為系統回授達成 $x_1 \Delta x_1 < 0$ 之機制，不過經由式(3.5)可以發現：

$$x_1(k+1) = x_1(k) + a_1 x_2(k) - b_1 y(k) - c_1 x_1(k)$$

$$\rightarrow \Delta x_1(k) = x_1(k+1) - x_1(k) = a_1 x_2(k) - b_1 y(k) - c_1 x_1(k)$$

$$\rightarrow \Delta x_1(k)x_1(k) = a_1x_1(k)x_2(k) - b_1x_1(k)y(k) - c_1x_1^2(k) < 0$$

if $sign(x_1)sign(x_2) < 0$, then $y = 0$

因此，當 $sign(x_2)sign(x_1) < 0$ 時，不需要回授 y ，系統便可達成量化誤差收斂之機制 ($x_1\Delta x_1 < 0$)，此時則設輸出 y 為零，採用此運算可減少後級開關之切換次數，更使雜訊被壓制於較低的水平(圖 4.1.5)，在此將運算法整理如下表 4.1.2：

表 4.1.2 1.5-bit 運算"輸出-輸入"關係表

$sign(x_1)$	$sign(x_2)$	Out
1	1	1
-1	1	0
1	-1	0
-1	-1	-1

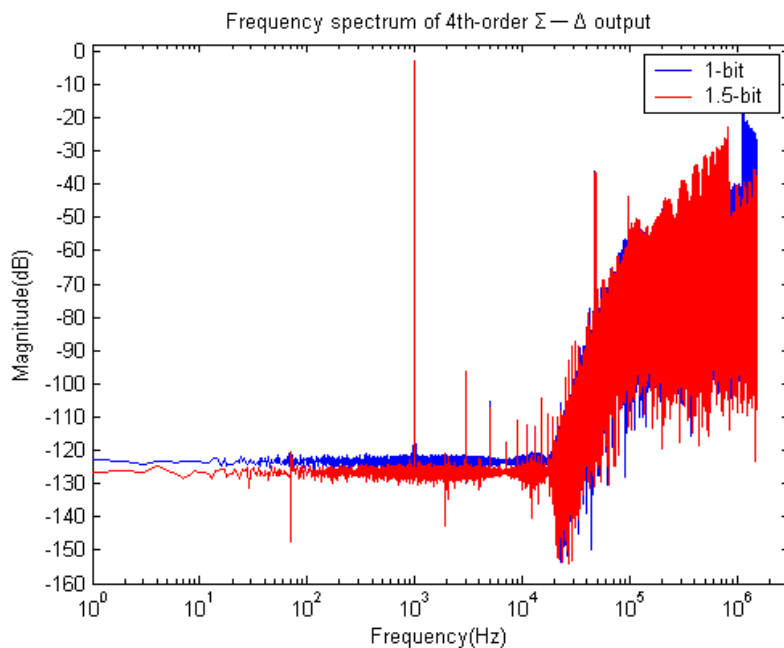


圖 4.1.5 1-bit 與 1.5-bit 系統輸出之頻譜圖

4.2 1.5-bit 三元(Ternary)轉四元(Quaternary)切換機制

由於 $\Sigma-\Delta$ 的 1.5-bit 機制，已使得 $y[n]$ 的輸出準位為 ± 1 與 0 狀態。而此三元

輸出必須轉換為全橋的切換機制，根據 4.1.1 說明，目前除了 ± 1 有唯一解以外，為了以 2 bits 即可實現三元輸出，0 狀態通常為選擇全橋 PMOS 導通、NMOS 截止，或是 PMOS 截止、NMOS 導通其中一種作為三元切換機制(圖 4.2.1)。

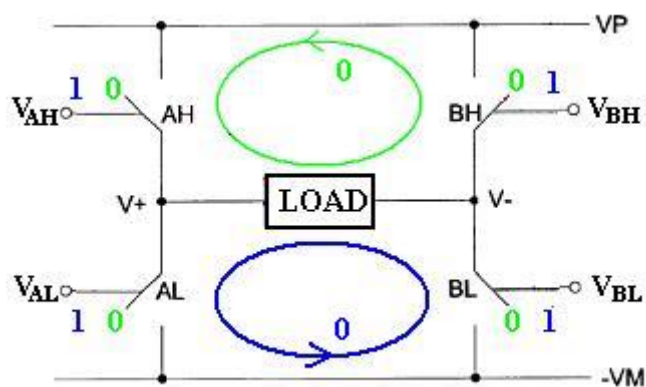


圖 4.2.1 狀態 0 切換機制

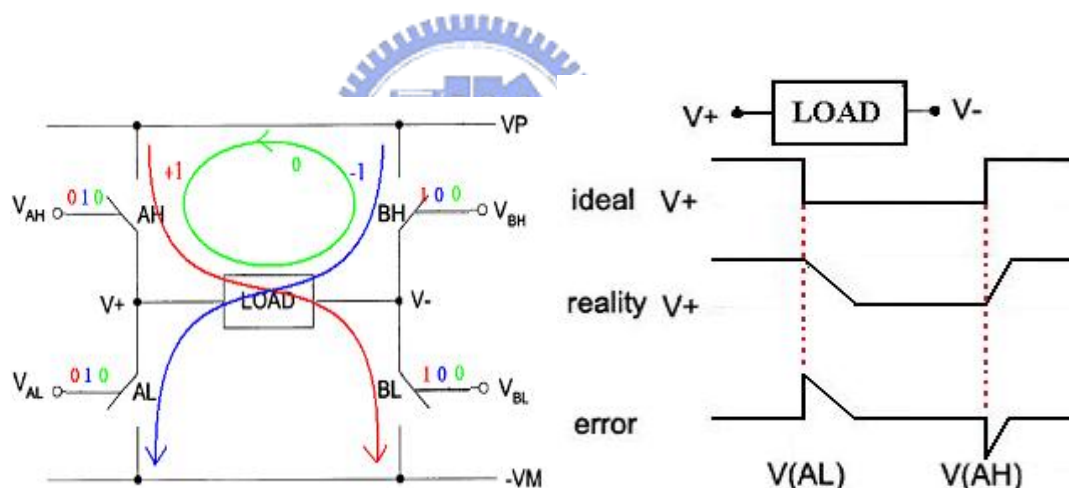


圖 4.2.2 PMOS 導通、NOMS 截止的三元切換

考慮 MOS 的不理想性，如果 P/NMOS 的充放電時間相同，此不理想性會因差動電壓不影響輸出。但是 PMOS 與 NMOS 不匹配會造成充放電時間不同[25]，若以三元切換機制會因此造成切換波形積分後產生殘差電壓(Residual Error Voltage)而造成失真(Distortion)。現以全橋 PMOS 導通、NMOS 截止作為狀態 0 三元切換機制[26](圖 4.2.2)為例，由於 ± 1 的切換是所有開關皆會動作不會產生誤差，另外本論文的 1.5-bit $\Sigma-\Delta$ 量化運算並無法確保輸出 Return-To-Zero，所以要

討論誤差的轉換為 $0 \rightarrow +1 \rightarrow 0$ 、 $0 \rightarrow -1 \rightarrow 0$ (Return-To-Zero)； $0 \rightarrow +1 \rightarrow -1 \rightarrow 0$ 、 $0 \rightarrow -1 \rightarrow +1 \rightarrow 0$ 、 $0 \rightarrow +1 \rightarrow -1 \rightarrow +1 \rightarrow 0$ (Return-To-Nonzero) 五種。參照表 4.2.1，以 $0 \rightarrow -1 \rightarrow 0$ 來說，此時 V_- 會維持在高準位(High)，而 V_+ 如圖 4.2.2 所示先放電後充電，由於 P/NMOS 的不匹配造成放電誤差 $V(AL)$ 與充電誤差(AH)積分不為 0，所造成的殘差電壓便會造成失真(Distortion)。

表 4.2.1 產生殘差電壓的狀態轉換表

Transistion type	Turn on	Turn on	Turn on	Error voltage
$0 \rightarrow +1 \rightarrow 0$	BL	BH		$-V(BL) + V(BH) \neq 0$
$0 \rightarrow -1 \rightarrow 0$	AL	AH		$V(AL) - V(AH) \neq 0$
$0 \rightarrow +1 \rightarrow -1 \rightarrow 0$	BL	BH/AL	AH	$(-V(BL)+V(AL)) + (V(BH)-V(AH)) = 0$
$0 \rightarrow -1 \rightarrow +1 \rightarrow 0$	AL	AH/BL	BH	$(V(AL)-V(BL)) + (-V(AH)+V(BH)) = 0$
$0 \rightarrow +1 \rightarrow -1 \rightarrow +1 \rightarrow 0$	BL	BH/AL、AH/BL	BH	$(-V(BL)+V(AL)) + (V(BH)-V(AH)) + (-V(BL) + V(BH)) \neq 0$

從表 4.2.1 可以得到一個結論，在兩個狀態 0 之間若穿插的 +1 與 -1 狀態次數若相同，則三元切換對於輸出並不會造成影響，反之，則會造成殘差電壓(Residual Error Voltage)。

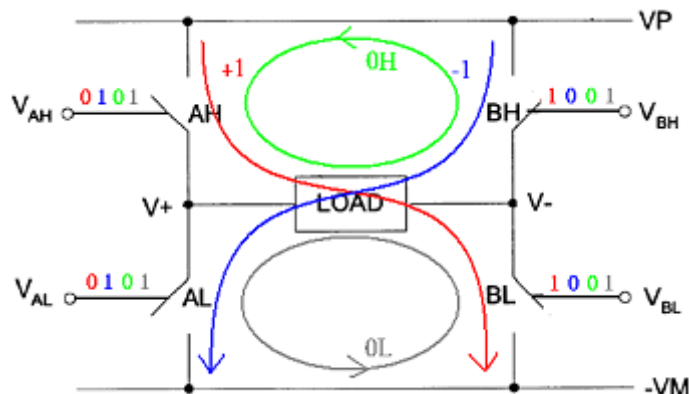


圖 4.2.3 全橋四元切換控制

為了解決此問題，將原本的狀態 0 再分成 0H 與 0L，轉為四元(Quaternary)

切換[26]，即 $\{-1, 0, +1\} \rightarrow \{-1, 0H, 0L, +1\}$ (圖 4.2.3)，概念就是將前後兩個狀態 0 分成 0H 與 0L 切換。若兩個狀態 0 之間穿插的 ± 1 狀態次數不相同時，且前者為狀態 0H，則後者轉為 0L，反之亦然(表 4.2.2)。以 $[0 \rightarrow +1 \rightarrow 0] \rightarrow [0H \rightarrow +1 \rightarrow 0L]$ 為例，誤差電壓從 $-V(BL) + V(BH) \neq 0$ 變成 $-V(BL) + V(AL) = 0$ 可以抵銷；若 0 之間穿插的 ± 1 狀態次數相同時，前後將維持 0H 或 0L，不需切換，此三元轉四元切換機制解決了 P/NMOS 不匹配的問題。

表 4.2.2 四元切換狀態轉換表

Transistion type	Turn on	Turn on	Turn on	Error voltage
0H \rightarrow +1 \rightarrow 0L	BL	AL		$-V(BL) + V(AL) = 0$
0H \rightarrow -1 \rightarrow 0L	AL	BL		$V(AL) - V(BL) = 0$
0L \rightarrow +1 \rightarrow 0H	AH	BH		$-V(AH) + V(BH) = 0$
0L \rightarrow -1 \rightarrow 0H	BH	AH		$V(BH) - V(AH) = 0$
0H \rightarrow +1 \rightarrow -1 \rightarrow +1 \rightarrow 0L	BL	BH/AL、AH/BL	AL	$(-V(BL)+V(AL)) + (V(BH)-V(AH)) + (-V(BL) + V(AL)) = 0$
0L \rightarrow +1 \rightarrow -1 \rightarrow +1 \rightarrow 0H	AH	BH/AL、AH/BL	BH	$(-V(AH)+ V(BH)) + (-V(BL)+V(AL)) + (-V(AH) + V(BH)) = 0$

以一個取樣頻率 3.072MHz 的數位 4 階 $\Sigma-\Delta$ 調變器作為模擬，輸入為 48kHz 取樣率的 1kHz 正弦波，假設 PMOS 的充電動作 0 \rightarrow 1 為 0.4 \rightarrow 0.7 \rightarrow 1 \rightarrow 1，NMOS 的放電動作 1 \rightarrow 0 為 0.45 \rightarrow 0 \rightarrow 0 \rightarrow 0，在三元切換下，在 P/NMOS 匹配的理想頻譜響應為圖 4.2.4，而 P/NMOS 不匹配則會有嚴重的諧波失真產生與雜訊準位(Noise Level)上升的問題，如圖 4.2.5(a)，然而在四元切換輸出下，如圖 4.2.5(b)，則可以改善許多。圖 4.2.6 為三元與四元誤差電壓頻譜比較，四元切換無論在諧波失真與雜訊準位(Noise Level)皆比較小。

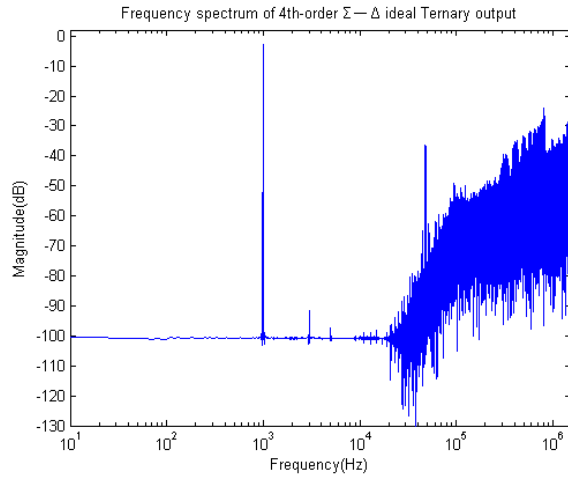
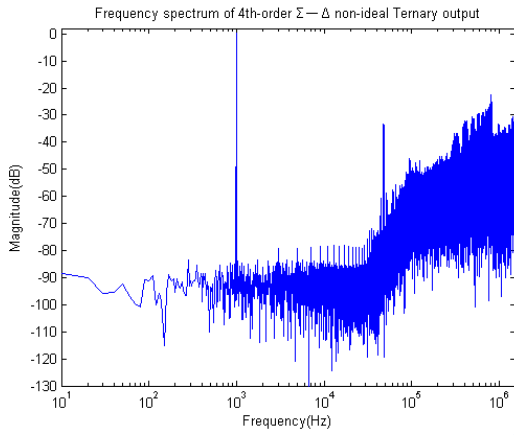
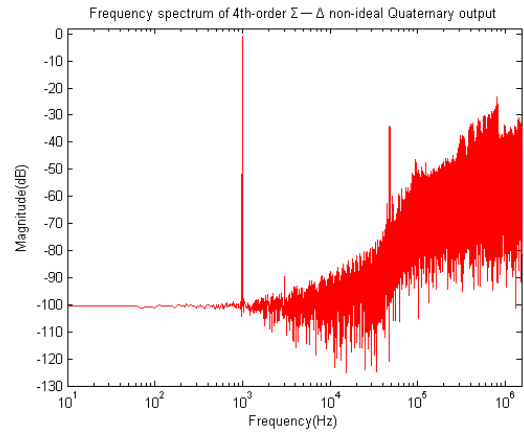


圖 4.2.4 P/NMOS 匹配輸出頻譜

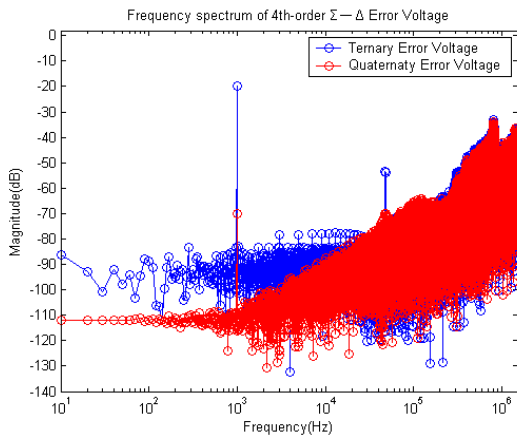


(a)

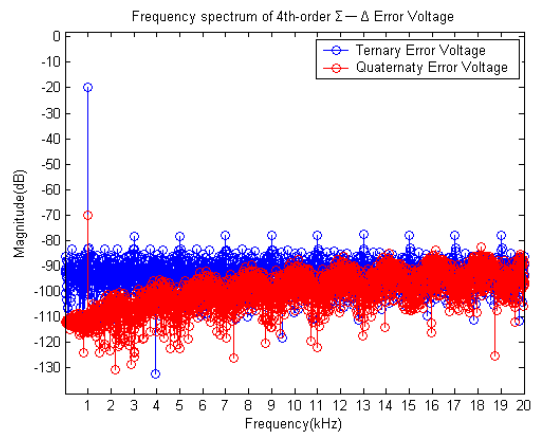


(b)

圖 4.2.5 P/NMOS 不匹配輸出頻譜(a)三元切換 (b)四元切換



(a)



(b)

圖 4.2.6 P/NMOS 不匹配誤差電壓頻譜(a)系統頻寬內 (b)音頻 20kHz 內

4.3 效能量測標準

設計主要是以效能與成本做為參考依據。在D類放大器效能評估主要分為以下[27]：

總諧波失真(Total Harmonic Distortion)

$$\%THD = \frac{\sqrt{S_2^2 + S_3^2 + \dots + S_n^2}}{\sqrt{S_1^2 + S_2^2 + S_3^2 + \dots + S_n^2}} \times 100 \quad \text{or} \quad \frac{\sqrt{S_2^2 + S_3^2 + \dots + S_n^2}}{\sqrt{S_1^2}} \times 100$$

其中 S_1 為基頻(Fundamental Frequency) ， $S_2 \dots S_n$ 為音頻(20kHz)內的諧波頻率(Harmonic Frequencies)。THD為輸入-3dB FS的1kHz 正弦波(sine wave)來量測。

總諧波失真加雜訊(Total Harmonic Distortion plus Noise)

$$\%THD + N = \frac{\sqrt{S_2^2 + S_3^2 + \dots + S_n^2 + N^2}}{\sqrt{S_1^2 + S_2^2 + S_3^2 + \dots + S_n^2 + N^2}} \times 100 \quad \text{or} \quad \frac{\sqrt{S_2^2 + S_3^2 + \dots + S_n^2 + N^2}}{\sqrt{S_1^2}} \times 100$$

其中 N 為音頻(20kHz)內非諧波訊號(Non-Harmonically related signals)以外的雜訊來源。以上兩個公式都有兩種計算方式，但是兩者的數據皆會相當接近，這是因為所量測到的能量幾乎超過99%都集中在 S_1 基頻(Fundamental Frequency)。
THD+N為輸入-3dB FS的1kHz 正弦波(sine wave)來量測。

動態範圍(Dynamic Range)

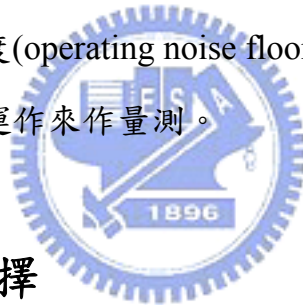
$$DR = -20 \log_{10} \left(\sqrt{\frac{S_2^2 + \dots + S_n^2 + N_1^2 + N_2^2 + \dots + N_{\bar{n}}^2}{n + \bar{n}}} \right)$$

動態範圍是在量測有訊號源輸入時的雜訊程度(noise floor)，計算規格上規定輸入訊號源為-60dB FS的1kHz 正弦波(sine wave)，參考0dB FS來計算系統去掉基頻(Fundamental Frequency)的輸出頻譜之所有雜訊的方均根(Root-Mean-Square)。 $N_1 \cdots N_n$ 為音頻(20kHz)內非諧波訊號的雜訊。

訊號雜訊比(Signal-to-Noise Ratio)

$$SNR|_{digital\ amp} = -20 \log_{10} \left(\sqrt{\frac{S_2^2 + \dots + S_n^2 + N_1^2 + N_2^2 + \dots + N_n^2}{n + \bar{n}}} \right)$$

訊號雜訊比是在量測沒有訊號源輸入時的雜訊程度(noise floor)。但數位系統中數位 0 輸入只會造成數位輸出 0，甚至沒有雜訊(靜音重置機制)。而為了量測數位系統輸出 0 時運作雜訊程度(operating noise floor)，在此規定給予低於-60dB FS 的任意交流訊號使系統正常運作來作量測。



4.4 系統階數的選擇

從 2.3.2 節中提到，當 $\Sigma - \Delta$ 調變器的階數越高，阻擋高頻的能力越強，量化器對於低頻訊號的量子化也越精準，量化誤差也就越往高頻擠，如此一來可以得到更好的訊號雜訊比(Signal-to-Noise Ratio)。然而硬體成本也越高，也會有穩定性的問題，因此必須選擇一個適當的階數。

4.4.1 階數與效能

將定義之%THD、%THD+N、DR、SNR四種量測標準來分析1~5階的 $\Sigma - \Delta$ 調變器的效能，以作設計上最佳的選擇。模擬過程中，輸入為取樣率48kHz的1kHz 正弦波(Sine Wave)，超取樣倍率(Oversampling Ratio)為64倍，狀態變數與係數精準度採用20-bit精準度，NTF截止頻率為100kHz，量化器採1.5-bit量化計算，並使

用最佳化零點位置。從量測規定上總共需要-3dB、-60dB、-96dB FS三種不同振幅的1kHz正弦波(Sine Wave)，將各階(Order)調變器的模擬數據結果整理於表4.4.1。

表 4.4.1 1~5 階的 $\Sigma - \Delta$ 調變器效能比較表

$\Sigma - \Delta$ Order	%THD (-3dB FS)	%THD+N (-3dB FS)	DR(dB) (-60dB FS)	SNR(dB) (-96dB FS)
1st-Order	1.685	1.712	71.46	99.01
2nd-Order	0.307	0.308	69.76	101.54
3rd-Order	0.018	0.02	120.15	120.46
4th-Order	0.002	0.016	126.17	125.74
5th-Order	0.018	0.158	96.61	130.46

當階數提高，效能皆會提高，但5階時效能有下降趨勢，這是因為調變器的階數越高，狀態變數(State Variables)越多，數位系統受到狀態變數量化誤差(Quantization Error)的影響越大，而係數 $c_2 \cdots c_n$ 數量級越小，零點效果越不明顯。另外振幅也會降低，此部分將於下一節討論。在此部分的結論是4階 $\Sigma - \Delta$ 調變器為最佳選擇。

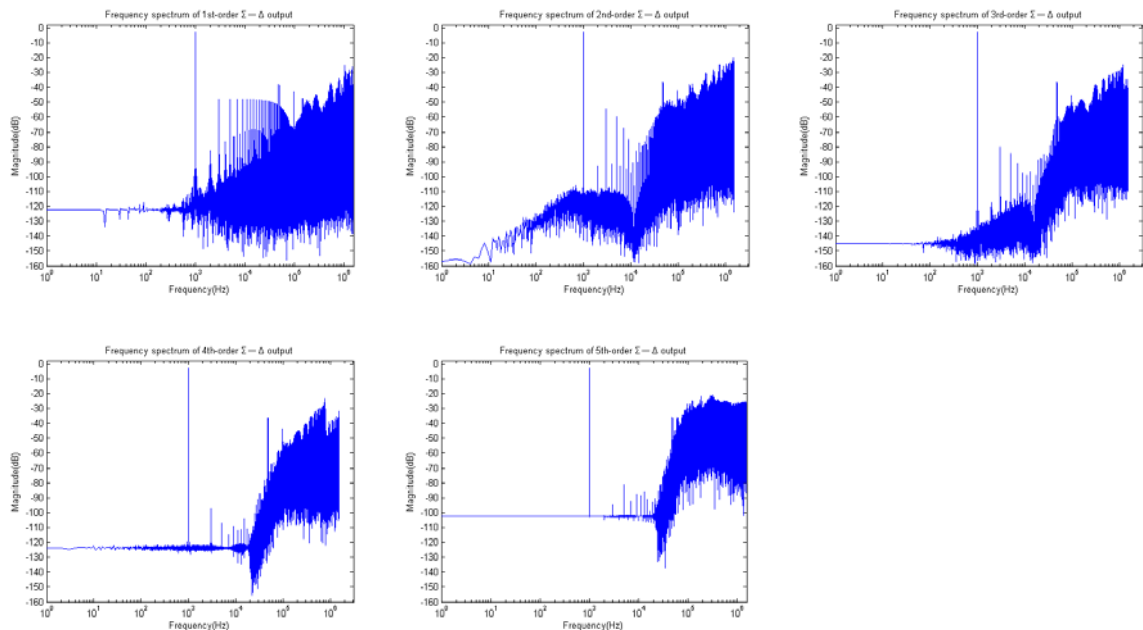


圖 4.4.1 -3dB FS 1kHz Sine Wave 的切換輸出頻譜圖

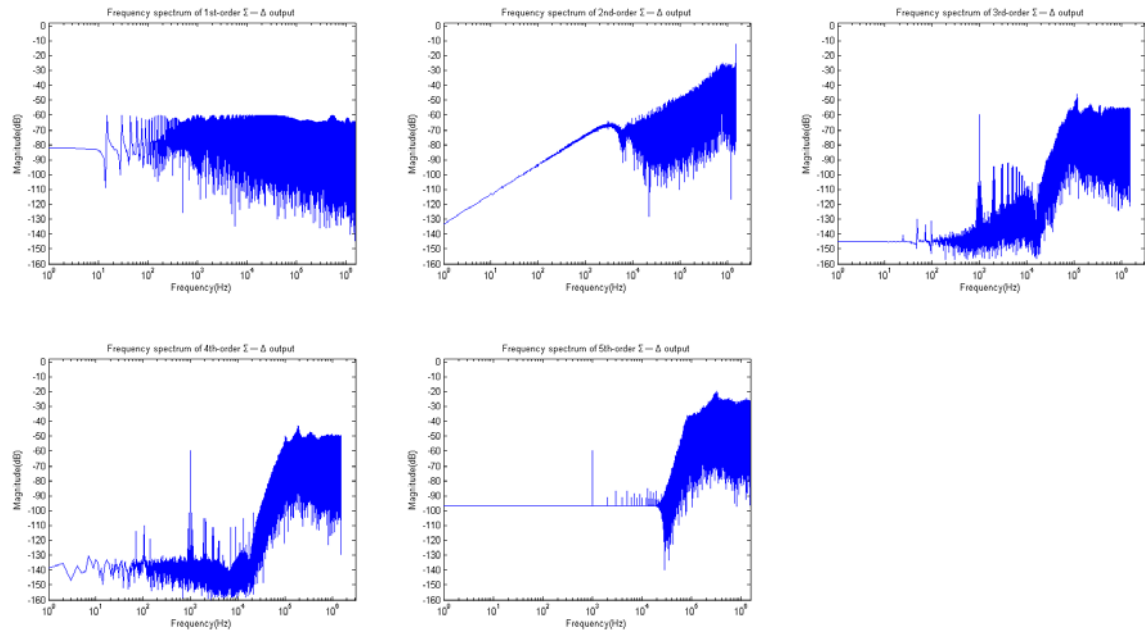


圖 4.4.3 -60dB FS 1kHz Sine Wave 的切換輸出頻譜圖

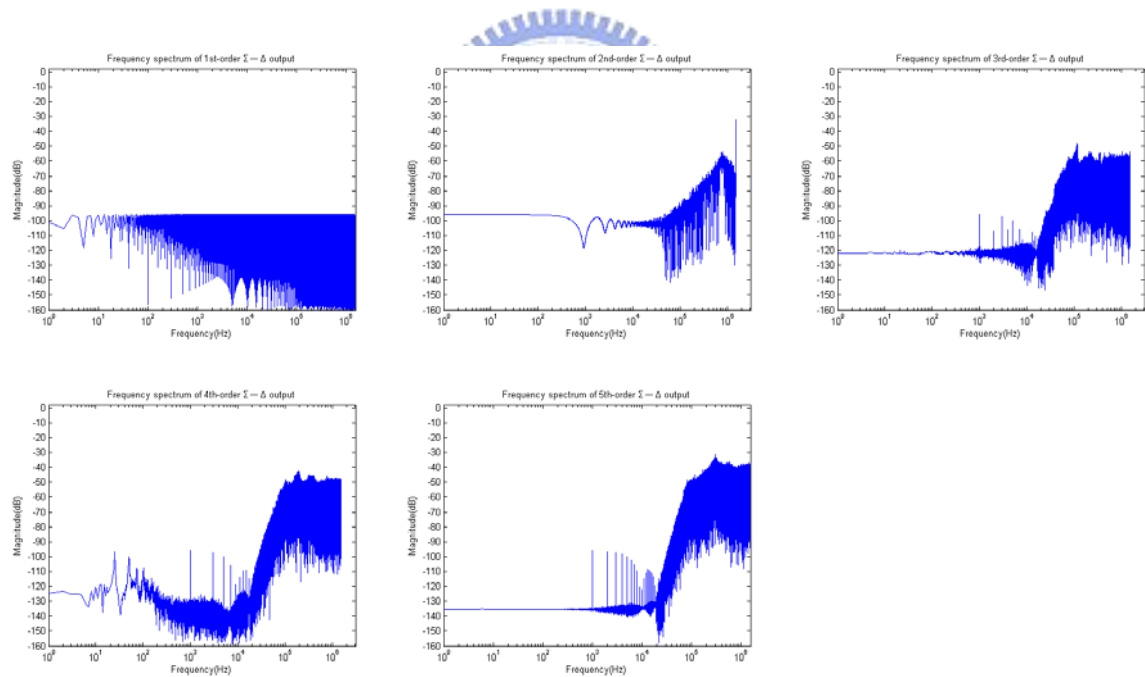


圖 4.4.3 -96dB FS 1kHz Sine Wave 的切換輸出頻譜圖

4.4.2 階數與振幅大小

從輸出觀點來看：

$$Y = FR - W^{-1}X_1 \quad (4.1)$$

其中 FR 為音頻(20kHz)內的訊號， $W^{-1}X_1$ 為量化誤差的Noise-Shaping成分。所以振幅大小跟訊號轉移函數(Signal Transfer Function) $F(z)$ 有關。

$$F(z) = \frac{a_n a_{n-1} \cdots a_1}{b_1 (z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + \cdots + (b_n a_{n-1} \cdots a_1)} \quad (4.2)$$

$F(z)$ 是一個數位低通濾波器，所以低頻增益即為振幅大小。將 $z=1$ 帶入：

$$F(1) = \frac{a_n a_{n-1} \cdots a_1}{b_n a_{n-1} \cdots a_1} \quad (4.3)$$

式(4.3)即為增益大小，主要由 $a_n a_{n-1} \cdots a_1$ 與 $b_n a_{n-1} \cdots a_1$ 兩個元素決定。

(i) $b_n a_{n-1} \cdots a_1$

$W(z)$ 由雜訊轉移函數(Noise Transfer Function)的截止頻率決定，公式為：

$$W(z) = \frac{b_1 (z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + \cdots + (b_n a_{n-1} \cdots a_1)}{(z-1)^n} \quad (4.4)$$

當階數與截止頻率決定後，便可以決定 $b_n a_{n-1} \cdots a_1$ 。

(ii) $a_n a_{n-1} \cdots a_1$

由第三章所推導的狀態變數 $\|x_2\|_{ss\infty}$ 限制方程式：

$$\|x_2\|_{ss\infty} = \frac{a_n a_{n-1} \cdots a_1 \|A_2\|_{\infty} \|r\|_{ss\infty} + \|B_2\|_{\infty} \|x_1\|_{ss\infty}}{a_1} \quad (4.5)$$

其中 $\|x_1\|_{ss\infty} \cong 2b_1 < 2b_1 / (1 - 2c_1)$ 、 $\|x_2\|_{ss\infty} < \frac{b_1}{a_1} + \frac{c_1}{a_1} \|x_1\|_{ss\infty}$ 、 $\|r\|_{ss\infty} = 1$ ，所以從式(4.5)可以推導出：

$$\begin{aligned} a_n a_{n-1} \cdots a_1 &= \frac{a_1 \|x_2\|_{ss\infty} - \|B_2\|_{\infty} \|x_1\|_{ss\infty}}{\|A_2\|_{\infty}} < \frac{b_1 + c_1 \|x_1\|_{ss\infty} - \|B_2\|_{\infty} \|x_1\|_{ss\infty}}{\|A_2\|_{\infty}} \\ &= \frac{b_1 + (c_1 - \|B_2\|_{\infty}) \|x_1\|_{ss\infty}}{\|A_2\|_{\infty}} = \frac{(1 - 2\|B_2\|_{\infty}) b_1 + 2b_1 c_1}{\|A_2\|_{\infty}} \end{aligned}$$

則 $a_n a_{n-1} \cdots a_1$ 可由此狀態變數限制決定。

將截止頻率固定在100kHz (取樣頻率為48kHz×64=3.072MHz)，並將 $\|x_2\|_{\infty}$ 限制在1，輸入為0dB FS 1kHz正弦波(Sine Wave)模擬結果如表4.4.2，圖4.4.4為通過截止頻率20kHz的低通濾波的時序圖。4階振幅尚可接受。

表 4.4.2 1~5 階的 $\Sigma - \Delta$ 調變器振幅比較表

$\Sigma - \Delta$ Order	$a_n a_{n-1} \cdots a_1$	$b_n a_{n-1} \cdots a_1$	Amplitude(F(1))
1st-Order	0.176	0.186	0.946
2nd-Order	0.025	0.036	0.694
3rd-Order	0.0039	0.007	0.557
4th-Order	0.000511	0.001356	0.377
5th-Order	0.0000076	0.0002614	0.029

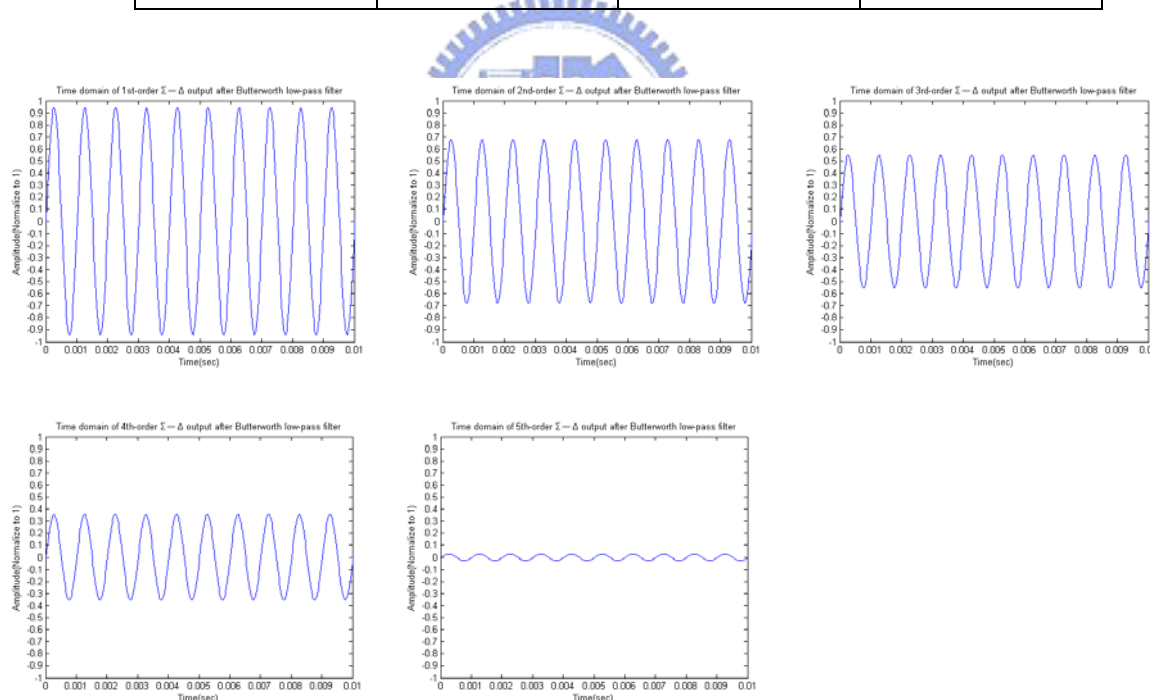


圖 4.4.4 1~5 階 $\Sigma - \Delta$ 調變器低通濾波的時序圖

4.5 高通 Noise Shaping 截止頻率的選擇

截止頻率(Cutoff Frequency)選擇越高，量化誤差會越推往高頻，得到更高的

效能。但是在最佳化存在性與狀態變數邊界(State Variables Boundary)的限制下，頻率太高將使得係數設計產生負數而不符合狀態變數邊界，且頻率高低會影響到振幅大小。由於理論上截止頻率、 $\Sigma - \Delta$ 調變器階數、效能三者間為正相關，而從4.4節說明固定截止頻率後，以4階 $\Sigma - \Delta$ 調變器為最佳選擇，因此本節將以4階 $\Sigma - \Delta$ 調變器來討論。

4.5.1 截止頻率與振幅大小

本節討論的截止頻率範圍將使所有設計的係數皆在正數為前提下，做一妥善選擇。將 $\Sigma - \Delta$ 調變器的階數固定為4階，系統取樣頻率為 $48\text{kHz} \times 64 = 3.072\text{MHz}$ ，來設計以下的不同截止頻率，結果如表4.5.1，當截止頻率越高，振幅(Amplitude)越小，相對同樣的放大功率時，將造成後級電壓供應相對需求越大。

表 4.5.1 高通 Noise-Shaping 截止頻率與振幅比較表

Cutoff Freq.	$a_4 a_3 a_2 a_1$	$b_4 a_3 a_2 a_1$	Amplitude($F(1)$)
40-kHz	0.0000284	0.00004	0.71
60-kHz	0.000116	0.000194	0.598
80-kHz	0.000279	0.000584	0.478
100-kHz	0.000511	0.001356	0.377
120-kHz	0.000622	0.00268	0.232
140-kHz	0.000499	0.00475	0.105

4.5.2 截止頻率與效能

除了振幅大小外，也要考慮到雜訊準位(Noise Level)對於系統的影響。如表4.5.2，綜合振幅與效能來看，截止頻率為100kHz為最佳選擇。

表 4.5.2 高通 Noise-Shaping 截止頻率與效能比較表

Cutoff Freq.	%THD	%THD+N	DR(dB)	SNR(dB)	Amp ($F(1)$)
40-kHz	0.1199	0.12	110.05	114.3	0.71
60-kHz	0.021	0.024	121.51	116.77	0.598
80-kHz	0.0063	0.0251	129.37	125.17	0.478
100-kHz	0.002	0.016	126.17	125.74	0.377
120-kHz	0.0012	0.0132	119.87	114.4	0.232
140-kHz	0.00191	0.044	116.78	118.49	0.105

4.6 四階數位 Sigma-Delta Modulator 設計模擬

系統的取樣頻率為 3.072MHz，首先選擇雜訊轉移函數(Noise Transfer Function)的截止頻率為 100kHz 來設計 4 階巴特沃司(Butterworth)高通濾波器(圖 4.6.1)，且 Nyquist-frequency 增益為 1.3071，其函式係數如下：

$$NTF = \frac{1}{1+W} = \frac{z^4 - 4z^3 + 6z^2 - 4z + 1}{z^4 - 3.466z^3 + 4.5359z^2 - 2.6539z + 0.5853} \quad (4.6)$$

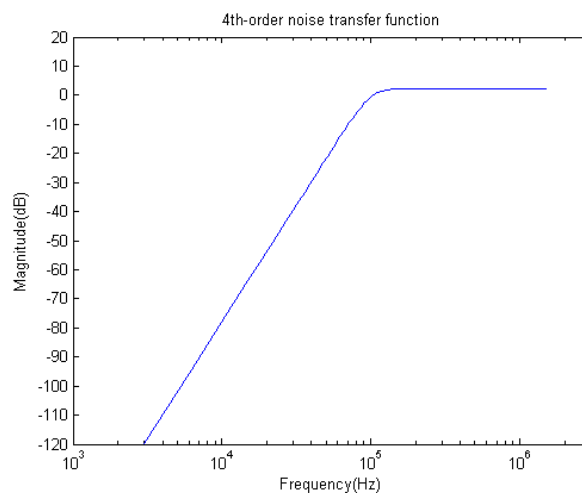


圖 4.6.1 雜訊轉移函數頻率響應圖

由上述之 NTF 可以求得 $\Sigma-\Delta$ 化簡形式中的 $W(z)$ ，以及 $F(z)$ ，其中 $W(z)$ 之零點皆於單位元之內，此時使用最佳化零點位置則為 $W'(z)$ ：

$$W(z) = \frac{1-NTF}{NTF} = \frac{b_1(z-1)^3 + b_2a_1(z-1)^2 + b_3a_2a_1(z-1) + b_4a_3a_2a_1}{(z-1)^4}$$

$$= \frac{0.534z^3 - 1.4641z^2 + 1.3461z - 0.4147}{(z-1)^4}$$

$$W'(z)|_{opt} = \frac{b_1(z-1)^3 + b_2a_1(z-1)^2 + b_3a_2a_1(z-1) + b_4a_3a_2a_1}{(z-1)^4 + c_1(z-1)^3 + c_2a_1(z-1)^2 + c_3a_2a_1(z-1) + c_4a_3a_2a_1}$$

$$= \frac{0.534z^3 - 1.4641z^2 + 1.3461z - 0.4147}{z^4 - 3.998566z^3 + 5.997132z^2 - 3.998566z + 1}$$

$$F(z) = \frac{a_4a_3a_2a_1}{b_1(z-1)^3 + b_2a_1(z-1)^2 + b_3a_2a_1(z-1) + b_4a_3a_2a_1}$$

$$= \frac{a_4a_3a_2a_1}{0.534z^3 - 1.4641z^2 + 1.3461z - 0.4147}$$

經過係數比較之後，可以得到四階 $\Sigma-\Delta$ 的係數關係式，之後根據穩定性條件可決定係數 a_1 。基於系統狀態參數的極限值可寫出限制方程式：

$$\|x_2\|_{ss\infty} \approx \frac{401.7a}{a_1} \|r\|_{ss\infty} + \frac{0.3056}{a_1} \|x_1\|_{ss\infty} \leq 1$$

$$\|x_3\|_{ss\infty} \approx \frac{109.3a}{a_1a_2} \|r\|_{ss\infty} + \frac{0.0464}{a_1a_2} \|x_1\|_{ss\infty} \leq 1$$

$$\|x_4\|_{ss\infty} \approx \frac{14.7a}{a_1a_2a_3} \|r\|_{ss\infty} + \frac{0.0031}{a_1a_2a_3} \|x_1\|_{ss\infty} \leq 1$$

最後由上式關係可求得如表 4.6.1 之系統係數及圖 4.6.2 的等效示意圖；圖 4.6.3 為電路實現架構圖；圖 4.6.4 顯示輸入為 1kHz 所模擬之各狀態時域圖；圖 4.6.5 為輸出頻譜與音頻內時域圖，狀態變數與係數精準度採用 20-bit 精準度，量化器採 1.5-bit 量化計算。輸入為取樣率 48kHz 的 1kHz 正弦波(Sine Wave)。

表 4.6.1 四階 $\Sigma-\Delta$ 系統係數

$a_1 = 0.5234375$	$b_1 = 0.53402$	$c_1 = 1.46484375e-3$
$a_2 = 0.25$	$b_2 = 0.26336$	$c_2 = 2.685546875e-3$
$a_3 = 0.125$	$b_3 = 0.15268$	$c_3 = 3.814697265625e-6$
$a_4 = 0.03125$	$b_4 = 0.0829$	$c_4 = 1.52587890625e-5$

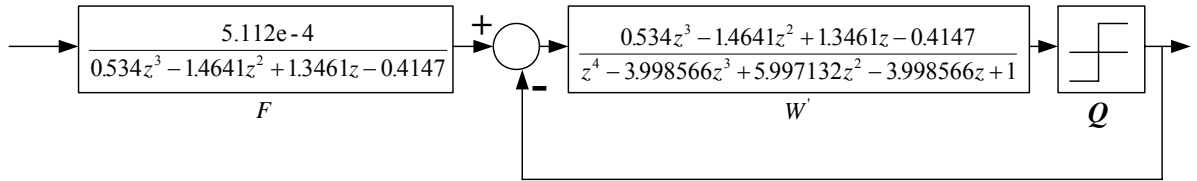


圖 4.6.2 完整四階 $\Sigma-\Delta$ 系統設計等效示意圖

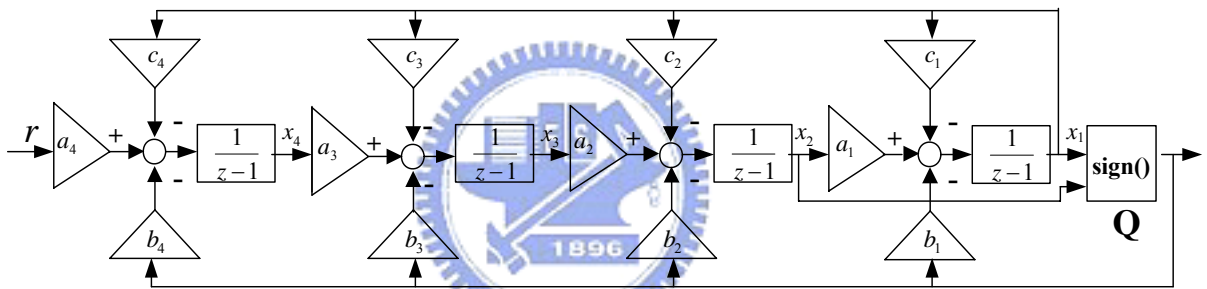


圖 4.6.3 電路實現架構圖

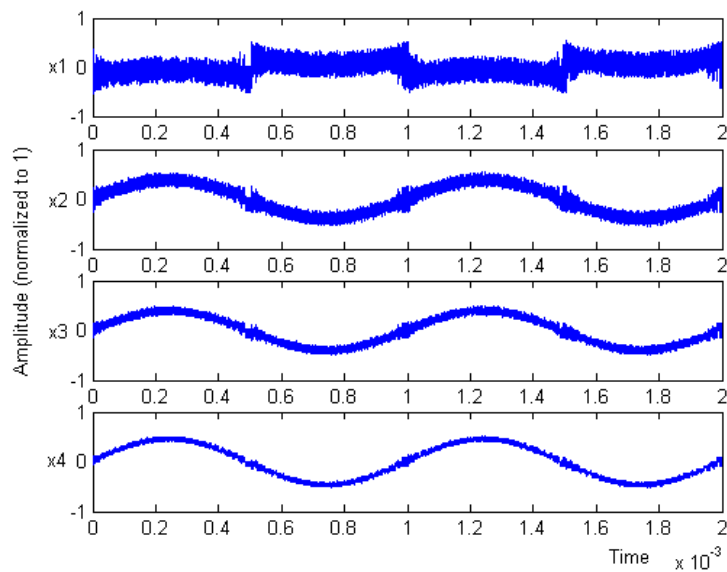
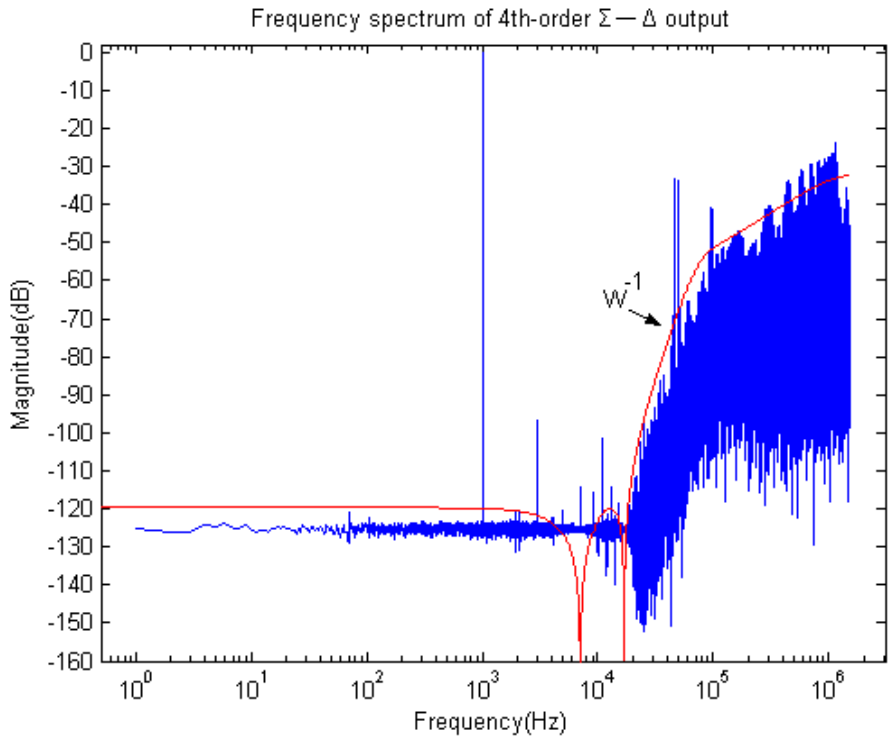
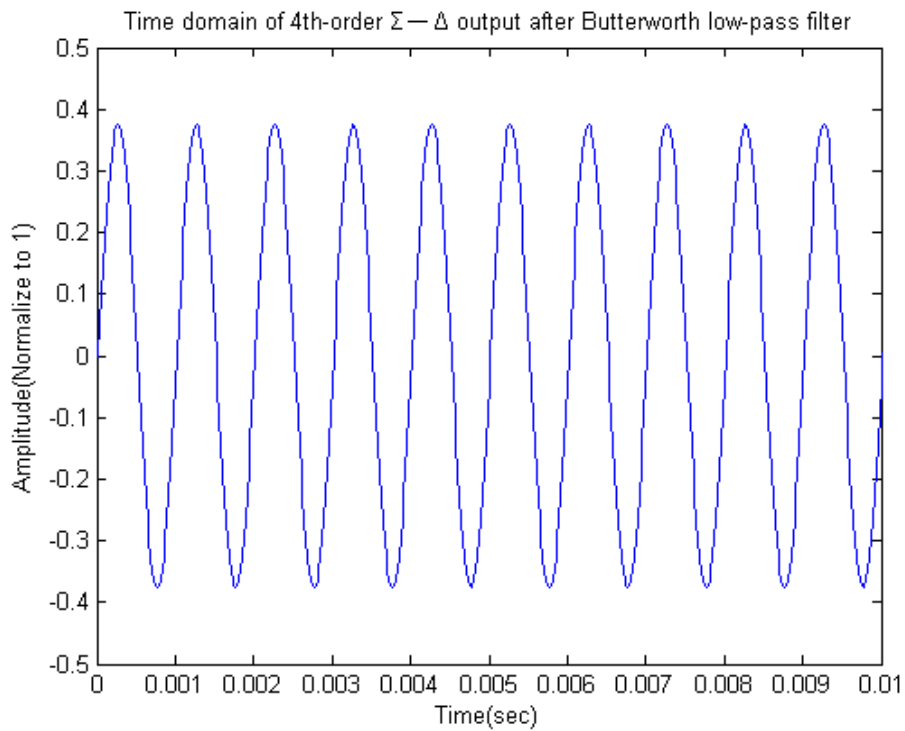


圖 4.6.4 $\Sigma-\Delta$ 系統各階狀態變化圖



(a)



(b)

圖 4.6.5 (a)1.5-bit 輸出頻譜與 $|W^{-1}(e^{j\omega})|$ (紅色) (b)音頻時域圖

第五章 5.1 聲道音頻放大器硬體架構與實現

5.1 聲道中的 5 代表 5 個前後方喇叭，1 則代表稱作 LFE(低頻特效，Low Frequency Effects)的重低音。使用數位 $\Sigma-\Delta$ 調變器之 5.1 聲道音頻放大器，其六個數位音頻輸入源本論文是採用一 USB5.1 聲道音效控制器配合應用軟體，將 PC 端雙聲道數位儲存媒體一律轉為取樣率 48kHz、5.1 聲道、16-bit 擷取出來。再將此六聲道訊號傳輸至以 FPGA 實現的數位 $\Sigma-\Delta$ 調變器，產生 1-bit 或 1.5-bit 的控制訊號。最後採用大功率 TI TAS5121 功率放大晶片與小功率 P/N Power MOS(TOREX XP152A12C0MR/XP151A13- A0MR)組成全橋功率放大器提高訊號功率後輸出至揚聲器。

本章主要闡述上述三個實現的部分：5.1 節說明 USB1.1 5.1 聲道音效控制器；5.2 節描述以 FPGA 完成 I2S 介面、 $\Sigma-\Delta$ 調變器、三元轉四元轉換器；5.3 節呈現大、小功率放大器實現。硬體實體為圖 5.1。

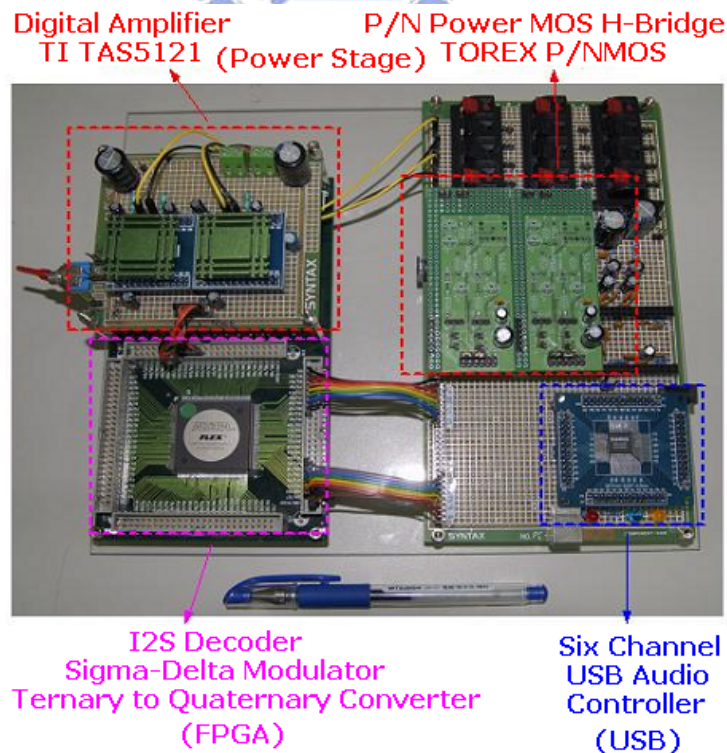


圖 5.1 5.1 聲道音頻放大器實體圖

5.1 USB1.1 5.1 聲道音效控制器

SONIX SN11116 是一個支援 32kHz、44.1kHz(需要驅動程式或應用程式提供支援)、48kHz 三種數位錄音取樣頻率，48kHz 類比錄音取樣頻率，以及 48kHz 的類比/數位播放的 USB 聲音控制器。在數位撥放模式時，它可經由 USB 介面接收來自 PC 的音源，亦可輕易的經由 S/PDIF 消費性音效介面標準傳送音源，而根據不同的運作模式，可將 5.1 聲道的音樂直接送出，或僅傳送左右兩聲道的 AC-3 模式到支援 AC-3 的解碼器得到環繞的 5.1 聲道音場，另外類比播放模式中 SN11116 支援完整的六聲道播放功能。在錄音方面，SN11116 接受採用 S/PDIF 標準的數位錄音，並可輕易的使用 SN11116 來當作 S/PDIF 介面裝置和 PC 端的橋樑，SN11116 更提供三種包含 32kHz，44.1kHz，48kHz 的取樣頻率及自動判別鎖定頻率功能，另外它亦可接受 48kHz 的類比音效錄音功能。SN11116 架構上已完整地支援 1 個控制 PIPE，兩個即時 PIPE 和 1 個中斷 PIPE，可說是一個應用相當廣泛的音源控制器。[29]

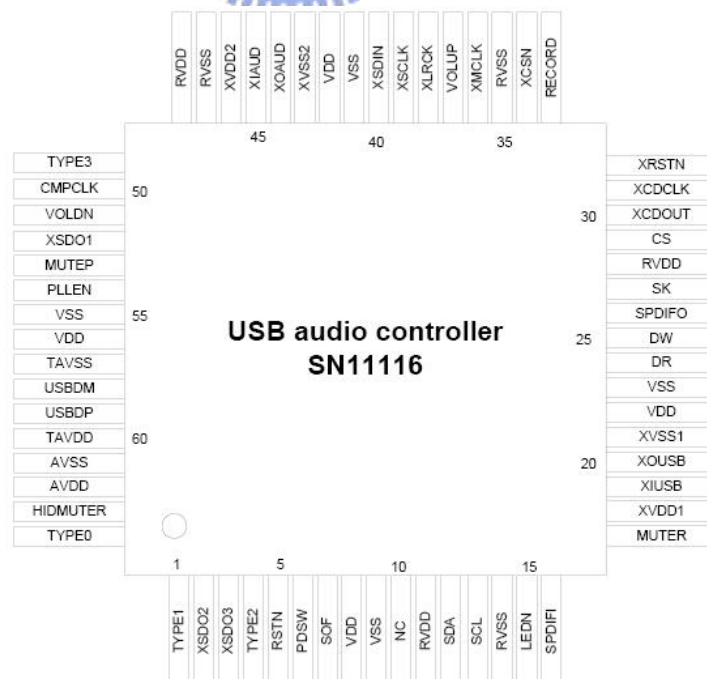


圖 5.1.1 SN11116 接腳圖[29]

5.1.1 硬體介紹：SONIX SN11116

SN11116 主要功能是将 PC 端數位音訊擷取為 5.1 聲道、16-bit PCM，其應用軟體有取樣率轉換(Sample Rate Conversion)機制，可將各種取樣率的數位音訊轉為 48kHz。主要用到的功能為 USB 介面資料線、運作模式選擇、I2S 格式輸出。

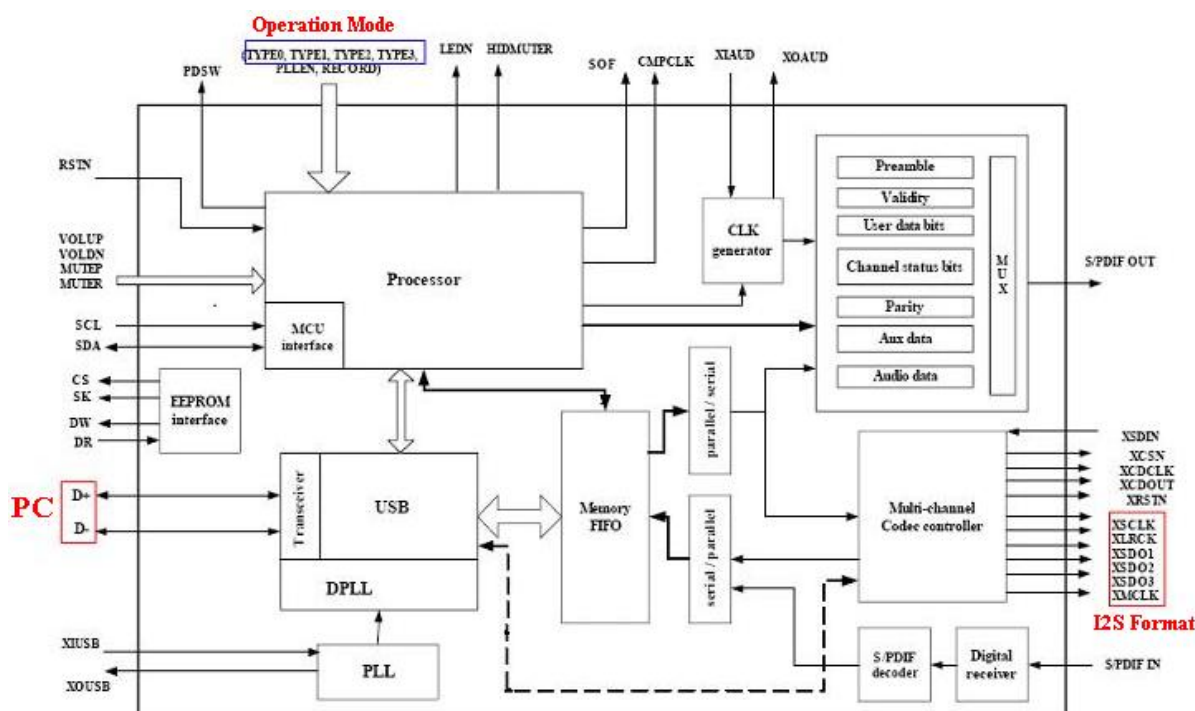


圖 5.1.2 SN11116 方塊圖[29]

- **USB 介面資料線(D+、D-)**：此為 USB 纜線資料傳輸線，負責與 PC 端溝通、音效裝置列舉與 PC 端數位儲存媒體讀取之用。
- **運作模式選擇**：如下，其中 VT1616 於本論文不適用。

表 5.1.1 TYPE 2、3 參照 SN11116 運作模式

Codec Setting	CS4228A	AK4527	AV2188	VT1616
TYPE 2	0	0	1	1
TYPE 3	0	1	0	1

• **I2S 格式輸出**：由 XMCLK、XSCLK、XLRCLK、XSDO1、XSDO2、XSDO3 六條線來控制六聲道資料輸出。XSCLK 為串列傳輸同步 clock；XLRCLK 為決定 XSDO1~3 為左聲道或右聲道；XSDO1~3 為六個聲道的 1 位元串列傳輸線，每一條線可以傳輸兩聲道：

XSDO1：前左聲道(LF)、前右聲道(RF)

XSDO2：中央聲道(CTR)、後左聲道(LS)

XSDO3：重低音(LFE)、後右聲道(RS)

而 XMCLK 為整個 I2S 同步介面提主要頻率，可連接於接收端，用來同步 I2S 資料傳輸速率與後端系統輸入取樣率。在 SN11116 中，XMCLK 提供 12.288MHz，而相對於除頻倍率下，XSCLK 為 3.072MHz，XLRCLK 為 48kHz。

5.1.2 I2S (Inter-IC Sound) 介面

I2S 的為 Inter-IC Sound 縮寫，意指在晶片間傳遞的音源，發創於 80 年代，和 S/PDIF 不同是，前者作為數位音源在機內進行傳遞與處理。後者適合外傳、外接[30]。

1. I2S 有 3 條線路，稱呼與功用大體如下：

- SCK (Serial Clock)：串列傳輸的時脈線，獨立的時脈傳遞。
- SD (Serial Data)：串列傳輸的資料線，傳遞兩個聲道的數位音源資訊。
- WS (Word Select)：字元選擇線，字元 (Word) 在此所指即是音源聲道 (Channel)。

2. I2S 的連接：

I2S 是發送端與接收端直接相連，3 線都是單方單向的傳遞線路。凡是對外輸出 SCK 線路訊號的即是 I2S 的主控者(Master)，至於 SD、WS 在設計上可決定

由主控端(Master)發送，也可決定由受控端(Slave)發送，如圖 5.1.3。另外也有一種比較特別的搭配組態，即是由一個超然中立的控制端來充當主控者，由它來廣播 SCK 時脈訊號，同時也由其來掌控及發送 WS 訊號。

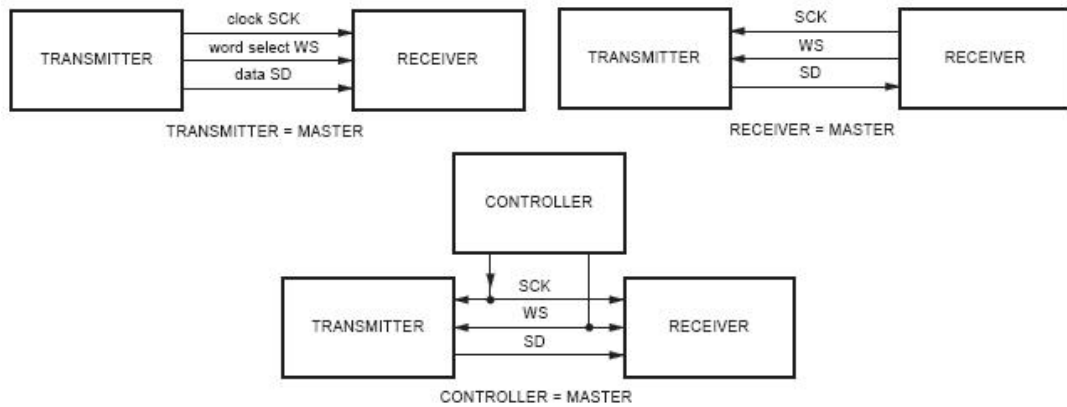


圖 5.1.3 I2S 的连接

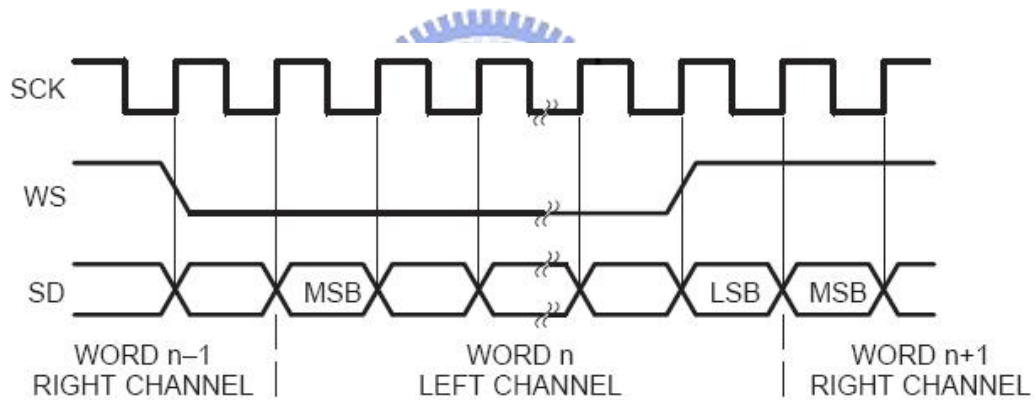


圖 5.1.4 I2S 傳輸機制

3. I2S 傳遞機制

SD 的位元串列傳遞以 SCK 時脈為基準，當 SCK 上升緣觸發時，發送端的 SD 資訊就會被接收端給閃鎖(Latch)，同步於 SCK 作不斷地位元傳遞。WS 控制 SD 聲道資料輸出(圖 5.1.4)：

WS = 0；左聲道音源

WS = 1；右聲道音源

值得注意的是當 WS 的 0、1 狀態轉變時，同一上升緣的 SD 資訊依然是 WS

未轉態前的聲道資訊，確定 WS 狀態轉變後，下一個上升緣時 SD 線路才正式傳輸 WS 新指定聲道的音源資訊。

4. MSB 先傳遞

I2S 之所以能不用事先溝通就可以直接傳送，就在於使用 MSB 先傳的特性(圖 5.1.4)，如果發送端是 20-bit，接收端是更高解析度的 24-bit，那麼傳送完 20bits 後的剩餘 4bits 可以由接收端自行補「0」，反過來說，若接收端只有 16-bit，則傳送過來的 20bits 中，最後的 4bits 資訊可以直接丟捨忽略。同樣的道理並不限於上面所述的 16-bit、20-bit、24-bit，只要有解析度位元數差距的情形都一律適用。而以 SN11116 為例，其後接收端最高解析為：(XSCLK=3.072MHz，XLRCLK=48kHz)

$$3.072\text{MHz} \div 48\text{kHz} \div 2\text{-Channel} = 32\text{-bit}$$

5.1.3 支援 5.1 聲道之應用軟體：Sonix Sound Station



圖 5.1.5 Sonix Sound Station v1.61.4

圖 5.1.5 為晶片 SN11116 專屬的應用軟體。電腦數位音訊以雙聲道(Stereo)訊

號源居多，為了產生 5.1 聲道訊號，若將此應用軟體開啟 5.1 聲道音效，則將以運算方式模擬出 5.1 聲道音樂資料來，若音效關閉，則作業系統將依照原始音樂訊號照實讀出，則在 Dolby Digital 5.1 會將真實的 5.1 聲道音效讀出來。

5.2 FPGA 核心實現

FPGA 全名為 Field Programmable Gate Array，由多個邏輯單元(Logic Cell)經可程式的垂直通道(Vertical Channel)及水平通道(Horizontal Channel)的連線所構成。根據其物理架構可分為 SRAM 型與 Anti-fuse 型。因 SRAM 型具有可重複程式化的優點，在此用之。

5.2.1 硬體介紹：Altera FLEX10K Emulation Board

ALTERA 10K-ARC240

- 10K Gates
- work frequency over then 30MHz
- supply voltage 5V regulated to 3.3V
- 3.3V 的 I/O
- with EPPROM

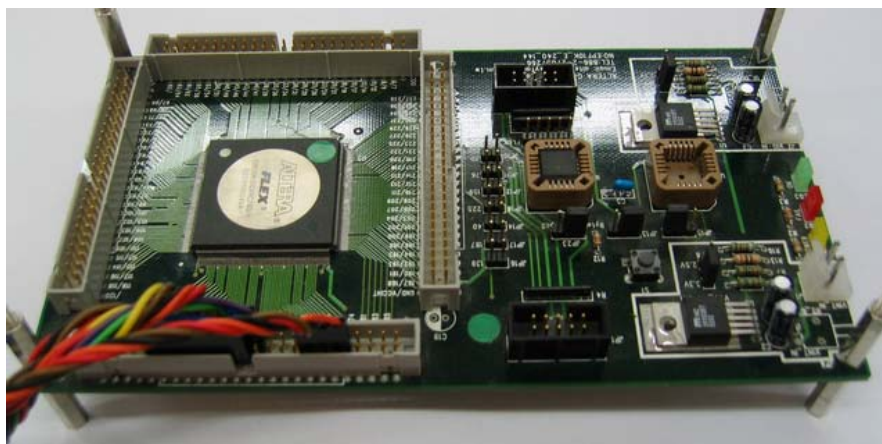


圖 5.2.1 Altera FLEX10K Emulation Board

5.2.2 軟體介紹：MAX plusII

MAX plusII 是一個發展 FPGA 的環境，能夠編譯 VHDL code、simulation 看時序圖檢驗 logic、規畫 FPGA 的輸入輸出腳位、將編譯好的 code 程式化 FPGA 或 EPPROM。

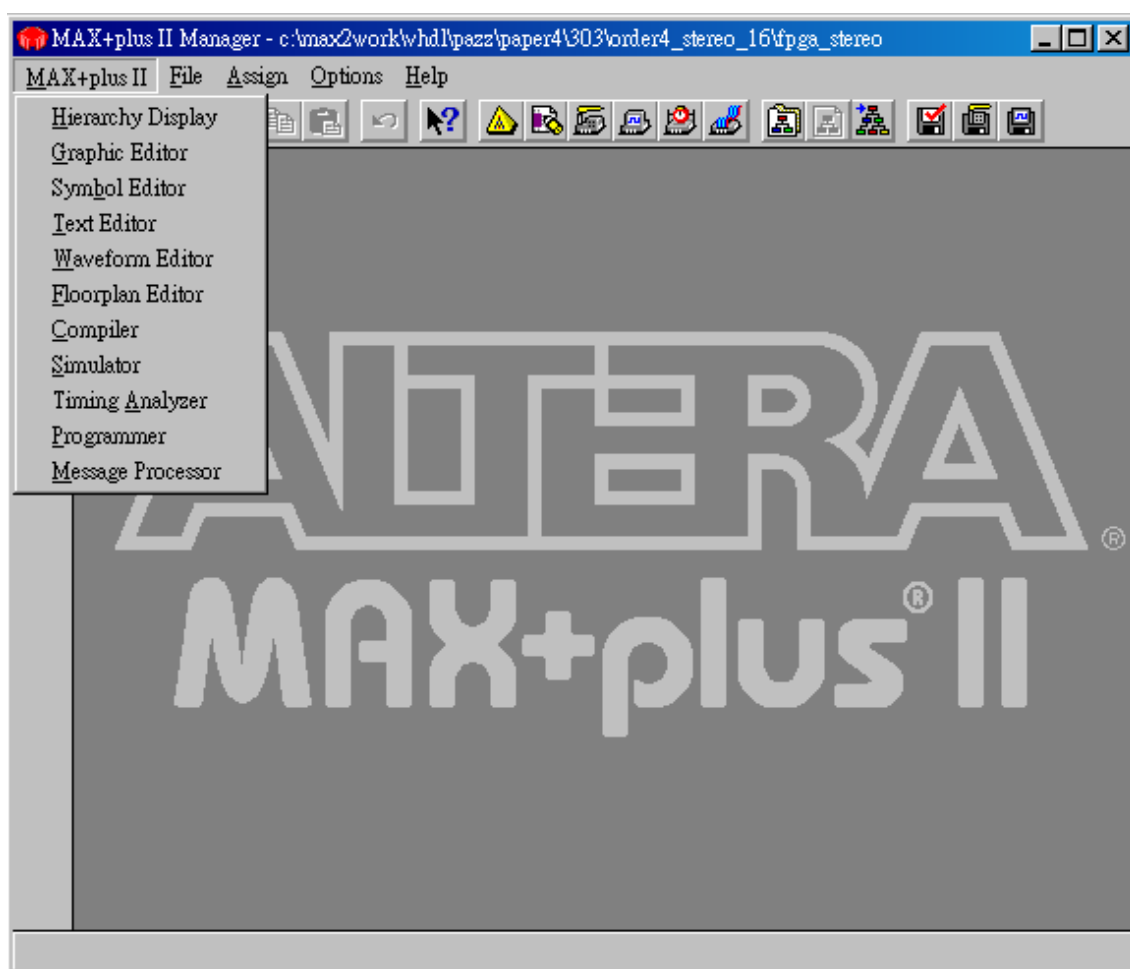


圖 5.2.2 MAX plusII 使用介面

5.2.3 FPGA 實作

在 FPGA 實現主要為三部分：I2S Decoder、1.5-bit 4 階數位 $\Sigma-\Delta$ 調變器、三元轉四元轉換器。

◆ I2S Decoder

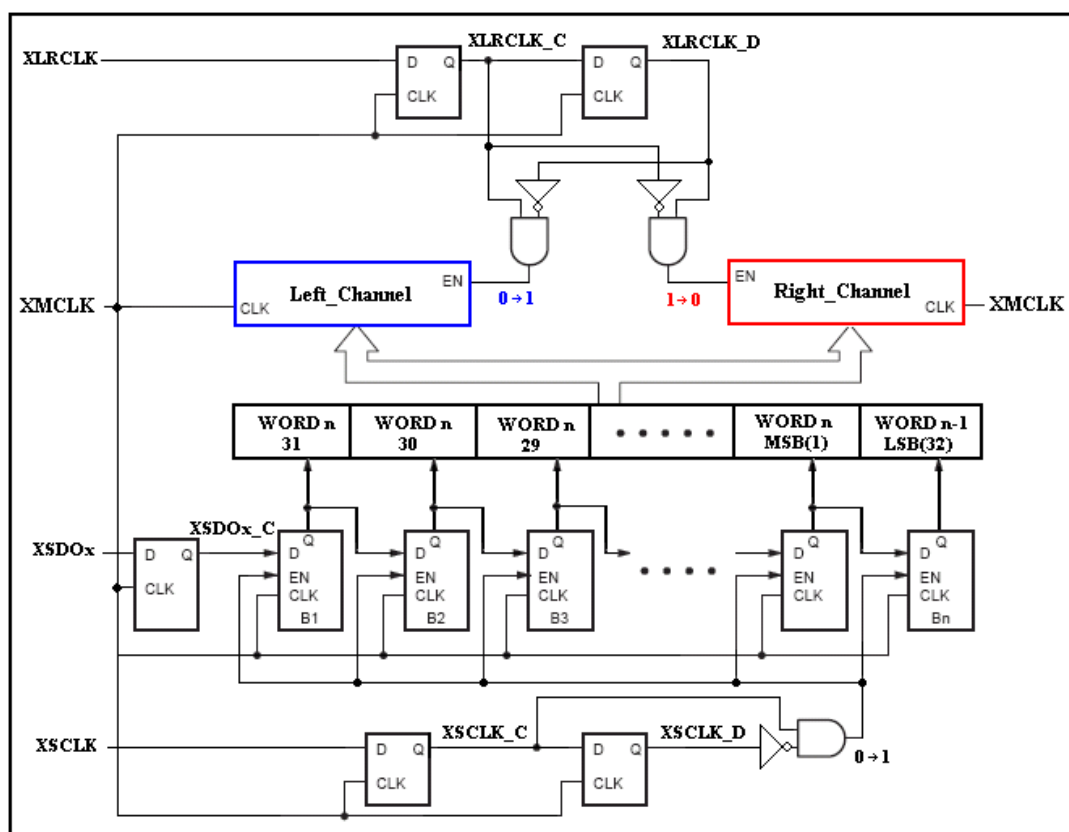


圖 5.2.3 I2S Decoder 硬體方塊圖

根據 I2S 的傳輸規格，將 I2S Decoder 的運算模式依照圖 5.2.3 硬體方塊圖進行，主要分成三個部分解釋：

- (1). I2S 是一個多重 clock 輸入(XMCLK、XSCLK、XLRCLK、XSCLK)的電路，因此必須注意同步(Synchronous)的問題，所以得將所有 clock 以主頻 XMCLK 作同步。
- (2). 內部運作包含了：串列輸入並列輸出，判別左聲道音源、右聲道音源，這些

動作必須同步於 XMCLK。

(3).當 XLRCLK 發生觸發轉換時，同一上升緣的 XSDOx 資訊依然是 XLRCLK 未轉換前的聲道資訊，為了節省邏輯，在此不作判斷而直接輸出，只要在數位 $\Sigma-\Delta$ 調變器輸入端將最高位元捨去即可。圖 5.2.4 為 5.1 聲道 I2S 介面。

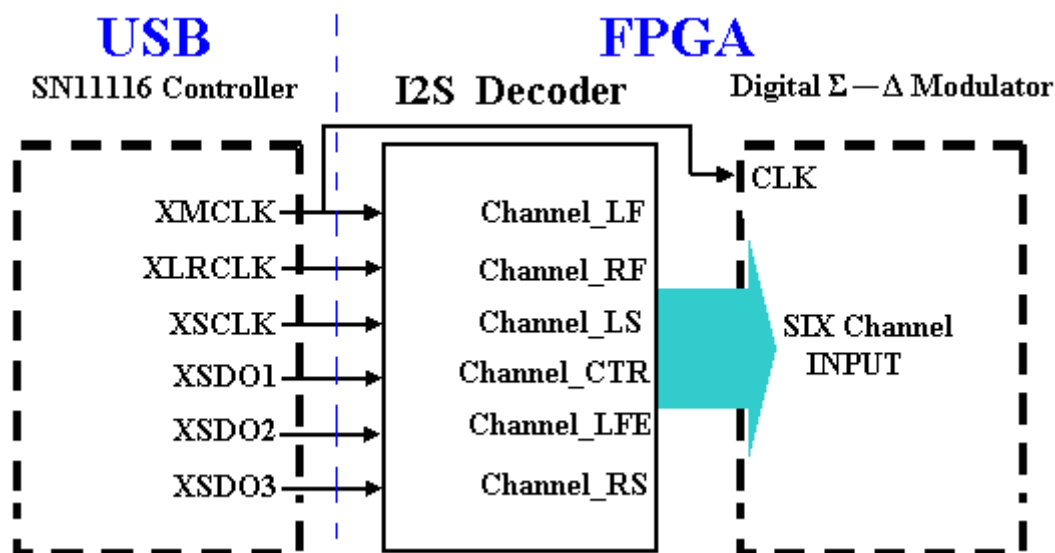


圖 5.2.4 5.1 聲道 I2S 介面

◆ 1.5-bit 4 階數位 $\Sigma-\Delta$ 調變器

依據第四章最後決定之穩定係數與 4 階架構實現 $\Sigma-\Delta$ 演算法，設計一取樣率為 3.072MHz 的 $\Sigma-\Delta$ 調變器，將輸入訊號調變為 1.5-bit 控制訊號，係數與狀態變數皆以 20-bit 的精確度實現於 FPGA。首先將係數乘以 524288 (2^{19}) 做量化處理(Quantization)後可得表 5.2.1 之 20-bit 實作係數，其中乘法以移位加法器(Shift-and-Add)節省面積。

表 5.2.1 四階 $\Sigma-\Delta$ 調變器實作係數

$a_1 = 43000_{(HEX)}$	$b_1 = 445AC_{(HEX)}$	$c_1 = 00300_{(HEX)}$
$a_2 = 20000_{(HEX)}$	$b_2 = 21B5C_{(HEX)}$	$c_2 = 00580_{(HEX)}$
$a_3 = 20000_{(HEX)}$	$b_3 = 138B0_{(HEX)}$	$c_3 = 00002_{(HEX)}$
$a_4 = 04000_{(HEX)}$	$b_4 = 0A9C7_{(HEX)}$	$c_4 = 00008_{(HEX)}$

硬體上為一種數位訊號處理，必須作一些運作排程。為了讓 n 階系統可以 pipeline，所以先對 1 階系統如圖 5.2.5 作適當的等效在輸入端加一暫存器，則 n 階系統的 pipeline 架構如圖 5.2.6 分成 4 個階段(Stage)，在系統取樣週期 $\frac{1}{3.072\text{MHz}}$ 秒內，每個 stage 必須完成動作將資料傳給下一階段，而系統外頻為 12.288MHz，所以每個 stage 有四個 clock cycle 時間動作。

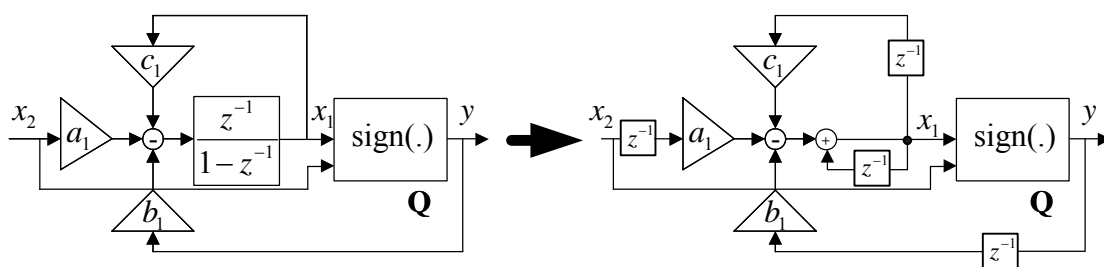


圖 5.2.5 1 階 $\Sigma - \Delta$ 調變器等效排程

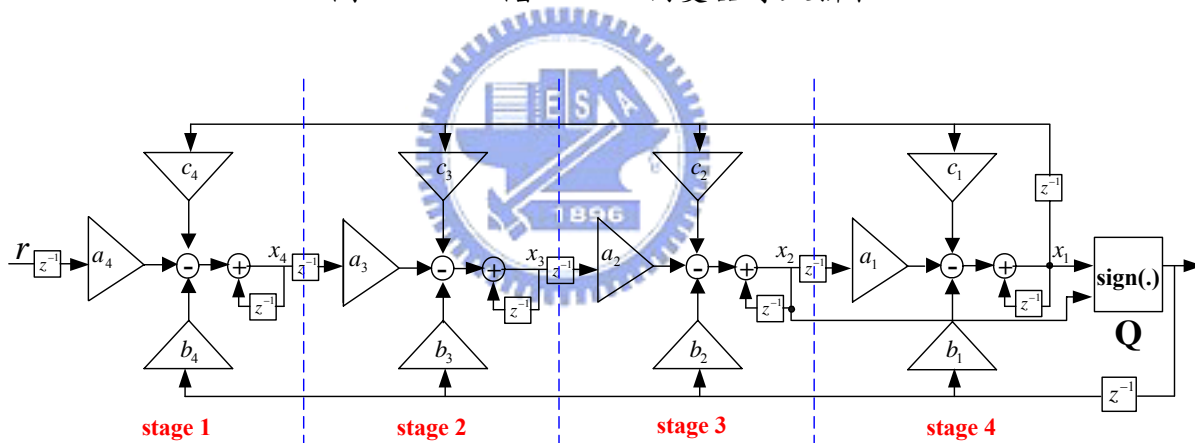


圖 5.2.6 4 階 $\Sigma - \Delta$ 調變器等效排程

以只有一個 stage 的 1 階系統為例，在四個 clock cycle 下必須完成的有乘法、減法、加法、量化器輸出四個動作，而本論文選擇以致能運算器控制資料流(Data Flow)，所以每個運算器動作將消耗一個 clock cycle。而致能的順序，則由一個控制電路輸出致能訊號決定，如圖 5.2.7，順序為乘法→減法→加法→量化器。拓展成 4 階時，可將系統分成硬體架構的 Data Path 與控制資料流的 Control Block。參照圖 5.2.8，如系統為重置(Reset)時，控制電路在初始狀態不對任何運算器致能，因此硬體不會採取任何動作；而系統開始工作時，在不發生重置的情形下，控制

電路會依照乘法→減法→加法→量化器四種致能順序不斷地送出致能訊號至 Data Path 的運算器，則系統的資料流便能在同步動作下產生正確輸出。由於致能動作是採上升緣觸發，每一次的致能，皆使元件只做單一次運算(例：致能的元件為累加器，則作一次加法運算後，便停止動作)。上述架構為完整 1 聲道 $\Sigma-\Delta$ 調變器，其量化尚須針對後級作補償。

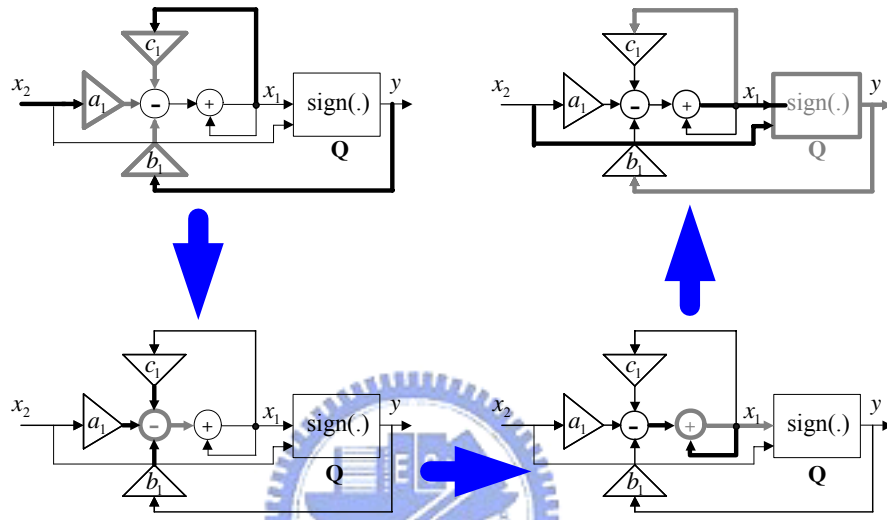


圖 5.2.7 1 階 $\Sigma-\Delta$ 調變器執行順序圖

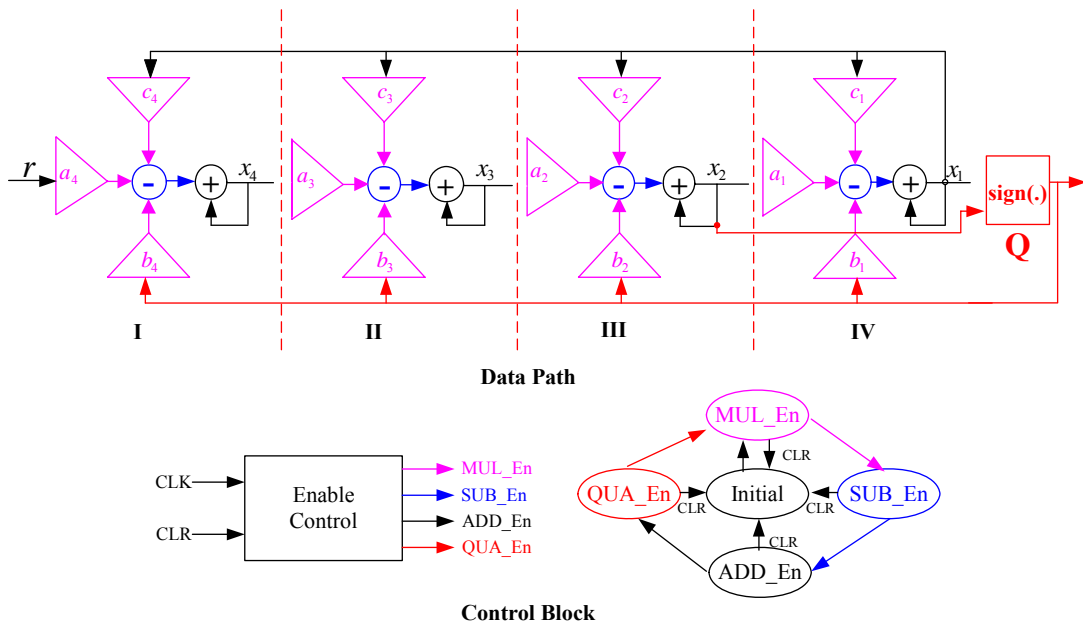


圖 5.2.8 4 階 $\Sigma-\Delta$ 調變器控制圖

◆ 三元(Ternary)轉四元(Quaternary)轉換器

根據 4.2 節說明，就是將 $\Sigma-\Delta$ 的三元(+1、0、-1)轉換成四元(+1、0H、0L、-1)輸出來補償 P/NMOS 不匹配問題，如圖 5.2.9。其架構為一個有限狀態機(Finite State Machine)。0 輸出根據 ± 1 轉換次數判斷輸出 0H、0L。

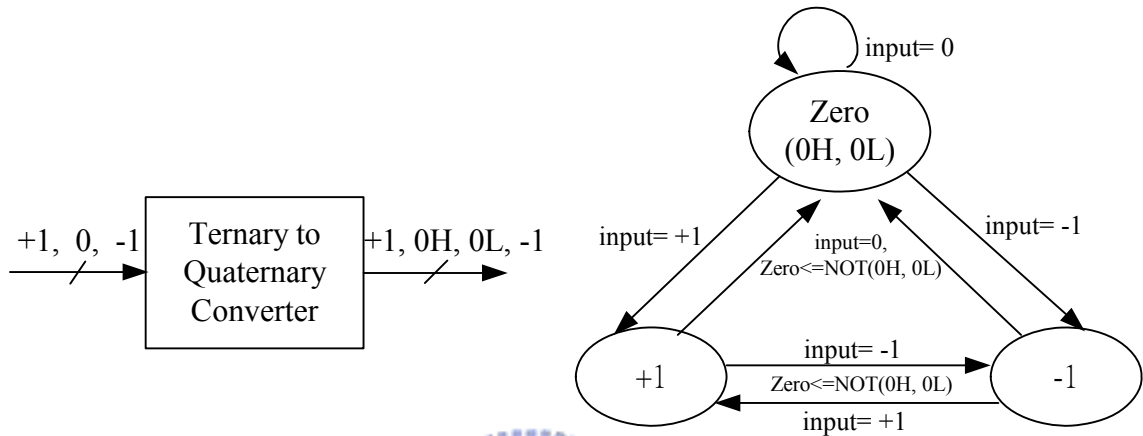


圖 5.2.9 三元轉四元方塊圖與 Finite State Machine

則最後 FPGA 內部總實現為圖 5.2.10，而硬體編譯的結果與使用面積如圖 5.2.11，六個聲道總共佔用了 88%。每一個 I2S Decoder 解碼兩聲道資訊，再將三組 Decoder 解出的六聲道傳到六組 $\Sigma-\Delta$ 調變器處理產生六組 1.5-bit 三元(+1、0、-1)差動訊號，並經由轉換器轉換成四元(+1、0H、0L、-1)切換訊號。

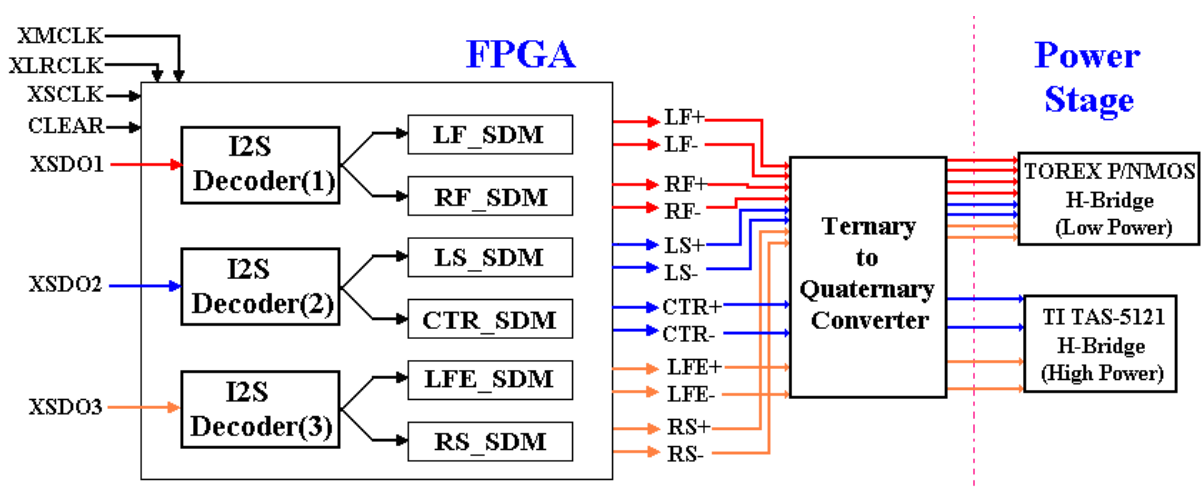


圖 5.2.10 5.1 聲道 $\Sigma-\Delta$ 調變器之 FPGA 架構圖

```

** DEVICE SUMMARY **

Chip/          Input Output Bidir  Memory  Memory          LCs
POF            Device      Pins  Pins  Pins  Bits % Utilized  LCs  % Utilized

fpga_surround
    EPF10K100ARC240-1    9    13    0    0          0 %    4428    88 %

User Pins:          9    13    0

```

圖 5.2.11 FPGA 實現之編譯結果

5.3 功率放大級

對於一個大功率的揚聲器而言，其消耗對於電流有限的 FPGA(I/O 3.3V、max 500mA)而言會造成損壞，因此必須藉由高速功率放大級作為驅動。在六聲道中總共使用兩種功率放大級：(1)德州儀器(TI)推出的 TAS5121 數位音訊放大器[31]；(2)P/N Power MOS(TOREX XP152A12C0MR /XP151A13A0MR)組成之全橋放大器[32][33]。

5.3.1 硬體介紹：(1)TI TAS5121；(2) TOREX P/N Power MOS

(1) Stereo Digital Amplifier Power Stage TAS5121：

特性 · 負載為 4Ω 時，輸入功率 100-W RMS 之 THD+N 低於 10%

- 負載為 4Ω 時，輸入功率 80-W RMS 之 THD+N 低於 0.2%
- 負載為 4Ω 時，輸入功率 1W 時之 THD+N 為 0.05%
- 負載為 4Ω 時，功率效率超過 90%
- 36-Pin PSOP3 IC 封裝
- 內部有 Gate Driver
- 3.3-V 數位介面

應用 · DVD 接收器 · 網路音樂裝置 · 迷你元件系統

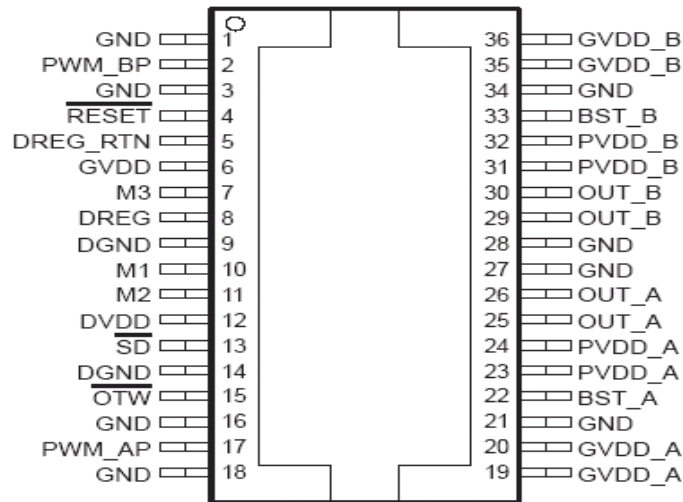


圖 5.3.1 TI TAS5121 接腳圖

(2) P/N Power MOS(TOREX XP152A12C0MR /XP151A13A0MR) :

特性 · DMOS 架構

- 低導通阻抗：0.3Ω (P-Channel) 、0.1Ω (N-Channel)
- 極高速開關
- 內建閘極保護二極體
- SOT – 23 IC 封裝
- 3.3-V 數位介面

應用 · 筆記型電腦 · 可攜式電話 · Li-ion 鋰電系統

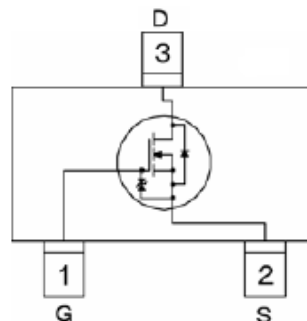


圖 5.3.2 TOREX XP152A12C0MR/XP151A13A0MR 接腳圖

5.3.2 功率放大級實作

(1) TAS5121 :

TAS5121 為全橋式，內部已經含蓋了 Gate Driver，所以輸入部分可直接使用 FPGA 的 3.3V I/O 埠，參考[31]，將周邊電路完成即可。此晶片需要三種直流電壓源 DVDD、GVDD、PVDD。

- DVDD：數位調節器(Regulator)輸入。其電壓值可在 3V~3.6V 間，通常為 3.3V。此電壓會從晶片內部自行由 GVDD 電壓產生，以便利實現。
- GVDD：提供邏輯調節器(Logic Regulators)與 gate-drive 電路。其電壓值可在 10.8V~13.2V 間，通常為 12V。
- PVDD：(半橋)Half-Bridge 電壓供應。其電壓值可在 0V~32V 間。此部分決定放大器功率與效率，PVDD 大小與輸出功率的關係如下圖 5.3.3(a)，輸出功率以及系統效率的關係圖如(b)。在實作上採用 PVDD 為 12V，而選用負載為 4Ω 的揚聲器。

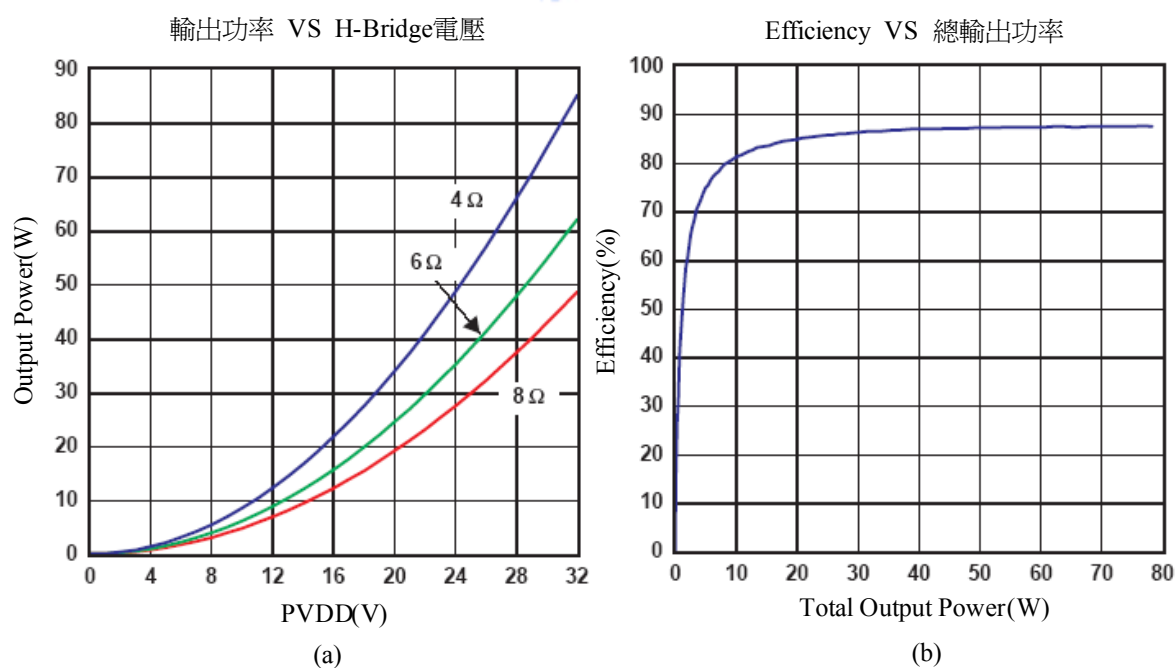


圖 5.3.3 (a)輸出功率與 PVDD 電壓(b)效率與輸出功率

此外 TAS5121 還有幾項特性：(1)內部有數位邏輯產生 dead-time；(2)晶片的輸出準位時間至少需要 100ns，而 $\Sigma-\Delta$ 調變脈波寬度最小為 $\frac{1}{3.072\text{MHz}} \approx 326\text{ns}$ ，速度符合。(3)有 RESET 訊號作為位準觸發(Level Trigger)，外接電路上用來吸收突波的電容必須充電完成始得正常操作。由圖 5.3.4 可以得知在電壓輸入 1ms 後電容才充電完成，至此方可將 RESET 準位設為高準位(High)，讓訊號輸入；同理，訊號結束前 1ms 即必須拉低 RESET 準位至低準位(Low)，以避免資料流失，造成失真。上述 RESET 腳位為利用 FPGA 來控制。

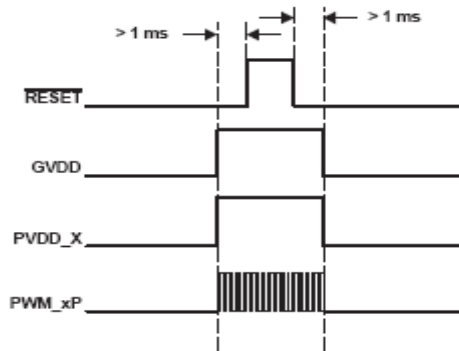


圖 5.3.4 功率放大器啟動程序

而當發生過熱、過載、電壓不足，晶片會送出錯誤控制訊號，在排除問題之後必須由外部給予 RESET 低準位訊號使晶片恢復工作。

(2) P/NMOS H-Bridge

TOREX XP152A12C0MR /XP151A13A0MR 的 DC 輸入/出範圍及規格如圖 5.3.5。

PARAMETER	SYMBOL	RATINGS	UNITS
Drain - Source Voltage	Vdss	-20	V
Gate - Source Voltage	Vgss	±12	V
Drain Current (DC)	Id	-0.7	A
Drain Current (Pulse)	Idp	-2.8	A
Reverse Drain Current	Idr	-0.7	A

(a) P-Channel Power MOSFET Rating

PARAMETER	SYMBOL	RATINGS	UNITS
Drain - Source Voltage	Vdss	20	V
Gate - Source Voltage	Vgss	±8	V
Drain Current (DC)	Id	1	A
Drain Current (Pulse)	Idp	4	A
Reverse Drain Current	Idr	1	A

(b) N-Channel Power MOSFET Rating

圖 5.3.5 P/NMOS 絕對最大額定

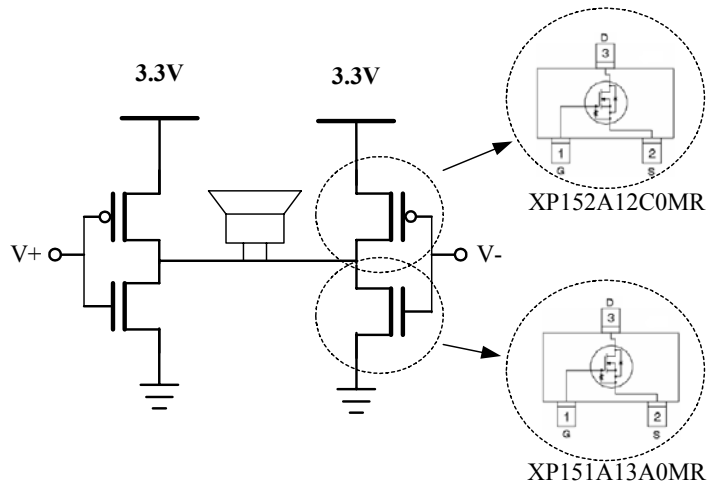


圖 5.3.6 P/NMOS H-Bridge 功率放大級

依照全橋的架構組合如圖 5.3.6，此架構設計的電源為單一電源，即為 CMOS 的電源供應 VDD 與 GND，電壓範圍為 0~20V，在此為配合 FPGA 輸出埠 3.3V 規格與適當功率，將電源定為 3.3V。此兩部分皆可以使用四元切換機制補償 P/NMOS 不匹配。



第六章 效能量測與比較

本章主要是量測放大器系統平台，於 6.1 節量測 FPGA 調變級邏輯輸出的效能與計算，以及放大級三元與四元切換的類比輸出效能比較；而 6.2 節則量測兩種全橋放大器的輸出效率。關於調變級與放大級請參閱圖 6.1。

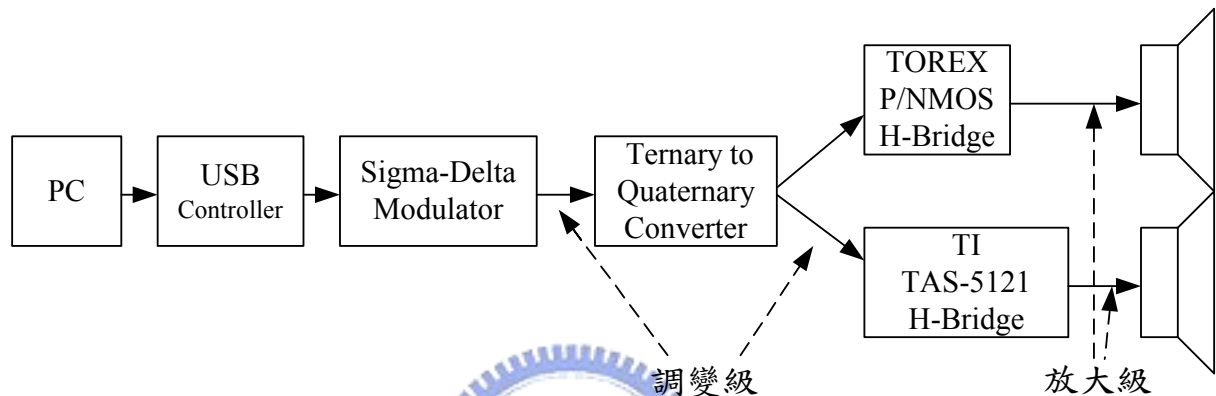


圖 6.1 放大器平台訊號示意圖

6.1 訊號效能量測

此部分重點在於驗證實現於 FPGA 之數位 $\Sigma-\Delta$ 調變級切換輸出邏輯訊號的頻譜響應，並計算其各種效能數據，另外將調變級通過 D 類放大器之後，比較三元(Ternary)切換與四元(Quaternary)切換的類比訊號響應。

6.1.1 調變級邏輯量測與效能計算

輸入訊號皆為取樣率 48kHz 的 1kHz 正弦波(Sine Wave)，根據各種不同量測規定，振幅分別有 -3dB、-60dB、-96dB 來量測邏輯輸出之總諧波失真(Total Harmonic Distortion)、總諧波失真加雜訊(Total Harmonic Distortion plus Noise)、動態範圍(Dynamic Range)以及訊號雜訊比(Signal-to-Noise Ratio)。計算範圍為音頻 20kHz 以內，量化器皆為 1.5-bit。三元(Ternary)與四元(Quaternary)輸出波形如圖 6.1.1。

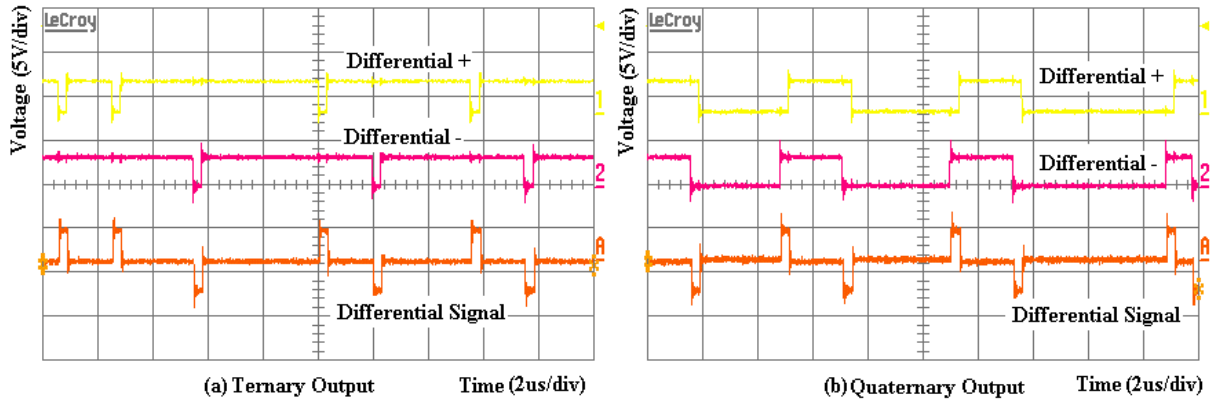


圖 6.1.1 (a)三元切換調變級輸出時域圖 (b)四元切換調變級輸出時域圖

1.三元切換、雜訊轉移函數零點 $z = 1$

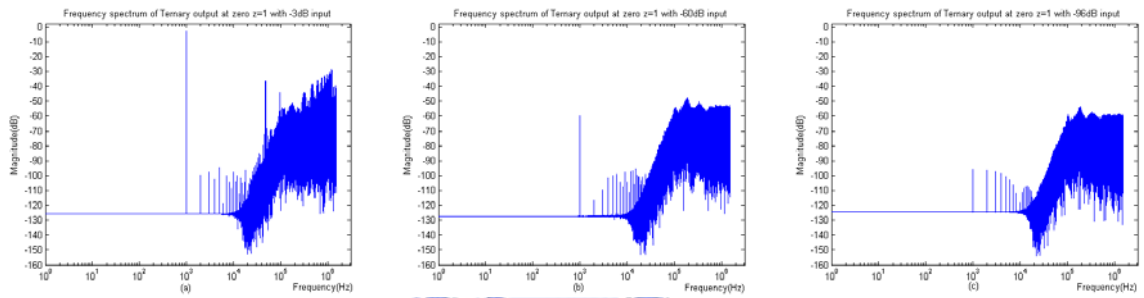


圖 6.1.2 三元切換調變級邏輯輸出頻譜圖(零點 $z = 1$)

2.三元切換、最佳化雜訊轉移函數零點位置

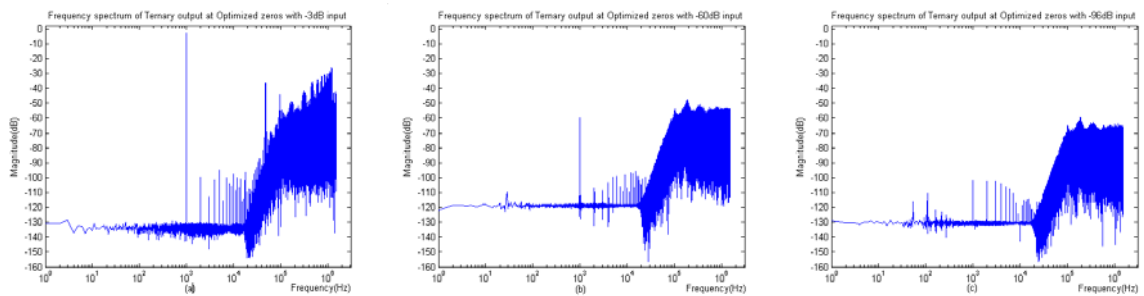


圖 6.1.3 三元切換調變級邏輯輸出頻譜圖(最佳化零點位置)

3.四元切換、最佳化雜訊轉移函數零點位置

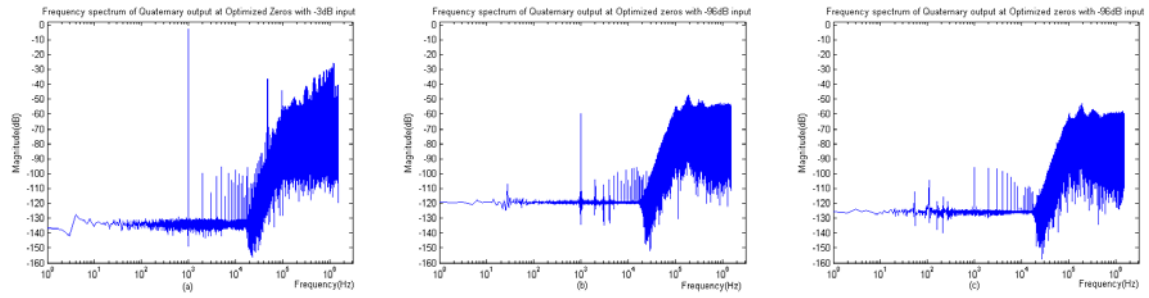


圖 6.1.4 四元切換調變級邏輯輸出頻譜圖(最佳化零點位置)

表 6.1.1 調變級各種切換機制效能比較表

Switching Type	%THD (-3dB FS)	%THD+N (-3dB FS)	DR(dB) (-60dB FS)	SNR(dB) (-96dB FS)
Ternary(Zero z = 1)	0.0056%	0.0192%	119.55	123.56
Ternary(Optimizing Zero)	0.0052%	0.0065%	118.55	130.04
Quaternary(Optimizing Zero)	0.0052%	0.0066%	118.93	124.59

結果為最佳化零點位置的效能較好，三元與四元切換將於類比訊號討論。

6.1.2 放大級三元與四元切換電壓量測比較

以振幅-3dB 之取樣率 48kHz 的 1kHz 正弦波(Sine Wave)來觀察比較其三元與四元切換機制下的類比訊號響應，並皆使用最佳化零點位置。

1. TI TAS5121

TI TAS5121 三元與四元切換的時域圖如圖 6.1.5，顯示兩種不同切換方式。

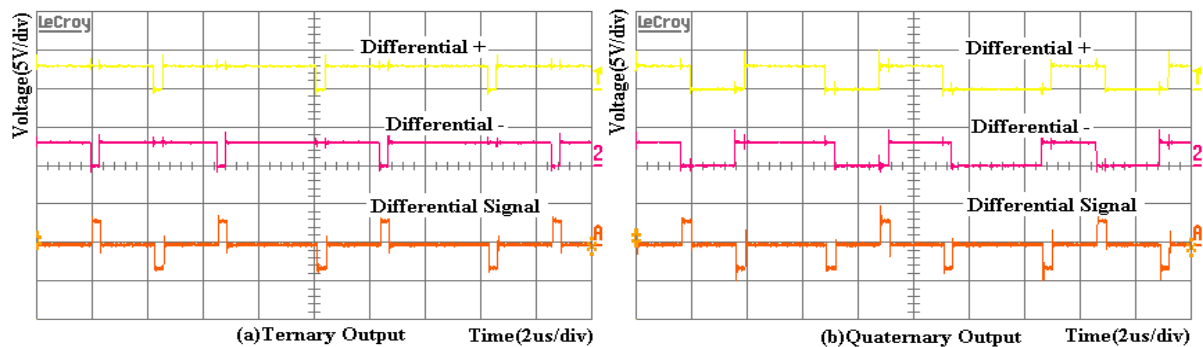


圖 6.1.5 TI TAS5121 (a)三元切換輸出時域圖 (b)四元切換輸出時域圖

兩種不同切換機制的頻譜響應如下圖 6.1.6，比較可以看出四元切換的諧波失真(Harmonic Distortion)成分比較低，其計算出來的總諧波失真(Total Harmonic Distortion)，三元切換為 0.986%，四元切換為 0.693%。

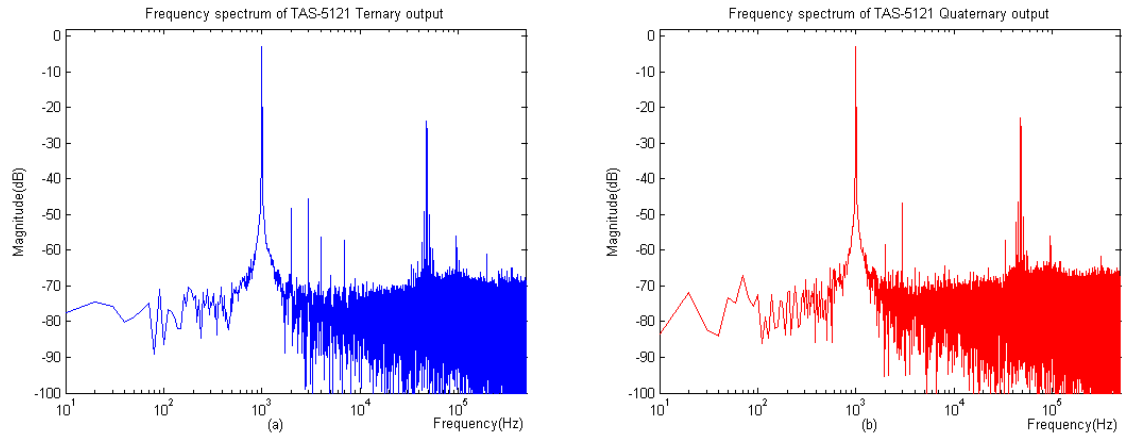


圖 6.1.6 TI TAS5121 (a)三元切換輸出頻譜圖 (b)四元切換輸出頻譜圖

下圖 6.1.7 為兩種不同切換的輸出頻譜比較圖，四元切換諧波失真較低。

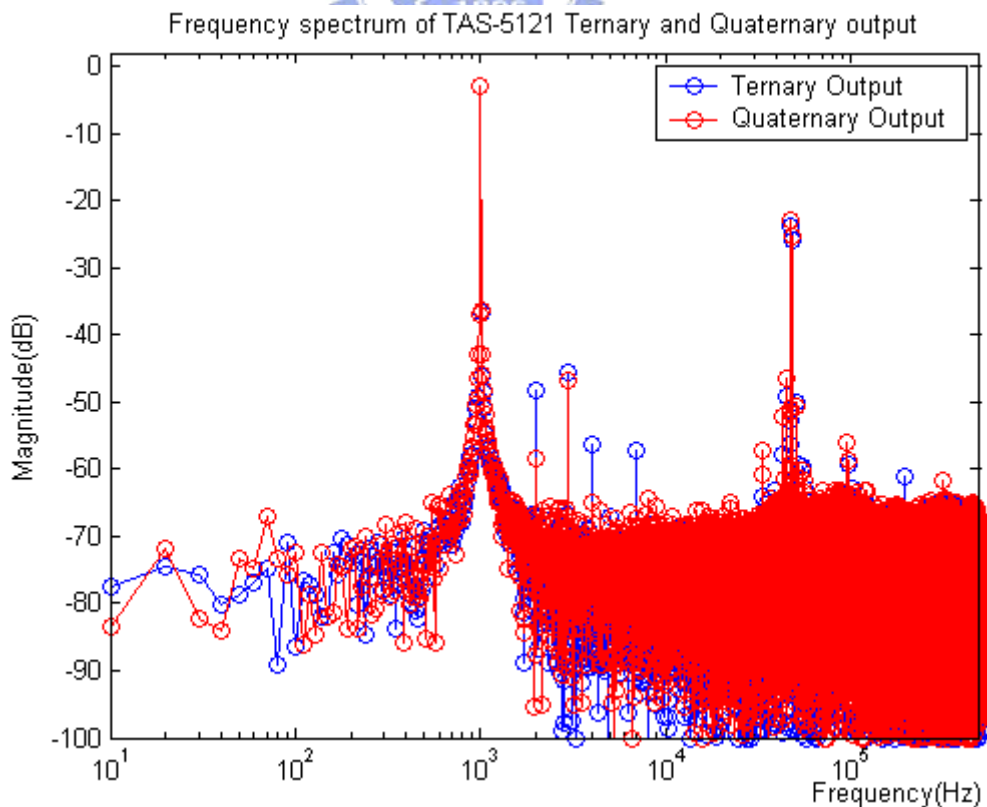


圖 6.1.7 TI TAS5121 三元與四元切換輸出頻譜比較圖

2. TOREX P/NMOS H-Bridge

TOREX 三元與四元切換的時域圖如圖 6.1.8，顯示兩種不同切換方式。

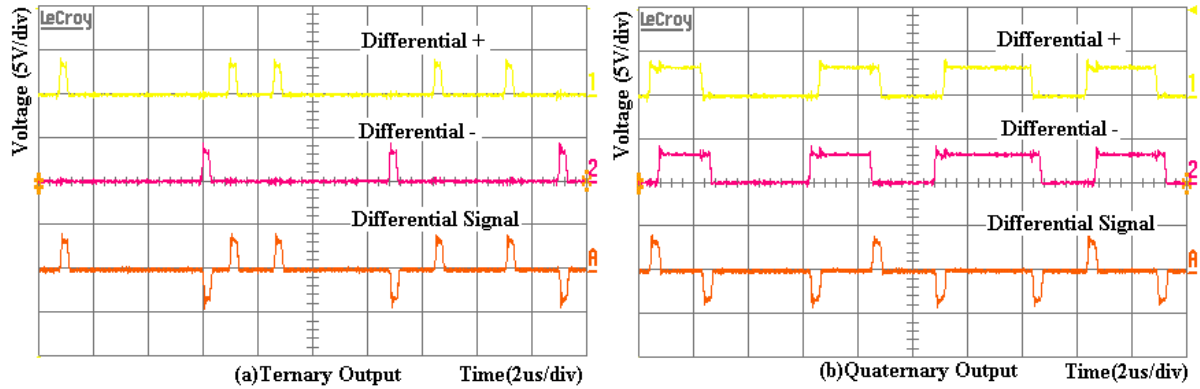


圖 6.1.8 TOREX P/NMOS H-Bridge (a)三元切換時域圖 (b)四元切換時域圖

對於 TOREX P/NMOS H-Bridge 三元與四元切換如下圖 6.1.9，可以看出依然四元切換的諧波失真(Harmonic Distortion)成分比較低，其計算出來的總諧波失真(Total Harmonic Distortion)，三元切換為 1.092%，四元切換為 0.74%。

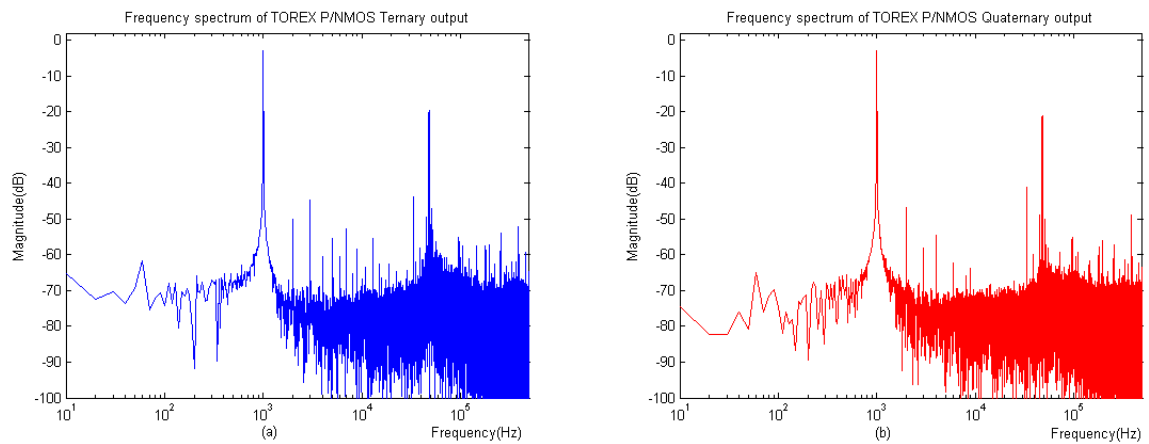


圖 6.1.9 TOREX P/NMOS H-Bridge (a)三元切換頻譜圖 (b)四元切換頻譜圖

下圖 6.1.10 比較兩種不同切換的輸出頻譜，四元切換諧波失真較低。

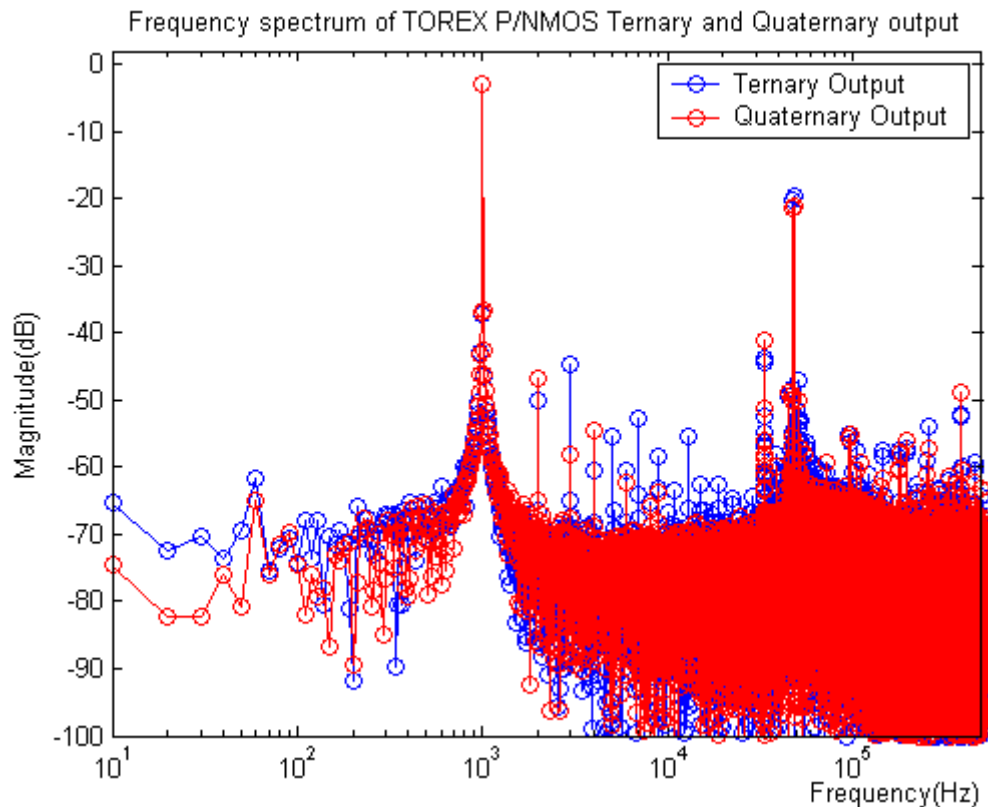


圖 6.1.10 TOREX P/NMOS H-Bridge 三元與四元切換輸出頻譜比較圖

6.2 放大級效率

此部分量測兩種D類放大器的效率，皆以輸出為振幅0dB之取樣率48kHz的1kHz正弦波(Sine Wave)來量測輸出功率與輸入功率，以計算系統效率。由於D類放大器效率跟切換次數有關，所以此部分除了量測論文設計的64倍取樣之外，也量測了32倍的系統取樣以作比較。

6.2.1 TI TAS5121 輸出輸入功率

1.32 倍系統取樣(1.536MHz)

系統輸入電壓的平均值約在12.37V，電壓的平均值約在0.49A，其輸入輸出功率如下圖所示。由圖6.2.1可以得知輸入平均功率為6.0597(Watt)。其輸出功率由圖6.2.2的電壓與電流圖得到為4.7532(Watt)。由此可以推算出整個系統效能：

$$\text{輸出功率(Power Efficiency)} = \frac{4.7532(\text{Watt})}{6.0597(\text{Watt})} = 78.44\%$$

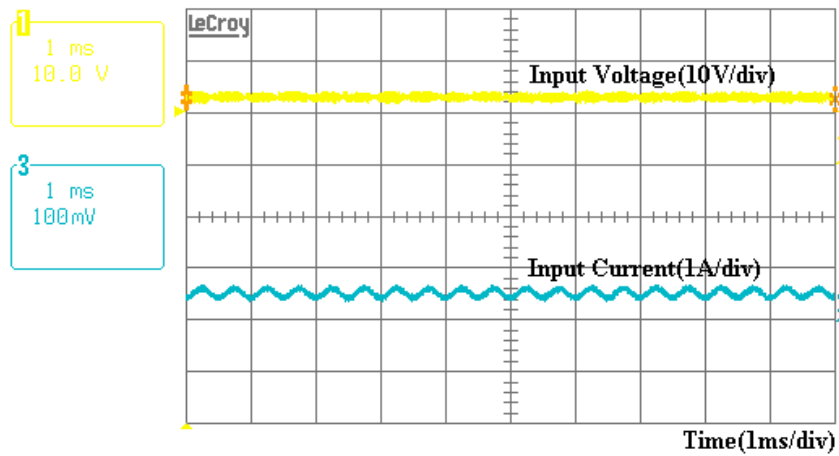


圖 6.2.1 TI TAS5121 輸入電壓與電流圖(32 倍系統取樣)

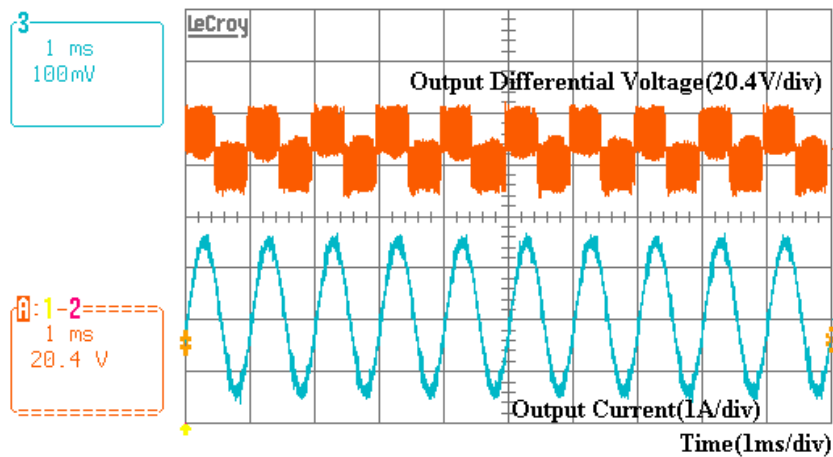


圖 6.2.2 TI TAS5121 輸出電壓與電流圖(32 倍系統取樣)

2. 64 倍系統取樣(3.072MHz)

系統輸入電壓的平均值約在 12.36V，電壓的平均值約在 0.4995A，其輸入輸出功率如下圖所示。由圖 6.2.3 可以得知輸入平均功率為 6.1739(Watt)。其輸出功率由圖 6.2.4 的電壓與電流圖得到為 4.592(Watt)。由此可以推算出整個系統效能：

$$\text{輸出功率(Power Efficiency)} = \frac{4.5919(\text{Watt})}{6.1739(\text{Watt})} = 74.38\%$$

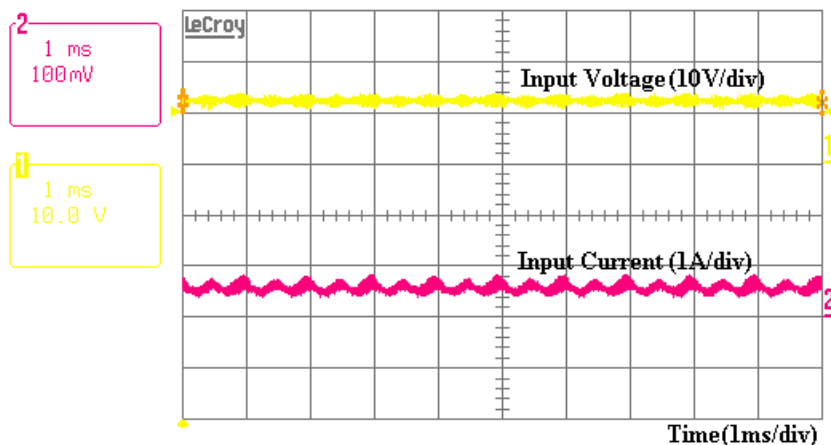


圖 6.2.3 TI TAS5121 輸入電壓與電流圖(64 倍系統取樣)

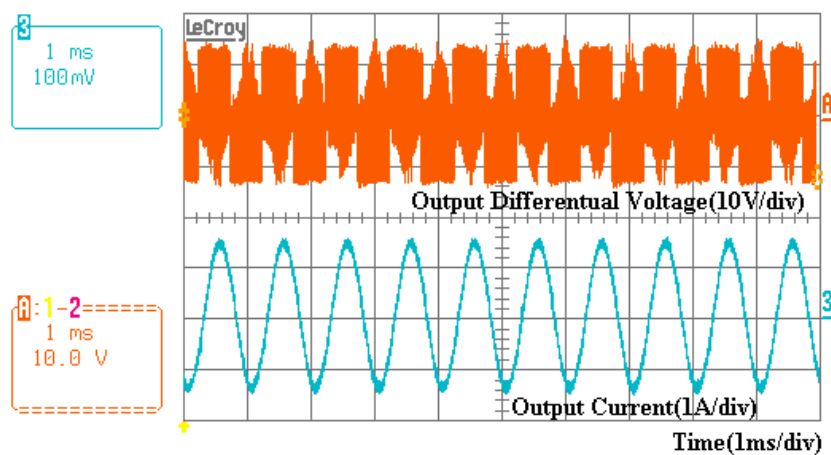


圖 6.2.4 TI TAS5121 輸出電壓與電流圖(64 倍系統取樣)

對照圖 5.3.3 的輸出功率與效率圖，在輸出功率近 5(Watt)時的效率約為 75%，代表此量測是合理的。

6.2.2 TOREX P/NMOS H-Bridge 輸出輸入功率

1. 32 倍系統取樣(1.536MHz)

系統輸入電壓的平均值約在 3.238V，電壓的平均值約在 0.2661A，其輸入輸出功率如下圖所示。由圖 6.2.5 可以得知輸入平均功率為 0.8609(Watt)。其輸出功率由圖 6.2.6 的電壓與電流圖得到為 0.3863(Watt)。由此可以推算出整個系統效能：

$$\text{輸出功率(Power Efficiency)} = \frac{0.3863(\text{Watt})}{0.8609(\text{Watt})} = 44.87\%$$

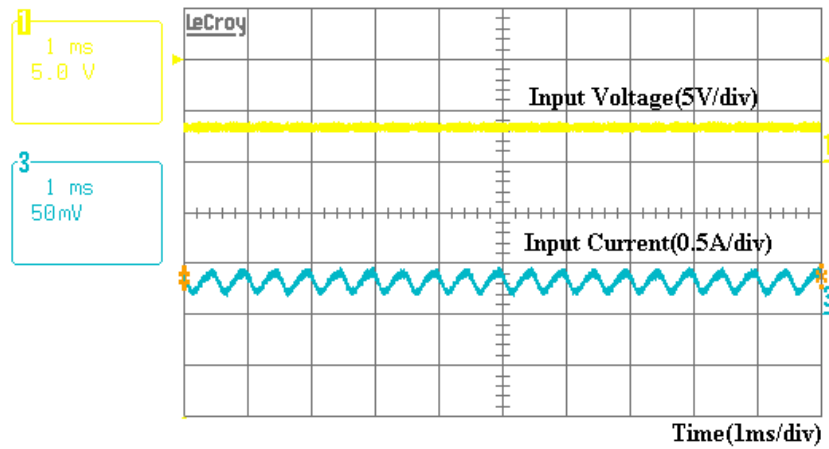


圖 6.2.5 TOREX P/NMOS 輸入電壓與電流圖(32 倍系統取樣)

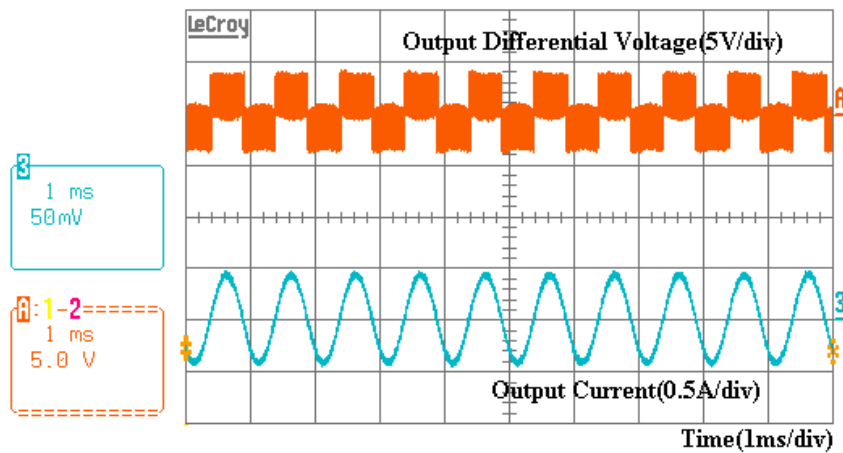


圖 6.2.6 TOREX P/NMOS 輸出電壓與電流圖(32 倍系統取樣)

2. 64 倍系統取樣(3.072MHz)

系統輸入電壓的平均值約在 3.2744V，電壓的平均值約在 0.221A，其輸入輸出功率如下圖所示。由圖 6.2.7 可以得知輸入平均功率為 0.722(Watt)。其輸出功率由圖 6.2.8 的電壓與電流圖得到為 0.3069(Watt)。由此可以推算出整個系統效能：

$$\text{輸出功率(Power Efficiency)} = \frac{0.3069(\text{Watt})}{0.722(\text{Watt})} = 42.51\%$$

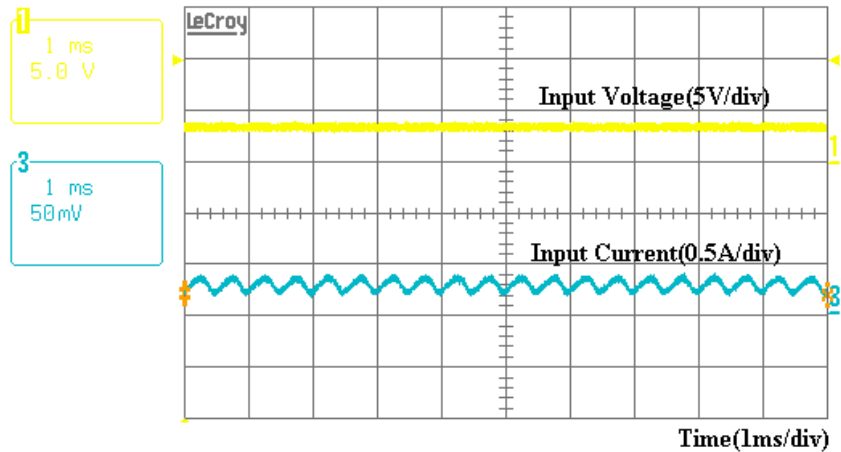


圖 6.2.7 TOREX P/NMOS 輸入電壓與電流圖(64 倍系統取樣)

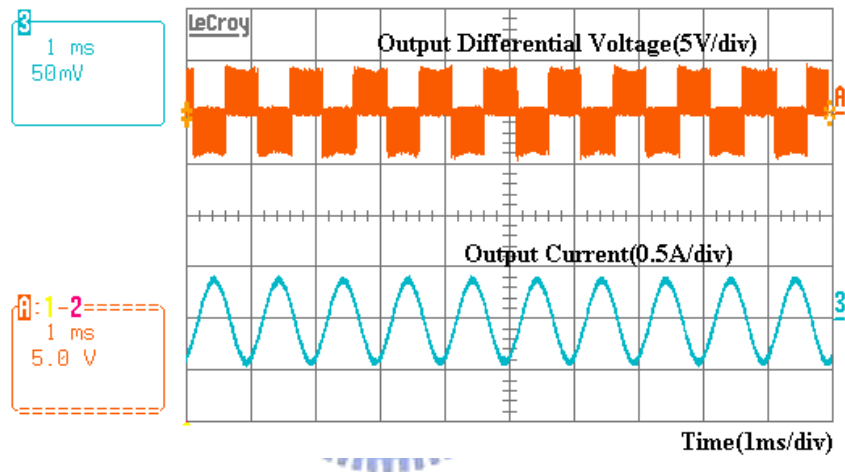


圖 6.2.8 TOREX P/NMOS 輸出電壓與電流圖(64 倍系統取樣)

3. 比較不同輸入電壓的效率

以 D 類放大器而言，以上輸入電壓約為 3.3V 所量測的 TOREX P/NMOS H-Bridge 效率都不高，因此現在固定閘極驅動電壓(FPGA I/O)，改變輸入電壓大小來量測效率觀察結果。如表 6.2.1、6.2.2，分別為 32 倍、64 倍各種不同輸入電壓的效率。發現當輸入電壓越小時，效率越高，這結果可能為當閘極驅動電壓(Gate Driving Voltage)固定時，輸入電壓越高時，MOS 的導通阻抗 R_{on} 越高，造成輸出效率降低；而將輸入電壓降至 3.3V 以下時發現效率提高，則可能顯示 FPGA 輸出驅動能力不足，因此若要確保在輸入電壓 3.3V 時擁有高輸出效率，解決的方式則是讓 FPGA 輸出先經過閘極驅動(Gate Driver)放大電路再輸入至 H-Bridge。

表 6.2.1 TOREX P/NMOS 輸入電壓 v.s.輸出效率(系統頻率 1.536MHz)

Input Voltage	Input Power	Output Power	Power Efficiency
2.6379V	0.3759W	0.2499W	66.47%
3.2379V	0.8609W	0.3863W	44.87%
4.479V	2.5664W	0.6151W	23.97%

表 6.2.1 TOREX P/NMOS 輸入電壓 v.s.輸出效率(系統頻率 3.072MHz)

Input Voltage	Input Power	Output Power	Power Efficiency
2.6469V	0.3187W	0.179W	56.15%
3.2744V	0.722W	0.3069W	42.51%
4.4063V	2.9458W	0.5688W	19.31%



第七章 結論

7.1 研究成果

最後整個平台就是以 USB 六聲道音效控制器為介面、I2S 輸入之 1.5-bit 數位 $\Sigma-\Delta$ 調變器為基礎、數位全橋功率放大級作為輸出的 5.1 聲道音頻擴大器(圖 7.1.1)。若將整個系統體積最佳化，將可以達成多聲道、小體積、大功率的目的。由於後級皆能高速切換，使得 $\Sigma-\Delta$ 調變器取樣頻率的設計可將 Noise Shaping 到人耳無法聽到的範圍(20kHz 以上)，加上 1.5-bit 的量化運算，也大幅降低了切換次數與電磁干擾(Electromagnetic Interference)，所以系統輸出省略了低通濾波器(Filterless)。



圖 7.1.1 USB 介面 5.1 聲道音頻放大系統

D 類放大器體積小效率高，但缺點是調變的過程必然有些失真，所幸在數位化的音質上可被接受，所以較適合應用在可攜式裝置等需小體積的產品，另外 LCD 平面電視、平面喇叭、車內音響有散熱、體積、用電的精省壓力，也會使用 D 類放大器。而在高檔專業音響中仍然是以零失真的 A 類放大，為了享受無失真的完美音質，不會太在乎多耗 3 倍的電能[35]。

而前級的數位式調變， $\Sigma-\Delta$ 調變擁有低時脈、高音效品質、少切換次數優勢，在數位化音頻放大器是一個取代 PWM 的較佳選擇。

7.2 未來展望

在 $\Sigma-\Delta$ 調變架構中是一種數位濾波器，而在穩定性狀態邊界(Boundary)原則下會使得濾波器增益(Filter Gain)小於 1，而使輸出音頻訊號低於調變方波振幅，雖切換次數消耗與音頻訊號振幅正相關，並不會降低放大器效率，但對於相同功率放大而言，濾波器增益越低，將使得後級方波電壓提供需求必須越高來維持。

在本論文中的穩定性法則是一個充分非必要的條件，因此可以藉由改變狀態邊界(Boundary)的大小來得到較大的濾波器增益，如此雖然違反了穩定性法則，但是系統在給定的數種單頻訊號測試模擬下，仍然可以穩定工作且改善振幅。但是音頻輸入有千萬種可能，使用自己給定的測試訊號並無法確保系統穩定，因此在理論上必須找出嚴謹的方式證明在此方法下系統可以穩定。目前有想到可能以 Monte-Carlo 模擬法來證明系統是否可穩定。

當然 $\Sigma-\Delta$ 調變的架構有很多種，或許可以改變一些架構，來得到較高的音頻振幅。另外 $\Sigma-\Delta$ 調變器中也有不穩定的設計方式，然後利用一穩定偵測器來偵測調變器是否進入不穩定區域工作，使用不穩定回復功能，如重置機制(Reset Mechanism)和截波器(Clipppers)。

參考文獻

- [1] 鄭群星, 音響工程, 全華科技圖書股份有限公司, pp. 223-231, 台北, 1993.
- [2] F. H. Raab, "Analysis of Idealized Class-D Power Amplifiers," Green Mountain Radio Research Company Continuing Education Seminar, Vermont, 1982.
- [3] H. Bresch, M. Streitenberger and W. Mathis, "About The Demodulation Of PWM-Signals With Applications To Audio Amplifiers," *Proc. Int. Conf. Circuits and Systems*, vol.1, 31, pp.205–208, May-3 June 1998.
- [4] H. Nakagaki, N. Amada, S. Inouc, "A High Efficiency Audio Amplifier," *J.Audio Eng. Soc.*, Vol. 31, No. 6, pp. 984-993, June 1983.
- [5] M. Bloechl, M. Bataineh, and D. Harrell "Class D Switching Power Amplifiers: Theory, Design, and Performance" *SoutheastCon, 2004. Proceedings. IEEE* pp.26-29 Mar 2004 pp.123-146.
- [6] S. H. Yu, and J. S. Hu, "Optimization and Control Aspects of Single-Bit Noise-Shaping Quantization", *IEEE Transactions on Circuits and Systems-I*, 2004.
- [7] S. H. Yu, and J. S. Hu, "Sigma-Delta modulators operated in optimization mode," *IEEE International Symposium on Circuits and Systems*, May 2004.
- [8] 葉順智,「具備 USB 介面之雙聲道全數位式音頻放大器設計」, 國立交通大學, 碩士論文, 民國 93 年。
- [9] 陳鏗元,「採用 $\Sigma-\Delta$ 調變之全橋功率放大器」, 國立交通大學, 碩士論文, 民國 94 年。
- [10] C. Pascual, Z. Song, P. T. Krein, D. V. Sarwate, P. Midya, W. J. Roeckner, "High-Fidelity PWM Inverter for Digital Audio Amplification: Spectral Analysis, Real-Time DSP Implementation, and Results," *IEEE Transactions on Power Electronics*, vol.18.
- [11] M. T. Tan, H. C. Chua, B. H. Gwee and J. S. Chang, "An Investigation on the parameters Affecting Total Harmonic Distortion in Class D Amplifiers," *ISCAS 2000-IEEE International Symposium on Circuits and Systems*, May 28-31, 2000, Beneva, Switzerland.
- [12] B. H. Gwee, J. S. Chang, V. Adrian, and H. Amir, "A Novel Sampling Process and Pulse Generator for a Low Distortion Digital Pulse-Width Modulator for Digital Class D Amplifiers," *Proc. Int. Conf. Circuits and Systems*, vol.4, pp.25-28, May 2003.
- [13] K. P. Sozariski, R. Strzelecki, and Z. Fedyczak, "Digital Control Circuit for Class-D Audio Power Amplifier," *Power Electronics Specialists Conference, PESC. 2001 IEEE 32nd Annual*, vol. 2, pp.17-21, June 2001.
- [14] P. Caldeira, R. Liu, D. Dalal, and W.J. Gu, "Comparison of EMI performance of PWM and resonant power converters," *IEEE Power Electronics Specialists Conference 1993*, pp.134-140, June 1993.

- [15] TI “PurePath Digital™ AUDIO SIX-CHANNEL PWM PROCESSOR.”
[Online]. Available: <http://focus.ti.com/lit/ds/symlink/tas5086.pdf>
- [16] D. E. Quevedo, J. A. De Dona, and G. C. Goodwin, “Receding Horizon Linear Quadratic Control With Finite Input Constraint,” IFAC 15th Triennial World Congress, Barcelona, Spain, 2002.
- [17] D. E. Quevedo and G. C. Goodwin, “Multi-Step Optimal Analog-to-Digital Conversion,” *Circuits and Systems I: Regular Papers, IEEE*, vol. 52, pp.503-505, March 2005.
- [18] F. de Jager, “Delta modulation – a method of PCM transmission using the one unit code,” *Philips Res. Repts.*, vol. 7, pp.442-466, 1952.
- [19] H. Inose and Y. Yasuda, “A unity bit coding method by negative feedback,” *Proceeding of the IEEE*, pp. 1524-1535, November 1963.
- [20] 黃克強, 「淺談 Delta-Sigma 之工作原理」。
- [21] Quevedo, D.E., and G. C. Goodwin, “Audio quantization from a receding horizon control perspective,” *American Control Conference, Proceedings of the 2003*, vol. 5, pp.4131-4136, pp.4-6, June, 2003.
- [22] M. Corsi, W. T. F. Chen, R. C. Jones, et al., “Concept and Method to Enable Filterless, Efficient Operation of Class-D Amplifiers,” Texas Instruments Incorporated, United States Patent, No.US6,262,632 B1, Jul.17, 2001
- [23] APOGEE “DDX Technology”
[Online] Available: <http://www.metatech.com.hk/appnote/apogee/pdf/techbackground2.pdf>
- [24] 余祥華、胡竹生, 「D 類放大器(Class-D)之控制電路」, 中華民國發明專利, 案號: 092132262, 民國九十三年。
- [25] N. H.E. Weste, K. Eshraghian, *Principles of CMOS VLSI Design, A System Perspective*, pp56、210, Second Edition, Addison Wesley, United States of America, 1993
- [26] W. C. Hsu, “Switching Amplifier Incorporating Return-To-Zero Quaternary Power Switch,” Waytech Investment Co., Ltd., United States Patent, No.US6,472,933 B2, Oct.29, 2002
- [27] “Testing DDX ®Digital Amplifier” Apogee Technology
[Online]. Available: <http://www.metatech.com.hk/appnote/apogee/pdf/TestingNote.pdf>
- [28] R. Schreier, “An empirical study of high-order single-bit delta-sigma modulators,” *IEEE Trans. Circuits and Systems-II*, vol. 40, no. 8, pp. 461-466, 1992.
- [29] “SN11116 USB Six Channel Audio Controller,” Sonix Technology, 2004
[Online]. Available: <http://www.sonix.com.tw/sonix/product.do?p=SN11116>
- [30] “I²S Bus Specification,” Philips Semiconductors
- [31] “Digital Amplifier Power Stage,” Texas Instruments, (2003,November).
[Online]. Available: <http://focus.ti.com/lit/ds/symlink/tas5121.pdf>
- [32] “XP152A12C0MR Power MOS FET,” Torex, JTR1121-001
[Online]. Available: http://www.torex.co.jp/english/product/product_7.html
- [33] “XP151A13A0MR Power MOS FET,” Torex, JTR1119-001

- [Online]. Available: http://www.torex.co.jp/english/product/product_7.html
- [34] 林傳生, 使用 VHDL 電路設計語言之數位電路設計, 儒林圖書有限公司, 新竹, 1998.
- [35] 郭長佑, 「掌握 D 類音效功率放大器(Class D Audio Power Amplifier)音質與用電的新妥協方案,」 DigiTimes.com, 2005/06/20.
- [36] 林岑思, 「使用有限區間二次倒回最佳化控制之全橋式 D 類放大器」, 國立交通大學, 碩士論文, 民國 94 年。

