

國立交通大學

電機與控制工程學系

碩士論文

應用於功率積體電路之 700 伏特 LIGBT 元件設計與結構改善

Design and Structure Improvement of 700V LIGBT for
Power IC Application

研究生：李奕廷

指導教授：張隆國 博士

中華民國九十五年七月

應用於功率積體電路之 700 伏特 LIGBT 元件設計與
結構改善

**Design and Structure Improvement of 700V LIGBT
for Power IC Application**

學 生：李奕廷

Student : Yi-Ting Li

指導教授：張隆國 博士

Advisor : Dr. Lon-Kou Chang



A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

June 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

應用於功率積體電路之 700 伏特 LIGBT 元件設計與結構改善

研究生：李奕廷

指導教授：張隆國博士

國立交通大學電機與控制工程學系

摘要



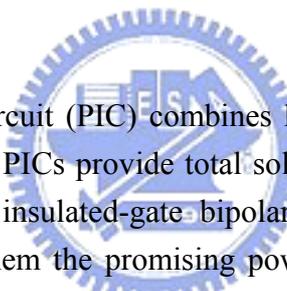
功率積體電路即是將高壓功率元件與低壓控制電路整合於同一晶片上之積體電路，提供更完整的功能與較低的成本。由於橫向式絕緣閘雙極性電晶體（LIGBT）為橫向結構，並具有耐高壓與導通大電流的特性，使其適合應用於功率積體電路。元件耐壓方面，主要為利用 RESURF 的原理來提高耐壓。元件關閉時，內部少數載子殘留的現象使得其關閉延遲，造成較慢的切換速度而限制了應用範圍，關閉時間在 $10\mu\text{s}$ 的數量級。本論文將針對傳統 LIGBT 元件結構關閉延遲的缺點，參考採用兩種改善結構，分別為陽極短路結構與間斷式陽極結構，將關閉時間降至 200ns 的數量級。相對於傳統 LIGBT 結構，兩種改善結構雖然加快關閉速度，卻也增加導通電阻與 Onset voltage。其中，間斷式陽極結構的導通電阻與 Onset voltage 則低於陽極短路結構，並且在元件使用面積上更是節省 20~30%。本論文亦提出元件製程參數設計流程，兩種改善結構的製程與傳統 LIGBT 結構相同，且配合台灣目前的基本製程，不需再多加額外光罩。模擬方面則使用 Medici 與 Davinci 電性模擬軟體，對傳統 LIGBT 結構以及兩種改善結構進行模擬與分析。

Design and Structure Improvement of 700V LIGBT for application of Power IC

Student: Yi-Ting Li Advisor: Dr. Lon-Kou Chang

National Chiao-Tung University

Abstract



The power integrated circuit (PIC) combines high-voltage power devices with low-voltage circuit on a chip. PICs provide total solutions for the implementation of power systems. The Lateral insulated-gate bipolar transistors (LIGBTs) have the lateral structures that make them the promising power devices for PIC applications due to their high breakdown voltage, high current handling capability, and applicable isolation capability. In the primitive LIGBT, the principle of RESURF (Reduced Surface Field) is applied in the improved LIGBT to obtain high breakdown voltage. However, in the LIGBT the existence of abundant internal minority-carriers injected within the on state will delay the turn-off time about 10 μ s. The slow switching speed makes the applications of the primitive LIGBTs be limited seriously. Therefore, the improved LIGBT structure are studied and developed in this thesis. Thus, the shorted-anode LIGBT and the segmented-anode LIGBT are utilized for decreasing the turn-off time from 10 μ s down to 200ns. But they also increase the value of on resistance and onset voltage, where the segmented-anode LIGBT has lower value of on resistance and onset voltage. Furthermore, the segmented-anode can save 20~30% device area from shorted-anode LIGBT. This thesis also presents the design procedures of process parameters. The improved structures and the primitive structure can be used for the fundamental process in Taiwan and do not need any other masks. Through the aid of Medici and Davinci computer aided design tool, the primitive structure and two improved ones are simulated.

誌謝

首先感謝指導教授張隆國 博士在這兩年內對學生在專業學理的啟發及為人處事的建議，在此表示最誠摯的敬意。

感謝口試委員廖德誠 教授、林君明 教授、陳科宏 教授及張隆國 教授對本論文內容的斧正與建議，使本論文更加完善，於此致上由衷的感謝。

感謝銘信學長和嘉偉學長在論文的撰寫以及專業知識的討論方面，給予我相當大的幫助，使得本研究進行順利與完成，另外致暉學長平時熱心的幫助，在論文研究方面給予不少助益。而宴銘學長、如璇學姊以及實驗室 815 各學長在其他方面的指導，幫助良多。

感謝我的父母與兄弟對我的支持、關懷與鼓勵，使我無後顧之憂，得以專心求學完成學業。僅將本論文獻給我所敬愛的家人。

在同窗同學柏蒼、文昇與彥廷等的支持下，完成本論文，僅以此文之研究成果表達吾人無盡的感激。

李奕廷

謹誌於交通大學 815 實驗室

中華民國九十五年七月

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖例	vi
表目錄	x
第一章 緒論.....	1
1.1 前言.....	1
1.2 研究目的與動機.....	1
1.3 論文架構.....	3
第二章 元件理論與特性.....	4
2.1 前言.....	4
2.2 功率元件選擇.....	5
2.3 回顧 LIGBT 的發展.....	7
2.4 元件耐高壓與操作原理.....	11
第三章 LIGBT 元件結構參數估算.....	30
3.1 RESURF 形成分析.....	30
3.1.1 定性分析.....	30
3.1.2 定量分析.....	32
3.2 LIGBT 結構規劃與參數估算.....	39
3.2.1 傳統 LIGBT 結構規劃.....	40
3.2.2 磊晶層參數估計.....	41
第四章 LIGBT 的改善結構設計.....	47

4.1 傳統 LIGBT 結構.....	47
4.2 陽極短路結構.....	50
4.3 間斷式陽極與間斷式陰極結構.....	55
4.4 間斷式陽極結構.....	57
第五章 元件參數設計、特性模擬與分析.....	61
5.1 傳統 LIGBT 結構的模擬與分析.....	61
5.2 LIGBT 結構改善的模擬與分析.....	79
5.2.1 陽極短路結構模擬與分析.....	80
5.2.2 間斷式陽極結構模擬與分析.....	85
5.3 改善結構的比較.....	92
第六章 結論與展望.....	97
6.1 結論.....	97
6.2 展望.....	98
參考文獻.....	99



圖例

圖 2.1 IGBT 功率元件結構圖	5
圖 2.2 P 型井與 P 埋藏層結構圖	7
圖 2.3 自行對準溝槽式結構圖	8
圖 2.4 溝槽式閘極結構圖	9
圖 2.5 陽極短路結構圖	10
圖 2.6 間斷式陽極結構圖	11
圖 2.7 基納崩潰示意圖	12
圖 2.8 空乏區載子衝擊游離示意圖	13
圖 2.9 RESURF 示意圖 (a) 低偏壓 (b) 高偏壓	16
圖 2.11 垂直與橫向 IGBT 結構圖	18
圖 2.12 LIGBT 元件結構等效組成	19
圖 2.13 LIGBT 元件結構等效電路圖	19
圖 2.14 LIGBT 橫向電場示意圖	21
圖 2.15 穿透二極體示意圖	22
圖 2.16 LIGBT 橫向電場示意圖	23
圖 2.17 接面空乏區示意圖 (a) 淺摻雜 (b) 深摻雜	24
圖 2.18 浮接場環結構示意圖	25
圖 2.19 浮接場環放置示意圖	25
圖 2.20 場板結構示意圖	26
圖 2.21 場板覆蓋結構說明圖	27
圖 2.22 IGBT 結構電阻分佈圖	28
圖 2.23 LIGBT 結構電阻分佈圖	28
圖 3.1 RESURF 電場分布示意圖	31

圖 3.2 RESURF 結構示意圖	33
圖 3.3 組成 RESURF 結構的橫向與縱向二極體	33
圖 3.4 空間電荷分享示意圖.....	35
圖 3.5 降低表面電場示意圖 (a) 降低的表面電場 (b) 崩潰電壓提升.....	37
圖 3.6 傳統 LIGBT 元件結構定義圖.....	40
圖 3.7 橫向與縱向崩潰電壓曲線圖.....	43
圖 3.8 RESURF 結構的崩潰電壓曲線圖	44
圖 3.9 不同磊晶層厚度的 RESURF 電壓曲線圖	45
圖 3.10 崩潰電壓相對於磊晶層厚度的關係曲線圖.....	45
圖 4.1 傳統 LIGBT 結構圖與俯視圖.....	48
圖 4.2 陽極短路結構規劃圖與俯視圖.....	51
圖 4.3 (a) 陽極短路結構電流路徑圖 (b) 陽極短路結構等效電路.....	52
圖 4.4 負電阻示意圖.....	53
圖 4.5 間斷式陽極與間斷式陰極結構圖 (a) 結構圖 (b) 俯視圖.....	56
圖 4.6 間斷式陽極結構規劃圖 (a) 結構圖 (b) 俯視圖.....	58
圖 4.7 斷式陽極結構的電子流與電洞流路徑圖.....	59
圖 5.1 LIGBT 模擬結構規劃圖.....	62
圖 5.2 漂移區長度與崩潰電壓之相關性.....	63
圖 5.3 閘極端電極覆蓋長度與崩潰電壓之相關性.....	64
圖 5.4 陽極端電極覆蓋長度與崩潰電壓之相關性.....	65
圖 5.5 磊晶層厚度與崩潰電壓之相關性.....	66
圖 5.6 磊晶層厚度 5(μm)與崩潰電壓之相關性.....	67
圖 5.7 磊晶層厚度 10(μm)與崩潰電壓之相關性.....	67
圖 5.8 磊晶層厚度 15(μm)與崩潰電壓之相關性.....	67
圖 5.9 磊晶層濃度與崩潰電壓之相關性.....	69
圖 5.10 磊晶層濃度與導通電阻之相關性.....	70

圖 5.11 磊晶層厚度與導通電阻之相關性.....	70
圖 5.12 漂移區長度與導通電阻之相關性.....	71
圖 5.13 RESURF 現象時的表面電場分布情形	73
圖 5.14 RESURF 現象時元件電位分布情形	73
圖 5.15 RESURF 現象時的空乏區分布情形	74
圖 5.16 傳統 LIGBT 臨界電壓 V_{th} 特性曲線圖	75
圖 5.17 傳統 LIGBT 的 I-V 特性曲線圖	76
圖 5.18 傳統 LIGBT 不同 V_G 的 I-V 特性曲線圖	76
圖 5.19 (a) 切換電路圖 (b) 閘極電壓輸入波形定義圖	77
圖 5.20 閘極電壓輸入波形圖.....	78
圖 5.21 陽極端切換電流波形圖.....	78
圖 5.22 傳統 LIGBT 元件關閉時電流波形圖.....	79
圖 4.23 陽極短路結構的 I-V 特性曲線圖	80
圖 5.24 陽極短路結構在不同 V_G 時的 I-V 特性曲線圖	81
圖 5.25 陽極短路結構在不同 L_n 值時的 Onset Voltage	82
圖 5.26 陽極短路結構在元件關閉時電流曲線圖.....	83
圖 5.27 陽極短路結構在不同 L_n 值時的關閉電流曲線圖	83
圖 5.28 陽極短路結構在 Current_tail 時的電子流分布圖	84
圖 5.29 陽極短路結構在 Current_tail 時的電洞流分布圖	84
圖 5.30 間斷式陽極結構的 I-V 特性曲線圖	86
圖 5.31 間斷式陽極結構在不同 V_G 時的 I-V 特性曲線圖	86
圖 5.32 間斷式陽極結構在不同 L_n 值時的 Onset Voltage	87
圖 5.33 間斷式陽極結構在元件關閉時電流曲線圖.....	88
圖 5.34 間斷式陽極結構在不同 L_n 值時的關閉電流曲線圖	89
圖 5.35 間斷式陽極結構在 Current_tail 時的電子流分布圖 (俯視圖)	89
圖 5.36 間斷式陽極結構在 Current_tail 時的電洞流分布圖 (俯視圖)	90

圖 5.37 間斷式陽極結構在 Current_tail 時的電子流分布圖（側面圖）	90
圖 5.38 間斷式陽極結構在 Current_tail 時的電洞流分布圖（側面圖）	91
圖 5.39 兩種改進結構的崩潰電壓比較圖	92
圖 5.40 兩種改進結構的 Onset voltage 比較圖	93
圖 5.41 兩種改進結構的電流密度比較圖	93
圖 5.42 兩種改進結構的導通電阻比較圖	94
圖 5.43 兩種改進結構的關閉時間比較圖	94
圖 5.44 兩種改進結構的元件面積比較圖	95
圖 5.45 間斷式陽極結構面積相對於陽極短路結構面積的比值（百分比）	96



表目錄

表 1.1 良好功率元件特性.....	2
表 3.1 傳統 LIGBT 元件結構參數表.....	41
表 3.2 估算耐壓相關參數表.....	42
表 3.3 結構參數規劃表.....	46
表 4.1 LIGBT 尺寸參數規劃表.....	49
表 4.2 LIGBT 濃度參數規劃表.....	49
表 4.3 陽極短路結構補充尺寸參數規劃表.....	52
表 4.4 間斷式陽極結構補充尺寸參數規劃表.....	57
表 5.1 LIGBT 尺寸參數表.....	62
表 5.2 LIGBT 濃度參數表.....	63
表 5.3 LIGBT 設計參數結構表.....	72
表 5.4 傳統 LIGBT 結構模擬結果表.....	79
表 5.5 陽極短路結構模擬結果表.....	85
表 5.6 間斷式陽極結構模擬結果表.....	91

第一章 緒論

1.1 前言

功率半導體元件在電力電子領域方面有廣泛的應用，近年來由於電力電子技術的進步，使得許多相關的產業成長與發展，如馬達控制、電動汽機車、照明設備、變頻器與家電用品等，範圍涵蓋工業、通訊與交通等領域，而這些產品使我們日常生活更為便利。由於功率元件具有耐高壓與高電流的特性，加上高功率處理能力的相關產品亦不斷改進中，使其在積體電路的應用上也逐漸受到重視。若能配合近年來越趨成熟的製程技術，將功率元件整合成智慧型功率積體電路（Smart Power Integrated Circuit）[1][2]，使其功能上能更加完整，則未來將有助於提升應用層面。



1.2 研究目的與動機

由於電力電子產品通常需要適當的控制電路，而 Smart Power IC 即是將功率電晶體與控制電路整合於同一晶片上，然而，在達到電路積體化的前提下，傳統垂直式的功率元件必須要改成橫向式結構，如此才能將高低壓整合於同一個晶片上。這樣的作法有兩項主要優點：

- (1) 體積方面：電路積體化後，各個分立的元件集中在同一晶片上，省去許多額外的包裝與線路連接，就體積上比分立元件來得小。
- (2) 成本方面：在工廠大量生產下，晶片生產成本將比分立式元件來得低。

一般來說，高低壓整合比較常使用的積體電路結構有兩種，一種是由磊晶矽（Epitaxy layer-Si）製作而成，本文便是利用此種積體電路結構。而另外一種架構則是利用 SOI 晶片（Silicon on insulator）所製成[3]。此兩種架構均可使高壓元件與低壓控制電路結合。而前者所使用的隔離技術為接面隔離（Junction isolation）[4][5]技術，後者則利用介電質隔離（Dielectric isolation）[6]技術來對

高低壓元件進行隔離。

理想的功率元件應具有容易操作、能操作在高功率與高頻率的環境，並且低損耗功率的特性。而未來功率元件的發展將朝此目標前進，表 1.1 便是一個理想功率元件應具有的特性。

表 1.1 良好功率元件特性

元件驅動	具備低電壓驅動與簡單的驅動電路。
切換速度	可操作頻率要高，切換速度快。
操作功率	需有耐高壓與承載大電流的能力，其安全操作區域（Safe Operating Area 簡稱 SOA）要大。
功率損耗	需有低漏電功率消耗、低導通功率消耗以及低切換功率消耗特性。

功率元件中的 IGBT 便具有上述優點，其利用開極端控制電路，使得驅動元件簡單並且不需要輸入電流。並且具有耐高壓與高電流的特性，使其在適合應用於高功率處理的產品。導通電阻方面，IGBT 有傳導調變效應，使得導通電阻較小，得以降低導通功率損耗。然而，在操作頻率方面，由於 IGBT 是利用多數載子與少數載子來傳導電流，因此，在元件關閉時，會有少數載子囤積的現象，使得元件切換速度只能在幾十 KHz 的量級。另外 IGBT 由於結構的關係，有寄生閘流體的存在，有門鎖效應的問題。

雖然 IGBT 具有上述良好功率元件的多項優點，然而，在操作頻率上的特性依然需要改進。因此，本文以元件耐壓 700V 為目標下，選用具有耐高壓與高電流特性的 IGBT 為主要研究元件，希望能夠針對操作頻率上的缺點，進行元件結構的改善，使元件達最佳設計。

1.3 論文架構

其中第二章我們將回顧 LIGHT 元件的發展，有助於瞭解元件改良的目標，確定研究方向，並且對元件工作的原理加以探討，藉此更進一步瞭解元件特性。第三章主要是對元件耐高壓原理進行探討，並且以定量分析的方法估算元件參數設計的範圍，提供模擬時明確的方向來符合耐壓規格。第四章為針對元件關閉延遲現象，進行元件結構改善設計。第五章為模擬結果與討論，利用軟體模擬的結果驗證元件結構改善的設計方法。最後第六章為結論與未來展望。



第二章 元件理論與特性

2.1 前言

功率半導體元件在電力電子領域扮演著重要的角色，它具有耐高壓、高電流的特性。功率元件的發展，隨著時間的推進，製造的技術隨之逐步改良，在積體電路應用上也逐漸受到重視。雙極性功率電晶體（Bipolar Power Transistor）在 1960 年代時期被發展出來，其操作功率的表現上相當出色，但由於雙極性功率電晶體切換頻率稍低而限制了功率電晶體的應用範圍。1970 年代後，利用 MOS 技術發展出的功率場效應電晶體（Power MOSFETs），它具有較高的頻寬、高耐壓與高輸入組抗的特性。在這些優點下，Power MOSFETs 取代 Bipolar Power Device 成為中低功率、高頻切換系統中的主流功率元件。但是由於受到元件本身特性的限制，Power MOSFETs 在導通電流的能力的並不理想。直到 1980 年代絕緣閘控電晶體（Insulated Gate Bipolar Transistor，簡稱 IGBT）被發展出來，其具備 Power MOSFETs 的高輸入阻抗特性並兼具 Bipolar Power Transistor 高電流承載能力的特性，使得功率元件的應用更為廣泛。

以垂直功率元件（Vertical Power Device）為例，如圖 2.1（a）所示的元件結構，在陽極（Anode）和陰極（Cathode）之間存在著一層低摻雜的區域，稱之為漂移區（Drift Region）。當功率元件由導通切換至關閉的時候，跨在陽極與陰極兩端的高電壓會造成 PN 接面出現空乏區並且向漂移區延伸。由於漂移區中的空乏效應，原本在 PN 接面形成的電場（Electric field）便往漂移區分散而降低，功率元件的設計便是藉由這種降低電場強度來達到承受高電壓的效果。因此若要使功率元件可以承受至上百伏特甚至上千伏特的話，便需要數十或數百微米（ μm ）的漂移區厚度。然而，元件結構使得電極必須附加於晶圓（Wafer）底部，使得垂直功率元件在與低電壓的控制電路晶片的整合技術發展上受到限制，所以目前垂直結構的功率元件多屬分立式元件（Discrete Device）。

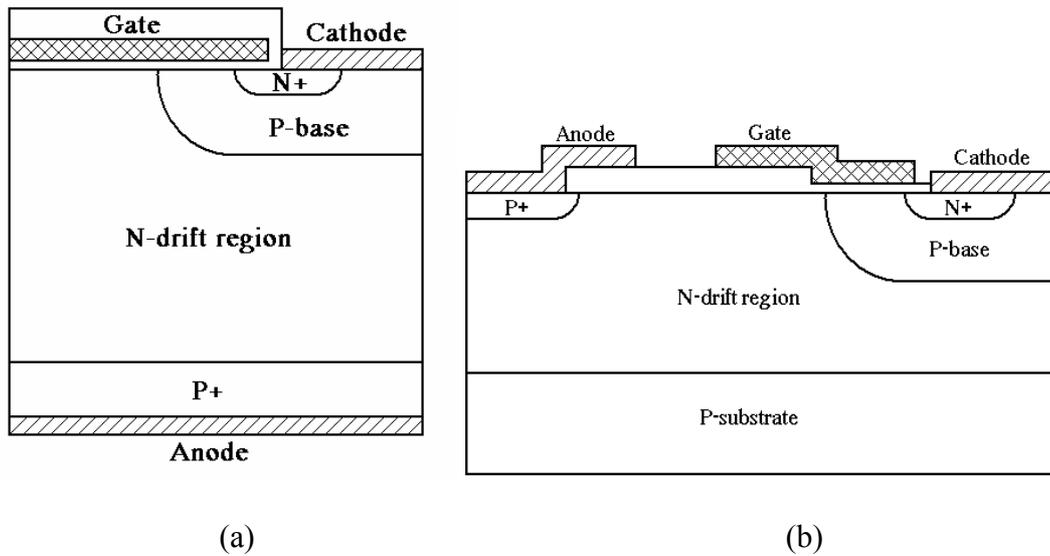


圖 2.1 IGBT 功率元件結構圖

為了整合功率元件與控制電路於同一晶片上，傳統垂直式的功率元件必須改成橫向式的結構。因此有了橫向絕緣閘控電晶體（Lateral Insulated Gate Bipolar Transistor，簡稱 LIGBT）的出現，如圖 2.1 (b) 所示。

本章先將垂直式 IGBT 與橫向式 LIGBT 進行比較，於發展 Smart Power IC 的目標下，選擇適合的元件。接著，我們回顧 LIGBT 的結構與發展，藉此瞭解元件改良的目標並檢視這領域已有的成就。最後，對將所運用的理論分析與公式進行說明。如此一來，對整個元件性質將有充分的瞭解。

2.2 功率元件選擇

由於電路積體化之後，可以除去額外的線路連接或包裝，在大量生產下可以節省生產成本，所以未來趨勢將朝此方向發展。雖然 IGBT 元件在高耐壓以及高電流承載有優越的表現，但是因為受到其結構方面的限制，對於晶片整合方面的發展比較不利，而 LIGBT 的出現使得晶片整合發展得以推進，因此 LIGBT 還在研究發展中，希望能和低壓控制電路完成隔離與整合，對於發展智慧型功率積體電路將可跨進一大步。以下就 IGBT 與 LIGBT 的各方面特性作一比較，使我們

對其差異與應用將有進一步的瞭解。

在耐壓方面看來，兩種功率元件結構雖不同，但主要都是利用接面空乏區的電場積分的機制來承受耐壓，因此為了提高耐壓能力，均以增大電場積分主，而 IGBT 的增大電場積分只要加厚漂移區厚度便能夠增加空乏區以提升電場積分，但是此方法在 LIGBT 卻不可行，因而得倚賴 RESURF 理論來使漂移區完全空乏來達到高耐壓效果。另外，兩種元件均加入了 N 型緩衝層來達到穿透二極體的效果以改變電場形狀，不僅加大電場積分面積還可節省元件面積。除此之外，IGBT 由於元件的厚度與形狀，最大耐壓可達幾千伏，屬於良好的耐壓元件，但是 LIGBT 卻受到 RESURF 技術誤差大而且製程不易，所以最高耐壓只有一千多伏。

從導通機制方面來看，兩者皆是閘極控制的元件，對於驅動電路較為簡單。IGBT 元件屬於縱向結構的因素，導通電流較大，而 LIGBT 元件由於橫向結構限制，導通電流較小。除此之外，由於混合多數載子和少數載子來傳導電流，兩者在關閉時均有少數載子殘留的現象，操作頻率低。另外，寄生電晶體的存在，使 IGBT 與 LIGBT 均有門鎖效應的問題。因此兩者改善方面應該著重於操作頻率與降低門鎖效應。

在隔離方面來看，IGBT 元件屬於縱向結構的關係，元件大多用於分立式結構，不需考慮隔離的問題，而 LIGBT 元件為了與低壓控制電路整合，需要額外設計隔離結構或電路，另外也需要注意漏電流的控制。

在整合方面來看，由於 IGBT 元件在底層有加入電極的關係，對於整合上有所限制，而 LIGBT 元件已經屬於橫向結構元件，可以與低壓電路整合，但是必須有良好的隔離技術。

綜合以上兩種元件各方面的比較，雖然 IGBT 在耐壓與導通電流方面優於 LIGBT，但是以發展 Smart power IC 為目標來看，必須能夠和低壓控制電路進行整合，因此 IGBT 元件並不適合，所以本文以 LIGBT 元件作為研究與探討。

2.3 回顧 LIGBT 的發展

LIGBT 存在兩個主要缺點。一是元件內部寄生的 NPN 電晶體，當元件電流高至某值時便會使元件內部寄生的 NPN 電晶體導通形成元件內部正回授效果，造成元件完全導通無法控制，此現象稱為閃鎖效應 (Latch-up)。另一缺點為當元件由導通切換至截止 (Cut-off) 時，大量的少數載子只能藉由複合及擴散而緩慢消退，延緩了元件關閉的時間，而這些少數載子殘留的問題，限制了元件的操作速度。

2.3.1 閃鎖效應的防治

LIGBT 一旦發生閃鎖效應則失去控制電流的能力。其成因在於 P⁺陽極注入漂移區的電洞流經過 N⁺陰極下方的區域產生壓降造成寄生 NPN 電晶體 (N⁺ cathode, P-base, N-drift region) 的導通，並且與橫向 PNP 電晶體 (P⁺ anode, N-drift, P-base) 形成正回授的效果引發極大的電流。以下就以改善上述問題的元件結構進行說明。

(1) P 型井和埋藏層結構 (P⁺ sinker and P-buried layer structure)

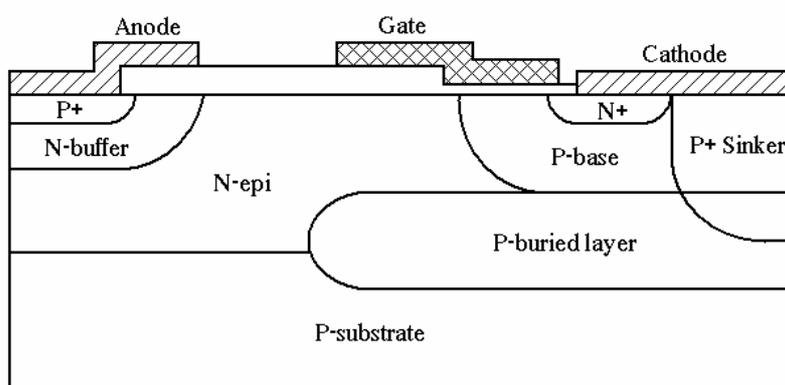


圖 2.2 P 型井與 P 埋藏層結構圖

如圖 2.2 的結構所示[7]，元件利用加入 P⁺ sinker 層的重摻雜濃度以降低 P

基極 (P-base) 層的阻值，而 P 基極層下方為 P 型埋藏層 (P-buried layer)，主要用來吸引電洞流經此處，導向 P⁺ sinker 層，而流經 P 基極層的電流則變少，減少導通寄生 NPN 電晶體 B-E 兩端的電壓降，以降低閃鎖效應的發生。然而，這樣結構會多增加 P⁺ sinker 層與 P 型埋藏層兩道光罩。

(2) 自行對準溝槽式結構 (Self-aligned trench structure)

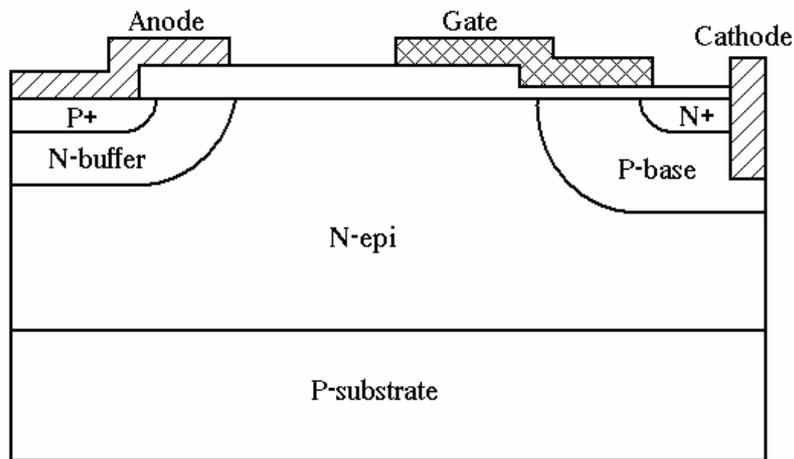


圖 2.3 自行對準溝槽式結構圖

在圖 2.3 的結構中[8]，元件在 N⁺陰極端形成氧化層後，利用蝕刻 (Etching) 的方式，形成一個垂直凹槽，使得陰極端金屬層可以同時接觸到 N⁺與 P-base 層，縮短了電流流經 P-base 層的距離而減少電壓降，由於其製程使用自行對準 (Self-aligned) 技術，所以並不需要另加光罩。

(3) 溝槽式閘極結構 (Trench Gate Structure)

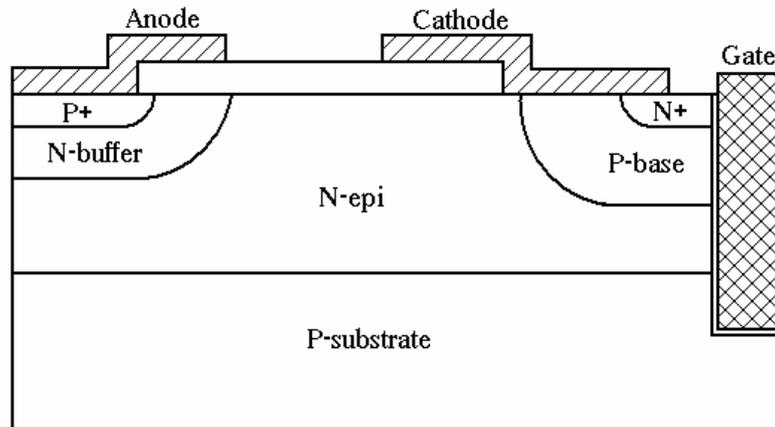


圖 2.4 溝槽式閘極結構圖

圖 2.4 所示為溝槽式閘極結構[9]，元件結構中，將陰極端與閘極端交換位置，利用改變電流路徑的方法，使其電流並不需要經由 P-base 電阻而是直接到達陰極，如此一來便不會產生使寄生 NPN 電晶體導通的 0.7V 電壓降，閃鎖效應便獲得改善。然而，此種元件結構在閘極製程上的準確度，是比較不容易掌控的部分。

2.3.2 操作頻率提升

LIGBT 元件由導通切換至關閉的時候，大量的少數載子藉由複合與擴散而緩慢消退，延緩了元件關閉的時間。由於沒有路徑可以快速疏通遺留下來的少數載子，限制了元件的操作速度，導致 LIGBT 無法在高頻操作。以下便對可改善上述現象的元件結構進行說明。

(i) 陽極短路結構 (Shorted anode structure)

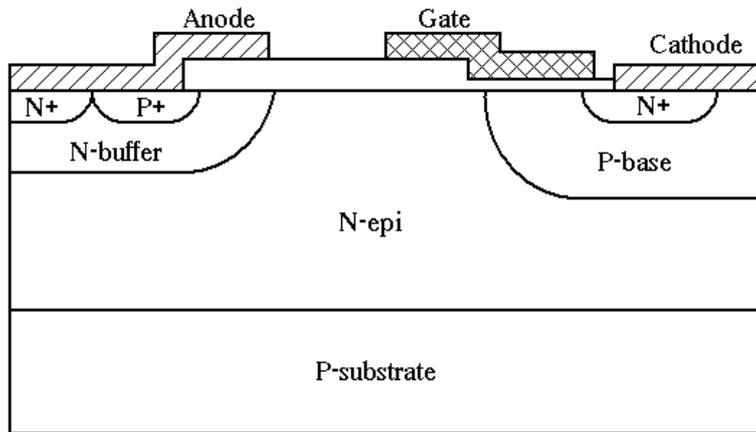


圖 2.5 陽極短路結構圖

在圖 2.5 的結構中[10]，為了加速移除少數載子的殘留，在 P⁺陽極旁邊多加一個 N⁺的區域。在未加入 N⁺陽極的情況下，當元件從導通切換至關閉時，少數載子會殘留於漂移區，此時並無一順向 PN 接面路徑提供少數載子移除，只能靠復合與擴散電流慢慢消退。所以當加入 N⁺陽極的時候，便提供了少數載子由漂移區 (N-drift region) 經過 N 型緩衝層 (N-buffer layer) 到達 N⁺陽極的路徑來移走，藉此提升元件切換速度。此種元件結構的優點在於製程上不需要再額外加入光罩。

(ii) 蕭特基陽極結構 (Schottky Injection FET，簡稱 SINFET)

蕭特基陽極結構主要是將陽極的 PN 接面置換成蕭特基二極體 (Schottky Diode)，此元件被稱為 SINFET[11]。元件導通時，蕭特基接面會注入適量少數載子來傳導調變，所以當元件切換至關閉的時候，由於累積的少數載子受到傳導調變作用並未累積太多，因而減少移走少數載子的時間，提升元件操作速度。另外由於蕭基接面順向跨壓較傳統元件小，所以也降低了元件導通時所消耗的功率。

(iii) 間斷式陽極結構 (Segmented anode structure)

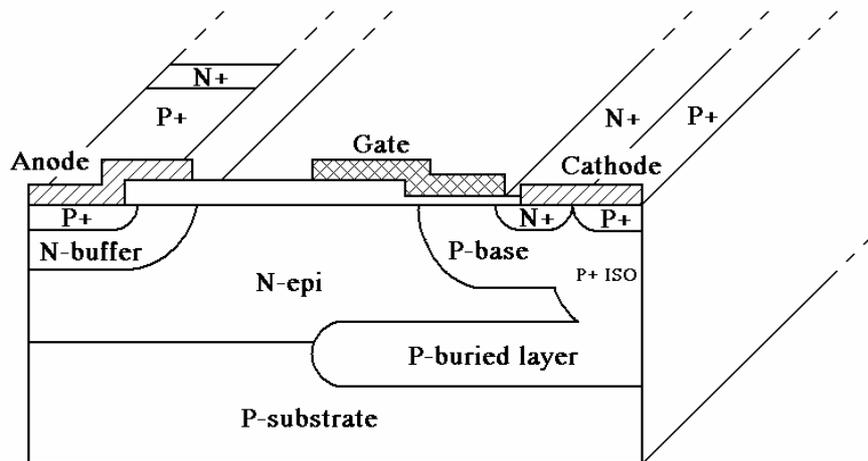


圖 2.6 間斷式陽極結構圖

圖 2.6 所示為間斷式陽極結構圖[12]，此種結構是由傳統 LIGBT 的元件結構沿著寬度方向，將部分的 P^+ 陽極置換成 N^+ 陽極便形成間斷式陽極結構。當元件由導通切換至關閉時， N^+ 陽極區域提供了少數載子由漂移區經過 N 型緩衝層移走的路徑，使得元件切換速度獲得改善。此種結構還有其他優點，即移除電子所使用的 N^+ 陽極面積較小，因此使得元件所需的面積得以減少。

2.4 元件耐高壓與操作原理

2.4.1 元件崩潰原理

功率元件之所以可以耐高壓是由於 PN 接面對於逆向偏壓的承受能力，但是當逆向偏壓超過其所能承受的範圍時，PN 接面的空乏區便會發生崩潰現象，而接面尚未崩潰前所能承受的最大電壓稱為崩潰電壓 (Breakdown Voltage, 簡稱 BV)。因此，對於元件耐壓的程度乃功率元件設計的一項重點。基本上，崩潰機制可以分為單一接面的基納崩潰 (Zener breakdown) [13]、雪崩崩潰 (Avalanche

breakdown) 與雙接面的穿透崩潰 (Punch-through breakdown) [14]，以下便逐一進行說明：

(i) 基納崩潰 (Zener breakdown)：

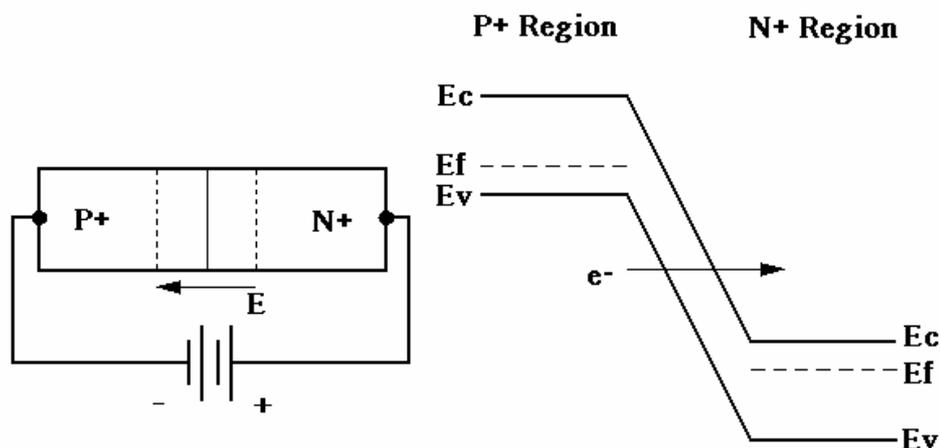


圖 2.7 基納崩潰示意圖

基納崩潰是透過一種穿隧機制而發生在高度摻雜的 PN 接面之中。在一個高度摻雜的接面之中，其處於逆向偏壓時，接面兩邊之的傳導帶 (Conduction band) 與價帶 (Valance band) 會非常的接近，使得在 P 型區的價帶之中的電子可以直接穿隧至 N 型區的傳導帶之中而發生崩潰，如圖 2.7 所示。一般來說，基納崩潰的崩潰電壓都不高，通常在於六伏特以內，大多用於低壓穩壓電路裡。在功率元件設計方面，應盡量避免此種崩潰現象的發生。

(ii) 穿透崩潰 (Punch-through breakdown)：

當 PN 接面兩邊被施予逆向偏壓時，空乏區隨之形成並且承受其逆偏的電壓。隨著逆向偏壓提高，空乏區長度也隨之增加，當空乏區已經無法擴張而碰觸到另一個接面的時候，便使得空乏區彼此相連形成連續的接面，造成電流可以沒有阻礙的直接通過，此現象稱為穿透崩潰。要避免穿透崩潰的發生，只要提供足

夠讓空乏區延伸的空間即可。

(iii) 雪崩崩潰 (Avalanche breakdown) :

考慮一個 PN 半導體在兩邊均非重摻雜的情況下，給予 PN 接面逆向偏壓，則空乏區內的載子會由熱游離 (Thermal-generation) 或從準中性區 (Quasi-neutral region) 漂移，此時受到因逆偏電壓產生的接面電場而加速，當電場大至可以提供載子足夠的動能，使得原子內的電子由價帶 (Valance band) 躍升至傳導帶 (Conduction band)，在這樣的過程中，稱為衝擊游離 (Impact ionization) [14]。在空乏區內載子衝擊的過程中，會產生新的電子-電洞對 (Electron-hole pairs)，這些新產生的電子-電洞對會因為電場作用下往相反方向移動，造成逆向偏壓電流增加，而此時如果新產生的電子-電洞對又獲得足夠的能量來解離其他的原子，若這樣的現象持續重複，便會引發雪崩般的效應，所以稱之為雪崩崩潰。這也是一般功率元件主要的崩潰機制。

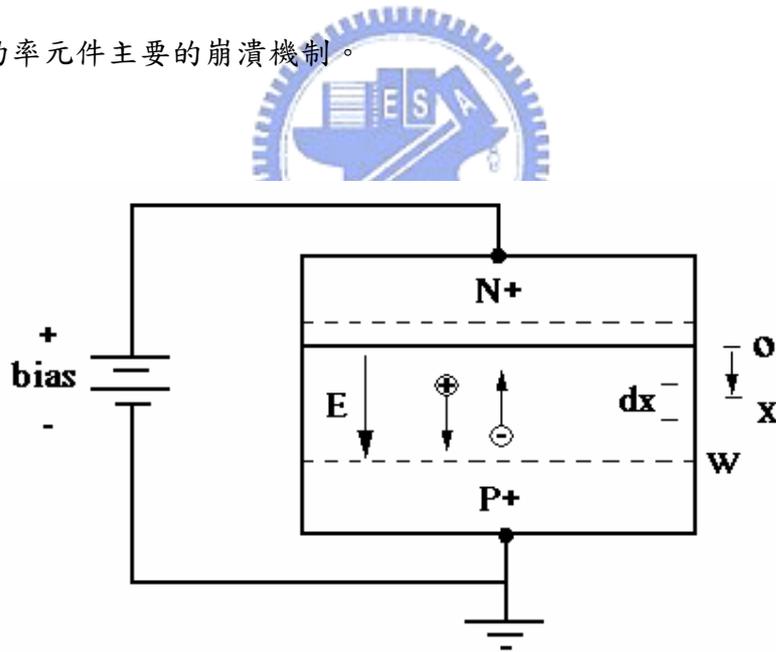


圖 2.8 空乏區載子衝擊游離示意圖

載子在空乏區游離的過程中，所產生電子-電洞對的程度，定義為游離係數 (Ionization coefficients)，其中 α_n 與 α_p 分別代表電子與電洞的游離係數， α_n 表示電子在空乏區內沿著電場反方向進行一公分所產生的電子-電洞對數量，同

理 α_p 亦表示電洞在空乏區內沿著電場方向進行一公分所產生的電子-電洞對數量。如圖 2.8 所示，元件兩端被施予逆向偏壓而產生接面電場，假設在空乏區位置 x 處產生了一個電子-電洞對，電子-電洞對會受到此電場的作用而加速，電子往 N+區域移動，電洞則往 P 區域移動，假設經過一段距離 dx 後，電子衝擊晶格，每次衝擊產生電子-電洞對的概率為 $(\alpha_n \cdot dx)$ ，一樣的情況下，每次電洞衝擊也有 $(\alpha_p \cdot dx)$ 的概率產生電子-電洞對，而新產生的電子-電洞對又經過一連串衝擊晶格反應後，會產生 $M(x)$ 倍的電子-電洞對增值率。因此，從座標 x 的連鎖游離而產生的增值率可以由下列式子來得到[14]：

$$M(x) = 1 + \int_0^x \alpha_n M(x) dx + \int_x^w \alpha_p M(x) dx \quad (2.1)$$

其中， w 為空乏區的寬度，對其等號兩邊微分之後得到

$$\frac{dM(x)}{dx} = (\alpha_n - \alpha_p) M(x) \quad (2.2)$$

解此微分方程式，得

$$M(x) = M(0) \exp \left[\int_0^x (\alpha_n - \alpha_p) dx \right] \quad (2.3)$$

代回原式，得 $x=0$ 的解為

$$M(0) = \left\{ 1 - \int_0^w \alpha_p \exp \left[\int_0^w (\alpha_n - \alpha_p) dx \right] dx \right\}^{-1} \quad (2.4)$$

故

$$M(x) = \frac{\exp \left[\int_0^x (\alpha_n - \alpha_p) dx \right]}{1 - \int_0^w \alpha_p \exp \left[\int_0^w (\alpha_n - \alpha_p) dx \right] dx} \quad (2.5)$$

此處我們稱 $M(x)$ 為增值係數 (Multiplication coefficient)，觀察 (2.5) 式，注意分母的部分，當分母為零的時候，也就是說全部的電子-電洞對 $M(x)$ 或通稱為增值係數趨近於無限大的時候，便會發生崩潰現象，所以崩潰條件為

$$\int_0^w \alpha_p \exp \left[\int_0^w (\alpha_n - \alpha_p) dx \right] dx = 1 \quad (2.6)$$

此式又稱為游離積分 (Ionization integral)，在模擬與界面崩潰理論公式的推導，為一重要公式。此積分值在數值分析中可以知道何時會發生崩潰。而一般在用這樣的公式時，我們為了方便運算，會令

$$\alpha_n = \alpha_p = \alpha \quad (2.7)$$

所以

$$\int_0^w \alpha \cdot dx = 1 \quad (2.8)$$

其中 $\alpha = 1.8 \times 10^{-35} \cdot E^7$ 。因此，通常我們會利用游離積分來判斷元件何時發生崩潰，即游離積分值趨近於 1 的時候，或說是增值係數趨 $M(x)$ 近於無限大的時候，元件便會發生崩潰。



2.4.2 降低表面電場原理 (Reduced Surface Field, 簡稱 RESURF)

由於 IGBT 為一垂直結構的元件，其耐壓方面便是靠加厚磊晶層 (Epitaxy) 來提升元件耐壓，但是如此也會增加元件的導通電阻。然而，LIGBT 是一個橫向結構的元件，相同的方式已經不再適用。因此，橫向結構的元件在耐壓方面主要是利用降低表面電場原理 (Reduced Surface Field, 簡稱 RESURF) [15][16] 來提升元件耐壓。因其具有使用較薄的磊晶層便能達到耐高壓的優點，所以在高壓元件的設計上常常使用 RESURF 原理。

RESURF 的精神在於它能夠使漂移區完全空乏 (Fully depleted)，為此捨棄以往所使用的厚磊晶層而改用較薄的磊晶層。由於基底和漂移區接面的空乏區往上向漂移區延伸，加上 P 基極區和漂移區之間的空乏區亦往漂移區延伸，兩邊空乏區綜合的效果使得漂移區的空乏區長度大幅增加，改變界面電場的形狀，並且降低表面電場的強度達到耐壓的效果。

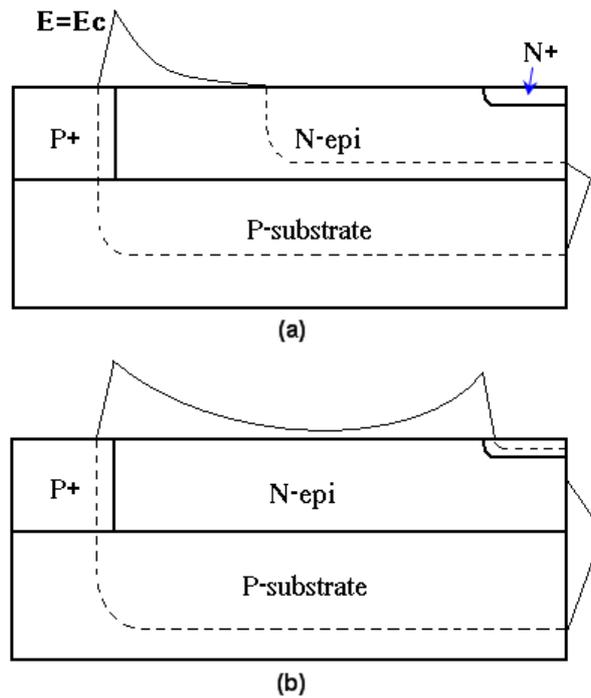


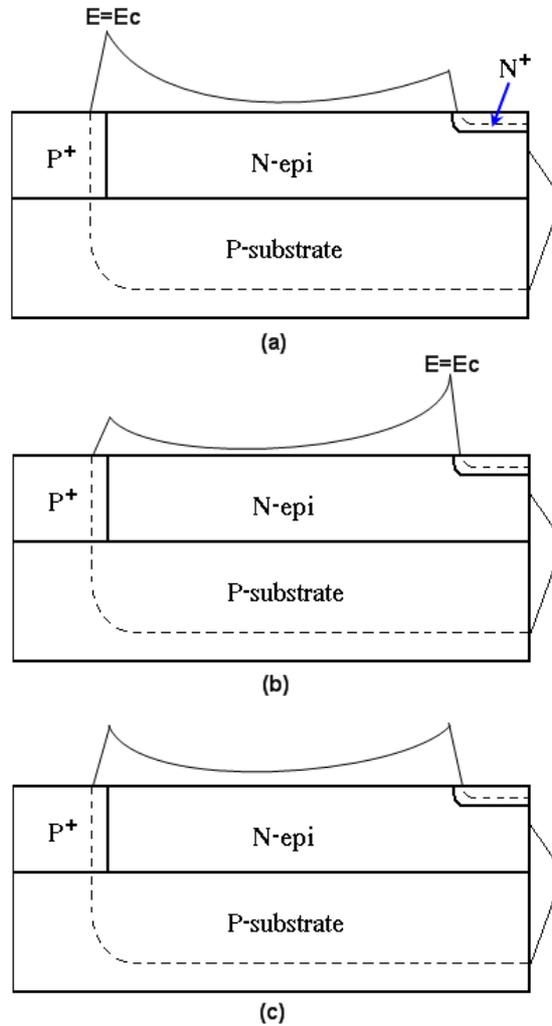
圖 2.9 RESURF 示意圖
(a) 低偏壓 (b) 高偏壓

圖 2.9 所示為一 RESURF 結構，我們對其兩端施加電壓，而高電壓接在陽極端（即 N^+ 端）上。當陽極端電壓為低偏壓時，P 基極區（即圖 2.9 中的 P^+ 區）與 N 型漂移區（即圖 2.9 中的 N-epi 區）接面產生空乏區，由於元件跨壓不大，尚未看得出元件的耐壓效果，最大電場則發生在 P 基極區/N 型漂移區接面處。

隨著陽極電壓的提升，P 基極/N 型漂移區接面的空乏區延伸與下方 P 基底/N 型漂移區接面的空乏區連接起來，往整個漂移區延伸。當漂移區被完全空乏之後，電場出現近似梯形形狀，這時候的電場積分便是元件承受電壓的大小，只要電場雙峰的部分均低於臨界電場（Critical electric field） E_c 值，元件便不會發生崩潰。

為了要讓漂移區完全空乏是 RESURF 的主要精神，所以漂移區便是非常重要的一塊區域，因為它的厚度或是摻雜濃度，都會影響整個元件耐壓的能力，如圖 2.10 所示，因此在後面章節裡功率元件設計的時候，取得漂移區的重要參數

便是首先要著手的部分，最佳化的參數可以使漂移區完全空乏，使得兩個電場峰值相近似，如此電場積分的面積才會大，以提升元件耐壓程度。



(a) N-epi 濃度高 (b) N-epi 濃度高 (c) 最佳 N-epi 濃度
圖 2.10 漂移區濃度對 RESURF 的影響

另外要注意的地方是，當陽極電壓提升的時候，空乏區在漂移區中延伸，會造成空乏區曲率過大而導致電場提早崩潰，根據邊緣電場擁擠效應的理論下，我們會加入場板 (Field Plate) [14]技術於閘極端和陽極來改善此情形，至於應覆蓋長度調整部分，在後面章節模擬時將會加以討論。

2.4.3 導通機制

LIGBT 在結構上屬於橫向式的元件結構，雖然和 IGBT 的垂直式元件結構不同，卻是由 IGBT 所衍生而來，如圖 2.11 所示。把 IGBT 位於元件底部的陽極端改置於相對陰極端的另一邊，陽極與陰極中間依然存在著漂移區，如此便成為橫向結構的 LIGBT 了。

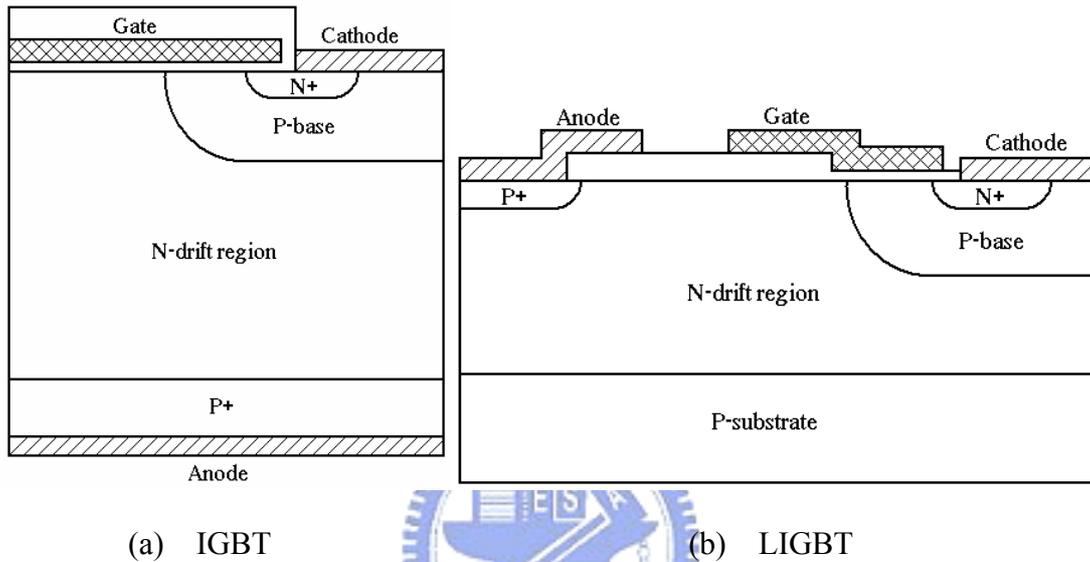


圖 2.11 垂直與橫向 IGBT 結構圖

(i) 元件導通原理

如圖 2.12 所示，在 LIGBT 元件結構中，從圖中可以看出是由 MOSFET 與 BJT 所組成，除了元件結構本身的 NMOS 與 PNP 電晶體之外，還存在著寄生電阻 R_s 與寄生 NPN 電晶體，而 LIGBT 的整個元件結構均可以等效成如圖 2.13 所示的等效電路。

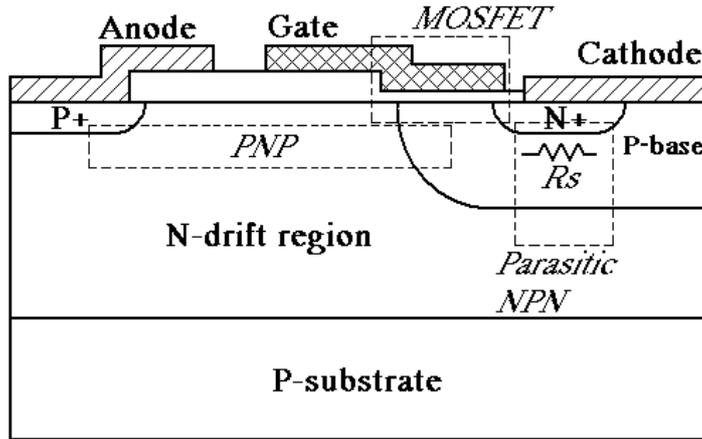


圖 2.12 LIGBT 元件結構等效組成

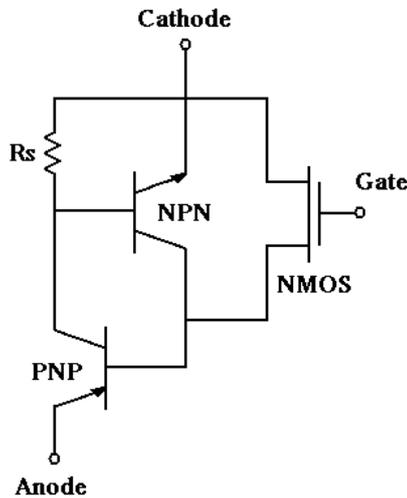


圖 2.13 LIGBT 元件結構等效電路圖

這兩種元件也是利用閘極控制的元件，當我們對閘極（Gate）施予電壓時，閘極下方的 P 基極區會產生反轉層形成通道，元件便從關閉切換至導通的狀態（Turn-on），此時若陽極端有給予電壓時，電子流將會流經通道進入 PNP 電晶體的基極（即 N 型漂移區）。所以當元件要導通時，NMOS 必先導通。當 BJT 基極電流足夠使 P⁺陽極/N 型漂移區界面順偏時，P⁺陽極端便會注入大量電洞，造成元件通過大電流，此時元件導通。當大量的電洞由 P⁺陽極端注入 N 型漂移區時，會降低原本 N 型漂移區的電阻值，使得元件導通電阻大幅下降，導通大量電流，我們稱之為傳導調變效應（Conductivity modulation）。

等效電路圖裡的寄生電阻 R_S 主要來自閘極下方 P 基極的電阻值，元件在一般工作的情形之下，流經電阻 R_S 上的電流會形成電壓降，當流經 R_S 的電流造成的壓降足夠大時，便會使寄生的 NPN 電晶體導通，並且與 PNP 電晶體造成正回授的效果，引發大電流流經元件，無法再從閘極控制電流而失去功能，不僅電流失去控制甚至會損毀元件或電路，此現象稱之為門鎖效應 (Latch-up) [14]。而改善門鎖效應最直接辦法就是降低電阻值 R_S ，在文獻回顧中有提到，可以改變電流流向或陰極端電極深入 P 基極，另一個方法則是重摻雜 P 基極來降低電阻值 R_S 。

(ii) 元件關閉特性

當元件的閘極不加偏壓或是給予逆偏壓時，通道反轉層消失，此時元件由導通切換至關閉 (Turn-off) 的狀態，但在元件關閉時，大量少數載子僅能靠複合與擴散而緩慢消退，這些少數載子遺留的關係，延緩了元件關閉的速度，其改善方面可以參考文獻回顧部分，主要是把殘留的少數載子能夠經由其他路徑快速移走，加快關閉速度。

元件關閉時，即使兩端有跨壓存在，由於通道無法形成，電子無法經由通道流至 PNP 電晶體的基極端，稱之為靜態特性 (Static Blocking Characteristic)。此時若繼續提高陽極端電壓，P 基極/N 型漂移區接面的空乏區隨之擴大，其內的電場也隨之加大，載子的游離概率上升，當游離積分趨近於 1 時，元件將產生崩潰現象，此時元件陽極與陰極兩端跨壓，定義為元件崩潰電壓 (Breakdown voltage，簡稱 BV)。由圖 2.14 可以看到 LIGBT 其電場分布情形。

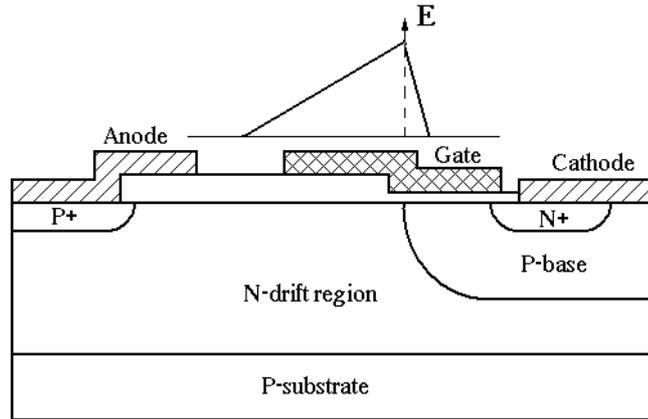


圖 2.14 LIGBT 橫向電場示意圖

P 基極/N 型漂移區界面受到逆偏電壓產生空乏區，而界面電場分布於空乏區之中，根據帕松方程式（Poisson's equation）[13]：

$$\frac{d^2\phi(x)}{dx^2} = -\frac{dE(x)}{dx} = -\frac{\rho(x)}{\epsilon_s}$$

其中 $\rho(x)$ 為空乏區體積電荷密度， $\phi(x)$ 為電位， $E(x)$ 為電場。而電壓值即電場的一次積分，所以在逆向偏壓下，把 PN 接面的電場作一次電場積分，即為界面所承受的電壓降。因此，在圖 2.14 裡面我們可以看到，在 P 基極/N 型漂移區界面形成的近似三角形電場，將其積分即為元件所能承受之電壓。這裡需要注意的是，界面電場峰值必須小於臨界電場（Critical electric field） E_C 值（ $E_C \cong 3 \times 10^5$ V/cm），才不會導致界面崩潰。因為功率元件常常應用於高電壓的情況下，就電場積分為電壓來看，在電場峰值未達臨界電場 E_C 值的時候，可以盡量的擴展三角形面積來提高電場積分，也就是增加元件長度。然而元件過長會增加導通電阻與晶片成本，若採用穿透二極體（Punch-through Diode）理論，藉著改變電場形狀，則可達增加電場積分面積而提高耐壓的效果。

(iii) 穿透二極體（Punch-through diode）

圖 2.15 所示為穿透二極體示意圖[14]，有個一般 N/P⁺ 接面的二極體，假設其輕摻雜區域長度大於其崩潰時的空乏區長度，當其界面電場峰值達 E_C 值前，電

場形狀近似一個三角形。若加入一段更低摻雜區域於 N 與 P⁺ 區域中，而其長度小於原本 N/P⁺ 界面二極體最大空乏區長度，這樣的一個 N⁺/N⁻/P⁺ 的二極體稱為穿透二極體。穿透二極體被施予逆偏時，N⁻ 區域完全空乏使另一 N⁺/N⁻ 界面也產生電場，使原本近似三角形的電場變成近似梯形電場，藉此可增加電場積分面積。

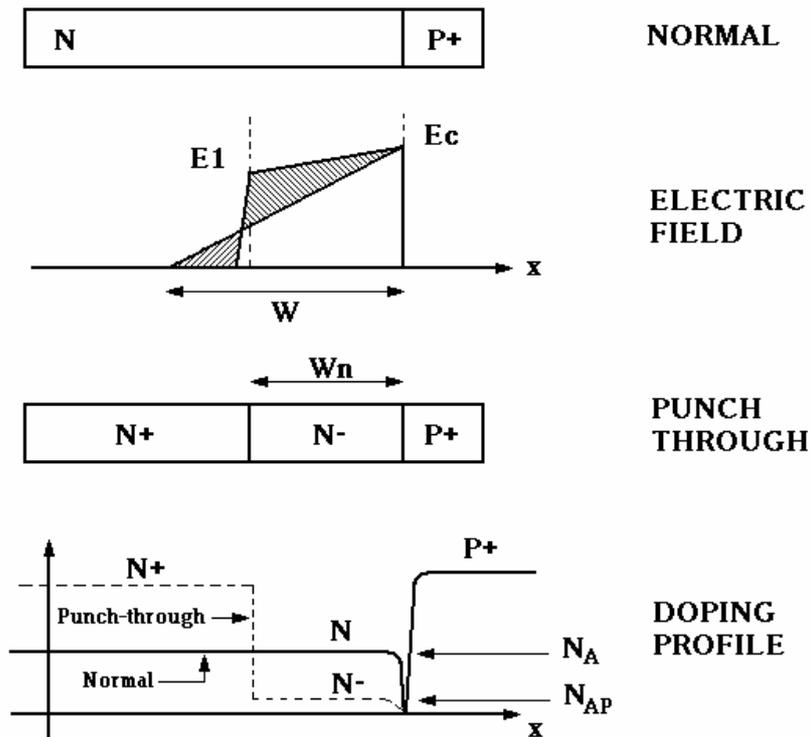


圖 2.15 穿透二極體示意圖

當我們對穿透二極體 N⁺ 端施予正電壓，並且逐漸開始提升，此時 N⁻/P⁺ 界面的空乏區往 N⁻ 延伸，電場峰值也逐漸提高，當 N⁻ 被完全空乏之後，空乏區會觸碰到 N⁺/N⁻ 界面，此時由於 N⁻ 已經完全空乏形成正離子而近似 P 型區域，造成 N⁺/N⁻ 界面感覺起來像一 N/P 界面，因而產生新電場，只要兩個界面的電場峰值均不超過臨界電場 E_c 值，便可以繼續提升電場直到形成一近似梯形電場，也增加了積分面積。

由於穿透二極體理論不僅提升了元件耐壓，還可節省元件面積，對於功率元件設計上幫助非常大。所以我們為了使功率元件在同樣尺寸之下能夠得到更高的耐壓，便在其 N 型漂移區中加入一濃度稍高的摻雜區域，稱之為 N 型緩衝層 (N-buffer layer) [14][16]，使其形成 $N^+/N/P^+$ 的穿透二極體，將 N 型漂移區被完全空乏時的電場形狀改變為一近似梯形，增加電場積分面積。如圖 2.16 所示。

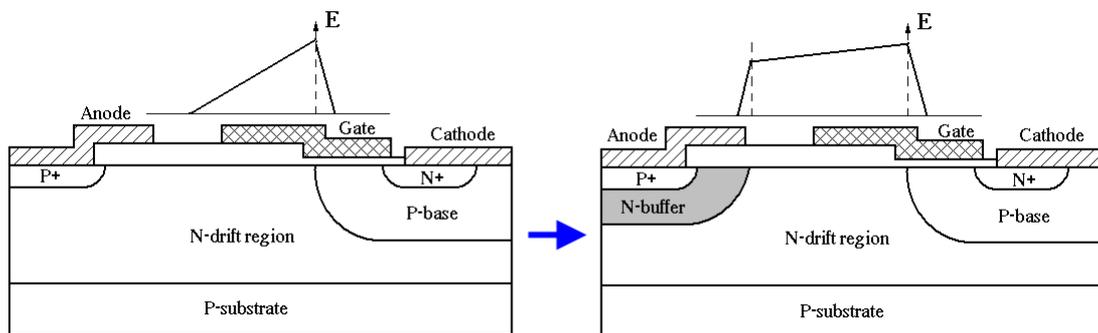


圖 2.16 LIGBT 橫向電場示意圖

由圖 2.16 之中，我們在靠近陽極端的 P^+/N -drift region 接面，加入一個摻雜濃度較 N-drift region 高些的 N-buffer 層，使 N-buffer/N-drift region/P-base 造成一穿透二極體效果。此時對元件陽極與陰極兩端加入偏壓並持續提升，N-drift region 完全被空乏時，N-buffer/N-drift region 接面形成電場，原本近似三角形的電場變成近似梯形。另外需要注意的是由於 N 型漂移區長度過長（以本文為例，大於 60um），加上空乏區的曲率和氧化層上電極等影響，電場形狀會近似為雙峰，如圖 2.10 所示，不利於 RESURF 的效應。

2.4.4 邊緣電場擁擠效應

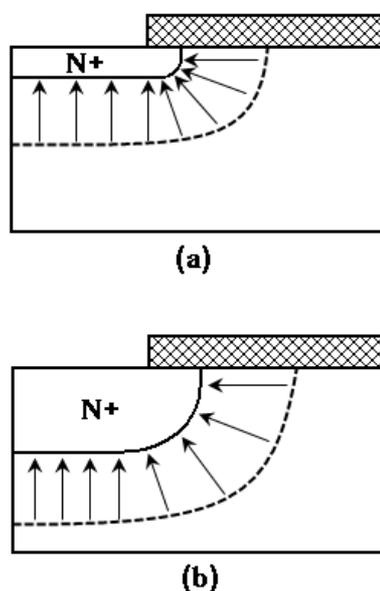


圖 2.17 接面空乏區示意圖 (a) 淺摻雜 (b) 深摻雜

功率元件會因為電場峰值過高或空乏區型狀不佳而造成元件提早崩潰，導致崩潰電壓下降，所以為了提高崩潰電壓，我們將對空乏區形狀的部分進行探討。圖 2.17 所示為接面空乏區示意圖[x]。其中圖 2.17 (a) 為 N^+ 淺層摻雜，當給予 PN 接面逆向偏壓時，由於摻雜深度較淺造成接面的空乏區曲率過大，使得電力線分布較為擁擠，導致接面電場很快達臨界電場 E_C 值，造成元件提早崩潰，所以崩潰電壓下降。反觀圖 2.17 (b)，由於 N^+ 深層摻雜，空乏區邊緣曲率較小，減少電力線擁擠的現象，便可以提升崩潰電壓。

若要改善上述問題，可以加入浮接場環 (Floating field ring) 技術，使空乏區曲率不致於過大，便能減少空乏區電力線擁擠的現象。另外，也可以利用場板 (Field plate) 技術，同樣是減少電力線擁擠現象來提升崩潰電壓。

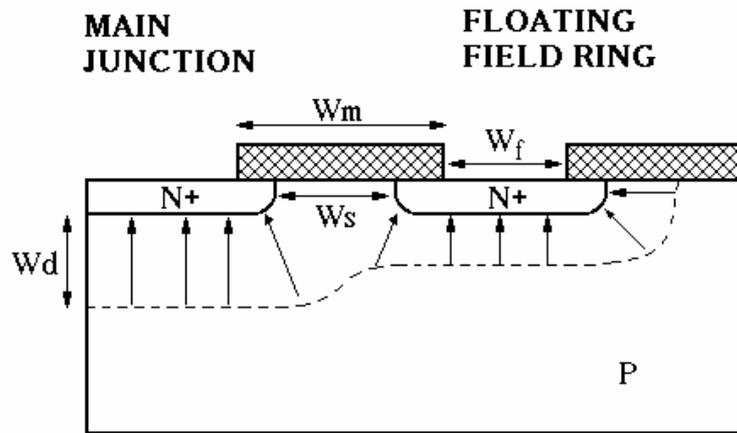


圖 2.18 浮接場環結構示意圖

圖 2.18 所示為浮接場環 (Floating field ring) 結構[14]。功率元件在實際製作的時候，通常在元件最外一層都會加入浮接場環，也就是在主要接面邊緣的附近加入浮接摻雜，使原本容易導致大電場而提早崩潰的空乏區形狀，因為空乏區互相連接的情況下，緩和空乏區曲率，減少了電力線擁擠問題而提升了崩潰電壓。

圖 2.19 所示則為浮接場環結構放置的說明，當元件在製作的時候，我們通常會在元件最外圍加上浮接場環，由於並不需要額外的光罩，所以在實際製作方面經常被加以應用。

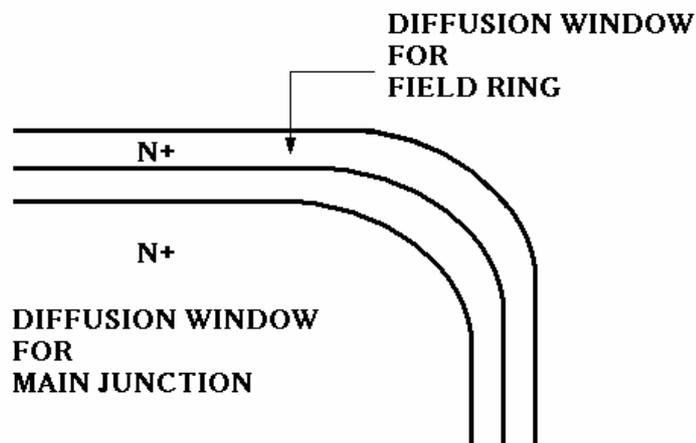


圖 2.19 浮接場環放置示意圖

除了浮接場環之外，還有一個降低空乏區曲率的方法，主要是利用偏壓方式改變空乏區形狀，改善電力線擁擠的現象，稱之為場板（Field Plates）技術。

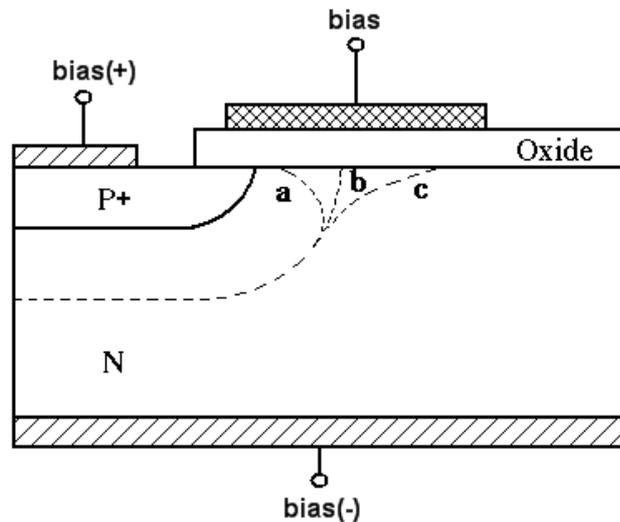


圖 2.20 場板結構示意圖

圖 2.20 所示為場板結構[14]，PN 接面兩端接上電極，另外在空乏區彎曲處隔著氧化層（Oxide）再加一金屬場板。當 PN 接面被施加逆向偏壓，空乏區便隨之形成，如空乏區形狀 b 所示。此時若在金屬場板端加入正電壓，接面處的 N 區域因被空乏之後，空乏區內電荷為正離子，在金屬場板正偏排斥力作用下，造成空乏區形狀 a，其曲率更大導致電力線分布更加擁擠而形成大電場，因此容易產生崩潰，使得崩潰電壓下降。若金屬場板偏壓給予負電壓，則空乏區的正離子與負偏壓有互相吸引的關係，增強了空乏區而變成空乏區形狀 c，達到降低空乏區曲率的效果，空乏區內的電力線不再擁擠，因此可以提升崩潰電壓。

觀察金屬場板給予負偏壓時，恰巧與 P 區域偏壓極性相同，所以在功率元件設計上，便將兩電極相接形成 P⁺端延伸電極覆蓋上氧化層，如圖 2.21 所示。覆蓋式場板的效果同樣可以減低空乏區電力線擁擠的現象，如圖中空乏區 b 的部分，避免因為電力線擁擠的現象而使元件提早崩潰，同樣達到提升耐壓的效果。

而場板覆蓋結構不僅可以免去金屬場板的偏壓電路，還可提升電壓，

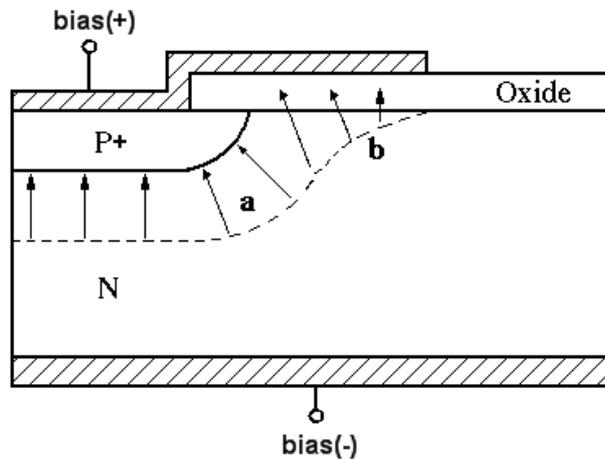


圖 2.21 場板覆蓋結構說明圖

2.4.5 導通電阻

功率元件的導通電阻即元件導通時，陽極端和陰極端之間的總電阻。當功率元件導通時，工作點操作在線性區，其導通電流與元件兩端的跨壓之間存在一比例關係可計算出導通電阻 R_{on} ，而導通電阻影響著元件導通電流的大小。

圖 2.22 所示為一垂直結構元件 IGBT，實際上元件則為左右對稱元件，一搬來說，IGBT 導通電阻 R_{on} 由以下幾個電阻元素組成

$$R_{on} = R_{N+} + R_{CH} + R_A + R_J + R_D + R_S$$

其中 R_{N+} 為 N^+ 陰極的電阻值。 R_{CH} 為閘極下方通道之電阻值。 R_A 為累增電阻，主要是由於電子從通道進入 JFET 區時，產生電子流擁擠的現象所導致。由於實際元件是以閘極為中心的左右對稱結構，閘極下方的 N 型區域與兩邊陰極端下方的 P 基極區域形成 PN 接面，當逆偏時產生空乏區，會有 JFET 效應，所以此 N 型區域稱為 JFET 區，而 R_J 為 JFET 區電阻值。 R_D 為 N 型漂移區的電阻值。 R_S 為基底電阻值。

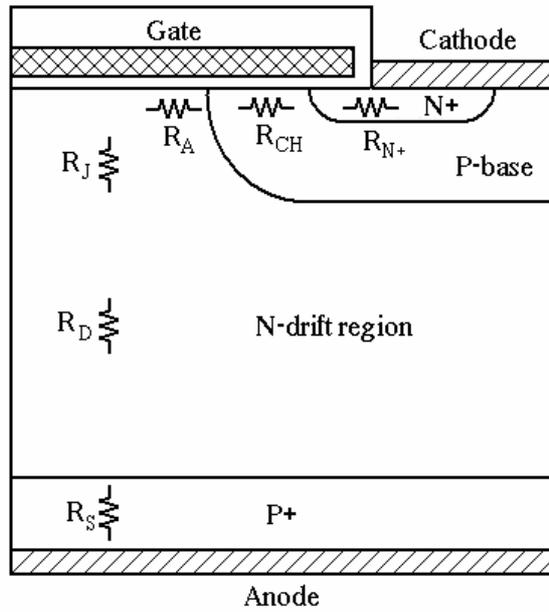


圖 2.22 IGBT 結構電阻分佈圖

LIGBT 的元件結構為橫向結構，是由 IGBT 衍生而來，所以導通電阻 R_{on} 的組成元素與垂直結構的 IGBT 差異不大，圖 2.23 標示出各電阻元素的分布，和圖 2.22 中的 IGBT 電阻分布對照後，可以觀察出橫向結構 LIGBT 的電阻元素中沒有 R_J 的存在，這是因為結構改為橫向之後，寄生的 JFET 效應已經不存在，所以可以略去此電阻元素。

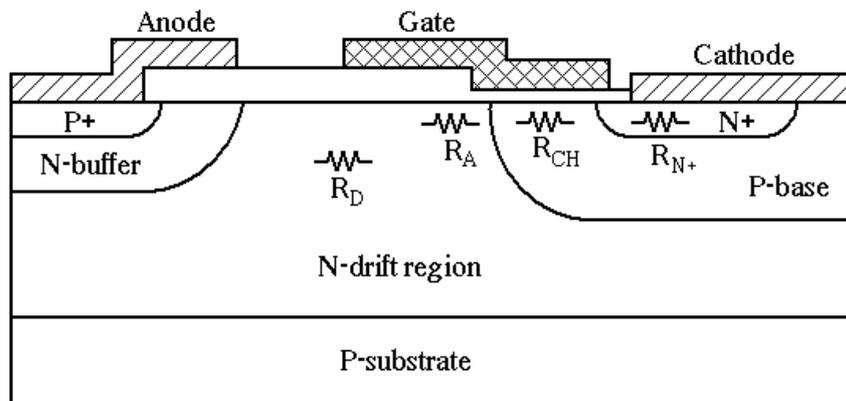


圖 2.23 LIGBT 結構電阻分佈圖

當 IGBT 操作於線性區時，通常我們比較在意的電阻元素為通道電阻 R_{CH} 與漂移區電阻 R_D ，因為這兩個電阻值佔有導通電阻 R_{on} 中較重的成分。當元件工作於低壓時，各電阻元素所占有導通電阻 R_{on} 的比例相差不多。然而，當元件工作於高壓環境時，因為元件需要足夠的漂移區長度來提高耐壓，使得漂移區電阻 R_D 遠大於其他電阻元素，所以導通電阻 R_{on} 的成分幾乎落在漂移區電阻 R_D 上，因此在高壓的功率元件中，在考慮導通電阻時大多著重於漂移區電阻。



第三章 LIGBT 元件結構參數估算

由於 LIGBT 元件結構參數眾多，必須先固定某些參數，才能得知特定參數對於元件電性之影響，進而做出調整。本章節主要在於規劃傳統 LIGBT 結構並且取得所需之結構參數，以便於後面章節模擬時，有明確的著手點來探討結構參數對 LIGBT 元件特性的影響。往後章節裡，我們將會針對傳統 LIGBT 元件操作頻率方面的缺點，依據此章節所規劃出的傳統 LIGBT 結構來進行改良，未來將和傳統 LIGBT 結構作一比較，希冀找出元件最佳化之設計。然而，在規劃傳統 LIGBT 結構參數之前，我們先分析高壓元件的結構特性，使得在規劃結構參數時有參考依據。因此，以下我們便先對高壓元件結構進行分析與說明。

3.1 RESURF 形成分析



LIGBT 元件的結構裡，影響耐壓最重要的部分便是磊晶層，而磊晶層的重要參數中，影響耐壓較為重要的便是其濃度與厚度。因此，我們先對其進行定性分析，瞭解磊晶層在耐壓上的影響，接著，再進行定量分析，估算出磊晶層相關重要參數，以便於未來元件的模擬。橫向結構的高壓元件大多應用 RESURF 原理來承受高電壓，例如 LIGBT 元件或 LDMOSFET 元件。因此，以下分析的重點便著重於 RESURF 形成的分析。

3.1.1 定性分析

考慮一個可形成 RESURF 的結構，如圖 3.1 所示[15]，此基本結構包含低摻雜濃度的 P⁻基底，其上方有一低濃度的 N⁻磊晶層，而左端一 P⁺區域連接 N⁻磊晶層與 P⁻基底。此結構可以看成兩個部分所組成：一個橫向二極體（垂直 P⁺/N⁻界面）與一個縱向二極體（水平 N⁻/P⁻界面）。由於摻雜濃度的安排，使得縱向二極體的崩潰電壓可達上千伏特，並且大於橫向二極體的崩潰電壓。元件耐壓便是由

橫向與縱向二極體的耐壓來決定。縱向二極體已經可達上千伏特，若橫向二極體要達耐高壓的功能，則需要利用 RESURF 的原理，而其效果與磊晶層厚度相關。

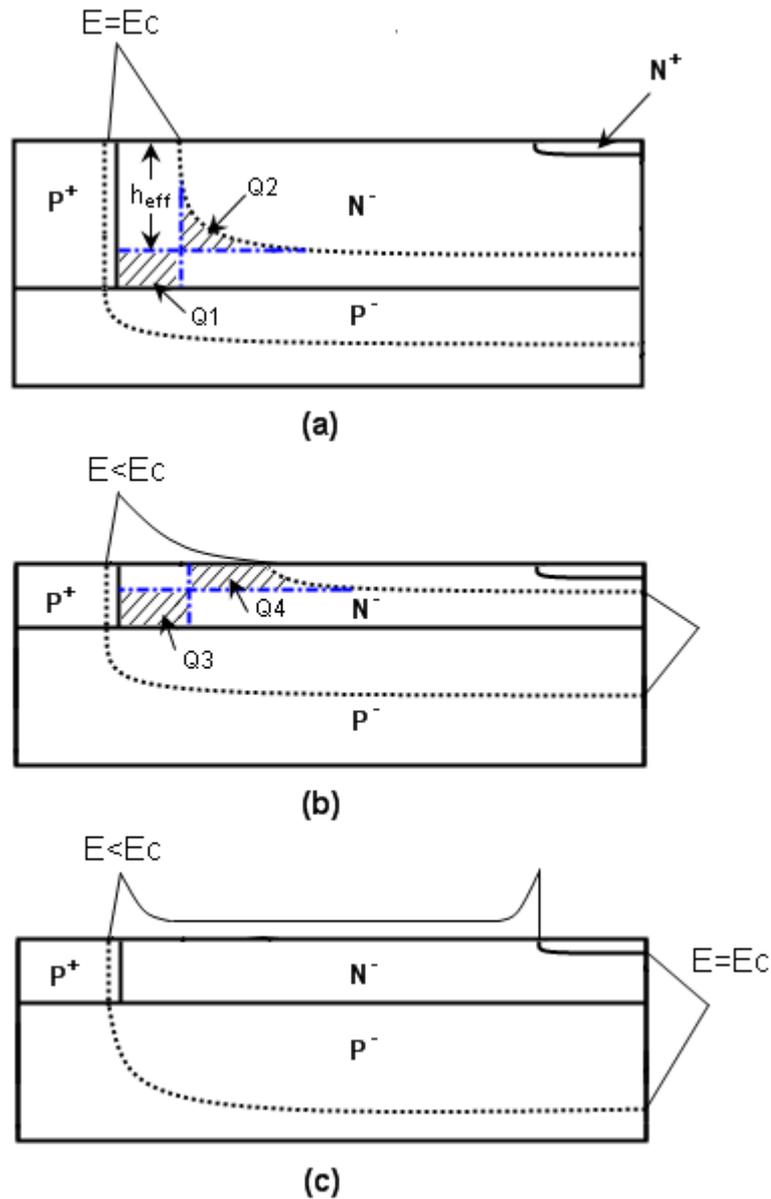


圖 3.1 RESURF 電場分布示意圖

(a) 厚磊晶層 (b) 薄磊晶層 (c) 薄磊晶層 (最佳厚度)

對於厚磊晶層來說，橫向二極體 P⁺/N⁻接面的空乏區不會受到縱向二極體 N⁻/P⁻接面的影響，所以此時元件的崩潰電壓，將由承受電壓能力較差的橫向二極

體 P^+/N^- 界面來決定，如圖 3.1 (a) 的電場分布所示。橫向與縱向二極體空乏區重疊的陰影區域為 Q1，根據電中性的原理，Q1 的正電荷被 P 基底空乏區的負電荷抵消，此時，橫向二極體的空乏區因為被扣去 Q1 部分而使得對橫向二極體有貢獻的空乏區有效高度 h_{eff} 變小，但是橫向二極體的空乏區為了維持電中性將會向漂移區延伸一塊區域，使得其上的電荷量 Q2 等於被抵消掉的 Q1。當磊晶層夠厚的時候，Q2 涵蓋的範圍未達磊晶層的表面，則橫向二極體的表面耐壓仍和單純只有橫向二極體結構時的耐壓一樣的低。

當磊晶層逐漸變薄，如圖 3.1 (b) 所示，縱向二極體 N^-/P^+ 界面的空乏區對於橫向二極體 N^-/P^+ 界面的空乏區加強的程度越來越大。因此，在施加同樣的電壓下，延伸的範圍 Q4 已達磊晶層的表面，使得表面空乏區往橫向加長，造成表面的電場降低，所以此元件便可以承受更高的電壓。理論上，當磊晶層在某個厚度的時候，而且漂移區長度足夠時，已降低的表面電場 (REDUCED SURFACE FIELD) 將不會達到臨界電場 E_c 值，便不必考慮表面的崩潰電壓，而此時元件的崩潰電壓將由縱向二極體 N^-/P^+ 界面來決定，如圖 3.1 (c) 所示。當磊晶層被完全空乏 (Fully depleted) 的時候，由於 N^+ 層/ N^- 磊晶層界面曲率的關係，造成電力線擁擠，使得該處電場隨著施加電壓快速增加，造成崩潰。而通常此崩潰電壓小於縱向二極體 N^-/P^+ 界面的崩潰電壓，這種現象在磊晶層越薄時越明顯。

上述現象是由 J.A. Appels 和 H.M.J. Vaes 在 1979 年所提出的原理，稱為降低表面電場 (REDUCED SURFACE FIELD, 簡稱 RESURF) 理論[15]，從此高壓元件可以在薄磊晶層的情況下實現，在不需要很厚的磊晶層情況下便可以耐高壓，因此，RESURF 理論常被應用在高壓元件之設計上。

3.1.2 定量分析

(i) 空間電荷分享 (Space-charge sharing)

如圖 3.2 所示是一般應用 RESURF 理論的高壓元件基本結構圖[17]，其中 V_{app} 表示外界施加的逆向偏壓。

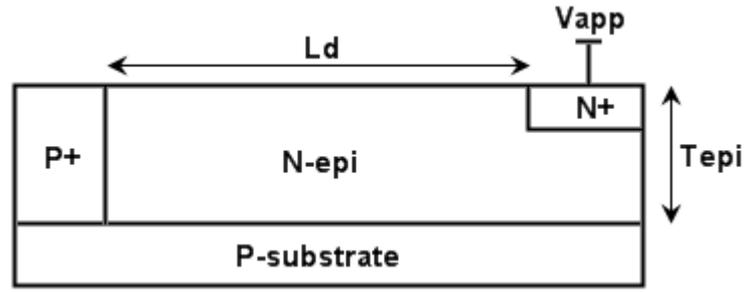


圖 3.2 RESURF 結構示意圖

此基本 RESURF 結構可以視為兩個 1-D 二極體所組成：圖 3.3 (a) 所示的一個橫向 $P^+/N\text{-epi}$ 二極體與圖 3.3 (b) 所示的一個縱向 $P\text{-sub}/N\text{-epi}$ 二極體，而它們都被施加同樣的電壓 V_{app} 。

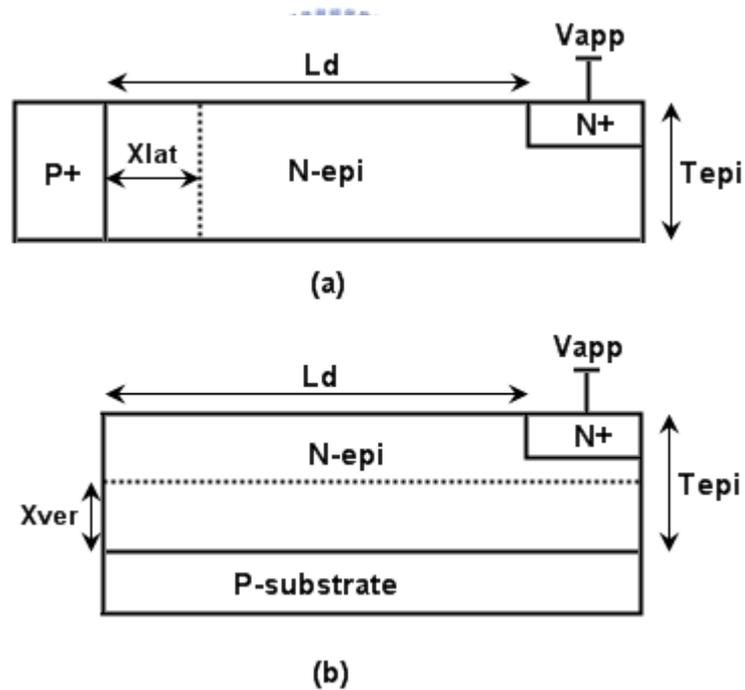


圖 3.3 組成 RESURF 結構的橫向與縱向二極體

(a) 橫向二極體 (b) 縱向二極體

圖 3.3 (a) 中的 $X_{lat}(V_{app})$ 表示 $P^+/N\text{-epi}$ 介面受到 V_{app} 偏壓的時候，空乏區向 $N\text{-epi}$ 層所延伸的長度。而在 V_{app} 偏壓下，由於 P^+ 的濃度大於 $N\text{-epi}$ 的濃度甚

多，因此 $X_{lat}(V_{app})$ 近似此接面的總空乏區寬度，可以列出

$$X_{lat}(V_{app}) = \sqrt{\frac{2 \cdot \epsilon_s \cdot V_{app}}{q \cdot N_{epi}}} \quad (3.1)$$

其中 ϵ_s 為半導體的介電常數 (Dielectric constant)， q 為電荷。因此空乏區延伸長度 $X_{lat}(V_{app})$ 所形成的電荷數為

$$Q_{lat}(V_{app}) = q \cdot N_{epi} \cdot X_{lat}(V_{app}) \quad (3.2)$$

而其所相對應的接面電場可推得

$$E_{lat}(V_{app}) = \frac{Q_{lat}(V_{app})}{\epsilon_s} = \frac{2 \cdot V_{app}}{X_{lat}(V_{app})} \quad (3.3)$$

在圖 3.3 (a) 的橫向結構裡，當橫向接面電場 E_{lat} 達到臨界電場 E_{clat} 時將產生崩潰現象。假設此結構的漂移區長度 L_{drift} 有足夠長度，因此不需要考慮穿透 (Punch-through) 的情況，則接面的崩潰電壓可以寫為

$$BV_{latj} = \frac{\epsilon_s \cdot E_{clat}^2}{2 \cdot q \cdot N_{epi}} \quad (3.4)$$

此處的 E_{clat} 為 P^+/N -epi 接面的臨界電場值 ($\cong 3 \times 10^5$ V/cm)。而對於圖 3.3 (b) 中的 P-sub/ N -epi 接面， $X_{ver}(V_{app})$ 表示由 P-sub/ N -epi 接面向 N -epi 延伸的空乏區長度，可以寫為

$$X_{ver}(V_{app}) = \sqrt{\frac{2 \cdot \epsilon_s \cdot V_{app} \cdot P_{sub}}{q \cdot N_{epi} \cdot (P_{sub} + N_{epi})}} \quad (3.5)$$

依照同樣方式，可以推得

$$BV_{verj} = \frac{\epsilon_s \cdot E_{cver}^2}{2 \cdot q} \cdot \left(\frac{1}{N_{epi}} + \frac{1}{P_{sub}} \right) \quad (3.6)$$

此處的 E_{cver} 為 P-sub/ N -epi 接面的臨界電場值 ($\cong 3 \times 10^5$ V/cm)。觀察 (3.4) 式與 (3.6) 式，比較之後可以發現，縱向二極體的崩潰電壓大於橫向二極體的崩潰電壓，這是因為 P-sub 為輕摻雜的緣故。

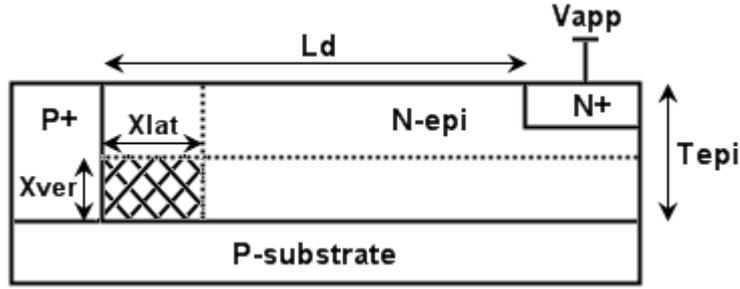


圖 3.4 空間電荷分享示意圖

圖 3.4 所示為橫向二極體與縱向二極體合併之後的空乏區電荷分布情形。當合併之後，會有一個橫向二極體 P⁺/N-epi 界面與縱向二極體 P-sub/N-epi 界面所共享的空乏電荷（Depletion charge sharing）區域 ΔQ ，即網格狀的區域部份，而此區域的電荷可以寫為

$$\Delta Q(V_{app}) = q \cdot N_{epi} \cdot X_{lat}(V_{app}) \cdot \eta(V_{app}) \quad (3.7)$$

其中

$$\eta(V_{app}) = \frac{X_{ver}(V_{app})}{T_{epi}} \geq 0 \quad (3.8)$$

因此，由於縱向二極體所貢獻的電荷，使得橫向二極體的有效（Effective）電荷 Q_{lateff} 減少了，這是因為減去縱向二極體所貢獻的電荷。所以橫向二極體的有效電荷部分為

$$\begin{aligned} Q_{lateff}(V_{app}) &= Q_{lat}(V_{app}) - \Delta Q(V_{app}) \\ &= [1 - \eta(V_{app})] \cdot Q_{lat}(V_{app}) \end{aligned} \quad (3.9)$$

由有效電荷 Q_{lateff} 可以推得其相對橫向有效電場為

$$\begin{aligned} E_{lateff}(V_{app}) &= [1 - \eta(V_{app})] \cdot E_{lat}(V_{app}) \\ &= 2 \cdot V_{app} \cdot \frac{[1 - \eta(V_{app})]}{X_{lat}(V_{app})} \end{aligned} \quad (3.10)$$

也可以改寫為

$$\begin{aligned}
E_{lateff}(V_{app}) &= \frac{2 \cdot V_{app}}{X_{lateff}(V_{app})} \\
&= \frac{q \cdot N_{epieff}(V_{app}) \cdot X_{lateff}(V_{app})}{\epsilon_s}
\end{aligned} \tag{3.11}$$

其中

$$X_{lateff}(V_{app}) = \frac{X_{lat}(V_{app})}{[1 - \eta(V_{app})]} \tag{3.12}$$

$$N_{epieff}(V_{app}) = N_{epi} \cdot [1 - \eta(V_{app})]^2 \tag{3.13}$$

上述 (3.10) 式至 (3.13) 式描述 RESURF 結構中，橫向二極體承受電壓 V_{app} 時，電場與電荷分布的情形。當施加的偏壓達崩潰電壓，即 $V_{app} = BV_{latj}$ 時，電場則表示為 $E_{lat}(BV_{latj}) = E_{clat}$ ，此時，令 $N_{resurf} = N_{epieff}(BV_{latj})$ ，則 (3.10) 式至 (3.13) 便可化簡為

$$E_{lateff}(BV_{latj}) = [1 - \eta(BV_{latj})] \cdot E_{clat} \tag{3.14}$$

$$X_{lateff}(BV_{latj}) = \frac{X_{lat}(BV_{latj})}{[1 - \eta(BV_{latj})]} \tag{3.15}$$

$$N_{resurf} = N_{epi} \cdot [1 - \eta(BV_{latj})]^2 \tag{3.16}$$

其中假設 $0 < \eta(BV_{latj}) < 1$ ，上述 (3.14) 式至 (3.16) 式可以解釋如何達成 RESURF 的原理，因為有效濃度降低，使得橫向（表面）的電場降低。縱向 P-sub/N-epi 二極體的存在，使得其空乏區與橫向空乏區的交互作用下，產生空乏區電荷共享的情況，造成在同樣崩潰電壓 BV_{latj} 之下，橫向空乏區擴展不少的長度，即 $X_{lateff}(BV_{latj})$ 。所以此時，橫向 P⁺/N-epi 接面的電場 E_{lateff} ，比單純一維 (1-D) 的橫向二極體之臨界電場 E_{clat} 還要低，因此更能承受較高的電壓，由圖 3.5 (a) 可以觀察得知此現象。

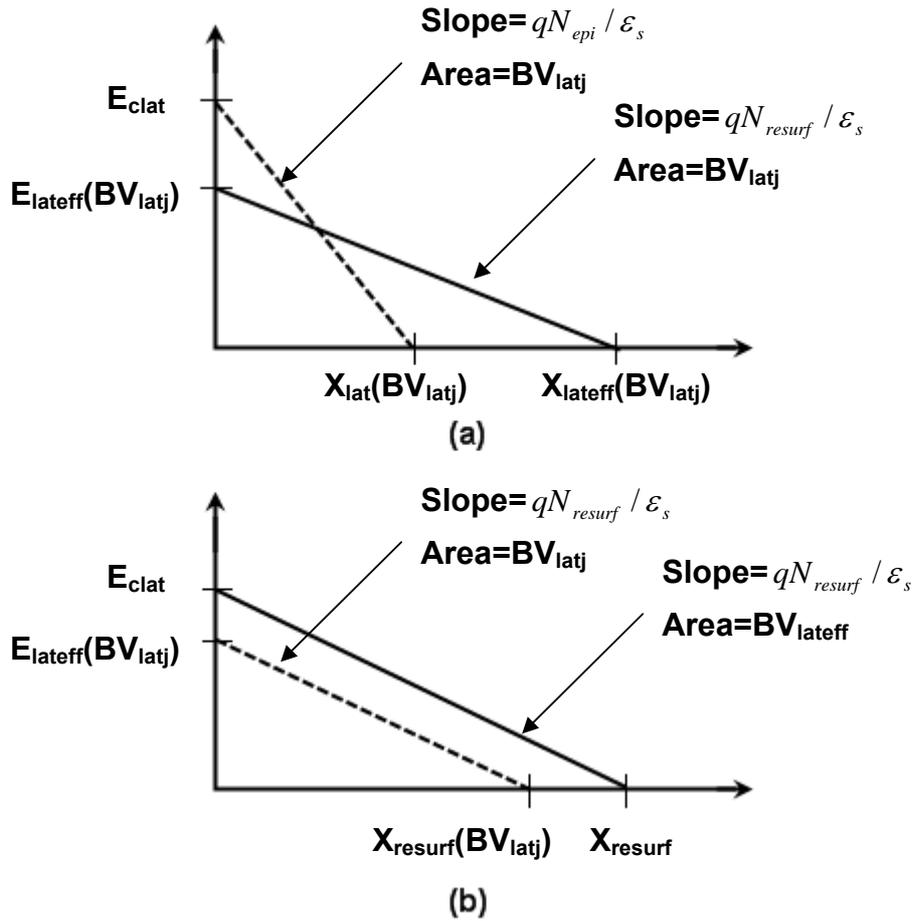


圖 3.5 降低表面電場示意圖

(a) 降低的表面電場 (b) 崩潰電壓提升

而 RESURF 結構中，橫向二極體接面的崩潰電壓可以由 (3.14) 式至 (3.16) 式可以推得

$$BV_{lateff} = \frac{\epsilon_s \cdot E_{clat}^2}{2 \cdot q \cdot N_{resurf}} = \frac{BV_{latj}}{[1 - \eta(BV_{latj})]^2} \quad (3.17)$$

(3.17) 式描述出在 RESURF 現象中，橫向崩潰電壓提升的原因，如圖 3.5 (b) 所示。因此，整個 RESURF 結構的崩潰電壓，即表示為

$$BV_{resurf} = \text{Min}[BV_{lateff}, BV_{verj}] \quad (3.18)$$

上式表示 RESURF 結構之崩潰電壓 BV_{resurf} ，由橫向二極體的崩潰電壓 BV_{lateff} 或縱向二極體的崩潰電壓 BV_{verj} 其中較小者決定之。

(ii) η 值探討

觀察 (3.8) 式可以得知， $\eta(BV_{lagj})$ 所代表的意義為，縱向二極體與橫向二極體之間電荷共享的程度。而在 (3.14) 式中， $\eta(BV_{lagj})$ 與電場形狀改變亦有重要相關性。因此，若已給定 N_{epi} 與 P_{sub} ，則 T_{epi} 增加會使得 η 值下降，使得電場升高，崩潰電壓下降。所以 η 值是一個估測 RESURF 現象的一個重要參數，而由 (3.5) 式與 (3.8) 式可知， η 值與 N_{epi} 、 T_{epi} 和 P_{sub} 等參數均有相關性。下面將對 $\eta(BV_{lagj}) \geq 0$ 的情況做一討論。

(a) $\eta(BV_{lagj}) = 0$

此情形只有發生在沒有 P-sub 區域的時候，即 $X_{ver}(V_{app}) = 0$ 。表示此結構就是一個單純的橫向二極體。在這樣的情況下，並沒有電荷共享的現象，而此時的 $E_{resurf} = E_{clat}$ 。

(b) $0 < \eta(BV_{lagj}) < 1$

這樣的情況發生於磊晶層厚度 T_{epi} 太厚、磊晶層摻雜濃度 N_{epi} 過高或是基底摻雜 P_{sub} 過低所導致。上述情形均是造成磊晶層無法被完全空乏的原因，因此並無法形成 RESURF 現象。所以情況 (a) 與情況 (b) 兩種情形的崩潰均發生於橫向二極體。

(c) $\eta(BV_{lagj}) = 1$

此情形發生於磊晶層被完全空乏 (Fully depleted) 時。由 (3.14) 式與 (3.17) 式得知，此時 $\eta(BV_{lagj}) = 1$ ， E_{lateff} 趨近於 0， BV_{lateff} 趨近於無窮大，而實際上並無此情形存在，實際上，磊晶層被完全空乏，由 (3.16) 式得知此時磊晶層的摻雜非常低，即 $N_{resurf} = N_{epi} \cdot [1 - \eta(BV_{lagj})]^2 = 0$ ，但是實際上摻雜濃度並無此可能，

所以磊晶層此時的情況近似於本質半導體，即 $N_{resurf} = N_i = 1.45 \times 10^{10} \text{ cm}^{-3}$ 。因此，為了說明此一現象，(3.16) 式需修正為 $N_{resurf} = N_{epi} \cdot [1 - \eta(BV_{latj})]^2 + N_i$ 。所以此時橫向二極體的崩潰電壓決定於其漂移區長度 L_d 與臨界電壓 E_{clat} 。而整個結構的崩潰電壓則可以由 (3.18) 式決定。

(d) $1 < \eta(BV_{lagj}) < 2$

這個情況發生在磊晶層厚度 T_{epi} 太薄、磊晶層摻雜濃度 N_{epi} 過低或是基底摻雜 P_{sub} 過高所導致。此時磊晶層很容易便被完全空乏，雖然有 RESURF 現象，但是此時必須注意橫向二極體的 $N^+/N\text{-epi}$ 接面，在前面定性分析的時候有提到，由於其曲率的關係，容易造成橫向的崩潰電壓。因此，隨著磊晶層變薄或濃度降低，橫向崩潰電壓將漸漸轉為由 $N^+/N\text{-epi}$ 接面決定。

(e) $\eta(BV_{lagj}) \geq 2$

$\eta(BV_{lagj}) = 2$ 是一個維持 RESURF 現象的分界點。若超過此分界，即 $\eta(BV_{lagj}) > 2$ ， $N^+/N\text{-epi}$ 接面電場將容易被提高，提早崩潰，造成橫向崩潰電壓降低，甚至低於情況 (a)。因此，橫向崩潰電壓無法被提升，甚至下降，所以沒有 RESURF 的現象。



3.2 LIGBT 結構規劃與參數估算

由於經過 RESURF 結構的分析，使我們對此結構可以提升耐壓的特性有進一步的瞭解之後，便開始著手於 LIGBT 結構規劃並尋找出合適的參數範圍，以利之後進行模擬。以下便對傳統 LIBBT 元件的結構規劃與參數估計進行說明。

3.2.1 傳統 LIGBT 結構規劃

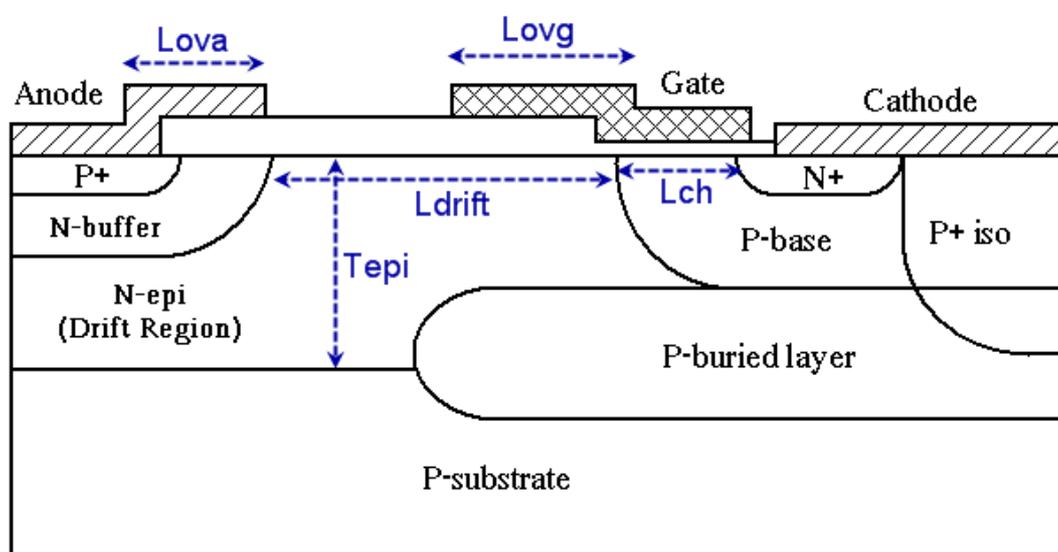


圖 3.6 傳統 LIGBT 元件結構定義圖

圖 3.6 所示便是傳統 LIGBT 元件基本結構之定義圖，根據文獻，此處加入了 P⁺隔離層 (P⁺ iso layer) 與 P 型埋藏層 (P -buried layer)。P⁺ iso 層的摻雜濃度較 P 基極 (P -base layer) 來的重，可以降低 P 基極的阻值，使流經陰極路徑上的電阻變小。而 P 基極下方的 P 型埋藏層可以導引部分的電洞流經此層，以減少流經 P 基極的電流，減低門鎖效應發生機率。除此之外，P⁺ iso 層對於未來與低壓控制電路整合時，有利於隔離漏電流流至低壓電路，避免造成損害。陽極端下方的 N 型緩衝層 (N-buffer layer) 則是穿透二極體理論 (Punch-through diode) 的應用。

配合圖 3.6 所規劃的的結構定義圖，表 3.1 列出其對應之元件結構參數並加以說明。

表 3.1 傳統 LIGBT 元件結構參數表

元件結構參數	參數說明
L_{ch}	通道長度
L_{drift}	漂移區長度
L_{ovg}	閘極場板覆蓋長度
L_{ova}	陽極場板覆蓋長度
T_{epi}	(N-epi) 磊晶層厚度
N_{sub}	(P-substrate) 基底濃度
N_{piso}	(P ⁺ iso) P ⁺ 隔離層濃度
N_{epi}	(N-epi) 磊晶層濃度
N_{pb}	(P-base) P 基極層濃度
N_{nb}	(N-buffer) 緩衝層濃度
N_{n+}	N ⁺ 層濃度
N_{p+}	P ⁺ 層濃度

由於橫向結構之高壓元件通常應用 RESURF 理論來達到耐高壓的效果，而讓磊晶層 (Epitaxial layer 或 N-epi) 完全空乏是 RESURF 的主要精神，所以就元件耐壓而言，磊晶層便是非常重要的一塊區域，不論它的厚度 (T_{epi}) 或是摻雜濃度 (N_{epi})，都會影響整個元件耐壓的能力。因此，取得磊晶層的重要參數便是接著要進行的部分。

3.2.2 磊晶層參數估計

經過結構與參數的規劃之後，接著將進行模擬元件電性。但是由於結構參數不少，所以必須固定某些參數。而磊晶層為高壓元件最重要的區域，因此，磊晶層的參數便是首要關鍵。先前提及的空乏區電荷共享 (Space-charge sharing)

的定量分析有助於我們在模擬之前，找出磊晶層參數的落點範圍，使得模擬時有清楚的著手點。

由之前的定性分析與定量分析可以知道，RESURF 結構可以看成是橫向與縱向兩個二極體所組成，而由於縱向二極體的綜合作用下，提升了橫向耐壓。因此，我們先估算橫向二極體的耐壓範圍，再估算縱向二極體的耐壓範圍，最後利用 (3.18) 式來整理出整體結構的耐壓範圍。而藉著歸納出耐壓範圍時，便可以得知結構參數適合的落點範圍。

在估算橫向二極體耐壓之前，必須先求取 η 值，可以利用 (3.5) 式與 (3.8) 式來求出，其中 P-sub 的摻雜濃度 N_{sub} 為 $1.78 \times 10^{14} \text{ cm}^{-3}$ ，由於基底摻雜濃度一般為此值，因此在這視為固定參數。 ϵ_s 為半導體之介電常數 (Dielectric constant)，其值為 $11.7 \cdot 8.85 \times 10^{-14} \text{ F/cm}^2$ ，其餘相關參數之數值範圍可以參考表 3.2。求出 η 值範圍之後，便可以找出橫向二極體之耐壓範圍。利用 (3.4) 式與 (3.17) 式，便可以推算出橫向二極體的耐壓範圍，如圖 3.7 所示。



表 3.2 估算耐壓相關參數表

相關參數	說明	數值
N_{sub}	基底濃度	$1.78 \times 10^{14} \text{ cm}^{-3}$
T_{epi}	磊晶層厚度	$15 \mu\text{m}$
q	電荷	$1.9 \times 10^{-19} \text{ C}$
ϵ_s	半導體之介電常數	$11.7 \cdot 8.85 \times 10^{-14} \text{ F/cm}^2$
E_{clat}	橫向臨界電場	$3 \times 10^5 \text{ V/cm}$
E_{cver}	縱向臨界電場	$3 \times 10^5 \text{ V/cm}$

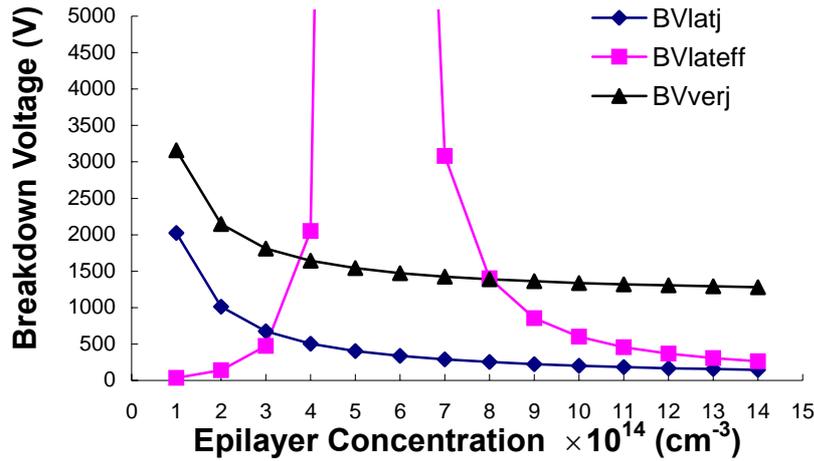


圖 3.7 橫向與縱向崩潰電壓曲線圖

圖 3.7 所示為磊晶層摻雜濃度 N_{epi} 變動時，各結構的崩潰電壓曲線圖。 BV_{latj} 為單純的橫向二極體之崩潰電壓，即沒有縱向二極體存在時的崩潰電壓。而 BV_{lateff} 為加入縱向二極體綜合作用之橫向崩潰電壓，即 RESURF 結構之橫向崩潰電壓。觀察得知， BV_{latj} 曲線在磊晶層摻雜濃度 N_{epi} 越輕，其崩潰電壓越大，這是由於輕摻雜導致空乏區延伸更長，在接面電場峰值達臨界電場 E_C 值之前，可延伸之長度大於重摻雜時之延伸長度，所以電場積分，即耐壓，隨著摻雜變輕而稍有提升。而加入了縱向二極體之後，在增強橫向空乏區的作用之下，橫向（表面）電場在達到臨界電場 E_C 值之前，積分面積大幅提升，出現 RESURF 的現象，從 BV_{lateff} 曲線可以觀察出，磊晶層濃度於圖表中間的一段區間時，橫向耐壓大幅提升（ $N_{epi} = 3 \times 10^{14} \sim 8 \times 10^{14} \text{ cm}^{-3}$ ）。然而，當磊晶層濃度一直增加，會造成磊晶層無法被完全空乏，RESURF 現象消失，造成崩潰電壓下降。而磊晶層濃度由區段一直遞減時，崩潰電壓亦下降，甚至低於 BV_{latj} 曲線，在 η 值探討的地方已經敘述過，這是因為磊晶層提早被空乏，導致 $N^+/N\text{-epi}$ 接面提早崩潰所造成。

由於橫向二極體方面已經找出耐壓的範圍，接下來便是求出縱向結構的耐壓範圍。利用 (3.6) 式可以找出縱向二極體的耐壓曲線，圖 3.7 中的 BV_{verj} 便是其崩潰電壓範圍之曲線。從圖中可以看出， BV_{verj} 與 BV_{latj} 的曲線走向相似，因

為他們均假設為單純 1-D 的二極體來看，但是 BV_{verj} 均高於 BV_{latj} ，這是因為界面兩邊摻雜濃度較輕的緣故，即 P-sub/N-epi 界面兩邊均為輕摻雜所導致。

至此，RESURF 結構的兩個組成部分，即橫向二極體與縱向二極體，其崩潰電壓範圍均以求出，接下來便可利用 (3.18) 式來判斷出 RESURF 結構的崩潰電壓範圍，即求取 BV_{lateff} 與 BV_{verj} 兩者之間較小值者，如圖 3.8 所示為元件之崩潰電壓曲線圖 BV_{resurf} 。

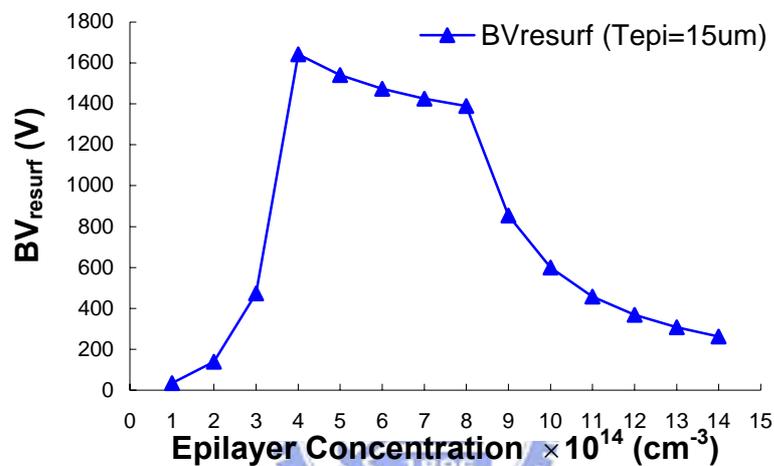


圖 3.8 RESURF 結構的崩潰電壓曲線圖

接著我們考慮其他磊晶層厚度的情況，因此加入磊晶層厚度 T_{epi} 變化，分別為 $5\mu\text{m}$ 、 $10\mu\text{m}$ 與 $15\mu\text{m}$ ，如圖 3.9 所示。圖中顯示出不同磊晶層厚度時，崩潰電壓與磊晶層濃度的關係。此處我們選擇磊晶層厚度 T_{epi} 為 $10\mu\text{m}$ 作為基本設計，因為較厚的磊晶層需要較輕的摻雜濃度，造成導通電阻增加。若磊晶層太薄則容易受製程漂移的影響。接著觀察磊晶層厚度 T_{epi} 為 $10\mu\text{m}$ 時的崩潰電壓曲線，當磊晶層濃度落在 $N_{epi} = 6 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 區間的時候，元件崩潰電壓可以達到最高值。因此，我們取此磊晶層濃度區段中的 $N_{epi} = 6 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-3}$ 作為模擬時的調變範圍。

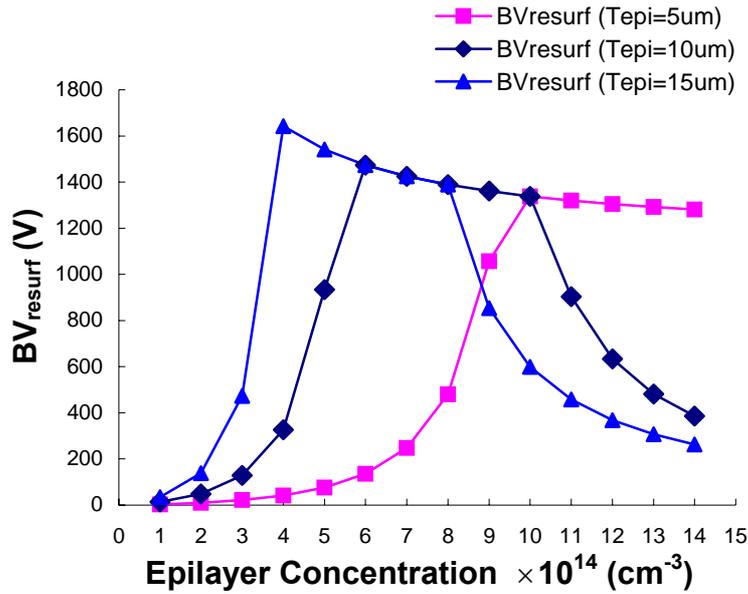


圖 3.9 不同磊晶層厚度的 RESURF 電壓曲線圖

接著我們要估計出磊晶層厚度 T_{epi} 的範圍，由於先前我們所推算出元件的崩潰電壓 BV_{resurf} 曲線，是固定住磊晶層厚度 (T_{epi}) 之後所獲得。所以現在固定磊晶層摻雜濃度 ($N_{epi} = 8 \times 10^{14} \text{ cm}^{-3}$)，而以磊晶層厚度 T_{epi} 作為變數，來估計崩潰電壓的範圍，如圖 3.10 所示為崩潰電壓相對於磊晶層厚度的關係曲線圖。

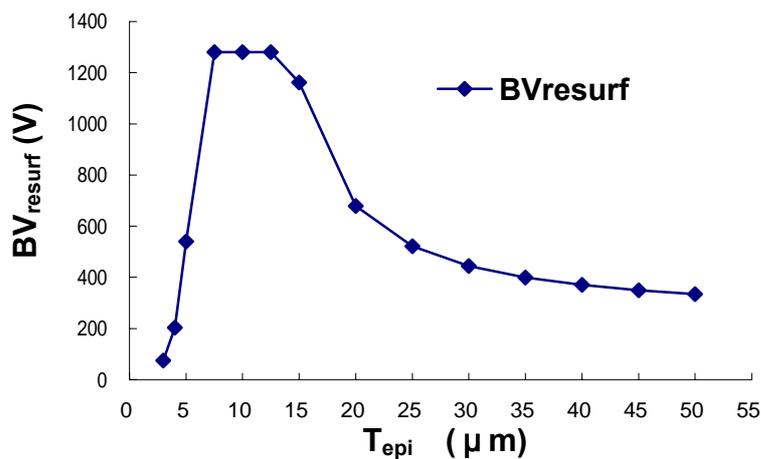


圖 3.10 崩潰電壓相對於磊晶層厚度的關係曲線圖

觀察曲線圖可以得知，磊晶層厚於落在 10μm 附近範圍的時候，崩潰電壓為

最高，當厚度逐漸加厚時並不能維持高崩潰電壓，反而往下遞減。這是因為當磊晶層厚度越厚，越不容易被完全空乏，RESURF 現象不再持續，造成崩潰電壓降低。而磊晶層太薄則提早被完全空乏，因為 N-buffer/N-epi 界面曲率較大的關係，使得崩潰電壓也會降低。此處也須注意，磊晶層厚度與導通電阻有相關性，因此，在符合規格下，磊晶層厚度的選擇應當盡量避免造成導通電阻的增加。

綜合以上對於磊晶層參數的估算，便可以利用參數落點範圍對元件進行模擬。整理後可得到磊晶層參數落點範圍，加上其他固定的結構參數，可得表格 3.3，其對應的元件結構規劃圖可參考圖 3.6。

表 3.3 結構參數規劃表

元件結構參數	數值
T_{epi}	5 ~ 15 μm 調整
N_{sub}	$1.78 \times 10^{14} cm^{-3}$
N_{piso}	$10^{18} cm^{-3}$
N_{epi}	$7 \times 10^{14} \sim 9 \times 10^{15} cm^{-3}$ 調整
N_{n+}	$10^{20} cm^{-3}$
N_{p+}	$10^{20} cm^{-3}$

綜合以上的分析整理，在傳統 LIGBT 元件結構的設計方面，已經利用定量分析的方法估算出重要參數的落點範圍，提供之後的模擬來找出最佳化的設計。接著，我們便開始針對傳統 LIGBT 元件在關閉速度上的缺點，進行結構改善的設計。

第四章 LIGBT 的改善結構設計

由於 LIGBT 元件具有閘極電壓控制電流，並且兼具高耐壓與高電流的特性，以及可以與低壓元件製作於同一晶片上，使得晶片面積縮小與生產成本降低，而這樣的特性使得 LIGBT 為適合應用於 Power IC 的元件之一。然而，由於少數載子儲存的效應，使得 LIGBT 存在關閉延遲的現象，導致切換速度較為緩慢。因此，我們將架構在傳統 LIGBT 的結構上，參考一改良的間斷式陽極結構 LIGBT 進行結構改善。

以下我們會提出傳統 LIGBT 的結構[18]，因為我們耐高壓部分的結構和傳統 LIGBT 的結構一樣，均是利用 RESURF 原理[15]來提高耐壓，由於整個結構改善乃是建立在傳統 LIGBT 的基礎架構上，因此結構與傳統 LIGBT 有多處相同。其次是陽極短路結構的 LIGBT[19]，其利用並聯 LDMOS 結構的輔助來提高元件的切換速度，而此原理將被保留使用，但將是更省面積的結構。接著是間斷式陽極與間斷式陰極結構的 LIGBT[20]，此種結構不僅可以提升切換頻率與改善負電阻現象，並且大幅降低門鎖效應，然而此種結構只是起始構想，經我們研究探討，其改善門鎖效應的效果並不如預期，雖然如此，但是我們仍將其提出作為本論文結構改善的參考。因此，本論文改為以參考採用另一間斷式陽極結構的 LIGBT[21]，其除了具有提升元件切換速度的優點之外，還可節省元件使用面積。整個元件的結構改善均採用現有製程，所以不需多加光罩或製程。以下便是我們的改善發展程序和分析。

4.1 傳統 LIGBT 結構

圖 4.1 所示為傳統 LIGBT 結構規劃圖與俯視圖[18]，此處加入了 P^+ 隔離層 (P^+_{iso}) 與 P 型埋藏層 (P-buried layer)。 P^+_{iso} 層的摻雜濃度較 P 基極 (P-base layer) 來的重，可以降低 P 基極的阻值，使流經陰極路徑上的電阻變小。而 P

基極下方的 P 型埋藏層可以導引部分的電洞流經此層，以減少流經 P 基極的電流，減低閃鎖效應的觸發電流。除此之外， $P^{+}iso$ 層對於未來與低壓控制電路整合時，有利於隔離漏電流流至低壓電路，避免造成損害。陽極端下方的 N 型緩衝層（N-buffer layer）則是穿透二極體理論（Punch-through diode）的應用，亦是能夠形成 RESURF 的結構。

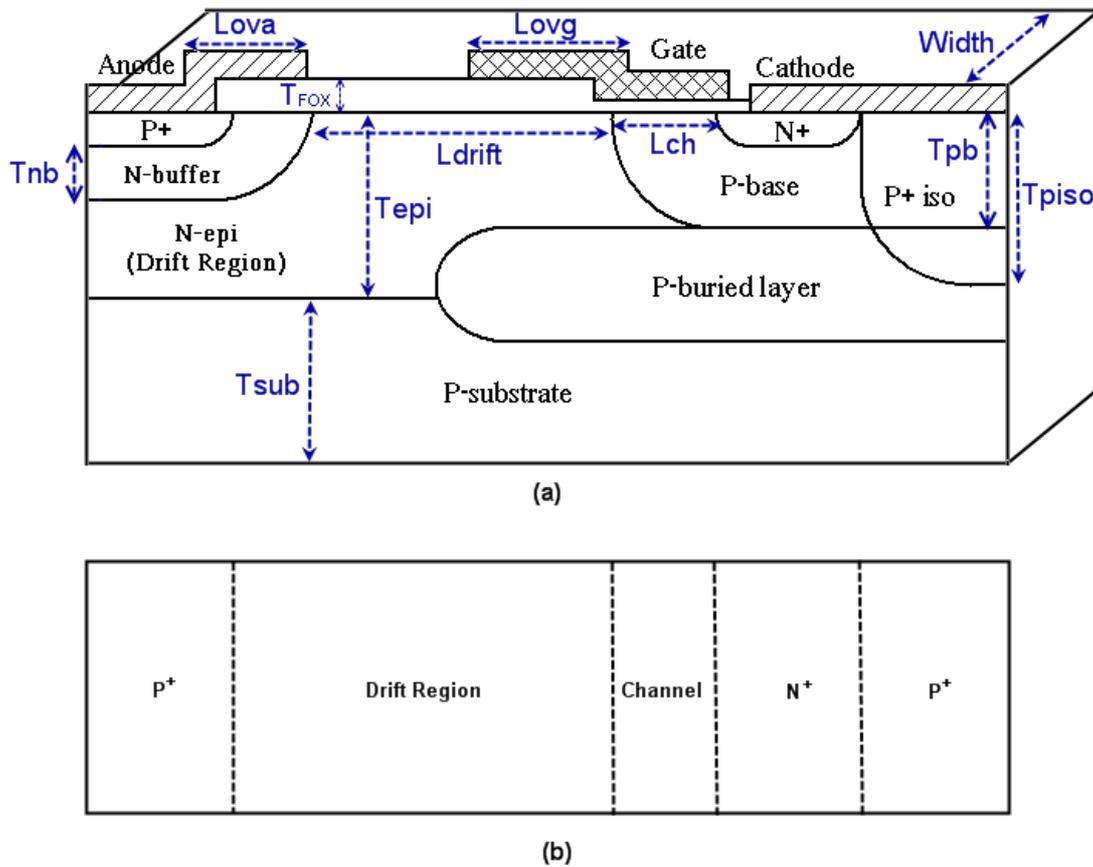


圖 4.1 傳統 LIGBT 結構圖與俯視圖

(a) 結構圖 (b) 俯視圖

配合圖 4.1 所規劃的的結構圖，表 4.1 與表 4.2 列出其對應之元件結構參數的定義與說明，提供後面章節使用。

表 4.1 LIGBT 尺寸參數定義表

尺寸參數	參數說明
L_{drift}	漂移區長度
L_{ch}	通道長度
T_{epi}	磊晶層厚度
T_{sub}	基底厚度
T_{psio}	P 型隔離層厚度
T_{pb}	P 型基極層厚度
T_{nb}	N 型緩衝層厚度
T_{n+}	N^+ 層厚度
T_{p+}	P^+ 層厚度
L_{ova}	陽極端電極覆蓋場氧化層長度
L_{ovp}	閘極端電極覆蓋場氧化層長度
T_{FOX}	場氧化層厚度
T_{GOX}	閘極氧化層厚度
Width	元件寬度

表 4.2 LIGBT 濃度參數定義表

濃度參數	參數說明
P_{sub}	基底濃度
N_{epi}	磊晶層濃度
N_{piso}	P 型隔離層濃度
N_{nb}	N 型緩衝層濃度
N_{pb}	P 型基極層濃度
N_{n+}	N^+ 層濃度
N_{p+}	P^+ 層濃度

表 4.1 與表 4.2 中的參數選擇，必須考慮臨界電壓 (Threshold voltage) V_{th} ，導通電阻 R_{on} 與崩潰電壓 BV 的設計。其中臨界電壓可表示為[14]

$$V_{th} = \frac{\sqrt{4\epsilon_s k T N_A \ln(N_A/n_i)}}{(\epsilon_{ox}/t_{ox})} + \frac{2kT}{q} \ln\left(\frac{N_A}{n_i}\right) \quad (4.1)$$

其中， t_{ox} 為閘極氧化層的厚度， N_A 為 P 基極層摻雜濃度觀察上式可以得知，閘極氧化層的厚度與 P 基極層的參雜濃度將會決定臨界電壓 V_{th} 的大小。在導通電阻方面，由於功率元件為了耐高壓，會使得漂移區長度增長，也幾乎佔去了元件導通電阻的部分，因此，導通電阻以漂移區電阻為主，可表示為[22]

$$R_{on} = \left[\frac{2\pi q \mu_d N_d}{\ln(1 + L_d/R_D)} + \frac{2q \mu_d N_d W_d}{L_d} \right]^{-1} \quad (4.2)$$

上式的元件佈局形狀類似運動場田徑跑道， W_d 為直線長度， R_D 為陽極端半徑， N_d 為磊晶層濃度 (漂移區電子載子濃度)， L_d 為漂移區長度。觀察上式可以得知，磊晶層的濃度 N_{epi} 與漂移區長度 L_{drift} 均會決定導通電阻的大小。若要導通電阻小，則須提高磊晶層濃度 N_{epi} 或縮短漂移區長度 L_{drift} 。另外，由於陽極注入的電洞，使得 (4.2) 式的載子濃度隨之增加，這也會使導通電阻下降，注入的效率越好則導通電阻越小。在崩潰電壓方面，則和磊晶層厚度 T_{epi} 與磊晶層濃度 N_{epi} ，以及橫向與縱向二極體結構共同決定，其詳細討論在第三章元件耐高壓原理已經提出探討過。

4.2 陽極短路結構

傳統結構的 LIGBT 元件雖具高耐壓與高電流的特性，然而，元件關閉時內部殘留少數載子的效應，使得傳統結構的 LIGBT 存在關閉延遲的現象，導致切換速度較為緩慢。為了改善此情況，所以採用 LDMOS 架構的優點，使得元件關閉時可以快速移除電子，提升元件關閉的速度，因此有人提出了陽極短路此種結構。然而，由結構的改變，也使得元件特性上有了差異。以下便對陽極短路結構

進行說明。

(i) 結構規劃

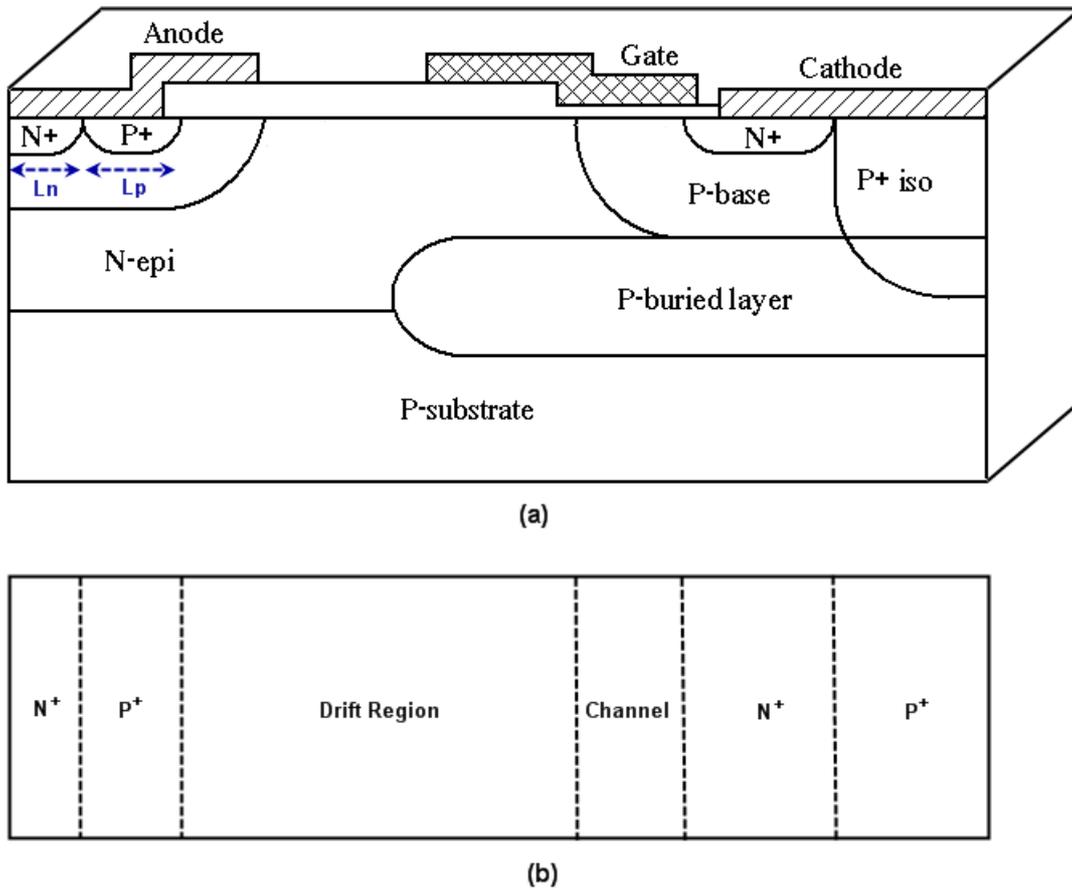


圖 4.2 陽極短路結構規劃圖與俯視圖

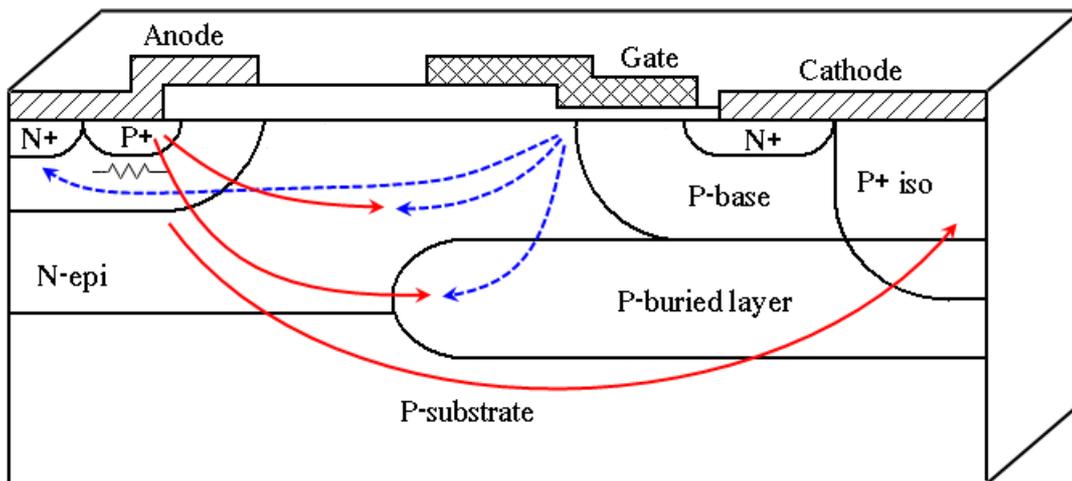
(a) 結構圖 (b) 俯視圖

圖 4.2 所示為陽極短路結構[19]，此種結構是由傳統 LIGBT 元件結構在 P^+ 陽極端旁，再加入一 N^+ 區域所形成的結構，其他結構均與傳統 LIGBT 的結構相同，因此，我們只需補充兩項參數，即 P^+ 陽極長度 L_p 與 N^+ 陽極長度 L_n ，如表 4.3 所示，其餘只要沿用表 4.1 與表 4.2 的參數即可。

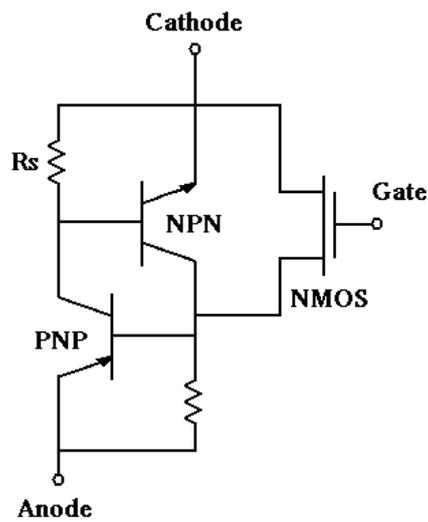
尺寸參數	參數說明
L_p	P^+ 陽極長度
L_n	N^+ 陽極長度

表 4.3 陽極短路結構補充尺寸參數定義表

(ii) 導通特性



(a)



(b)

圖 4.3 (a) 陽極短路結構電流路徑圖 (b) 陽極短路結構等效電路

圖 4.3 (a) 所示為電子流與電洞流路徑說明。當元件的閘極被施予足夠的電壓時，閘極下方反轉形成通道，此時在陽極加入偏壓並且逐漸提升。陽極在低偏壓的時候，電子流便經過通道並且流經 P⁺陽極下方到達 N⁺陽極，此導通機制便是 LDMOSFET 的導通機制，如圖 4.3 (b) 的陽極短路結構等效電路所示。隨著陽極電壓提升，LDMOSFET 的電流也隨之升高，由於流經 P⁺陽極下方的電流會造成壓降。當此壓降達 0.7V 或是足夠大時便會導通 P⁺陽極/N-buffer 接面，電洞便開始由 P⁺陽極注入漂移區，導通了在陽極端的縱向 PNP 電晶體，此時便進入 LIGBT 的導通機制。

由於大量的電洞注入漂移區而產生傳導調變作用，漂移區阻值會下降，使得元件跨壓變小，造成 P⁺陽極/N-buffer 接面的順向偏壓加大，注入更多電洞。這樣的現象從 I-V 特性曲線來觀察，猶如電壓下降但是電流上升的感覺，稱為負電阻效應 (Negative Differential Resistance, 簡稱 NDR) [23]。負電阻的現象直到漂移區的阻值無法再被調變時才停止，如圖 4.4 所示。而使電洞開始注入漂移區時的電壓定義為 Onset voltage V_{onset} 。

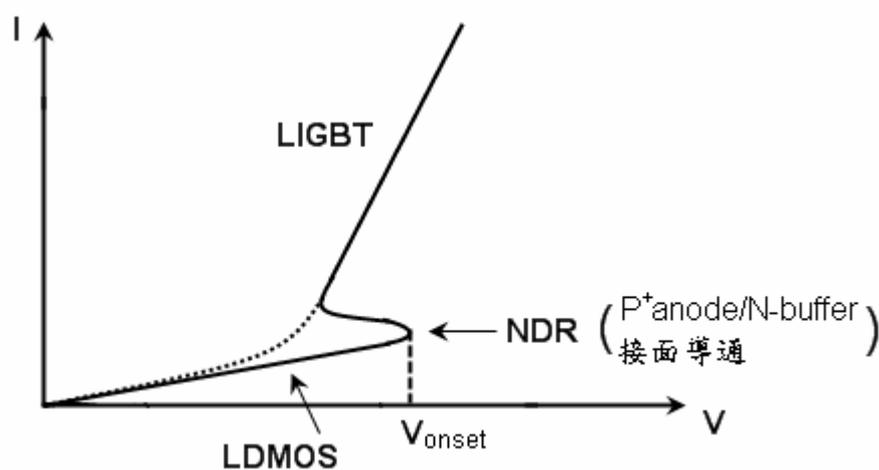


圖 4.4 負電阻示意圖

值得注意的是，進入 LIGBT 導通機制，即電洞注入的關鍵，在於 P^+ 陽極與 N-buffer 接面跨壓是否足夠大而使 P^+ 陽極/N-buffer 接面順偏。由於高壓元件為了節省尺寸兼耐高壓，通常會應用穿透二極體的理論與 RESURF 理論，即加入緩衝層 (N-buffer layer) 來縮短漂移區長度。若緩衝層的摻雜濃度稍高，所以阻值偏低，則可能會造成元件的 P^+ 陽極與 N-buffer 接面跨壓不夠大而使 P^+ 陽極/N-buffer 接面順偏，導致無法進入 LIGBT 導通機制。一般改進的方式為增加 P^+ 陽極長度與降低緩衝層的摻雜濃度，所以適當的增加 P^+ 陽極長度或調整緩衝層濃度均可以使負電阻的現象消除，如圖 4.4 虛線部份的曲線。而但是需要注意的是，增加 P^+ 陽極長度會造成元件面積加大，而緩衝層的摻雜濃度會影響元件耐壓。因此，是元件設計時需要留意的地方。

另外，陽極短路結構的 P^+ 陽極與 N^+ 陽極的比例均會影響到元件關閉時間與導通電阻。對於低導通電阻而言（電洞注入效應高），則 P^+ 陽極長度比例需要增加；對於較短的關閉時間，則需要較長的 N^+ 陽極長度比例。而通常我們以 P^+ 陽極長度 L_p 對 N^+ 陽極長度 L_n 的比值的改變來觀察其特性變化。

(iii) 元件關閉速度的改善

在未加入 N^+ 陽極的情況下，當元件關閉時，少數載子會殘留於漂移區，只能靠復合與擴散電流慢慢消退。所以當加入 N^+ 陽極的時候，便提供了電子從 N^+ 陽極移除，使得元件關閉時間減少，提升元件切換速度。此種結構在製程上並不需要額外的光罩，並且與傳統結構一樣均符合 RESURF 結構。

傳統 LIGBT 結構由導通切換至關閉時，殘留的少數載子只能靠著內部的復合與擴散電流慢慢消退。電流於切換至關閉時，會瞬間下降至某值，然後持平一段時間才繼續消退，稱之為曳尾效應 (Current tail)。而陽極短路結構由於提供了電子移走的路徑，使其可以快速移除載子，進入關閉狀態。值得注意的是，在移走電子的時候，電子會流經 P^+ 陽極下方，造成元件處於關閉狀態時，陽極端接面依然持續順向偏壓，導致不必要的電洞注入，延遲了元件關閉的時間，因此陽

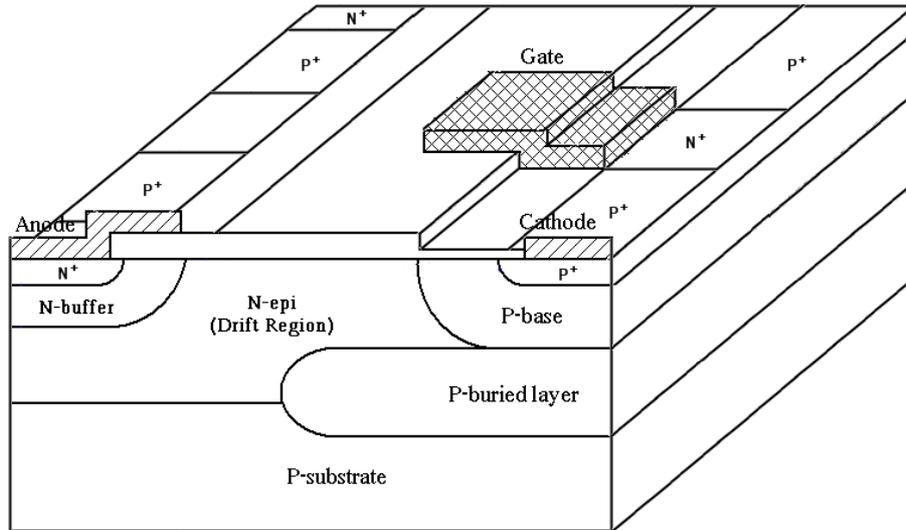
極短路結構依然存在曳尾效應。雖然傳統 IGBT 結構與陽極短路結構在由導通切換至關閉時均有曳尾效應，但是相較之下，陽極短路結構已有明顯的改善。隨著 N^+ 陽極的增加，曳尾效應將逐漸消失。

(iv) 元件面積的代價

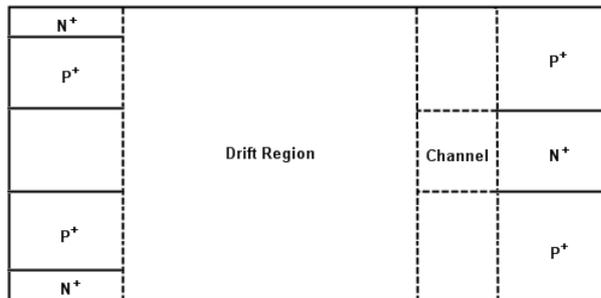
綜合來說， P^+ 陽極長度增加有利於提高電洞注入效應，降低導通電阻，並且有助於消除負電阻的現象，卻也增加元件關閉延遲的時間，使得已改善的曳尾效應打了折扣。 N^+ 陽極長度的增加有利於提高移除電子的速度，降低元件關閉延遲的時間。然而，不論增加 P^+ 陽極長度或 N^+ 陽極長度，均會增加陽極面積，也使得元件面積變大。

4.3 間斷式陽極與間斷式陰極結構

在設計過程中，陽極短路結構的 IGBT 雖然改善了元件關閉延遲的現象，但是也相對的使用了較多的元件面積，以及出現負電阻的效應。因此，根據文獻所提出的一個元件結構，預計此種結構可以解決上述問題。以下便對其進行說明。



(a)



(b)

圖 4.5 間斷式陽極與間斷式陰極結構圖

(a) 結構圖 (b) 俯視圖

圖 4.5 所示為間斷式陽極與間斷式陰極結構 (Segmented-Anode-Segmented-Cathode LIGBT)，並且為分離且對稱式 (Separated- and-symmetric-Anode) [20]。此種結構的陽極與陰極部分均為 P^+ 區域與 N^+ 區域平行放置，並且屬於對稱式的結構。陰極如此安置的好處預計為，電洞流與電子流的路徑完全分離，電洞流不需要流經 N^+ 陰極下方，而可以直接到達 P^+ 陰極，減少流過陰極下方產生電壓降所造成的門鎖效應，增加元件安全的操作區域。而陽極的 P^+ 區域與 N^+ 區域安置方式為分離並且屬於對稱式的結構，如此安排的好處為，可以抵消電子流在元件寬度方向的所受的電場，有助於電子流路徑與 P^+ 陽極平行，使大部分的電子流可以沿著 P^+ 陽極到達 N^+ 陽極，使得陽極 P^+/N -buffer 接面能夠較完全的導通，可

以大幅改善負電阻效應。而且由於此結構在陽極亦有 N^+ 區域，在元件關閉時，有助於移除電子，加快元件關閉速度。所以此種對稱式結構不僅可以改善元件關閉延遲的問題，對門鎖效應亦有防治的功能，以及大幅改善負電阻效應的好處。在耐壓方面則與傳統 LIGBT 結構相同，依然符合 RESURF 結構，因此，結構參數方面均可沿用傳統 LIGBT 的結構。此種結構在製程方面亦不需要多加光罩。

然而，此種結構只是起始構想，經由我們模擬後發現效果不如預期的好。因此，我們把注意力放在間斷式陽極結構的設計。

4.4 間斷式陽極結構

(i) 結構規劃

圖 4.6 所示為間斷式陽極結構[21]，此種結構陽極端的部分已經改為沿著元件寬度方向實現， N^+ 陽極取代一部分區段的 P^+ 陽極。所以陽極端便由 N^+ 陽極區段與 P^+ 陽極區段重複地組成，因此稱為間斷式陽極結構。因此，除了 P^+ 陽極長度 L_p 與 N^+ 陽極長度 L_n 為多出的結構參數外，其餘結構部份均與傳統 LIGBT 結構相同。所以我們補充兩個結構參數，如表 4.4 所示，其餘參數則沿用表 4.1 與表 4.2 的參數即可。因此，增加的參數部分與陽極短路結構相同。

尺寸參數	參數說明
L_p	P^+ 陽極長度
L_n	N^+ 陽極長度

表 4.4 間斷式陽極結構補充尺寸參數規劃表

由於間斷式陽極結構的改變是沿著寬度方向的結構，除了表面的 N^+ 區域與 P^+ 區域的變動外，依然符合 RESURF 結構。因此，與陽極短路結構相同，均可沿用傳統 LIGBT 結構的參數。此種結構亦不需要額外的光罩。

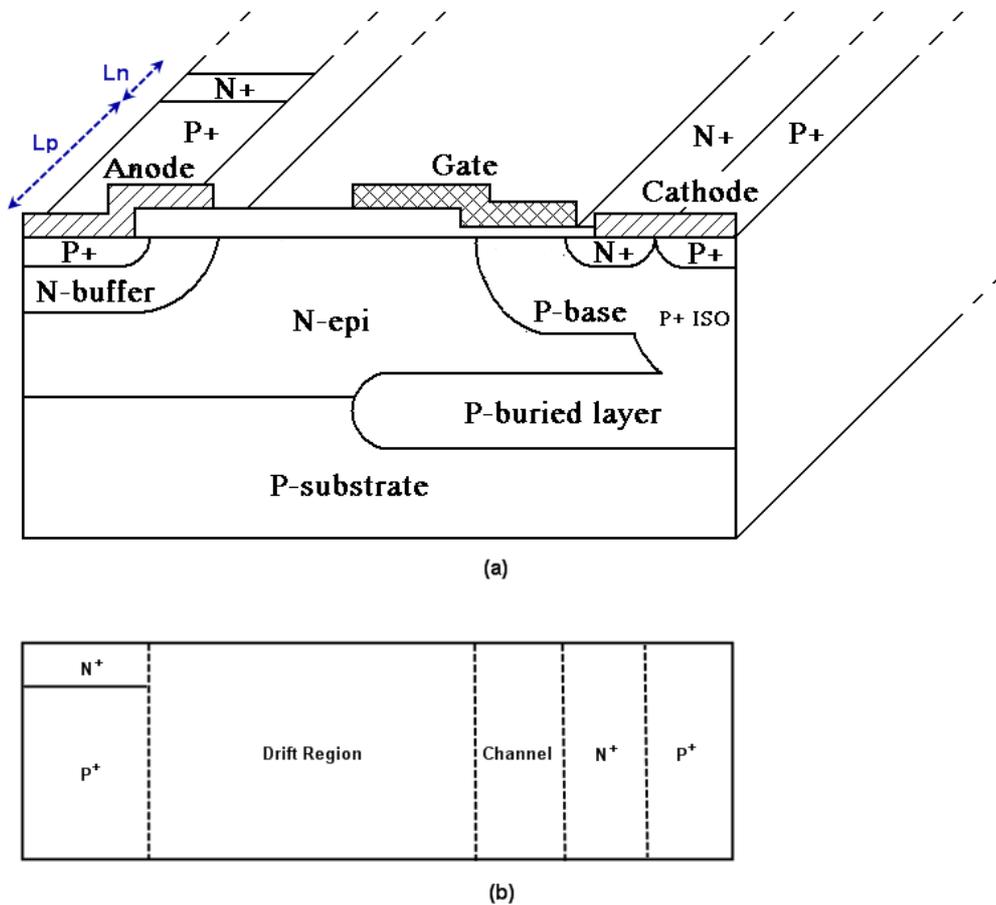


圖 4.6 間斷式陽極結構規劃圖

(a) 結構圖 (b) 俯視圖

(ii) 導通特性

圖 4.7 所示為間斷式陽極結構的電子流與電洞流路徑說明。當陽極端偏壓不大時，電子從通道流經漂移區後到達陽極端，便沿著 P^+ 陽極到達 N^+ 陽極，此時為 LDMOS 的導通機制。隨著陽極端電壓增壓，電子流沿著 P^+ 陽極到 N^+ 陽極所造成的壓降將使得 P^+/N -buffer 順偏，造成 P^+ 陽極注入電洞至漂移區，產生漂移區的傳導調變現象，降低了漂移區阻值，所以元件導通電阻亦降低。上述的導通機制與陽極短路結構相似，除了電子流向的不同，所以間斷式陽極結構亦存在負電阻效應。

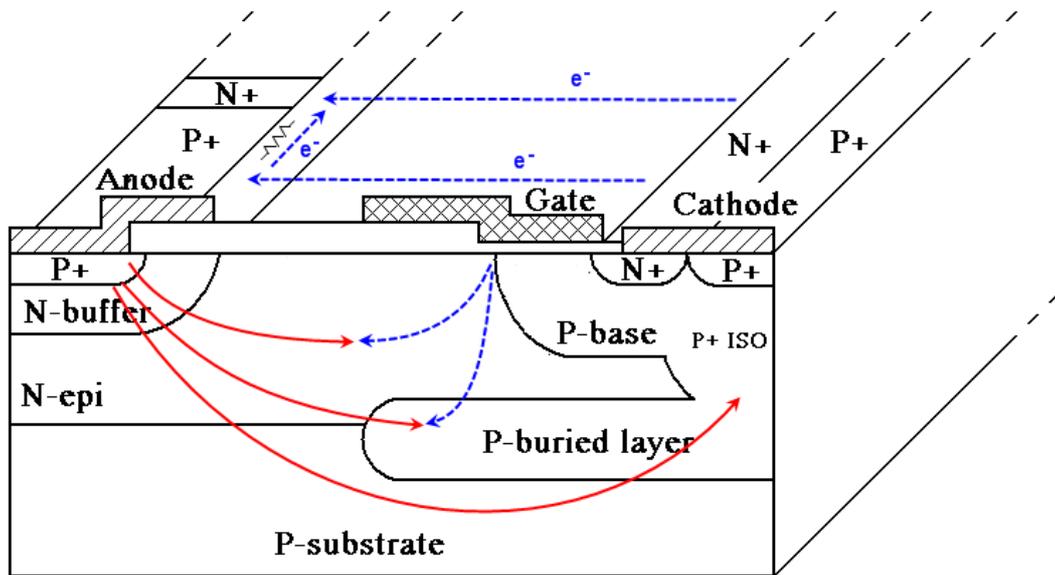


圖 4.7 斷式陽極結構的電子流與電洞流路徑圖

(iii) 元件關閉速度的改善與面積的減小

當元件由導通切換至關閉時，其特性與陽極短路結構亦相同，均是加入 N^+ 區域來移除電子，減少關閉時間。雖然間斷式陽極結構與陽極短路結構均加入了 N^+ 區域來改善元件關閉速度。然而，間斷式陽極結構的優點是可以節省元件的面積，因為陽極端結構沿著元件寬度形成，而 N^+ 陽極所佔用的面積，相較於陽極短路結構，使用較少的面積，有較好的面積使用效率。

除此之外，間斷式陽極結構使用了較小的 N^+ 陽極區域的面積，和陽極短路結構關閉速度比較之下卻有同量級的改善，這是因為 N^+ 陽極的位置處於和 P^+ 陽極平行的地方，而不像陽極短路結構的 N^+ 陽極是放置於 P^+ 陽極之後，所以對於移除電子有較佳的效率。元件關閉時，移除的電子依然會沿著 P^+ 陽極離開的現象，造成件關閉時還有不必要的電洞注入漂移區。因此，還是會有曳尾效應 (Current tail) 的存在，然而，隨著 N^+ 陽極長度的增加，曳尾效應將逐漸消失。

間斷式陽極結構的 P^+ 陽極與 N^+ 陽極的比例均會影響到元件關閉時間與導通電阻。較長的 P^+ 陽極比例會有較好的注入效率，較小的導通電阻，卻需要較長

的關閉時間。而較長的 N^+ 陽極比例需要較少的關閉時間。因此，在導通電阻與元件關閉時間之間的取捨可以簡單地利用 P^+ 陽極與 N^+ 陽極的比例來調整。通常我們以 P^+ 陽極長度 L_p 對 N^+ 陽極長度 L_n 的比值的改變來觀察其特性變化。



第五章 元件參數設計、特性模擬與分析

本文使用製程模擬軟體 Tsuprem4 取得的製程參數，並且搭配二維 (2D) 電性模擬軟體 Medici 與三維 (3D) 電性模擬軟體 Davinci 來對元件進行模擬。由於模擬元件的電性需要求解許多複雜的數學方程式，以及考慮元件實際製作的成本昂貴，我們必須借助軟體來從事電性方面的模擬，加上之前實驗室實作出耐壓 700V 的 LIGBT 與軟體模擬的結果非常接近，因此軟體的模擬結果是可以信任的。Medici 與 Davinci 均為元件電性模擬軟體，主要是利用網格 (Mesh) 的定義與數值分析方法來模擬電性行為，在給定結構參數的條件下，可以模擬出元件的靜態特性與暫態特性，包括崩潰電壓，導通電流，導通電阻與元件關閉時間等。

經過元件結構改善的探討與設計規劃之後，我們便開始著手元件的電性模擬工作，分別探討結構參數對於元件特性的影響，並且比較傳統 LIGBT 元件與其改進後之元件結構的差異，希望能使元件最佳的設計。在此之前，我們必須先設計出符合耐壓規格的傳統結構的 LIGBT 元件。



5.1 傳統 LIGBT 結構的模擬與分析

5.1.1 元件耐壓的製程參數決定

本章節主要是根據先前傳統 LIGBT 元件結構上的規劃，在符合耐壓規格的前提下，設計出傳統結構的 LIGBT 元件，接著再對元件進行基本特性模擬與分析，以利於後面章節的比較。在耐壓設計方面，主要是根據第三章由數學方法估算出來的參數落點範圍，並且藉由模擬使結構參數調整至最佳化，而其中調變磊晶層的尺寸參數與濃度參數便是首要步驟。以下便對耐壓設計進行說明。

由於 LIGBT 元件結構參數太多，我們會先固定某些參數，縮小變動的範圍，才能觀察出某些參數對於元件特性的影響。通常被固定的結構參數為影響性較小的參數或製程上已經確定的參數。為了方便對照，我們再把傳統 LIGBT 結構規

劃圖說明一次，如圖 5.1，而其所相對應詳細完整的尺寸參數與濃度參數列於表 5.1 與表 5.2。

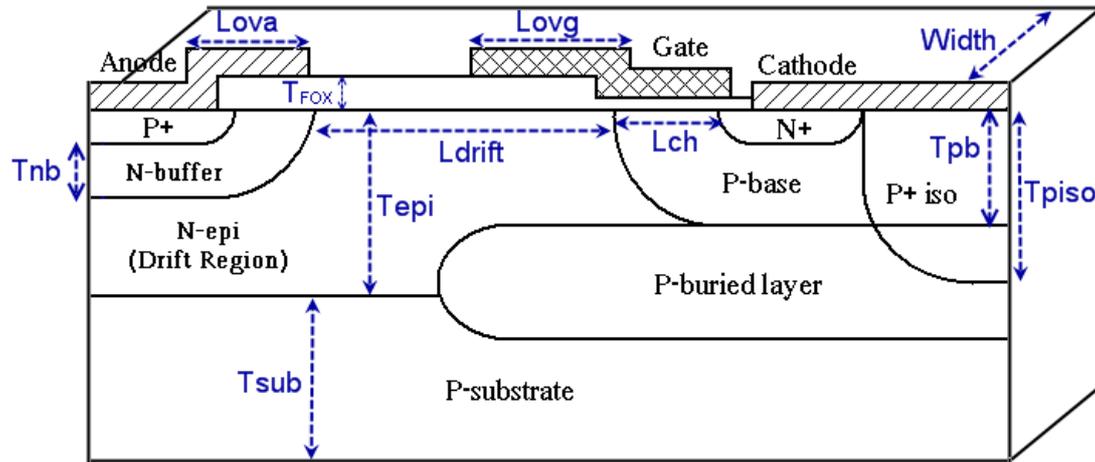


圖 5.1 LIGBT 模擬結構規劃圖

尺寸參數	數值
L_{drift}	$> 55 \mu m$ 調變
L_{ch}	$2.5 \mu m$
T_{epi}	$5 \sim 15 \mu m$ 調變
T_{sub}	$90 \mu m$
T_{psio}	$12 \mu m$
T_{pb}	$3 \mu m$
T_{nb}	$3 \mu m$
T_{n+}	$0.5 \mu m$
T_{p+}	$0.5 \mu m$
L_{ova}	$\geq 0 \mu m$ 調變
L_{ovg}	$\geq 0 \mu m$ 調變
T_{FOX}	5000 Angstrom
T_{GOX}	500 Angstrom
Width	$21.5 \mu m$

表 5.1 LIGBT 尺寸參數表

濃度參數	數值
P_{sub}	$1.78 \times 10^{14} \text{ cm}^{-3}$
N_{epi}	調變
N_{piso}	10^{18} cm^{-3}
N_{nb}	$5 \times 10^{15} \text{ cm}^{-3}$
N_{pb}	$8 \times 10^{16} \text{ cm}^{-3}$
$N_{\text{n+}}$	10^{20} cm^{-3}
$N_{\text{p+}}$	10^{20} cm^{-3}

表 5.2 LIGHT 濃度參數表

綜合以上所列出之參數，便可以開始進行相關參數對崩潰電壓特性的模擬與分析，找出符合規格的设计。

(i) 漂移區長度對崩潰電壓的影響

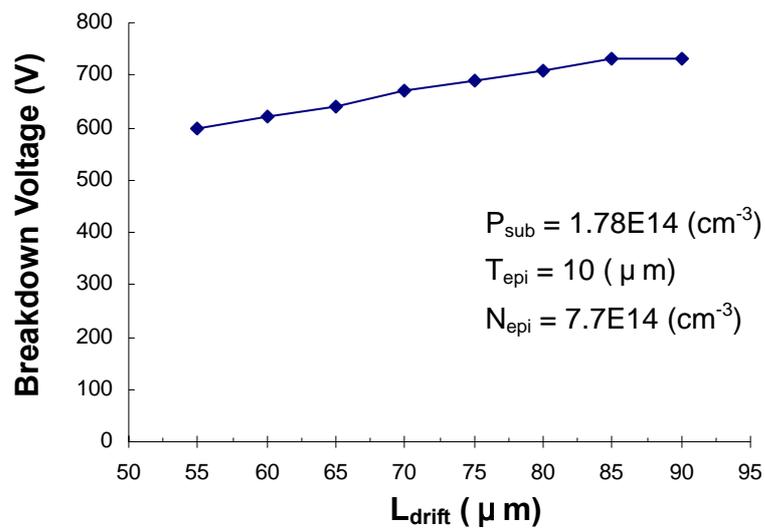


圖 5.2 漂移區長度與崩潰電壓之相關性

圖 5.2 所示為漂移區長度對元件崩潰電壓的影響。模擬結果顯示，漂移區長度越長，則崩潰電壓值越高。為了分析此現象，我們觀察其電位分布情形。在漂移區靠近陽極與陰極的地方，電位分布較為密集，而漂移區中間的地方，電位線分布較為稀疏，表示靠近陽極與陰極部分的電場比漂移區中間的電場還高。接著，當我們增加漂移區長度時，發現靠近陰極端的電位線分布密度並無改變，而漂移區中間部分的電位線分布密度則變為較稀疏，使得電位線往陽極集中。這樣的情形導致陽極端的電場上升，漂移區中間的電場稍微下降，陰極端的電場則無改變。因此，電場積分面積增加，使得崩潰電壓提高。雖然增加漂移區有助於提高崩潰電壓，然而，漂移區長度越長，導通電阻也越大，使得元件特性不佳，因此，在符合耐壓規格下，應該盡量使用較短的漂移區長度，所以此處我們選擇漂移區長度 L_{drift} 為 80um 作為基本設計。

(ii) 閘極端電極覆蓋場氧化層長度對崩潰電壓的影響

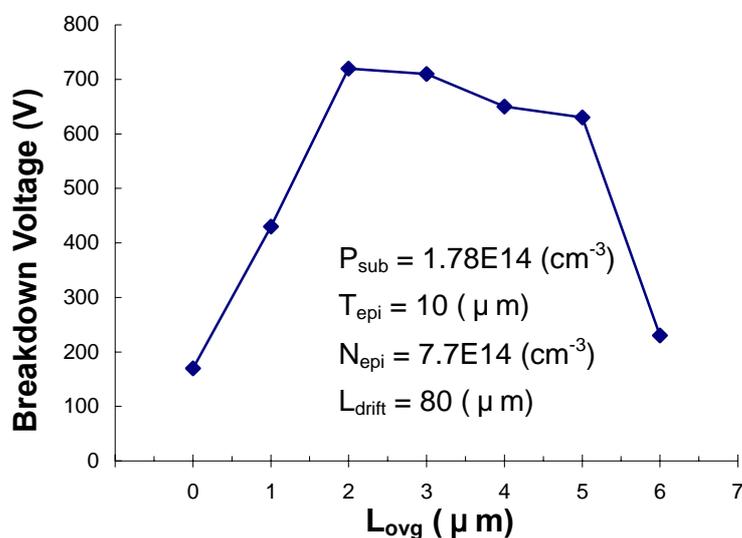


圖 5.3 閘極端電極覆蓋長度與崩潰電壓之相關性

圖 5.3 所示為閘極端電極覆蓋場氧化層 (Field Oxide) 長度對崩潰電壓影響的模擬結果，我們定義閘極端電極覆蓋場氧化層長度為 L_{ovg} 。調變電極覆蓋場氧化層長度的目標主要是避免閘極端下方 N-epi/P-base 接面空乏區電力線擁擠的情

況。當閘極端電極覆蓋場氧化層長度較短時，空乏區的曲率較大，電力線較為擁擠，導致大電場因而提早崩潰。隨著閘極端電極覆蓋場氧化層長度增加至適當長度時，緩和空乏區曲率使得電力線分布平均，提升崩潰電壓。而上述的現象即為第二章所提及的場板（Field plate）的效果。觀察模擬結果，當閘極端電極覆蓋場氧化層長度為 2~3 (μm) 之間會有最佳效果。因此，此處選擇 $L_{\text{ovg}}=2.5(\mu\text{m})$ 作為基本設計。

(iii) 陽極端電極覆蓋場氧化層長度對崩潰電壓的影響

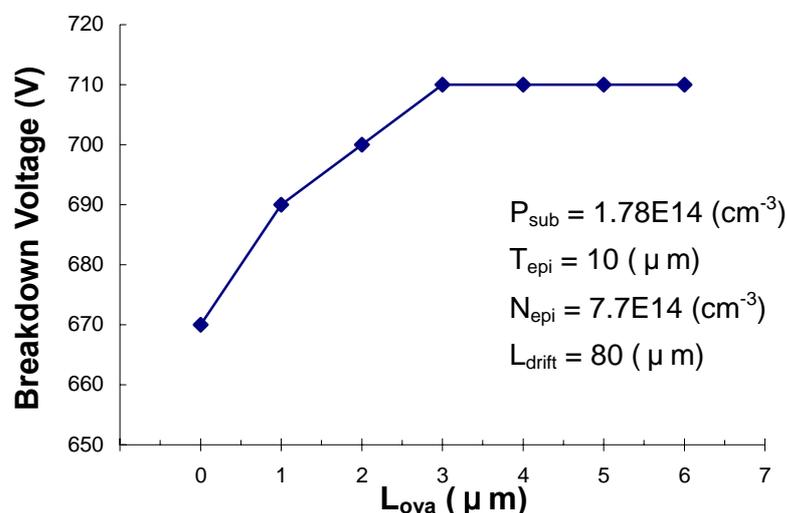


圖 5.4 陽極端電極覆蓋長度與崩潰電壓之相關性

圖 5.4 所示為陽極端電極覆蓋場氧化層長度對崩潰電壓影響的模擬結果。我們定義此覆蓋長度為 L_{ova} 。在分析漂移區長度對崩潰電壓影響的模擬結果時，提及當漂移區長度足夠長時，產生崩潰的地方便會由閘極端下方轉移至陽極端下方界面處，所以此處界面的空乏區曲率亦是應當著重的地方。因此，在陽極端也加入場板的來舒緩電力線擁擠現象。圖 5.4 所示的模擬結果顯示，若陽極端電極覆蓋場氧化層長度小於 3(μm) 時效果並不佳。因此，此處選擇 $L_{\text{ova}}=3(\mu\text{m})$ 作為基本設計。

(iv) 磊晶層厚度對崩潰電壓的影響

根據估算磊晶層厚度的結果顯示，當磊晶層濃度落在 $8 \times 10^{14} \text{ cm}^{-3}$ 附近的時，磊晶層厚度 $10(\mu\text{m})$ 附近的崩潰電壓會有較佳的表現。因此，我們以磊晶層厚度做調變，模擬其對崩潰電壓的影響，模擬結果如圖 5.5 所示。

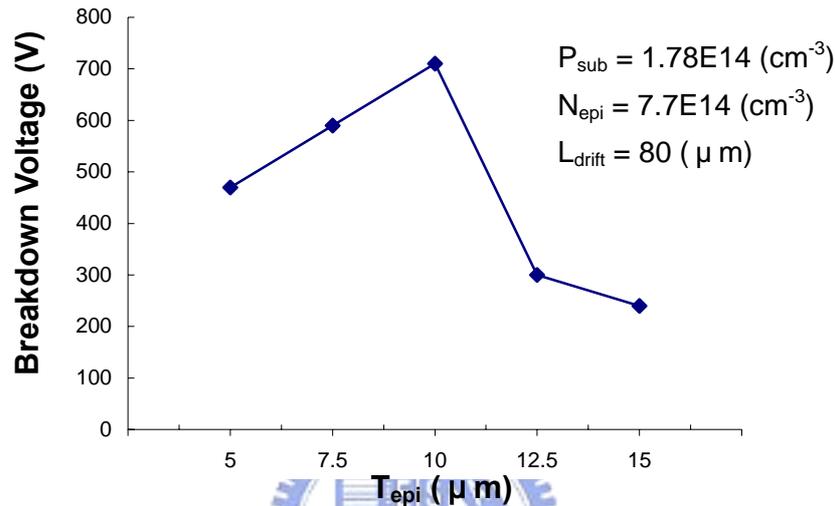


圖 5.5 磊晶層厚度與崩潰電壓之相關性

分析模擬結果於圖 5.5，在磊晶層濃度固定的情況下，當磊晶層厚度較薄時，縱向二極體的空乏區會提早佔滿磊晶層，導致陽極接面電場過大而提早崩潰。隨著磊晶層厚度的提升至適當的厚度時，橫向空乏區受到縱向空乏區增強的情況下，使得橫向表面電場形狀改變，降低了電場峰值，此時的磊晶層被完全的空乏，有良好的 RESURF 現象，所以崩潰電壓較高。若持續提升磊晶層厚度，則縱向空乏區對橫向空乏區的作用降低，空乏區無法被完全空乏，導致橫向電場並未有明顯的降低，因此在閘極下方的接面處便容易發生崩潰。

由於磊晶層厚度與濃度在空乏的時候有相當大的關係，因此，固定的濃度下較不容易看出其他厚度對崩潰電壓的影響。有鑑於此，我們個別針對 $5(\mu\text{m})$ 、 $10(\mu\text{m})$ 與 $15(\mu\text{m})$ 等磊晶層厚度做濃度上的調變，模擬其對崩潰電壓的影響。模擬結果如圖 5.6、圖 5.7 與圖 5.8 所示。

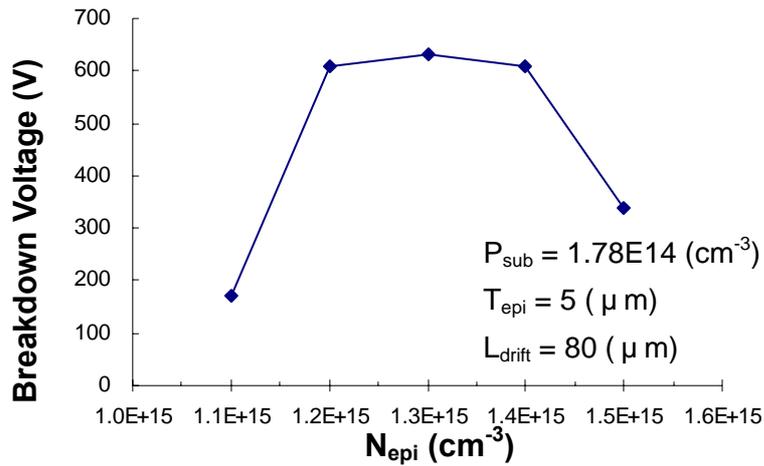


圖 5.6 磊晶層厚度 5(μm)與崩潰電壓之相關性

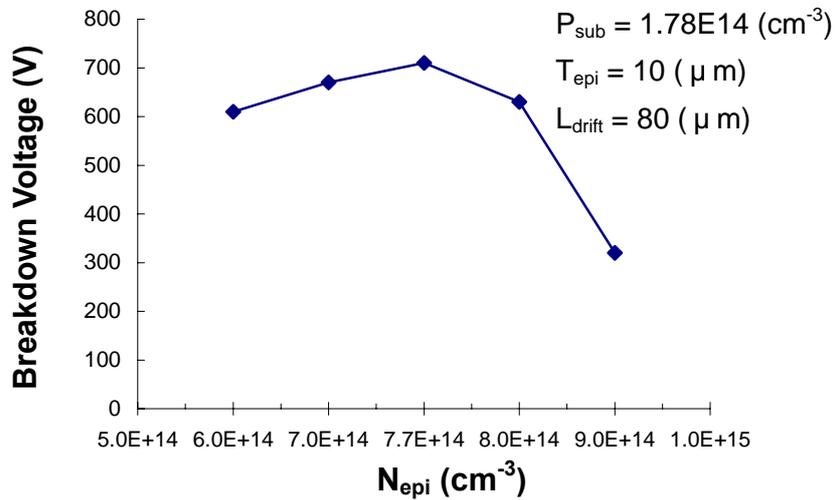


圖 5.7 磊晶層厚度 10(μm)與崩潰電壓之相關性

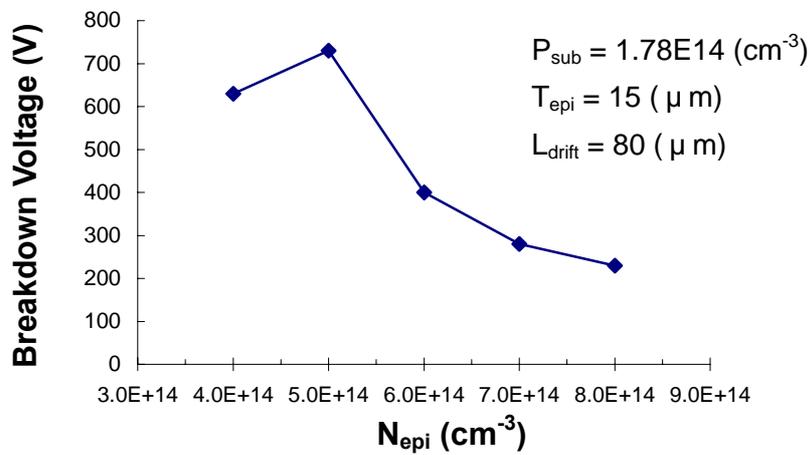


圖 5.8 磊晶層厚度 15(μm)與崩潰電壓之相關性

由圖 5.6 至圖 5.8 的模擬結果顯示，當磊晶層厚度增加時，其相對應的磊晶層濃度偏低，而磊晶層厚度減少時，磊晶層濃度便要提高，才有較佳的崩潰電壓表現。這是因為磊晶層在較厚的情況下，需要較低的磊晶層濃度低，才有機會被完全空乏，而在磊晶層較薄的情況下，需要較高的磊晶層濃度，才不會被提早空乏。因此，過低的磊晶層濃度會使得磊晶層提早被空乏，陽極端的接面電場會提早達臨界電場而產生崩潰。若磊晶層濃度過高時，空乏區便無法延伸整個磊晶層，造成縱向空乏區對橫向空乏區的增強作用不大，使得閘極下方接面的電場無法有效被降低，使得崩潰點均落於此接面附近。

綜合模擬結果圖 5.5 至圖 5.8，觀察可以得知，若以磊晶層厚度為 $5(\mu\text{m})$ 作為基本設計，則崩潰電壓表現稍嫌不夠，以及磊晶層厚度較薄受到製程飄移影響也較大。磊晶層厚度為 $10(\mu\text{m})$ 以及磊晶層厚度為 $15(\mu\text{m})$ 時，其崩潰電壓均可達耐壓規格。由於較高的磊晶層濃度有較低的阻值，所以基於導通電阻的考量，為了盡量避免提高導通電阻，在符合耐壓規格範圍內，我們選擇磊晶層厚度 $10(\mu\text{m})$ 作為基本設計。



(v) 磊晶層濃度對崩潰電壓的影響

決定磊晶層厚度之後，我們接著調變磊晶層濃度來觀察濃度對崩潰電壓之影響。其模擬結果如圖 5.9 所示。在磊晶層濃度較低與較高的地方，崩潰電壓大幅下降。當磊晶層濃度較高的時候，觀察其崩潰點位置，均落在閘極下方 N-epi/P-base 接面處，這是因為磊晶層的空乏區不容易延伸，無法有效的降低橫向表面電場強度，所以在磊晶層還未被完全空乏時，N-epi/P-base 接面電場強度已經過大而先行崩潰。當磊晶層濃度偏低的時候，其崩潰點轉移至陽極下方 N-buffer/N-epi 接面處，這是因為磊晶層濃度較低時，磊晶層提早被完全空乏，使得最大電場落於 N-buffer/N-epi 接面處而造成崩潰。

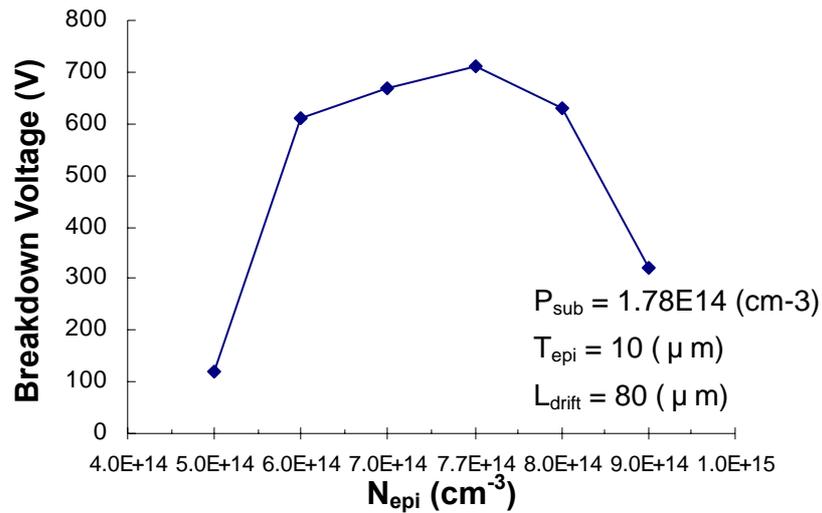


圖 5.9 磊晶層濃度與崩潰電壓之相關性

分析圖 5.9 模擬結果之後，觀察結果走向可以發現，磊晶層濃度落於 $7 \times 10^{14} cm^{-3}$ 至 $8 \times 10^{14} cm^{-3}$ 之間有最佳的崩潰電壓表現，所以此處選擇此區段作為基本設計。



5.1.2 導通電阻模擬與分析

由於磊晶層的阻值是導通電阻主要成份，因此磊晶層參數的變動便會影響到導通電阻。所以接著我們探討磊晶層濃度、厚度以及漂移區長度對於導通電阻的影響。

(i) 磊晶層濃度對導通電阻的影響

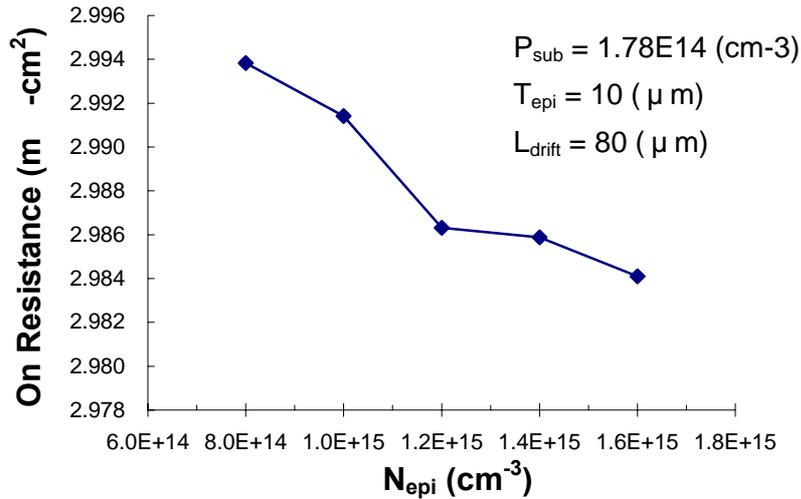


圖 5.10 磊晶層濃度與導通電阻之相關性

圖 5.10 所示為磊晶層濃度變動對導通電阻影響的模擬結果。觀察得知，當磊晶層濃度提高，導通電阻便隨之下降。因此，良好的元件設計應當避免導通電阻過大，所以使用較高的磊晶層濃度。不過高磊晶層濃度不利於 RESURF 現象形成，使得崩潰電壓不容易提升。所以在符合規格情況下，在兩者之間取得最佳平衡是需要多留意的地方。

(ii) 磊晶層厚度對導通電阻的影響

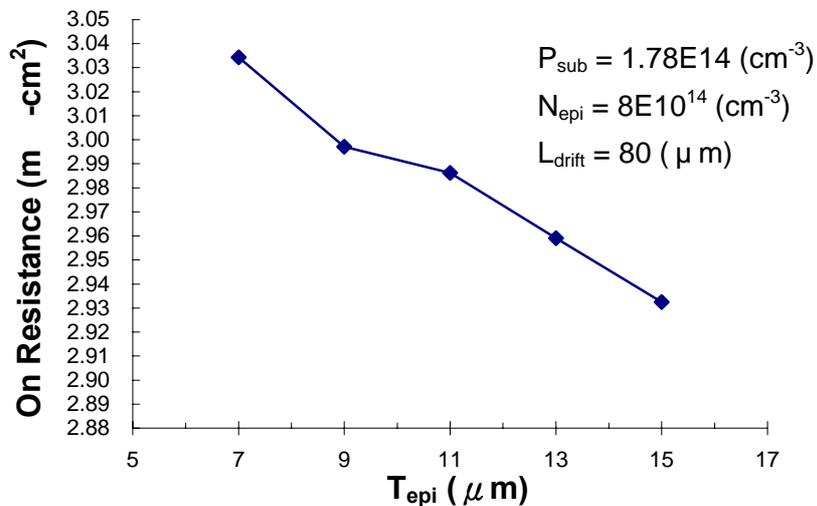


圖 5.11 磊晶層厚度與導通電阻之相關性

圖 5.11 所示為磊晶層厚度對導通電阻影響的模擬結果。觀察得知，當磊晶層厚度增加，導通電阻值則下降。根據 $R = \rho \cdot \frac{L}{T \cdot W}$ ，其中 ρ 為電阻係數，L 為電阻之長度，T 為電阻之厚度，W 則為電阻寬度。所以可以清楚看到，由於導通電阻與電流流過之截面積成反比，所以當磊晶層變薄時，導通電阻也隨之上升。

(iii) 漂移區長度對導通電阻的影響

圖 5.12 所示為漂移區長度對導通電阻影響的模擬結果。當漂移區長度增加時，導通電阻隨之增大。同樣可以根據 $R = \rho \cdot \frac{L}{T \cdot W}$ 來說明導通電阻與磊晶層長度是正比的關係。值得注意的是，當漂移區長度增加時，不僅導通電阻加大，另外也會造成元件關閉時間增加。因此，在符合崩潰電壓規格情形下，應當盡量縮短漂移區長度。

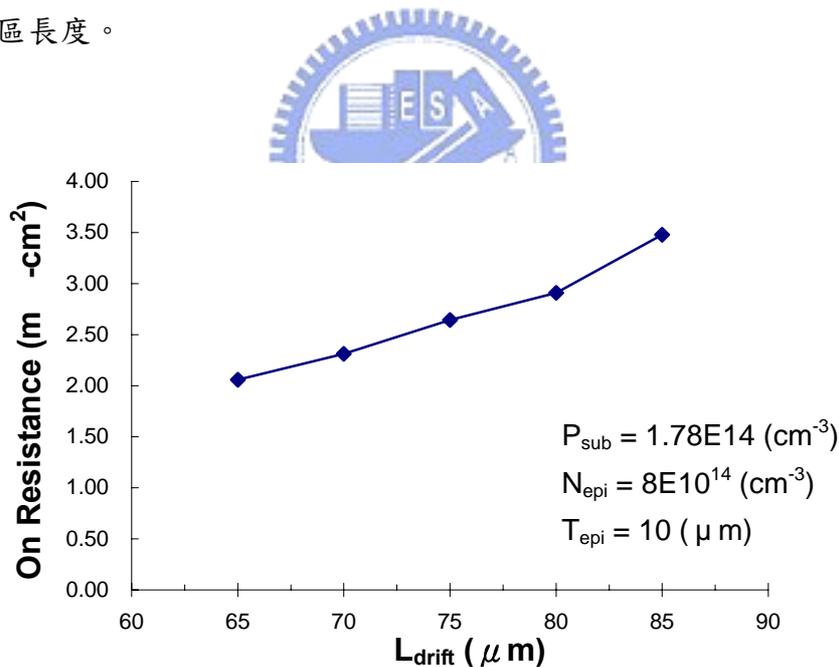


圖 5.12 漂移區長度與導通電阻之相關性

綜合以上的分析，配合製程與規格，我們可以列出整理後的參數表格 5.3，表格中所列的參數為調變後最佳參數值。

結構參數	數值
L_{drift}	$80\mu\text{m}$
T_{epi}	$10\mu\text{m}$
L_{ova}	$3\mu\text{m}$
L_{ovp}	$2.5\mu\text{m}$
N_{epi}	$7 \times 10^{14} \sim 8 \times 10^{14} \text{ cm}^{-3}$
P_{sub}	$1.78 \times 10^{14} \text{ cm}^{-3}$

表 5.3 LIGBT 設計參數結構表

在確定 LIGBT 的結構參數之後，我們設定閘極電壓 V_G 為 0V（關閉閘極電壓），而元件兩端跨壓為 710V，觀察元件表面電場的分布情況，如圖 5.13 的電場模擬結果。由模擬結果可以很清楚的看到，元件的表面電場呈現雙峰的形狀，左邊峰值為 N-buffer/N-epi 的接面電場峰值，右邊峰值 N-epi/P-base 的接面電場峰值，而兩邊峰值均不超過其各自接面的臨界電場。由模擬圖形可以看出，左邊的臨界電場小於右邊的臨界電場，這是因為陽極端（左邊）接面的空乏區曲率較閘極端（右邊）接面大，電力線分布較為擁擠，使得陽極端接面的臨界電場略小於閘極端的接面電場。其電場積分便是承受電壓的大小，其電位分布模擬結果如圖 5.14 所示。左邊陽極端為最高電位，往右邊隨漂移區長度增加而遞減。圖 5.15 所示為空乏區分布模擬結果，觀察可以發現元件在未崩潰之前，整個磊晶層已經被完全空乏，達到 RESURF 的效果，因此可以承受高電壓，而虛線部份則為空乏區分布的分界。

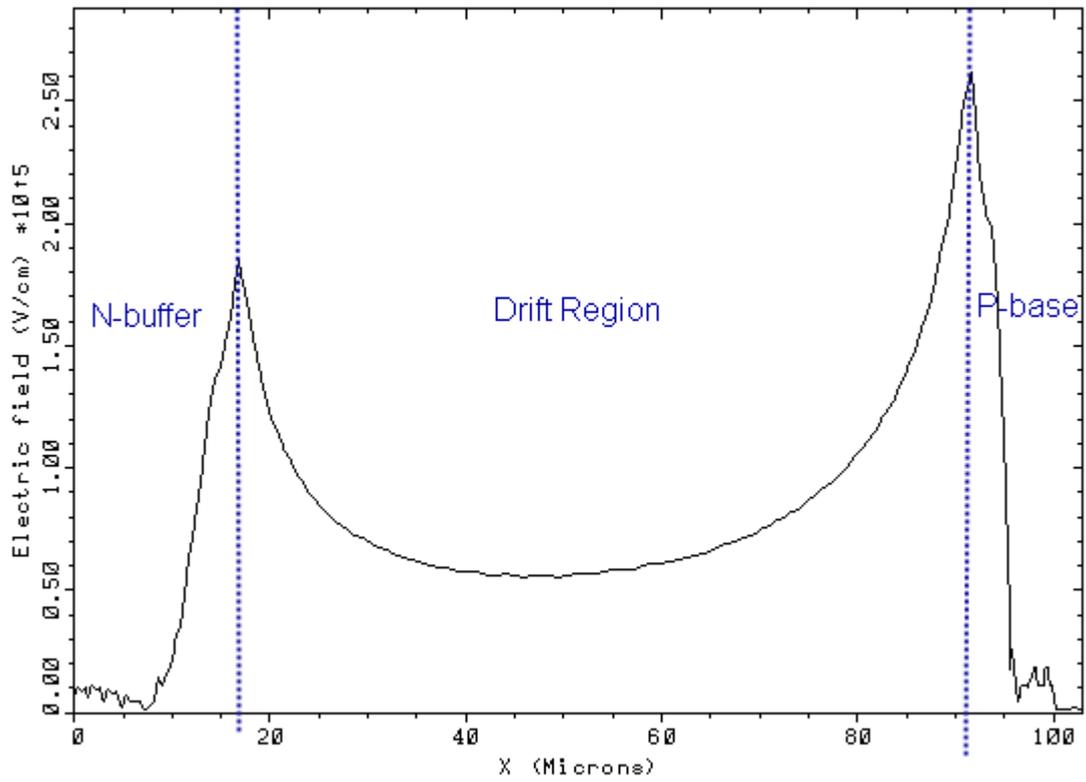


圖 5.13 RESURF 現象時的表面電場分布情形

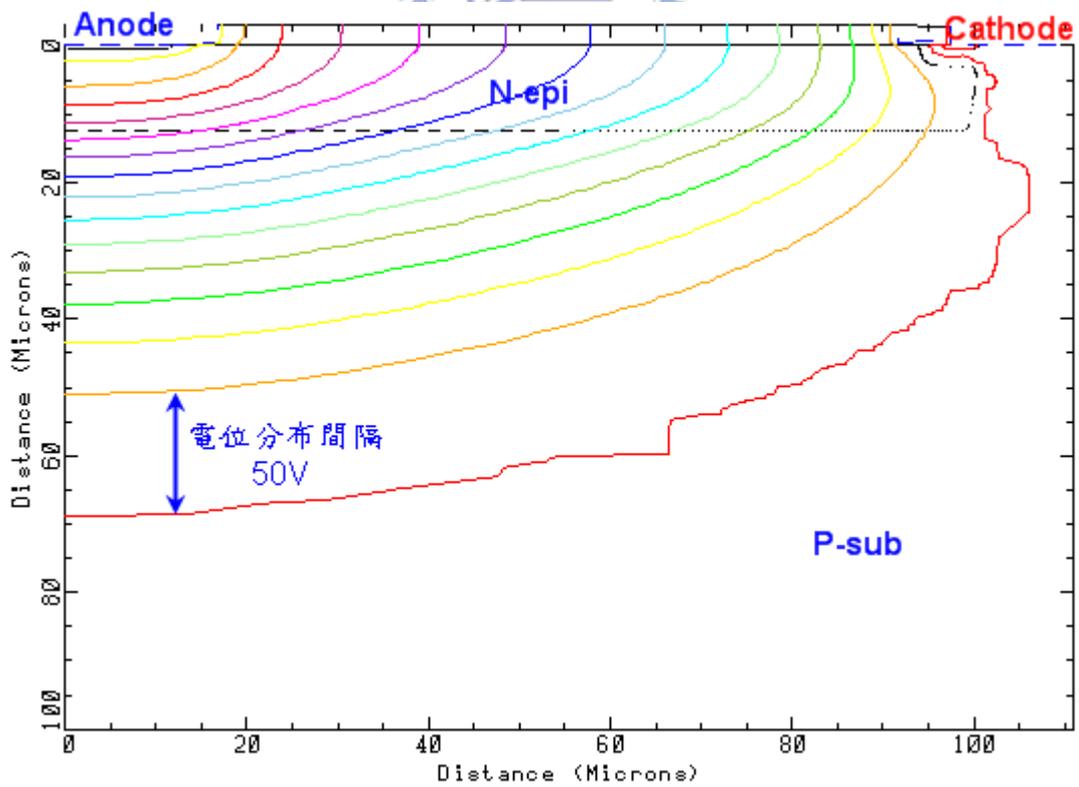


圖 5.14 RESURF 現象時元件電位分布情形

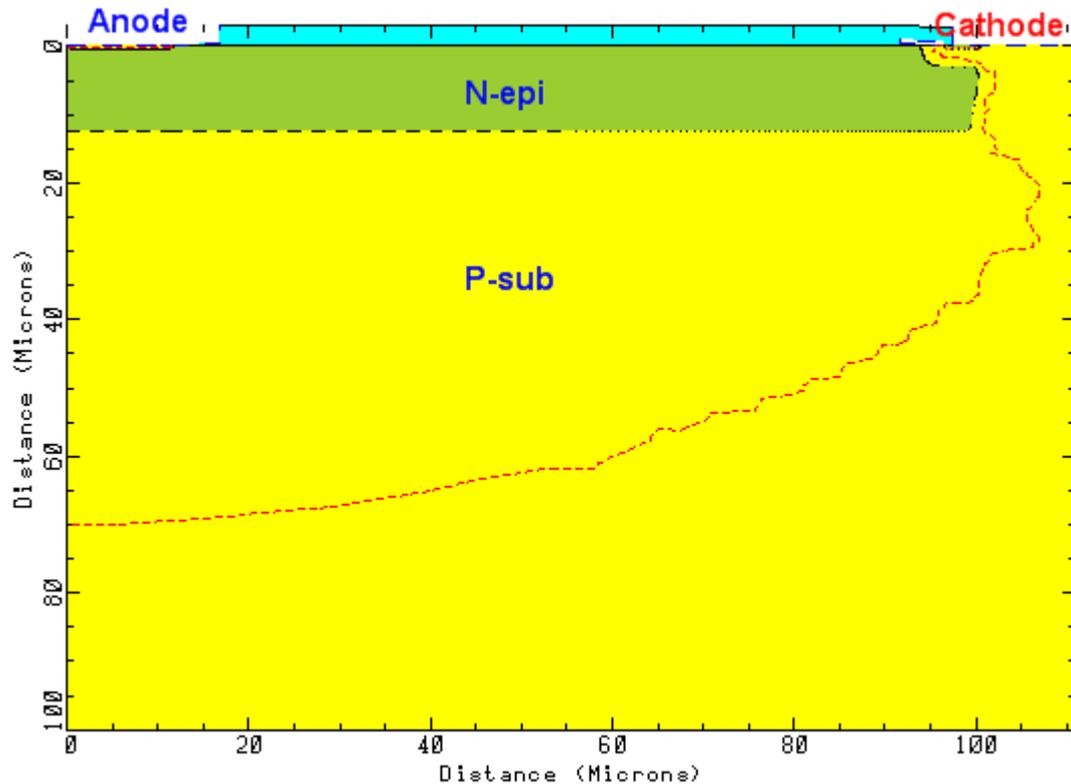


圖 5.15 RESURF 現象時的空乏區分布情形

5.1.3 元件導通特性模擬與分析

在傳統 IGBT 元件耐壓方面的設計達成，我們接著模擬元件導通方面的基本特性與切換特性（關閉特性）。

在導通特性方面，我們設定閘極電壓 V_G 為 15V，陽極電壓 V_A 為 5V 的時候，觀察其臨界電壓 V_{th} 的特性，如圖 5.16 所示。模擬結果顯示，延伸曲線最大斜率的切線所近似的閘極電壓定義為 V_{th} ，所以 V_{th} 值約為 1.7V。由於通道形成與 P-base 層的濃度有相關性，當 P-base 層濃度較高時，通道反轉不易。所以較高濃度的 P-base 層會使 V_{th} 值上升。

圖 5.17 為 I-V 特性曲線圖，設定條件為閘極電壓 V_G 等於 15V，導通電流達某值後會有 Snap-back 的現象，這樣因為電流流經 N^+ 陰極下方的區域時，產生足夠壓降，使寄生的 NPN 電晶體導通，並且與 IGBT 本身的 PNP 電晶體形成正回授的效果，造成元件通過大電流而發生閃鎖效應（Latch up）。

圖 5.18 則為不同閘極電壓下的 I-V 特性圖。此處設定 V_G 分別為 5V、7.5V、10V、12.5V 與 15V。由圖中可以看到，當陽極電壓不高時，元件的電流並不大，但是當偏壓持續升高的時候，電流便會急速上升。這是因為 LIGBT 等效成 MOSFET 與 BJT 的組合，通道由於閘極電壓的關係已經形成，所以當元件處於低偏壓時，通道便開始導通電流，而此電流用來驅動 BJT 的基極（即漂移區），此時為 MOSFET 導通狀態。電流隨著偏壓升高而增大，當電流足夠大至使 P^+ 陽極/N-epi 接面產生順偏時，大量的電洞便由 P^+ 陽極注入漂移區中，此時 LIGBT 才算導通，而此時的電壓定義為 Onset Voltage，記為 V_{onset} 。當陽極對漂移區注入少數載子時，會對漂移區產生傳導調變的效應，使漂移區原本的高阻值大幅下降，造成導通電阻也大量的下降，因此，使得元件可以導通大電流。所以從圖中可以觀察出，當電流急劇上升的時候，便是陽極注入電洞，即 LIGBT 導通的時候。另外，當閘極電壓 V_G 增加時，對通道形成越有利，所以導通電流也會增加。

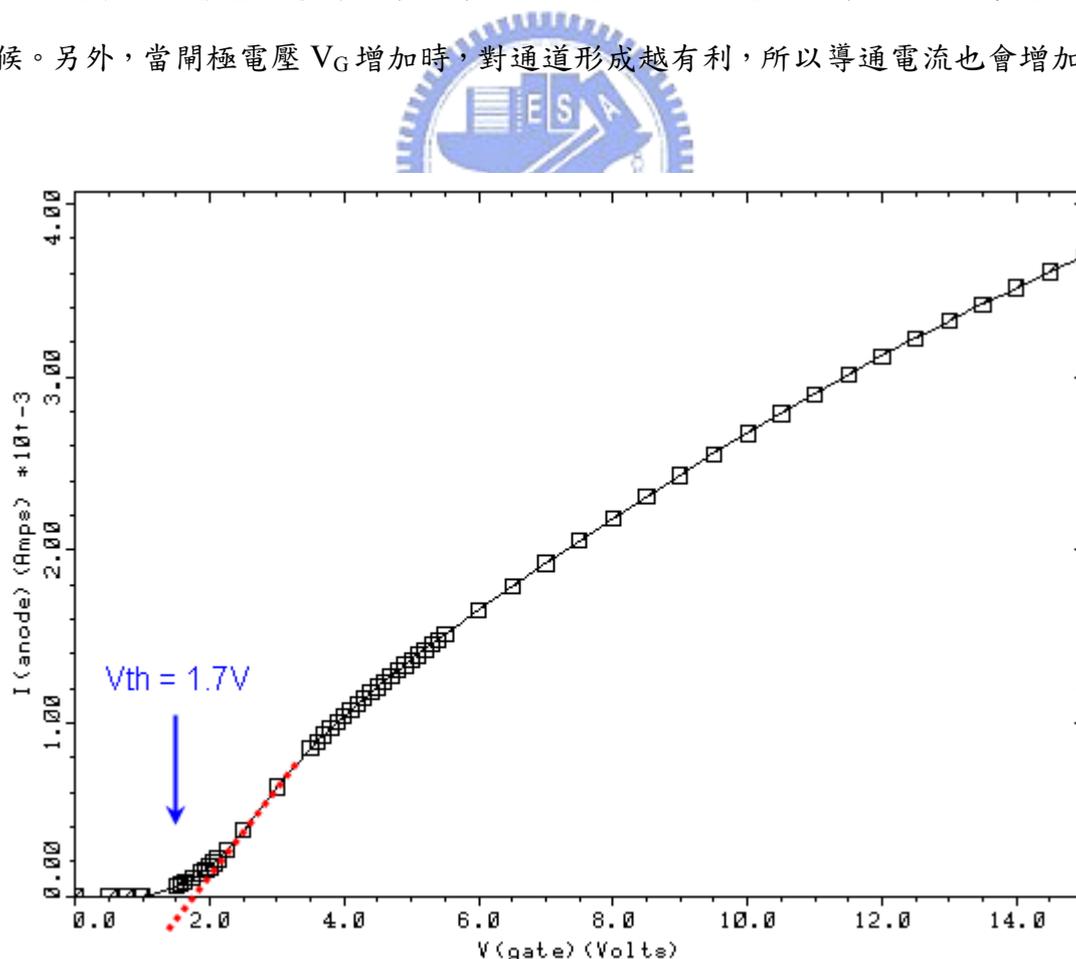


圖 5.16 傳統 LIGBT 臨界電壓 V_{th} 特性曲線圖

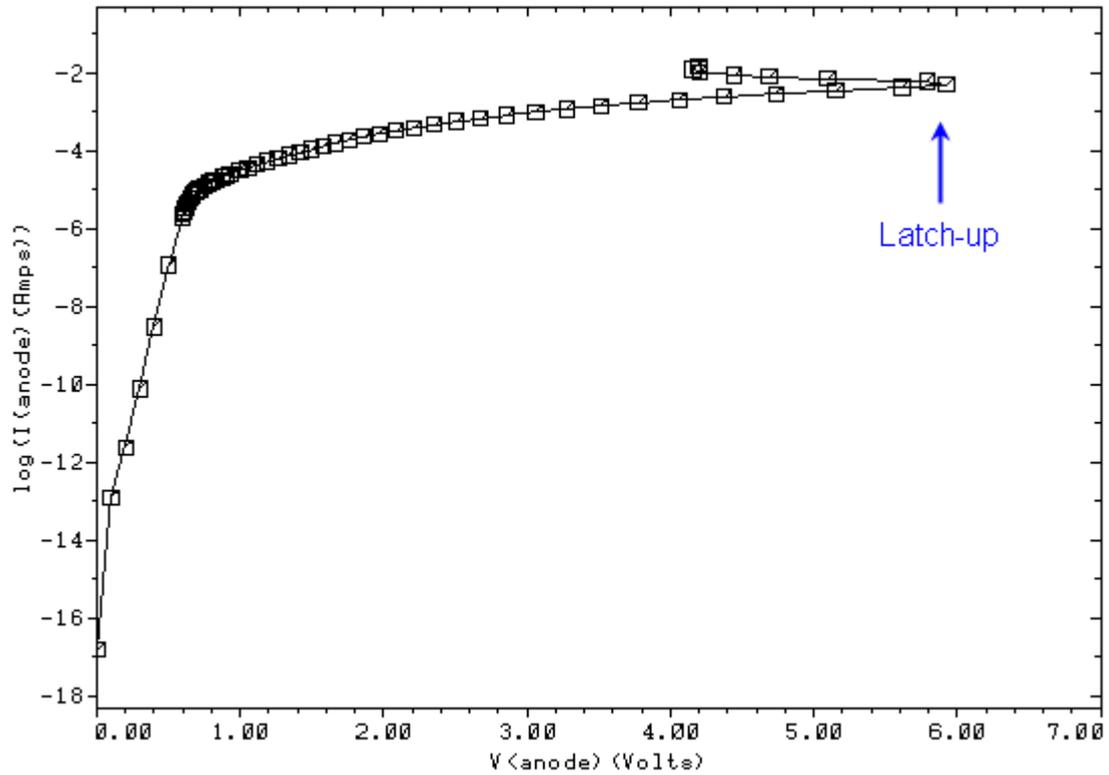


圖 5.17 傳統 LIGBT 的 I-V 特性曲線圖

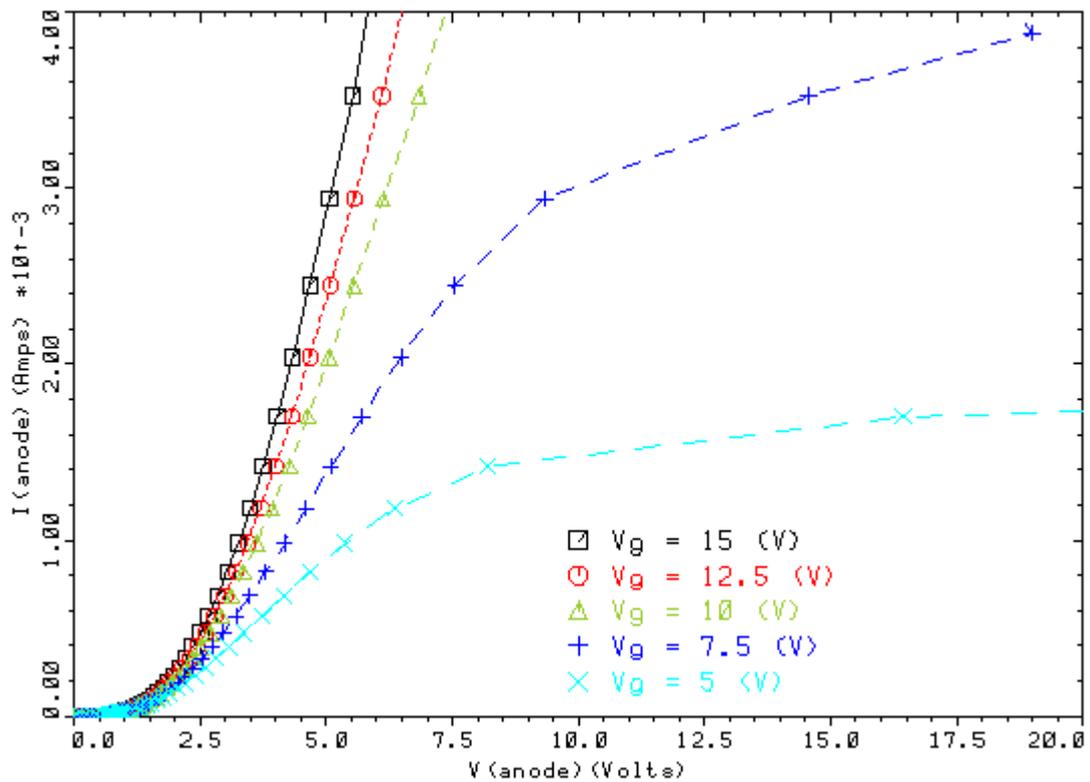


圖 5.18 傳統 LIGBT 不同 V_G 的 I-V 特性曲線圖

5.1.4 元件切換特性模擬與分析

在切換特性的方面，我們利用切換電路來模擬切換特性，如圖 5.19 (a) 所示。其中 VDD 為 20V， R_a 為閘極前端的電阻 1k， R_b 為負載電阻 65k，我們從閘極端輸入波形來觀察陽極端電流的情形。輸入的波形如圖 5.19 (b) 所示。其中 $T_d=10\mu s$ ， $T_r=5ps$ ， $T_p=100\mu s$ ， $T_f=5ps$ ， $T_{per}=350\mu s$ ， $V_1=0V$ ， $V_2=15V$ 。

由切換電路模擬得到的結果如圖 5.20 至圖 5.22，圖 5.20 為閘極端輸入電壓波形圖。圖 5.21 為元件陽極電流變化情形。觀察電流關閉的部分可以發現會有延遲的現象。為了更清楚的觀察元件關閉時，陽極端電流的延遲情形，我們對電流關閉時的部分放大，如圖 5.22 所示。觀察可以發現，在元件關閉的瞬間，電流會瞬間下降許多，這是因為通道消失的緣故。在此之後，陽極電流便會持續一段時間，然後才慢慢降低至消失。這是因為 LIGBT 元件在關閉時，內部殘留的少數載子只能靠複合與擴散的方式慢慢消退，因此在這一段時間內電流下降較為緩慢，這樣的情況稱為曳尾（Current tail）的效應。

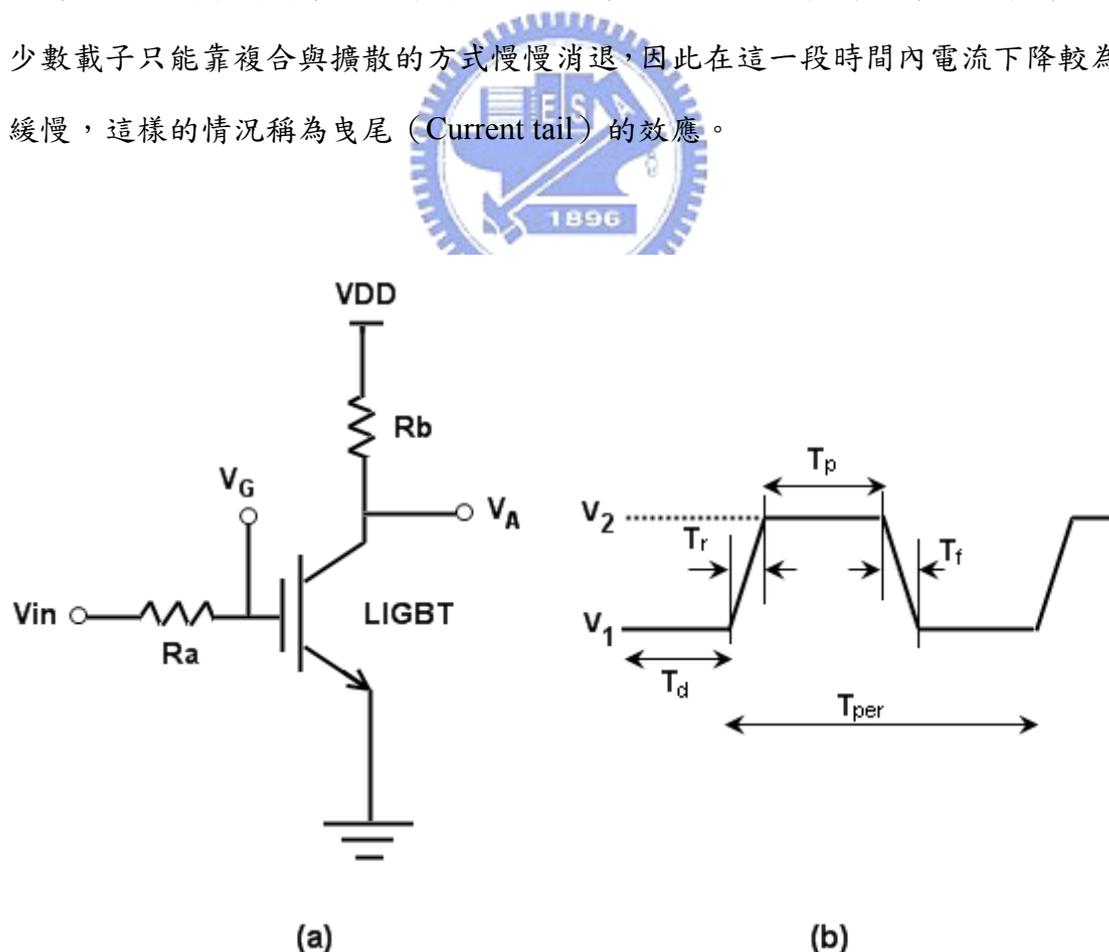


圖 5.19 (a) 切換電路圖 (b) 閘極電壓輸入波形定義圖

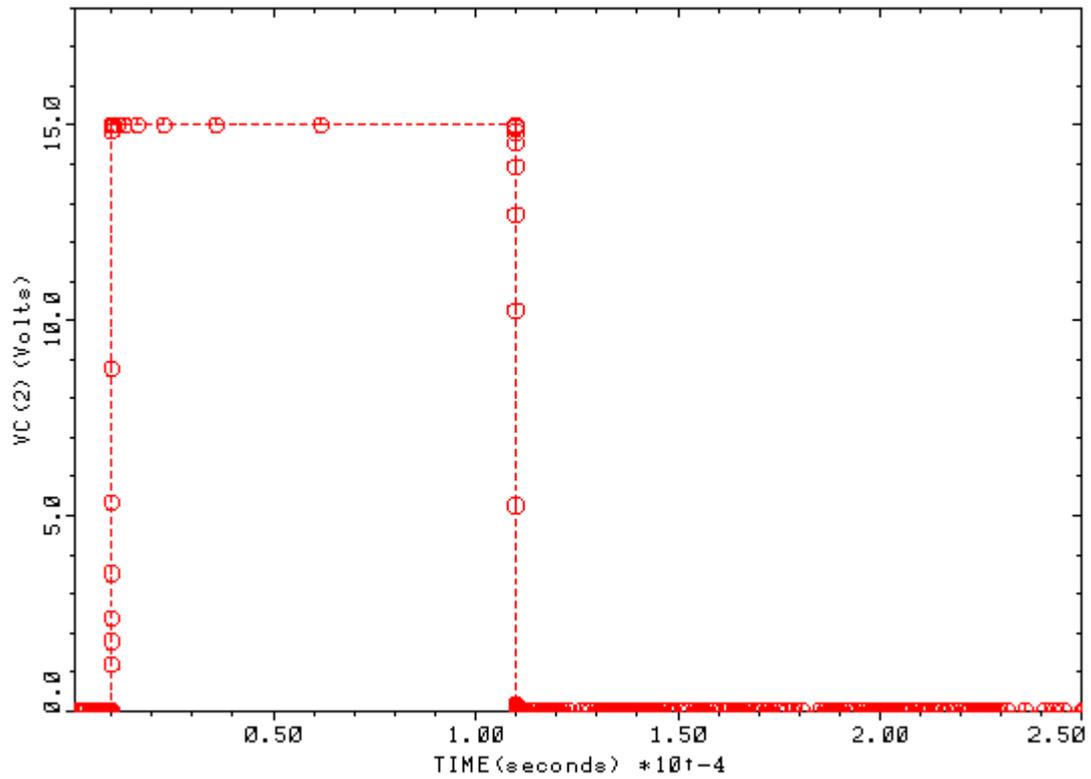


圖 5.20 閘極電壓輸入波形圖

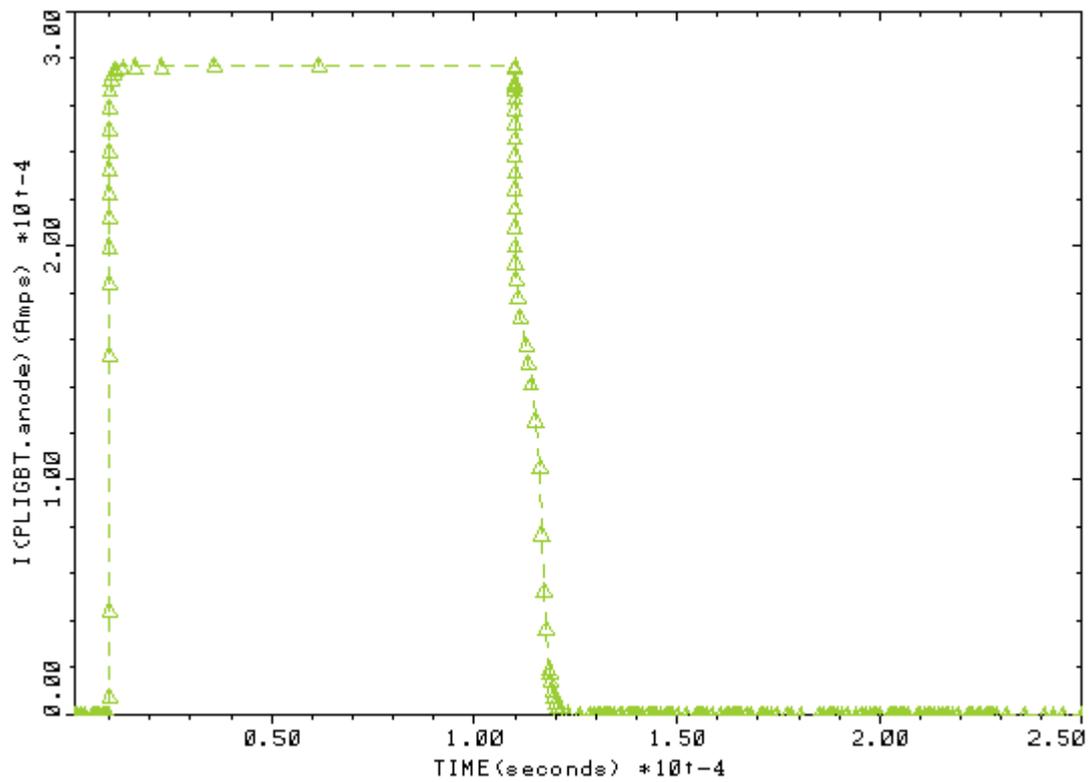


圖 5.21 陽極端切換電流波形圖

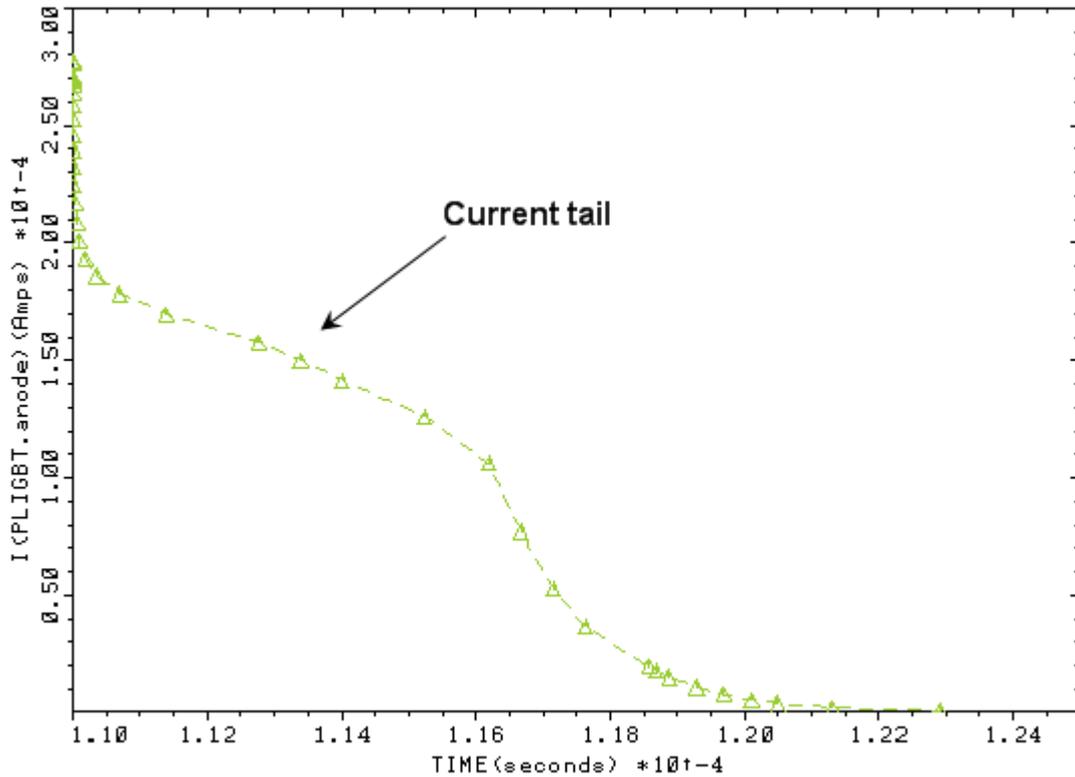


圖 5.22 傳統 IGBT 元件關閉時電流波形圖

整理前面對傳統 IGBT 結構的模擬結果，我們可以歸納成表格 5.4。

BV (V)	710
R_{on} ($m\Omega\text{-cm}^2$)	2.90
Turn-off Time (μs)	13.2
V_{onset} (V)	1.5

表 5.4 傳統 IGBT 結構模擬結果表

5.2 IGBT 結構改善的模擬與分析

在前一節裡，我們找出傳統 IGBT 結構最佳設計，並且模擬其基本特性。接著，我們針對元件關閉時間緩慢的缺點來改進元件結構，分別為陽極短路結構與間斷式陽極結構。兩者均是在陽極端加入 N^+ 區域來解決元件關閉時少數載子

殘留的情形，但卻往不同結構方向發展。在第四章時，我們在圖 4.2 規劃陽極短路結構，圖 4.6 規劃間斷式陽極結構。在這兩種改進結構裡，我們定義陽極端 P^+ 長度為 L_p ，陽極端 N^+ 長度為 L_n 。一般來說，我們經常使用兩者的比值 (L_p/L_n) 的變動來觀察對特性的影響。以下我們便對這兩種改進結構進行模擬與分析。

5.2.1 陽極短路結構模擬與分析

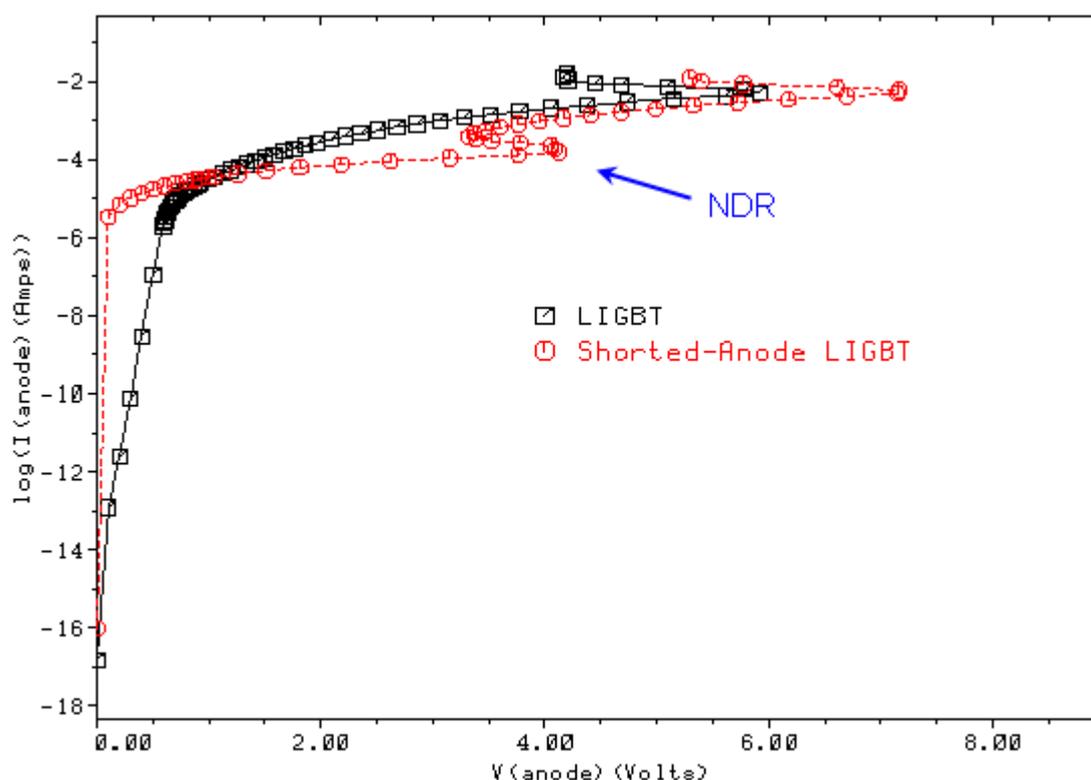


圖 4.23 陽極短路結構的 I-V 特性曲線圖

陽極短路結構如圖 4.2 所示，我們設定陽極端 P^+ 長度為 L_p ，其值為 $20\mu\text{m}$ ，陽極端 N^+ 長度為 L_n ，其值為 $1.5\mu\text{m}$ 。圖 5.23 所示為陽極短路結構的 I-V 特性曲線圖，陽極短路結構在陽極偏壓約 4V 附近的時候，會有負電阻的現象。這是因為，流過 P^+ 陽極下方的電流造成足夠的壓降，使 P^+ 陽極/N-epi 接面順偏，電洞便從陽極注入漂移區，產生傳導調變的作用。此時，漂移區阻值會調降，使得元件跨壓減小，相對使陽極端接面的順偏跨壓加大，陽極注入更多的電流，形成圖

中顯示的負電阻區域，而此時陽極短路結構才算導通。模擬結果顯示，陽極短路結構需要較高的 Onset voltage V_{onset} 。因此，在同樣的電壓下，陽極短路結構的導通電流較小，這也使得發生閃鎖效應時的電壓稍微增加。由於兩種結構的 P-base 層結構參數均相同，其阻值亦相同，因此，閃鎖電流在同個量值。

圖 5.24 所示為陽極短路結構在不同 V_G 時的 I-V 特性曲線圖，我們設定 V_G 分別為 5V、7.5V、10V、12.5V 與 15V，觀察可以看到，當 V_G 增加時，導通電流亦增加。而由於 V_G 較小的時候，導通電流較小，需要比原本稍大的電壓才能導通，使得 V_{onset} 稍微增加。圖 5.25 所示為陽極短路結構在不同 L_p 對 L_n 的比值（即 L_p/L_n ）時的 V_{onset} 比較圖，此處我們固定 L_p 為 $20\mu\text{m}$ ，調變 L_n 分別為 $1.5\mu\text{m}$ 與 $5\mu\text{m}$ （即 L_p/L_n 值為 12 與 4）來觀察對 V_{onset} 的影響。結果顯示，當 L_n 較大的情況下， V_{onset} 較大。這是因為 L_n 增加時，可以吸引更多的電流，導致流經 P^+ 陽極下方的電流減少，因此需要較大的 V_{onset} 。

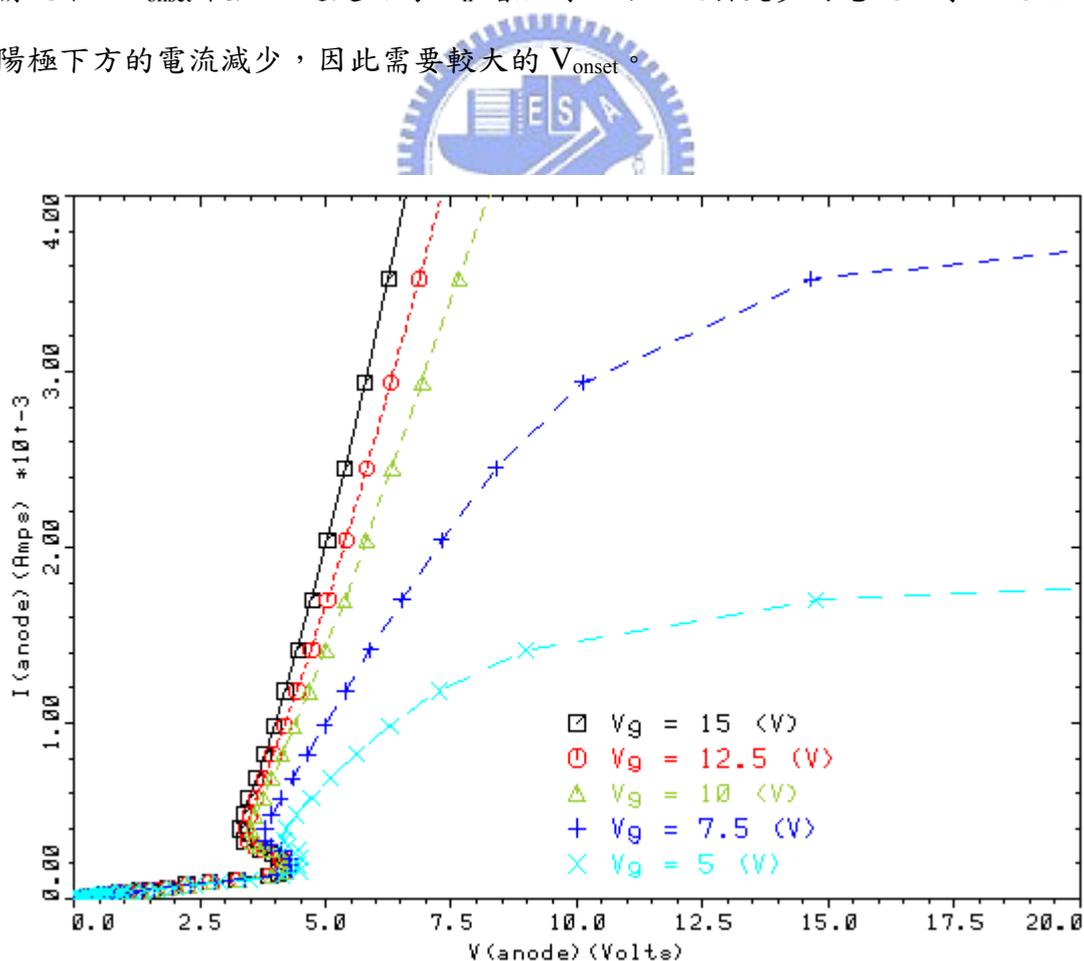


圖 5.24 陽極短路結構在不同 V_G 時的 I-V 特性曲線圖

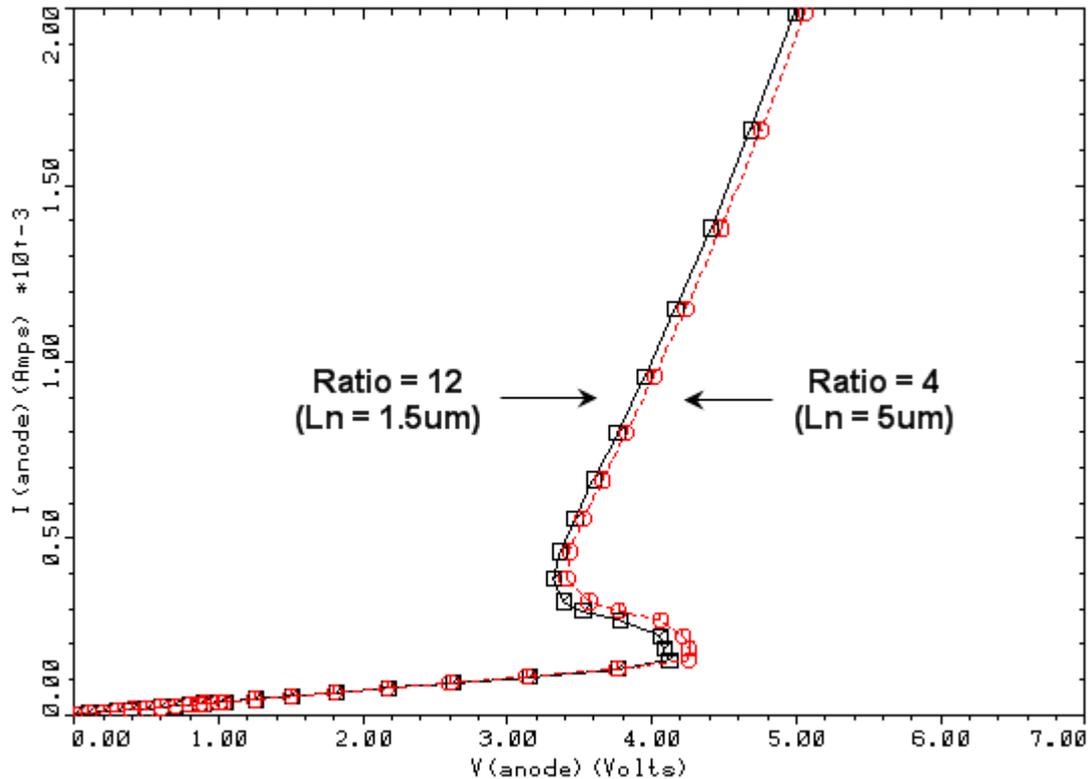


圖 5.25 陽極短路結構在不同 L_n 值時的 Onset Voltage

圖 5.26 為陽極短路結構在元件關閉時的陽極端電流的變化情形。觀察可以發現，傳統結構在元件關閉時延遲了一陣時間，這是因為內部殘留的少數載子只能靠複合與擴散來消退，而在陽極端加入了 N^+ 區域的陽極短路結構，給了電子移走的路徑，明顯的改善了傳統結構在關閉時間上延遲的缺點，改善的量級則是從幾十微米 (μs) 加快到幾百奈米 (ns)。圖 5.27 為不同的 L_p 對 L_n 的比值 (即 L_p/L_n) 時，元件關閉時陽極端的電流變化情形，設定條件為 $L_p=20\mu m$ ， L_n 分別為 $1.5\mu m$ 與 $2.5\mu m$ (即 L_p/L_n 值為 12 與 8)。結果顯示，較大的 L_n 有較快的關閉時間，這是因為，陽極端的 N^+ 區域越大，對移除電子的速度越快，加快了元件關閉的速度。另外，值得注意的是，在圖 5.27 中，雖然在陽極端提供了 N^+ 區域來移除電子，但是電流下降至某值時，依然會持續一小段時間，曳尾效應 (Current tail) 仍然存在。這是因為在移除電子的時候，電流會經過 P^+ 陽極下方，使得元件在關閉後，電洞依然注入漂移區，導致元件關閉時間稍微延遲，如圖 5.28 與圖 5.29 所示。而這樣的現象會隨著 L_n 的增加而逐漸消失。

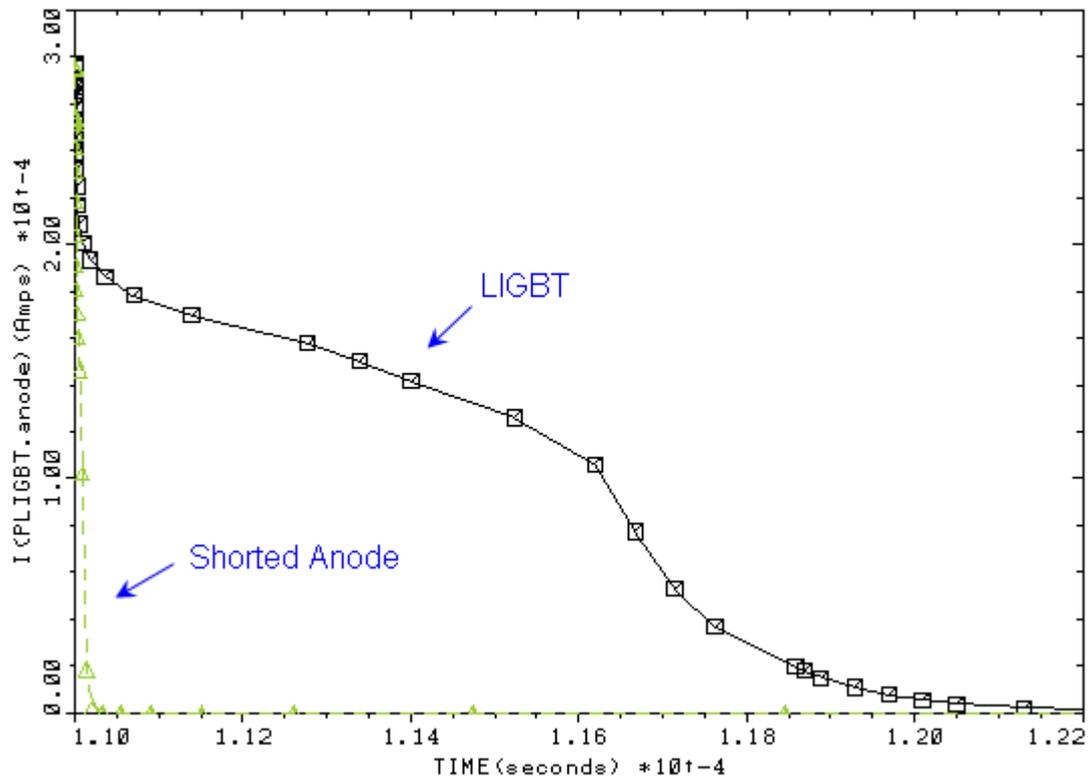


圖 5.26 陽極短路結構在元件關閉時電流曲線圖

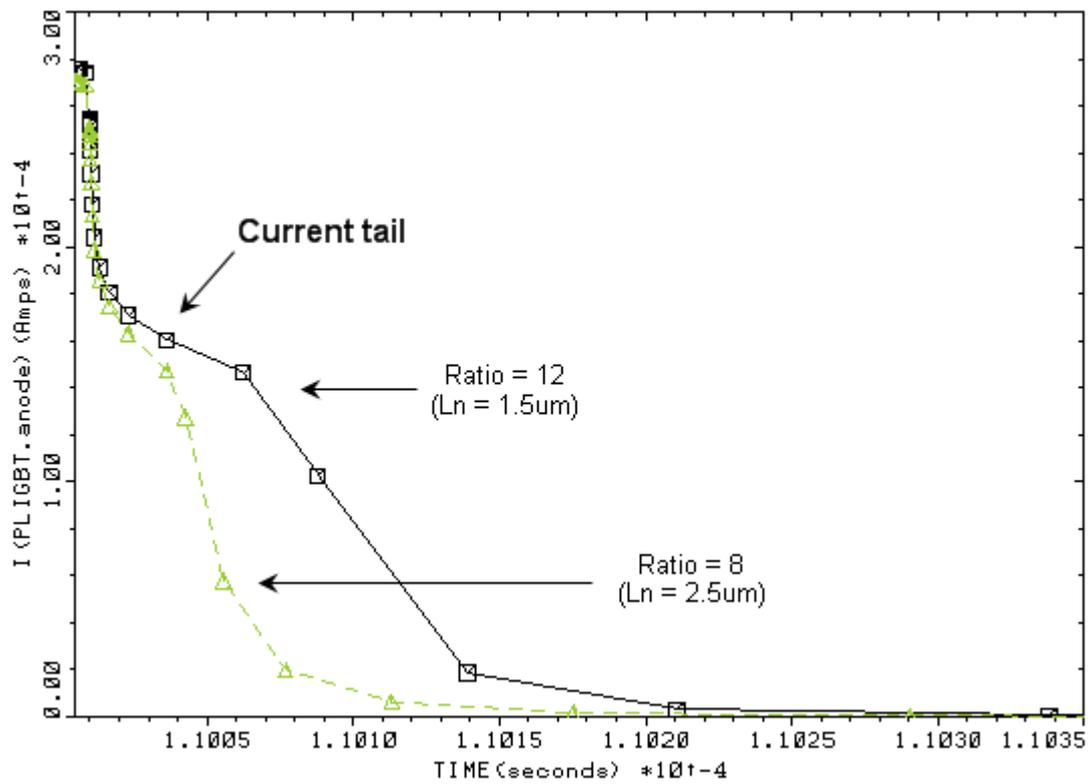


圖 5.27 陽極短路結構在不同 L_n 值時的關閉電流曲線圖

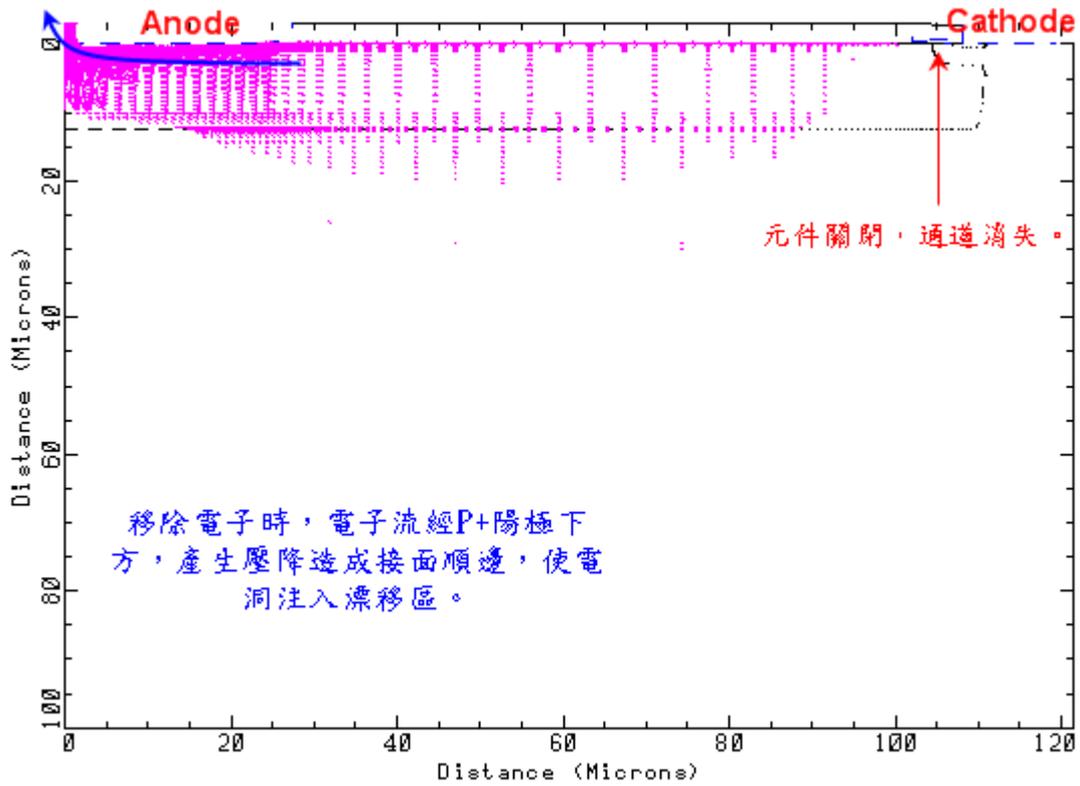


圖 5.28 陽極短路結構在 Current_tail 時的電子流分布圖

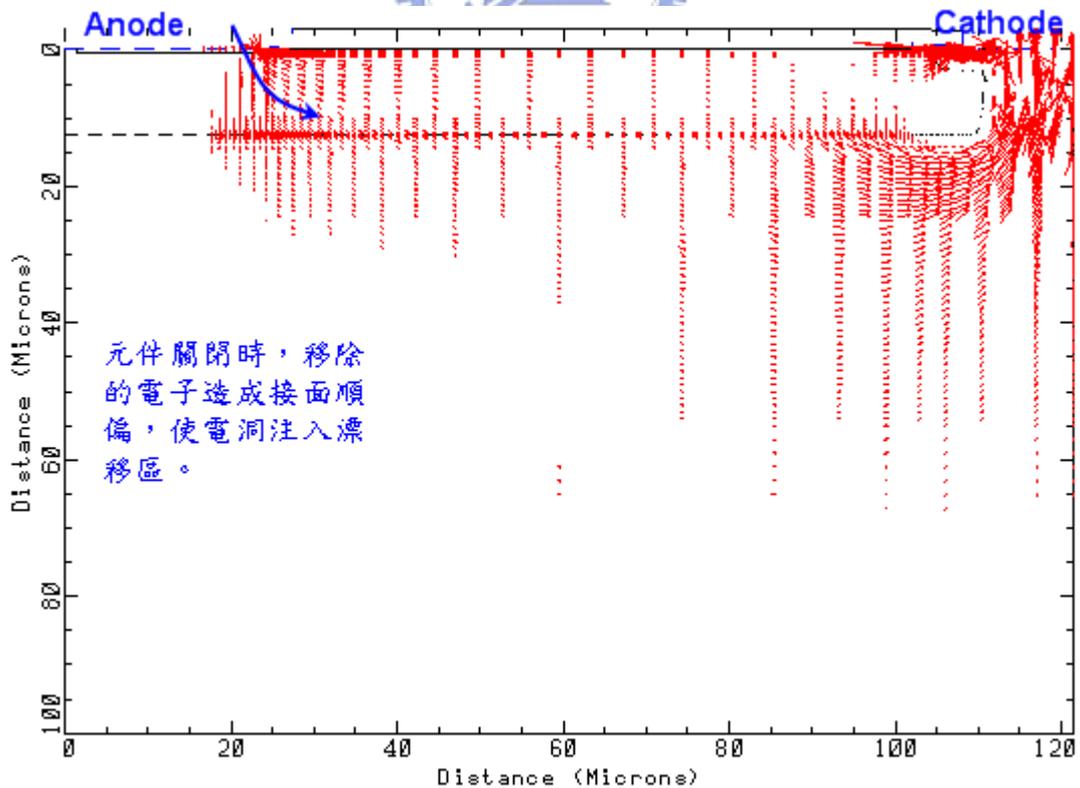


圖 5.29 陽極短路結構在 Current_tail 時的電洞流分布圖

整理前面對陽極短路結構的模擬結果，加入之前傳統 LIGBT 結構的部分，我們可以歸納成表格 5.5。

	傳統 LIGBT 結構	陽極短路結構
BV (V)	710	710
R_{on} ($m\Omega\text{-cm}^2$)	2.90	4.74
Turn-off Time	13.2 (μs)	290 (ns)
V_{onset} (V)	1.5	4.13

表 5.5 陽極短路結構模擬結果表

5.2.2 間斷式陽極結構模擬與分析

間斷式陽極結構如圖 4.6 所示，陽極端 P^+ 長度 L_p 設定為 $20\mu\text{m}$ ，陽極端 N^+ 長度 L_n 為 $1.5\mu\text{m}$ 。圖 5.30 所示為間斷式陽極結構的 I-V 特性曲線圖，觀察可以發現，此結構依然會有負電阻現象的存在，因為其與陽極短路結構一樣，都是利用電流流過 P^+ 陽極下方來使電洞便從陽極注入漂移區，產生傳導調變的作用，差異在於電流方向的不同。可以看到間斷式陽極結構的 V_{onset} 比陽極短路結構來的小，卻稍大於傳統結構，因此，導通電流介於傳統結構與陽極短路結構兩者之間，門鎖效應發生的電壓也介於兩者之間。圖 5.31 所示為間斷式陽極結構在不同 V_G 時的 I-V 特性曲線圖。調變 V_G 分別為 5V、7.5V、10V、12.5V 與 15V。觀察結果得知，當 V_G 增加時，導通電流亦增加，並且由於閘極電壓 V_G 較小的時候，導通電流較小，需要比原本稍大的電壓才能導通，使得 V_{onset} 稍微增加，約從 2.1V 上升至 2.5V。

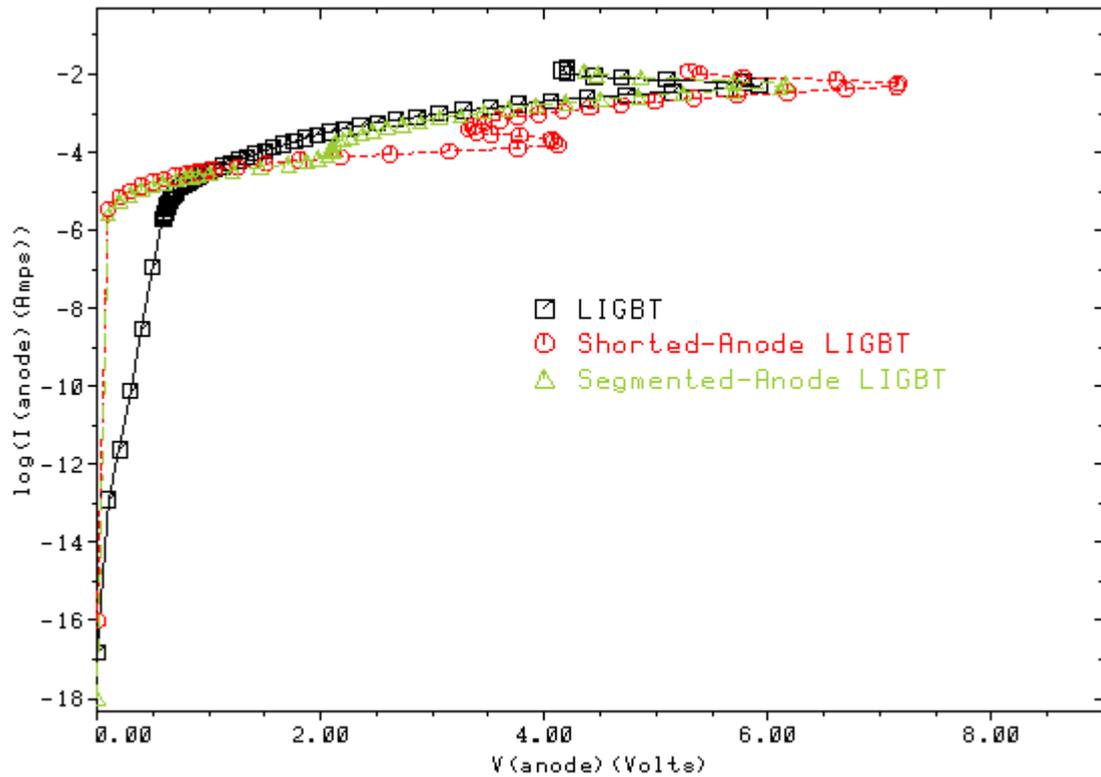


圖 5.30 間斷式陽極結構的 I-V 特性曲線圖

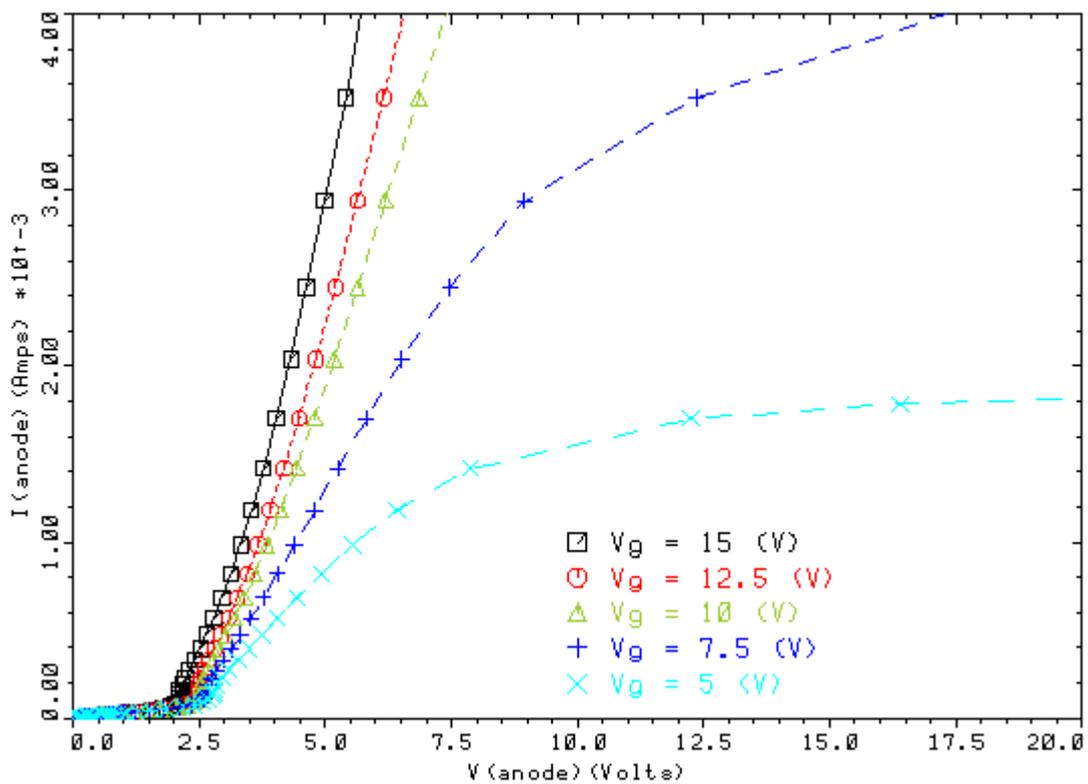


圖 5.31 間斷式陽極結構在不同 V_G 時的 I-V 特性曲線圖

圖 5.32 所示為間斷式陽極結構在不同 L_p 對 L_n 的比值（即 L_p/L_n ）時的 V_{onset} 比較圖，此處我們一樣是固定 L_p 為 $20\mu\text{m}$ ，調變 L_n 分別為 $1.5\mu\text{m}$ 與 $5\mu\text{m}$ （即 L_p/L_n 值為 12 與 4）來觀察 V_{onset} 的變化情形。結果顯示，當 L_n 較大的情況下， V_{onset} 較大。這是因為 L_n 增加時，可以吸引更多的電流，導致流經 P^+ 陽極下方的電流減少，因此需要較大的 V_{onset} 。以 L_p/L_n 值來看則是，當 L_p 對 L_n 比值較小時， V_{onset} 值較大。

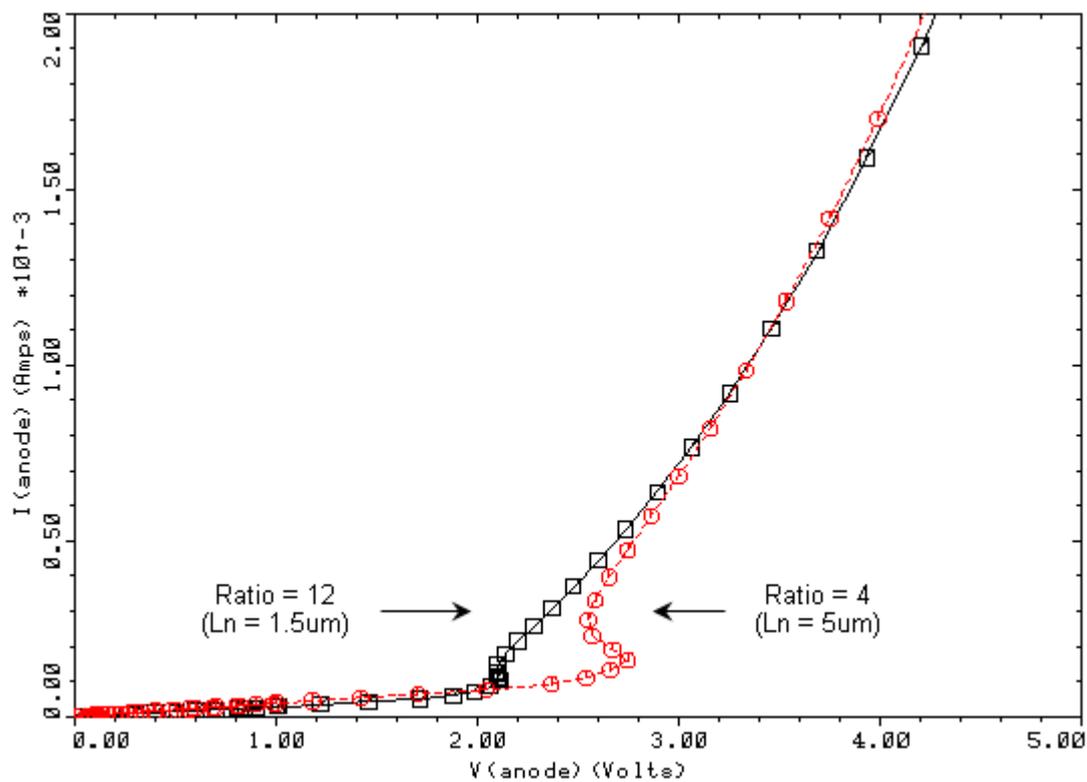


圖 5.32 間斷式陽極結構在不同 L_n 值時的 Onset Voltage

圖 5.33 為間斷式陽極結構於元件關閉時的陽極端電流的變化情形。結果顯示，間斷式陽極結構明顯的改善了傳統結構在關閉時間上延遲的缺點，改善的量級和陽極短路結構差異不大，均是從幾十微米 (μs) 加快到幾百奈米 (ns)。圖 5.34 則是在不同的 L_p/L_n 值的情況下，元件關閉時陽極端電流的變化情形。此處固定 $L_p=20\mu\text{m}$ ，調變 L_n 分別為 $1.5\mu\text{m}$ 與 $2.5\mu\text{m}$ （即 L_p/L_n 值為 12 與 8）。結果顯

示，較大的 L_n 有較快的關閉時間，這是因為陽極端的 N^+ 區域越大，對移除電子的速度越快，加快了元件關閉的速度。雖然在陽極端提供了 N^+ 區域來移除電子，但是曳尾效應仍然存在。這是因為在移除電子的時候，電流會經過 P^+ 陽極下方，使得元件在關閉後，電洞依然注入漂移區，導致元件關閉時間還是稍微延遲，圖 5.35、圖 5.36、圖 5.37 與圖 5.38 說明了此現象。其中圖 5.35 與圖 5.36 為俯視間斷式陽極結構在 Current tail 時的分布情形。圖 5.37 與圖 5.38 則為側面圖。而 Current tail 的現象將會隨著 L_n 的增加而逐漸消失。

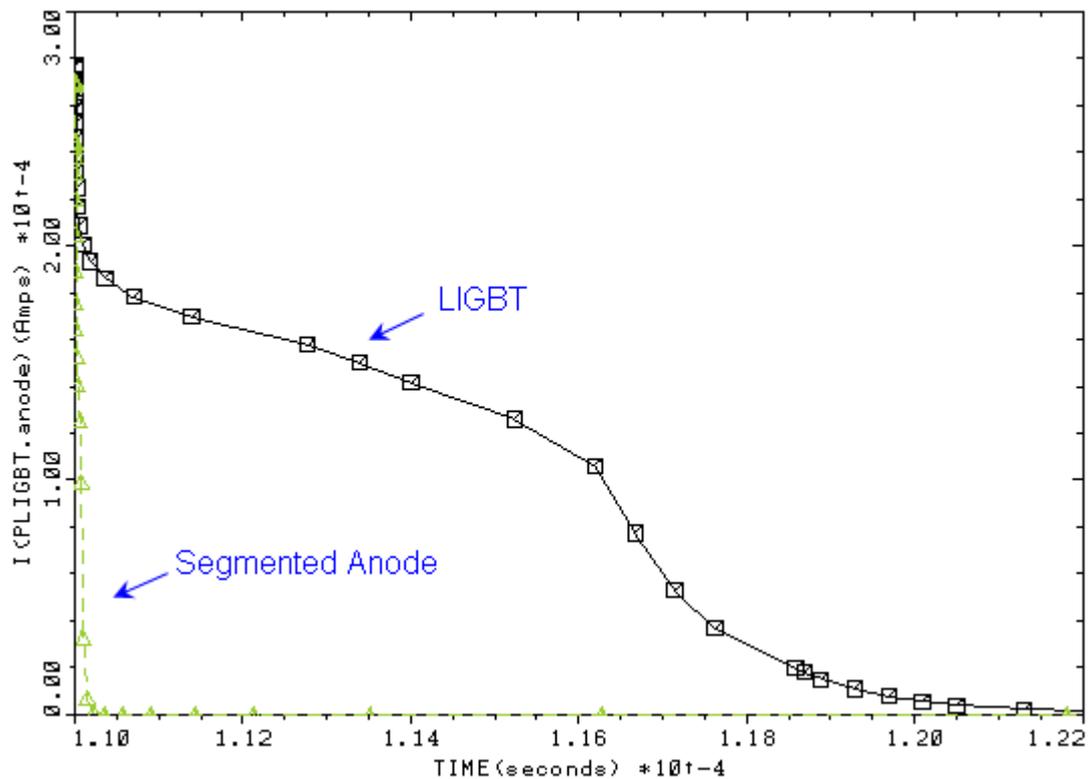


圖 5.33 間斷式陽極結構在元件關閉時電流曲線圖

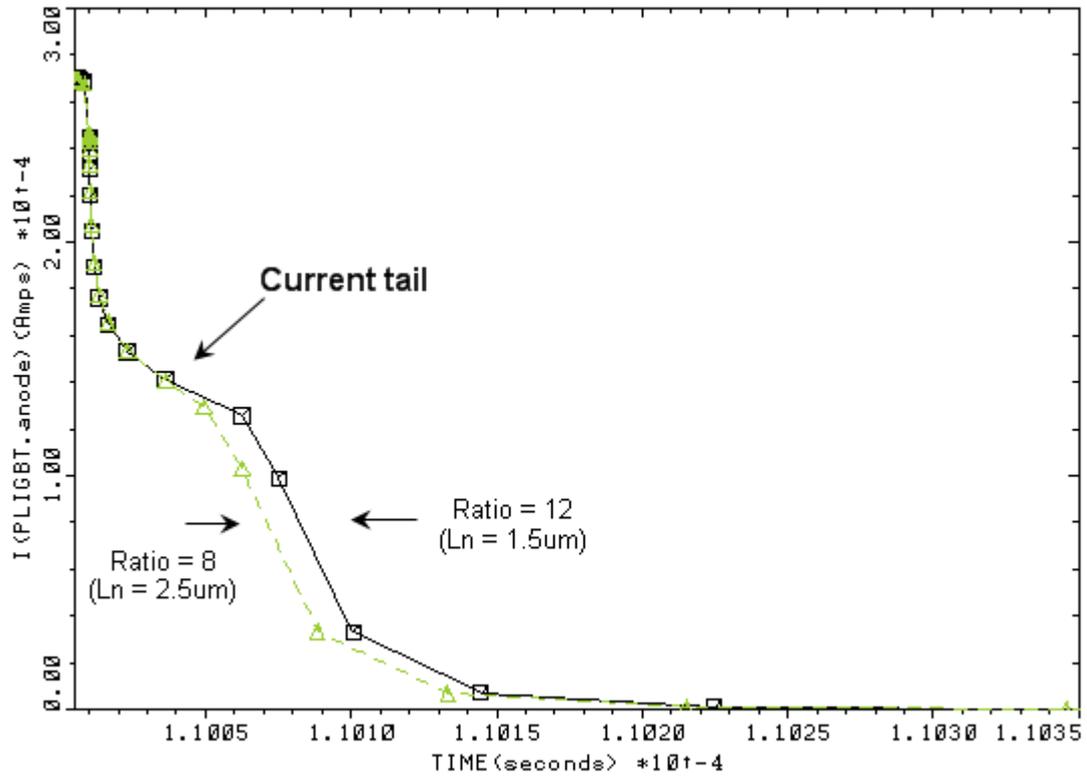


圖 5.34 間斷式陽極結構在不同 L_n 值時的關閉電流曲線圖

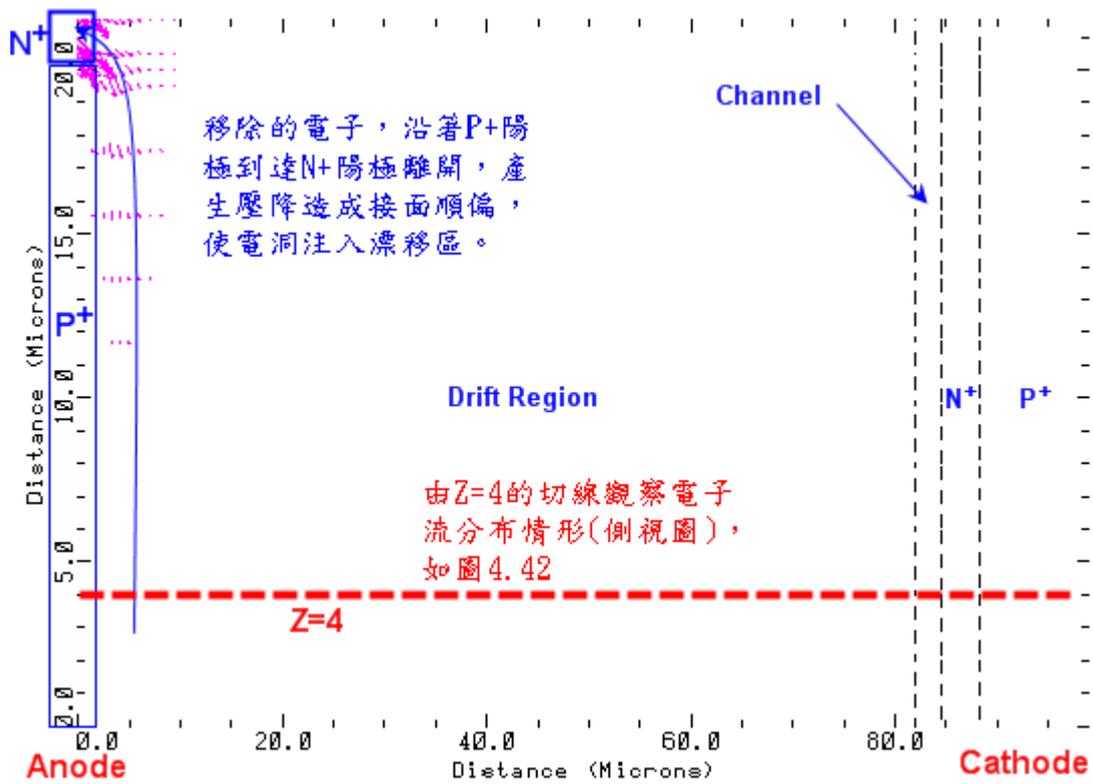


圖 5.35 間斷式陽極結構在 Current_tail 時的電子流分布圖 (俯視圖)

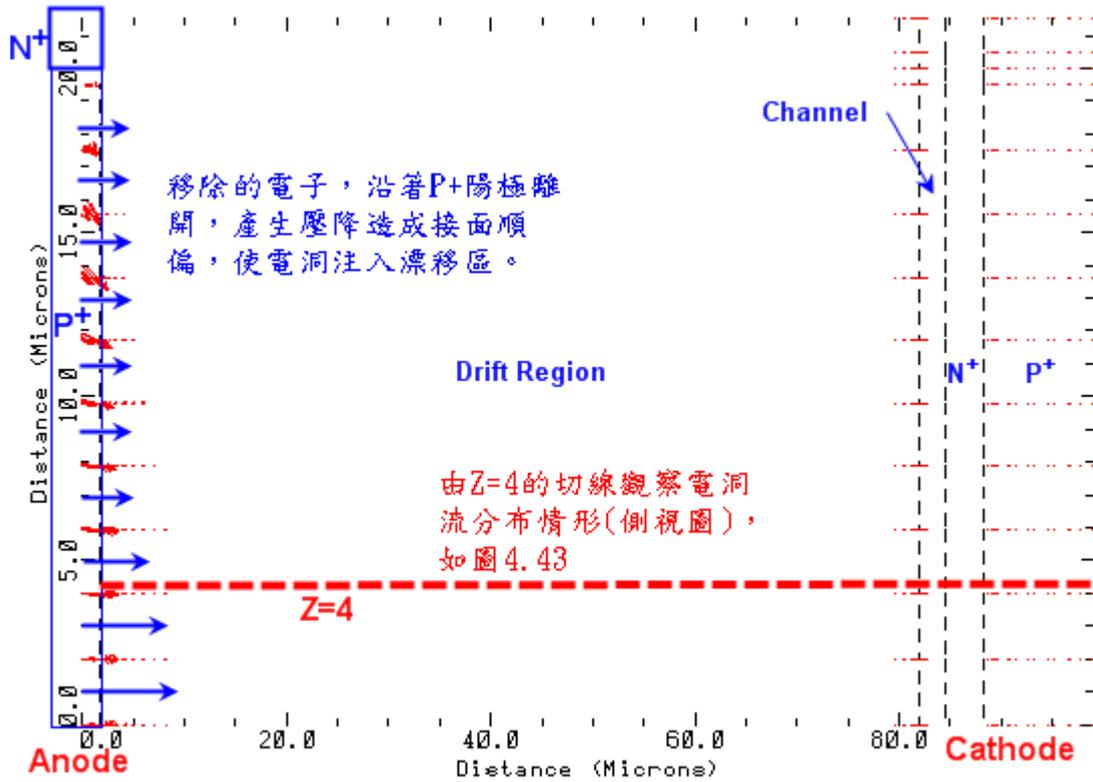


圖 5.36 間斷式陽極結構在 Current_tail 時的電洞流分布圖 (俯視圖)

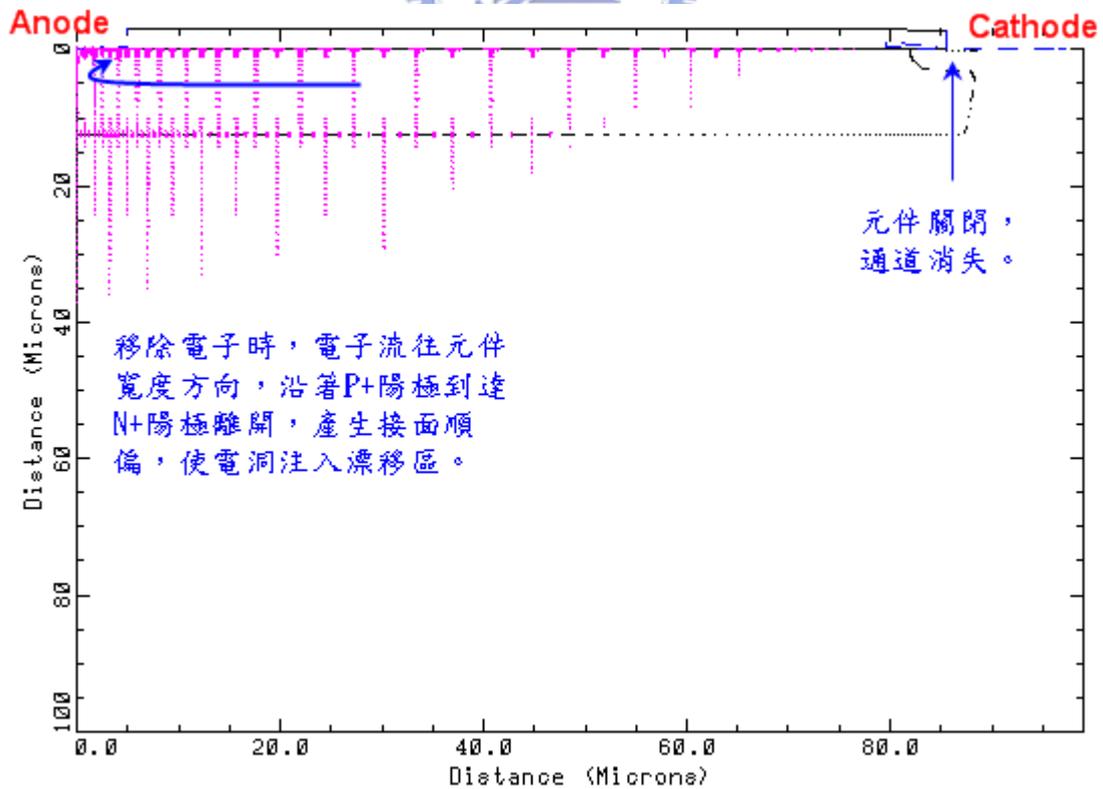


圖 5.37 間斷式陽極結構在 Current_tail 時的電子流分布圖 (側面圖)

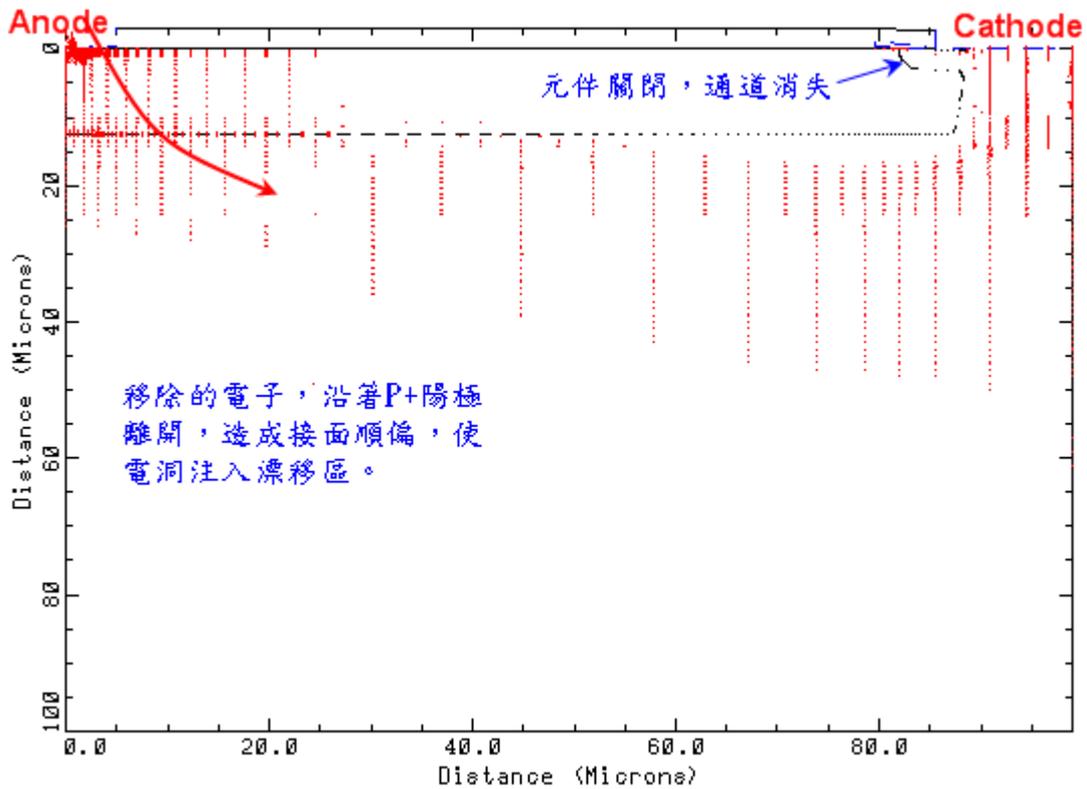


圖 5.38 間斷式陽極結構在 Current tail 時的電洞流分布圖（側面圖）

整理前面對間斷式陽極結構的模擬結果，再加入之前傳統 LIGBT 結構與陽極短路結構的部分，我們可以歸納成表格 5.6。

	傳統 LIGBT 結構	陽極短路結構	間斷式陽極結構
BV (V)	710	720	710
$R_{on} (m\Omega \cdot cm^2)$	2.90	4.74	3.54
Turn-off Time	13.2 (μs)	290 (ns)	220(ns)
$V_{onset} (V)$	1.5	4.13	2.1

表 5.6 間斷式陽極結構模擬結果表

從表格 5.6 中可以看到，在符合耐壓規格的條件下，陽極短路結構與間斷式陽極結構在元件關閉時間上有明顯的改善，從幾十微米(μs)的量級降低至幾百奈

米(ns)的量級，而且間斷式陽極結構在導通電阻上 R_{on} 與 Onset Voltage V_{onset} 的表現比陽極短路結構好。為了瞭解兩種改進結構的特性上的差異，所以在下一節裡，我們將對兩者進行更進一步的比較與說明。

5.3 改善結構的比較

在上一節裡，我們分別對間斷式陽極結構與陽極短路結構進行模擬與分析，並且與傳統 IGBT 結構比較後發現，兩種改進的結構在元件關閉時間的速度上均有明顯的改善。接著，我們比較兩種改進結構的優劣，希冀能使元件達到最佳的改善。一般來說，我們較為關注的地方為 P^+ 陽極長度 (L_p) 和 N^+ 陽極長度 (L_n) 的比值（即 L_p/L_n 值）對元件特性的影響。因此，以下便對兩種改進結構的模擬結果進行比較與分析。

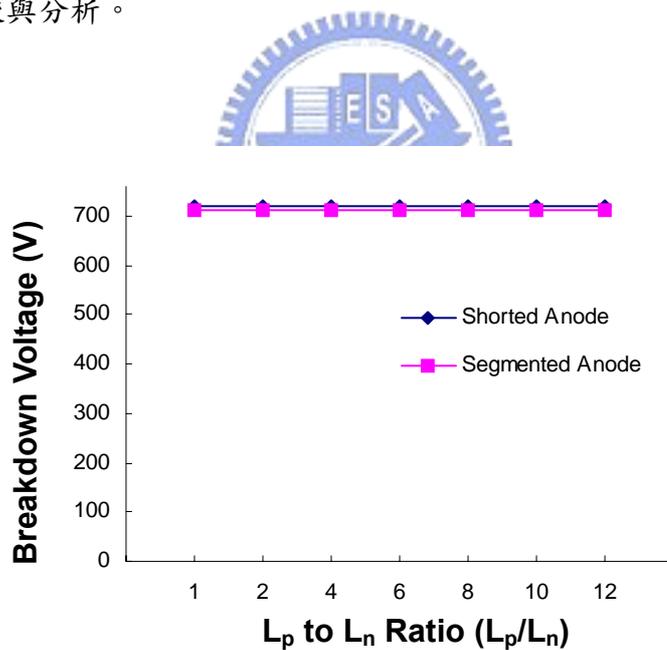


圖 5.39 兩種改進結構的崩潰電壓比較圖

圖 5.39 所示為兩種改進結構的崩潰電壓比較圖，可以看到在不同的 PN 長度比值依然不影響到元件的耐壓能力。就陽極短路結構來說，在陽極端加上 N^+ 區域並不會改變 RESURF 結構。因此，在耐壓能力上依然符合規格。就間斷式陽極結構來說，雖然是屬於 3D 的結構，因為加入的 N^+ 區域往元件寬度方向延伸。

但是其橫向二極體結構的部分還是與傳統結構相同，所以也符合耐壓規格。

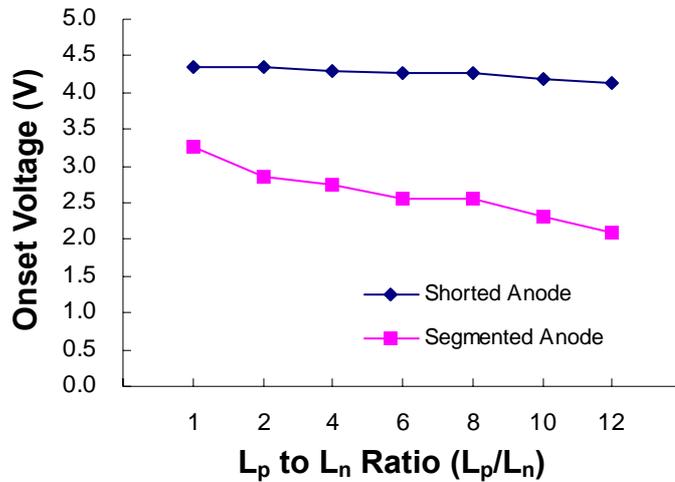


圖 5.40 兩種改進結構的 Onset voltage 比較圖

圖 5.40 所示為兩種改進結構的 Onset voltage 比較圖，觀察可以看到，當 PN 長度比值降低的時候，兩種結構的 V_{onset} 均會增加。這是因為隨著 L_n 的增加，使得流經過 P+ 陽極下方的電流降低，導致 V_{onset} 上升。以整體而言，間斷式陽極結構的 V_{onset} 均低於陽極短路結構，在此方面有較佳的表現。

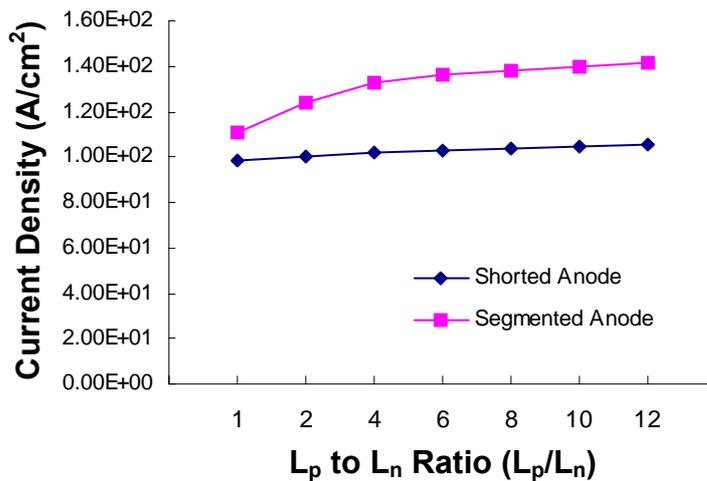


圖 5.41 兩種改進結構的電流密度比較圖

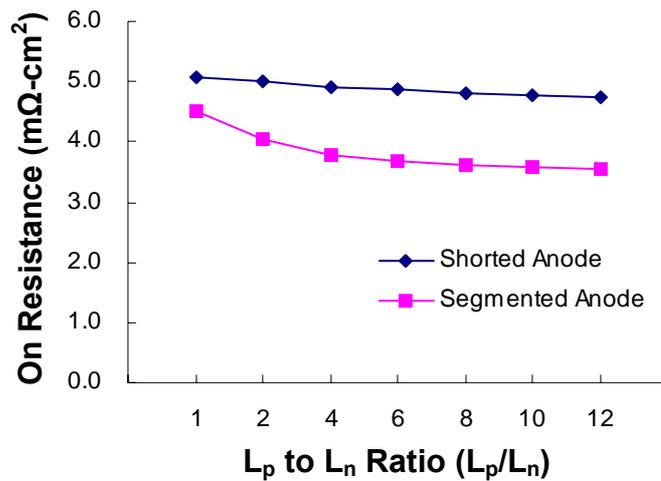


圖 5.42 兩種改進結構的導通電阻比較圖

圖 5.41 所示為兩種改進結構的電流密度比較圖，比較結果顯示，間斷式陽極結構的電流密度隨著 PN 長度比值降低也逐漸降低，而陽極短路結構卻沒有明顯的變化。這是因為間斷式陽極結構的結構變化是在於元件寬度方向的關係。整體而言，間斷式陽極結構在電流密度方面有較佳的表現。電流密度與導通電阻其實是一體兩面的特性，因此，在圖 5.42 可以看到，間斷式陽極結構在 PN 長度比值降低時，會使得導通電阻上升，因為其電流密度下降的原因。整體而言，間斷式陽極結構的導通電阻表現亦優於陽極短路結構。

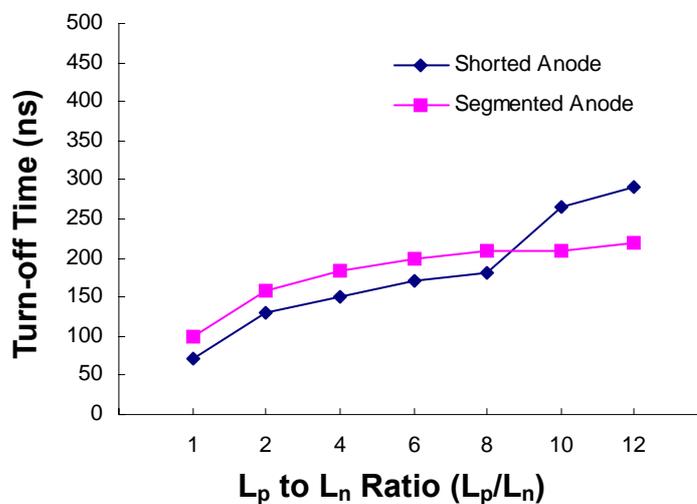


圖 5.43 兩種改進結構的關閉時間比較圖

圖 5.43 所示為兩種改進結構的關閉時間比較圖，觀察可以發現，在 PN 長度比值大於 8 的時候，間斷式陽極結構有較快的關閉時間。但是在 PN 長度比值小於 8 以後，陽極短路結構的關閉速度便快於間斷式陽極結構。這是由於結構的不同，使得當 PN 長度比值下降時，陽極短路結構的 N^+ 區域面積增加程度大於間斷式陽極結構所導致。整體而言，陽極短路結構在 PN 長度比值小於 8 之後雖然有稍快於間斷式陽極結構的表現，兩者卻是在同個量級上，而且陽極短路結構卻需要付出較大元件面積的代價。

圖 5.44 所示為兩種改進結構的元件面積比較圖，觀察可以發現，隨著 PN 長度比值的下降，兩者的元件面積需求均增大。整體上而言，間斷式陽極結構的元件面積比陽極短路結構節省一段差距，若這段差距用百分比來表現的話，其結果便如圖 5.45 中所示，當我們以陽極短路的結構為基準的話，隨著 PN 長度比值的下降，間斷式陽極結構的元件面積相對應的百分比大小則從 82.30% 降至 71.43%。換句話說，間斷式陽極結構在只需要陽極短路結構的七成至八成的面積即可，節省了將近三成的面積。

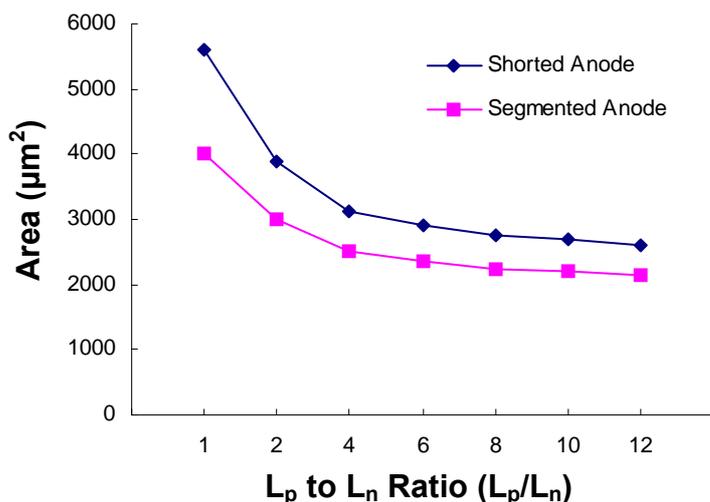


圖 5.44 兩種改進結構的元件面積比較圖

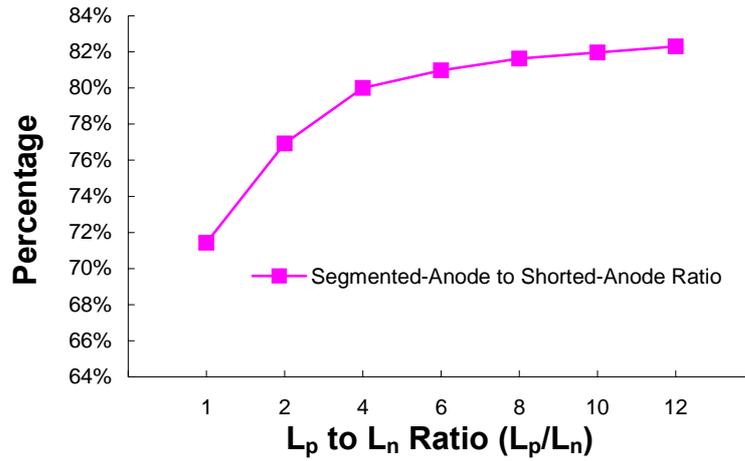


圖 5.45 間斷式陽極結構面積相對於陽極短路結構面積的比值（百分比）

綜合以上比較與分析可以發現，間斷式陽極結構不僅符合耐壓規格，以及在元件關閉時間上也與陽極短路結構有著同量級的改善，在其他特性方面，例如 Onset voltage、導通電阻與元件面積的表現也都優於陽極短路結構。



第六章 結論與展望

6.1 結論

本論文主要目的在於設計可耐壓 700V 的橫向結構的 LIGBT 功率元件，並且針對其元件關閉時間延遲的情況來改善結構，最後對各結構進行比較。本研究利用 Tsuprem4、Medici 與 Davinci 電性分析軟體來模擬與設計 LIGBT 元件與兩種改善結構，並且分析不同結構對特性的影響。由於電性分析軟體主要是利用數值分析的方式，加上網格的定義、數學 Model 的選擇與指令參數的設定來進行模擬，而其中更以網格的定義與數學 Model 的選擇為影響模擬結果最主要的因素。在研究方面，可以分為以下幾個部分：

1. LIGBT 元件的設計

對 RESURF 進行定性與定量的分析，並且利用 RESURF 定量分析的方法與模擬使傳統 LIGBT 結構參數達到最佳化的設計，以及探討結構參數對 RESURF 效應的影響。

2. 關閉速度的提升

利用改變傳統 LIGBT 元件作結構的方式來改善元件關閉延遲的情形，改善的結構分別為二維的陽極短路結構與三維的間斷式陽極結構，並且模擬與分析傳統結構與兩種改善結構的特性。而模擬結果顯示，兩種改善結構的關閉速度比傳統結構快。

3. 兩種改善結構比較

調變陽極端 P^+ 與 N^+ 長度比值來模擬兩種改善結構的各項特性，並且加以比較兩種結構的各項特性。結果顯示，在符合耐壓規格下，兩者的元件關閉速度在同一量級，但是間斷式陽極結構在導通電阻、電流密度、Onset voltage 與元件面積等特性卻比陽極短路結構好。

6.2 展望

未來功率積體電路的時代，高壓功率元件與低壓的控制電路將繼續朝整合的目標發展，為了使高壓功率元件操作於高壓與高導通電流的情況下，並且不影響低壓電路的效能，因此，高低壓電路隔離技術是值得繼續探討的地方。



參考文獻

- [1] M. I. C. Simas, P. Santos, P. Casimiro, and M. Lanca, "Smart power in MOS technologies-an overview," *Proc. IEEE International Symposium on Industrial Electronics, ISIE '97*, vol.2, 1997, pp.371 – 376.
- [2] B. J. Baliga, "An overview of smart power technology," *IEEE Transactions on Electron Devices*, vol.38, no.7, 1991, pp.1568 – 1575.
- [3] F. Udrea, D. Garner, K. Sheng, A. Popescu, H. T. Lim, and V. I. Milne, "SOI power devices," *Electronics & Communication Engineering Journal*, vol.12, no.1, 2000, pp.27 – 40.
- [4] T. K. H. Starke, P. M. Holland, S. Hussain, W. M. Jamal, P. A. Mawby, and P. M. Igic, "Highly effective junction isolation structures for PICs based on standard CMOS Process," *IEEE Transactions on Electron Devices*, vol.51, no.7, 2004, pp.1178 – 1184.
- [5] P. A. Mawby, T. K. H. Starke, P. M. Holland, S. Hussain, W. M. Jamal, and P. M. Igic, "Advanced junction isolation structures for Power Integrated Circuit technology," *24th International Conference on Microelectronics*, vol.1, 2004, pp.17 – 22.
- [6] M. Stoisiek, K. -G. Oppermann, U. Schwalke, and D. Takacs, "A dielectric isolated high-voltage IC-technology for off-line applications," *Proc. of the 7th International Symposium on Power Semiconductor Devices and ICs, ISPSD '95*, 1995, pp.325 – 329.
- [7] A. L. Robinson, D. N. Pattanayak, M. S. Adler, B. J. Baliga, and E. J. Wildi, "Lateral insulated gate transistors with improved latching characteristics," *IEEE Electron Device Letters*, vol.7, no.2, 1996, pp.61 – 63.
- [8] A. Nezar, P. K. T. Mok, and C. A. T. Salama, "Latch-up prevention in insulated gate bipolar transistors," *Proc. of the 5th International Symposium on Power Semiconductor Devices and ICs, ISPSD '93*, 1993, pp.236 – 239.
- [9] Jun Cai, Keng Foo Lo, and J. K. O. Sin, "A latch-up immunized lateral trench-gate conductivity modulated power transistor," *Proc. of the 7th International Symposium on Physical and Failure Analysis of Integrated Circuits*, 1999, pp.168 – 172
- [10] T. P. Chow, B. J. Baliga, D. N. Pattanayak, and M. S. Adler, "Comparison of p-channel lateral insulated-gate bipolar transistors with and without collector shorts," *IEEE Electron Device Letters*, vol.11, no.5, 1990, pp.184 – 186.
- [11] J. K. O. Sin, C. A. T. Salama, and L. Z. Hou, "Analysis and characterization of the hybrid Schottky injection field effect transistor," *International Electron*

- Devices Meeting*, vol.32, 1986, pp.222 – 225.
- [12] J. K. O. Sin, and S. Mukherjee, “Lateral insulated-gate bipolar transistor (LIGBT) with a segmented anode structure,” *IEEE Electron Device Letters*, vol.12, no.2, 1991, pp.45 – 47.
- [13] D. A. Neamen, *Semiconductor Physics and Devices*, McGraw-Hill Science Publishing Company, 2002.
- [14] B. J. Baliga, *Power Semiconductor Devices*, PWS. Publishing Company, 1995.
- [15] J. A. Appels, and H. M. J. Vaes, “High voltage thin layer devices (RESURF devices),” *International Electron Devices Meeting*, vol.25, 1979, pp.238 – 241.
- [16] A. W. Ludikhuize, “A review of RESURF technology,” *Proc. the 12th International Symposium on Power Semiconductor Devices and ICs*, 2000, pp.11 – 18.
- [17] M. Imam, M. Quddus, J. Adams, and Z. Hossain, “Efficacy of charge sharing in reshaping the surface electric field in high-voltage lateral RESURF devices,” *IEEE Transactions on Electron Devices*, vol.51, no.1, 2004, pp.141 – 148.
- [18] M. R. Simpson, P. A. Gough, F. I. Hshieh, and V. Rumennik, “Analysis of the lateral insulated gate transistor,” *Proc. International Electron Devices Meeting*, vol.31, 1985, pp.740 – 743.
- [19] P. A. Gough, M. R. Simpson, and V. Rumennik, “Fast switching lateral insulated gate transistor,” *Proc. International Electron Devices Meeting*, vol.32, 1986, pp.218 – 221.
- [20] Lon-Kou Chang, and Ming-Yui Tsai, “A novel structure of LIGBT with 3D RESURF junction and segmented-anode-segmented-cathode,” *Proc. The Fifth International Conference on Power Electronics and Drive Systems, PEDS 2003*, vol.1, 2003, pp.49 – 54.
- [21] J. K. O. Sin, and S. Mukherjee, “Analysis and characterization of the segmented anode LIGBT,” *IEEE Transactions on Electron Devices*, vol.40, no.7, 1993, pp.1300 – 1306.
- [22] T. Yamaguchi, and S. Morimoto, “Process and device design of a 1000-V MOS IC,” *IEEE Transactions on Electron Devices*, vol.29, no.8, 1982, pp.1171 – 1178.
- [23] M. R. Simpson, “Analysis of negative differential resistance in the I-V characteristics of shorted-anode LIGBT's,” *IEEE Transactions on Electron Devices*, vol.38, no.7, 1991, pp.1633 – 1640.