分析離散式單迴路積分三角類比數位轉換器之非線性失真、雜訊與功率，以達到最佳化設計

研究生：陳英瑋　　指導教授：陳福川 教授

國立交通大學

電機與控制工程研究所

摘要

在本篇論文中，我們分析了積分三角類比數位轉換器的非線性特性所造成的失真問題，包括趨穩失真(settling distortion)和數位類比轉換器不匹配的失真..等，藉由分析推導出的失真功率以及雜訊功率，我們以訊號對雜訊和失真比(SNDR)來當作我們的設計規格，利用此規格以及功率消耗模型，我們進而可以在指定的系統規格下，做最佳化的設計。此最佳化設計意指在特定系統規格下(如頻寬、訊號對雜訊和失真比)，找到一組最佳化的設計參數，使得類比數位轉換器的功率消耗最小以及訊號對雜訊和失真比最大。我們使用訊號對雜訊和失真比當作設計規格而非訊號雜訊比(SNR)是因為，訊號對雜訊和失真比是訊號雜訊比和總諧波失真(THD)的集合，也是類比數位轉換器動態效能完整的測量。最後我們將針對已發表的設計結果來做驗證的工作。

Nonlinear Distortion, Noise and Power Analyses of Discrete-time Single-Loop Sigma-Delta ADCs for Design Optimization

Student：Ying-Wei Chen　　Advisor：Dr. Fu-Chuang Chen

Institute of Electrical and Control Engineering

Nation Chiao Tung University

ABSTRACT

In this work, we analyses the distortion problems resulting from the nonlinear characteristic of ΣΔ ADCs, including settling distortion and DAC distortion, etc. By these distortion and noise power models derived, we utilize Signal-to-Noise and Distortion Ratio (SNDR) as our design specification. Utilizing this specification and power consumption model, we can forward to do design optimization under the specific specifications. Design optimization means that under the specific specifications (signal bandwidth, SNDR), we find a set of optimal design parameters such that the power consumption of ADCs is minimum and SNDR is maximum. We use SNDR instead of SNR as our specification because SNDR is a combination of the SNR and the THD specifications and it is an overall measure of ADC dynamic performance. Finally, design optimization is tested against a published design result.

誌謝 Acknowledgment

謹向我的指導老師陳福川教授致上最大的謝意，感謝老師兩年來嚴格的督促與指導，使我明白作研究的方法與精神，也讓我的論文得以順利完成。此外也感謝口試委員林清安教授、董蘭榮博士與洪浩喬博士對本篇論文所給予的建議與指導。

還要感謝實驗室的學長－黃詠文學長和鍾卓翰學長。感謝詠文學長在射頻辨識方面的指導，在學長的指導與討論下，使我對射頻辨識有了深入的認識；也感謝卓翰學長在論文方面給予我指導，以及謝謝學弟孟學、哲安與我度過學生生涯的最後一年。另外，還要謝謝我的大學同學們，在研究之餘，會一起打打球，還成立屌砲棒球隊，使我維持充份的體力做研究。

最後要感謝我的父母，生我、養我、一路栽培我到大，才有現在的我。也謝謝我最大的精神來源女友靜娟，每當我研究遭遇挫折時，總是給我適時的安慰，同時也在文書處理軟體給予我協助，讓我的投影片以及論文得以盡善盡美的完成。

List of Symbols

Symbols

V_{LSB}	Quantizer step size
OSR	OverSampling Ratio
n	Order of the Sigma-Delta modulator
B	Number of bits in the quantizer
f_S	Sampling Frequency
f_B	Signal Bandwidth
V_{ref}	Reference Voltage of the quantizer
A	Gain of OTA
f_{in}	Frequency of the input signal
ϕ_i	ith phase of a nonoverlap clock
A_{in}	Amplitude of input signal
$\sigma_{jit.}$	standard deviation of clock jitter
C_S	Sampling capacitor
C_I	Integrating capacitor
C_L	Load capacitor of OTA
V_S	Input signal plus feedback DAC signal
τ_1	Time constant of input branch
σ_{VS}	Standard deviation of V_S
τ_2	Time constant of integrator output settling
a_i	gain coefficient of i th integrator
η	percentage of the bottom plate parasitic
T	Absolute temperature
R	Switch ON resistance
N	quantizer levels
gm1	Amplifier transconductance
Pr()	Probability of some condition

$\sigma_{cap.}$	Mismatch of unit capacitance
k	Boltzmann's constant (1.38×10^{-23}) J/K
α	OTA noise factor
$Erf[]$	Error Function

Lists of Tables

Lists of Figures

Contents