

國立交通大學

電機與控制工程學系

碩士論文

應用於可攜式腦電波量測之低功率低雜訊類比前



A low-power low-noise CMOS AFE IC
For Portable EEG Measurement

研究生：劉祐任

指導教授：邱俊誠 教授

中華民國九十五年七月

應用於可攜式腦電波量測之低功率低雜訊類比前
端放大電路

A low-power low-noise CMOS AFE IC
For Portable EEG Measurement

研究生：劉祐任

Student：You-Jen Liu

指導教授：邱俊誠 博士

Advisor：Dr. Jin-Chern Chiou



**Submitted to Department of Electrical and Control Engineering
College of Electrical Engineering and Computer Science**

National Chiao Tung University

in Partial Fullfilment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

中文摘要

應用於可攜式腦電波量測之低功率低雜訊類比前 端放大電路

學生：劉祐任

指導教授：邱俊誠 博士

國立交通大學電機與控制工程學系



本論文研究提供了一個低耗電、低雜訊的單一整合類比前端放大電路以擷取腦電波訊號。在人體中所有的生理訊號中，腦電波的強度最大只有約 $100\mu\text{V}$ 並且分佈在超低頻帶($0.3\text{Hz}\sim 100\text{Hz}$)，在使用微機電製程技術製作之針狀乾式電極量測腦電波的情況下，存在於量測電極間的偏差電壓將會造成電路的飽和。因此高共模拒斥比和低雜訊便是此電路的設計重點。此外，可攜式腦電波擷取系統有可應用於可走動的病人身上進行不間斷腦電波訊號量測，因此將腦電波量測電路整合成晶片自有其必要性，這也帶出了低功率消耗的需要。在本論文中利用電流平衡式實現此電路。本電路利用 TSMC $0.18\mu\text{m}$ COMS Mixed-Signal RF General purpose MiM Al 1P6M 1.8&3.3V 進行電路的設計與模擬驗證。

英文摘要

A Low-power Low-noise CMOS Analog Front-end IC For Portable EEG Measurement

Student : You-Jen Liu

Advisor : Dr. Jin-Chern Chiou

Department of Electrical and Control Engineering

National Chiao Tung University



ABSTRACT

An low power low noise monolithic analog front-end amplifier circuit for electroencephalogram(EEG) measurement is presented in this thesis. Among all the physiological signals, the EEG signals exhibit ultra low frequencies(0.3Hz~150Hz) with amplitude under $100\mu\text{V}$. At the condition of using MEMS based spiked dry electrodes to measure EEG signals, the electrode offset voltage will lead to the saturation of the circuit. Therefore, high CMRR and low noise are required in such circuit. Besides, there is increasing demand for portable low-power bio-potential measurement systems for continuous monitoring of ambulatory patients, then it is important to integrate the EEG measurement circuits, and low power consumption under battery using is also required. In this thesis, current-balancing technique is used to implement the IA, and simulated under TSMC $0.18\mu\text{m}$ COMS Mixed-Signal RF General purpose MiM A1 1P6M 1.8&3.3V process and layout to fabricate.

誌謝

兩年的研究所時光，轉眼過去，換來了更為穩健、踏實的我。首先要感謝我的指導老師 邱俊誠教授，感謝老師的耐心指導、督促，讓我能研究的過程中不斷成長、茁壯。感謝口試委員林進燈老師、陳科宏老師及洪浩喬老師給我的建議與指導，使得本論文能更為完備。

感謝我的家人以及關心我的人，除了經濟上的支持讓我無後顧之憂，當面臨失敗、挫折的時候，您們的鼓勵，使我能重振信心，繼續面對挑戰。

感謝實驗室的伙伴們修權、脩涵、子毅、文凱，因為有你們，使得兩年的學習生涯不但充實，又充滿了歡笑。感謝博士班學長禮忠、永峻、秦輔、志良、振鈞、尚瑋、冠州、志瑋，在研究的過程中，你們的建議使我獲益良多。感謝實驗室的學弟們，因為你們的加入，使得整個實驗室又更加的活絡。還有我的同學們，有了你們日常生活的陪伴與照顧，讓我得到更多溫暖。還有每個禮拜陪我一起打球的夥伴們，有了你在球場上的奮鬥，讓我更有精神去面對下一步。

感謝女友立安，有你精采了我的人生，謝謝你的陪伴，未來我們也將繼續的一起走下去。

除此之外還要感謝的人實在太多，我只能深深地向你們大家說句謝謝，謝謝這段路上走過來有你們一同陪伴。在此將本論文與你們分享。

劉祐任 誌于新竹交通大學電控所

民國 95 年 7 月

目錄

中文摘要	i
英文摘要	ii
誌謝	iii
圖目錄	vi
第一章 緒論	i
1.1 研究背景與動機	i
1.2 腦電波的形成	ii
1.3 腦電波量測系統回顧	iv
1.4 論文架構	vii
第二章 腦電波量測系統設計	viii
2.1 前言	viii
2.2 電路需求	xii
2.3 電路架構	xiv
2.4 結語	xiv
第三章 儀表放大器	xv
3.1 前言	xv
3.2 三運算放大器的儀表放大器(Three op-amp INA)	xv
3.3 截波穩定微分差動放大器(Chopper-stabilized Differential Difference Amp., CHSDDA)	xvii
3.4 截波穩定技術(Chopper-Stabilized Technology, CHS)	xxi
3.5 電流平衡式(Current-Balancing)儀表放大器	xxii
3.6 結論	xxiii
第四章 腦電波量測電路	xxv

4.1 前言	xxv
4.2 電流式儀表放大器電路架構	xxv
4.3 低通與高通	xxvii
4.4 High-swing cascode current mirror for CMRR enhancement	xxviii
4.5 完整的電流式儀表放大器與設計考量	xxx
4.6.1 電路模擬結果	xxxi
4.6.2 其他操作狀況模擬	xxxv
4.6.2.1 溫度變異模擬	xxxvii
4.7 可調增益放大器(PGA)	xxxix
4.7 結論	xli
第五章 布局驗證與結語	xliii
5.1 布局驗證	xliii
5.2 電容佈局	xliii
5.3 電阻佈局	xlvi
5.4 佈局後模擬驗證	xlviii
5.4 操作電壓改變與溫度變化情況下的模擬	lii
5.6 結語	liii



圖目錄

圖 1-1 各種生理訊號的波形與頻帶分布：(A)ECG；(B)EEG；(C)EMG；(D)EOG.....	II
圖 1-2 腦電波之成因[3].....	III
圖 1-3 四種頻段的腦電波訊號： $\Delta\theta$ A B[4].....	III
圖 1-4 腦電波量測差動放大濾波電路方塊圖.....	IV
圖 1-5 腦電波量測系統頻率響應圖.....	V
圖 1-6 腦電波 A 波量測.....	V
圖 1-7 腦電波訊號的聚集方式：(A)共同參考點(B)平均參考點(C)兩極式[5].....	VI
圖 2-1 傳統腦電波量測系統[4].....	VIII
圖 2-2 10-20 SYSTEM[4].....	IX
圖 2-3 濕式電極，左為塗佈氯化銀，右為金.....	X
圖 2-4 可攜式整合系統.....	XI
圖 2-5 針狀乾式電極[8] (A) $4\times 4\text{MM}^2$ (B) $3\times 3\text{MM}^2$	XII
圖 2-6 頻率響應模擬.....	XIII
圖 2-7 電路架構.....	XIV
圖 3-1 典型三運算放大器的儀表放大器[9].....	XVI
圖 3-2 2OIA 架構圖[10].....	XVII
圖 3-3 非反向微分差動放大器.....	XVIII
圖 3-4 CHSDDA 概念圖[12].....	XVIII
圖 3-5 CHSDDA 方塊圖[11].....	XIX
圖 3-6 截波切換器和非相位重疊的時脈訊號[11].....	XIX
圖 3-7 CHSDDA 詳細電路圖[11].....	XX
圖 3-8 電流平衡式儀表放大器(CBIA)概念圖.....	XXIII
圖 4-1 簡化的電流平衡式儀表放大器電路圖[15].....	XXVI
圖 4-2 GM-C 濾波器.....	XXVII
圖 4-3 包含 GM-C 主動濾波的輸出回授迴路.....	XXVIII
圖 4-4 HIGH-SWING CASCODE 電流鏡電路圖[18].....	XXIX
圖 4-5 HIGH-SWING CASCODE 電流鏡的輸出電流對輸出電壓模擬.....	XXIX
圖 4-6 包含低通和高通的完整儀表放大器電路圖.....	XXX
圖 4-7 共模電壓 0MV 振幅 100MV 的 50Hz 輸入與輸出波形.....	XXXII
圖 4-8 共模電壓 300MV 振幅 100MV 的 50Hz 輸入與輸出波形.....	XXXII
圖 4-9 共模電壓 50MV, 差動振幅 100MV, 輸入頻率 15Hz 的輸入輸出.....	XXXIII
圖 4-10 共模電壓 50MV, 差動振幅 100MV, 輸入頻率 10Hz 的輸入輸出.....	XXXIII
圖 4-11 儀表放大器頻率響應圖.....	XXXIV
圖 4-12 操作電壓 $\pm 1.35\text{V}$ 共模電壓 50MV 振幅 100MV 頻率 30Hz 的輸入弦波與輸出.....	XXXVI
圖 4-13 操作電壓 $\pm 1.35\text{V}$ 下的頻率響應.....	XXXVI
圖 4-14 不同溫度變化下的電路模擬.....	XXXVII
圖 4-15 P-TYPE 運算放大器.....	XXXIX
圖 4-16 非反向式可調放大器.....	XL
圖 4-17 共模電壓 50MV, 差動振幅 100MV, 頻率 50Hz 的輸入與輸出波形.....	XLI
圖 4-18 腦電波量測前端放大電路頻率響應.....	XLI
圖 5-1 包含填充單元的電容佈局.....	XLIV
圖 5-2 電容並聯與共質心佈局.....	XLIV
圖 5-3 250fF 的單位電容.....	XLV
圖 5-4 包含填充單元的 1pF 電容.....	XLV
圖 5-5 電阻值為 $1\text{k}\Omega$ 的單位電阻.....	XLVI
圖 5-6 佈局示意圖(單一通道).....	XLVI
圖 5-7 完整的電路佈局(單一通道).....	XLVII
圖 5-8 晶片佈局.....	XLVIII
圖 5-9 不同溫度變化下的佈局後模擬頻率響應圖.....	XLIX

圖 5-10 共模電壓 100mV 頻率 15Hz 弦波振幅 100mV 的輸入與輸出波.....	L
圖 5-11 共模電壓 100mV 頻率 30Hz 弦波振幅 100mV 的輸入與輸出波.....	L
圖 5-12 共模電壓 100mV 頻率 12Hz 弦波振幅 100mV 的輸入與輸出波.....	LI
圖 5-13 共模電壓 0mV 頻率 12Hz 弦波振幅 100mV 的整體電路輸出波.....	LI
圖 5-14 溫度變化下的整體電路頻率響應.....	LII
圖 5-15 操作電壓 $\pm 1.35V$ 下的頻率響應(溫度變化：0~60).....	LII
圖 5-16 操作電壓 $\pm 2V$ 下的頻率響應(溫度變化：0~60).....	LIII



第一章 緒論

1.1 研究背景與動機

人類生理的研究在近幾年被視為未來最重要的科學之一，許多人體內的器官在運作的時候都會產生一些電訊號，例如心臟、大腦、肌肉與眼睛等等，我們稱之為生理訊號(Bio-potential)。以心臟為例，在跳動時候會產生的心電圖(ECG)；而肌肉在用力或是鬆弛時會產生肌電圖(EMG)；眼球在轉動及眨動時候則會產生眼動波(EOG)。生理訊號的量測在臨床診療上可以有助於判別器官是否有功能異常的現象，如心律不整可以在心電圖中判定，肌電圖與眼動波則是可以藉以判斷肌肉神經或是眼球的小肌肉神經是否有失調失序的現象。相關的各種生理訊號的波形與頻帶分布如圖 1-1 所示[1][2]。其中在腦科學相關研究之中，腦電波(EEG)的量測可以有助於了解腦神經功能以及一些腦部疾病的診斷，如癲癇症的判斷。圖中也標示出了腦電波(EEG)的最大振幅，可以明顯看到腦電波的電位最大只有 $100\mu\text{V}$ ，訊號分佈大多在數十 μV 的能量大小，這一點使得腦電波訊號相當不易量測，容易受到外界雜訊干擾影響而使得訊號大小被淹沒。此篇論文最主要的目的在於設計一個可應用於量測腦電波的前端放大電路，再藉由後端射頻無線電路的整合，可應用於腦電波的量測與紀錄，將腦電波的訊號從最前端的針狀乾式電極經由擷取放大並轉成數位訊號傳送到主機端，讓受測的病人可以有更高的活動性並且大幅降低腦電波量測系統的體積與重量。

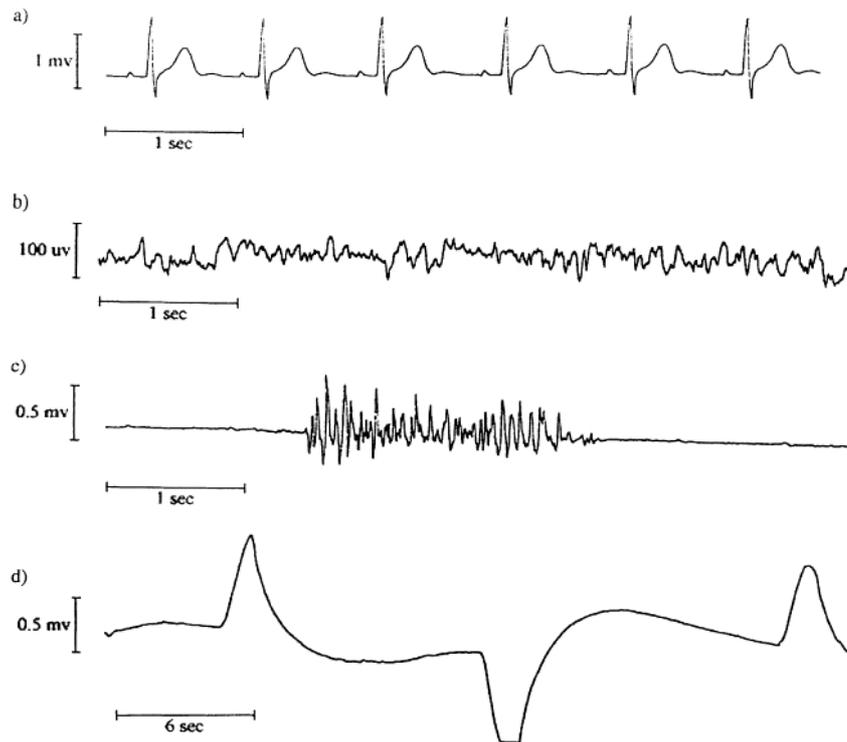


圖 1-1 各種生理訊號的波形與頻帶分布：(a)ECG；(b)EEG；(c)EMG；

(d)EOG

1.2 腦電波的形成

當腦部的神經細胞活動的時候，神經訊號的傳遞是藉由在神經元與突觸之間流動的離子通道(ion channel)，而在突觸與突觸之間則是以酵素的方
 式傳遞。流動的離子通道在神經元之間造成電壓差，而腦電波就是收集某
 一腦部區塊總合而成的電壓分布，如圖 1-2 所示[3]。腦電波的量測是以導電
 電極附著在頭皮上不同位置所量測到的電生理訊號，因此腦電波的量測是
 一完全非侵入式的感測方式，適合重複的應用在病人身上，而不會有太大
 的後遺症[2]。

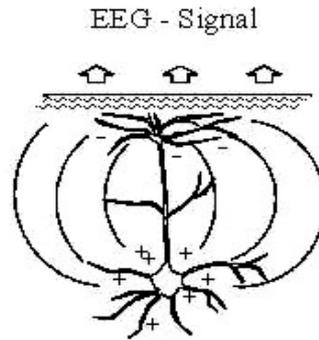


圖 1-2 腦電波之成因[3]

腦電波又可細分成四個頻段， δ 波(0.1~4 Hz)、 θ 波(4~8 Hz)、 α 波(8~13 Hz)、 β 波(13~100Hz)。其中 α 波(8-13Hz)主要分佈在大腦皮質的活動，而且最重要的是它不受眨眼動作的干擾，因此在 BCI 是最主要被使用的波段[4]，圖 1-3[4]是四個不同頻段的腦電波訊號。

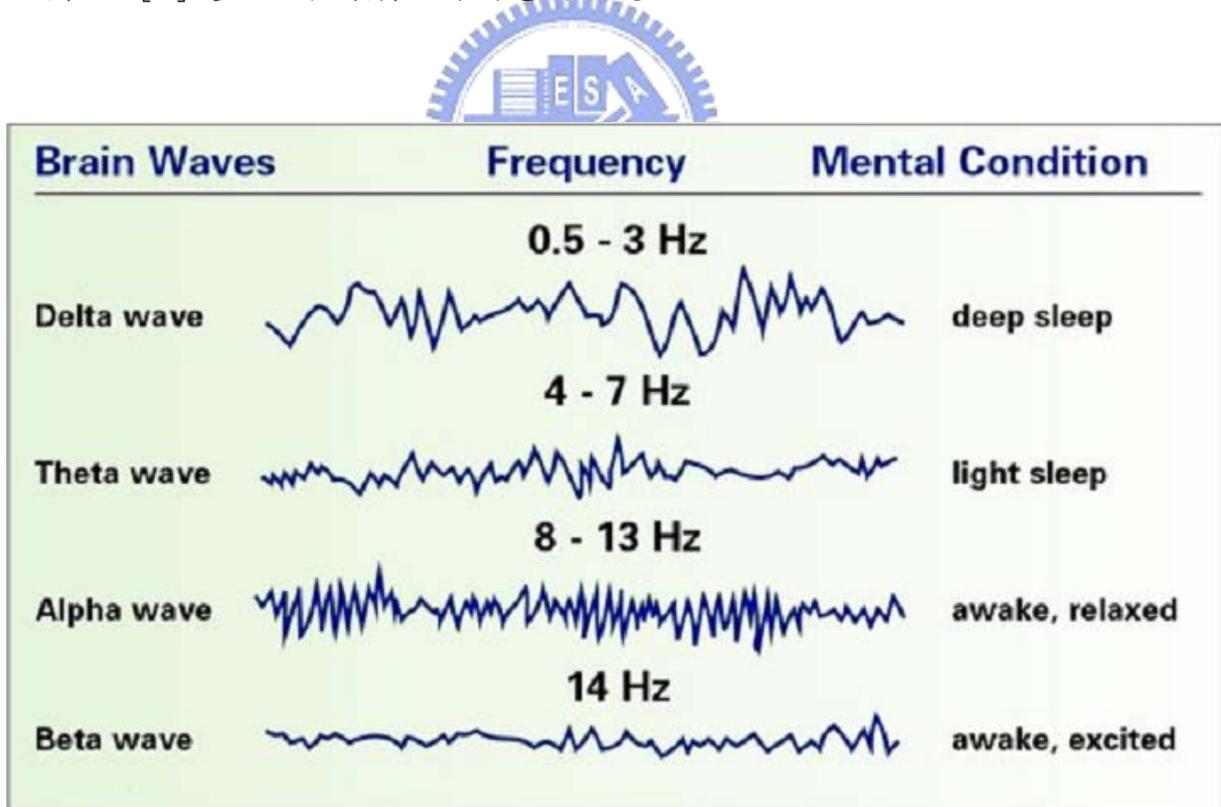


圖 1-3 四種頻段的腦電波訊號： δ θ α β [4]

1.3 腦電波量測系統回顧

傳統的腦電波訊號量測系統是用離散元件組成系統，一個標準的量測電路方塊圖如 1-4 所示。此電路具有一個差動放大輸入，經過一個保護用的隔絕放大電路，接著經過濾波放大功能後接到輸出。

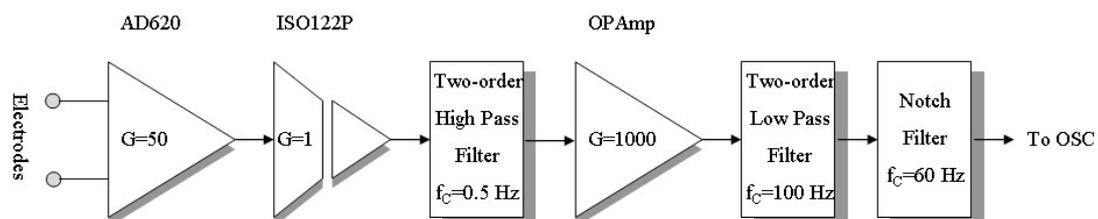


圖 1-4 腦電波量測差動放大濾波電路方塊圖

方塊圖中第一級是Analog Device公司所生產的AD620 儀表放大器，其增益可由一個外接電阻 R_G 來調整放大倍率 G ，接著是BURR-GROWN公司出產的ISO122P隔絕放大器。由於傳統量測電路的供電都是經由電源供應器供電，除了造成量測系統受到市電 60HzAC雜訊之外，如果電路產生問題時，高電流極有可能打穿電路而經由電極導通到大腦，因此需要一個增益為 1 的保護隔絕電路來做防護。其後分別是兩個二階的高通/低通濾波器以及可調增益非反向放大電路，其高通與低通的截止頻率分別為 0.5Hz和 100Hz，頻率響應如圖 1-5。在電極部份，使用的是新型的針狀乾式電極來作為擷取電波訊號的電極，從輸出波圖 1-6 可以得到腦電波訊號，其中分別使用兩種電極來做比較，圖的上部使用的是傳統濕式金電極，下部是新式針狀乾式電極，可以明顯發現新式針狀乾式電極可以在大幅降低電極面積與使用便利性的情況下得到比傳統電極更好的腦電波訊號。

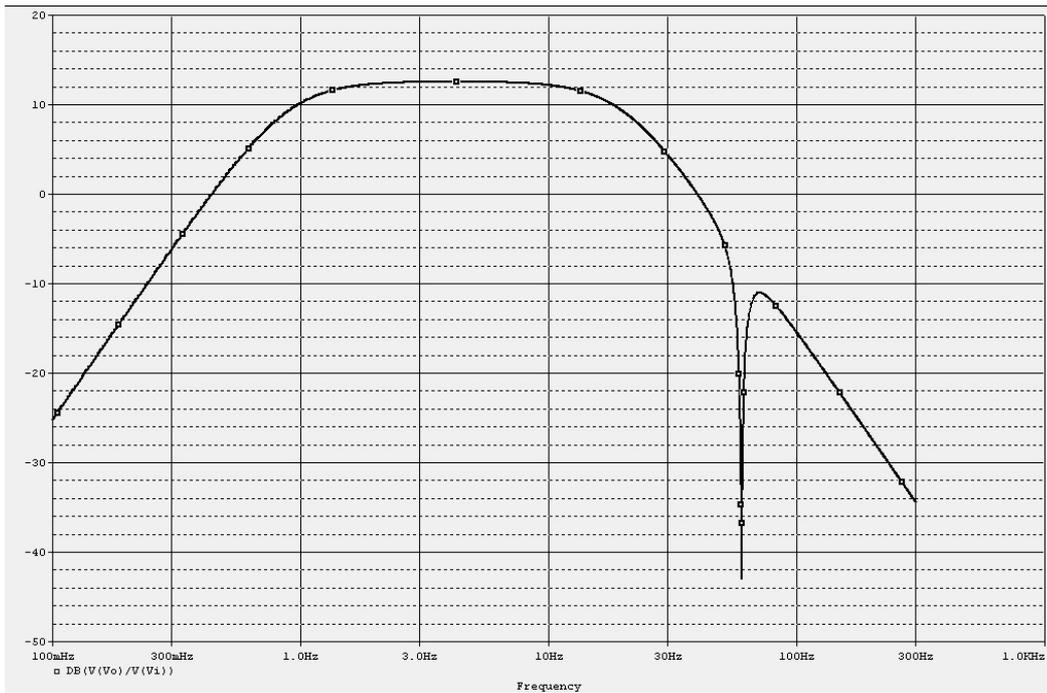


圖 1-5 腦電波量測系統頻率響應圖

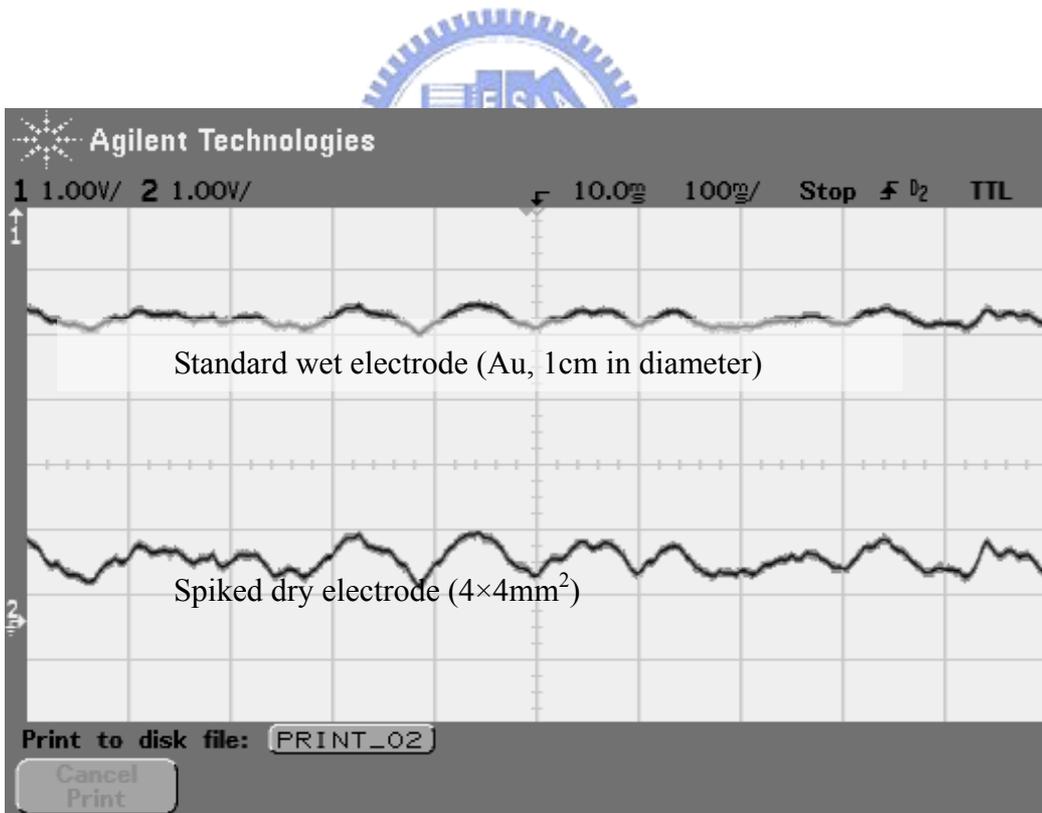


圖 1-6 腦電波 α 波量測

此外，在腦電波量測系統中，其訊號的擷取是經由差動放大的方式去產生頭皮上某一點的訊號，因此通常需要多組訊號來做不同的差動放大的組合，這稱之為訊號的聚集(Signal Montage)。一般常見的訊號聚集方式有三種：共同參考點(common reference)、平均參考點(average reference)與兩極式(bipolar)。如圖 1-7 [5]所示。共同參考點顧名思義即為所有差動放大皆以此點作為參考點，這也是最常被使用的方式，同時也是本論文之後將要使用的方式。通常這個共同參考點會選擇耳垂或是耳後的乳突骨。

平均參考點意味著參考點是使用所有電極的平均值，或者是使用者自行決定要用哪幾個電極來做平均當作平均參考點之用。

兩極式的訊號聚集則是選擇相鄰的電極互相做參考點，彼此連成一條直線。例如說第一個差動輸入是使用 FP1 與 F3，第二個差動輸入是用 F3 與 C3，而第三個差動輸入則是使用 C3 與 P3；從頭皮上來看，由 FP1 至 P3 正好連成一條直線。以上的電極位置會在下一章做介紹。

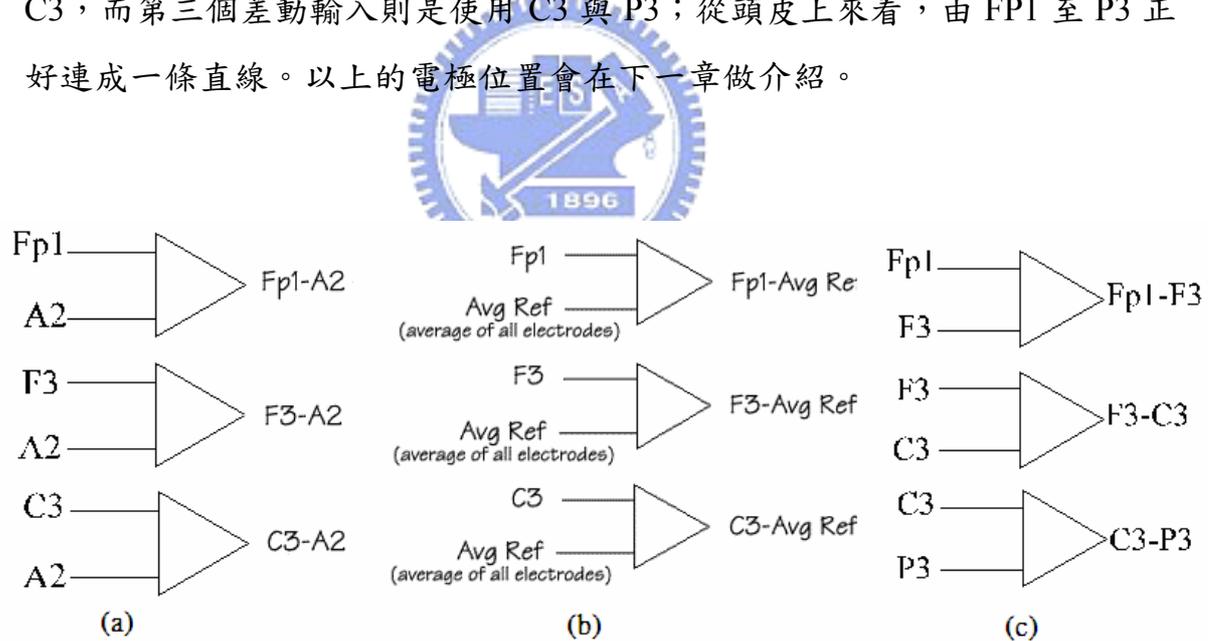


圖 1-7 腦電波訊號的聚集方式：(a)共同參考點(b)平均參考點(c)兩極式[5]

在採用第一種的訊號聚集方式下，每個通道(Channel)可擷取一個電極位置的量測訊號，而一個頭套通常包含 20 個以上的量測通道以擷取不同位置的腦電波。因此在使用離散元件下的腦電波量測系統，使用越多的通道就需要越龐大的電路系統，不僅成本高昂而且在量測系統的複雜度和不方便性也提昇許多。

本論文的最大目的是將前述的腦電波擷取電路利用 IC 技術整合成單一晶片，不僅可以大幅縮小系統的整體面積，並且可以減少外接被動元件的數量，最後與新型針狀乾式電極和後端訊號處理電路(包含類比-數位轉換器與無限射頻電路)整合成可攜式量測電路。

1.4 論文架構

在本論文中，介紹了一個應用於腦電波感測的類比前端放大電路之設計與製造，相較於傳統腦電波量測放大電路，提供了具有低雜訊、低功率損耗以及高效能的放大電路。

本論文內容共分為五章，第一章為緒論，說明本論文主要之研究動機、背景、目標以及論文架構。第二章介紹了傳統腦電波量測系統的介紹與本論文的系統架構。在第三章中主要是討論幾種實現腦電波量測電路中最重要的儀表放大器的電路架構，以及各種架構之優缺點比較。

第四章承襲了第三章中的結果，針對本論文的重點：電流平衡式儀表放大器的設計考量與電路設計做出討論，包括電路的模擬，證實電流平衡式儀表放大器確實是實現在可攜式腦電波量測電路中最好的電路架構。

最後，布局驗證以及結論與未來可以繼續努力的方向將在第五章中說明。

第二章 腦電波量測系統設計

2.1 前言

在現代醫療與認知科學應用中，生理訊號感測已被廣泛的應用。隨著科技的進步，微小化的晶片量測系統已經試著被做出來取代傳統的大型量測系統，讓病人可以在更高的活動性下進行長時間的量測紀錄而不影響其正常活動。一個典型的腦波量測系統如圖 2-1[4]。它包含了國際標準的 10-20 系統頭套和連接到電腦紀錄器的量測電路。



圖 2-1 傳統腦電波量測系統[4]

10-20 系統頭套是國際標準的腦波量測系統，10-20 指的是電極與電極間的距離，每個電極都有其標示的標籤來紀錄電極的訊號。此標準電極設置系統的主要目的是在於將電極放置在頭皮上的位置標準化，對於研究或是醫療上也可以較容易達到溝通與瞭解，劃分的方式是將頭殼眼睛中點到後腦杓之間的部份等分的劃分為數個區域。每個電極位置都有其標示的代碼，例如左半腦使用單數，右半腦使用雙數，F 代表前額，C 代表中央位置，A 代表耳朵，O 代表枕骨。除了量測電極之外，另外還需要一個參考電極來連接到產生固定電位的穩定訊號點，這個位置通常是耳垂或是耳後的乳突骨。一個標準的 10-20 system 如圖 2-2 所示[4]。

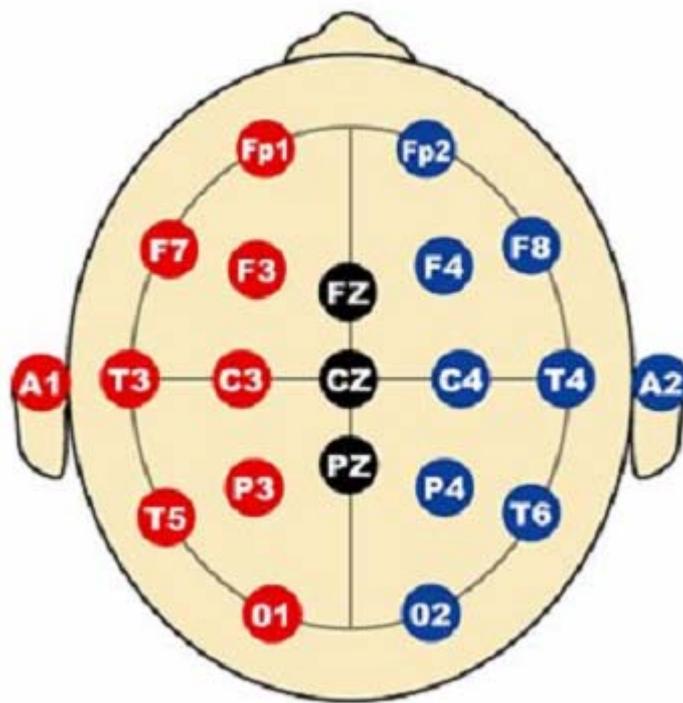


圖 2-2 10-20 system[4]

在量測電極方面，生理訊號感測電極(bio-potential electrode)可看做是一個將離子電流轉換成為電壓訊號的傳感器(transducer)，在另一方面來說，生理訊號感測電極同時也是一種感測器(sensor)來感測如腦電波的電壓訊號。因此，這些使用生理訊號感測電極所感測到之生理訊號的強弱會因為與神經細胞之間的距離增加而減弱，或是因為神經細胞與電極之間的介面阻抗的增加而衰減。

現今已有許多市售的傳統電極可供腦電波之類的生理訊號感測，有著不同的形狀與材料。通常為了兼顧生物相容性與導電性，如金(Au)、氯化銀(AgCl)以及鉑(Pt)是最常使用的材料。

傳統濕式電極通常是圓盤型，上有塗佈一層金屬導電層，因為使用導電膠，因此稱之為濕式電極，如圖 2-3。傳統濕式電極為了要克服過高的皮膚-電極介面阻抗達到較好的量測訊號品質，它們通常需要一些預先的皮膚處理(如去除角質層)以及使用導電膠。完全的去除角質層是非常疼痛的，而導電膠的使用則會造成紅腫發癢等不舒適的感覺。此外，使用導電膠需要較久的設置時間與穩定時間(讓導電膠些微的滲透進表皮)，而且導電膠在長時間的觀測中會逐漸變硬，使得導電性下降。

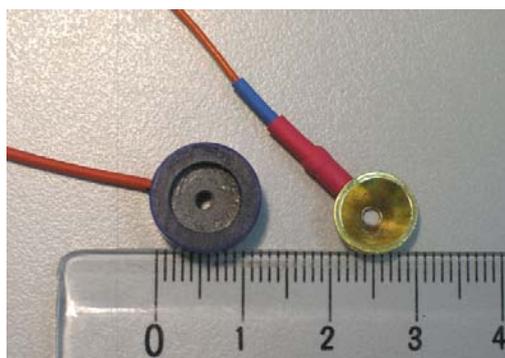


圖 2-3 濕式電極，左為塗佈氯化銀，右為金

傳統乾式電極包括兩種，第一種電極外型與濕式電極相似，差別只在於沒有使用導電膠，直接將金屬層貼附於皮膚之上。另一種電極稱之為隔離式電極(insulated electrode)，在皮膚與金屬層之間多加了一層氧化層(氧化鋁或是氧化矽) [6]。傳統乾式電極較濕式電極來得便利，不必多花時間塗導電膠，但是過高的皮膚-電極介面阻抗使得所量測到的訊號非常微小，同時雜訊也變大。因此此類乾式電極通常需要一個優良的後級放大電路或是在電極上設計一個前級放大器(preamplifier) [1]。而新式的利用微機電技術製造出來的乾式電極，除了大幅減低皮膚-電極介面阻抗外，其尺寸以及電極間的匹配性都較以往的優越[8]，並且由微機電技術製造出來的針狀乾式電極擁有微小化以及批次生產的優勢，再利用各式封裝技術，如覆晶封裝(flip-chip bonding)，則可將針狀乾式電極與其他的電路系統做整合，若再搭配一些無線傳輸的模組，如射頻模組(RF module)，即可往一可攜式系統發展，如圖 2-4 所示。

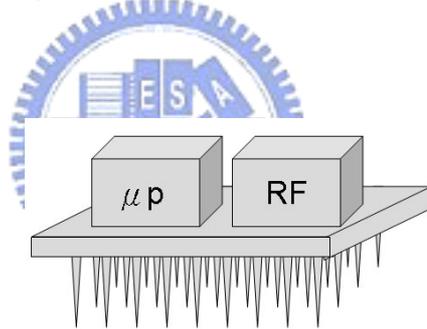


圖 2-4 可攜式整合系統

圖 2-5 是兩種尺寸的針狀乾式電極，分別是 $4 \times 4 \text{mm}^2$ 與 $3 \times 3 \text{mm}^2$ ，其中分佈著 20×20 個高約 $300 \mu\text{m}$ 、直徑約 $35 \mu\text{m}$ 的微探針陣列。這個電極使用具有導電性的銀膠(silver glue)將針狀乾式電極裝置在軟性電路板(flexible printed circuit board, FPCB)之上，導電銀膠同時提供了附著性以及針狀乾式電極和軟性電路板之間的導電性。接著透過軟性電路板即可針狀乾式電極的電性連接到後級的測試電路之上，在實際使用的時候，必需要另外使用透氣膠布將電極固定在頭皮之上[8]。

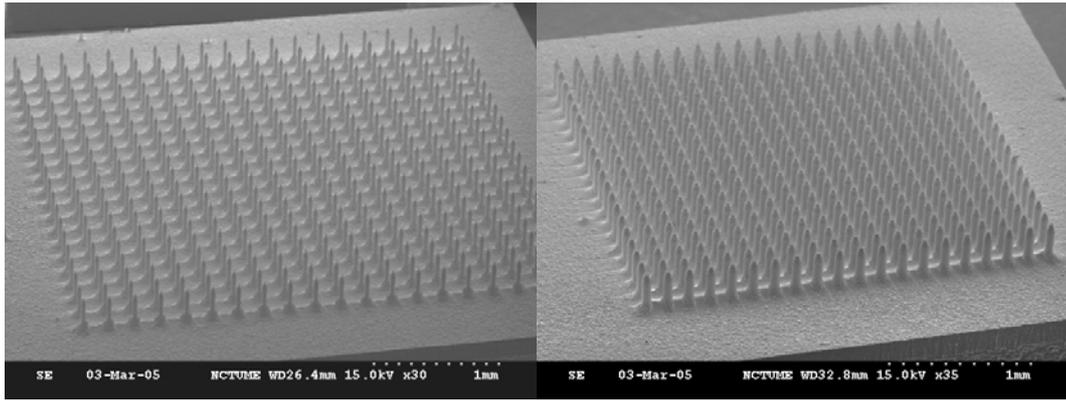


圖 2-5 針狀乾式電極[8] (a) $4 \times 4 \text{mm}^2$ (b) $3 \times 3 \text{mm}^2$

2.2 電路需求

在第一章介紹了利用離散元件組成的腦電波量測系統，經由實際系統量測證實圖 1-4 可以作為腦電波量測電路的系統方塊圖，不同的是，由於本計畫將利用電池供電而非電源供應器供電，因此在 60Hz 的帶拒濾波器則可省略，其修正的頻寬如圖 2-6 所示，高通與低通頻率分別是 0.1Hz 和 150Hz。在可攜式腦電波量測系統需求下，低電壓是一個重要的考量。考量到可攜式電路，設計了可以在低操作電壓($\pm 1.5\text{V}$)使用電池供電的情況下長時間使用的電路以利整個系統的運作，因此越低的功率損耗就可以達到越長時間的紀錄。腦電波的頻段屬於超低頻段(0.1~150Hz)，在這樣的低頻下，除了熱雜訊之外，flicker noise 是個很大的雜訊問題，因此低雜訊也是需要考量到的設計重點。此外，腦電波的訊號大小通常不超過 $100 \mu\text{V}$ ，相對於其他訊號這是相當微小的訊號強度，而通常存在於皮膚-電極介面間的電壓通常大於數十 mV，甚至於達到 300mV 的強度，因此這樣的大共模電壓容易使電路產生飽和而產生錯誤的電路運作，這也引導出了腦電波量測電路前端最重要的部份，高共模拒斥比、低雜訊和低功率損耗的儀表放大器。

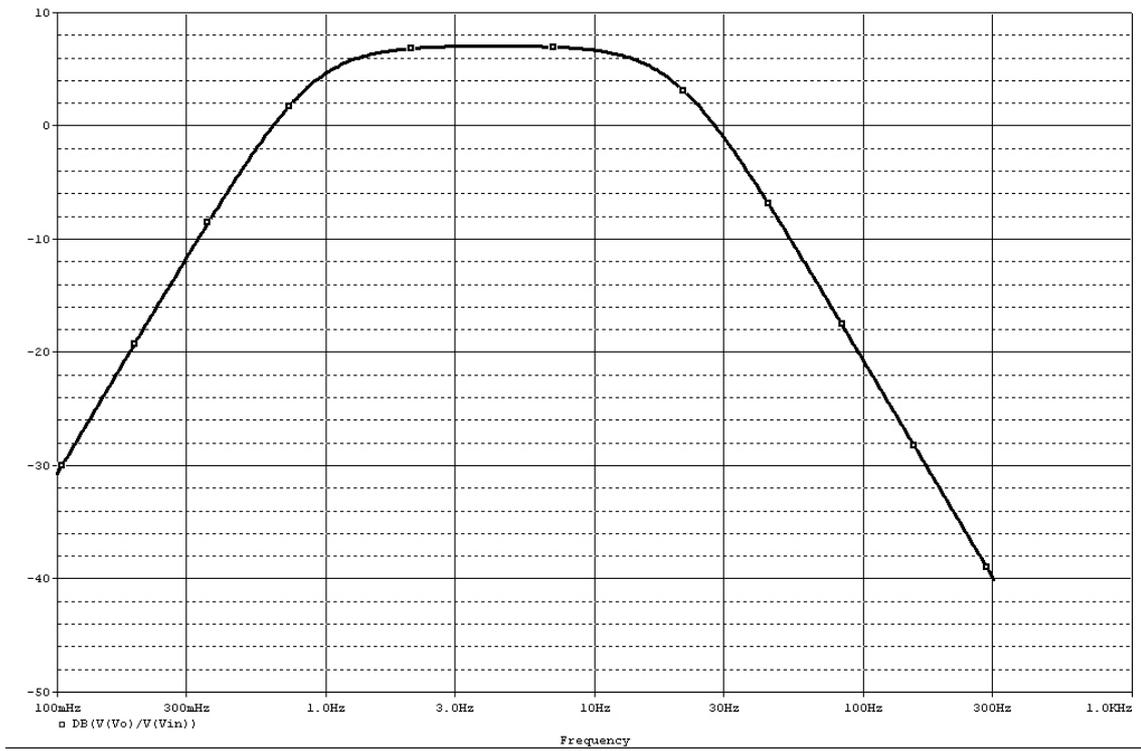


圖 2-6 頻率響應模擬



2.3 電路架構

承上一小節介紹，本論文電路的組成將由一個儀表放大器與高通和低通濾波器以及一個可調增益放大器來構成。圖 2-5 是本論文的電路架構。第一級由儀表放大器構成，包含兩個外接電容 C_S 和 C_H 。第二級由一個運算放大器組成的非反向正端輸入可調增益放大器，包含一個外接可變電阻 R_1 。

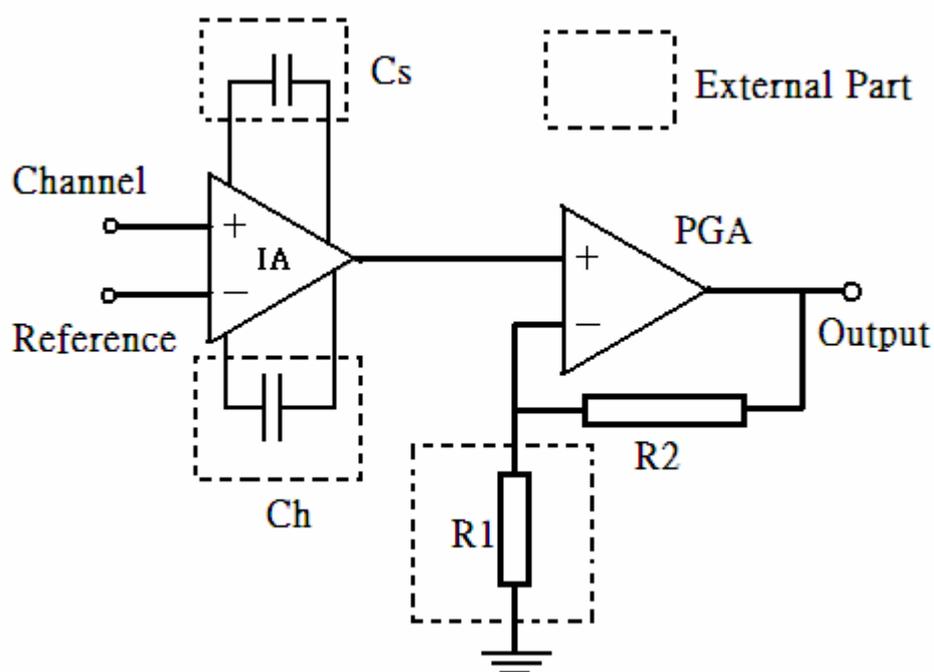


圖 2-7 電路架構

2.4 結語

本章介紹了腦電波量測系統的架構以及腦電波量測的需求限制，針對這些限制進一步設計符合腦電波量測的前端放大電路以利腦電波的讀取。

第三章 儀表放大器

3.1 前言

上一章提出了腦電波量測電路所需要的條件限制，其中最重要的部份就是屬於第一級的儀表放大器。儀表放大器是在任何處理低電壓訊號系統的前端中非常重要的部份。儀表放大器的好壞可以直接影響到利用微探針擷取到的腦電波訊號還有整個後端的電路。根據上一章提及的腦電波規格，因此一個低雜訊、低電流以及高共模拒斥比的儀表放大器便是設計的目標。這章介紹了幾種主要實現高共模拒斥比的電路架構，最後引出本論文的設計架構，電流平衡式儀表放大器。



3.2 三運算放大器的儀表放大器(Three op-amp INA)

如圖 3-1[9]所示是典型的三運算放大器儀表放大器(3OIA)的架構。其中輸入(V_{in+} , V_{in-})的正負端由差動放大器(difference amplifier)A3 的正負極性來定義。這個架構是實現儀表放大器最直接的方式。如圖可以看到整個電路由前端兩個正端輸入緩衝放大器以及後端的差動放大器組成。其中正端輸入緩衝放大器可以有多種的設計考量來實現儀表放大器所需的基本定義。當兩個正端輸入緩衝放大器完全匹配的時候，這個電路架構的正負兩端輸入可以擁有相同並且很大的輸入電阻，一般通常大於 1G ohm。另外的好處是回授電路和輸入端是隔絕的還有增益可由 R_g 來控制且不會因此影響到共模增益。不過為了要得到高共模拒斥比必須要使電阻完全的匹配，否則當電阻不匹配時共模拒斥比會有嚴重的降低而影響到電路的效能。

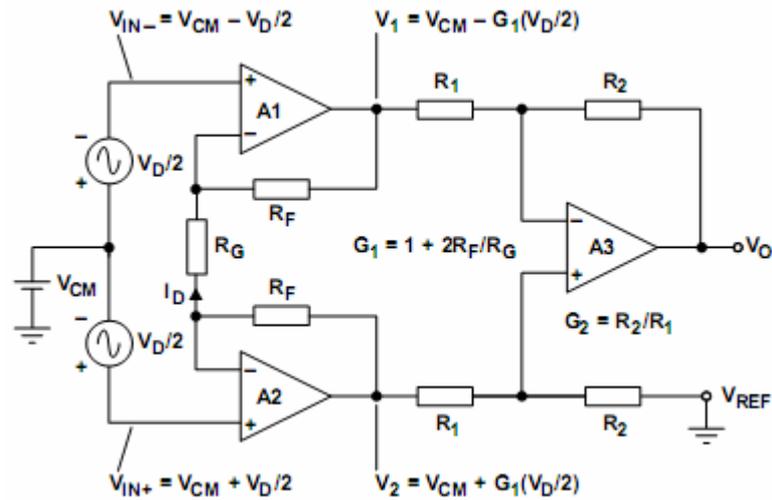


圖 3-1 典型三運算放大器的儀表放大器[9]

此外，低功率損耗更是我們考慮的重點，因此低操作電壓及低電流都是必備的。此架構為了讓電流降低則電阻值必須要提高，但是卻也必須大幅增加晶片的面積以及製程上電阻的誤差。精確的電阻匹配可以利用雷射切割的方式來得到以實現高共模拒斥比，另外改進的架構，雙運算放大器的儀表放大器(Two op-amp Instrumentation amplifier)，如圖 3-2[10]，則是不需要後端的差動放大器來得到高共模拒斥比的儀表放大器，但是同樣跟 3OIA 不適用在本電路中。

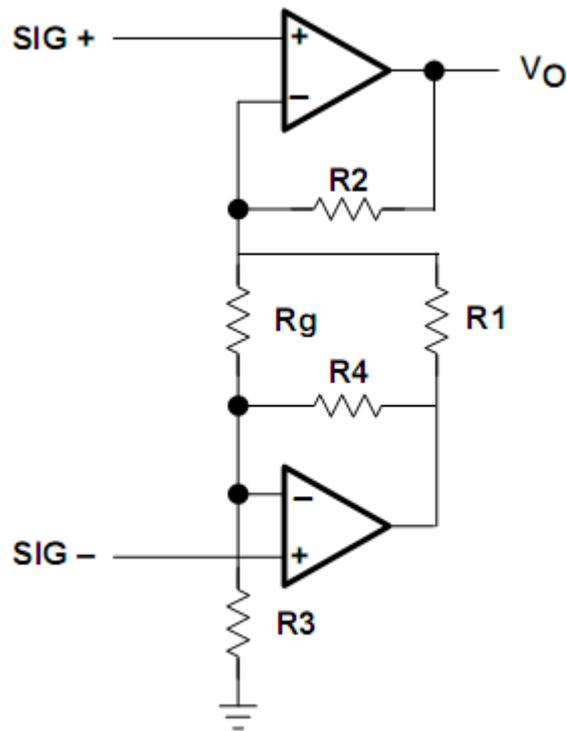


圖 3-2 2OIA 架構圖[10]

3.3 截波穩定微分差動放大器 (Chopper-stabilized Differential Difference Amp., CHSDDA)

除了典型的 3OIA 之外，另外一個被提出適用於低電壓、低雜訊以及高共模拒斥比的架構叫做微分差動放大器(DDA)，一個正端輸入的 DDA 如圖 3-3 所示。

這個架構的好處是儀表放大器的增益只需要一個主動放大器加上兩個電阻來設定，並且在這樣的設計中，共模拒斥比只會受到輸入端的不匹配影響。電阻 R_1 和 R_2 的不匹配只會影響到增益，並不像 3OIA那樣會因為電阻的不匹配而使共模拒斥比有嚴重的降低。輸入與輸出的關係式如式 3-1。

$$V_{out} = V_{in} \cdot \left(\frac{R_2}{R_1} + 1 \right) \quad (3-1)$$

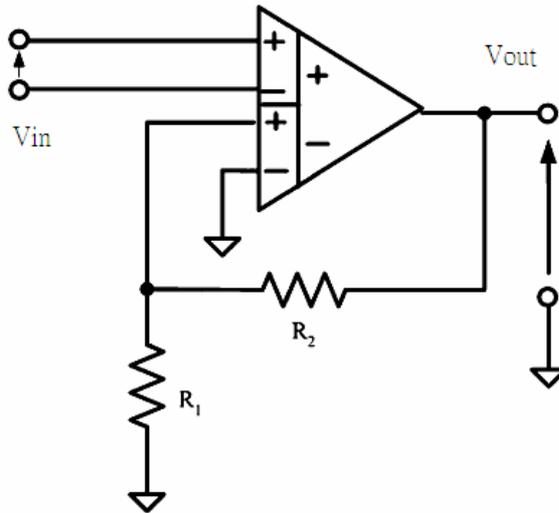


圖 3-3 非反向微分差動放大器

在這樣的架構下，為了降低輸入端不匹配的影響，加入截波穩定技術 (Chopper-Stabilized technology) 可以實現同時得到高共模拒斥比、低輸入偏差以及低 flicker 雜訊。其中雜訊可以經由調變器來提高到較高頻的頻段然後再經由低通濾波器將雜訊濾掉，截波穩定技術運作的概念如圖 3-4 所示[12]。

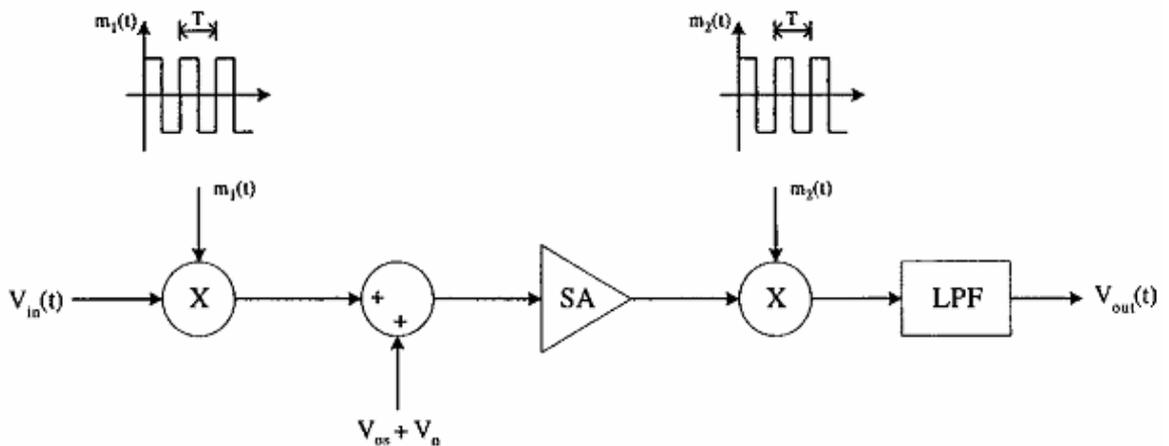


圖 3-4 CHSDDA 概念圖[12]

圖上可以看到雜訊 V_n 只經由一次的調變，而輸入的腦電波訊號會經由兩

次的調變回到原本的基頻因而保留訊號並且把雜訊給濾掉。接下來介紹整個 CHSDDA 的方塊圖，圖 3-5[11]。

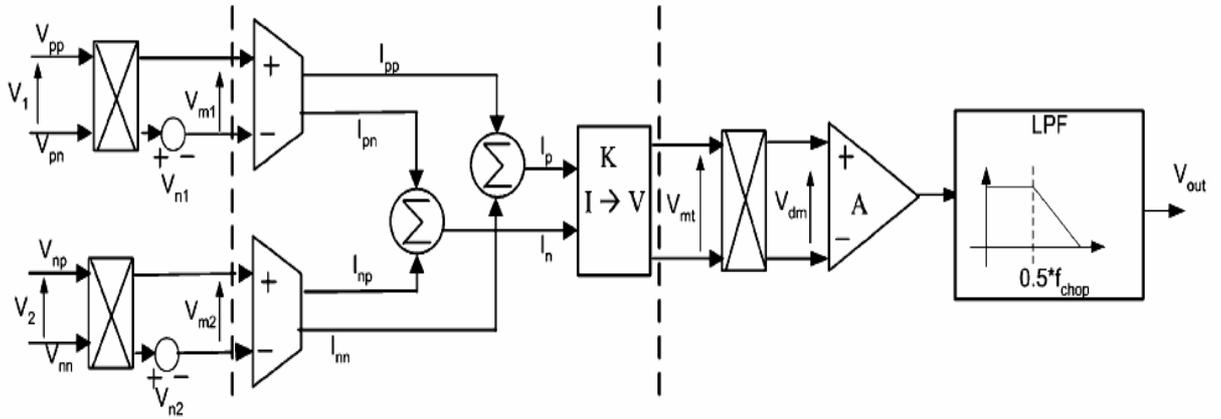


圖 3-5 CHSDDA 方塊圖[11]

圖 3-5 中顯示出兩組差動輸入訊號同時被調變並且經由轉導器(trans-conductance cell)轉成電流訊號，電流訊號接著會相加然後轉回電壓訊號。最後再經由後端輸出的調變器將電壓訊號調變回基頻的頻段。然而此時電路中的非理想參數如從輸入端產生的直流偏差(dc offset)或是 flicker 雜訊都會經由後段的調變器被調變到較高的頻率，最後再經過一個低通濾波器把被調變到高頻的雜訊給濾除。

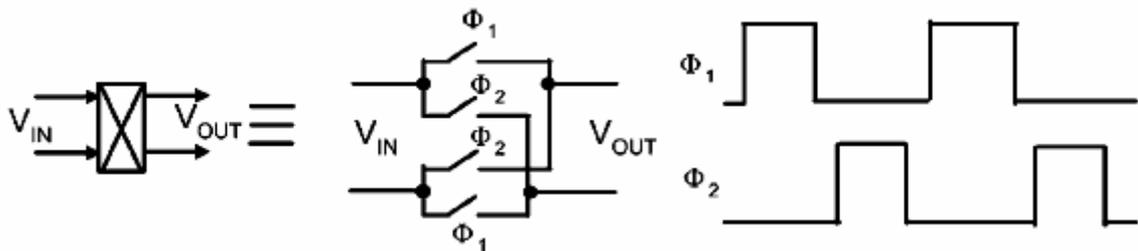


圖 3-6 截波切換器和非相位重疊的時脈訊號[11]

圖 3-6[11]是截波切換(Chopping switch)的電路架構以及兩個非相位重疊

的輸入時脈訊號 ϕ_1 和 ϕ_2 ，而其頻率通常選擇在 10k Hz 作為截波頻率 (chopping frequency)。在[11]的設計中，最後端的低通濾波器的截止頻率在 $\frac{1}{2}f_{\text{chop}}$ 則可以將被調變到較高頻的雜訊給濾除掉。但是和其他架構相比，電路還另外多了調變器需要的時脈訊號，增加了設計的複雜度以及電流的消耗。這個電路會造成系統另外的雜訊來影響到原本的訊號並且需要較多的外部被動元件，因而使得整個量測系統的體積與重量皆上升。接下來利用圖 3-7[11]概述這個架構的原理。

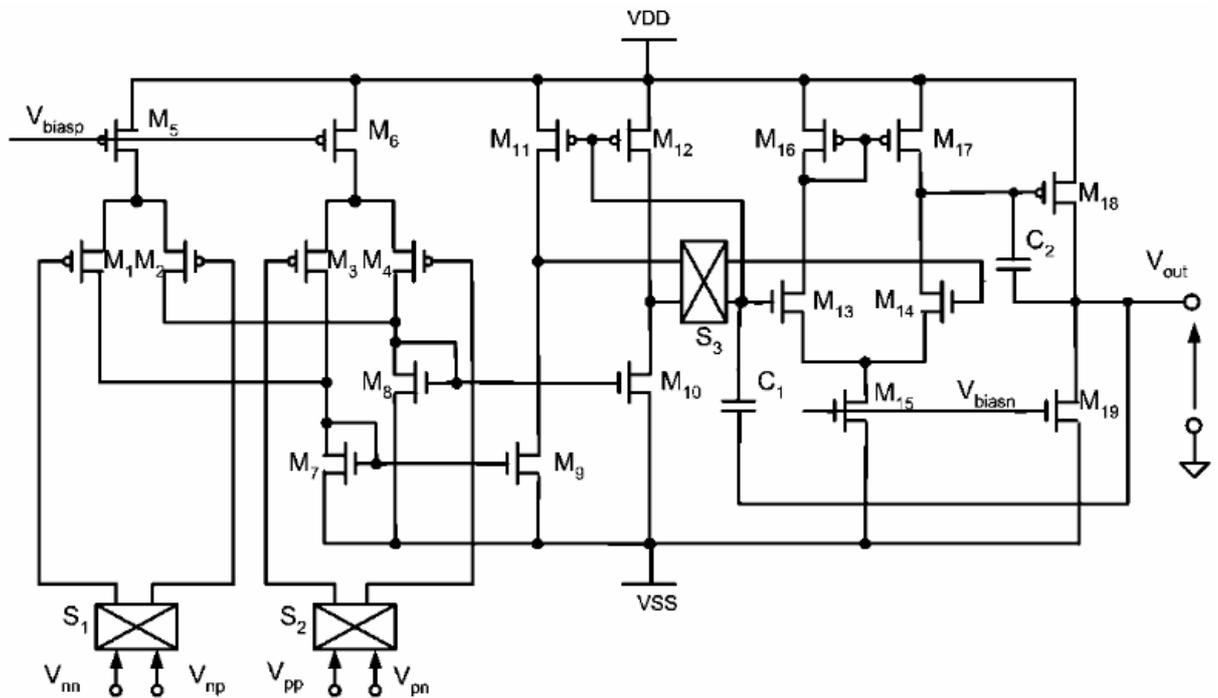


圖 3-7 CHSDDA 詳細電路圖[11]

每個DDA輸入端包含了一個CMOS截波切換電路(Chopping Switch Network)和由 M_1 - M_2 組成的轉導級(trans-conductance stage)將電壓訊號轉成電流訊號。而截波切換電路分別將兩組差動輸入訊號調變到截波頻率。接下來流經 M_7 和 M_8 的差動電流會經由主動負載(M_{11} - M_{12})轉成電壓訊號，並且主動負載連同截波切換電路 S_3 構成解調器。解調變後的訊號再由下一級的二階放

大電路(M13-M19)作為最後的增益級和輸出緩衝。為了使flicker雜訊的影響減低，電晶體(M₁-M₄)都使用PMOS當作輸入級。

3.4 截波穩定技術(Chopper-Stabilized Technology, CHS)

接下來這小節要介紹的是截波穩定技術。如圖 3-4 所描述的是截波穩定技術的原理。m₁(t)和m₂(t)分別是調變和解調的載波訊號，頻率同樣是截波頻率f_{chop}。另外V_{os}和V_n分別是直流偏差和雜訊。其中輸入的訊號頻率必須小於 $\frac{1}{2}f_{chop}$ 以避免訊號aliasing的產生。使用方波載子的調幅是將訊號調變到較高的頻率(flicker雜訊和頻率成反比)，接著將訊號放大之後再調變回原本的頻率。式 3-2 及式 3-3 分別是載波訊號的傅立葉表示式和時域表示式。而載波設計成m(t)*m(t)=1。

$$m(t) = 4AV_{in}(t) \sum_{k=1}^{\infty} \frac{\sin(\frac{k\pi}{2})}{\frac{k\pi}{2}} \cos(2\pi f_{chop}kt) \sum_{l=1}^{\infty} \frac{\sin(\frac{l\pi}{2})}{\frac{l\pi}{2}} \cos(2\pi f_{chop}lt) \quad (3-2)$$

$$m(t) = \begin{cases} 1, & 0 < t < \frac{T_{chop}}{2} \\ -1, & \frac{T_{chop}}{2} < t < T_{chop} \end{cases} \quad T_{chop} = \frac{1}{f_{chop}} \quad (3-3)$$

圖 3-5 中轉導器的輸入分別是V_{m1}和V_{m2}，其式子如下。

$$\begin{aligned} V_{m1}(t) &= V_1(t) \cdot m(t) + V_{n1}(t) \\ V_{m2}(t) &= V_2(t) \cdot m(t) + V_{n2}(t) \end{aligned} \quad (3-4)$$

這兩個訊號分別經由放大倍率K的轉導放大器轉換成電流訊號之後相加再轉回電壓訊號V_{mt}，最後的解調器得到V_{dm}訊號。表示式為式 3-5。

$$\begin{aligned} V_{dm}(t) &= G_m \cdot K \cdot m(t) [(V_1(t) \cdot m(t) + V_{n1}(t)) - (V_2(t) \cdot m(t) + V_{n2}(t))] \\ V_{dm}(t) &= G_m \cdot K [(V_1(t) - V_2(t)) + m(t) \cdot (V_{n1}(t) - V_{n2}(t))] \end{aligned} \quad (3-5)$$

很明顯的，最後將訊號 V_{dm} 經由一個最大截止頻率為 $\frac{1}{2} f_{chop}$ 的低通濾波器作濾波的動作，將包含直流偏差、flicker雜訊和偶次諧波(even-order harmonics)的部份濾除[11][12]。

由上面的分析可以發現截波穩定技術對於低頻低雜訊的電路需求有相當大的助益，這個方法和 CDS(Correlated Doubling Sampling)都是抑制低頻雜訊的主要技術。但是使用截波穩定技術就必須在電路複雜度之間作權衡，通常為了要得到好的結果必須要付出相當大的心力來設計截波電路。此外，如果當輸入訊號的頻寬大於截波頻率時，截波穩定式放大器的交流動態(ac dynamics)會變得相當的複雜。



3.5 電流平衡式(Current-Balancing)儀表放大器

利用電壓回授運算放大器組成的儀表放大器廣泛的被使用在工程應用領域中。但是要有良好的結果必須依賴在高度匹配的電阻以及在頻寬跟增益之間的權衡。傳統的電阻回授式差動儀表放大器為了驅動回授電阻而必須要有低輸出阻抗，但是這也代表高電流和高功率損耗是無法避免的。另外一種被 Wilson[13]以及 Toumazou 和 Lidgey[14]提出的電流模式的方法可以提供高共模拒斥比而不受電阻匹配的影響。並且在電路整合中，電流式儀表放大器的電路複雜度較低並且如果電晶體匹配的話，它將是最適合同時實現低電流、低雜訊、高共模拒斥比和面積小的電路架構。圖 3-8 是電流式儀表放大器的概念圖。

輸入電壓經由轉導放大器轉換成電流訊號再由電流鏡複製到輸出端的

轉阻放大器轉換回電壓訊號，因此輸入端和輸出端分別由轉導放大器和轉阻放大器組成。在輸入端和輸出端分別可表示為式 3-6 和式 3-7。

$$i_1 = \frac{V_{i+} - V_{i-}}{R_i} \quad (3-6)$$

$$V_{o+} = R_o \times i_2 + V_{o-} \quad (3-7)$$

接著根據式 3-6 和式 3-7 可以得到輸出和輸入的關係式 3-8。

$$V_{o+} = k \cdot \frac{R_o}{R_i} (V_{i+} - V_{i-}) + V_{o-} \quad (3-8)$$

值得注意的是，這個架構和傳統由三個運算放大器組成的架構不同的是它沒有 global feedback，而在輸入端和輸出端之間只存在著一個高阻抗點，這也簡化了頻率補償。並且高共模拒斥比和增益不需要匹配的電阻來達成，而電阻數也大幅減少來達到減少晶片面積的需求[15]。

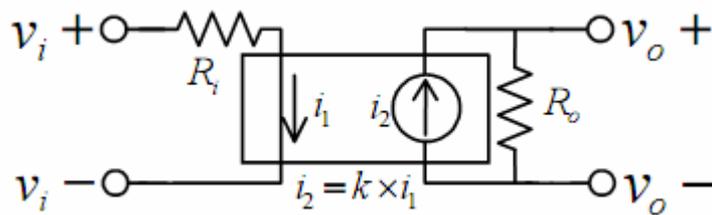


圖 3-8 電流平衡式儀表放大器(CBIA)概念圖

3.6 結論

這一章介紹了三種主要實現儀表放大器的方式，傳統三運算放大器的架構(3OIA)、截波穩定式微分差動放大器(CHSDDA)以及電流平衡式儀表放大器

(CBIA)。根據腦電波擷取的需求：低電流、低功率損耗、高共模拒斥比、低面積、低雜訊，電流平衡式儀表放大器無疑是最適合的方式來作為腦電波的前端放大電路。下一章將介紹電流平衡式儀表放大器的設計與模擬結果。



第四章 腦電波量測電路

4.1 前言

上一章介紹了幾種儀表放大器的電路架構，其中電流平衡式儀表放大器是最適合使用在本電路的架構。接下來本章將介紹腦電波量測電路的設計，包含了電流平衡式儀表放大器的設計與改進還有後端的可調增益放大器。

4.2 電流式儀表放大器電路架構

首先利用一個簡化的電路來說明電流平衡技術的應用架構，如圖 4-1[15]。為了使flicker雜訊降低，可以明顯看到選用PMOS當作輸入(M₁-M₂)是毋庸置疑的，它可以比NMOS有效的減少flicker雜訊的影響。當沒有差動訊號輸入時，這個電路的每對電流都會相等並且在輸出端得到 0V的電壓。當輸入端有差動訊號驅動時，如果輸入電晶體(M₁-M₂)互相匹配時，此時兩端的閘-源電壓(V_{gs})幾乎相等，並且得到R_g的電流為

$$i_{R_g} = \frac{v_1 - v_2}{R_g} \quad (4-1)$$

此時轉導放大器GM的兩端輸出電流會變得不同來維持M₁和M₂的電流相等。GM兩端的輸出電流的差值會是i_{R_g}的兩倍來維持原本的平衡。接著(M₅-M₁₀)和(M₆-M₉)這兩對電流鏡會以式 4-2 的關係式由電壓放大器A_v線性化的輸出電晶體(M₇-M₈)轉換成電壓訊號。因此整個電路在i_{R_g} = i_{R_g}的情況下可

以得到式 4-3 的輸出關係[15]。

$$i_{R_s} = \frac{(V_{out} - V_{ref})}{R_s} \quad (4-2)$$

$$V_{out} = \frac{R_s}{R_g} \cdot (v_1 - v_2) + V_{ref} \quad (4-3)$$

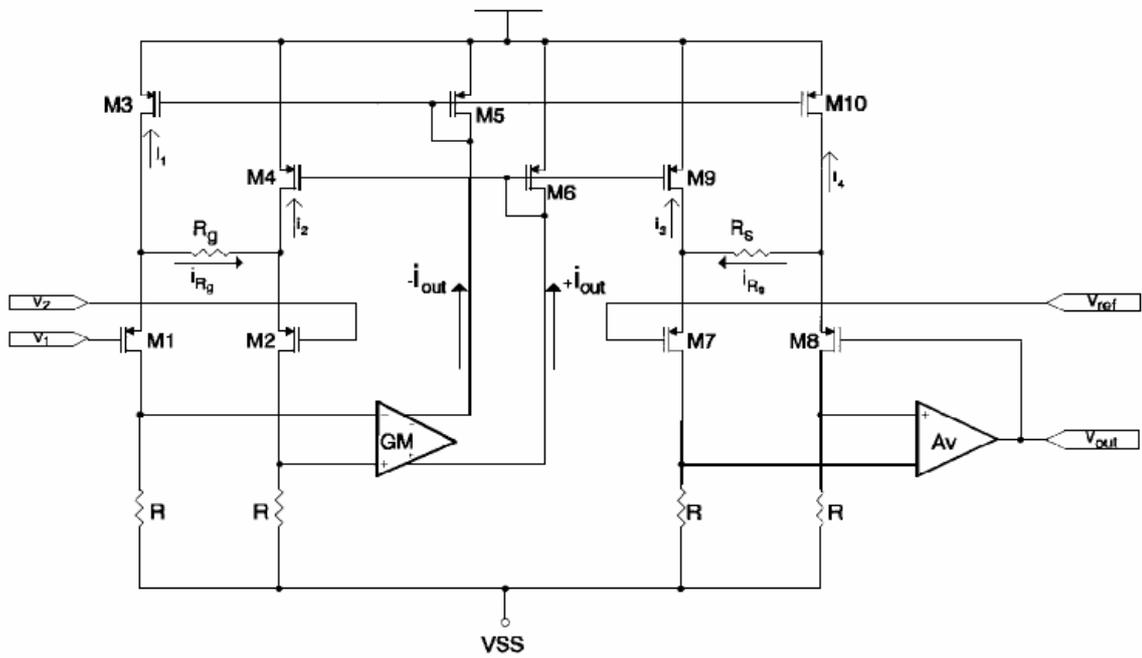


圖 4-1 簡化的電流平衡式儀表放大器電路圖[15]

4.3 低通與高通

這個小節將介紹儀表放大器的低通與高通設計。為了使雜訊降到最低的影響程度，儀表放大器包含了一個帶通濾波(0.1Hz-150Hz)的功能。在低通的部份，將 $10k\Omega$ 的 R_s 並聯一個電容 $1pF$ 的 C_s 可以產生一個極點，極點位置在

$$f_H = \frac{1}{2\pi \cdot R_s \cdot C_s} \quad (4-4)$$

而高通的部份因為截止頻率較低，因此不適合用被動元件實現。另外一個可以實現高通的方法是在輸出端拉出另外一個回授迴路利用主動 GM-C 濾波器在低頻的位置來形成一個零點，GM-C 濾波器如圖 4-2。其輸入和輸出的頻率響應為

$$V_o = \left(\frac{GM}{sC}\right)V_i \quad (4-5)$$

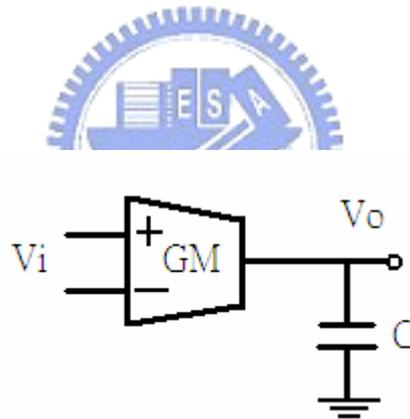


圖 4-2 GM-C 濾波器

將 GM-C 濾波用在輸出端的回授迴路，因此得到零點

$$f_L = \frac{GM_{filter}}{2\pi \cdot C_{filter}} \quad (4-6)$$

由式 4-6 可以得到當 $f_H=0.1Hz$ ，轉導放大器 GM 的增益為 $1.8587u$ 時，需要一個外接 2.88μ 的電容來達到這個零點的設置[16]。

圖 4-3 是將 GM-C 濾波器接在儀表放大器輸出端的電路圖。

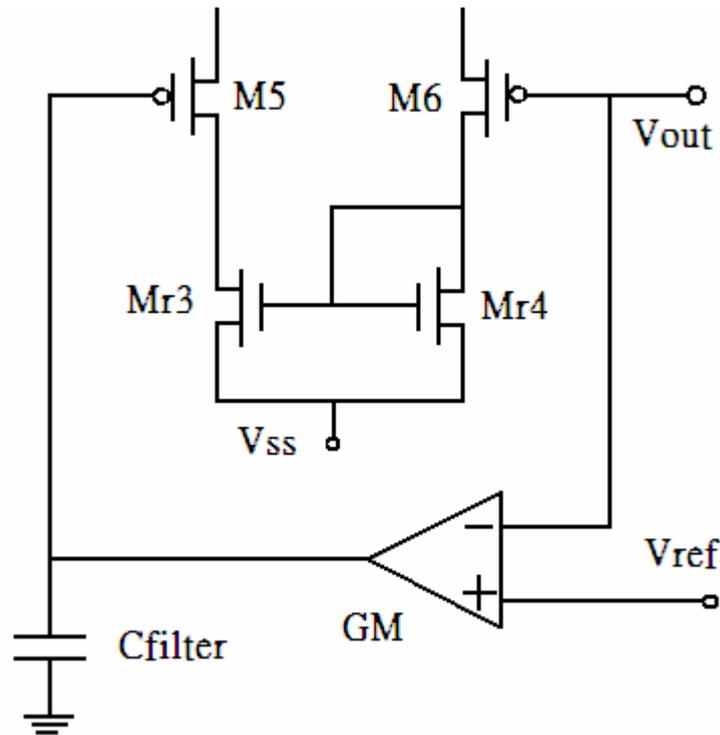


圖 4-3 包含 GM-C 主動濾波的輸出回授迴路

4.4 High-swing cascode current mirror for CMRR enhancement

電流鏡是CMOS積體電路設計中最重要的組成之一，可以看到得很廣泛的被使用在偏壓電流電路、電流複製、主動負載和電流放大器。圖 4-1 中所使用的電流鏡是最簡單的電流鏡，但是此種架構的輸出電阻較容易隨著輸出電壓改變輸出電流，也就是輸出電阻值不夠大，而電流鏡的輸出電阻對於決定共模拒斥比扮演著重要的角色，因為電流鏡的輸出電阻組成了輸入差動對的波尾電阻(tail resistance)，當電流鏡輸出電阻越高時，將可以得到更高的共模拒斥比[17][18][19]。因此必須試著改變電流鏡的架構來增加電流鏡的輸出電阻。如圖 4-4 是High-swing cascode電流鏡的電路圖，其中 I_{ref} 選擇為 $0.82 \mu A$ ，圖 4-5 為輸出電流對輸出電壓的模擬結果。可以從圖中發現 high-swing cascode電流鏡的輸出電阻比簡單的電流鏡高了許多。

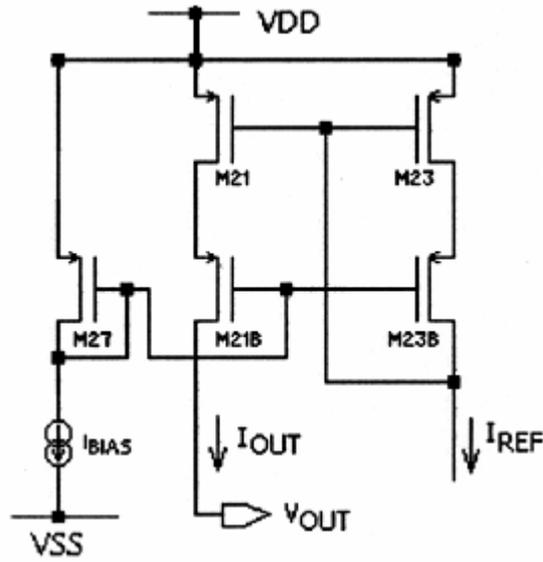


圖 4-4 High-swing cascode 電流鏡電路圖[18]

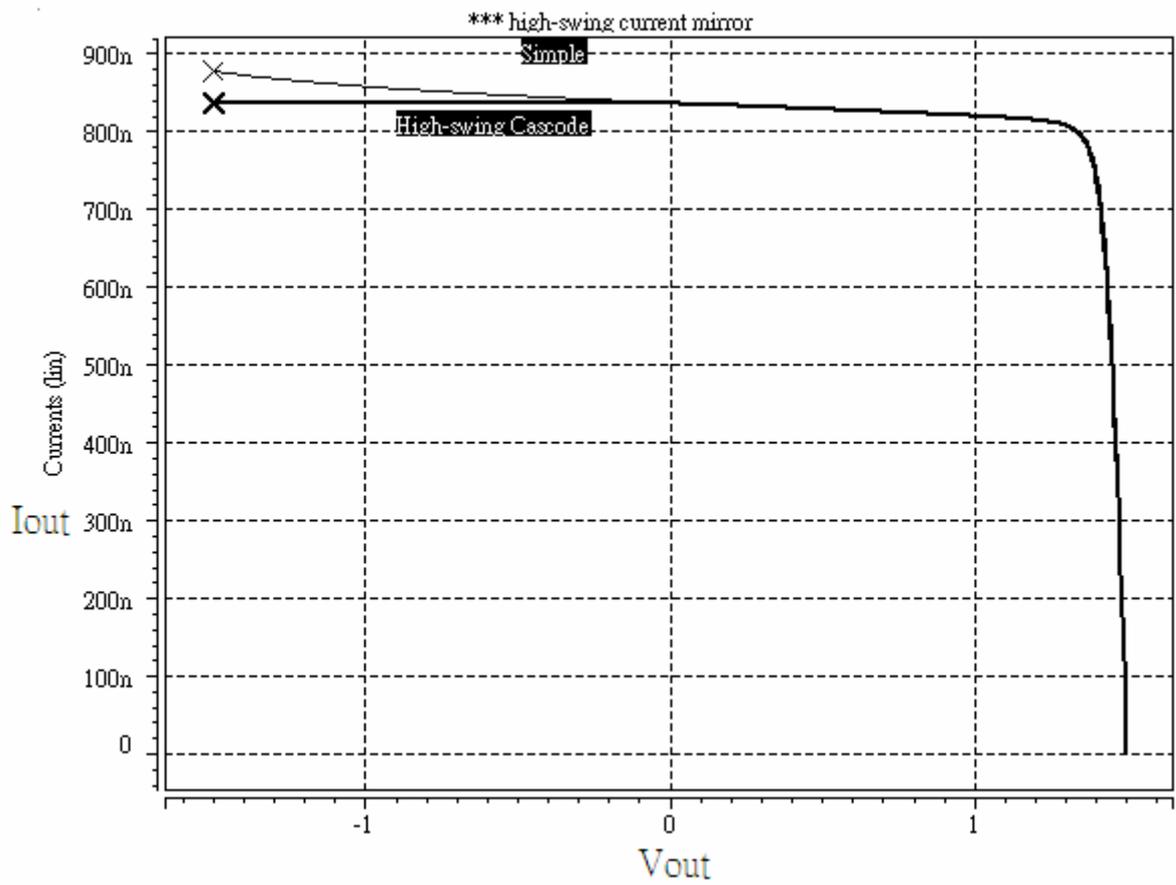


圖 4-5 High-swing cascode 電流鏡的輸出電流對輸出電壓模擬

4.5 完整的電流式儀表放大器與設計考量

根據以上的分析與設計，最後得到圖 4-6 的完整電路。其中 C_s 和 C_{II} 為外接的電容。

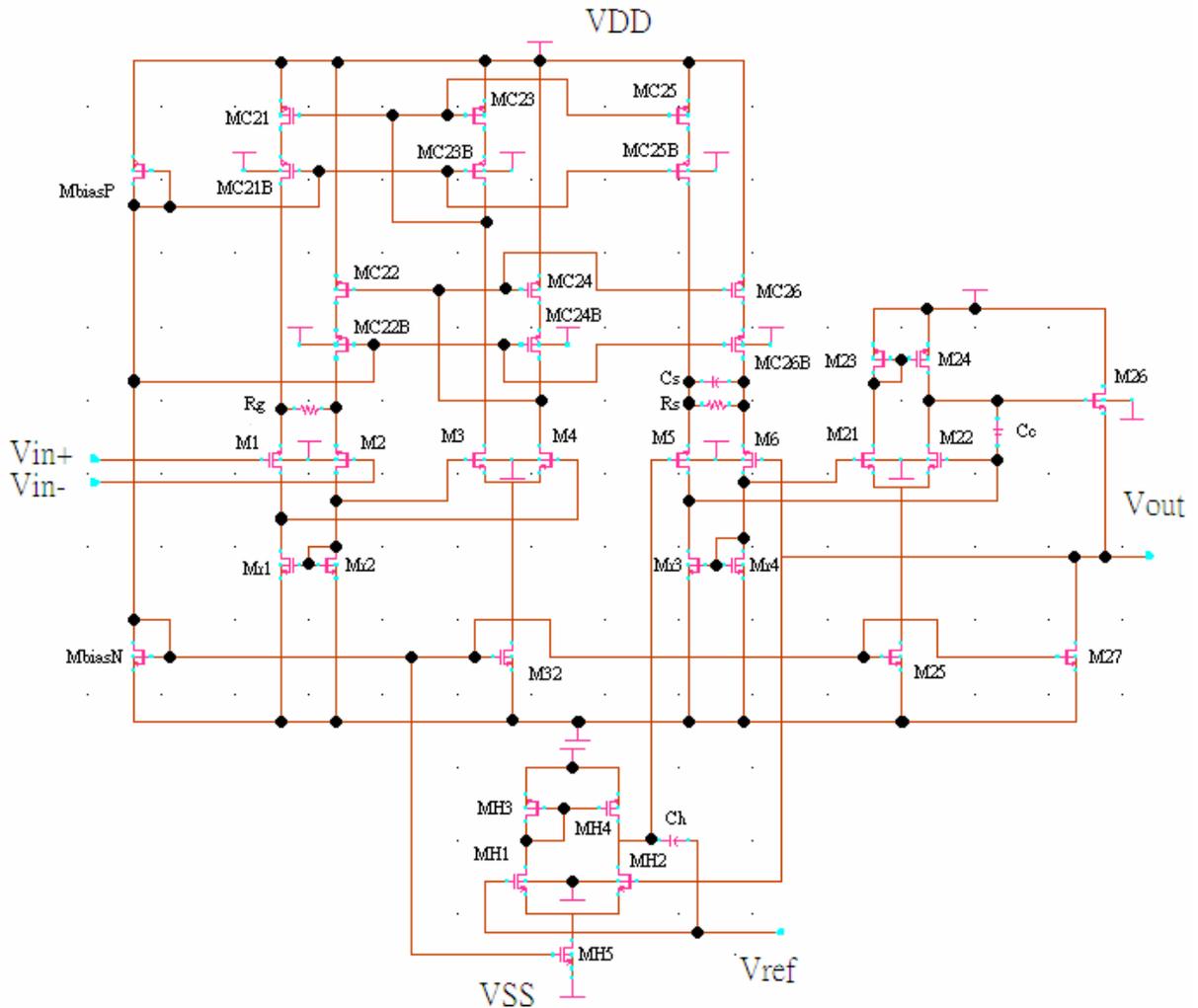


圖 4-6 包含低通和高通的完整儀表放大器電路圖

很重要的一點是為了讓 M_1 - M_2 輸入對和 M_7 - M_8 輸出對保持良好的線性，在輸入端和輸出端的回授迴路必須擁有夠高的迴路增益[15]。在輸入對和輸出對保持良好的線性時，儀表放大器的增益將會非常接近 $\frac{R_s}{R_g}$ ，電路中 R_s 為了使極點可以產生在約 150Hz 的頻率，而選擇 10.6K Ω ，在 R_g 方面，為了同時考慮電

流消耗以及雜訊影響，當 R_g 的值過小會增加電流消耗，過大時則會增加在輸入端的雜訊(thermal noise $\overline{V_{n,R}^2} = 4KTR$)。另外在雜訊降低的考量上，負載電晶體 $M_{r1}-M_{r4}$ 的轉導值通常要小於輸入電晶體的轉導值至少四倍來減低雜訊的影響。根據[20]，熱雜訊跟flicker雜訊的關係式分別可以得到為式 4-7 和式 4-8，其中和輸入電晶體 M_1-M_2 疊接的共閘連接電晶體 M_7-M_8 所產生的熱雜訊和flicker雜訊相當微小而在式子中忽略[19]。

$$\overline{V_{n,thermal}^2} \approx 4kT\Delta f \left[\frac{1}{3} \left(\frac{2}{g_{m1}} + R_g \right)^2 \cdot (g_{m32} + g_{m24}) + \frac{4}{3g_{m1}} + \frac{2g_{mr1} + g_{mr3}}{3} \cdot R_g^2 + \frac{R_g^2}{R_s} + R_g \right] \quad (4-7)$$

$$\overline{V_{n,flicker}^2} \approx \frac{1}{2} \left(\frac{2}{g_{m1}} + R_g \right)^2 \cdot (g_{m32}^2 \cdot \overline{V_{nf32}^2} + g_{m24}^2 \cdot \overline{V_{nf24}^2}) + 2 \cdot \overline{V_{nf1}^2} + R_g^2 \cdot \left(\frac{1}{2} g_{mr3}^2 \cdot \overline{V_{nfr3}^2} + g_{mr1}^2 \cdot \overline{V_{nfr1}^2} \right) \quad (4-8)$$

從上面二式可以找出許多設計上的考量。輸入電晶體(M_1-M_2)的轉導值必須夠大使得雜訊降低，不過因為低電流的關係，過高的轉導值則會容易造成電晶體關閉，而另外一方面負載電晶體跟電流鏡的轉導值則需保持夠低的值以讓雜訊降低。除此之外，考慮到flicker雜訊和電晶體面積成反比，因此為了有效降低處在低頻的雜訊，選擇遠高於製程最小線寬的 W 和 L 將是必須的。而越大的 R_g 則會導致輸入端受到雜訊相當大程度的影響，在這個設計中選擇 $R_g = 1k\Omega$ ，但是在另外一方面，提高 R_g 可以減低電極間偏差電壓對電路造成的影響[21][24]，因此在此兩方面的權衡也是設計需要考量的。

4.6.1 電路模擬結果

在輸入訊號部份，儀表放大器有正負兩端輸入，輸入端的共模電壓最大可到達 950mV，而在測試的輸入差動訊號方面則是 100 μV 振幅的弦波作為輸入。圖 4-7 和圖 4-8 分別是兩端 50Hz 輸入在共模電壓 0mV 和 300mV 下的波形與其輸出。根據模擬結果可以得到 CMRR 在電極偏差電壓(electrode offset voltage)=0V 時約為 273dB。

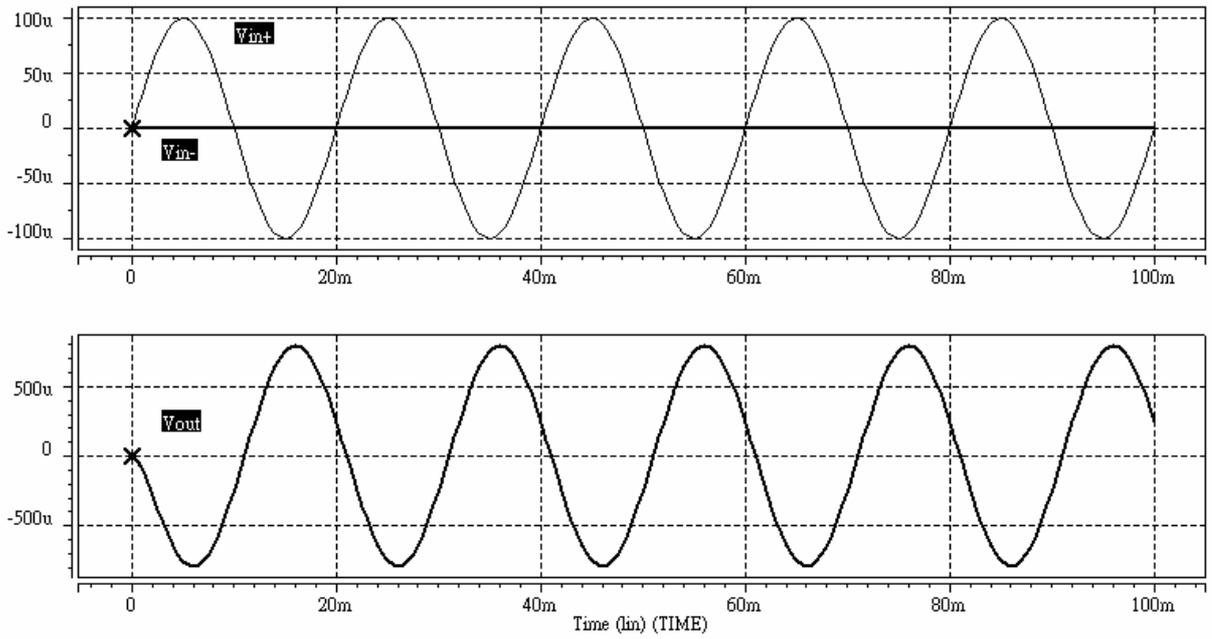


圖 4-7 共模電壓 0mV 振幅 $100\mu\text{V}$ 的 50Hz 輸入與輸出波形

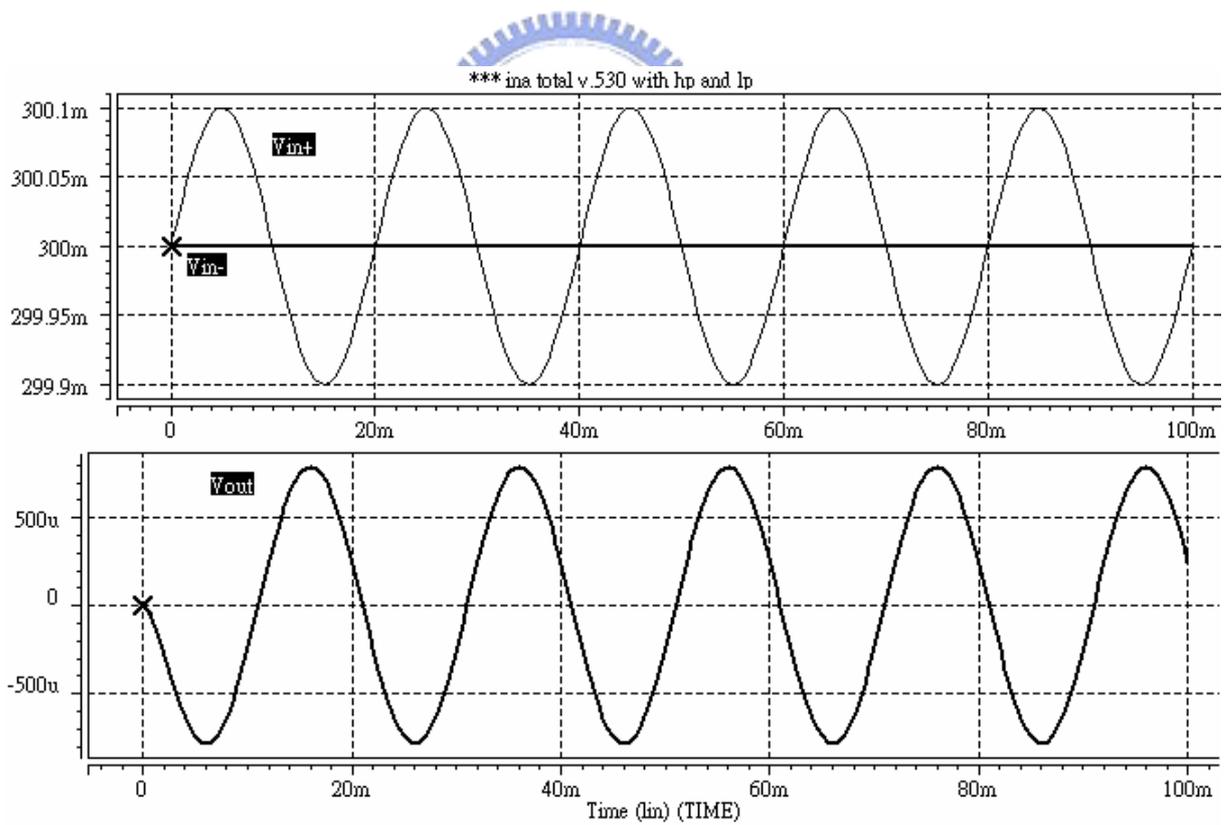


圖 4-8 共模電壓 300mV 振幅 $100\mu\text{V}$ 的 50Hz 輸入與輸出波形

接著觀察較低頻的輸出情況。輸入的波以共模電壓 50mV 差動訊號振幅 $100\ \mu\text{V}$ 頻率分別觀察 15Hz 和 10Hz 的弦波。

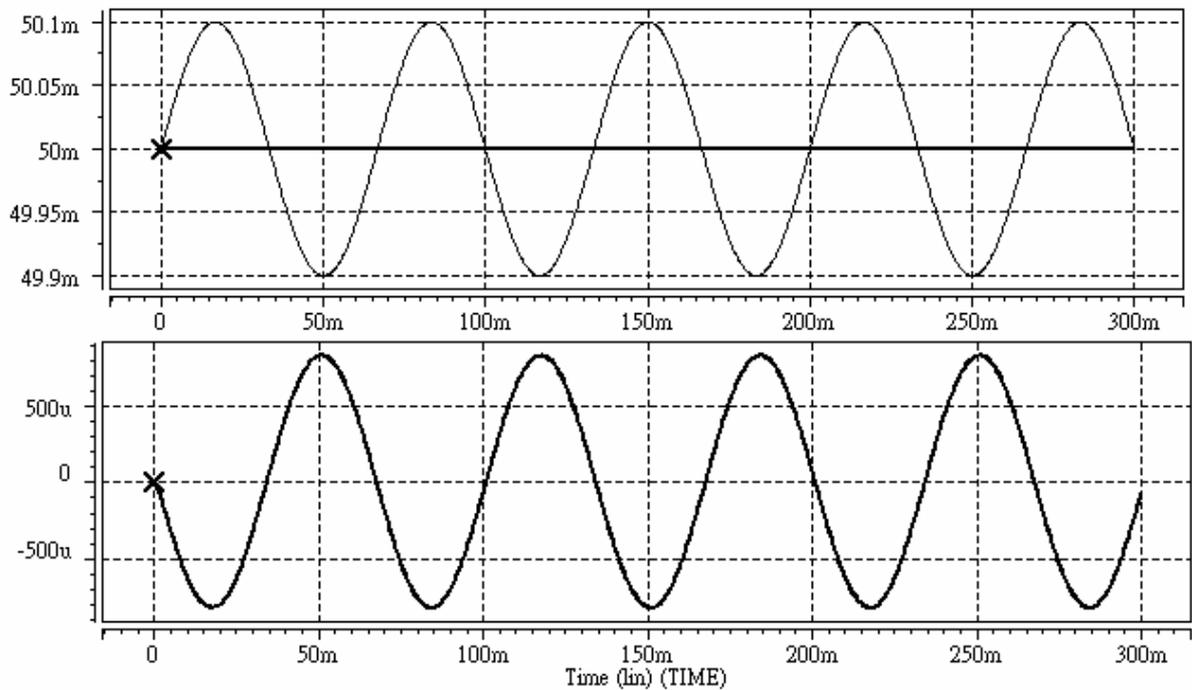


圖 4-9 共模電壓 50mV, 差動振幅 $100\ \mu\text{V}$, 輸入頻率 15Hz 的輸入輸出

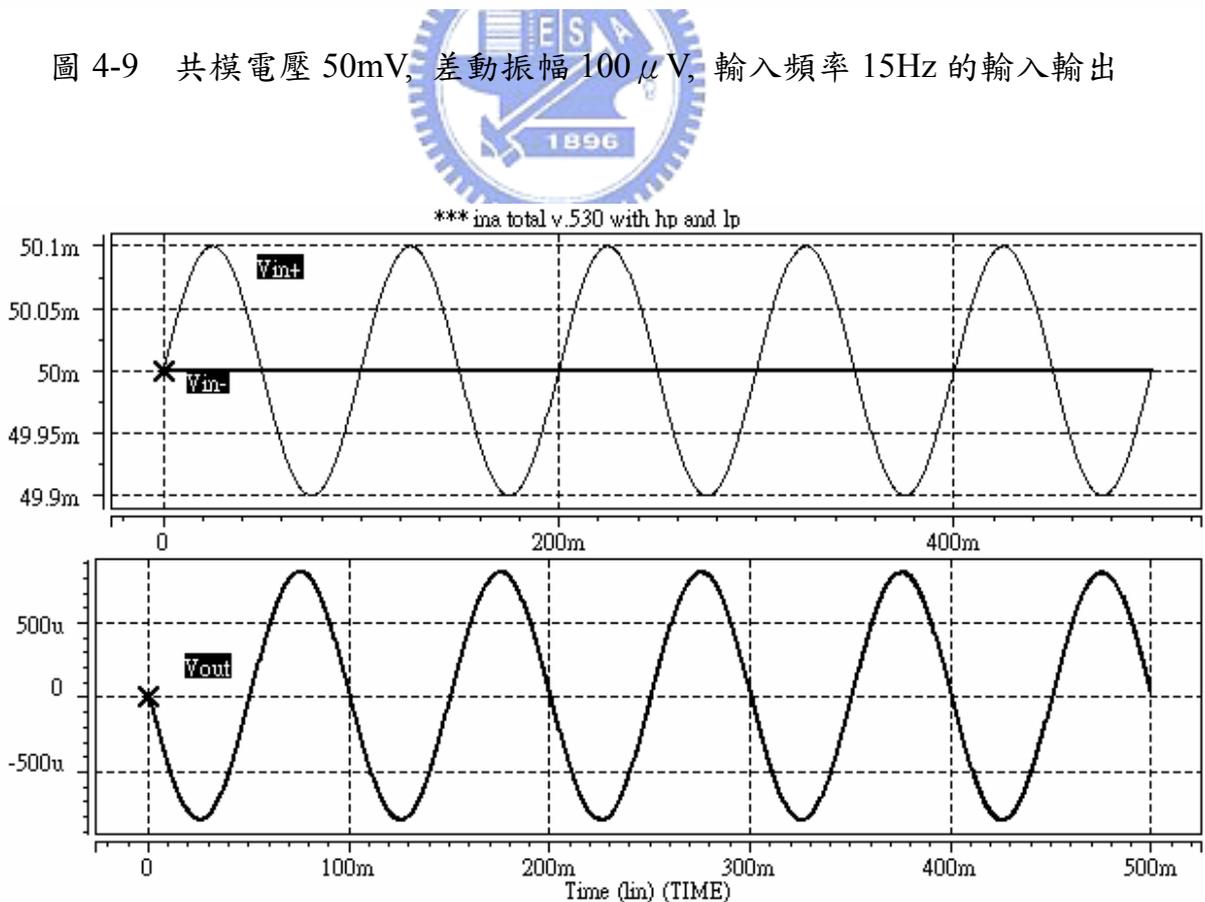


圖 4-10 共模電壓 50mV, 差動振幅 $100\ \mu\text{V}$, 輸入頻率 10Hz 的輸入輸出

接下來觀察儀表放大器的頻率響應。圖 4-11 顯示儀表放大器從頻率 1m 到 10kHz 的頻率響應， f_H 和 f_L 在TT corner simulation下分別為

$$f_L = 1.0343E-01 \text{ Hz}$$

$$f_H = 1.4996E+02 \text{ Hz}$$

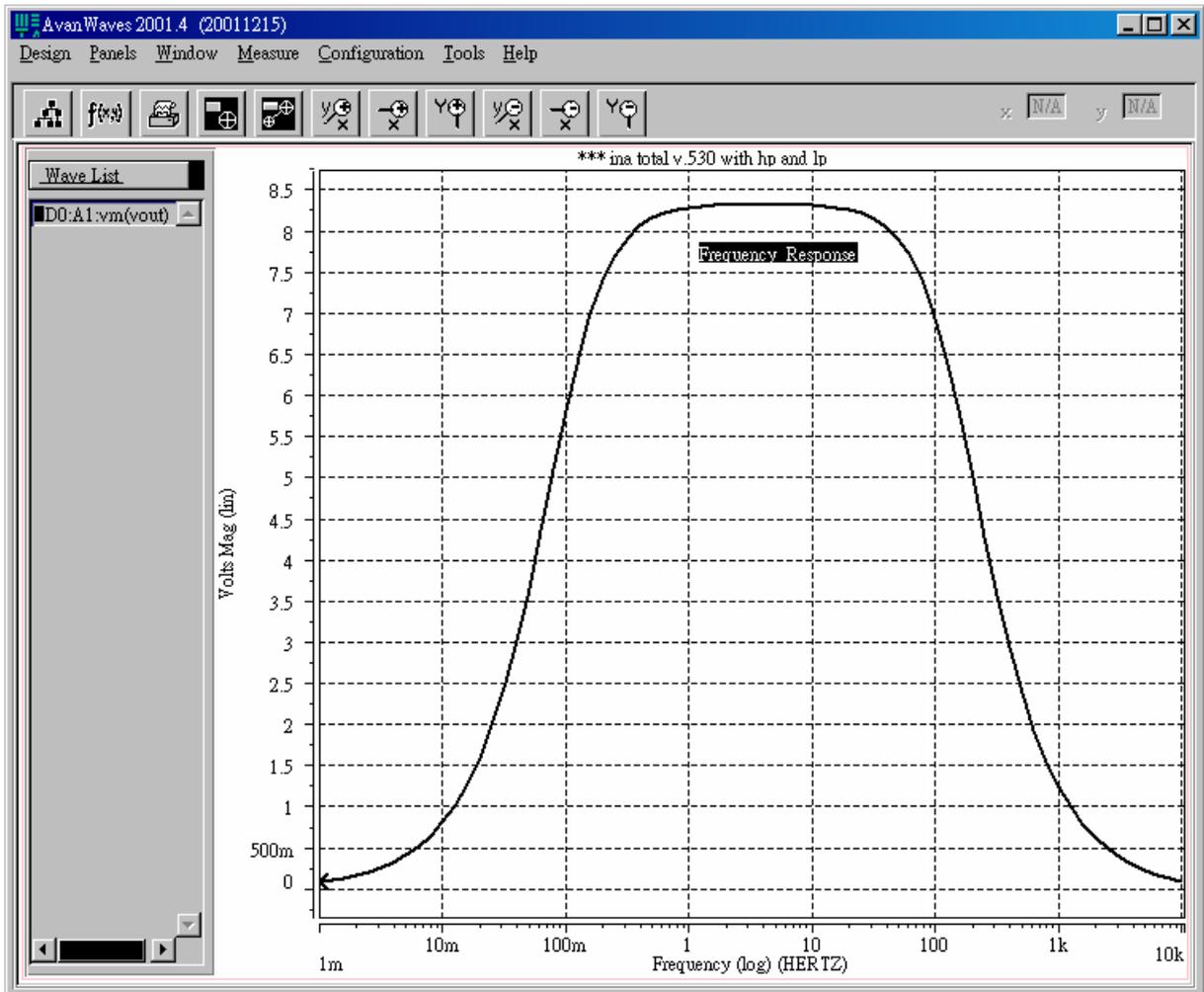


圖 4-11 儀表放大器頻率響應圖

4.6.2 其他操作狀況模擬

由於系統設計是一個可攜式的系統，由 $\pm 1.5V$ 的乾電池提供操作電壓，但是隨著時間增長，供電電池的電壓輸出會有所變化，因此考慮操作電壓變化的容忍度也是很重要的。經過模擬得到儀表放大器的工作電壓範圍在 $1.333V$ 到 $3V$ 以上(大於 $1.5\pm 10\%$)。觀察操作電壓降到 $\pm 1.35V$ 時輸出波的情況，圖4-12和4-13分別是振幅 $100\mu V$ 的 $30Hz$ 弦波輸入輸出波形和頻率響應，可以發現當在 $1.35V$ 的操作電壓下，電路依然可以正常工作。

在共模輸入範圍的部份，選擇當增益在五個corner simulation下(TT, FF, SS, FS, SF)減少 $3dB$ 時為共模輸入的臨界電壓，由模擬可以得到輸入共模範圍為 $-850mV \sim 900mV$ 。這個範圍遠比存在於探針電極的直流偏差電壓大。

在輸入參考雜訊方面，從 $0.1Hz$ 到 $150Hz$ 所得到的輸入參考雜訊只有約為 $0.2\mu V_{rms}$ 。

由於腦電波量測電極是由一個當作參考電極，而另外一個當作是量測電極，在不理想的狀態下，電極間可能會存在著偏差電壓使得電路不工作在正常狀態，由於腦電波的電壓最大大約只有 $100\mu V$ ，過大的偏差電壓會從輸入端跨過輸入電阻 R_g 而使 i_g 的變成錯誤的值而影響到電路的輸出。本電路經由模擬之後可以得到在約 $1mV$ 以內的電極間偏差電壓下可以正常工作。

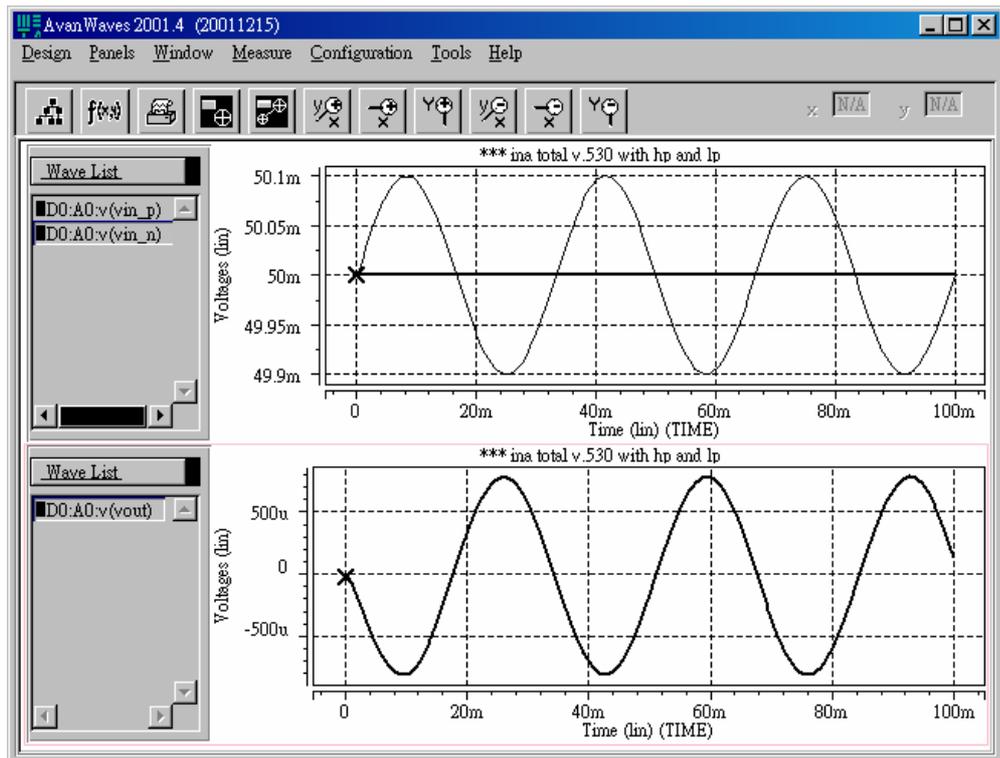


圖 4-12 操作電壓 $\pm 1.35\text{V}$ 共模電壓 50mV 振幅 $100\mu\text{V}$ 頻率 30Hz 的輸入與輸出

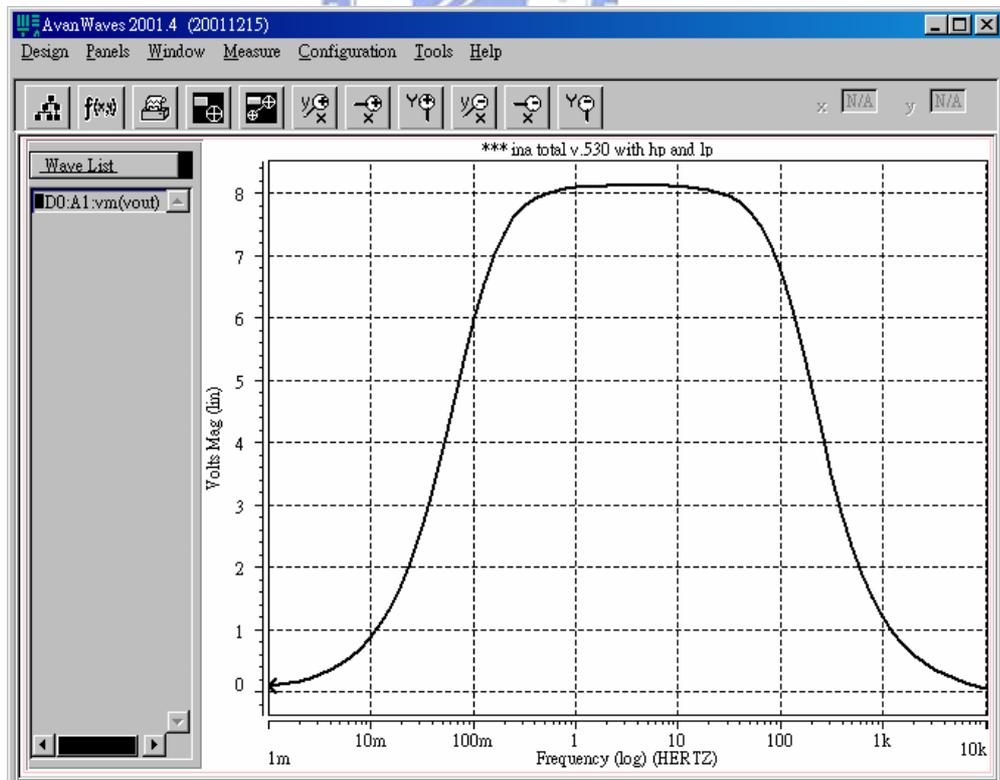


圖 4-13 操作電壓 $\pm 1.35\text{V}$ 下的頻率響應

4.6.2.1 溫度變異模擬

由於本電路將試著與腦電波量測探針整合，因此在接觸靠近人體的情況下量測系統可能會產生溫度上的變化，在此考慮晶片在 0~60 度的溫度變化下的工作情形，觀察頻率響應如圖 4-14 可以發現隨著溫度上升增益些微的下降，從原本的 8.5V/V 降到 8V/V，但是整體而言電路仍然可正常工作。

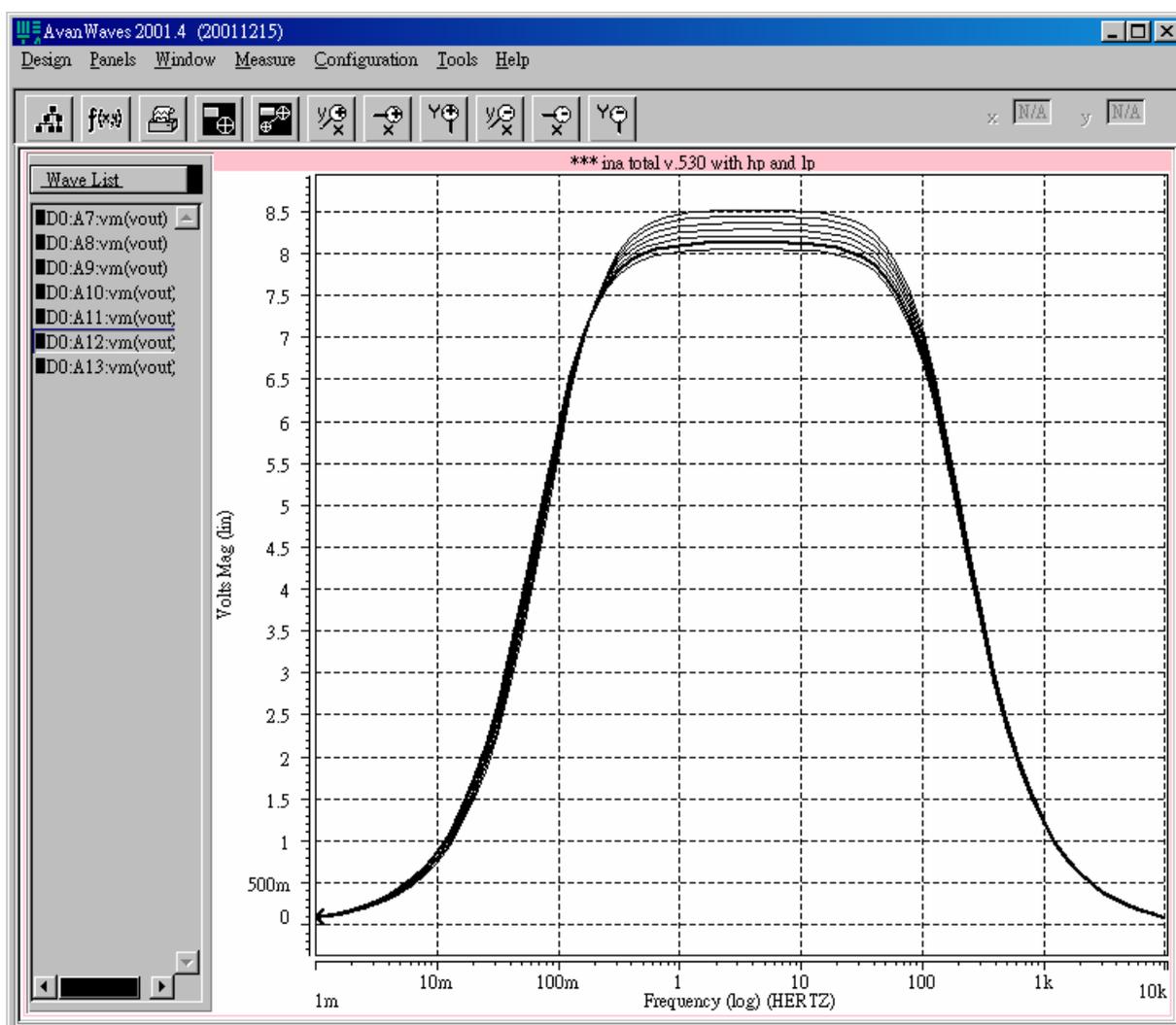


圖 4-14 不同溫度變化下的電路模擬

接著用一個表來總結儀表放大器的規格，如表 4-1。

電流式儀表放大器特性表	
工作電壓	$\pm 1.5V$
增益(@50Hz)	7.91 V/V
增益(@30Hz)	8.17 V/V
增益(@10Hz)	8.31 V/V
外接電容(C_H+C_S)	$2.88 \mu F + 0.1 \mu F$
電流消耗	$44.8485 \mu W$
工作電壓容忍範圍	1.333 ~ 3V 以上
共模輸入範圍	-850mV ~ 900mV
共模拒斥比(CMRR)	273dB
輸入參考雜訊	$0.2 \mu V_{rms}$ (0.1Hz~150Hz)
製程	TSMC 0.18μ CMOS 1P6M
輸出偏差(output offset)	135.7193n

表 4-1 電流平衡式儀表放大器特性表

4.7 可調增益放大器(PGA)

腦電波訊號經由儀表放大器之後會在將訊號進一步利用可調增益放大器將訊號放大，由於腦電波訊號已經被儀表放大器放大過，因此在可調增益放大器的部份只需考量使用簡單的二級運算放大器來構成，而在這裡仍然使用PMOS 當作輸入級。電路架構如圖 4-15 所示。

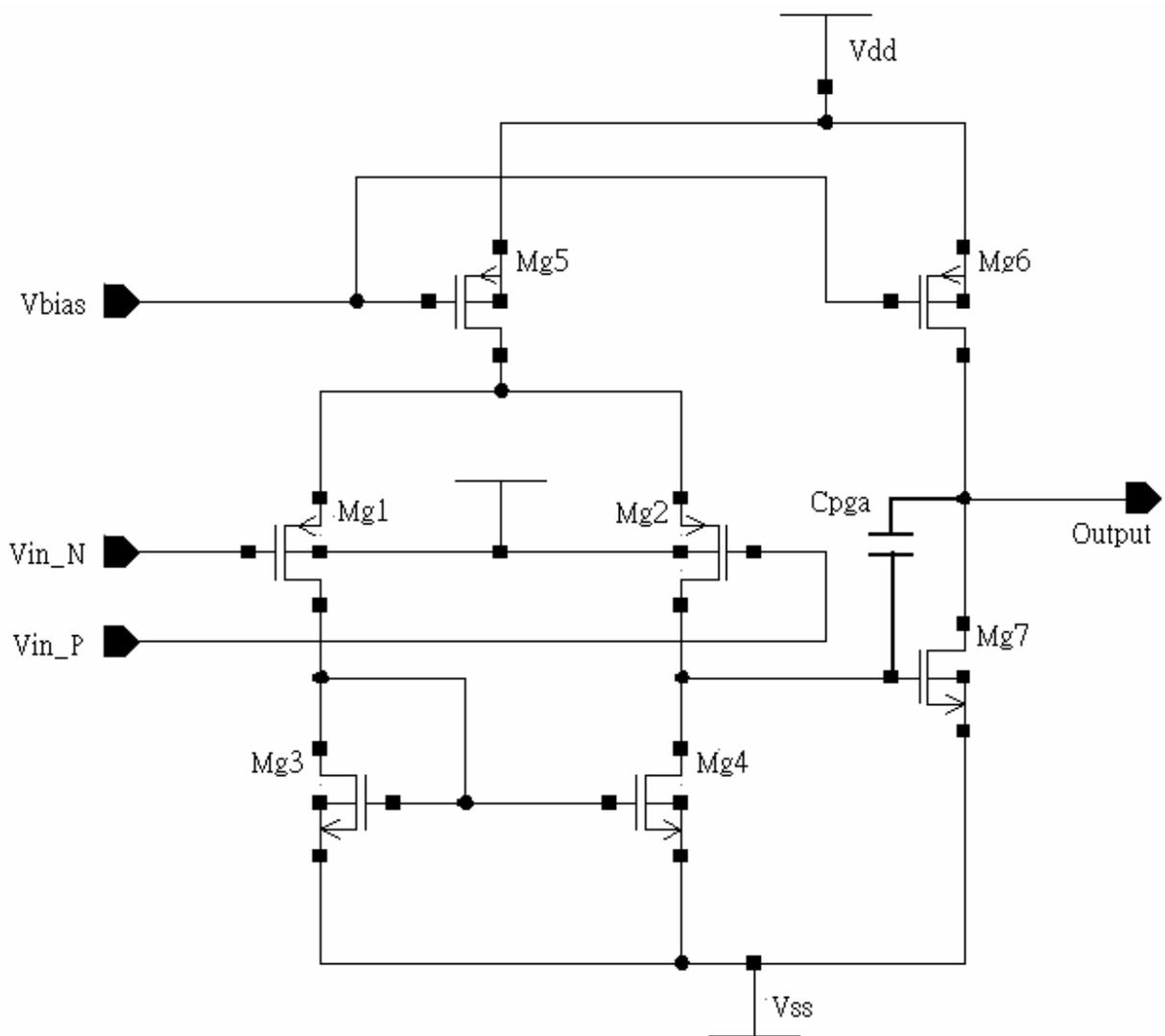


圖 4-15 P-type 運算放大器

可調增益放大器接成非反向式，如圖 4-16，其中 R_2 為 $450k\Omega$ 的內建電阻， R_1 是外部可調電阻，藉由調整 R_1 的值來改變放大倍率。

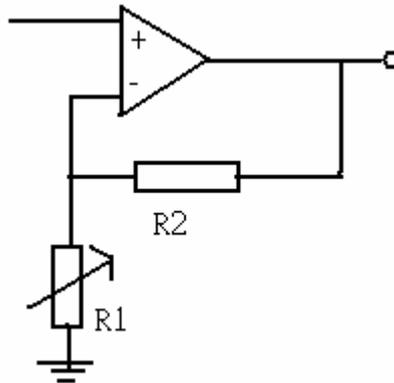


圖 4-16 非反向式可調放大器

選擇 $R_1=1k\Omega$ ，模擬輸入波為共模電壓 $50mV$ ，差動振幅 $100\mu V$ ，頻率 $50Hz$ ，輸出波形如圖 4-17。而圖 4-18 秀出的是腦電波量測前端放大電路的頻率響應。

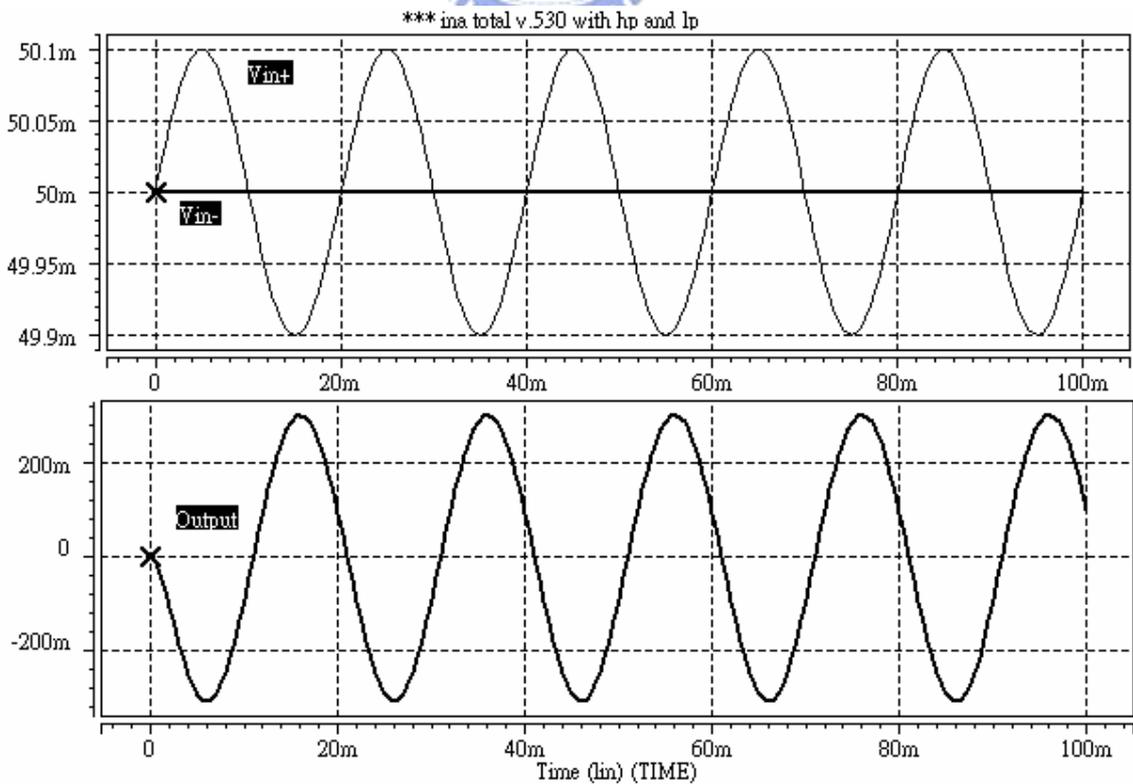


圖 4-17 共模電壓 50mV, 差動振幅 $100\mu\text{V}$, 頻率 50Hz 的輸入與輸出波形

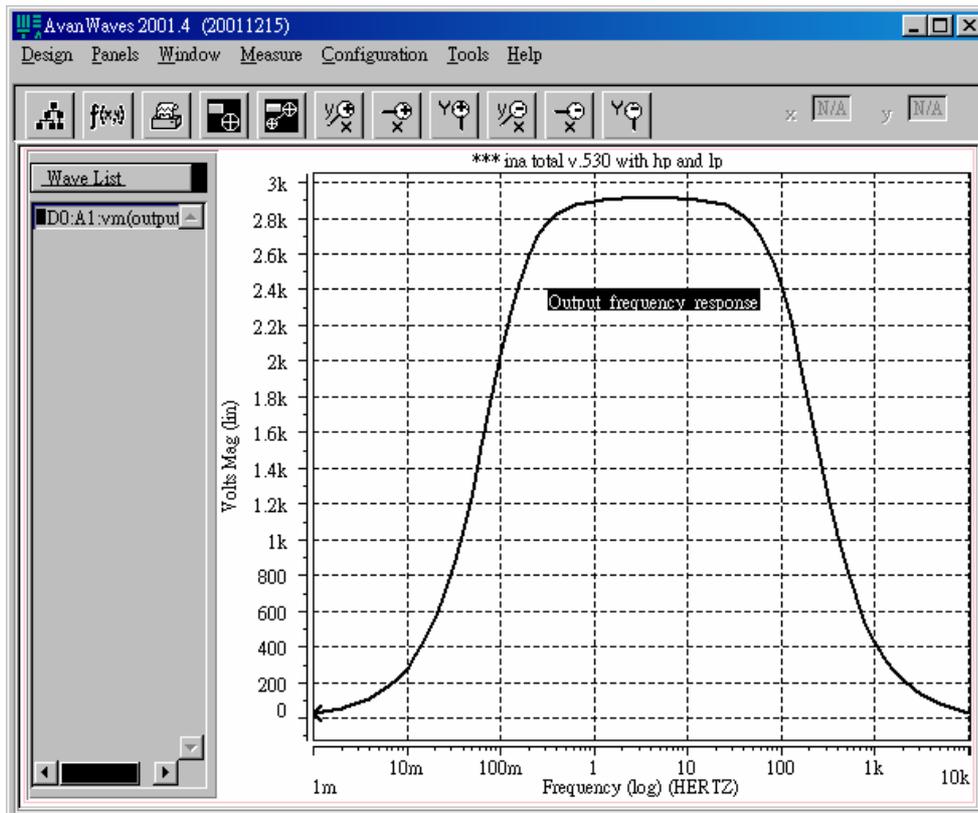


圖 4-18 腦電波量測前端放大電路頻率響應

4.7 結論

本章提及了電流平衡式儀表放大器的設計原理還有設計上的考量還有模擬結果，從模擬結果可以發現電流平衡式儀表放大器可以在使用最少的外部被動元件，達成低功率損耗、低雜訊以及高共模拒斥比。表 4-3 列出本電路的特性。表 4-2 是運算放大器的特性表。

增益	65dB	Current	$3.8247\mu\text{A}$
Phase Margin	75	頻寬(3dB)	4.3341k
Gain Margin	7.472dB	Slew Rate	5.3015E+06

表 4-2 運算放大器的特性表

腦電波量測電路特性表	
工作電壓	$\pm 1.5V$
操作電壓容忍範圍	1.333~3V
外接電容	$2.88 \mu F + 0.1 \mu F$
外接電阻	1k Ω
電流消耗	44.8485 μW
工作電壓範圍	1.333 ~ 3V 以上
輸出偏差(output offset)	1.1472m
共輸入範圍	-850 mV ~ 900 mV
輸入參考雜訊	0.54166 μV_{rms} (0.1Hz~150Hz)
製程	TSMC 0.18 μ CMOS 1P6M
晶片面積	200 $\mu m \times 400 \mu m$
增益(Max)(@R _i =1k Ω)	70 dB
頻寬(Bandwidth)	0.1Hz~150Hz

表 4-3 腦電波量測電路特性表

第五章 布局驗證與結語

5.1 布局驗證

電路經過佈局前模擬的設計之後，接下來進行佈局驗證，本電路將利用 TSMC 0.18 μ 1P6M 提供的製程以 Laker 程式做佈局，並做最後的 RC extraction 以得到最後的電路 netlist 來做 layout-post 模擬，以確保本電路可以經由下線之後得到正確的電路工作。如同第三章提到的，電流平衡式儀表放大器的共模拒斥比表現不受電阻匹配的影響，然而輸入電晶體的匹配以及電流鏡和主動負載的匹配對於這種架構仍是重要的影響因素，因此在佈局方面需以共質心為考量來使得電路的兩端對稱。下面小節針對佈局的分項做說明。



5.2 電容佈局

電容在電路裡是相當重要的被動元件，在運算放大器裡需要電容作為補償。因此，除了合適的電容值之外，佈局還必需考慮到雜散電容的分佈與對稱性。電容在製作時，最主要的誤差來自於過度蝕刻(Over-etching)與氧化層厚度變異(Oxide-thickness variation)[22][23]。

過度蝕刻造成實際上面積小於光罩所定義的面積，如果電容上下極板的區域因過度蝕刻而變小，導致電容值並非預期，不僅電路運作產生誤差，電容對稱性也受到極不良的影響，因此在外圍加上填充單元(Dummy Cell)是一種減少電容彼此之間不匹配的技術，如圖 5-1。

此外，氧化層(兩平行板間的介電質)的厚度也是影響電容值的一個參數，若氧化層的厚度不一，每個電容的電容值都會有些微差別。如同過度蝕刻，這在對稱考量上也不是樂於見到的，故在電容的分佈上將採用共質心的佈局方式，平均厚度變異，抵補製程參梯度現象，獲得較佳的對稱性(圖 5-2)。

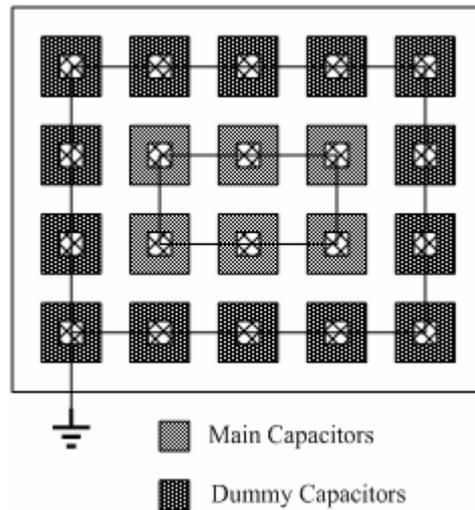


圖 5-1 包含填充單元的電容佈局

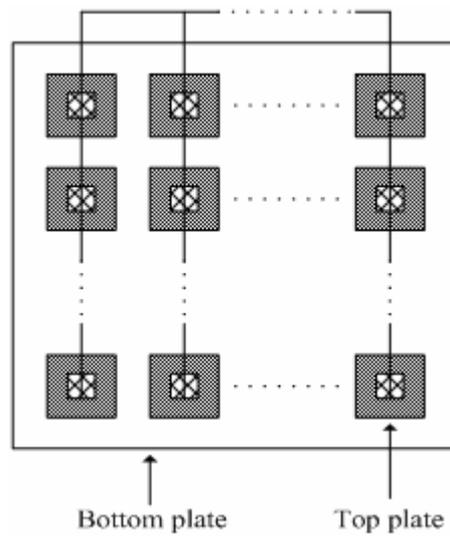


圖 5-2 電容並聯與共質心佈局

圖 5-3 是一個電容值為 250fF 的單位電容，上極板與下極板分別是 Metal 6 和 Metal 5。由四個單位電容並聯組成一個電容值為 1pF 的電容，其中周圍的是填充單元，完整的 1pF 電容如圖 5-4。

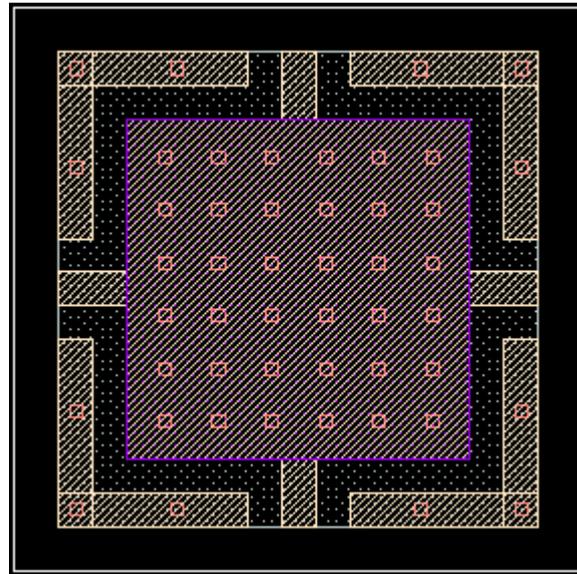


圖 5-3 250fF 的單位電容

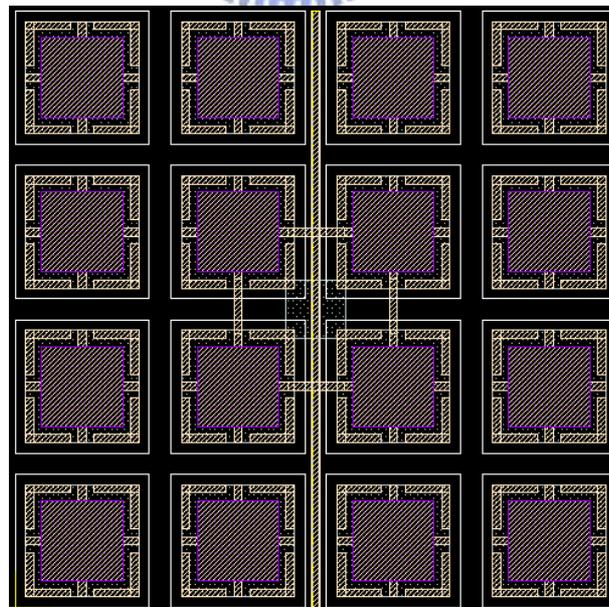


圖 5-4 包含填充單元的 1pF 電容

5.3 電阻佈局

圖 5-5 是電阻值為 $1k\Omega$ 的單位電阻

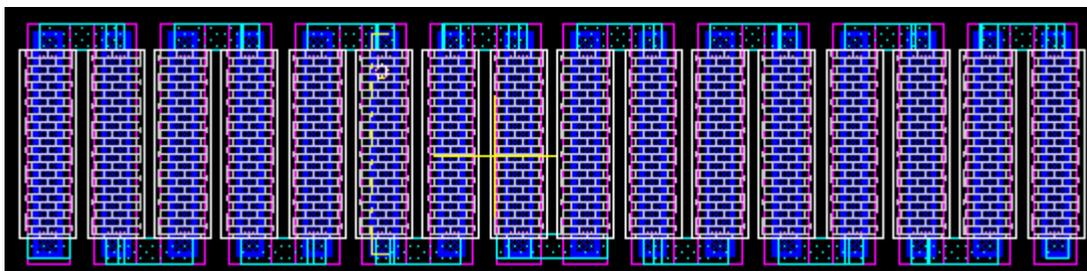


圖 5-5 電阻值為 $1k\Omega$ 的單位電阻

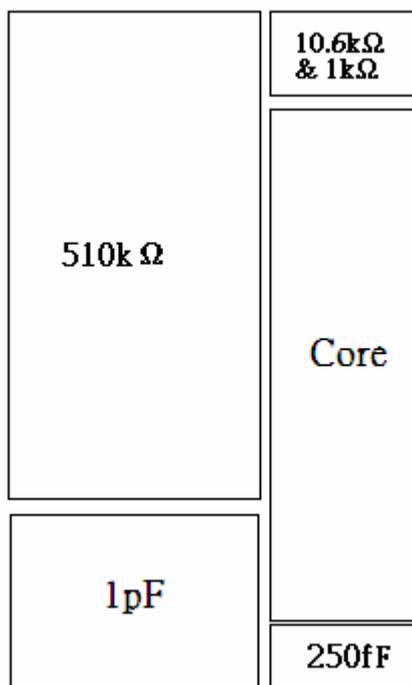


圖 5-6 佈局示意圖(單一通道)

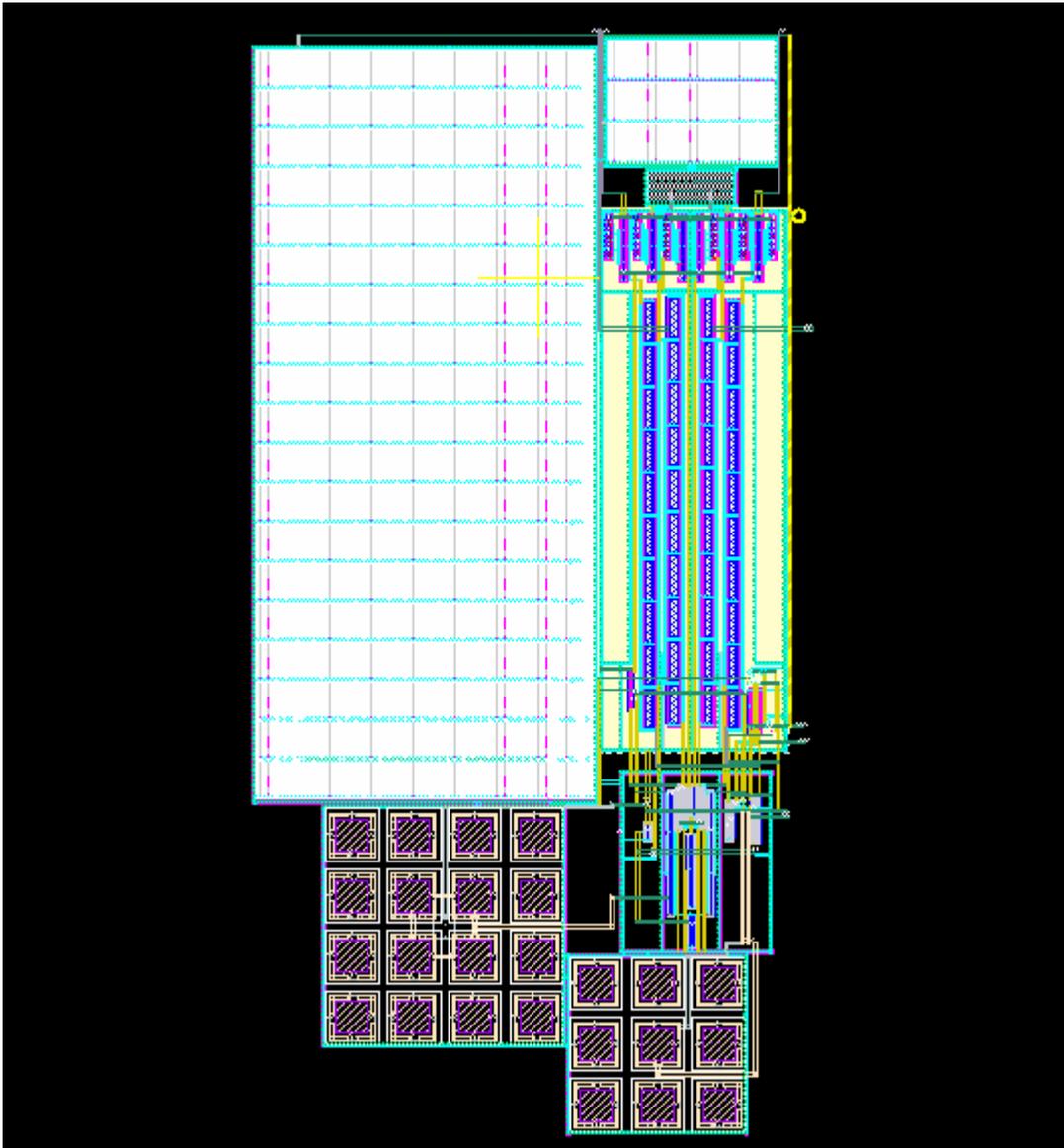


圖 5-7 完整的電路佈局(單一通道)

如圖 5-6 與 5-7 是整體電路的佈局示意圖和完整電路佈局，面積約為 $200\ \mu\text{m} \times 400\ \mu\text{m}$ ，包含一個電容值為 1pF 的電容與三個電阻值分別是 $510\text{k}\Omega$ 、 $10.6\text{k}\Omega$ 和 $1\text{k}\Omega$ 的電阻。

圖 5-8 是包含四個通道與輸入輸出 pad 的晶片佈局。

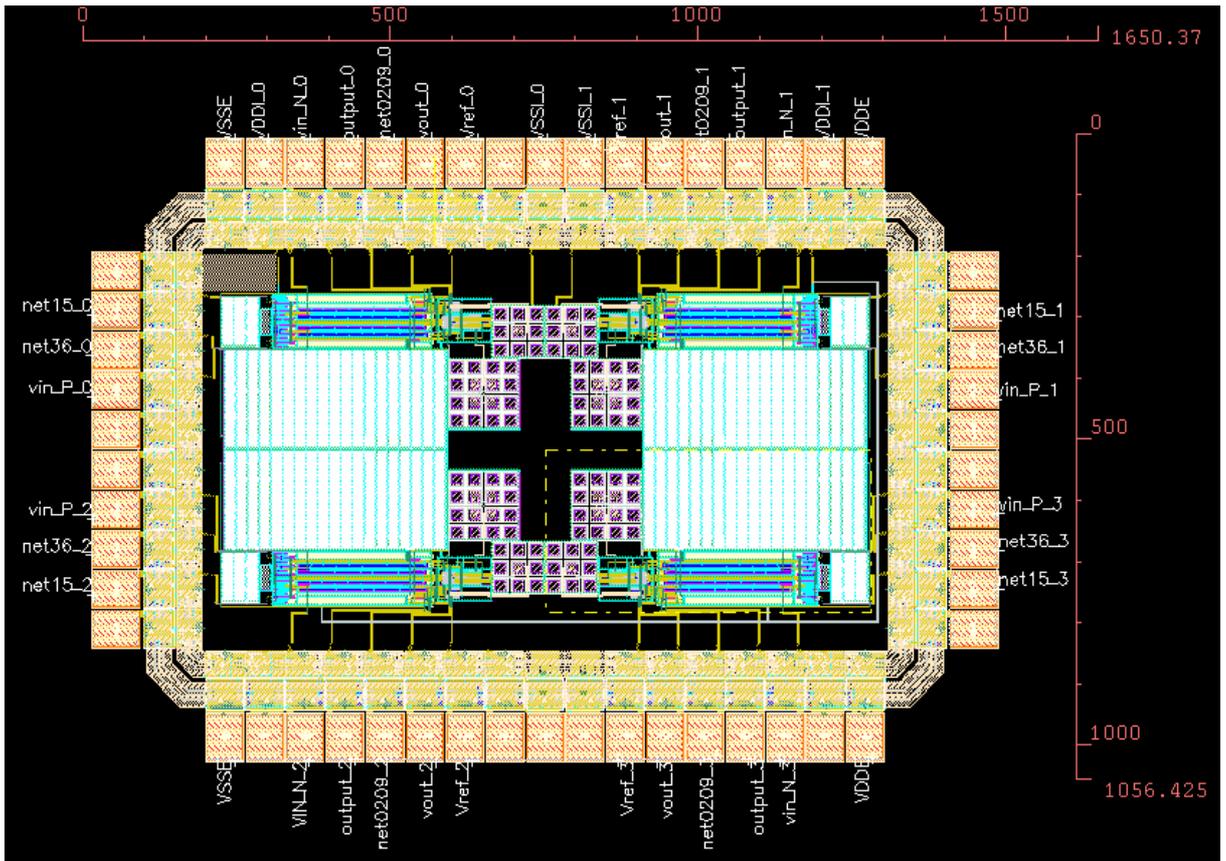


圖 5-8 晶片佈局

5.4 佈局後模擬驗證

佈局的結果經由 Calibre 的做 DRC 與 LVS 之後，再利用 Calibre LPE 做 RC extraction，接下來針對佈局後模擬觀察頻率響應的情況，並且將溫度變化的狀況考慮在內，如圖 5-9。可以從波形中發現增益一樣隨著溫度增加而降低了一點，這點可以經由可調增益放大器來補償。

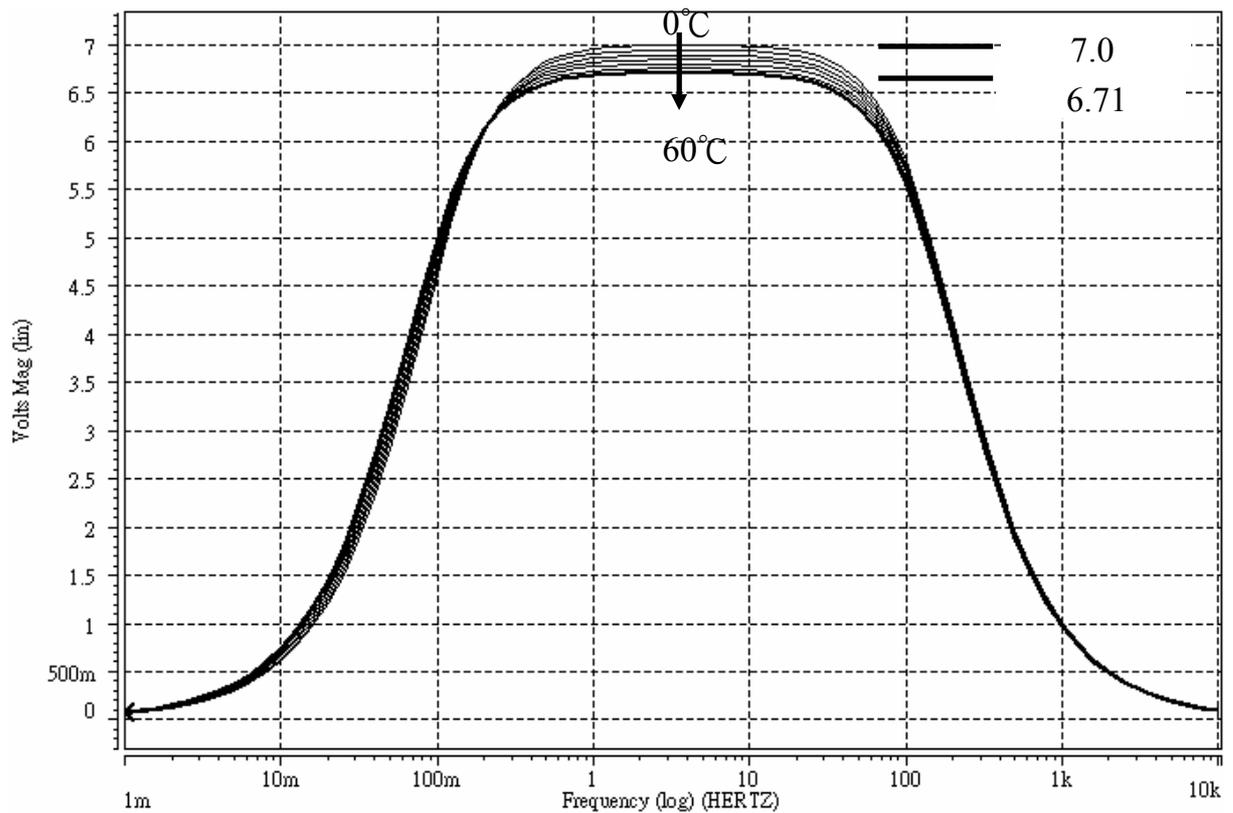


圖 5-9 不同溫度變化下的佈局後模擬頻率響應圖

再來觀察輸入波與輸出波的波形，輸入波分別是共模電壓 100mV 頻率 15Hz 和 30Hz，弦波振幅 $100\mu\text{V}$ ，如圖 5-10，圖 5-11。

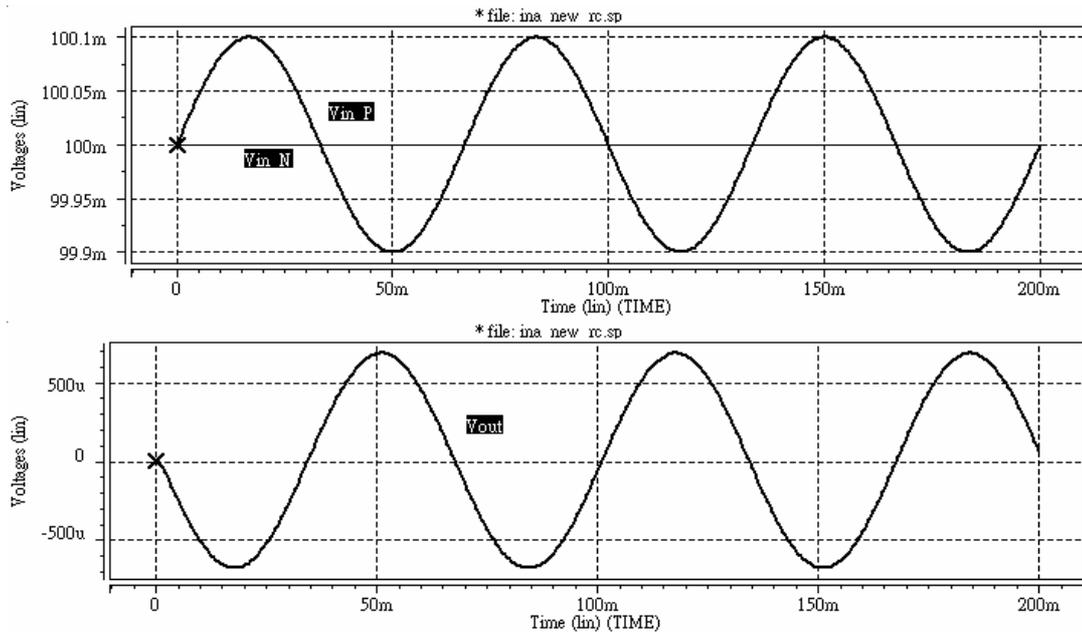


圖 5-10 共模電壓 100mV 頻率 15Hz 弦波振幅 $100\mu V$ 的輸入與輸出波

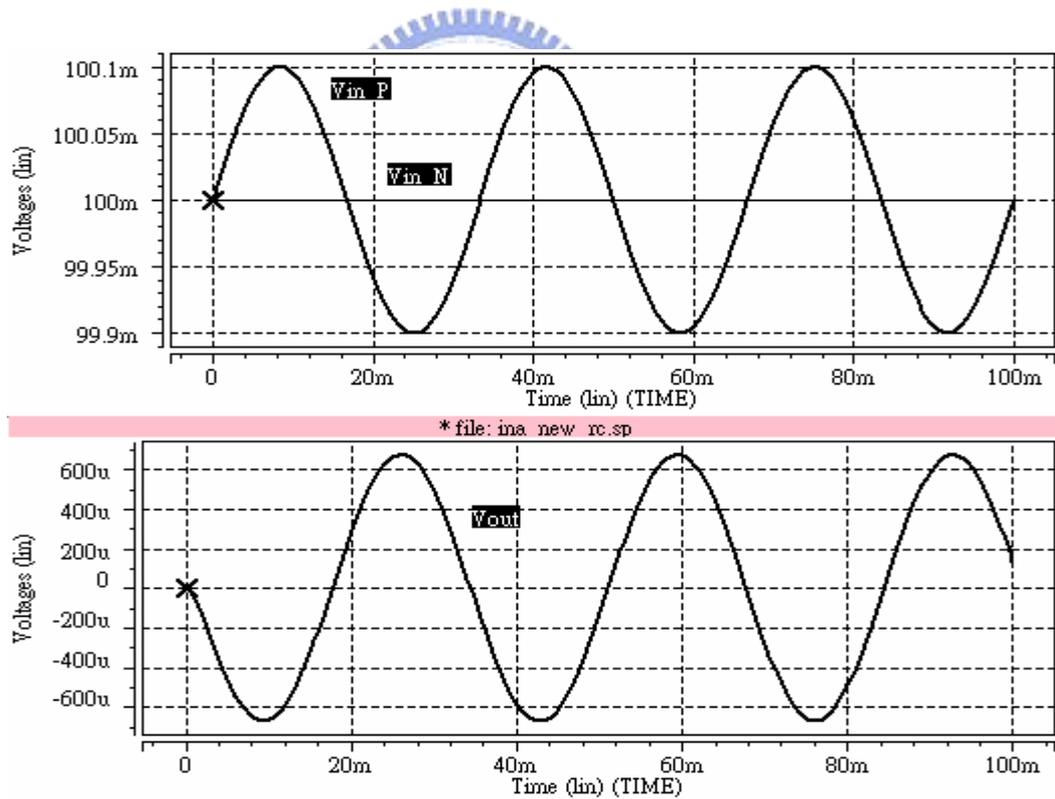


圖 5-11 共模電壓 100mV 頻率 30Hz 弦波振幅 $100\mu V$ 的輸入與輸出波

接下來觀察輸入波 12Hz 的輸出情況。圖 5-12 和圖 5-13 分別是儀表放大器的輸出和整體放大電路的輸出。

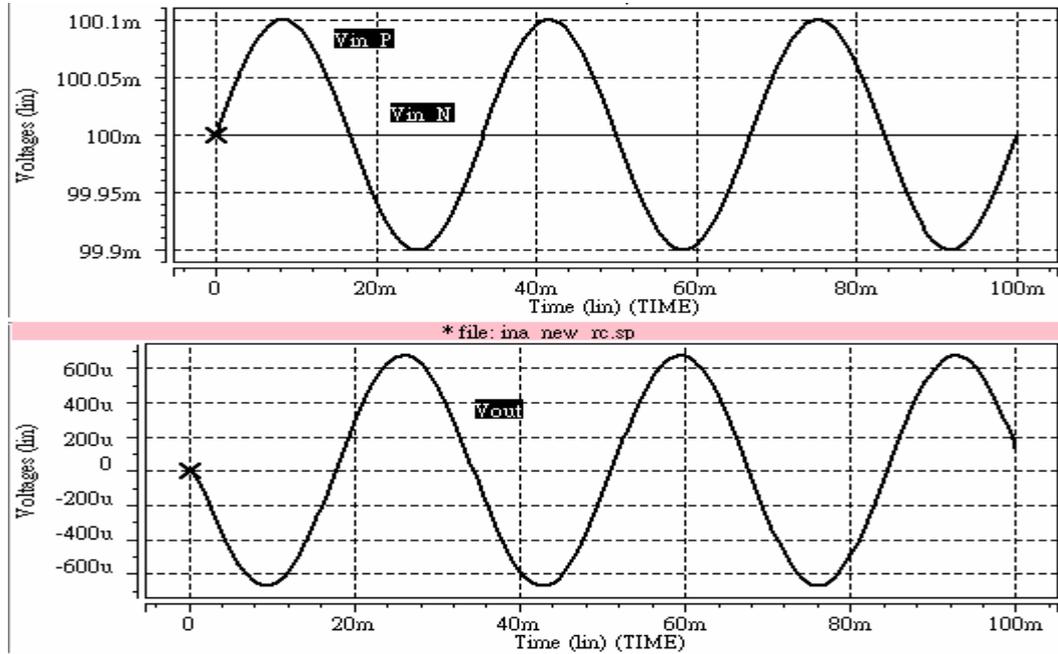


圖 5-12 共模電壓 100mV 頻率 12Hz 弦波振幅 100 μ V 的輸入與輸出波

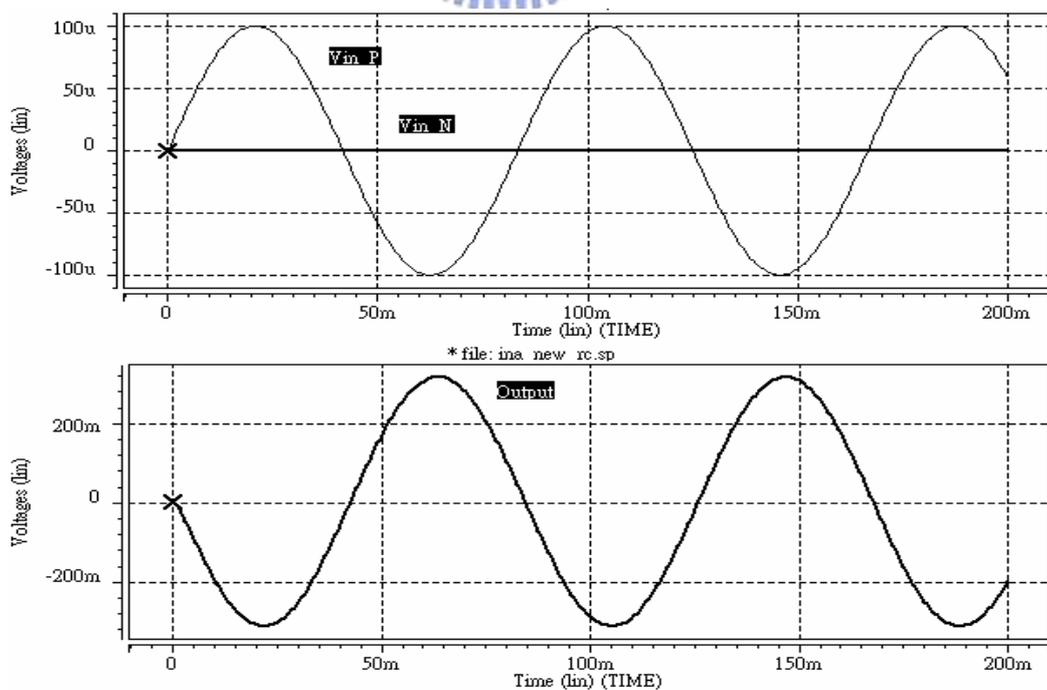


圖 5-13 共模電壓 0mV 頻率 12Hz 弦波振幅 100 μ V 的整體電路輸出波

下圖是整體電路在溫度變化下(0~60)的頻率響應圖。

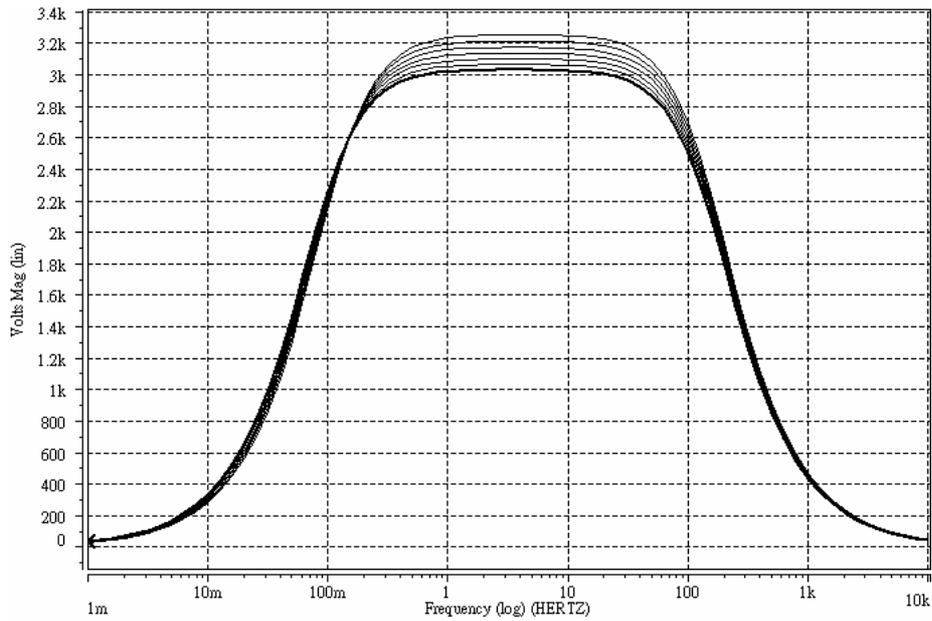


圖 5-14 溫度變化下的整體電路頻率響應

5.4 操作電壓改變與溫度變化情況下的模擬

接著觀察電路在操作變壓改變情況之下的頻率響應。圖 5-15 和圖 5-16 分別是操作電壓在 $\pm 1.35V$ 和 $\pm 2V$ 的模擬情況。

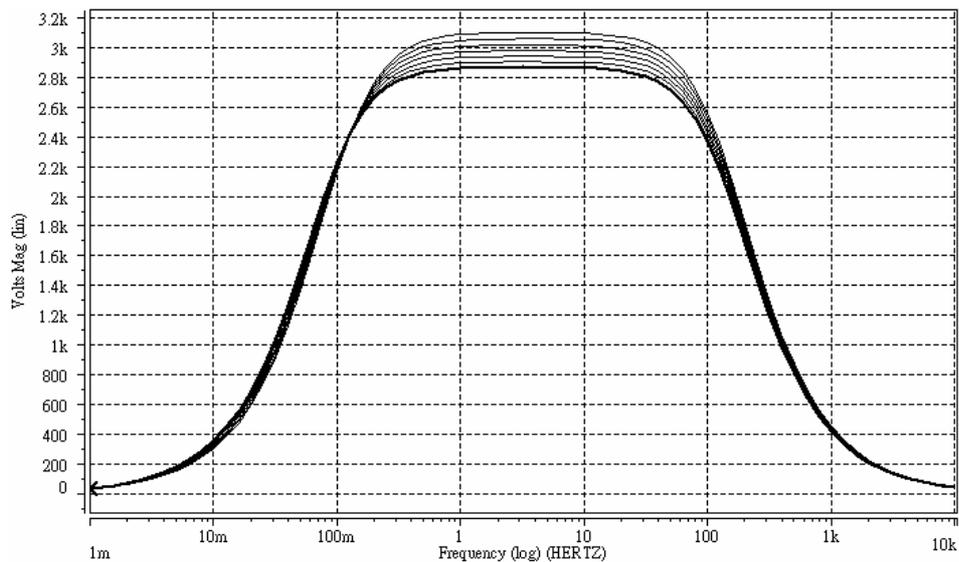


圖 5-15 操作電壓 $\pm 1.35V$ 下的頻率響應(溫度變化：0~60)

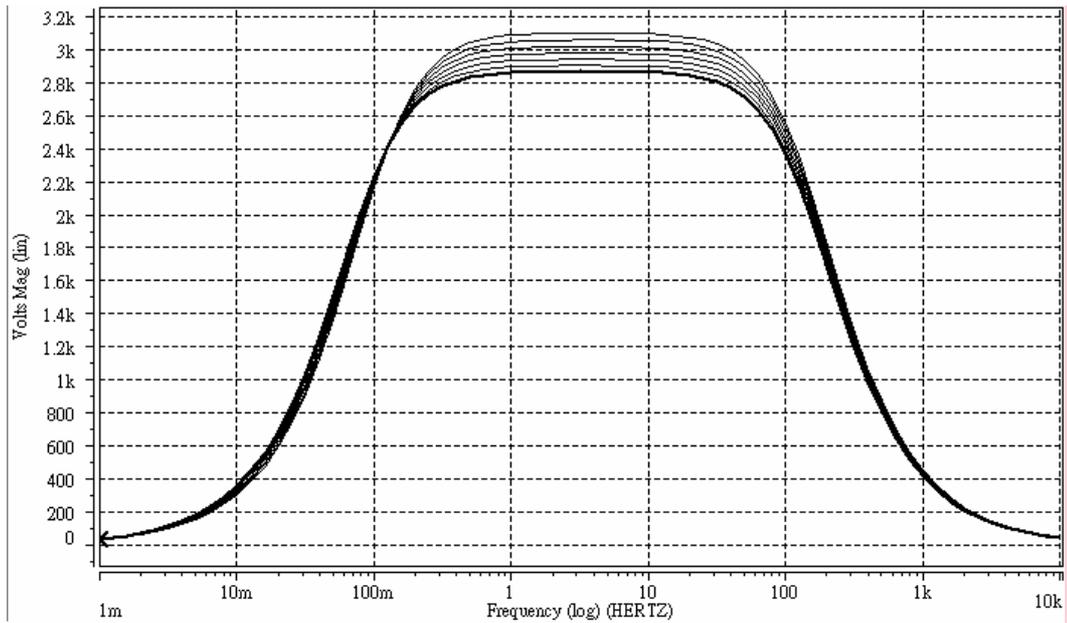


圖 5-16 操作電壓 $\pm 2V$ 下的頻率響應(溫度變化：0~60)

5.6 結語



電路設計經由佈局驗證與佈局後模擬的結果可發現，本電路的設計確實可以經由下線製造而得到工作正常的晶片。期待這顆晶片未來可以經由和微機電技術製造的針狀乾式電極整合還有後端的訊號處理電路的接合完成一個完整的腦波量測電路，進而為腦科學做出一番貢獻。

參考文獻

- [1] M. Teplan, “Fundamentals of EEG measurement,” *Measurement Science Review*, volume 2, section 2, 2002.
- [2] N. V. Thakor, “*Biopotentials and Electrophysiology Measurement*”, J.H. School of Medicine, 1999
- [3] J.G. Webster, “*Medical Instrumentation Application and Design*”, 3rd ed., John Wiley and Sons, Inc., 1998
- [4] Mark Wessel, “Pioneer Research into Brain Computer Interfaces,” Delft University of Technology, 28 March 2006.
- [5] Smith, E.J., “*Introduction to EEG*”, 2000
- [6] T. Togawa, T. Tamura, P.A. Oberg, “*Biomedical Transducers and Instruments*”, CRC Press LCC, 1997
- [7] M.J. Burke, D.T. Gleeson, “A micropower dry electrode ECG preamplifier”, *IEEE Transactions on Biomedical Engineering*, vol.47, No.2, 2000
- [8] 張志瑋, “以微機電技術製造應用於腦電波量測之針狀乾式電極,” 國立交通大學電機與控制工程研究所碩士論文, July 2005.
- [9] Thomas Kugelstadt, “Getting the most out of your instrumentation amplifier design,” *Analog Applications Journal*, Texas Instruments Incorporated, 4Q 2005.
- [10] James Karki, “Signal Conditioning Wheatstone Resistive Bridge Sensors,” *Mixed Signal Products*, Texas Instruments, 1999.
- [11] K. A. Ng and P. K. Chan, “A CMOS Analog Front-End IC for Portable EEG/ECG Monitoring Applications,” *IEEE transactions on circuits and systems-I: regular papers*, vol. 52, No. 11, November 2005.
- [12] Yiqian Ying, “Chopper Stabilized Amplifiers,” term paper, Department of ECE, University of Toronto, Nov.12, 2001.
- [13] B. Wilson, “Universal conveyor instrumentation amplifier,” *Electron. Letter.*, vol. 25, pp. 470-471, 1989.
- [14] C. Toumazou and F. J. Lidgley, “Novel current-mode instrumentation amplifier,”

Electron. Letter., vol.25, pp.228-230, 1989.

- [15] R. Martins, S. Selberherr, and F. A. Vaz, "A CMOS IC for portable EEG Acquisition Systems," IEEE Trans. On Inst. And Meas., vol. 47, issue 5, pp. 1191-1196, Oct. 1998.
- [16] David A. Johns, Ken Martin, "Analog Integrated circuit design," John Wiley & Sons, 1997.
- [17] A. B. Grebene, "Bipolar and MOS Analog Integrated Circuit Design," New York: John Wiley & Sons, 1984.
- [18] Paulo Augusto Dal Fabbro and Carlos A. dos Reis Filho, "An Integrated CMOS Instrumentation Amplifier with Improved CMRR," Proceeding of the 15th Symposium on Integrated Circuits and Systems Design, 2002 IEEE.
- [19] C. ALDEA, J. SABADELL, S. CELMA and P. A. MARTINEZ, "Optimized Design for the High-swing Cascode Mirror," Proceedings of Circuits and Systems, Page(s):233 – 236
- [20] Honglei Wu and Yong-ping Xu, "A low-voltage low-noise CMOS instrumentation amplifier for portable medical monitoring systems," Page(s):295 – 298,EEE-NEWCAS Conference, 19-22 June 2005.
- [21] R. F. Yazicioglu, P. Merken and C. Van Hoof, "Integrated low-power 24-channel EEG front-end," Electronics letters vol.41 No.8, 14th April 2005
- [22] Behzad Razavi, "Design of analog CMOS Integrated Circuits," McGraw Hill, 2001.
- [23] Paul R.Gray, Paul J.Hurst, Stephen H.Lewis, and Robert G.Meyer, "Analysis And Design Of Analog Integrated Circuits," John Wiley & Sons, INC., 2001
- [24] Refet Firat Yazicioglo, Patrick Merken, Chris Van Hoof, "Effect of Electrode Offset On the CMRR of the Current Balancing Instrumentation Amplifiers," Research in Microelectronics and Electronics, Volume: 1, page(s): 35- 38 vol.1, 2005