

國立交通大學

電機與控制工程學系

碩士論文

改善轉導器線性度及應用轉導-電容運算放大器
架構之可程式化類比陣列晶片設計

A Field Programmable Analog Array Design Based
 G_m -C Opamp Configuration with Improved
Transconductor



研究生：黃柏蒼

指導教授：張隆國 博士

中華民國九十五年九月

改善轉導器線性度及應用轉導-電容運算放大器
架構之可程式化類比陣列晶片設計

A Field Programmable Analog Array Design Based
 G_m -C Opamp Configuration with Improved
Transconductor

學 生：黃柏蒼

Student : Po-Tzang Huang

指導教授：張隆國 博士

Advisor : Dr. Lon-Kou Chang



碩士論文

A Thesis

Submitted to Institute of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

September 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年九月


改善轉導器線性度及應用轉導-電容運算放大器 架構之可程式化類比陣列晶片設計

研究生：黃柏蒼

指導教授：張隆國

國立交通大學電機與控制工程研究所

摘要



本論文旨在採用連續時間型之 G_m -C Opamp 積分器架構以實現適用於訊號處理之可程式化類比陣列(FPAA)，FPAA 的基本單元電路為可配置類比方塊(CAB)，由可調式轉導器、運算放大器、可程式化電容陣列與類比開關所組成。透過改變可配置類比方塊相互間連結的方式，FPAA 可達成比例、積分與微分控制器，以及一階、二階或是高階濾波器等多種不同功能之類比電路。本文中也提出並設計適用於 FPAA 的轉導器，其中透過控制電路改善轉導器的線性輸入範圍，且藉由可程式化電流鏡電路提高轉導值的可調範圍，以增進可程式化類比陣列的規劃能力。下線晶片之設計為驗證可配置類比方塊之功能為主，由轉導器、運算放大器與可程式化電容陣列電路組成具可調式之積分器與濾波器。在操作於 5V 的供應電壓下，轉導器輸入差動訊號的線性範圍最大可達 $\pm 0.9V$ 。FPAA 的可調頻寬範圍最高可達 8MHZ。整體 FPAA 電路採用 TSMC 0.35 μ m Mixed-Signal 2P4M (5V) 製程技術，並用此製程完成設計與下線。

A Field Programmable Analog Array Design Based G_m -C Opamp Configuration with the Improved Transconductor

Student : Po-Tzang Huang

Advisor : Dr. Lon-Kou Chang

Institute of Electrical and Control Engineering

National Chiao Tung University

ABSTRACT

This thesis adopts the continuous-time G_m -C Opamp integrator configuration to implement the Field Programmable Analog Array (FPAA). The basic building block of FPAA is a Configurable Analog Block (CAB), which consists of a tunable transconductor, an operational amplifier (Opamp), programmable capacitor arrays (PCAs), and analog switches. By changing the signal paths of the CABs, FPAA can implement versatile analog function circuits, such as proportional-integral-derivative (PID) controllers as well as the 1st order, 2nd order, or high order filters. This thesis also presents the design of the improved transconductor for FPAA. The linear input range of a transconductor has been enlarged by adding a control circuit. Besides, the gain of the transconductance can be tuned by the programmable current mirror set. The design for chip tapeout verifies the functions of the CAB, primarily consisting of a transconductor, an Opamp, and PCAs. Operating with a 5V power supply, the maximum linear differential input range of transconductor is $\pm 0.9V$, and the maximum tunable frequency range is 8MHz. The whole FPAA circuit is designed and fabricated with TSMC 0.35 μm Mixed-Signal 2P4M (5V) process.

誌謝

學習生涯起起伏伏，大學畢業後經歷了兩年的服役，而再考研究所，最後終於來到交大。大學主修控制，對於類比晶片設計毫無基礎，剛開始學習倍感艱辛，感謝指導教授張隆國 博士對我細心的教導，透過跟老師的討論中，使我獲益良多，最後才能完成本論文晶片的設計，在此獻上最誠懇的謝意。

感謝口試委員鄭木火 博士、廖德誠 博士與林君明 博士給予本論文寶貴的意見，使得本論文能更加的完善。

在研究過程中，最感謝致暉學長，有問必答的教導我，陪我度過學習過程中最艱難的時刻。在實驗室中，還要感謝晏銘學長、恆毅學長、如璇學姊分享他們學習經驗。此外，也很高興宗仁學弟常為大家帶來歡笑。這兩年的學習生活，感謝我的同窗好友奕廷、文昇與彥廷，陪我走我渡過這兩年碩士的生涯。


最後由衷的感謝我的爸媽，謝謝你們從小栽培我，一直鼓勵我，在我面臨人生不如意的時候，一路陪著我，使我堅持到現在。對於未來的事業，我將努力奮鬥，我不會辜負你們對我的期望。

黃柏蒼

謹誌於交通大學 815 實驗室

中華民國九十五年九月

目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iii
目錄.....	iv
圖例.....	vii
表格.....	xi
	
第一章 緒論.....	1
1.1 研究背景與研究動機.....	1
1.2 研究目的.....	2
1.3 研究方法.....	3
1.4 論文架構.....	4
第二章 可程式化類比陣列之文獻回顧.....	5
2.1 前言.....	5
2.2 可程式化類比陣列之系統架構.....	5
2.2.1 以切換電容電路為架構之 FPAA.....	6
2.2.2 以電流傳輸器為架構之 FPAA.....	12
2.2.3 以 Gm-C 為架構之 FPAA.....	16
2.3 可程式化類比陣列以 Gm-C 轉導器之核心電路.....	23

2.3.1	源極退化式轉導器.....	23
2.3.2	電壓浮接式轉導器.....	26
2.3.2	偏壓補償交錯耦合式轉導器.....	32
2.4	可程式化類比陣列之系統規劃.....	36
2.4.1	可程式化之電路策略.....	36
2.4.2	可程式化 PID 控制器之合成.....	39
2.4.3	可程式化濾波器之合成.....	44
第三章	可程式化類比陣列之電路設計與模擬.....	49
3.1	前言.....	49
3.2	系統架構之規劃.....	50
3.3	Gm-C Opamp 架構實現之可配置類比方塊 (CAB).....	51
3.4	改良型轉導器之設計.....	52
3.4.1	改良型轉導器輸入級電路.....	53
3.4.2	改良型轉導器控制級電路.....	57
3.4.3	改良型轉導器輸出級電路與電容陣列電路.....	64
3.5	運算放大器之設計.....	68
3.6	可程式化類比陣列之週邊電路設計.....	75
3.6.1	參考源.....	75
3.6.2	互聯網路電路.....	81
3.6.3	記憶體電路.....	86
第四章	可程式化類比陣列之應用設計.....	89
4.1	前言.....	89
4.2	比例、積分與微分控制器之實現.....	89
4.2.1	比例控制器.....	90
4.2.2	積分控制器.....	91
4.2.3	微分控制器.....	95

4.3	濾波器之實現.....	97
4.3.1	一階濾波器.....	97
4.3.2	二階濾波器.....	98
4.4	可程式化類比陣列系統規劃.....	103
第五章	下線晶片之佈局與量測.....	107
5.1	前言.....	107
5.2	下線晶片之電路與佈局圖.....	107
5.2.1	佈局考量.....	108
5.2.2	參考源.....	109
5.2.3	運算放大器.....	111
5.2.4	轉導器.....	112
5.2.5	暫存器與開關.....	113
5.2.6	下線晶片整體佈局圖.....	114
5.3	下線晶片之量測結果.....	114
5.3.1	量測參考源.....	114
5.3.2	量測運算放大器.....	115
5.3.3	量測積分器與轉導器.....	118
5.3.4	量測一階低通濾波器.....	122
5.3.5	量測暫存器與開關.....	126
5.3.6	量測簡易型可程式化類比陣列.....	127
第六章	結論與未來展望.....	132
6.1	結論.....	132
6.2	未來展望.....	133
	參考文獻.....	134

圖目錄

圖 1.1	FPAA 方塊示意圖	2
圖 2.1	非重疊時脈產生電路 (a) 時脈訊號 ϕ_1 與 ϕ_2 時序圖 (b) 非重疊時脈產生電路方塊示意圖	6
圖 2.2	切換電容電阻等效電路 (a) 切換電容電路 (b) 等效電阻	7
圖 2.3	非反相積分器	8
圖 2.4	非反相積分器之取樣時脈週期電路 (a) ϕ_1 高態 ϕ_2 低態 (b) ϕ_1 低態 ϕ_2 高態 (c) ϕ_1 與 ϕ_2 時序圖	9
圖 2.5	三端輸入，切換電容電路架構之加法器/積分器(a)電路圖(b)等效訊號流程圖	10
圖 2.6	以切換電容為架構之可配置類比方塊	11
圖 2.7	以切換電容為架構之互聯網路電路	12
圖 2.8	第二代電流傳輸器之元件符號	13
圖 2.9	第二代電流傳輸器電路圖	13
圖 2.10	由電流傳輸器為架構所合成之各種功能性電路	15
圖 2.11	以電流傳輸器為架構所合成之可配置類比方塊	15
圖 2.12	以電流傳輸器為架構之可配置類比方塊以及互聯網路電路圖	16
圖 2.13	轉導器之元件符號與理想電路模型	16
圖 2.14	單端輸出之 G_m -C 積分器	17
圖 2.15	三端輸入，單端輸出之 G_m -C 積分器/加法器	17
圖 2.16	全差動式 G_m -C 積分器 (a) 輸出端跨接電容 (b) 輸出端雙端電容 ..	18
圖 2.17	全差動式 G_m -C Opamp 積分器	19
圖 2.18	轉導器等效被動元件 (a) 電阻 (b) 電感	21

圖 2.19	以 G_m -C 為架構之可配置類比方塊.....	21
圖 2.20	以 G_m -C 為架構之可配置類比方塊以及互聯網路電路圖.....	22
圖 2.21	源極退化式轉導器.....	24
圖 2.22	NMOS 架構之電壓浮接式轉導器示意圖.....	27
圖 2.23	CMOS 成對電路.....	28
圖 2.24	CMOS 成對電路架構之電壓浮接式轉導器示意圖.....	29
圖 2.25	二極體連接之 CMOS 成對電路可等效為浮接電壓源.....	29
圖 2.26	電壓浮接式轉導器.....	30
圖 2.27	圖型化描述電壓浮接式轉導器之輸入線性範圍.....	31
圖 2.28	偏壓補償交錯耦合式轉導器.....	33
圖 2.29	圖型化描述偏壓補償交錯耦合式轉導器之輸入線性範圍.....	34
圖 2.30	可程式化轉導器.....	37
圖 2.31	可程式化電流鏡陣列.....	37
圖 2.32	可程式化電容陣列.....	38
圖 2.33	訊號傳輸之類比開關.....	38
圖 2.34	雙向傳輸之類比開關.....	39
圖 2.35	以被動電阻實現比例控制器.....	40
圖 2.36	以轉導器實現比例控制器.....	40
圖 2.37	以 G_m -C Opamp 為架構之比例控制器.....	41
圖 2.38	以 G_m -C Opamp 為架構之積分控制器.....	41
圖 2.39	以被動電感實現微分控制器.....	42
圖 2.40	以轉導器實現微分控制器.....	42
圖 2.41	以 G_m -C Opamp 為架構之微分控制器.....	43
圖 2.42	PID 控制器方塊示意圖.....	44
圖 2.43	一階濾波器訊號流程圖.....	44
圖 2.44	以 G_m -C Opamp 為架構之一階濾波器電路圖.....	45

圖 2.45	二階濾波器訊號流程圖	46
圖 2.46	以 Gm-C 為架構之二階濾波器電路圖	46
圖 2.47	以串接合成高階濾波器之方塊圖	47
圖 3.1	FPAA 系統架構圖	50
圖 3.2	可配置類比方塊(CAB)之電路方塊圖	51
圖 3.3	可配置類比方塊(CAB)之訊號流程圖	52
圖 3.4	原型偏壓補償交錯耦合式轉導器電路	54
圖 3.5	原型偏壓補償交錯耦合式轉導值模擬圖	55
圖 3.6	原型偏壓補償交錯耦合式類比可調式之轉導值模擬圖	55
圖 3.7	改良型偏壓補償交錯耦合式轉導器輸入級電路	56
圖 3.8	改良型偏壓補償交錯耦合式轉導器輸入級與控制級電路	58
圖 3.9	雙差動對架構之共模回授電路	58
圖 3.10	改良型轉導器控制級電路	59
圖 3.11	控制電路方塊圖	61
圖 3.12	改良型偏壓補償交錯耦合式轉導值模擬圖	62
圖 3.13	改良型偏壓補償交錯耦合式類比可調式之轉導值模擬圖	62
圖 3.14	改良型偏壓補償交錯耦合式轉導器可調參考電壓 V_{ref} 誤差範圍	63
圖 3.15	改良型與原型轉導值線性輸入範圍之差異圖	63
圖 3.16	改良型與原型轉導器總諧波失真(THD)模擬圖	63
圖 3.17	改良型偏壓補償交錯耦合式轉導器輸出級電路	65
圖 3.18	數位與類比可調式差動輸出電流對差動輸入電壓之模擬圖	66
圖 3.19	改良型偏壓補償交錯耦合式之數位與類比可調式轉導值模擬圖	67
圖 3.20	可程式化電容陣列	67
圖 3.21	運算放大器	68
圖 3.22	CMFB 訊號流程圖	71
圖 3.23	運算放大器差動增益與相位邊限	73

圖 3.24	運算放大器共模回授電路開迴路增益與相位圖.....	73
圖 3.25	運算放大器共模增益.....	73
圖 3.26	運算放大器共模互斥比.....	74
圖 3.27	運算放大器迴轉率.....	74
圖 3.28	原型之固定轉導偏壓電路.....	76
圖 3.29	寬振幅之疊接式電流鏡.....	78
圖 3.30	寬振幅之固定轉導偏壓電路.....	78
圖 3.31	寬振幅固定轉導偏壓電路 M2 汲極電流相對溫度變化角落模擬圖	80
圖 3.32	寬振幅固定轉導偏壓電路之閘極偏壓端點電壓 V_{B2} 與 V_{B1} 相對溫度 變化模擬圖.....	81
圖 3.33	(a)類比開關 CMOS 傳輸閘電路圖(b)等效模型(c)方塊圖.....	82
圖 3.34	(a)NMOS 導通電阻等效模擬圖(b) PMOS 導通電阻等效模擬圖	83
圖 3.35	類比開關導通電阻.....	84
圖 3.36	可程式化電容陣列類比開關電路圖 (a)架構圖(b)電容導通(c)示意 圖.....	85
圖 3.37	可配置類比方塊之電路方塊圖.....	85
圖 3.38	類比開關 (a)電路方塊圖 (b)代號圖 (c)CAB 佈局圖.....	86
圖 3.39	D 型正反器 (a)方塊圖 (b)示意圖 (c)電路圖.....	87
圖 3.40	串列進並列出之 3 位元移位暫存器.....	87
圖 3.41	3 位元移位暫存器之波形模擬圖.....	88
圖 4.1	比例控制器.....	90
圖 4.2	比例控制器增益圖(改變直流增益).....	91
圖 4.3	(a)CAB 之積分控制器 (b)輸入方波訊號之積分器.....	92
圖 4.4	積分控制器增益圖(改變 K_C) (a)增益圖 (b)相位圖.....	92
圖 4.5	積分控制器相位圖(改變 K_M).....	93

圖 4.6	積分控制器之輸入輸出電壓(改變 K_C)	93
圖 4.7	積分控制器之輸出差動電壓(改變 K_C)	94
圖 4.8	積分控制器之輸出電壓(改變 K_M 與 V_{ref})	95
圖 4.9	積分控制器之輸出差動電壓(改變 K_M 與 V_{ref})	95
圖 4.10	微分控制器	96
圖 4.11	分控制器增益圖(改變極點位置)(改變 K_C)	96
圖 4.12	一階低通濾波器	97
圖 4.13	一階低通濾波器增益圖(改變極點位置) (改變 K_C)	98
圖 4.14	一階低通濾波器相位圖(改變 K_C).....	98
圖 4.15	二階濾波器	100
圖 4.16	二階低通濾波器	100
圖 4.17	二階帶通濾波器	101
圖 4.18	二階低通濾波器增益圖(改變極點位置)(改變 K_C).....	102
圖 4.19	二階帶通濾波器增益圖(改變極點位置)(改變 K_C).....	102
圖 4.20	二階帶通濾波器增益圖(改變 K_C 對品質因素 Q 的影響).....	103
圖 4.21	FPAA 系統規劃方塊圖	104
圖 4.22	FPAA 系統配置規劃流程圖	106
圖 5.1	同心圓與交指式佈局方式	109
圖 5.2	交指式電容佈局	109
圖 5.3	寬振幅之固定轉導偏壓電路圖	110
圖 5.4	寬振幅之固定轉導偏壓佈局圖	110
圖 5.5	運算放大器電路圖	111
圖 5.6	運算放大器佈局圖	111
圖 5.7	改良型偏壓補償交錯耦合式轉導器電路圖	112
圖 5.8	改良型偏壓補償交錯耦合式轉導器佈局圖	113
圖 5.9	暫存器與開關示意圖	113

圖 5.10	暫存器與開關佈局圖	113
圖 5.11	下線晶片佈局圖	114
圖 5.12	寬振幅固定轉導偏壓電路量測波形圖(a) V_{B2} (b) V_{B1}	115
圖 5.13	反相放大器(a)負端輸入(b)正端輸入	116
圖 5.14	反相放大器輸出倍率量測波形圖(a)0.7 倍(b) 1 倍(c) 2 倍(d) 3 倍...	116
圖 5.15	轉導器串接運算放大器之積分器示意圖	118
圖 5.16	積分器量測波形圖(a)輸出雙端與差動電壓(b) OP 輸入端虛短路	119
圖 5.17	電流鏡增益 $K_M=2$ 的情況下調整參考電壓 V_{ref} 量測波形圖 (a)1.6V (b) 1.7V(c) 1.9V(d) 2.0V	120
圖 5.18	電流鏡增益 $K_M=1$ 的情況下調整參考電壓 V_{ref} 量測波形圖 (a)1.6V (b) 1.7V(c) 1.8V(d) 1.9V(e) 2.0V	121
圖 5.19	轉導器與運算放大器組成之一階低通濾波器示意圖	122
圖 5.20	更換回授電容 8pF、15pF、22pF、100pF 之一階低通濾波器量測增 益圖	123
圖 5.21	更換回授電容 8pF、15pF、22pF、100pF 之一階低通濾波器模擬增 益圖	123
圖 5.22	回授電容 100pF 之一階低通濾波器量測與模擬增益比較圖	124
圖 5.23	一階低通濾波器固定頻率更改電容之量測波形圖(a)100pF (b)47pF (c)22pF(d)22pF 但 G_{m2} 之 $K_M=2$	123
圖 5.24	一階低通濾波器實現比例控制器之量測波形圖(a)0.5 倍(b)2 倍	126
圖 5.25	暫存器示意圖	127
圖 5.26	D 型正反器之時脈訊號 ϕ 與輸出 Q 端之量測波形圖(a)當 D 為高態 , 而 Q 由低至高態 (b)當 D 為低態, 而 Q 由至高至低態	127
圖 5.27	具數位切換功能之 FPAA 示意圖	128
圖 5.28	FPAA 開路狀態之量測波形圖	129

圖 5.29 FPAA 積分器之量測波形圖..... 130
圖 5.30 FPAA 一階低通濾波器之量測波形圖..... 131



表目錄

表 2.1	Switched-Capacitor、Current Conveyor 與 G_m -C 技術之比較表 ...	22
表 2.2	二進位碼與溫度計碼之對應關係	25
表 3.1	原型偏壓補償交錯耦合式轉導器規格表	55
表 3.2	改良型偏壓補償交錯耦合式轉導器規格表	62
表 3.3	運算放大器規格表	75
表 3.4	寬振幅固定轉導偏壓電路之 M2 汲極電流模擬規格表	80
表 3.5	寬振幅固定轉導偏壓電路規格表	81
表 3.6	類比開關導通電組	84
表 4.1	FPAA 系統開關規劃	104
表 4.2	FPAA 系統腳位規劃	105
表 5.1	下線之寬振幅固定轉導偏壓電路模擬規格表	110
表 5.2	下線之運算放大器模擬規格表	111
表 5.3	下線之改良式偏壓補償交錯耦合式轉導器模擬規格表	112
表 5.4	寬振幅固定轉導偏壓電路量測與模擬比較表	115
表 5.5	運算放大器量測與模擬比較表	117
表 5.6	可調式轉導值比較表	105

第一章

緒論

1.1 研究背景與研究動機

近三十年來隨著積體電路技術快速的發展，在摩爾定律 (Moore's Law)[1]的經驗法則下，電晶體數目會每十八個月增加一倍，因此設計週期的縮短與成本控制的考量[2]，一直是半導體產業最大的挑戰。為解決上述問題，在電子設計自動化 (EDA)軟體快速發展的情況下，可程式化設計成為晶片設計的新焦點。可程式化具有可重覆規劃性與功能多樣性的特點，因此如可程式化閘陣列(FPGA)，則廣泛的應用於數位電路設計上。相較於數位電路，在類比電路可程式化發展上則有可程式化類比陣列(Field Programmable Analog Array，簡稱 FPAA)的問世[3][4]。

由於可程式化閘陣列(FPGA)的配置設計已非常成熟[5]，故 FPAA 之配置架構多是仿造 FPGA 架構來設計。在 FPGA 架構中，是由數個相同的可配置邏輯方塊(Configurable Logic Block，簡稱 CLB)所組成[6]，其中透過可程式化的內部連線相互連接。使用者可藉由改變可配置邏輯方塊(CLB)之間連線的路徑，而達成不同功能之邏輯函數。在 FPAA 電路中，則對應以可配置類比方塊(Configurable Analog Block，簡稱 CAB)來實現可程式化類比陣列，藉由改變 CAB 相互間的連線以達成多樣化的類比函數[7]。FPAA 整體電路除了可配置類比方塊(CAB)之外，還包含互聯網路電路 (Interconnection Network)、移位暫存器(Shift Register) 與輸出入方塊 (IOB)。如圖 1.1 所示為 FPAA 方塊示意圖。

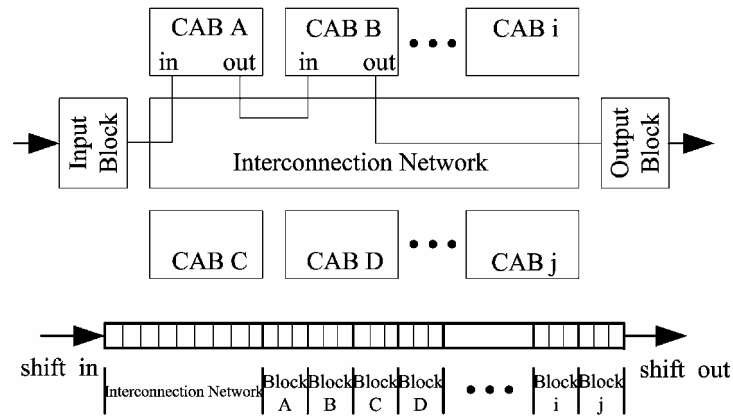


圖 1.1 FPAA 方塊示意圖[3]

就目前已運用於可程式化類比陣列之電路架構而言，可區分為離散時間型與連續時間型[8]。前者以切換電容(Switch Capacitor)或切換電流(Switch Current)電路為主，其具有較佳之可程式規劃能力但較差之頻寬；後者則以轉導器電路為主，其具有較佳之頻寬但較差之可程式規劃能力。由上述電路架構可知，可程式規劃能力與頻寬的考量，受限了FPAA之電路效能。經過多年的發展與研究，離散與連續時間型架構皆廣範運用商業市場上，如 Motorola、Anadigm 與 Zetex 等電路設計公司，皆有上述電路架構之FPAA相關產品。

FPAA 具有可重複規劃的優點以及高可靠度的特性，可藉由即時的調整，而反應所需之功能。以應用面來說，利用可程式化類比陣列可用於適應性濾波器控制、DSP 的前端訊號處理、工業控制、智慧型感測器、超低頻訊號調整與類比訊號處理器等應用上[4]，提供電路設計者更為高速與低價位之設計選擇。

1.2 研究目的

可程式化類比陣列以類比電路為核心，則必須考量到如線性度

(Linearity)、頻寬 (Bandwidth)、頻率響應 (Frequency Response) 、訊號雜訊比 (Signal to Noise Ratio) 與功率消耗 (Power Consumption) 等效能的影響。在綜合類比電路效能與數位可程式規劃能力的條件下，本篇論文的设计將採取 G_m -C Opamp為架構以實現可程式化類比陣列，主要可分為兩個研究目標，第一，改善轉導器的線性度，以提升整體電路的效能，第二，設計具有高度可調式的轉導器，以增加電路可規劃的能力，而進一步實現具有多功能可重複規劃之P、I、D控制器與濾波器電路。

1.3 研究方法

在從事本論文電路設計前，需妥善安排其流程，藉由謹慎且通盤性的構思、設計、模擬、佈局直至下線，以求其晶片量測之結果能與理論相輔。此外，透過非預期的結果以尋找其發生的原因，並由分析的過程中嘗試改進其缺失，以釐清問題的所在。本論文研究的方法可分為如下五大決策：

1. 功能決策：針對 FPAA 之系統架構，評估並訂定其系統規格，以完成具有切換功能之積分器與濾波器為首要目標。
2. 訊號決策：將 FPAA 中的各別子電路加以分類，嘗試建立子電路之數學模型，並可藉由訊號流程圖加以分析，以利於電路系統之設計。
3. 電路決策：透過手算分析所得之電晶體長寬比參數帶入 HSPICE 軟體做模擬，並與手算推導所得之數值做比較，而後可修正所設計電路之參數。其中，由於手算分析常忽略電路二次效應所造成非線性的影響，故需使用試誤法以逐漸逼近理想設計之參數值。在完成個別子電路之模擬後，整合全系統子電路並進行模擬，以期能達到全系統電路之最佳化。
4. 佈局決策：需考量製程上之不對稱、串音干擾與電容耦合等非理

想效應，妥善安排實體電路之佈局。使用光罩佈局軟體 Laker 並遵循 TSMC 所訂定之設計規則，以完成個別單元電路與全系統電路之光罩佈局圖。

5. 量測決策：從晶片量測結果來修正設計之缺失，並確認電路系統之可靠度與精確度。

1.4 論文架構

本論文共分為六章：第一章先介紹整個論文研究的動機，從可程式化電路系統的發展背景與應用概況加以介紹，並對於研究目的與欲採取之研究方法做一詳盡的說明。

第二章為回顧過去文獻，探討與研究可程式化類比陣列之系統架構，並以 G_m -C 架構為主要探討對象。此外，深入分析不同轉導器之優缺點，從電路中尋求可改善之處。並於最後介紹可程式化類比陣列之電路合成策略與系統應用。

第三章設計與模擬可程式類比陣列中各區塊電路，其中可配置類比方塊採用 G_m -C Opamp為架構，並將重心放於改善轉導器的線性度，與提高轉導器之輸出範圍，以利於整體系統的可規劃性。

第四章著重於利用現有 FPAA 電路，藉由特定的合成法則，而重複規劃、實現不同功能之 PID 控制器與濾波器電路。

第五章則對於實際下線之電路，考量電路的實體佈局，並藉由晶片量測之結果修正並改進其設計的缺失。

第六章對研究成果做出總結，並提出未來的展望與建議。

第二章

可程式化類比陣列之回顧與探討

2.1 前言

本章旨在回顧與探討可程式化類比陣列歷年來發展的文獻。環顧國內外研究，對於相關電路之效能與可程式化之解決途徑，已有顯著的發展。因此本章將對可程式化類比陣列之系統架構、電路核心及系統應用，做深入的分析與探討。

第二節將分析並探討目前已發展的可程式化類比陣列之系統架構。系統架構因訊號傳遞方式的不同，可規劃為離散型與連續型的系統。本節將討論現行常用的架構，對不同架構之差異做出比較，最後並選定改良之 Gm-C 架構做為論文的主要方向，此架構常用的電路與其效能將於第三節中討論。

第四節探究如何將可程式化技術導入電路系統中，並分析可程式化之原理與策略，以尋求最佳化之設計。透過可程式化的概念，所達成的可程式化類比陣列，可經由簡易的規劃與控制完成特定之功能函數。

2.2 可程式化類比陣列之系統架構

著眼於目前可程式化類比陣列電路架構，若以訊號操作方式來區分，可分為離散型與連續型系統。前者以切換電容(Switched Capacitor，簡稱 SC)[9]電路為主流，後者以轉導電容(G_m -C)濾波器[10]與電流傳輸器

(Current Conveyor，簡稱CC) [11]為主。綜觀此三種電路架構各有其優缺點，本節將簡述個別之電路特性，並分析這三種電路應用在可程式化類比陣列之效能。

2.2.1 以切換電容電路為架構之 FPAA

(A) 基本電路原理與分析

切換電容電路常做為系統輸出入介面，藉此達成類比與數位訊號的轉換與處理，如 AD 轉換器、DA 轉換器、濾波器與相鎖迴路等應用。基本原理以切換電容電路代替電阻，其等效阻抗值則由取樣頻率與內部之電容值來決定。因此當切換電容電路用於濾波器電路時，根據奈氏取樣定理 (Nyquist sampling theorem)，取樣頻率至少大於兩倍以上的訊號輸入頻率，故訊號輸入之頻寬大幅受限於切換電容電路。

在分析切換電容電路前，首先需建立一組非重疊時脈產生電路 (Nonoverlapping Clock)，確保切換電容電路的兩個電晶體不會同時導通，造成電荷的流失。在圖 2.1(a)中，為兩個同頻率 ϕ_1 與 ϕ_2 時脈訊號，但相同時間兩訊號並不會互相交疊。圖 2.1(b)為非重疊時脈產生電路方塊示意圖，其中延遲器可由偶數個串接的反相器或是 RC 電路所構成。

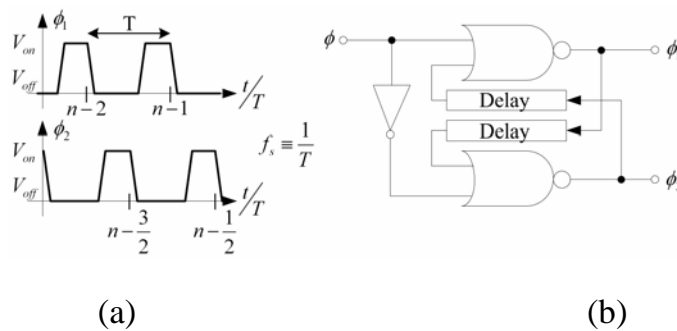
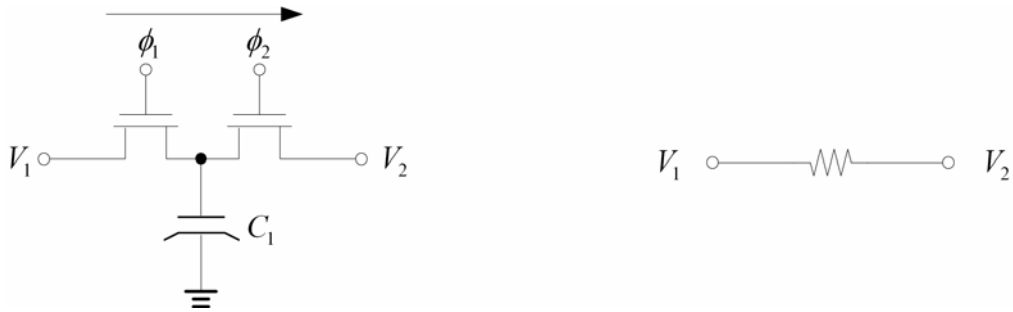


圖 2.1 非重疊時脈產生電路 (a) 時脈訊號 ϕ_1 與 ϕ_2 時序圖 (b) 非重疊時脈產生電路方塊示意圖[10]

切換電容電路在系統中常用來取代電阻。以圖 2.2(a)為例， V_1 與 V_2 為兩個直流電壓源， C_1 為一電容。若 ϕ_1 與 ϕ_2 為非重疊時脈訊號，在單位取樣時脈週期 T 內，前半個週期 V_1 對 C_1 充電，後半個週期 C_1 對 V_2 放電，因此平均每取樣時脈週期由 V_1 至 V_2 經由 C_1 所交換的電荷量為 ΔQ ，數學式為

$$\Delta Q = C_1(V_1 - V_2) \quad (2.1)$$



每取樣時脈週期 $\Delta Q = C_1(V_1 - V_2)$

$$R_{eq} = T/C_1$$

(a)

(b)

圖 2.2 切換電容電阻等效電路 (a)切換電容電路 (b)等效電阻[10]

將轉移電荷量 ΔQ ，除以取樣時脈週期 T ，可得單位時間內由 V_1 至 V_2 的平均電流，其數學式為

$$I_{avg} = \frac{C_1(V_1 - V_2)}{T} \quad (2.2)$$

圖 2.2(b)為切換電容電路之等效電阻電路圖，數學式為

$$I_{eq} = \frac{(V_1 - V_2)}{R_{eq}} \quad (2.3)$$

整理(2.2)式與(2.3)式，可得切換電容電路等效電阻 R_{eq} ，數學式為

$$R_{eq} = \frac{T}{C_1} = \frac{1}{C_1 f_s} \quad (2.4)$$

其中 T 為取樣時脈週期，故取樣頻率為 $f_s \equiv \frac{1}{T}$

將切換電容電路等效為電阻之概念導入非反相積分器(Parasitic-Insensitive Integrator)，如圖 2.3 所示。

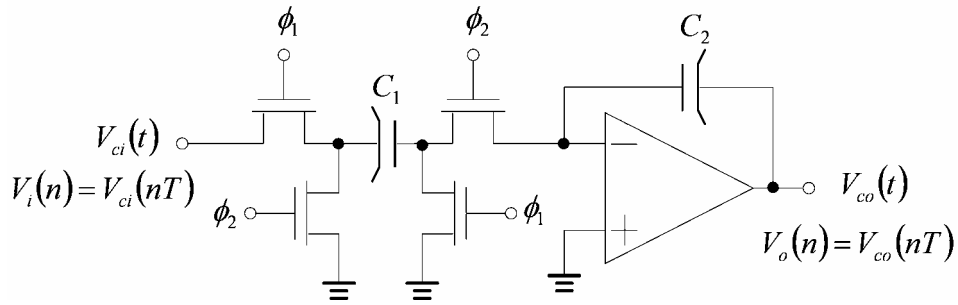
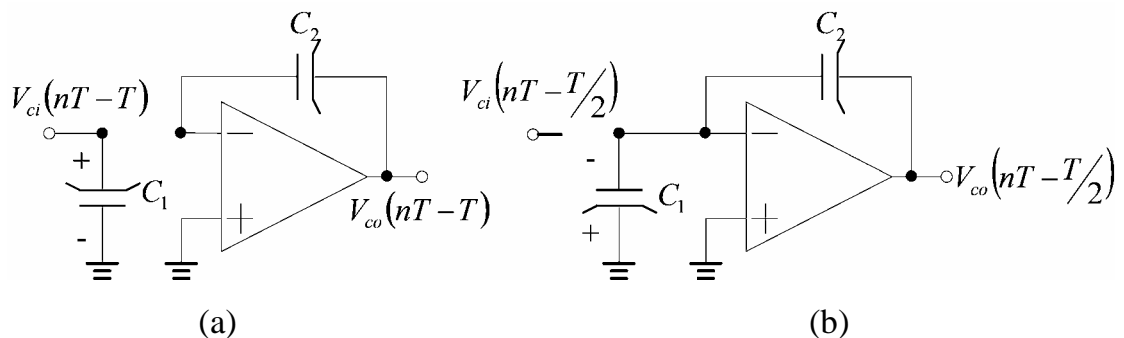
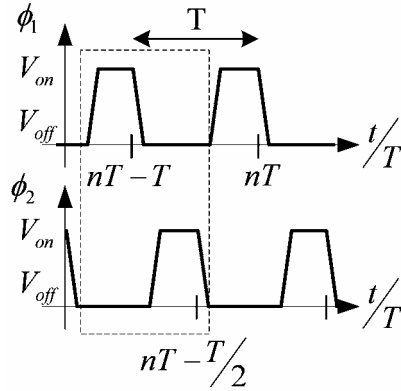


圖 2.3 非反相積分器[10]

分析此離散電路前，可將圖 2.3 拆成兩不同的時間點來做討論，其推導如下所示：

1. 如圖 2.4(a) (c)所示，在時間點 $(nT - T)$ 時， ϕ_1 為高態 ϕ_2 為低態，積分器輸出端電壓為 $V_{co}(nT - T)$ ，跨於 C_2 上之電荷量為 $C_2 V_{co}(nT - T)$ 。
2. 當 ϕ_1 正由高態切換成低態而 ϕ_2 仍為低態時，此積分器輸入節點 $V_{ci}(t)$ 的電壓為 $V_{ci}(nT - T)$ ，因此跨於 C_1 上之電荷量為 $C_1 V_{ci}(nT - T)$ ，而 C_2 上之電荷量仍為 $C_2 V_{co}(nT - T)$ 。
3. 如圖 2.4(b) (c)所示，當 ϕ_2 為高態 ϕ_1 為低態時，由於帶負電之 C_1 上層平板虛接地，放電電流將由 C_2 流至 C_1 的接地端，強迫儲存於 C_1 與 C_2 上之電荷達成平衡，積分器輸出端的電壓將保持至切換時間點 $(nT - T/2)$ 。





(c)

圖 2.4 非反相積分器之取樣時脈週期電路 (a) ϕ_1 高態 ϕ_2 低態 (b) ϕ_1 低態 ϕ_2 高態 (c) ϕ_1 與 ϕ_2 時序圖

根據電荷守衡定律，可寫下數學方程式為

$$C_2 V_{co} \left(nT - \frac{T}{2} \right) = C_2 V_{co} (nT - T) + C_1 V_{ci} (nT - T) \quad (2.5)$$

如圖 2.4(c)所示，在時間點 $\left(nT - \frac{T}{2} \right)$ 時， ϕ_2 正由高態切換成為低態，直到下個切換時間點 (nT) ， ϕ_2 正開始轉換高態時， C_2 上的電荷維持不變，因此 C_2 上的電荷量可寫為

$$C_2 V_{co} \left(nT - \frac{T}{2} \right) = C_2 V_{co} (nT) \quad (2.6)$$

因此改寫(2.5)式為

$$C_2 V_{co} (nT) = C_2 V_{co} (nT - T) + C_1 V_{ci} (nT - T) \quad (2.7)$$

將(2.7)式同除以 C_2 ，並改寫為差分方程式，可得

$$V_o(n) = V_o(n-1) + \frac{C_1}{C_2} V_i(n-1) \quad (2.8)$$

將(2.8)式做 Z 轉換，可得

$$V_o(z) = z^{-1} V_o(z) + \frac{C_1}{C_2} z^{-1} V_i(z) \quad (2.9)$$

最後將(2.9)式整理為轉移函數 $H(z)$

$$H(z) \equiv \frac{V_o(z)}{V_i(z)} = \left(\frac{C_1}{C_2} \right) \frac{z^{-1}}{1-z^{-1}} \quad (2.10)$$

此式即為非反相積分器之轉移函數，由此可瞭解如何在離散型的電路系統中，在遵守能量守衡的原則下，完成電路之轉移函數，以便於選擇電路中的電容值，與分析電路系統的穩定度。

然而，在分析高階濾波器等較為複雜的電路時，很難直接計算其轉移函數，因此可將電路圖先化簡成訊號流程圖，以便於求其轉移函數。

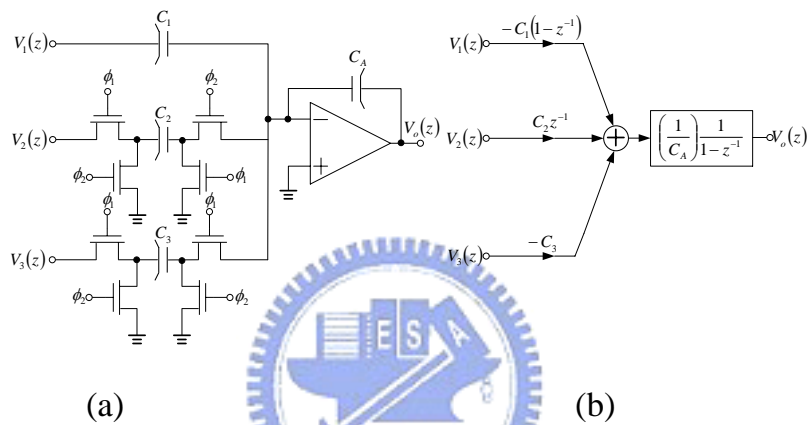


圖 2.5 三端輸入，切換電容電路架構之加法器/積分器(a)電路圖(b)等效訊號流程圖[10]

圖 2.5(a)即為一組複合式切換電容電路架構，由上至下分別為反相器、非反相積分器與反相積分器，其訊號流程圖如圖 2.5(b)所示，經過推導與整理，可得到此架構的數學式

$$V_o(z) = -\left(\frac{C_1}{C_A} \right) V_1(z) + \left(\frac{C_2}{C_A} \right) \left(\frac{z^{-1}}{1-z^{-1}} \right) V_2(z) - \left(\frac{C_3}{C_A} \right) \left(\frac{1}{1-z^{-1}} \right) V_3(z) \quad (2.11)$$

縱合上述的分析，以切換電容電路為架構之可程式化類比陣列具有三項優點[9]。第一，切換電容電路由於本身已具有類比開關，所以適合實現可程式化類比陣列中程式可編輯與重複可配置性之機制。因此對於可程式化與可配置之電容陣列，可簡易的透過原本非重疊時脈產生電路來切換其開關。第二，電容值的倍率可使用開關取樣頻率來做修改，不必變更其實

際值。第三，切換電容電路的設計參數是由電容的相對值決定，而非由電容的絕對值決定，而電容相對值之精確度在 CMOS 製程上可以得到很好的控制，故在 CMOS 製程上實現切換電容電路將有相當高的準確性。縱使有上述的優點，在現今以高速產品為主流的情況下，頻寬一直是設計者所追求的目標。根據奈氏取樣定理，切換電容電路架構的訊號操作頻寬將大幅受限，故此架構在頻寬上的劣勢仍待改進。

(B) 可配置類比方塊(Configurable Analog Block，簡稱 CAB)之設計

可配置類比方塊為可程式化類比陣列中最小單元電路，經由可配置類比方塊與互聯網路電路的規劃與控制，將使系統達成不同功能之函數。可配置類比方塊可透過不同架構之電路所實現，本節中可利用切換電容電路實現可配置類比方塊之設計，如圖 2.6 所示。經由此積分器電路的連接，構成了閉迴路系統，其中右半部為非反相積分電路，而左半部為一階濾波器電路[9]。在程式化系統電路的過程中，可配置類比方塊具有三項特別的機制

- 1 反相或非反相的積分器電路可經由非重疊時脈產生電路所實現。
- 2 經由加入被動或主動元件，或是打斷非必要的互聯網路電路可增加電路功能性
- 3 透過可程式化電容陣列的規劃，可提供不同的電容值。

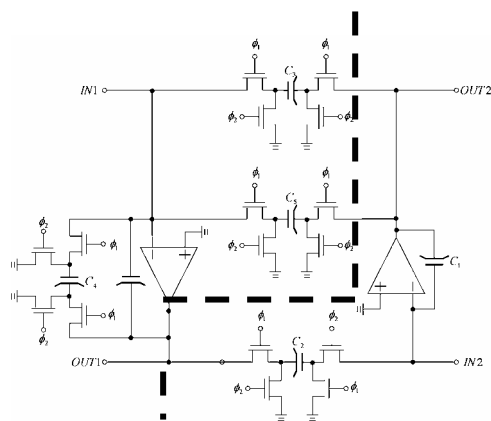


圖 2.6 以切換電容為架構之可配置類比方塊[9]

如圖 2.7 所示，互連網路電路可以由切換電容電路或非切換電容電路所組成。藉由切換電容電路做為互聯網路電路連線的開關，能提供可配置類比方塊具有一個非常彈性的歸劃架構。透過切換電容電路的傳遞，可選擇適當的電壓訊號加總在一起。當切換電容電路以足夠高的頻率做取樣，此時切換電容電路可視為兩端點間的等效電阻。然而，當切換電容電路的取樣頻率不夠高時，此時切換電容電路上的電容可視為單純的電容器，做為可配置類比方塊兩端點間電壓傳遞用。

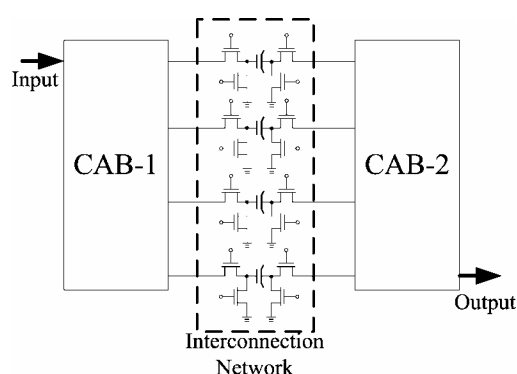


圖 2.7 以切換電容為架構之互聯網路電路[9]



2.2.2 以電流傳輸器為架構之 FPAA

(A) 基本電路原理與分析

電流傳輸器是以電流為控制變數的主動元件，因此為連續型系統。電流傳輸器類似運算放大器，具有三個端點，Y 端為輸入端，具有很高的輸入阻抗；X 端可反映 Y 端之電壓，其輸入阻抗很小；Z 端可映射 X 端的電流 [11]。圖 2.8 為第二代電流傳輸器(Current Conveyor II，簡稱 CC II)的元件符號，詳細電路如圖 2.9 所示。

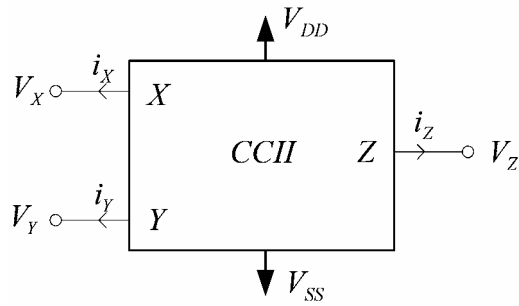


圖 2.8 第二代電流傳輸器之元件符號[11]

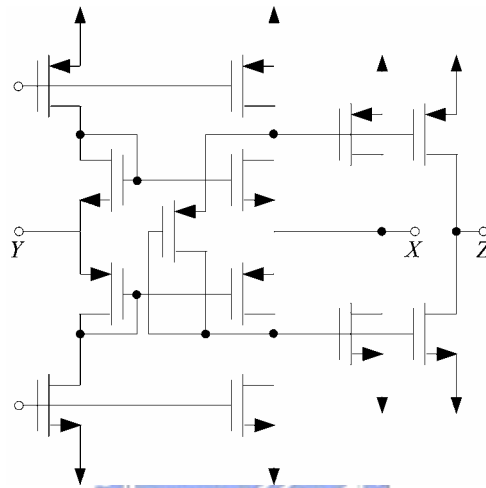


圖 2.9 第二代電流傳輸器電路圖[11]

考慮理想的電流傳輸器，工作原理分述如下[11]：

- 1 端點 Y 具有無窮大的輸入阻抗，不會汲取任何輸入電流。但事實上，仍有漏電流流入端點 Y。
- 2 當輸入電壓加於端點 Y 時，此時相同的電壓將複製到端點 X，此種觀念類似當運算放大器操作於負回授組態，兩個輸入端點存在一虛短路。然而特別的是電流傳輸器無須操作於負回授組態。
- 3 當端點 X 汲取電流時，相同大小的電流將複製到端點 Z，並從端點 Z 流出電流傳輸器。

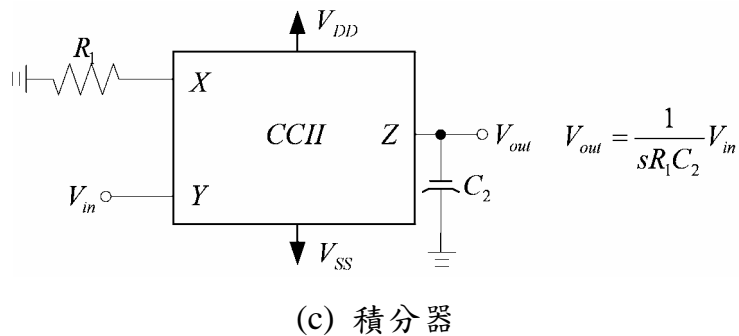
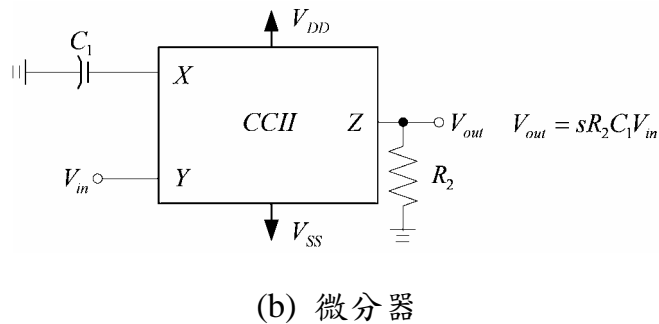
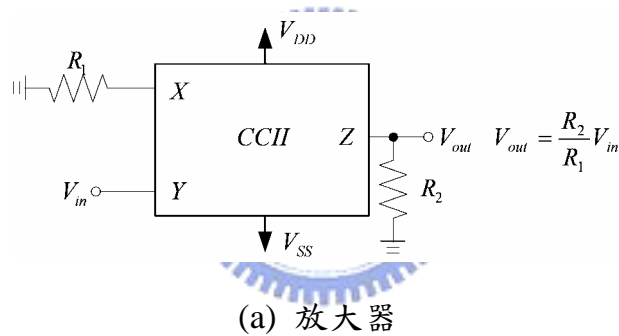
由上述的結果，可整理成下列方程式

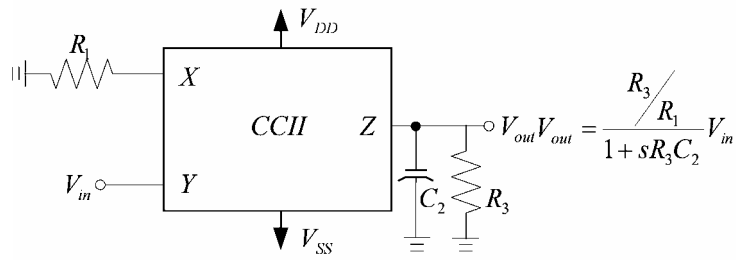
$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & + & 0 \\ & -\beta & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (2.12)$$

其中 β 為輸出端點相對輸入端點之電流增益，若 $\beta = +1$ ，則輸出端點 Z 的電流等於輸入端點 X 的電流

$$\begin{bmatrix} i_Y \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_Y \\ i_X \\ v_Z \end{bmatrix} \quad (2.13)$$

應用方面，如圖 2.10 所示，在端點 X 與 Z 掛上電阻、電容或是二極體等被動元件，將可達到放大器、微分器、積分器與濾波器等不同的功能。以圖 2.10(a) 為例，將端點 X 與 Z 分別掛上電阻 R_1 與 R_2 ，端點 Y 有一輸入電壓 V_{in} ， V_{in} 對映到端點 X 有一對地電流 V_{in} / R_1 。同樣地，相同的電流將從端點 Z 流向電阻 R_2 ，如此輸出端電壓 $V_{out} = (V_{in} / R_1) R_2$ ，故與放大器具有相同的功能。





(d) 一階低通濾波器

圖 2.10 由電流傳輸器為架構所合成之各種功能性電路[11]

電流傳輸器屬於連續型的訊號操作方式，雖然工作頻寬大於切換電容電路，但是在參數可調範圍方面，電流傳輸器需藉由改變外接的電阻與電容來調整不同功能之參數範圍，因此參數可調範圍並不如切換電容電路來的有彈性。

(B) 可配置類比方塊(CAB)之設計

圖 2.11 所示為一種以電流傳輸器所實現可配置類比方塊之設計。可配置類比方塊是構成可程式化類比陣列最基本的元件，經由改變電阻、電容等連接方式，可合成不同功能的電路。其中，可變電容是由可程式化電容陣列所組成；可變電阻是由可程式化轉導器所組成。藉由調整可變電容、電阻之大小，可以完成不同功能的函式。

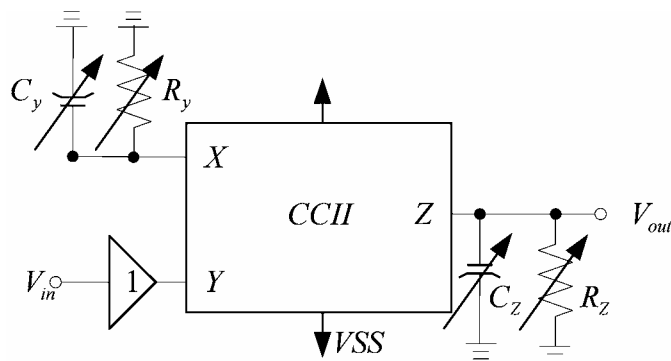


圖 2.11 以電流傳輸器為架構所合成之可配置類比方塊[11]

此可配置類比方塊所實現之可程式化類比陣列，如圖 2.12 所示，其中互連網路電路一般由傳輸閘(Transmission Gate)做為類比開關，使四組可配置類比方塊能相互的連接，將可實現更多不同功能的函數。

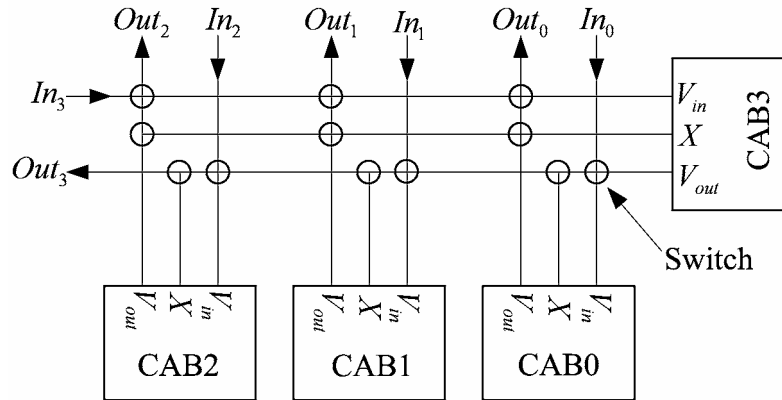


圖 2.12 以電流傳輸器為架構之可配置類比方塊以及互聯網路電路圖[11]

2.2.3 以 G_m -C為架構之FPAA



(A) 基本電路原理與分析

G_m -C電路架構，相較於切換電容電路，內部沒有切換電容做為取樣電路，故極適合於高速度的操作。 G_m -C電路架構具有較佳的頻率響應以及較寬的可調範圍，常用於實現連續時間型之濾波器[10]。

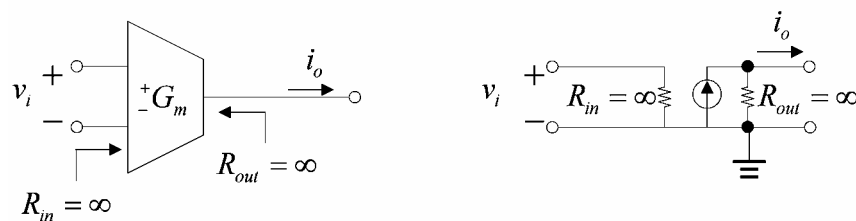


圖 2.13 轉導器之元件符號與理想電路模型[10]

轉導器最主要的功能是将輸入電壓轉換為輸出電流，如圖 2.13 所示，即輸出電流訊號正比輸入電壓訊號。理想上，轉導器輸入級、輸出級具有無窮大的阻抗，不同於運算放大器之輸出阻抗被假設為零。轉導器數學式

可表示為

$$i_o = G_m v_i \quad (2.14)$$

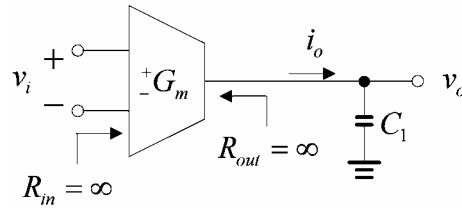


圖 2.14 單端輸出之 G_m - C 積分器[10]

轉導器常運用於積分器之設計，如圖 2.14 所示，在轉導器之輸出端接上一個積分電容 C_1 ，則轉導器輸出電流流經電容可得一跨壓，如下所示

$$v_o = \frac{i_o}{sC_1} = \frac{G_m v_i}{sC_1} \quad (2.15)$$

定義積分器的單位增益頻率為 ω_{ii} ，因此可得

$$v_o \equiv \left(\frac{\omega_{ii}}{s} \right) v_i = \left(\frac{G_m}{sC_1} \right) v_i \quad (2.16)$$

其中 $\omega_{ii} = \frac{G_m}{C_1}$

由於電流具有加總的特性，因此如欲調整積分器之設計，可將轉導器並聯如圖 2.15 所示，於輸出端匯集全部的電流流經一積分電容，數學式可得

$$v_o = \frac{1}{sC_1} (G_{m1}v_1 - G_{m2}v_2 + G_{m3}v_3) \quad (2.17)$$

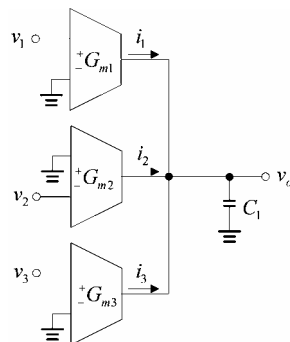


圖 2.15 三端輸入，單端輸出之 G_m - C 積分器/加法器[10]

一般說來，差動輸出具有較高的抗雜訊能力，以及降低訊號非線性成

份(偶次諧波)的優點，因此轉導器大多採用雙端輸入、雙端輸出之全差動式做為其電路架構。

如圖 2.16(a)、(b)所示，為全差動式 G_m -C積分器電路，在圖 2.16(a)之輸出端跨接一積分電容，則輸出電流流經此積分電容可得輸出電壓，其數學式為

$$v_o = v_o^+ - v_o^- = \frac{G_m v_i}{sC_1} \quad (2.18)$$

在圖 2.16(b)中，將原本輸出端跨接積分電容拆成兩個相同且獨立的電容，並將兩電容分別接於轉導器輸出級之正負端，輸出電流流經此積分電容可得數學式為

$$v_o = v_o^+ - v_o^- = \frac{G_m v_i}{s(2C_1)} - \left[-\frac{G_m v_i}{s(2C_1)} \right] = \frac{G_m v_i}{sC_1} \quad (2.19)$$

其中 v_o^+ 為輸出級正端電壓且 v_o^- 為輸出級負端電壓

由(2.18)式與(2.19)式可知，此兩種架構具有相同之輸出電壓值，然而就全差動式電路而言，必須在輸出端接上共模回授電路(Common Mode Feedback, 簡稱 CMFB)做其輸出共模準位的調整，因此圖 2.16(b)的兩個輸出端電容除了作為轉導器積分電容外，更可做為輸出端點的主極點頻率補償電容，故圖 2.16(b)的電路穩定度相對於圖 2.16(a)來的高。

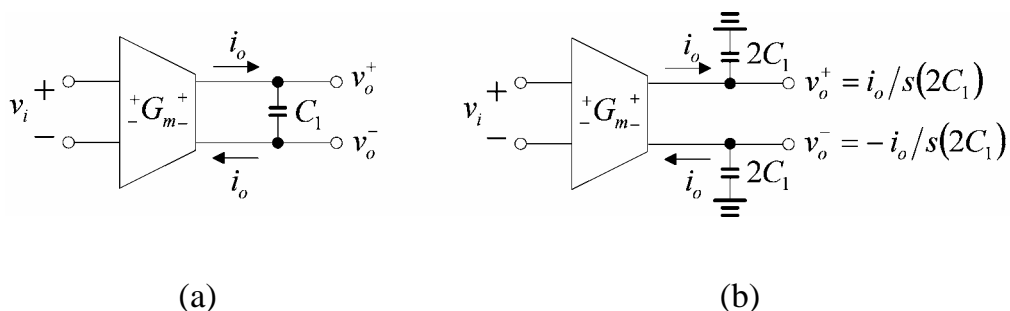


圖 2.16 全差動式 G_m -C積分器 (a)輸出端跨接電容(b)輸出端雙端電容[10]

全差動式轉導器雖有上述抗雜訊與低失真的優勢，然而轉導器輸出端必存在寄生電容，且由電容基板的所引入的寄生電容，其值甚可達到積分

電容的 20%。由於寄生電容會造成非線性的問題，因此為了降低寄生電容效應，可將Miller積分器的概念導入圖 2.16(b)中，於轉導器之電流輸出端串接一個運算放大器，稱為 G_m -C Opamp(G_m -C Operational Amplifier)積分器，如圖 2.17 所示，其數學式相同於圖 2.16(b)可得

$$v_o = \frac{2i_o}{s(2C_1)} = \frac{G_m v_i}{sC_1} \quad (2.20)$$

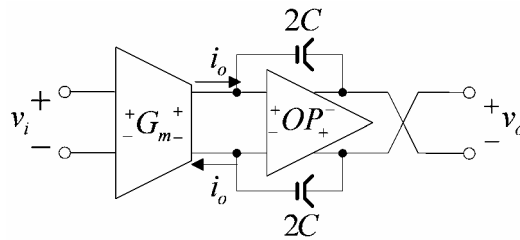


圖 2.17 全差動式 G_m -C Opamp積分器[10]

根據控制原理，負回授具有降低雜訊或外界干擾對於系統工作的影響。 G_m -C Opamp積分器於轉導器之後端串接運算放大器，而積分電容跨接於運算放大器之輸入、出端形成負回授，負回授可降低雜訊對於電路的影響，且運算放大器之增益造成其輸入端之虛短路可大幅降低寄生電容效應，故可改善電路的工作效能。此外，由於轉導器輸出端接有共模回授電路，可穩定轉導器輸出端的共模電壓。再者轉導器後端接有運算放大器，由於運算放大器輸入端具有虛短路的特性，可簡化轉導器輸出級高阻抗的設計，並使轉導器之輸出擺幅不至於過大而造成訊號的失真[10] [12]。

一般而言，每加上一個運算放大器便得犧牲頻寬，以及增加晶片面積與功率的代價。因此選用適當的運算放大器將為此 G_m -C Opamp設計的首要工作，如圖 2.17 所示之運算放大器可採用簡單二級串接放大器(共閘級串接共源級)，因為架構簡單，可減少因串接而造成工作速度降低的效應，進而改善全電路的工作速度。

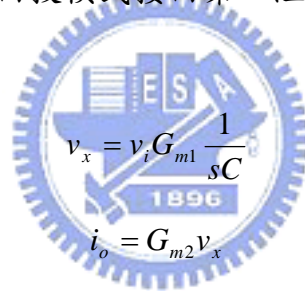
綜觀上述對於 G_m -C架構的分析，其具有高速操作的優點，然而高雜訊

干擾與轉導器本身之低線性度為主要的劣勢，然而圖 2.17 所分析 G_m -C Opamp 積分器架構，經由負回授可降低雜訊干擾對於電路系統的影響，因此對於實現可程式化類比陣列， G_m -C Opamp 積分器架構為較佳之選擇。

轉導器之優勢在於可透過簡易的接線，以達成不同之功能，例如可將轉導器等效成電阻與電感，此特性與可程式化類比陣列的觀念相當吻合，如圖 2.18(a) 所示，將輸出端連線改為負回授模式後，即可得等效電阻，其數學式為

$$Z = \frac{v_i}{i_o} = \frac{1}{G_m} = R \quad (2.21)$$

對於等效電感而言，需透過兩組轉導器與一個電容來完成，如圖 2.18(b) 所示，將兩組轉導器之輸出入端頭尾相接，並於中間跨接一個電容，且第二組轉導器之輸出端為負回授模式接回第一組轉導器輸入端，其數學推導為

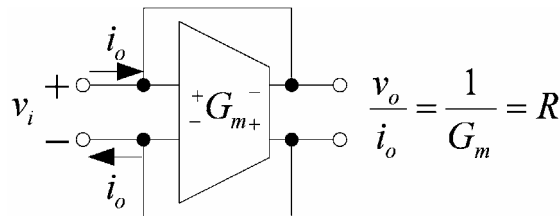


$$v_x = v_i G_{m1} \frac{1}{sC} \quad (2.22)$$

$$i_o = G_{m2} v_x \quad (2.23)$$

將(2.22)式代入(2.23)式，經整理後可得等效電感

$$Z = \frac{v_i}{i_o} = s \left(\frac{C}{G_{m1} \cdot G_{m2}} \right) = sL \quad (2.24)$$



(a)

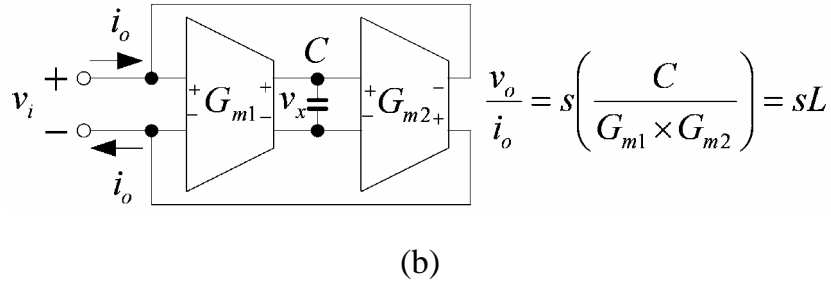


圖 2.18 轉導器等效被動元件 (a)電阻 (b)電感

(B) 可配置類比方塊(CAB)之設計

圖 2.19 所示為一種以 G_m -C為架構實現可配置類比方塊之設計，其中包含了全差動式轉導器，可程式化電容陣列，以及由傳輸閘所組成可配置類比方塊內部之互聯網路電路。可配置類比方塊藉由互聯網路電路之傳輸閘來規劃其輸出，經由改變轉導值與電容值的大小，來實現所需要的功能。

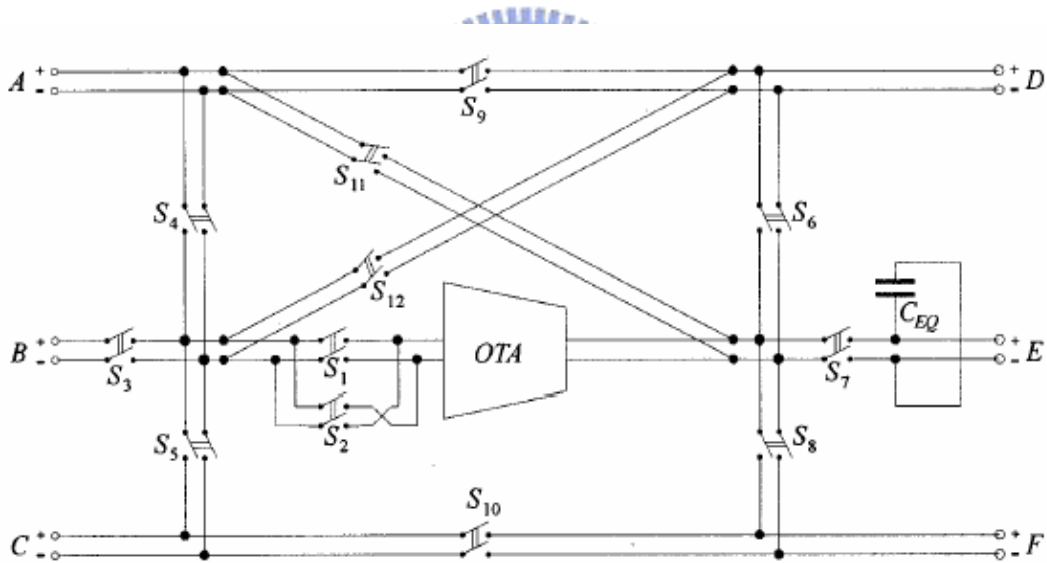


圖 2.19 以 G_m -C為架構之可配置類比方塊[13]

在可配置類比方塊內部適當的增加 G_m -C配置可增加可配置類比方塊的規劃能力，如圖 2.20 所示，為一種以四組 G_m -C與互聯網路所實現之可配置類比方塊。透過互聯網路電路中的傳輸閘，來決定轉導器與電容陣列互相連接的方式，因此互聯網路電路可提高系統的可規劃性，更可增加可程式化電路之使用效率，避免不必要的傳輸路徑[13]。

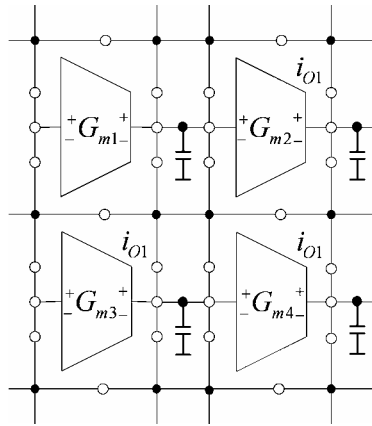


圖 2.20 以 G_m -C為架構之可配置類比方塊以及互聯網路電路圖[13]

表 2.1 Switched-Capacitor、Current Conveyor與 G_m -C技術之比較表

	切換電容電路 (SC)	電流傳輸器 (CC)	轉導電容電路 (G_m -C)
操作方式	取樣訊號	連續訊號	連續訊號
操作型態	半類比式	全類比式	全類比式
操作訊號	電壓	電流	電流
操作頻寬	< 1MHz[9]	< 10MHz[11]	< 200MHz[13]
規劃方式	電容陣列	電容陣列 電阻陣列	轉導器、 電容陣列
設計參數	電容比值 (C_1/C_2)	時間常數 ($R_x C_x$)	時間常數 (C/G_m)

綜觀本節所分析此三種系統架構，雖然切換電容電路擁有較高的電容相對值精確度，但由於採用訊號取樣模式，故工作頻寬大幅受限。電流傳輸器與 G_m -C架構雖然都為連續訊號模式，就操作頻寬來說， G_m -C架構仍優於電流傳輸器架構。此外，電流傳輸器需透過外掛的元件來調整不同功能之參數範圍，而轉導器可直接由電路參數改變轉導值，因此電流傳輸器的可調參數範圍不如 G_m -C架構較來的有彈性。 G_m -C架構若轉導器採用全差動

式的設計，加上轉導器輸出端接上運算放大器，將具有較高的抗雜訊能力以及降低訊號非線性成份的優點，故本論文將採取 G_m -C Opamp積分器架構做為研究主軸，並將於下一節對轉導器架構之線性度以及參數可調範圍做深入的探討。

2.3 可程式化類比陣列以 G_m -C轉導器之核心電路

轉導器乃是 G_m -C架構電路系統最基本的方塊，根據國內外研究，已提出數種轉導器之架構。本節將分別探究源極退化式(Source Degeneration)轉導器[14]、電壓浮接式(Floating-Bias Voltage Source)轉導器[15]以及偏壓補償交錯耦合式(Bias-Offset Cross-Coupled)轉導器[16]。本論文在可程式化類比陣列的研究與分析上，將著重在改善轉導器之線性度以及如何增加 G_m 參數之可調範圍。



2.3.1 源極退化式轉導器

源極退化的基本概念為共源極組態中，在源極上串接一線性之被動電阻，藉由電阻值的增加，使得輸出電流對輸入電壓之轉導值近趨電阻值的倒數，以提升電路的線性度。將上述源極退化技巧導入轉導器中，利用差動對以降低非線性效應，並將線性的被動電阻跨接差動對之兩源極端，藉由電阻值的調整決定轉導值的大小。然而在今日 CMOS 製程中仍無法達到高精準之電阻值，因此線性的被動電阻可由操作在三極區(Triode Region)電晶體來加以替代。

如圖 2.21 為源極退化式轉導器，其中電晶體M1 與M3 有相同的閘極電壓 v_1 ，與相同的源極電壓 v_x ，而M2 與M4 有相同的閘極電壓 v_2 ，與相同

使用小訊號 T 模型可得

$$i_{o1} = \frac{v_1 - v_2}{r_{s1} + r_{s2} + (r_{ds3} // r_{ds4})} \quad (2.28)$$

定義轉導器之轉導值 $G_m \equiv i_{o1} / v_1 - v_2$,

$$G_m = \frac{1}{r_{s1} + r_{s2} + (r_{ds3} // r_{ds4})} \quad (2.29)$$

將(2.26)式、(2.27)式代入(2.29)式，可整理得

$$G_m = \frac{4K_1K_3(V_{GS1} - V_m)}{K_1 + 4K_3} \quad (2.30)$$

若以偏壓電流來分析 $I_1 = K_1(V_{GS1} - V_m)^2$

或等於
$$(V_{GS1} - V_m) = \sqrt{\frac{I_1}{K_1}} \quad (2.31)$$

將(2.31)式代入(2.30)式中，經整理可得偏壓電流與轉導值的關係推導

$$G_m = \frac{4K_1K_3\sqrt{I_1}}{(K_1 + 4K_3)\sqrt{K_1}} \quad (2.32)$$

由(2.32)式可知轉導值的調整能透過偏壓電流的改變而達成，其中轉導值與偏壓電流的平方根成線性關係。此外，對於源極退化式轉導器而言，電晶體操作於三極區所改善的線性度遠大較於主動區，所以源極退化架構大幅提升電路的線性範圍。傳統之源極退化式轉導器電路是將 M3 與 M4 之閘極端接於固定偏壓，當輸入訊號過大時，將使此電晶體無法維持在三極區工作，而造成電路線性度降低。而圖 2.21 的設計，M3 與 M4 之閘極分別接於兩輸入電晶體 M1 與 M2 之閘極，當輸入差動電壓增加時，此時電阻值減小，轉導值增加，可部份抵消上述轉導器衰減的因素。再者，設計適合的 K_1/K_3 值，以產生上述相互抵消的效應，更可增加此轉導器的線性度。

源極退化式轉導器具有較佳之線性度，若以 BiCMOS 製程，可應用於雙模低通頻道選擇濾波器[17]；也可經由可適應性偏壓的改善，達成具有

高線性輸入範圍之轉導器[18]。

2.3.2 電壓浮接式轉導器

前節所探討之源極退化式轉導器雖有較佳的線性度，但因部份電晶體操作在三極區，故無法應用於高速電路。本節所探究之電壓浮接式轉導器，由於所有電晶體皆工作於飽和區(Saturation Region)，因此有較佳的操作速度，然而受限於汲極電流平方律(Square Law)非線性的影響，故在電路的設計上，將藉由差動對中獨立之浮接式電壓源，以抵消電流平方律二次項之非線性因素，以獲得線性度的改善。

電壓浮接式的基本概念是藉由汲極電流平方律方程式之相減，扣除方程式中非線性之二次項，其分析可考慮兩匹配操作於飽和區之電晶體，電流方程式如下可得

$$i_{D1} = K(v_{GS1} - V_m)^2 \quad (2.33)$$

$$i_{D2} = K(v_{GS2} - V_m)^2 \quad (2.34)$$

其中

$$K = \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L} \right)_1 = \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L} \right)_2$$

將(2.33)式與(2.34)式兩式相減可得

$$i_{D1} - i_{D2} = K(v_{GS1} + v_{GS2} - 2V_m)(v_{GS1} - v_{GS2}) \quad (2.35)$$

由(2.35)式可知，若 $(v_{GS1} + v_{GS2} - 2V_m)$ 為定值，則輸入差動電壓 $(v_{GS1} - v_{GS2})$ 相對於差動輸出電流 $(i_{D1} - i_{D2})$ 為線性關係，且不受臨界電壓 V_m 的影響。故將(2.35)式的關係導入差動對中，利用 $(v_{GS1} + v_{GS2} - 2V_m)$ 為定值的觀念在差動對中設計出一迴路，如圖 2.22 所示。

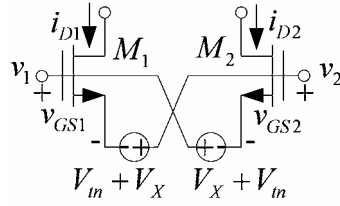


圖 2.22 NMOS 架構之電壓浮接式轉導器示意圖[10]

在圖 2.22 中，可整理出兩組方程式

$$v_1 - v_{GS1} + V_x + V_m = v_2 \quad (2.36)$$

$$v_2 - v_{GS2} + V_x + V_m = v_1 \quad (2.37)$$

(2.36)與(2.37)兩式相加，可得

$$v_{GS1} + v_{GS2} = 2(V_x + V_m) \quad (2.38)$$

(2.36)與(2.37)兩式相減，可得

$$v_{GS1} - v_{GS2} = 2(v_1 - v_2) \quad (2.39)$$

(2.38)式與(2.39)式代入(2.35)式中，經整理得到

$$(i_{D1} - i_{D2}) = 4KV_x(v_1 - v_2) \quad (2.40)$$

其中轉導值為

$$G_m = \frac{i_{D1} - i_{D2}}{v_1 - v_2} = 4KV_x \quad (2.41)$$

由(2.41)式知， G_m 與浮接電壓源成線性關係。由圖 2.22 知，浮接電壓源必須在輸出電流 i_{D1} 與 i_{D2} 變動情況下仍維持定值，考慮以CMOS成對(CMOS Pair)電路為基本架構以實現浮接電壓源電路，如圖 2.23 所示，為CMOS成對電路，其中假設雙電晶體接操作於飽和區，因此汲極電流方程式可寫為

$$i_D = K_n(v_{GS_n} - V_m)^2 \quad (2.42)$$

其中 $V_m > 0$

$$i_D = K_p (v_{SG_p} + V_{tp})^2 \quad (2.43)$$

其中 $V_{tp} < 0$

重新改寫(2.42)與(2.43)式，可得

$$v_{GS_n} = V_m + \frac{1}{\sqrt{K_n}} \sqrt{i_D} \quad (2.44)$$

$$v_{SG_p} = -V_{tp} + \frac{1}{\sqrt{K_p}} \sqrt{i_D} \quad (2.45)$$

由(2.44)、(2.45)兩式知，可定義圖 2.23 中電晶體閘極雙端之電壓 $v_{GS_{eq}}$ 為

$$v_{GS_{eq}} = v_{GS_n} + v_{SG_p} = V_m - V_{tp} + \left(\frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \right) \sqrt{i_D} \quad (2.46)$$

由(2.46)式中，定義等效臨界電壓 V_{t-eq} 與元件參數 K 為

$$V_{t-eq} = V_m - V_{tp} \quad (2.47)$$

$$K_{eq} = \frac{K_n \cdot K_p}{\left(\sqrt{K_n} + \sqrt{K_p} \right)^2} \quad (2.48)$$

將(2.47)、(2.48)式代回(2.46)式中，可化簡得

$$v_{GS_{eq}} = V_{t-eq} + \frac{1}{\sqrt{K_{eq}}} \sqrt{i_D} \quad (2.49)$$

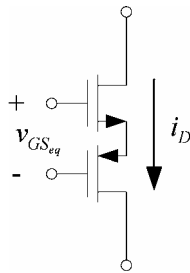


圖 2.23 CMOS 成對電路[10]

以 CMOS 成對電路所實現之電壓浮接式轉導器示意圖，如圖 2.24 所

示

使用(2.49)式代入(2.56)、(2.57)式以消去 V_{t-eq} 可得

$$v_{id} = \sqrt{i_{D1}/K_{eq}} - V_X \quad (2.58)$$

$$-v_{id} = \sqrt{i_{D2}/K_{eq}} - V_X \quad (2.59)$$

改寫(2.58)、(2.59)式為汲極電流方程式，可得

$$i_{D1} = K_{eq}(V_X + v_{id})^2 \quad (2.60)$$

$$i_{D2} = K_{eq}(V_X - v_{id})^2 \quad (2.61)$$

將(2.60)、(2.61)兩式相減，經整理可得轉導值

$$G_m = \frac{i_{D1} - i_{D2}}{v_1 - v_2} = 4K_{eq}V_X \quad (2.62)$$

將(2.52)式代入(2.62)式中，轉導值可改寫為

$$G_m = \frac{i_{D1} - i_{D2}}{v_1 - v_2} = 4\sqrt{K_{eq}I_B} \quad (2.63)$$

由(2.63)式知，為了提高轉導值，可藉由提升偏壓電流 I_B 或是增加電晶體之長寬比來達成。

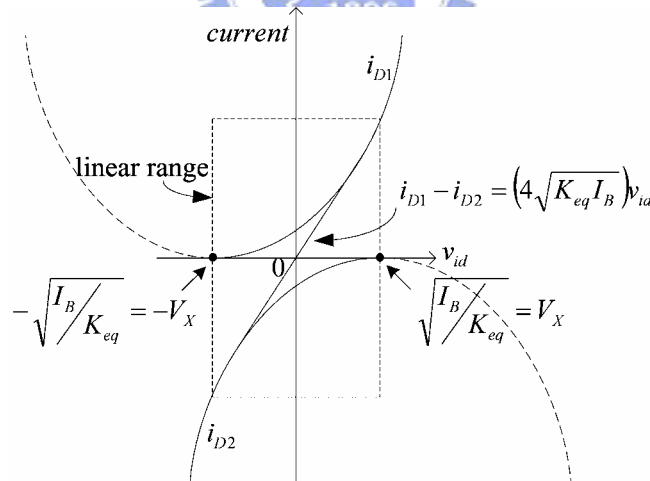


圖 2.27 圖型化描述電壓浮接式轉導器之輸入線性範圍[15]

此外，為了分析輸入差動電壓 v_{id} 之線性操作範圍，由(2.60)、(2.61)兩式可知分別為轉導器差動輸出之汲極電流方程式，且相位為反相。若以數學觀點而言，(2.60)、(2.61)兩式為二次曲線方程式，則以輸入差動電壓 v_{id} 為X軸，汲極電流為Y軸，將(2.60)、(2.61)兩式以繪圖方式分析 v_{id} 之線性操作

範圍，如圖 2.27 所示。由於 i_{D1} 與 i_{D2} 為反相，因此圖中可知兩個二次曲線之開口方向為反向，且由圖中藉由 i_{D1} 與 i_{D2} 二次曲線之相減可得輸出差動電流 $i_{D1}-i_{D2}$ 的線性範圍。故由圖中可知當 i_{D1} 與 i_{D2} 兩二次曲線之峯谷值與X軸相交，即 i_{D1} 與 i_{D2} 汲極電流為零時，可得輸入差動電壓 v_{id} 之線性操作範圍

$$-\sqrt{I_B/K_{eq}} \leq v_{id} \leq \sqrt{I_B/K_{eq}} \quad (2.64)$$

由上述(2.64)式的推導，藉由提升偏壓電流 I_B ，可增加輸入電壓的線性範圍，也可增加輸出差動電流對於輸入差動電壓之轉導值。然而在提升偏壓電流的同時，還需考量到功率消耗增加等問題的發生。

電壓浮接式轉導器具有高速操作的特性，且理想上藉由扣除汲極電流中之二次非線性項以提高線性度，然而實際考量上此法無法非常精確消除二次項，此外輸出電流 i_{D1} 與 i_{D2} 仍受二階諧波的影響。縱然如此，但仍有許多相關文獻的提出，除了實現線性轉導放大器之外，還可應用於平方律相關功能之電路，以及類比超大型積體電路中的四象限乘法(Four-Quadrant Multiplier for Analog VLSI)電路[19]。

2.3.3 偏壓補償交錯耦合式轉導器

本節所探討的偏壓補償交錯耦合式轉導器之電路特性與前節電壓浮接式類似，所有電晶體都需操作於飽合區且都具有高速操作的優點。此外此偏壓補償具高線性度的特性，可滿足大擺幅輸入訊號的需求。此電路採用兩組簡易之差動對，其中一組差動對之閘極端做為訊號輸入端，而另一組差動對之閘極端，則經由前一組閘極端扣除一固定補償電壓而作為其訊號輸入端。將此兩組差動線性輸出電流做運算，可達成具有高度線性範圍與高度可調整增益之偏壓補償交錯耦合式轉導器[10] [16]。

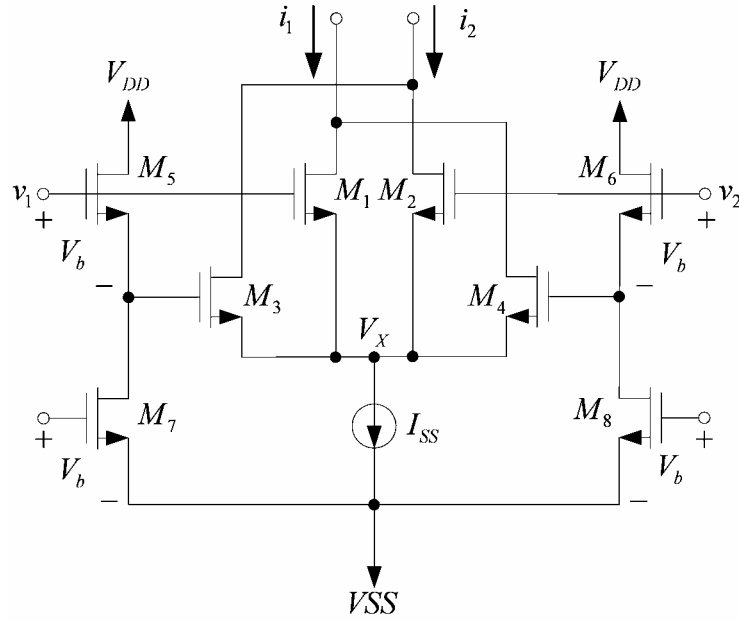


圖 2.28 偏壓補償交錯耦合式轉導器[16]

如圖 2.28 所示，為偏壓補償交錯耦合式轉導器，其中電晶體 M1 至 M4 為輸入交錯耦合式差動對，而 M5 至 M8 為偏壓補償式差動對，而 i_1 為 M1 與 M4 汲極電流的總合， i_2 為 M2 與 M3 汲極電流的總合。假設 M1~M4 與 M5~M8 分別有相同之電晶體長寬比且都工作於飽和區。若 M7 與 M8 之閘極端接一控制電壓 V_b ，且 M5 與 M7 以及 M6 與 M8 為共汲極電流，在考慮不受基體效應(Body Effect)的影響下，則 M5 與 M7 以及 M6 與 M8 具有相同的閘源極電壓 V_b 。由於輸入差動對電晶體 M1 與 M2 之閘極端分別與 M5 與 M6 之閘極端相接，而另一組差動對電晶體 M3 與 M4 之閘極端則分別接於 M5 與 M6 之源極端，藉由 M5 與 M6 之 V_{GS} 電壓而產生一電壓差值，此電壓差值即為與轉導值成線性相關之補償電壓。圖 2.28 中，根據汲極電流平方律的特性，輸出電流 i_1 與 i_2 可表示為

$$i_1 = i_{D1} + i_{D4} = K(v_1 - V_x - V_m)^2 + K(v_2 - V_b - V_x - V_m)^2 \quad (2.65)$$

$$i_2 = i_{D2} + i_{D3} = K(v_2 - V_x - V_m)^2 + K(v_1 - V_b - V_x - V_m)^2 \quad (2.66)$$

其中 $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$ ， V_m 為 NMOS 的臨界電壓且假設電晶體 M1~M4 之長寬比與臨界電壓皆相同

將(2.65)、(2.66)兩式相減，可得輸出差動電流 i_o

$$i_o = (i_1 - i_2) = 2KV_b(v_1 - v_2) \quad (2.67)$$

其中定義輸入差動電壓為 $v_{id} \equiv v_1 - v_2$

因此(2.67)式經整理可得轉導值為

$$G_m = \frac{i_o}{v_{id}} = 2KV_b \quad (2.68)$$

從(2.68)式可得輸出差動電流對輸入差動電壓呈線性關係，且可經由控制電壓 V_b 線性調整轉導值的大小。

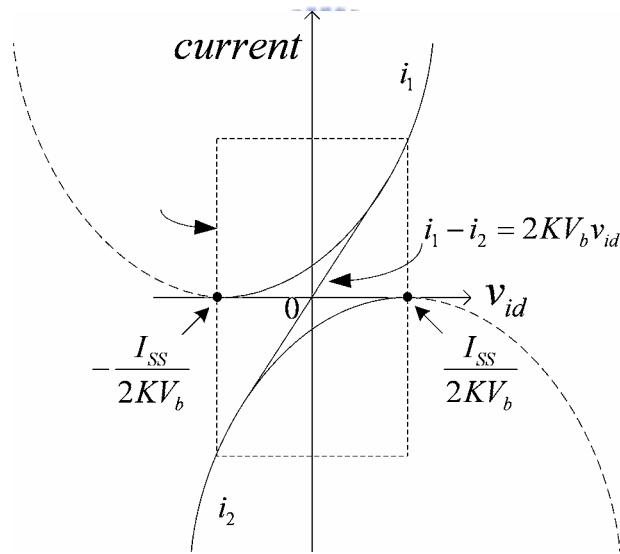


圖 2.29 圖型化描述偏壓補償交錯耦合式轉導器之輸入線性範圍[15]

由圖 2.28 中可知輸出汲極電流 i_1 與 i_2 之總合為偏壓電流 I_{SS} ，則可表示為

$$i_1 + i_2 = I_{SS} \quad (2.69)$$

則由(2.67) 與(2.69)兩式聯立可得

$$i_1 = \frac{I_{SS}}{2} + KV_b v_{id} \quad (2.70)$$

$$i_2 = \frac{I_{SS}}{2} - KV_b v_{id} \quad (2.71)$$

由(2.70)與(2.71)兩式可知，其分別相同於(2.65)與(2.66)兩式。根據上節圖 2.27 中以圖形分析輸入差動電壓 v_{id} 之線性操作範圍，則將此觀念代入本節以利於分析圖 2.28 偏壓補償交錯耦合式轉導器之輸入差動電壓 v_{id} 的線性操作範圍。由於(2.65)與(2.66)兩式分別為差動輸出之汲極電流方程式 i_1 與 i_2 ，且相位為反相。若以數學觀點而言，(2.65)、(2.66)兩式為二次曲線方程式，且由於(2.65)、(2.66)兩式分別相等於(2.70)、(2.71)兩式，則以輸入差動電壓 v_{id} 為X軸，汲極電流為Y軸，則將(2.65)與(2.66)兩式之二次曲線方程式繪於圖 2.29 中。由於 i_1 與 i_2 為反相，因此圖中可知兩個二次曲線之開口方向為反向，且由圖中藉由 i_1 與 i_2 二次曲線之相減可得輸出差動電流 $i_{d1}-i_{d2}$ 的線性範圍。故由圖中可知當 i_1 與 i_2 兩二次曲線之峯谷值與X軸相交，即 i_1 與 i_2 汲極電流為零時，則代入(2.70)與(2.71)兩式，可得輸入差動電壓 v_{id} 之線性操作範圍



$$-\frac{I_{SS}}{2KV_b} \leq v_{id} \leq \frac{I_{SS}}{2KV_b} \quad (2.72)$$

根據(2.68)式知增加控制電壓 V_b 有提高轉導值的優點，然而由(2.72)式可知，隨著 V_b 的提升，將會縮小輸入差動電壓的線性範圍，所以在設計此轉導器上須在轉導值與輸入線性範圍兩者之間做取捨。

由(2.68)式的結論可知轉導值為定值且不受輸入差動電壓 v_{id} 與共源電壓 V_x 的影響，若考慮遷移率降低的非理想因素，將造成轉導值線性度的劣化。因此將實際遷移率參數代入差動輸出電流中，經整理可得轉導值之線性度受共源電壓 V_x 的影響。然而藉由可適應性控制尾端電流(Tail Current) I_{SS} 的供給，將使得共源電壓 V_x 成為定值，而大幅改善此電路的輸入線性範圍[20]。

2.4 可程式化類比陣列之系統規劃

前節所探討之轉導器電路中，可經由控制訊號改變轉導值，進而達成轉移函數之程式化。然而轉導值變動範圍受限於電路的架構，因此需要其他方法大幅提升此系統可程式化的能力。本節將對轉移函數之係數可變動範圍，以及互聯網路對於系統之規劃能力進行探討。此外，利用可程式化類比陣列之彈性可調整架構，分析P、I、D控制器合成方式，進一步探究低階濾波器與高階濾波器的合成方法與理論，以達成最佳化之可程式化類比陣列。

2.4.1 可程式化之電路策略

(A) 可程式化電流鏡陣列




圖 2.30 為可程式化轉導器，其中包含虛線框中的電壓浮動交錯耦合式轉導器與可程式化電流鏡陣列[13]。此轉導器之控制電壓 V_b 線性正比於轉導值，雖可經由 V_b 來調整轉導值大小，但其可調範圍仍不足適用於高度可程式化之電路系統。為了解決轉導器之差動輸出電流過小的問題，因此可於轉導器輸出電流的路徑接上一組電流鏡陣列，經由電流鏡陣列，使得轉導值具有大範圍的差動輸出電流。

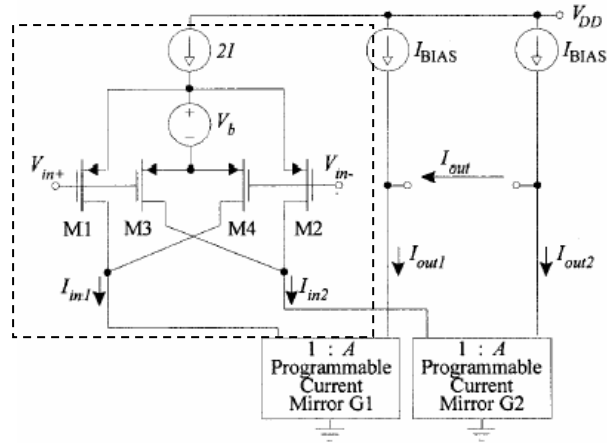


圖 2.30 可程式化轉導器[13]

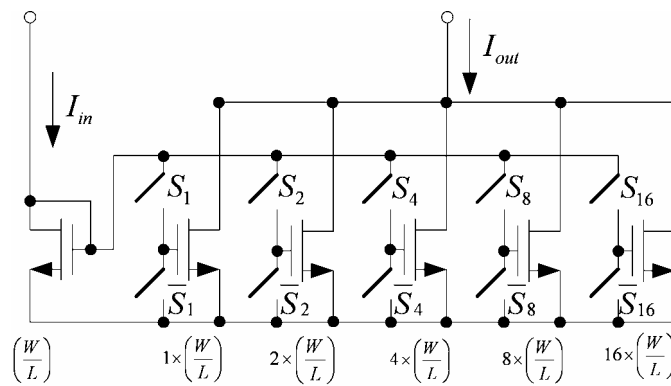


圖 2.31 可程式化電流鏡陣列[13]

可程式化電流鏡陣列，如圖 2.31 所示，由電流鏡與類比開關所組成。為了達成數位可程式化的目標，電流鏡輸出級可分為 5 組，即代表有 5 位元(bits)，每組以 2 的次方為電流鏡輸出級倍率，圖中分別為 1、2、4、8 與 16 倍的電流鏡，且電流鏡陣列之輸出電流 I_{out} 為個別輸出級電流加總。每組電流鏡以傳輸開做為開關 S_i 加以控制，其中 $i = \{1, 2, 4, 8, 16\}$ 表示為導通電流鏡之數目，可藉由開啟不同的開關，使得電流鏡陣列的輸出電流獲得不同的輸出組合，以使轉導值具有高度的可調範圍。

(B) 可程式化電容陣列

本論文之可程式化類比陣列採用 G_m -C 架構，除了轉導器的可調範圍改善外，另一個重點即為電容之可調性[13][21]。在濾波器或是控制器等電路設計上，電容決定了極點的位置，也決定轉移函數之參數值。為了提升電

容的可調範圍，如圖 2.32 所示，可由電容與類比開關組成可程式化電容陣列，其等效電容值可表示為

$$C_{EQ} = \sum_{n=0}^4 b_n 2^n C_0 \quad (2.73)$$

其中 $b_n \in \{0,1\}$

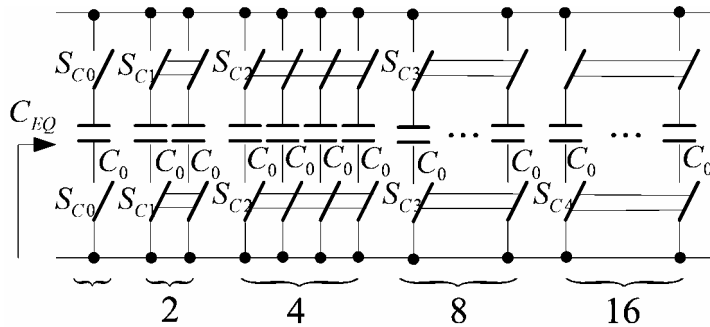


圖 2.32 可程式化電容陣列[13]

由圖 2.32 所示，此電容陣列分為 5 組，即代表有 5 位元，每組分別以 1、2、4、8 與 16 之個數的單位電容 C_0 並聯。(2.70)式可知 b_n 表示類比開關 S_{C_i} 是否導通，其中 $b_n=1$ 表示為開， $b_n=0$ 表示為關，因此可經由類比開關決定等效電容值的大小。

(C)類比開關

一般來說，類比開關可由傳輸閘或是 NMOS 傳輸電晶體 (Pass Transistor) 所實現。通常用於訊號的傳輸，如圖 2.33 所示，經由傳輸閘閘極端訊號的切換，可決定電流訊號是否從縱線傳輸至橫線。此外導線存在寄生電容，因此在高速操作時，需注意寄生電容對於整體電路效能的影響。

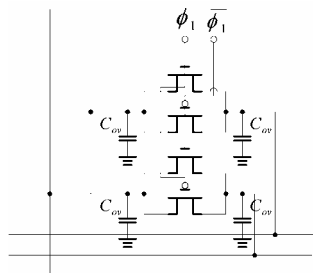


圖 2.33 訊號傳輸之類比開關[22]

由於轉移函數之參數值具有正負符號，負號表示訊號極性為反相。因此類比開關另外一項功能可切換訊號的方向，如圖 2.34 所示，為四個 NMOS 所組成的類比開關。當 ϕ 為高態時輸出訊號與輸入訊號同相，當 ϕ 為低態時輸出訊號與輸入訊號反相，故可實現參數值之正負符號[22]。

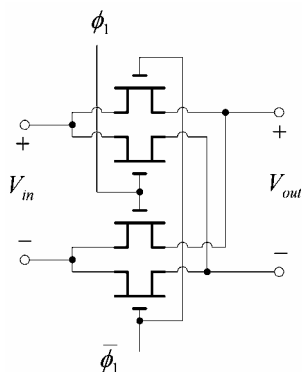


圖 2.34 雙向傳輸之類比開關[22]

2.4.2 可程式化 PID 控制器之合成

(A) 比例控制器

就控制系統而言，若僅有比例控制器時，系統輸出將存在穩態誤差，因此比例控制器一般會與積分控制器或是微分控制器共同使用。就比例控制器電路實現上，其中一種方式可透過轉導器來完成[24]。將輸入電壓經全差動式轉導器轉換成輸出電流，輸出電流流經被動電阻而產生輸出電壓，如圖 2.35 所示，其推導如下

$$i_o = G_m v_i \quad (2.74)$$

$$v_o = i_o R \quad (2.75)$$

將(2.74)式代入(2.75)式中，經整理可得

$$\frac{v_o}{v_i} = G_m R = K_p \quad (2.76)$$

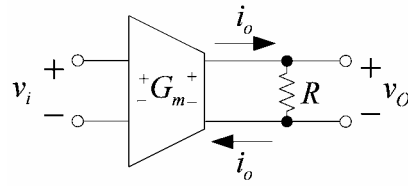


圖 2.35 以被動電阻實現比例控制器

由(2.76)式可知，比例控制器增益值 K_p 的調整可由轉導值 G_m 或是被動電阻 R 之改變來達成。為了使被動電阻能夠積體化，可將(2.21)式轉導器等效電阻的結果取代被動電阻，如圖 2.36 所示，經整理可得

$$\frac{v_o}{v_i} = \frac{G_{m1}}{G_{m2}} = K_p \quad (2.77)$$

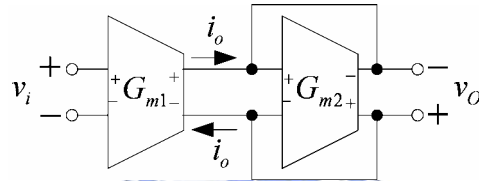


圖 2.36 以轉導器實現比例控制器[23] [24]

由(2.77)式可知，轉導值 G_{m1} 與 G_{m2} 之比值可調整比例控制器的 K_p 。若考慮 G_m -C為架構，如圖 2.37 所示，以 G_m -C Opamp積分器與一個轉導器可實現比例控制器，其數學式推導如下

$$i_{o1} = G_m v_i \quad (2.78)$$

$$i_{o2} = G_m (-v_o) \quad (2.79)$$

$$v_o = (i_{o1} + i_{o2}) \frac{1}{sC} \quad (2.80)$$

將(2.78)式與(2.79)式代入(2.80)，經整理可得

$$\frac{v_o}{v_i} = \frac{G_{m1}/G_{m2}}{1 + s \left(\frac{C}{G_{m2}} \right)} \quad (2.81)$$

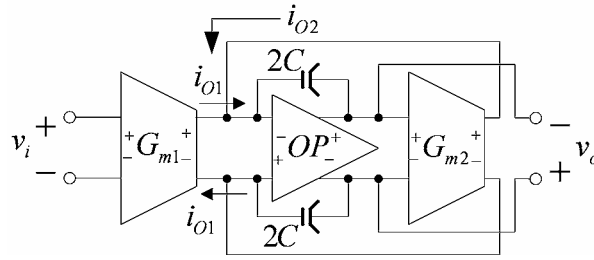


圖 2.37 以G_m-C Opamp為架構之比例控制器[10]

由(2.81)式可知，此轉移函數為一階低通濾波器，其中電容 C 決定了極點位置，因此若此極點位於高頻，則操作於低頻之(2.81)式可重寫為

$$\frac{v_o}{v_i} \approx \frac{G_{m1}}{G_{m2}} = K_p \quad (2.82)$$

由(2.82)式與(2.77)式可知，以G_m-C Opamp為架構之一階低通濾波器若操作於低頻可等效為比例控制器。

(B) 積分控制器

在控制系統中，積分控制器的主要目的在於消除穩態誤差。在 2.2.3 節曾探討過以G_m-C架構實現之G_m-C Opamp積分器，如圖 2.38 所示，其數學式為

$$\begin{aligned} \frac{v_o}{v_i} &= \frac{G_m}{sC} = \frac{\omega_{ii}}{s} = \frac{K_I}{s} \\ \omega_{ii} &= \frac{G_m}{C} = K_I \end{aligned} \quad (2.83)$$

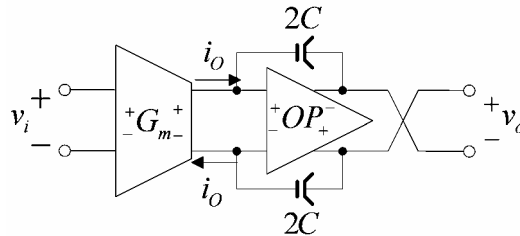


圖 2.38 以 G_m-C Opamp 為架構之積分控制器[10]

由(2.83)式可知，積分控制器增益值 K_I 的調整可由轉導值 G_m 或是電容 C 決定，值得注意的是當積分器操作於高頻時，寄生電容將對高頻造成影

響，因此設計電路上，減少寄生電容，可進一步改善電路高頻運作特性。

(C) 微分控制器

在控制系統中，微分控制器通常與比例積分器合用，因此稱作 PD 控制器。PD 控制器能夠提前預測行為並反應，因此具有改善系統穩定度的優點。如圖 2.39 所示，微分控制器可利用全差動式轉導器之輸出端跨接被動電感實現，其推導如下所示

$$i_o = G_m v_i \quad (2.84)$$

$$v_o = s i_o L \quad (2.85)$$

將(2.84)式代入(2.85)式中，經整理可得

$$\frac{v_o}{v_i} = s G_m L = s K_D \quad (2.86)$$

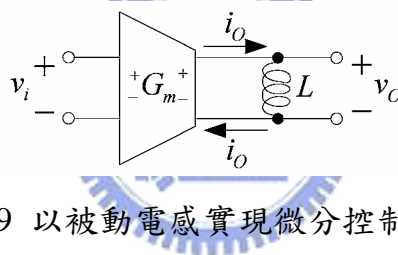


圖 2.39 以被動電感實現微分控制器[24]

由(2.86)式可知，微分控制器增益值 K_D 為轉導值與電感值之乘積。為了使被動電感能夠積體化，可將(2.24)式轉導器等效電感的結果取代被動電感，如圖 2.40 所示，其數學推導可將(2.24)式代入(2.86)式，經整理可得

$$\frac{v_o}{v_i} = s G_{m1} L = s \frac{G_{m1} \cdot C}{G_{m2} \cdot G_{m3}} = s K_D \quad (2.87)$$

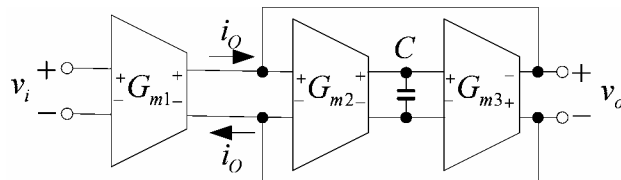


圖 2.40 以轉導器實現微分控制器[24]

由(2.87)式可知，微分控制器增益值 K_D 的調整可由 G_{m1} 、 G_{m2} 、 G_{m3} 與 C 四個參數所決定。若考慮 G_m - C Opamp 為架構，如圖 2.41 所示，以兩組 G_m - C

Opamp積分器與一個轉導器可實現微分控制器，其推導過程如下

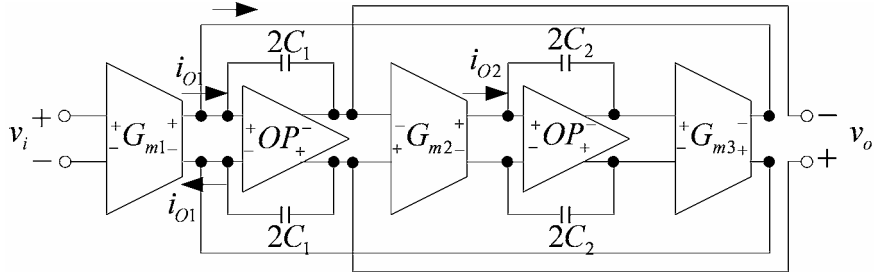


圖 2.41 以 G_m -C Opamp為架構之微分控制器[24]

$$i_{o1} = G_{m1}v_i \quad (2.88)$$

$$i_{o2} = G_{m2}v_o \quad (2.89)$$

第二組 G_m -C Opamp積分器輸出端跨壓為

$$\frac{G_{m2}v_o}{sC_2} \quad (2.90)$$

$$i_{o3} = \frac{G_{m3}G_{m2}v_o}{sC_2} \quad (2.91)$$

$$v_o = (i_{o1} - i_{o3}) \frac{1}{sC_1} \quad (2.92)$$

將(2.88)式與(2.91)式代入(2.92)式，經整理可得

$$\frac{v_o}{v_i} = \frac{sG_{m1}C_2}{s^2C_1C_2 + G_{m2}G_{m3}} \quad (2.93)$$

當此電路操作於低頻時，由於 $C_1 \times C_2$ 的值很小， sC_1C_2 可趨近於零，

因此(2.93)式可改寫為

$$\frac{v_o}{v_i} = s \frac{G_{m1}C_2}{G_{m2}G_{m3}} = sK_D \quad (2.94)$$

由(2.94)式與(2.87)式可知，當圖 2.41 之電路操作於低頻時，可等效為微分控制器電路，且 K_D 值一樣決定於 G_{m1} 、 G_{m2} 、 G_{m3} 與 C_2 四個參數之變動。

本節所提出之三種控制器，比例控制器、積分控制器與微分控制器，可簡稱為P型控制器、I型控制器與D型控制器。就控制系統而言，一般不會單獨使用此三種控制器，通常採行PI控制器、PD控制器與PID控制器此三種架構。PID控制器綜合了積分與微分控制器之長處，且去除其短

處之控制，電路實現方法可將 P、I 與 D 型控制器三種並聯，由於轉導器為電流輸出訊號，可將此三種控制器之輸出電流做相加，此即為 PID 控制器，如圖 2.42 所示，為 PID 控制器之方塊示意圖。

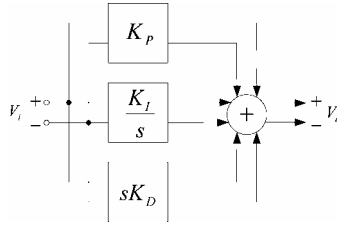


圖 2.42 PID 控制器方塊示意圖

2.4.3 可程式化濾波器之合成

(A) 一階濾波器

如圖 2.43 所示，為一階濾波器之訊號流程圖，其轉移函數可得

$$T(s) \equiv \frac{V_o(s)}{V_i(s)} = \frac{k_1 s + k_0}{s + \omega_0} \quad (2.95)$$

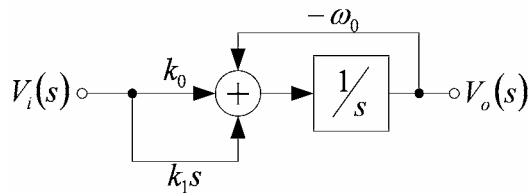


圖 2.43 一階濾波器訊號流程圖[10]

藉由訊號流程圖，則可實現以 G_m -C Opamp 為架構之一階濾波器電路圖，如圖 2.44 所示，其數學推導如下

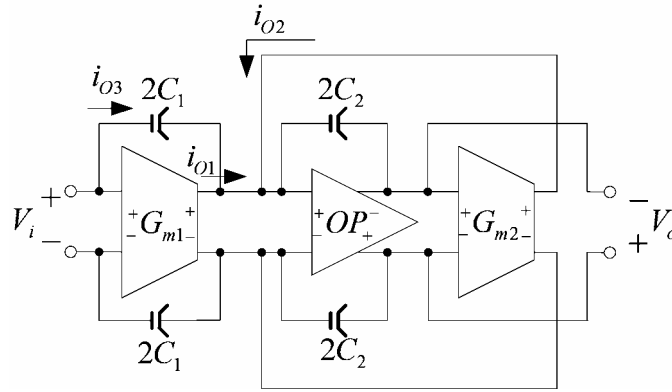


圖 2.44 以 G_m -C Opamp 為架構之一階濾波器電路圖[10]

$$i_{o1} = G_{m1}v_i \quad (2.96)$$

$$i_{o2} = G_{m2}(-v_o) \quad (2.97)$$

$$i_{o3} = v_i s C_1 \quad (2.98)$$

$$v_o = (i_{o1} + i_{o2} + i_{o3}) \frac{1}{s C_2} \quad (2.99)$$

將(2.96)式、(2.97)式與(2.98)式代入(2.99)式中，經整理可得轉移函數

$$\frac{V_o(s)}{V_i(s)} = \frac{\frac{C_1}{C_2} s + \frac{G_{m1}}{C_2}}{s + \frac{G_{m2}}{C_2}} \quad (2.100)$$

由(2.100)式與(2.95)式相互比較係數，可得

$$C_1 = k_1 C_2 \quad (2.101)$$

$$G_{m1} = k_0 C_2 \quad (2.102)$$

$$G_{m2} = \omega_0 C_2 \quad (2.103)$$

因此若確定所設計的轉移函數之係數後，將係數代入(2.101)式至(2.103)式，可快速求得元件之參數值，以便於實現整體之電路。

(B) 二階濾波器

二階濾波器分析方式與一階濾波器相同，如圖 2.45 所示，為二階濾波

器訊號流程圖，其轉移函數為

$$T(s) = \frac{V_o(s)}{V_i(s)} = \frac{k_2 s^2 + k_1 s + k_0}{s^2 + \left(\frac{\omega_0}{Q}\right)s + \omega_0} \quad (2.104)$$

其中 ω_0 稱為中心頻率， Q 稱為品質因素。當 Q 增加時，頻寬將下降，使得濾波器更具有選擇度，因此電路設計時需注意寄生效應對 Q 所產生的誤差。

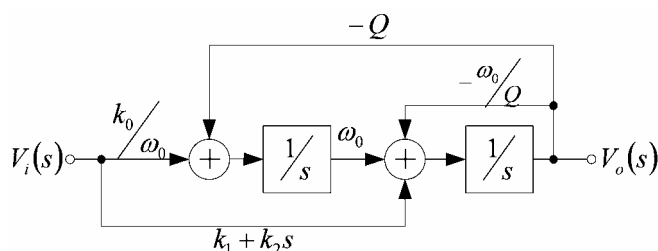


圖 2.45 二階濾波器訊號流程圖[10]

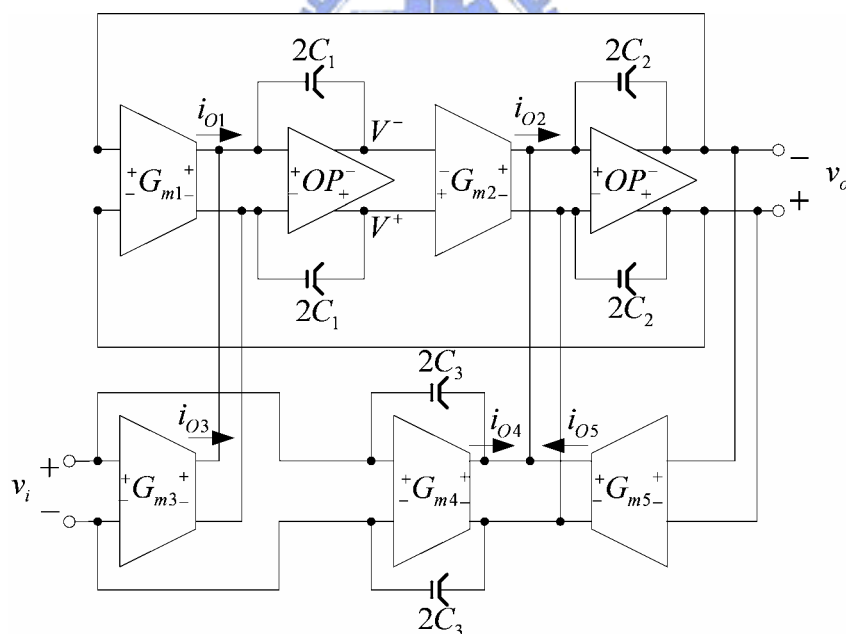


圖 2.46 以 Gm-C 為架構之二階濾波器電路圖[10] [23]

圖 2.46 為二階濾波器電路圖，轉移函數推導如下可得

$$i_{o1} = G_{m1}(-v_o) \quad (2.105)$$

$$i_{o3} = G_{m3}v_i \quad (2.106)$$

$$V^+ = (i_{o3} + i_{o1}) \frac{1}{s2C_1} = \frac{G_{m3}v_i - G_{m1}v_o}{s2C_1} \quad (2.107)$$

$$V^- = -(i_{o3} + i_{o1}) \frac{1}{s2C_1} = -\frac{G_{m3}v_i - G_{m1}v_o}{s2C_1} \quad (2.108)$$

$$i_{o2} = G_{m2}(V^+ - V^-) = \frac{G_{m2}(G_{m3}v_i - G_{m1}v_o)}{sC_1} \quad (2.109)$$

$$i_{o5} = G_{m5}(-v_o) \quad (2.110)$$

$$i_{o4} = G_{m4}v_i + v_i sC_3 \quad (2.111)$$

$$v_o = (i_{o2} + i_{o4} + i_{o5}) \frac{1}{sC_2} \quad (2.112)$$

最後將(2.109)式、(2.110)式與(2.111)式代入(2.112)式中，經整理可得二階濾波器之轉移函數

$$\frac{V_o(s)}{V_i(s)} = \frac{\frac{C_3}{C_2} s^2 + \frac{G_{m4}}{C_2} s + \frac{G_{m2}G_{m3}}{C_1C_2}}{s^2 + \frac{G_{m5}}{C_2} s + \frac{G_{m1}G_{m2}}{C_1C_2}} \quad (2.113)$$

由(2.113)式與(2.104)式相互比較係數，方式如同一階濾波器，經推導整理可求 C_1 、 C_2 、 C_3 、 G_{m1} 、 G_{m2} 、 G_{m3} 、 G_{m4} 與 G_{m5} 之元件參數值。

(C) 高階濾波器之合成

對於合成高階濾波器而言，最普遍的方式是採用二階或是一階濾波器串接(Cascade Connection)來達成，如圖 2.47 所示，其具有易調整、易實現、電路容忍度高以及效能高的優點[24] [25]。將圖 2.47 以數學式分析，則可表示為

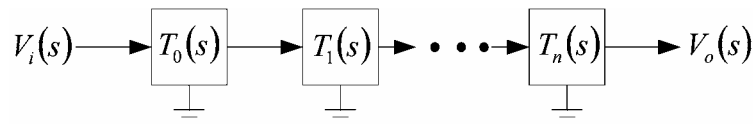


圖 2.47 以串接合成高階濾波器之方塊圖

$$T(s) = T_0(s)T_1(s) \cdots T_n(s) \quad (2.114)$$

由(2.114)式可知，若 $T(s)$ 為高階偶次項轉移函數，則 $T_0(s)$ 為1， $T_1(s)$ 至

$T_n(s)$ 為二階濾波器，若 $T(s)$ 為高階奇次項轉移函數，則 $T_0(s)$ 為一階濾波器， $T_1(s)$ 至 $T_n(s)$ 仍為二階濾波器。將(2.104)式之二階轉移函數代入(2.114)式高階轉移函數中，則數學式可表示為

$$T(s) = \prod_{j=1}^n T_0(s) k_j \frac{\alpha_{2j}s^2 + \alpha_{1j}s + \alpha_{0j}}{s^2 + s \frac{\omega_{0j}}{Q_j} + \omega_{0j}^2} = \prod_{j=1}^n T_0(s) T_j(s) \quad (2.115)$$

其中 $T_0(s)$ 為 1 或是一階濾波器， $T_j(s)$ 為二階濾波器且 $|T_j(j\omega_{0j})| = 1$

由上述分析可知高階濾波器之合成可藉由二階或一階濾波器串接所實現，然而仍有問題有待考量[24]

1. 對於高階濾波器而言，需考慮低階濾波器各個極零點之分配問題：

因此對二階濾波器極零點的位置做分析，頻率增益值越接近單位值越佳，即相近的極零點配對在一起，以避免各組低階濾波器之頻率增益大幅變動，而造成內部訊號傳輸時的失真。
2. 對於高階濾波器而言，需考慮低階濾波器串接之先後順序問題：

再考量過極零點位置後，因各個低階濾波器串接之先後順序問題將影響到電路的效能，一般來說， $T_1(s)$ 常為低通或帶通二階濾波器，以降低高頻訊號迴轉率的問題，而 $T_n(s)$ 通常為高通或帶通二階濾波器，以隔絕從濾波器輸出端所引進之低頻雜訊、直流偏移電壓或是漣波電壓等影響。
3. 對於高階濾波器而言，尚需考慮低階濾波器各個增益之分配問題：

為維持高階濾波器增益為定值的情況下分配增益至低階濾波器，使得每個低階濾波器在訊號不失真的條件下具有最大之動態範圍。

第三章

可程式化類比陣列之電路設計與模擬

3.1 前言

本章根據第二章所建立之理論基礎，將重心放於電路設計上，並針對可程式化類比陣列中各區塊之子電路，逐一進行分析、設計與模擬，以驗證理論之正確性與適用範圍。

第二節介紹可程式化類比陣列的系統架構，並對於各區塊子電路做概括的說明。第三節將採用具有抗雜訊與降低寄生電容之 G_m -C Opamp 電路架構，以做為實現可程式化類比陣列中的可配置類比方塊 CAB。第四節為本論文之核心重點，即對 G_m -C Opamp 架構中之轉導器提出改良與設計，重點將著重於改善轉導器之輸入線性範圍與提高轉導器控制電路的可調範圍，以利整體系統的可規劃性。第五節將分析適用於 G_m -C Opamp 架構的運算放大器設計。第六節將探討可程式化類比陣列之週邊電路，其中包括參考源、互聯網路電路與記憶體電路。參考源提供整體電路之穩定電流源。互聯網路電路為藉由 CMOS 傳輸閘所組成的類比開關以降低訊號傳輸時的失真。記憶體電路則以最基本之正反器實現儲存單元，而使電路具備可重複規劃的功能。本論文的模擬採用 TSMC 0.35 μ m Mixed-Signal 2P4M (5V) 製程參數，並用此參數做電路的設計。

3.2 系統架構之規劃

本節將介紹可程式化類比陣列之系統架構，如圖 3.1 所示，其中包含可配置類比方塊(Configurable Analog Block，簡稱 CAB)、參考源(Voltage references)、互聯網路電路(Interconnection Network)、與可配置記憶體(Configuration Memory)等部分所組成。

可配置類比方塊採用 G_m -C Opamp 電路架構，由轉導器、運算放大器與可程式化電容陣列所構成，其中轉導值具有高度可調範圍，且電容值可經程式化電容陣列做選擇，因此提供整體電路更具彈性之可規劃範圍。參考源則是由寬振幅之固定轉導偏壓電路所構成，提供穩定且與供應電壓無關之偏壓電流源。互聯網路電路由類比開關之 CMOS 傳輸閘所組成，經由類比開關的規劃，可調整系統內部之連線路徑，使得可配置類比方塊相互間具有更多樣的連結方式，以實現所設計函數之電路，因此更可提升整體電路可程式化的能力。可配置記憶體則由移位暫存器所構成，其中暫存器可由 D 型正反器所實現。藉由移位暫存器儲存數位控制訊號，而使電路系統具有可重複規劃的功能。

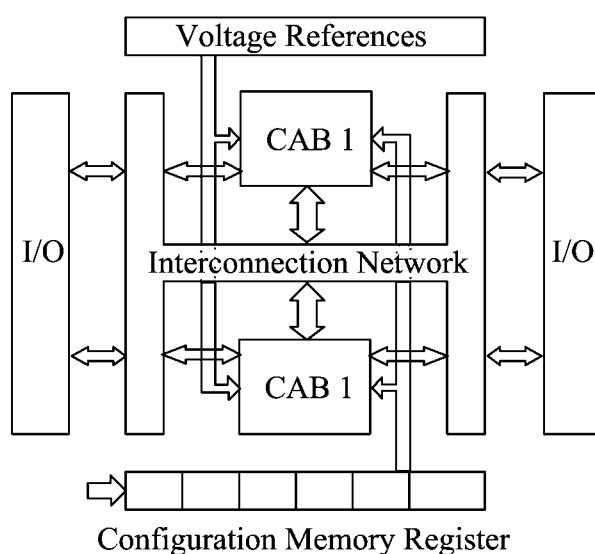


圖 3.1 FPAAs 系統架構圖

3.3 G_m -C Opamp 架構實現之可配置類比方塊(CAB)

根據 2.2.3 節對於 G_m -C 架構文獻之探討，本文將採用 G_m -C Opamp 積分器架構以實現可配置類比方塊。可配置類比方塊為可程式化類比陣列的單元電路，如圖 3.2 所示，包含兩組具可調式之轉導器，一組運算放大器以及可程式化電容陣列。類比開關可改變傳輸導線的連接方式，在 CAB 內部的類比開關能讓 CAB 具有電容選擇的能力，並能改變轉導器與運算放大器之排列，可實現較基本的功能函數。而在 CAB 外部的類比開關能調整 CAB 之間的互聯方式，可實現更複雜之電路功能。CAB 之應用電路將於第四章做詳盡的設計與模擬。

如圖 3.2 所示的可配置類比方塊由(2.100)式知為一階低通濾波器。藉由運算放大器串接於轉導器 G_{m1} 之輸出端，而回授電容跨接於運算放大器輸出入端形成負回授路徑。提高運算放大器之增益可抑制非線性之寄生電容效應對於電路的影響。此外由於運算放大器之負回授使得運算放大器兩輸入端具有虛短路的特性，加上轉導器之輸出端具有共模回授電路以穩定輸出共模電壓，因此轉導器輸出端之差動電壓振幅不至過大而造成訊號失真。再者，藉由運算放大器輸入端虛短路的特性，使轉導器輸出級不受負載效應的影響。

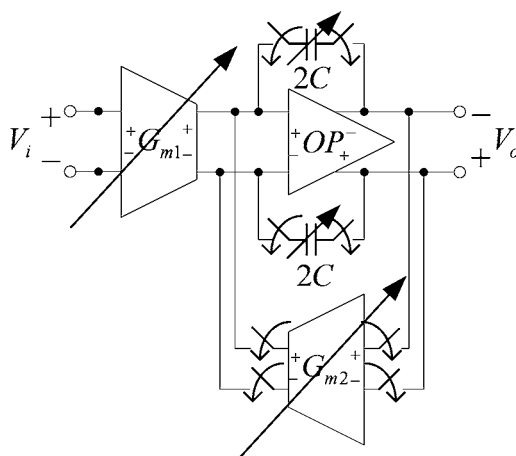


圖 3.2 可配置類比方塊(CAB)之電路方塊圖

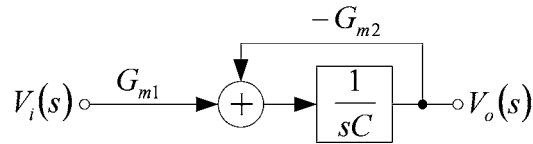


圖 3.3 可配置類比方塊(CAB)之訊號流程圖

就系統分析的觀點，將可配置類比方塊電路圖化簡成為如圖 3.3 之訊號流程圖，透過轉移函數分析電路之直流增益與極點頻率，以達成電路具有高度可規劃之需求。如圖 3.3 所示，其轉移函數可表示為

$$V_o(s) = \frac{\frac{G_{m1}}{1 + \frac{sC}{G_{m2}}}}{G_{m2}} V_i(s) \quad (3.1)$$

由(3.1)式轉移函數的分析，了解可配置類比方塊為一階低通濾波器，其中極點頻率與直流增益，可藉由調整轉導值 G_{m1} 、 G_{m2} 以及可程式化電容值 C 加以改變。其中直流增益可由 G_{m1}/G_{m2} 之比值決定，而極點頻率則由 G_{m2}/C 決定。

由上述的分析可知，可配置類比方塊之可調範圍決定了可程式化類比陣列的規劃能力，因此在可配置類比方塊中，轉導器之效能主宰整體電路之優劣。本論文將於下一節著手對於改善轉導器的線性度，與提高轉導器輸出可調範圍，做完整的分析與設計。

3.4 改良型轉導器之設計

本論文主要的研究方向為提高轉導器的輸入差動電壓之線性範圍，與輸出差動電流之可調範圍，以改善可程式化類比陣列之電路效能為，本節將根據文獻所提出之轉導器電路進行改善與設計，並由改良型轉導器電路之輸入級、控制級與輸出級進行分析與模擬。

3.4.1 改良型轉導器輸入級電路

根據第二章 2.3.3 節中文獻[16]所提出之偏壓補償交錯耦合式轉導器，如圖 2.28 所示，由於控制級電路 M5 至 M8 電晶體皆為 NMOS，且具有相同之長寬比，因此在相同汲極電流的情況下，調整 M7 與 M8 閘極控制電壓 V_b 時，M5 與 M6 由於受基體效應的影響，將使其臨界電壓大於 M7 與 M8 之臨界電壓。因此將使得 M5 與 M6 之電壓 V_{GS} 實際上將大於控制電壓 V_b ，而造成電路設計上的誤差。

為了改善上述控制電路受基體效應之非線性的影響，可將轉導器架構由原本的 N 型架構改為 P 型架構，如圖 3.4 所示，本文稱之為 P 型架構之原型偏壓補償交錯耦合式轉導器。其中 M5 至 M8 採用 PMOS 電晶體，由於在製程上 PMOS 之基板可與源極相接，因此可避免 M5 與 M6 受基體效應的影響。

如圖 3.4 中，M1 至 M4 為輸入級電路，其中 M1 與 M2 為交錯耦合式差動對，而 M3 與 M4 為偏壓補償式差動對。M5 至 M8 為控制級電路，且 M7 與 M8 之閘極電壓為 V_{ctrl} 。Ms 為偏壓電流源電晶體，而 M9 至 M14 為輸出級電路，輸出電流分別為 i_1 與 i_2 並藉由共模回授電路(CMFB)使輸出端點 v_{O1} 與 v_{O2} 維持一穩定之共模電壓。

考慮 M5 至 M8 具有相同之長寬比與相同汲極電流的形況下，M7 與 M8 之電壓 V_{SG} 將相同於 M5 與 M6 之電壓 V_{SG} ，因此 M5 與 M6 之電壓 V_{SG} ，即轉導器控制電壓 V_b 為 $V_{DD}-V_{ctrl}$ ，故可藉由 M7 與 M8 之閘極電壓 V_{ctrl} 等比例調整 M5 與 M6 之控制電壓 V_b 。如圖 3.4 所示，其轉導值的推導如同圖 2.28，其差異處在於原先 N 型改變成 P 型架構，跟據(2.68)式的結果，圖 3.4 之轉導值可寫為

$$G_m = \frac{i_1 - i_2}{v_1 - v_2} = \frac{i_o}{v_{id}} = 2KV_b = 2K(V_{DD} - V_{ctrl}) \quad (3.2)$$

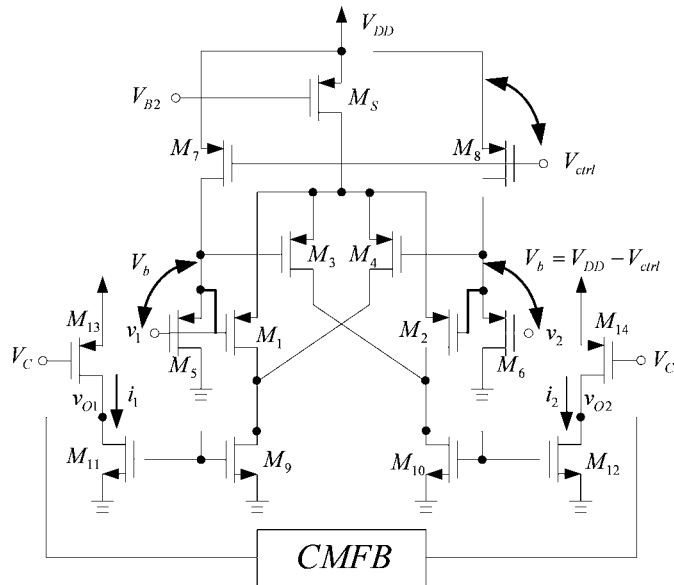


圖 3.4 原型偏壓補償交錯耦合式轉導器電路

由(3.2)式中知，可藉由偏壓電壓 V_{ctrl} 調整其轉導值，在實際設計中當供應電壓 V_{DD} 為 5V 且偏壓電壓 V_{ctrl} 設定為 3.95V 時，由於控制電壓 $V_b = V_{DD} - V_{ctrl}$ ，此時 V_b 為 1.05V，則原型轉導器具有最寬之輸入差動電壓線性範圍但最低之轉導值，如圖 3.5 所示為其轉導值模擬圖。當調整偏壓電壓 V_{ctrl} 由 3.95V 降至 3.65V，則相對表示 V_b 由 1.05V 升至 1.35V。由(3.2)式可知，當 V_b 增加其轉導值也相對的增加，此種透過 V_{ctrl} 調整轉導值的方式定義為類比可調式之轉導值。然而由(2.72) 式可知，隨著控制電壓 V_b 的增加，將會縮小輸入差動電壓的線性範圍，其結果如圖 3.6 所示。圖 3.6 中隨 V_b 調整而改變之轉導值與線性範圍模擬結果如表 3.1 所示。

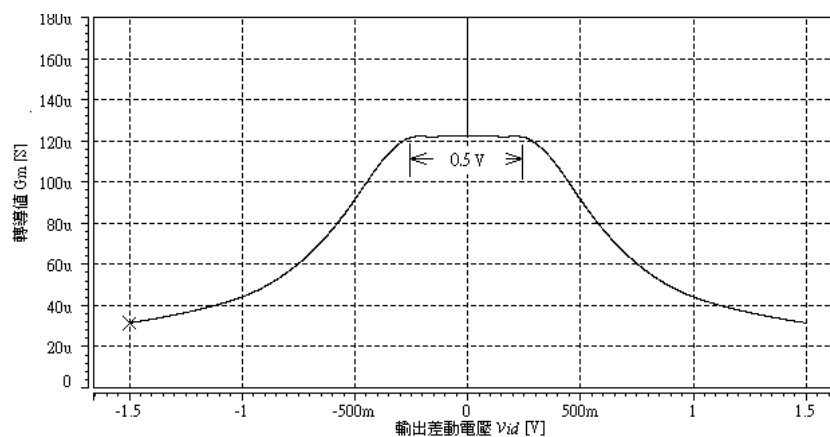


圖 3.5 原型偏壓補償交錯耦合式轉導值模擬圖

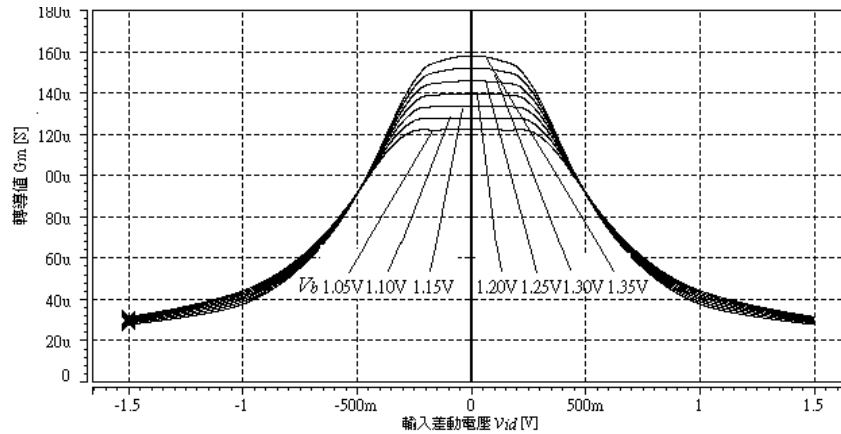


圖 3.6 原型偏壓補償交錯耦合式類比可調式之轉導值模擬圖(控制電壓 $V_b=1.05V\sim 1.35V$)

表 3.1 原型偏壓補償交錯耦合式轉導器規格表

控制電壓 V_b	轉導值 G_m	線性輸入範圍 v_{id}	轉導值誤差
1.05V	122 μ A/V	0.556V	< 1%
1.10V	128 μ A/V	0.504V	< 1%
1.15V	134 μ A/V	0.492V	< 1%
1.20V	140 μ A/V	0.450V	< 1%
1.25V	146 μ A/V	0.334V	< 1%
1.30V	152 μ A/V	0.266V	< 1%
1.35V	158 μ A/V	0.204V	< 1%

原型偏壓轉導補償交錯耦合轉導器，擁有架構簡單易於設計的優點。由(3.2)式可知， $G_m=2KV_b$ ，根據第二章 2.3.3 節(2.72)式的結論，隨著控制電壓 V_b 的下降，將會提高轉導器輸入差動電壓的線性範圍。因此可藉由降低控制電壓 V_b ，以換取更寬廣的線性輸入範圍。圖 3.4 的電路中， V_b 有一下限值，為 $V_b \approx V_{SG7} = V_{SG8} \geq |V_{tp}|$ ，當增加轉導器的線性輸入範圍，則需降低 V_b ，所以圖 3.4 中電路的線性輸入範圍因 V_b 的下限為 $|V_{tp}|$ ，使得轉導器的線性輸入範圍最大值約為 0.5V，如表 3.1 所示。為了能兼具高線性範圍與較大之轉導值，本論文將提出改良型偏壓補償交錯耦合式轉導器電路，藉由數位方式，透過輸出級可程式化電流鏡陣列將轉導值放大，以得到較大

之轉導值。此外，原型轉導器另一個問題是 V_b 是由 V_{ctrl} 來控制，不易穩定且準確，因而轉導器有待進一步的改良。

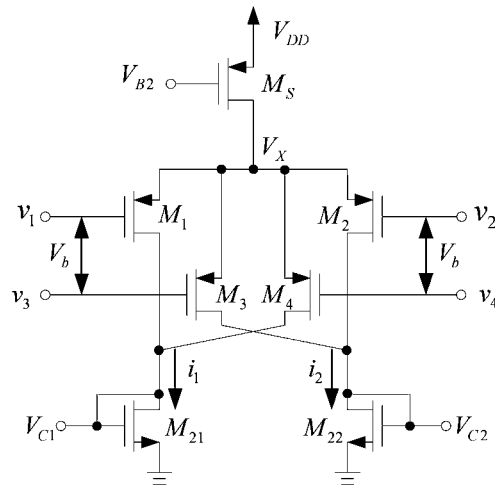


圖 3.7 改良型偏壓補償交錯耦合式轉導器輸入級電路

圖 3.7 所示為改良型轉導器之輸入級電路，電晶體 M1 至 M4 具有相同的長寬比且操作於飽和區，M1 至 M4 之源極皆相接於共源電壓 V_X ，所以有相同之臨界電壓 V_{tp} 。M1 與 M2 之閘極電壓 v_1 與 v_2 為轉導器訊號輸入端，此訊號輸入端扣除一補償電壓 V_b ，即可得 M3 與 M4 之閘極電壓 v_3 與 v_4 。就電路圖直觀而言，控制電壓 V_b 為兩組差動對輸入電晶體閘極端的電壓差。M_s 為偏壓電流源電晶體，提供轉導器輸入級電流。當輸入差動電壓時，可得輸出汲極電流 i_1 與 i_2 ，而 i_1 為 M1 與 M4 汲極電流的總和， i_2 為 M2 與 M3 汲極電流的總和。M21 與 M22 為電流鏡， V_{c1} 與 V_{c2} 分別為 M21 與 M22 之閘極偏壓，此兩端點電壓將與改良型轉導器輸出級電路相接，此輸出級電路將於 3.4.3 節做詳細之設計。 i_1 與 i_2 分別流經 M21 與 M22 以映射至輸出級電路。如圖 3.7 中，根據汲極電流平方律方程式，輸出汲極電流 i_1 與 i_2 可表示為

$$i_1 = i_{D1} + i_{D4} = K(V_X - v_1 - V_t)^2 + K(V_X - v_2 + V_b - V_t)^2 \quad (3.3)$$

$$i_2 = i_{D2} + i_{D3} = K(V_X - v_2 - V_t)^2 + K(V_X - v_1 + V_b - V_t)^2 \quad (3.4)$$

其中 $K = \frac{1}{2} \mu_p C_{ox} \frac{W}{L}$

(3.3)、(3.4)兩式相減，可得輸出差動電流 i_o ，其中 v_{id} 為輸入差動電壓

$$i_o = i_1 - i_2 = 2KV_b(v_1 - v_2) = 2KV_b v_{id} \quad (3.5)$$

由(3.5)式可得轉導值為

$$G_m = \frac{i_1 - i_2}{v_1 - v_2} = \frac{i_o}{v_{id}} = 2KV_b \quad (3.6)$$

由(3.6)式可知，改良型轉導器之轉導值 G_m 與控制電壓 V_b 呈線性關係，因此控制電壓 V_b 之電路設計，即為改良型轉導器之關鍵部份。

3.4.2 改良型轉導器控制級電路

如圖 3.8 所示，為改良型轉導器輸入級與控制級電路，將利用共模回授電路(CMFB) [10] [27]與源極追隨器電路以達成控制電路之設計。電晶體 M5 至 M20 為控制級電路，其中 M5 至 M12 為源極追隨器電路，而 M13 至 M20 為共模回授電路。控制級電路之主要設計概念在透過共模回授電路以控制轉導器 M3 與 M4 閘極共模電壓 $(v_3+v_4)/2$ 之準位，其中定義 $v_{OCM}=(v_3+v_4)/2$ ，使得共模電壓 v_{OCM} 接近輸入訊號 v_1 與 v_2 之共模準位，以降低控制電壓 V_b 之電壓降，以提高轉導器的輸入線性範圍。

如圖 3.9 所示，考慮此雙差動對 M13 至 M16 之四個 NMOS 電晶體互為匹配，M14 與 M15 之閘極電壓準位為參考電壓 V_{ref} ，而 M13 與 M16 之閘極電壓分別為全差動式輸出電壓 v_4 與 v_3 。當調整參考電壓 V_{ref} ，此時 V_{ref} 相對 v_4 與 v_3 之共模電壓 v_{OCM} 有一小訊號差動電流 i_{od} ，且於雙差動對源極端有相同之偏壓直流電流源 I_B 。則 M13 與 M16 以及 M14 與 M15 之汲極電流可分別表示為 $I_B/2 - i_{od}$ 與 $I_B/2 + i_{od}$ 。M19 與 M20 為共模回授電路之電流鏡，且 M19 之汲極端為共模回授電路輸出電壓 v_{CMFB} ，因此將共模回授電壓 v_{CMFB} 接回全差動式電路之 PMOS 電流源偏壓閘極端，以便於調整全差動式電路輸出共模電壓 v_{OCM} 之準位。

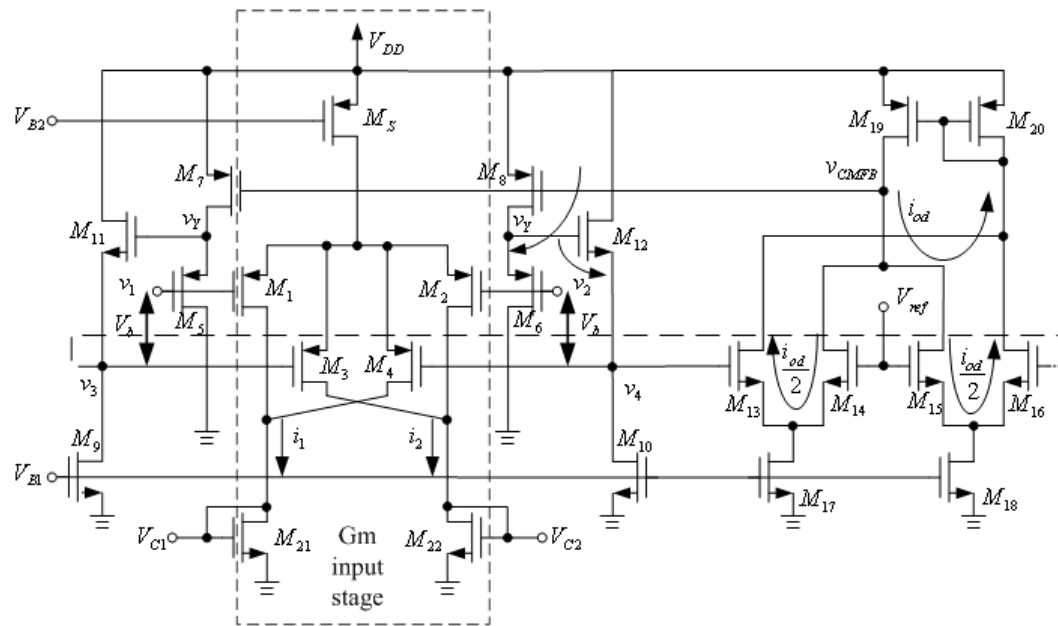


圖 3.10 改良型轉導器控制級與輸入級電路(至圖 3.17)

藉由圖 3.9 分析共模回授電路後，將此概念代回圖 3.8 中，並將轉導器輸入級電路以實線框標明以利與控制級電路做區隔，如圖 3.10 所示。電晶體 M5 至 M12 為源極追隨器電路，(M6, M8)與(M5, M7)為 P 型源極追隨器電路，而(M10, M12)與(M9, M11)為 N 型源極追隨器電路，其中 M5、M7、M9、M11 以及 M6、M8、M10、M12 互為對稱，因此可以半電路分析之。轉導器輸入差動對 M1、M2 分別與 M5、M6 之閘極接於 v_1 與 v_2 輸

由於 M5 與 M6，M7 與 M8 互為對稱，則(3.11)式亦可改寫為 $\frac{\Delta v_3}{\Delta v_Y} \approx 1$ ，

根據半電路分析原理可得

$$\frac{\Delta v_{OCM}}{\Delta v_Y} \approx 1 \quad (3.12)$$

假設(3.9)、(3.10)與(3.12)三式之乘積為 A ，則 A 可表示為

$$A = \frac{\Delta v_{CMFB}}{V_{ref} - v_{OCM}} \frac{\Delta v_Y}{\Delta v_{CMFB}} \frac{\Delta v_{OCM}}{\Delta v_Y} = \frac{\Delta v_{OCM}}{V_{ref} - v_{OCM}} \quad (3.13)$$

由(3.13)知 A 為控制電路的交流放大增益，則整體控制電路之閉迴路方塊圖，可如圖 3.11 所示。

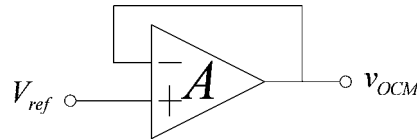


圖 3.11 控制電路方塊圖

由圖 3.11 可知此為單位閉迴路系統，當小訊號之 $\Delta v_{OCM} / (V_{ref} - v_{OCM})$ 增益愈大時，則電壓 v_{OCM} 將愈接近參考輸入電壓 V_{ref} 。綜合上述的分析，可藉由調整參考電壓 V_{ref} 的準位，而同時等比例調整轉導器輸入級差動對電晶體 M3 與 M4 閘極之共模電壓 v_{OCM} 的準位。為了提高轉導器線性輸入範圍，可藉由調整參考電壓 V_{ref} 以使 v_{OCM} 接近轉導器輸入訊號 v_1 與 v_2 之共模電壓，以得低電壓差之轉導器控制電壓 V_b 。

若改良型偏壓補償交錯耦合式轉導器之輸入共模電壓準位設定為 2V，則控制電壓 V_b 為 $2V - V_{ref}$ 。若控制電路之可調式參考電壓 V_{ref} 定為 1.95V，即 V_b 最小值為 0.05V 時，改良型轉導器具有最寬廣的輸入差動電壓線性範圍，如圖 3.12 所示，當控制電路之可調式參考電壓 V_{ref} 由 1.95V 降至 1.65V，即表示 V_b 調整範圍可由 0.05V 升至 0.35V 時，由(3.6)式可知，轉導值 G_m 隨控制電壓 V_b 而相對增加，但相對地卻也縮小線性輸入範圍，如圖 3.13 所示。圖 3.13 中隨 V_b 調整而改變之轉導值與線性範圍模擬結果如表 3.2 所示。

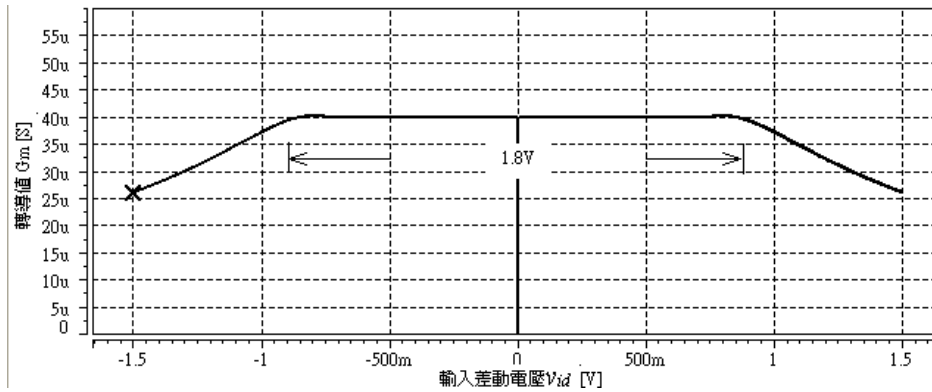


圖 3.12 改良型偏壓補償交錯耦合式轉導值模擬圖

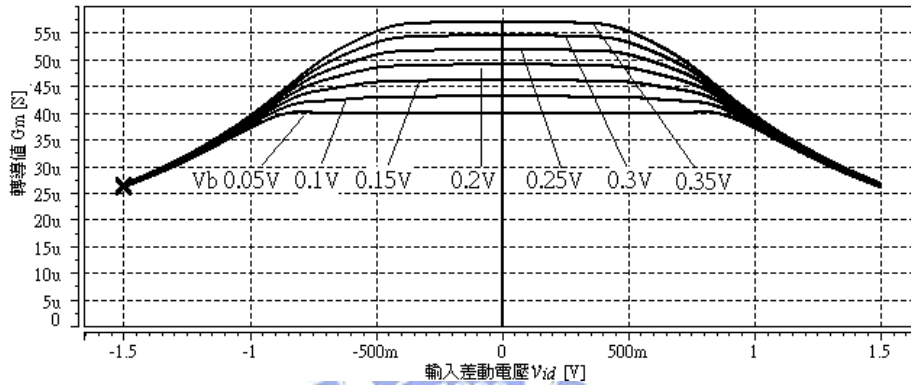


圖 3.13 改良型偏壓補償交錯耦合式類比可調式之轉導值模擬圖(控制電壓 $V_b=0.05V\sim 0.35V$)

表 3.2 改良型偏壓補償交錯耦合式轉導器規格表

控制電壓 V_b	轉導值 G_m	線性輸入範圍 v_{id}	轉導值誤差
0.05V	$40\mu A/V$	1.802V	< 1%
0.10V	$43.2\mu A/V$	1.174V	< 1%
0.15V	$46.2\mu A/V$	1.052V	< 1%
0.20V	$49.1\mu A/V$	0.936V	< 1%
0.25V	$51.9\mu A/V$	0.908V	< 1%
0.30V	$54.5\mu A/V$	0.898V	< 1%
0.35V	$57.1\mu A/V$	0.656V	< 1%

如圖 3.14 所示，為圖 3.8 中控制電路之可調參考電壓 V_{ref} 相對 v_3 與 v_4 之直流模擬圖。當改良型轉導器輸入差動電壓 v_{id} 時，調整水平線之參考電壓 V_{ref} 分別由 1.65V、1.80V 調至 1.95V 時， v_3 與 v_4 兩端點電壓同時改變其

差動電壓與共模電壓。如圖 3.14 中，當輸入差動電壓為零時，由於受共模迴路之控制，兩交叉線之交點分別對應其參考電壓 V_{ref} ，亦表示 v_3 與 v_4 兩端點之共模電壓追隨上參考電壓 V_{ref} ，使得可藉由 V_{ref} 調整 v_3 與 v_4 之共模電壓 v_{OCM} 。

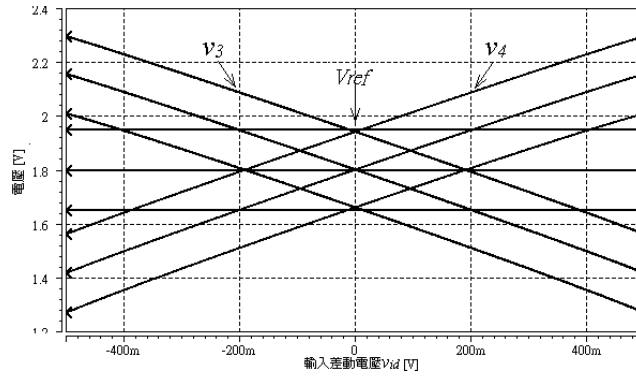


圖 3.14 改良型偏壓補償交錯耦合式轉導器可調參考電壓 V_{ref} 誤差範圍

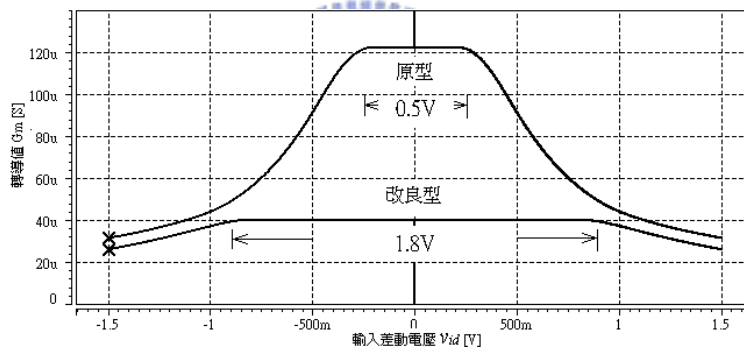


圖 3.15 改良型與原型轉導值線性輸入線性範圍之比較圖

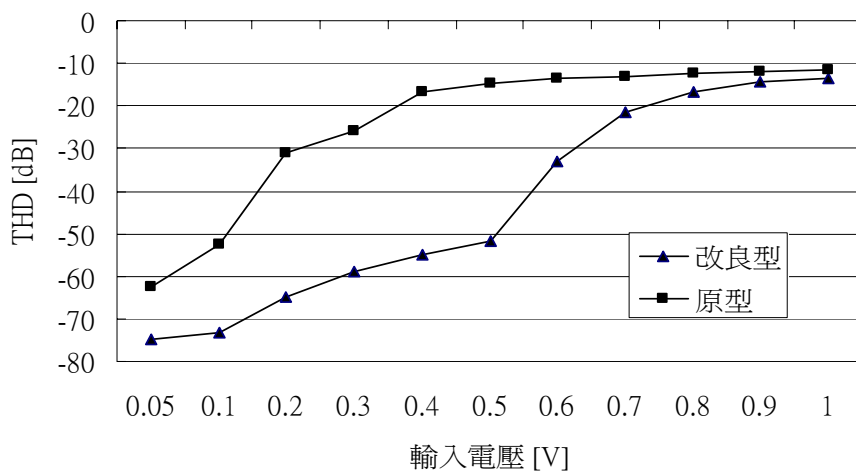


圖 3.16 改良型與原型轉導器總谐波失真(THD)曲線圖

綜合上述的分析，本節藉由兩組源極追隨器電路大幅降低控制電壓 V_b ，由表 3.1 與 3.2 的比較可知，改良型轉導器可大幅提升線性輸入範圍。然而卻也因降低控制電壓 V_b ，使得改良型轉導器之轉導值降低，改良型與原型之轉導值模擬比較圖如圖 3.15 所示。此外，當考慮輸入固定頻率為 0.1MHz 之弦波訊號時，調整輸入訊號振幅由 0.05V 至 1V，分別輸入改良型與原型轉導器，得到改良型與原型轉導器總諧波失真(Total Harmonic Distortion，簡稱 THD)曲線圖，如圖 3.16 所示，其中可知當增加輸入訊號振幅小於 0.7V 時，改良型輸出諧波及其倍頻成份遠小於原型之輸出訊號，此亦表示改良型轉導器線性範圍遠大於原型轉導器。

為了補償提升線性範圍而造成轉導值的下降，將於下節使用電流鏡陣列電路，使得原先輸出汲極電流得以倍增，以提升轉導值。



3.4.3 改良型轉導器輸出級電路與電容陣列電路

經由 3.4.2 節之控制電路設計，可有效控制電壓 V_b ，使轉導器具有較大之線性輸入範圍。然而降低控制電壓 V_b 卻會造成轉導值的下降，因此透過轉導器輸出級電晶體並接電流鏡陣列電路提升輸出差動電流。如圖 3.17 所示，電流鏡為 M21 至 M28，其中由於省略改良型轉導器輸入級電路部份，因此 M21 與 M22 之端點 V_{C1} 與 V_{C2} 相同可連接至圖 3.7 V_{C1} 與 V_{C2} 之端點。轉導器輸入級電路之汲極電流 i_1 與 i_2 分別流經 M21 與 M22，經由類比開關的切換選擇所映射之電流鏡電晶體，並於 M29 與 M30 之汲極端 v_{O1} 與 v_{O2} 匯集其轉導器輸出級電流 i_{o1} 與 i_{o2} 。由上述分析，倍增之輸出電流可以數學式表示其增益

$$K_M = \frac{i_{o1}}{i_1} = \frac{i_{o2}}{i_2} = 1 + \sum_{n=0}^m b_n 2^n \quad (3.14)$$

其中 m 之數目可視應用面而延伸電流鏡個數。此外 $b_n \in \{0,1\}$ ， $b_n=1$ 表示類

比開關 S_i 導通，而 $b_n=0$ 表示類比開關 S_i 關閉

改良型轉導器為全差動式電路，因此於輸出端點 v_{o1} 與 v_{o2} 需使用共模回授電路以使輸出共模電壓維持在固定的參考準位，且不受輸入共模電壓的影響，如圖 3.17 中，M31 至 M38 為共模回授電路，其中 V_{CM} 為固定參考電壓，電路架構與控制級共模回授電路 M13 至 M20 相同。

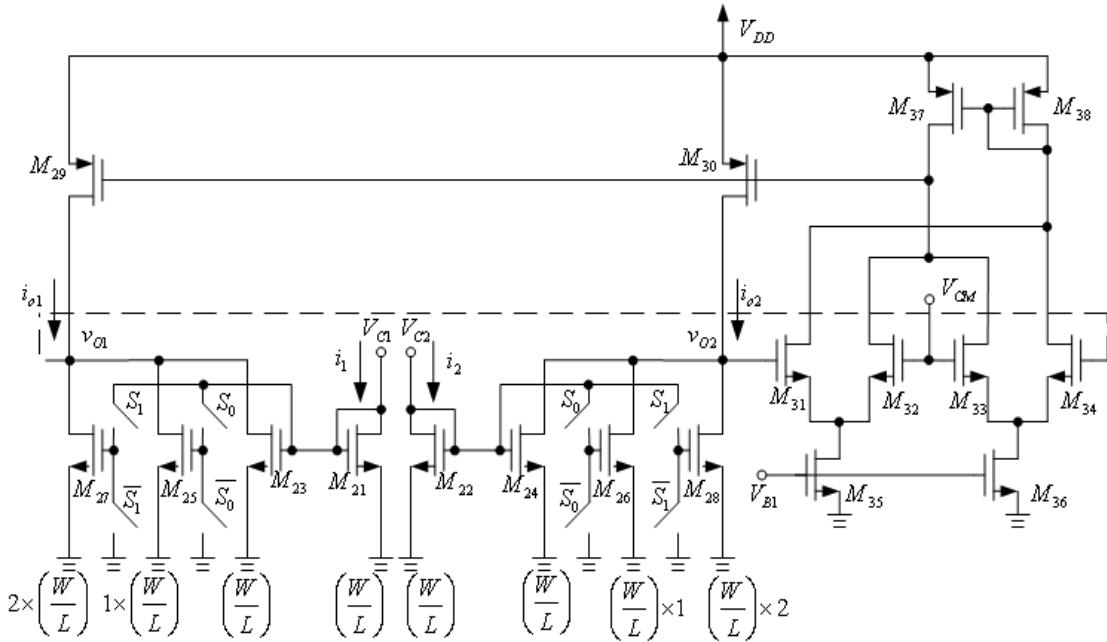


圖 3.17 改良型偏壓補償交錯耦合式轉導器輸出級電路(從圖 3.8 與 3.10)

由(3.14)式可知，為轉導器輸出級之電流增益，若回顧(3.6)式，結合原始未串接可程式化電流鏡陣列之轉導值，則改良型轉導值可改寫為

$$G_m = \frac{i_{o1} - i_{o2}}{v_1 - v_2} = \frac{i_o}{v_{id}} = 2KV_b K_M = 2K \left[V_b \left(1 + \sum_{n=0}^m b_n 2^n \right) \right] \quad (3.15)$$

其中 $\left[V_b \left(1 + \sum_{n=0}^m b_n 2^n \right) \right]$ 為轉導值之可調範圍

降低控制電壓 V_b 可提高轉導器的線性輸入範圍，因此改良型轉導器電路設計之 V_b 可調範圍限制在 0.05V 至 0.35V 以提高輸入線性範圍，此控制電壓 V_b 可用於微調轉導值，稱為類比可調式轉導值。為了達成高度可調範圍之轉導器，由(3.15)式知，藉由數位控制訊號決定可程式化電流陣列之電

晶體開啟與否，以倍增輸出差動電流，因此可稱為數位可調式轉導值。

如圖 3.17 所示，本論文中若設計電流鏡之類比開關僅 S_0 導通，則 $b_0=1$ ， $b_1=0$ ，因此 $K_M=1+b_02^0+b_12^1=2$ 。將圖 3.17 與改良型轉導器輸入級與控制級之圖 3.8 合併做模擬，對 1 倍與 2 倍差動電流輸出結果做比較，如圖 3.18(a)所示，亦可由此圖觀察其輸入差動電壓之線性度。當輸出分別為 1 倍與 2 倍差動電流時，同時調整控制電壓 V_b ，則可知微調電壓對輸出差動電流的改變量，如圖 3.18(b)所示。

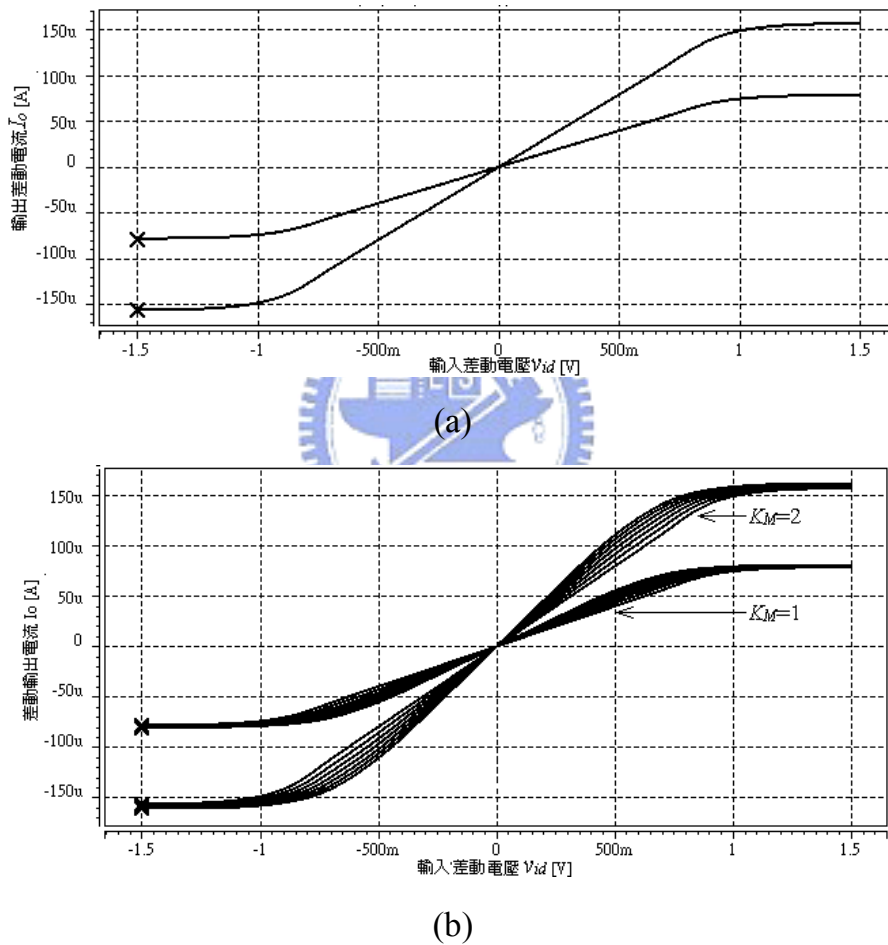


圖 3.18 可調式差動輸出電流對差動輸入電壓之模擬圖

此外，將圖 3.18 輸出差動電流除以輸入差動電壓，可得轉導值模擬圖。藉由改變電流鏡之輸出電流增益 K_M 為 1 與 2，以及調整控制電壓 V_b 以模擬改良型轉導器之輸出可調範圍，如圖 3.19 所示。圖中可知透過電流鏡使原本圖 3.13 之最大轉導值 57μ 放大兩倍成為圖 3.19 之最大轉導值

114 μ ，故可稱圖 3.19 為結合數位與類比可調式之轉導值模擬圖。

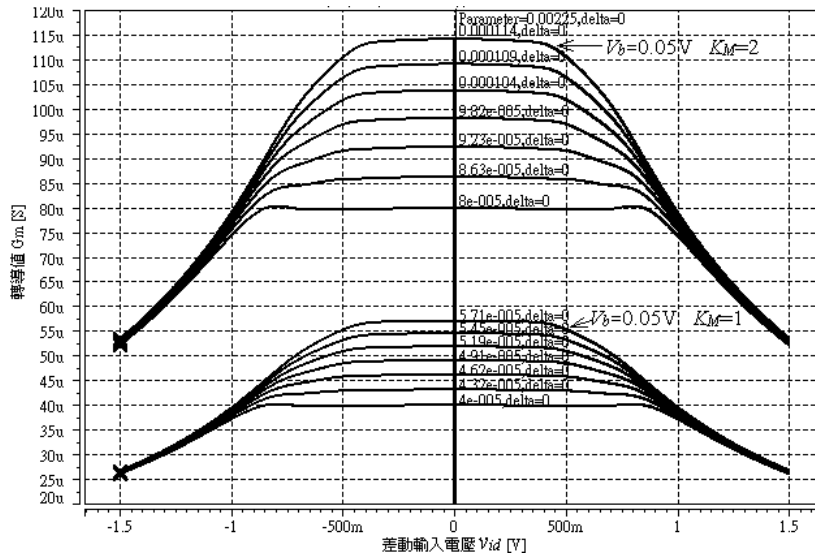


圖 3.19 改良型偏壓補償交錯耦合式之數位與類比可調式轉導值模擬圖

此外，於本章 3.3 節可配置類比方塊中所提出之積分電容，為採用第二章 2.4.1 節可程式化電路策略中之可程式化電容陣列所實現，本論文將設計如圖 3.20 所示。

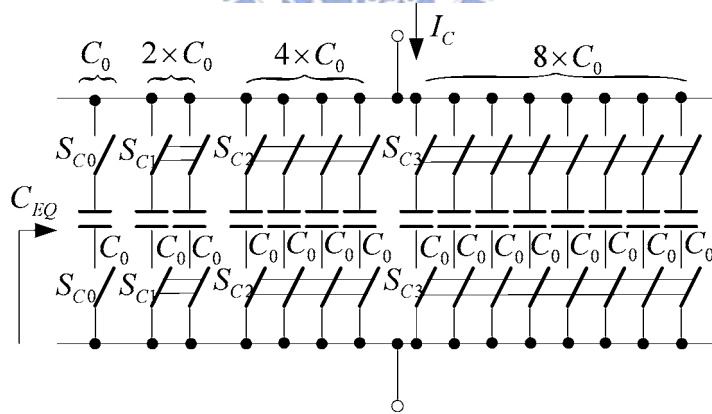


圖 3.20 可程式化電容陣列

圖 3.20 所示之可程式化電容陣列為類比開關與電容陣列所構成。電容陣列分為 4 組，即代表 4 位元，每組分別以 1、2、4 與 8 個之單位電容 C_0 並聯。因此其等效電容值 C_{EQ} 可表示為

$$C_{EQ} = \sum_{n=0}^3 b_n 2^n C_0 \quad (3.16)$$

其負載。輸出級為 M5 至 M8，電流源 M7 與 M8 分別做為 M5 與 M6 之主動負載。其中，利用米勒回授電容 C_c 以提供頻率補償。由於運算放大器為全差動式電路，需使用共模回授電路以穩定輸出共模準位，因此共模回授電路為 M9 至 M16，與轉導器中之控制電路為相同架構，皆為雙差動式共模回授電路，其中 M9 至 M12 之四個 NMOS 電晶體互為匹配，M10 與 M11 之間極電壓為固定參考電壓 V_{CM} ，而 M9 與 M12 之閘極電壓分別接於 v_{O1} 與 v_{O2} 。M15 與 M16 為共模回授電路之電流鏡，且 M15 之汲極端為共模回授電路輸出電壓端點 v_{CMFB} ，因此將共模回授電路輸出電壓 v_{CMFB} 接回運算放大器之輸出級 PMOS 電晶體之 M7 與 M8 偏壓閘極端，藉此調整運算放大器輸出共模電壓 $(v_{O1}+v_{O2})/2$ 。

在運算放大器中，差動對的輸入訊號包含了一差動訊號與共模雜訊，因此放大差動增益，排斥共模增益，乃是設計上所追求的目標。為了有意義的比較差動對電路之效能，可將差動放大訊號成份相對於共模放大訊號成分正規化，因此可定義共模排斥比(Common Mode Rejection Ratio，簡稱 CMRR)為

$$CMRR = \left| \frac{A_{DM}}{A_{CM}} \right| \quad (3.17)$$

由(3.17)式可知，其中定義運算放大器差動增益為 A_{DM} ，共模增益為 A_{CM} ，當共模增益愈小時，可大幅提升運算放大器之電路效能。在全差動式運算放大器設計上，使用共模回授電路除了可穩定輸出共模準位外，更可有效降低共模增益，以提升 CMRR [28] [29] [30]。CMRR 與 CMFB 之相關性可經由小訊號電流與訊號流程圖加以分析之。

首先分析未使用 CMFB 時運算放大器之開迴路小訊號共模增益 A_{CM} ，由於運算放大器中電晶體 M1、M3、M5、M7 以及 M2、M4、M6、M8 互為對稱，因此以 M1、M3、M5 與 M7 之半電路方式推導[35]可得

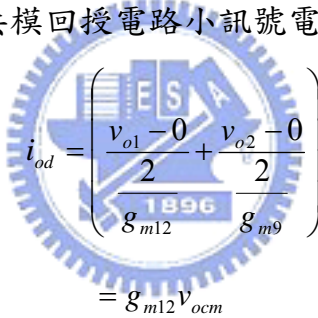
$$\begin{aligned}
A_{CM} \equiv \frac{v_{ocm}}{v_{icm}} &\cong \left[\frac{g_{m1}r_{o1} \left(r_{o3} // \frac{1}{g_{m3}} \right)}{r_{o1} + (1 + g_{m1}r_{o1})2r_{os} + \left(r_{o3} // \frac{1}{g_{m3}} \right)} \right] \cdot [-g_{m5}(r_{o5} // r_{o7})] \\
&\cong \frac{g_{m1}g_{m5}r_{o1}}{1 + g_{m3}r_{o1} + (1 + g_{m1}r_{o1})g_{m3}2r_{os}} (r_{o5} // r_{o7}) \\
&= G_{CM} Z_o \tag{3.18}
\end{aligned}$$

其中定義 $v_{ocm} = \frac{v_{o1} + v_{o2}}{2}$ 為輸出共模電壓， $v_{icm} = \frac{v_{i1} + v_{i2}}{2}$ 為輸入共模電壓，

$Z_o = (r_{o5} // r_{o7})$ 為輸出阻抗，且 $G_{CM} = \frac{g_{m1}g_{m5}r_{o1}}{1 + g_{m3}r_{o1} + (1 + g_{m1}r_{o1})g_{m3}2r_{os}}$ 為共模轉導，

因此(3.18)式為運算放大器不考慮 CMFB 時之開迴路小訊號共模增益 A_{CM} 。

再者，當考慮有 CMFB 時的運算放大器，如圖 3.21 所示，計算共模回授電路增益 A_{CMFB} ，則共模回授電路小訊號電流 i_{od} 為



$$\begin{aligned}
i_{od} &= \left(\frac{v_{o1} - 0}{2} + \frac{v_{o2} - 0}{2} \right) \\
&= g_{m12} v_{ocm} \tag{3.19}
\end{aligned}$$

由(3.19)式中，其中運算放大器輸出電壓 v_{o1} 與 v_{o2} 之共模電壓為 v_{ocm} ，共模回授電路之直流參考電壓為 V_{CM} ，因此 i_{od} 為 v_{ocm} 相對交流參考電壓 V_{CM} 為 0 時的小訊號差動電流。

由(3.19)式之共模回授電路的差動電流，流經共模回授電路之輸出阻抗，可得共模回授輸出小訊號電壓 v_{cmfb} ，其數學式為

$$\begin{aligned}
v_{cmfb} &= 2i_{od} \left(r_{o15} // \frac{r_{o11}}{2} \right) \\
&= 2g_{m12} v_{ocm} \left(r_{o15} // \frac{r_{o11}}{2} \right) \tag{3.20}
\end{aligned}$$

由(3.20)式可知，運算放大器之共模回授增益為

$$A_{CMFB} = \frac{v_{cmfb}}{v_{ocm}} = 2g_{m12} \left(r_{o15} // \frac{r_{o11}}{2} \right) \tag{3.21}$$

由於 v_{CMFB} 接於運算放大器輸出級之主動負載電晶體 M7 與 M8 的閘極端，因此 v_{cmfb} 相對於輸出共模電壓 v_{ocm} 之數學式為

$$v_{ocm} = -g_{m7}v_{cmfb}Z_o \quad (3.22)$$

流到輸出阻抗 Z_o 有兩組小訊號電流，第一組由(3.22)式可知，當共模回授輸出小訊號電壓 v_{cmfb} 經 M7 轉導 g_{m7} 而流至 Z_o ；第二組由(3.18)式為未考慮 CMFB 時，輸入共模電壓 v_{icm} 經共模轉導 G_{CM} 而流至 Z_o 。因此將(3.22)與(3.18)兩式以小訊號流程圖以利於分析，如下所示

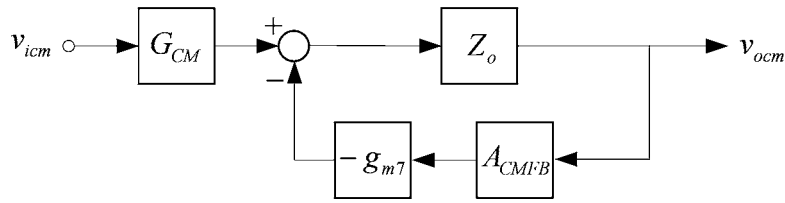


圖 3.22 CMFB 訊號流程圖

由圖 3.22 可知，為運算放大器小訊號共模增益 A_{CM} 之閉迴路轉移函數可表示為

$$A_{CM} \equiv \frac{v_{ocm}}{v_{icm}} = \frac{G_{CM}Z_o}{1 + g_{m7}A_{CMFB}Z_o} \quad (3.23)$$

由(3.21)式可知，提升共模回路增益 A_{CMFB} 可降低共模回授增益 A_{CM} ，並可以穩定運算放大器之輸出共模電壓。

考慮運算放大器之差動增益 A_{DM} ，可利用半電路方式求得，推導過程如下所示

$$\begin{aligned} A_{DM} &\equiv \frac{v_{od}}{v_{id}} = \left[-g_{m1} \left(r_{o1} // r_3 // \frac{1}{g_{m3}} \right) \right] \left[-g_{m5} (r_{o5} // r_{o7}) \right] \\ &= \frac{g_{m1}g_{m5}}{g_{m3}} (r_{o5} // r_{o7}) \\ &= G_{DM}Z_o \end{aligned} \quad (3.24)$$

由(3.24)式所示，其中定義 $v_{od} = v_{o1} - v_{o2}$ 為輸出差動電壓， $v_{icm} = v_{I1} - v_{I2}$

為輸入差動電壓，輸出阻抗 Z_o 與(3.18)式中之相同，且 $G_{DM} = \frac{g_{m1}g_{m5}}{g_{m3}}$ 為其差動轉導。

根據(3.17)式 $CMRR$ 之定義，可得

$$CMRR = \left| \frac{A_{DM}}{A_{CM}} \right| = \frac{G_{DM}}{G_{CM}} (1 + g_{m7} A_{CMFB} Z_o) \quad (3.25)$$

由(3.25)式可知，提高共模回授增益 A_{CMFB} 可有效的提升 $CMRR$ ，以利於放大差動訊號，而排斥共模雜訊。

論文中之運算放大器除了提升 $CMRR$ 之目標外，然而尚需考量電路的穩定度問題。為了確保運算放大器電路之穩定，差動增益轉移函數之相位邊限(Phase Margin, PM)必須妥善設計。一種常見的補償法是在運算放大器輸入級與輸出級中跨接一米勒補償電容 C_c ，藉以重新規劃電路極零點的位置，而達成相位補償以提升電路之穩定度。

在可程式化類比陣列的設計中，運算放大器位於可配置類比方塊之輸出級，且積分電容跨接於運算放大器之輸出、輸入端，因此可加大運算放大器輸出級電晶體 M5 至 M8，以提升運算放大器的負載驅動能力。

論文中的運算放大器設計上，其輸入級與轉導器輸出級相接，因此運算放大器之輸入共模電壓依據前面所提的轉導器之輸出共模電壓，設定在 2V。由圖 3.23 頻率響應曲線所示，運算放大器的差動增益 A_{DM} 約為 40dB，相位邊限 PM 約為 60°，因此可確保回授電容跨接於運算放大器時的電路穩定度。圖 3.24 為運算放大器中共模回授電路開迴路頻率響應曲線，由圖可知共模回授增益 A_{CMFB} 可達 52.6dB， $PM \approx 88.8^\circ$ ，因此可有效的穩定運算放大器輸出共模準位。

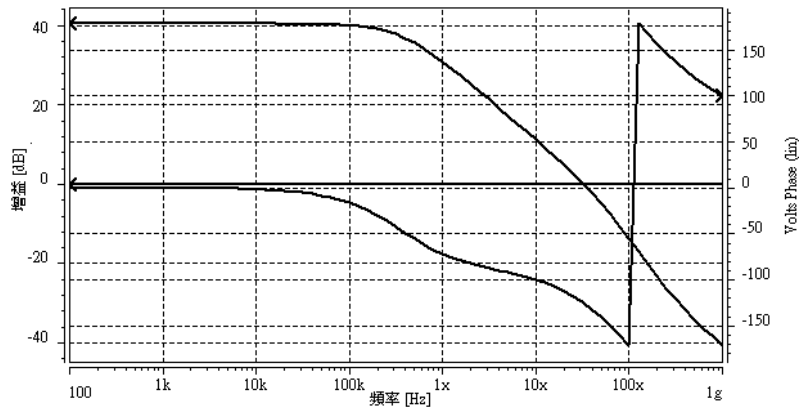


圖 3.23 運算放大器差動增益與相位邊限

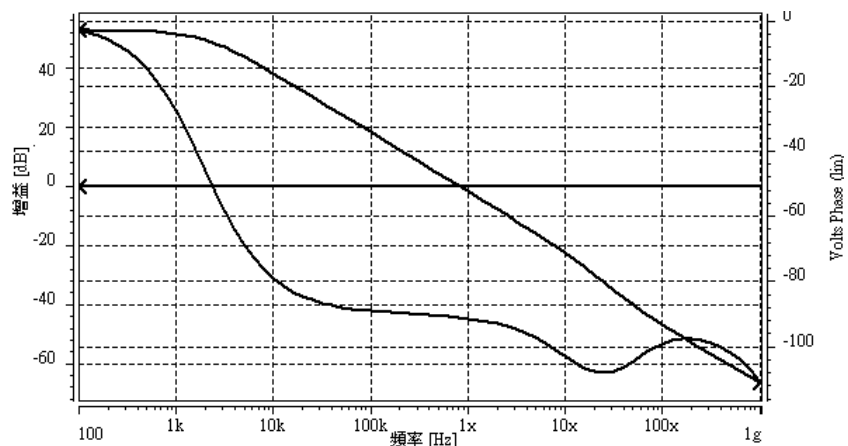


圖 3.24 運算放大器共模回授電路開迴路增益與相位圖

根據上節所推導，提高共模回授電路之增益 A_{CMFB} 可大幅降低運算放大器之共模增益 A_{CM} ，其結果如圖 3.25 所示，共模之直流增益可低至 -81dB，因此可大幅抑制共模雜訊的干擾。

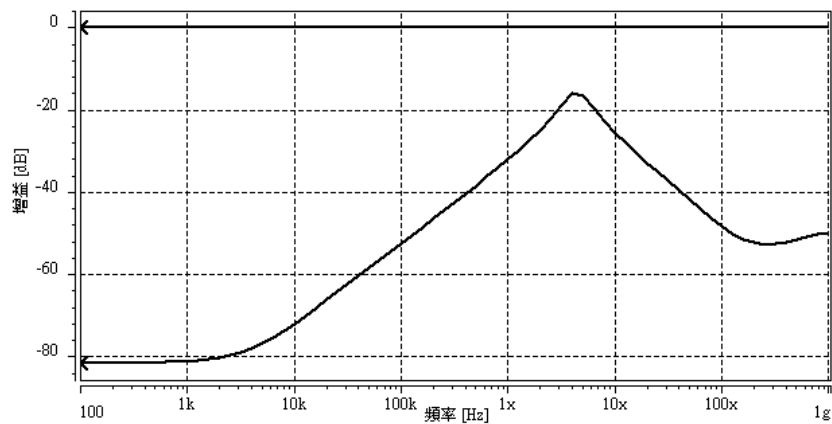


圖 3.25 運算放大器共模增益

圖 3.26 為共模排斥比之頻率響應曲線，藉由(3.25)式的推導證明，提高 A_{CMFB} 可大幅提升電路之共模排斥比，其直流增益約為 121dB，因此可做為電路抗雜訊效能的依據。

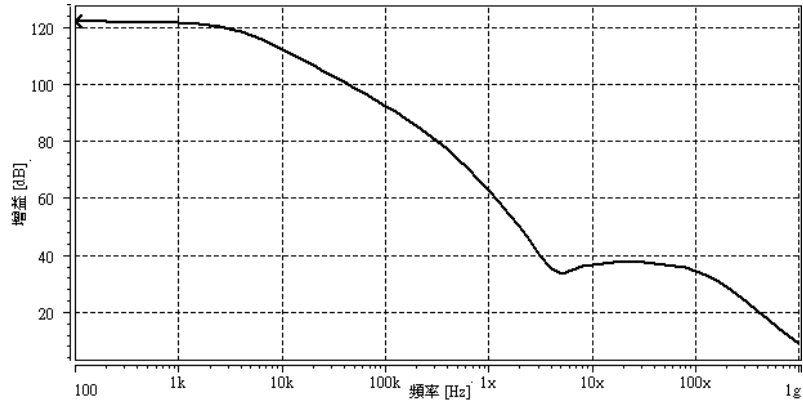


圖 3.26 運算放大器共模互斥比

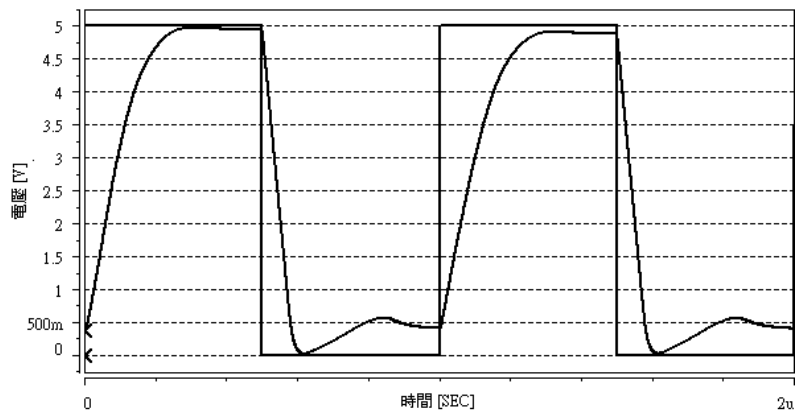


圖 3.27 運算放大器迴轉率

迴轉率可判別運算放大器輸出級電流的負載驅動能力。為了測試迴轉率，額外在於運算放大器輸出端加掛 10pF 的負載電容，當輸入 5V 之方波時，模擬波型如圖 3.27 所示，迴轉率為 26.64V/μs。綜合本節之電路模擬結果，最後將運算放大器各項模擬數據列於表 3.3 中。

表 3.3 運算放大器規格表

差動增益	40.04dB
單位增益頻寬	147.65MHz
相位邊限	60°
共模增益	-81.4dB
共模互斥比	121.44dB
迴轉率	26.64V/ μ s

3.6 可程式化類比陣列之週邊電路設計

本節將探討可程式化類比陣列之週邊電路，其中包括供應與電壓源無關之固定轉導偏壓參考源電路，連結 CAB 之間的互聯網路電路，與儲存數位控制訊號的記憶體電路。



3.6.1 參考源

(A) 固定轉導偏壓電路

實現參考源之最大目的在於產生電路系統中合適之參考電壓源或是電流源，以維持整體電路中各個電路系統直流偏壓之工作點位置，並確保參考源電路不受供應電源或是溫度等外界各種環境參數變化所造成的影響。本節所實現之偏壓電路是與供應電壓源無關之固定轉導偏壓電路，原型電路如圖 3.28 所示。

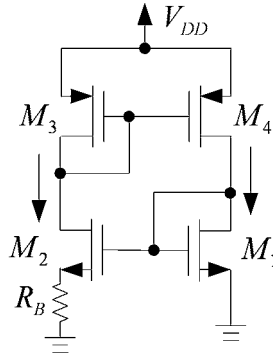


圖 3.28 原型之固定轉導偏壓電路[31]

假設圖 3.28 中之電路為自行偏壓，且 M3 與 M4 有相同的長寬比。由於 M3 與 M4 為電流鏡，因此可得 $I_{D3}=I_{D4}$ 。且由圖 3.28 可知 R_B 、M2 與 M1 構成一迴路，因此可寫下數學式為

$$V_{GS2} + I_{D2}R_B = V_{GS1} \quad (3.26)$$

根據 I_D 與 V_{GS} 的關係式為 $V_{GS} = \sqrt{\frac{2I_D}{\mu_n C_{ox} \frac{W}{L}}} + V_m$

所以(3.26)式可改寫為

$$\sqrt{\frac{2I_{D2}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_2}} + V_{m1} + I_{D2}R_B = \sqrt{\frac{2I_{D1}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_1}} + V_{m2} \quad (3.27)$$

因為 $I_{D3}=I_{D4}$ ，由於 M2 與 M3，M1 與 M4 共汲極電流，因此 $I_{D2}=I_{D1}$

，忽略基體效應改寫(3.27)式並經整理可得

$$R_B = \frac{2}{\sqrt{2\mu_n C_{ox} (W/L)_1 I_{D1}}} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_2}} \right) \quad (3.28)$$

由(3.28)式中，汲極電流 I_{D1} 可表示為

$$I_{D1} = \frac{2}{\mu_n C_{ox} (W/L)_1 R_B^2} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_2}} \right)^2 \quad (3.29)$$

由(3.29)式的結果可知，原型之固定轉導偏壓電路之汲極電流 I_{D1} 不受供應電壓源的影響，且可藉由電晶體長寬比與電阻 R_B 來調整汲極電流 I_{D1} 。

此外 $g_m = \sqrt{2\mu_n C_{ox} (W/L) I_D}$ ，因此(3.29)式亦可寫為

$$g_{m1} = \frac{2}{R_B} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_2}} \right) \quad (3.30)$$

當 $4(W/L)_1 = (W/L)_2$ 時，(3.30)式將化簡成 $g_{m1} = 1/R_B$ ，因此電晶體 M1 的轉導值僅受電阻 R_B 的影響，既代表固定轉導偏壓電路在適當的長寬比情形下，汲極電流 I_{D1} 僅受電阻 R_B 的影響，故稱此電路為固定轉導偏壓電路[10]。

值得注意的是，在上述的分析中忽略了許多二階效應所造成非線性的影響，如電晶體的之輸出阻抗與基體效應。基體效應會使電流方程式有些許的改變，然而最大的問題在於此原型固定轉導偏壓電路之輸出阻抗過小，因此造成由此偏壓電路所映射出之輸出電流與參考源電流有所誤差。為了提高原型固定轉導偏壓電路之輸出電阻，可藉由疊接式電流鏡 (Cascode Mirror) 電路加以改善。

(B) 疊接式電流鏡

疊接式電流鏡雖具有較高的輸出阻抗，然而輸出振幅卻受其疊接所限制。為了改善疊接式電流鏡輸出振幅的問題，可參考如圖 3.29 所示之寬振幅疊接式電流鏡電路。選定合適的 V_B 使電晶體 M1 至 M4 皆操作於飽和區，且輸出電壓 V_O 之最小允許電壓值可為兩個驅動電壓 V_{OD} ，其中 $V_{OD} = V_{GS} - V_m$ ，其推導如下所示。

為使 M3 與 M4 皆操作於飽和區，則可得到 $V_B - V_{m4} \leq V_X (=V_{GS3})$ 且

$V_{GS3} - V_{m3} \leq V_A (=V_B - V_{GS4})$ ，經整理此兩式可得

$$V_{GS4} + (V_{GS3} - V_{m3}) \leq V_B \leq V_{GS3} + V_{m4} \quad (3.31)$$

由(3.31)式中，在滿足 V_B 的下限情況下，若選擇合適的長寬比以確保

$V_{GS4} = V_{GS1}$ ，則當 $V_B = V_{GS4} + (V_{GS3} - V_{m3}) = V_{GS1} + (V_{GS2} - V_{m2})$ 時， $V_B - V_{m1} \leq V_o$ ，經

整理可得

$$(V_{GS1} - V_{m1}) + (V_{GS2} - V_{m2}) = 2V_{OD} \leq V_o \quad (3.32)$$

由(3.32)式可知，寬振幅之疊接式電流鏡之輸出電壓 V_o 可低至兩個驅動電壓 V_{OD} 。

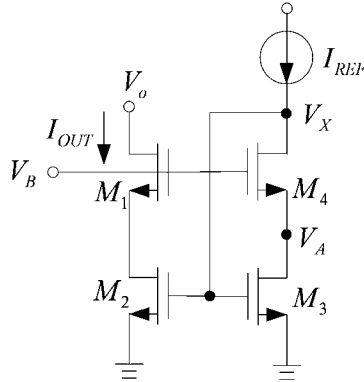


圖 3.29 寬振幅之疊接式電流鏡[10] [31]

(C) 寬振幅之固定轉導偏壓電路

藉由上述的分析，將高阻抗之寬振幅疊接式電流鏡代入原型之固定轉導偏壓電路中，可如圖 3.30 所示之寬振幅固定轉導偏壓電路。

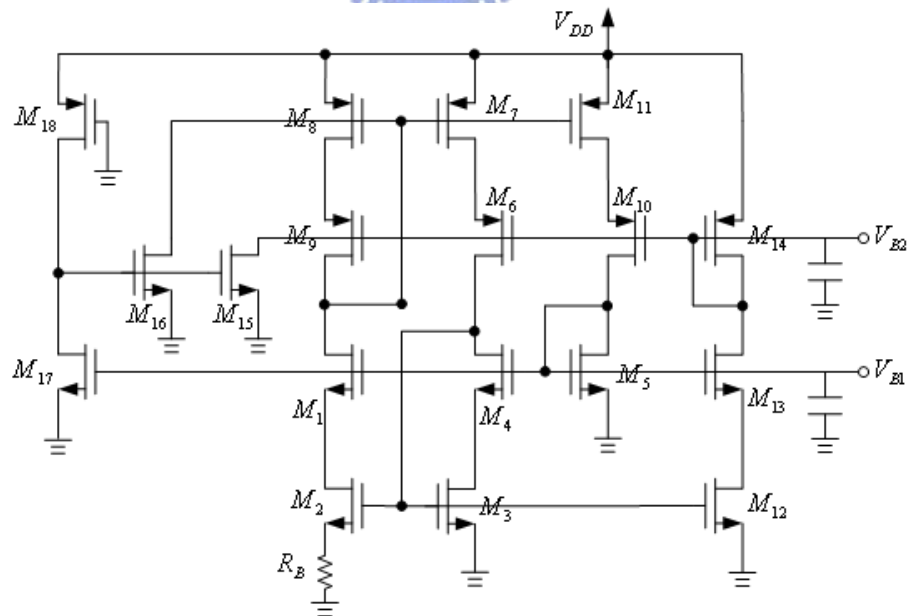


圖 3.30 寬振幅之固定轉導偏壓電路[10]

如圖 3.30 所示為寬振幅之固定轉導偏壓電路[10]，其中 M1 至 M4 為

N 型寬振幅疊接式電流鏡，M3 與 M4 之工作如同電流鏡中之二極體連接式電晶體，M1 與 M4 之閘極端偏壓由 M5 之二極體連接式電晶體所提供，M11、M10 與 M5 則構成此偏壓迴路。

M6 至 M9 為 P 型寬振幅疊接式電流鏡，M8 與 M9 之工作如同電流鏡中之二極體連接式電晶體，M6 與 M9 之閘極端偏壓由 M14 之二極體連接式電晶體所提供，M12、M13 與 M14 則構成此偏壓迴路。

一般在參考源電路中，需預防電路在開啟時無法正常動作，所以必須加入起始(Start-Up)電路幫助參考源電路在初始時正常的動作。如圖 3.30 中，起始電路由 M15 至 M18 所組成。當初始狀態時全電路電流為零時，M17 關閉，而 M18 可視為操作於高阻抗之電晶體且一直為導通的狀態，因此拉高 M15 與 M16 的閘極端電壓而造成導通。M15 與 M16 之汲極電流將流進偏壓迴路而起始了全電路之電流。一旦當 M17 導通時，M18 之所有電流經由 M17 所汲取，因此使 M15 與 M16 關閉且不在影響偏壓迴路。

由(3.29)式可知，固定轉導偏壓電路之汲極電流 I_D 不受供應電壓源 V_{DD} 的影響，但仍受溫度與製程參數的影響。為了降低固定轉導偏壓電路對於溫度變化的影響，由(3.30)式知，設計合適的長寬比將使偏壓電路中電晶體之轉導值僅受電阻 R_B 的影響，因此藉由選擇適當的電阻材質可以降低偏壓電流對溫度之敏感度。

由於寬振幅固定轉導偏壓電路提供整體電路之偏壓電流，如圖 3.30 所示，P 型之閘極偏壓端點 V_{B2} 與 N 型之閘極偏壓端點 V_{B1} ，分別與前述之轉導器與運算放大器電路中偏壓端點 V_{B2} 與 V_{B1} 相接，如圖 3.4、3.7、3.8、3.17 與 3.21 所示，以提供穩定且不受溫度影響之偏壓電流源。其中 V_{B1} 與 V_{B2} 偏壓端點的操作範圍可根據(3.31)式之推導，其數學式如下所示

$$V_{GS4} + (V_{GS3} - V_{m3}) \leq V_{B1} \leq V_{GS3} + V_{m4} \quad (3.33)$$

$$(V_{DD} - V_{SG8}) + V_{m9} \leq V_{B2} \leq V_{SG9} + (V_{DD} - V_{SG8} - V_{m8}) \quad (3.34)$$

如圖 3.30 所示，供應電壓 V_{DD} 為 5V 且 R_B 選用 poly2 材質，當溫度由 -40°C 變化至 140°C 時，在不同 Corner TT、SS、SF、FS 與 FF 情況下，流經電阻 R_B 之 M2 汲極電流，波形模擬結果如圖 3.31 所示。此外，由於此電路之汲極電流 I_D 能抵抗供應電壓源 V_{DD} 變動的影響，因此在同時考量 $\pm 10\%V_{DD}$ ，與角落模擬以及溫度對於 M2 汲極電流的變動，將其電流模擬值列表並計算其變動量，如表 3.4 所示。

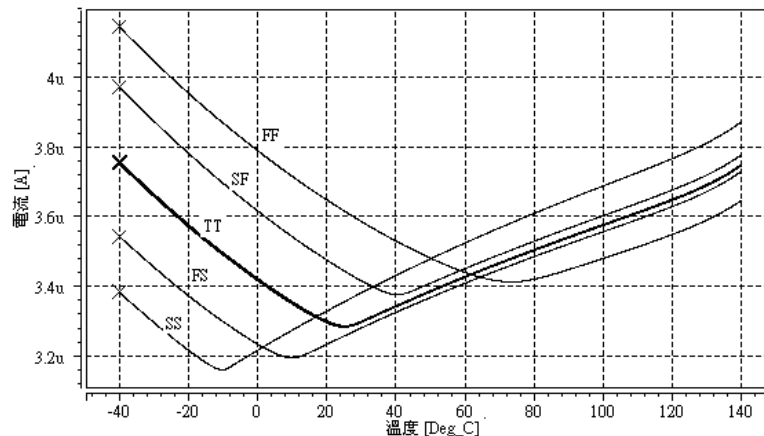


圖 3.31 寬振幅固定轉導偏壓電路 M2 汲極電流相對溫度變化角落模擬圖

表 3.4 寬振幅固定轉導偏壓電路之 M2 汲極電流模擬規格表

	corner	Temp= -40°C			Temp= 25°C			Temp= 85°C			Temp= 140°C			V_{DD} 4.5V	V_{DD} 4.5V
		V_{DD} 4.5V	V_{DD} 4.5V	V_{DD} 變動	V_{DD} 4.5V	V_{DD} 4.5V	V_{DD} 變動	V_{DD} 4.5V	V_{DD} 4.5V	V_{DD} 變動	V_{DD} 4.5V	V_{DD} 4.5V	V_{DD} 變動	Temp 變動	
$I_{D,M2}$ [μA]	TT	3.2	4.3	34%	3.2	3.7	18%	3.4	3.7	7%	3.6	3.9	34%	15%	17%
	SS	2.8	3.9	36%	3.3	3.5	6%	3.5	3.8	6%	3.8	4.0	6%	31%	16%
	SF	3.4	4.5	31%	3.2	3.9	24%	3.4	3.7	8%	3.7	4.0	8%	15%	21%
	FS	3	4	36%	3.2	3.6	13%	3.4	3.6	7%	3.6	3.9	9%	21%	14%
	FF	3.6	4.7	30%	3.1	4.1	32%	3.3	3.8	14%	3.5	3.8	9%	9.4%	9.4%
	corner 變動	25%	20%	63%	4.5%	19%	32%	7%	4%	15%	7%	4%	14%	30%	35%

由圖 3.31 與表 3.4 可知，M2 汲極電流對於溫度由 -40°C 變化至 140°C 的最大變動率約為 15%，在上述 M2 汲極電流抗溫度變化的條件下，考慮常溫變化對於閘極偏壓端點的影響，因此模擬閘極偏壓端點電壓 V_{B2} 與 V_{B1} 相對溫度由 0°C 變化至 50°C 的變動，如圖 3.32 所示，其變動量如表 3.5 所示。

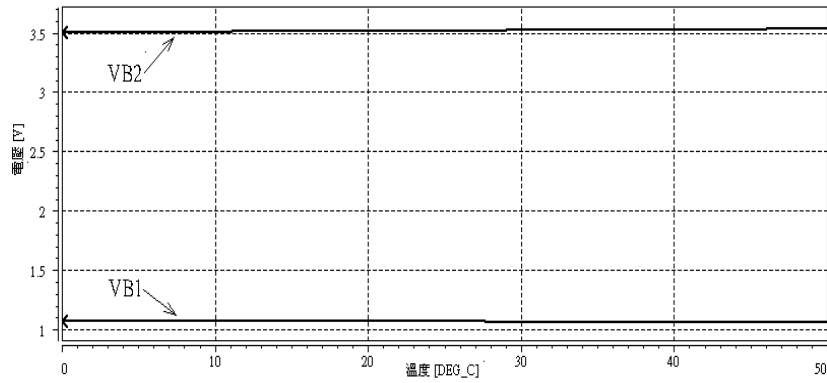


圖 3.32 寬振幅固定轉導偏壓電路之閘極偏壓端點電壓 V_{B2} 與 V_{B1} 相對溫度變化模擬圖

表 3.5 寬振幅固定轉導偏壓電路規格表

電壓 \ 溫度	25°C	0°C~50°C 變動量
V_{B2}	3.52V	20mV
V_{B1}	1.07V	10mV

3.6.2 互聯網路電路



在可程式化類比陣列中，藉由互聯網路電路中之類比開關有效的規劃訊號傳遞路徑，使得可配置類比方塊相互間之連結更具彈性，以提升整體電路可規劃的能力[32]。

一般而言，類比開關為操作於三極區之 NMOS 或是 PMOS 所構成，其閘極端電壓決定電晶體汲極與源極導通與否。若單獨考量以操作在三極區的 NMOS 為類比開關，若閘極控制電壓為 V_{DD} ，輸入電壓 v_I 於 NMOS 之汲極端，輸出電壓 v_O 於 NMOS 之源極端，且於輸出端掛一接地之充電電容 C_s 。假設 v_O 初始電壓為 0V，則輸入電壓 v_I 持續對 C_s 充電直到 $v_O \approx v_I$ 時， V_{DS} 電壓將小於 $V_{DD} - v_I - V_m$ 之電壓，操作於三極區之汲極電流可表示為[31]

$$I_{D,NMOS} = \mu_n C_{ox} \left(\frac{W}{L} \right)_N \left[(V_{GS} - V_m) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

$$\cong \mu_n C_{ox} \left(\frac{W}{L} \right)_N (V_{DD} - v_I - V_m) V_{DS} \quad (3.35)$$

由(3.31)式可知，NMOS 之導通電阻(Turn-On Resistance)為

$$R_{on,NMOS} = \frac{V_{DS}}{I_{D,NMOS}} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L} \right)_N (V_{DD} - v_I - V_m)} \quad (3.36)$$

同理可知，在相同情況下只考慮 PMOS，且閘極控制電壓為 0 時，由(3.30)式，可得 PMOS 之導通電阻為

$$R_{on,PMOS} = \frac{1}{\mu_p C_{ox} \left(\frac{W}{L} \right)_p (v_I - 0 - |V_{tp}|)} \quad (3.37)$$

由上述的分析可知當類比開關單獨只由 NMOS 或是 PMOS 電晶體所構成時，此時輸入電壓 V_{IN} 將受限於操作在三極區的限制，因此輸入電壓的振幅與導通電 R_{on} 有關，故造成訊號傳輸時的失真[10]。

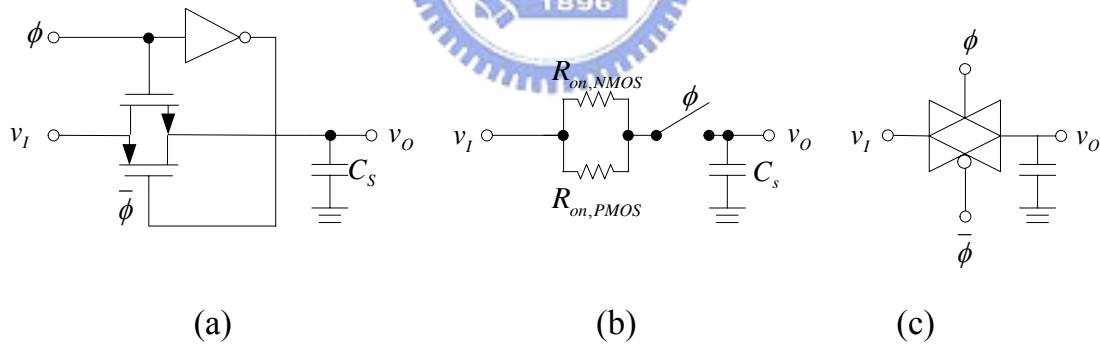


圖 3.33 (a)類比開關 CMOS 傳輸開電路圖(b)等效模型(c)方塊圖

為了改善上述訊號傳輸時的失真，如圖 3.33 所示，可藉由 NMOS 與 PMOS 所並聯之 CMOS 傳輸開以實現類比開關，其等效電阻值之數學式可表示為

$$R_{on,eq} = R_{on,NMOS} // R_{on,PMOS}$$

$$= \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_m) - \left[\mu_n C_{ox} \left(\frac{W}{L}\right)_N - \mu_p C_{ox} \left(\frac{W}{L}\right)_P \right] V_{in} - \mu_p C_{ox} \left(\frac{W}{L}\right)_P |V_{tp}|} \quad (3.38)$$

由(3.38)式中，已知遷移率 $\mu_n \cong 5\mu_p$ ，則適當的調整 NMOS 與 PMOS 的長寬比，令 $\mu_n C_{ox} \left(\frac{W}{L}\right)_N = \mu_p C_{ox} \left(\frac{W}{L}\right)_P$ 時，等效導通電阻 $R_{on,eq}$ 可化簡為

$$R_{on,eq} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right)_N (V_{DD} - V_m - |V_{tp}|)} \quad (3.39)$$

由(3.39)式可知，當類比開關是由 NMOS 與 PMOS 所組成之 CMOS 傳輸閘時，此時輸入電壓 v_I 的振幅，即輸入電壓 v_I 之準位不再影響其導通電阻值，使得導通電阻趨近於定值，以降低訊號傳輸時的失真。

當供應電壓 V_{DD} 為 5V，且類比開關之傳輸閘輸入準位定為 2.5V 時，分別設計 NMOS 與 PMOS 之長寬比，其中 $\left(\frac{W}{L}\right)_N = \frac{1.5\mu}{0.5\mu}$ 、 $\left(\frac{W}{L}\right)_P = \frac{1.5\mu}{0.5\mu} \times 5$ ，則可得如圖 3.34 所示，NMOS 與 PMOS 之導通電阻等效模擬圖。

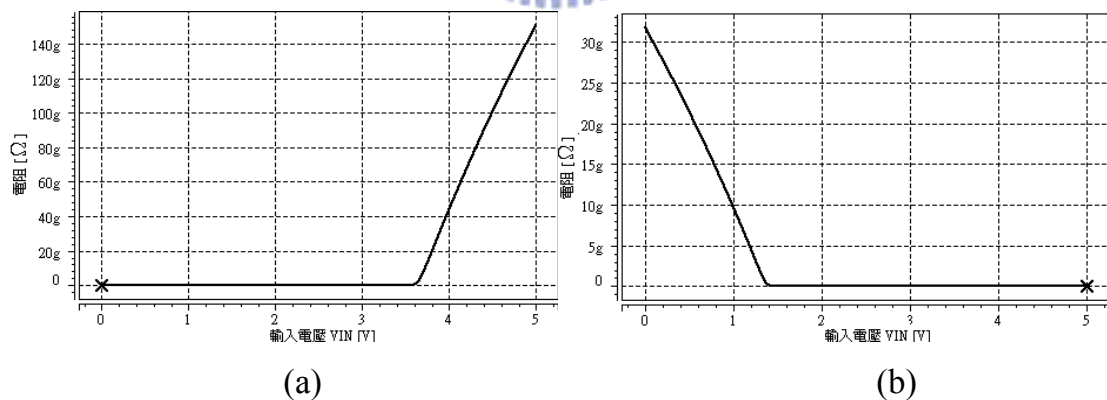


圖 3.34 (a)NMOS 導通電阻等效模擬圖 (b) PMOS 導通電阻等效模擬圖

將上述 NMOS、PMOS 之長寬比規格代入圖 3.33(a)之 CMOS 傳輸閘中，則可得圖 3.34 之等效電阻模擬曲線。表 3.6 所列為此類比開關之 CMOS 傳輸閘適用範圍及其電阻值。

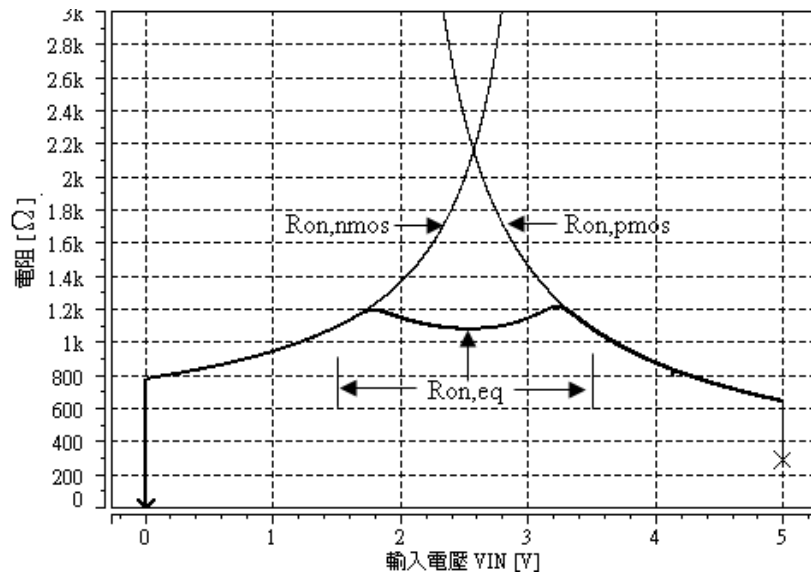


圖 3.35 類比開關導通電阻

表 3.6 類比開關導通電阻

類比開關					
參數	狀態	MAX.	TYP.	MIN.	單位
$R_{on,eq}$	一般用途	1.19K	1.135K	1.08K	Ω
V_I	輸入電壓的範圍	3.5		1.5	V

由上述分析可知，在可程式化類比陣列中，CMOS 傳輸閘所構成之類比開關為傳遞訊號的關鍵元件。在可程式化電路系統中，互聯網路電路決定了內部電路導線的路徑，因此類比開關運用與導線佈局方式，將影響電路工作效能與使用面積，故妥善規劃互聯網路電路亦為本節之設計重點。

在本電路系統中，類比開關做為可程式化電路之連線路徑導通與否，其中電路陣列之選擇皆由 CMOS 傳輸閘之類比開關所實現。如圖 3.36(a) 所示，為以類比開關所實現可程式化電容陣列之架構圖，由四組類比開關決定電容器雙端是否導通或是接地。當 sw1、sw3 導通，而 sw2、sw4 截止時，此時積分電容雙端導通，如圖 3.36(b)所示，且電流流過時累積電荷於電容器上。反之當 sw1、sw3 截止，而 sw2、sw4 導通時，儲存於電容器上

之電荷迅速對地放電，以避免電荷之存積。圖 3.36(c)所示，為電路示意圖 [32]。

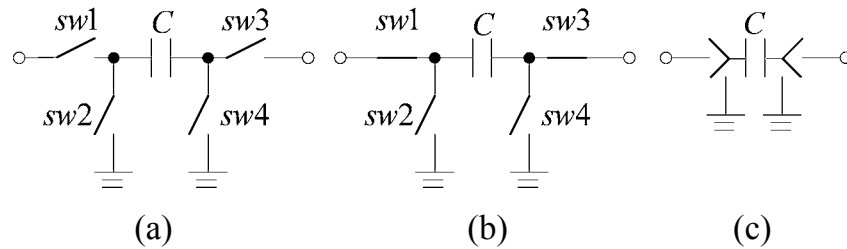


圖 3.36 可程式化電容陣列類比開關電路圖(a)架構圖(b)電容導通(c)示意圖

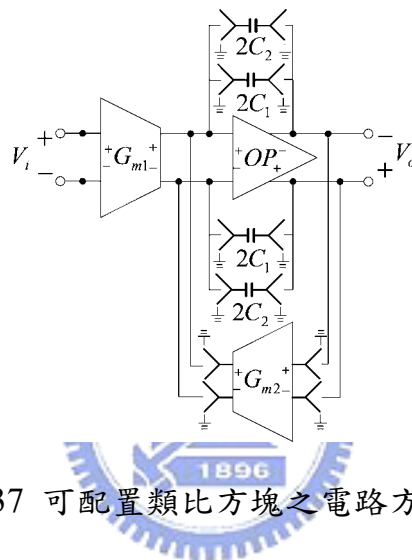


圖 3.37 可配置類比方塊之電路方塊圖

在可配置類比方塊電路中，藉由類比開關與導線連接，決定了轉導器，運算放大器與電容陣列不同的連接路徑，以實現各種功能之電路，如圖 3.37 所示。此外，為了便於可配置類比方塊電路之間的可程式電路的規劃，根據 FPGA 所提出之相關文獻，其核心方塊電路一般採取九宮格之配置方式，而導線由方塊電路之間相互交叉，為了連接兩交叉導線，可藉由如圖 3.38(a)中兩交叉線之間跨接類比開關加以導通，其示意圖如圖 3.38 (b)所示。由於本電路之設計皆採取全差動式，因此方塊電路之間的連接皆為雙導線，如圖 3.38(c)所示，為可配置類比方塊 CAB 之系統佈局圖，其中導線與類比開關連接起各可配置類比方塊之間的連線。

增加導線與類比開關的數量可提昇電路系統中各區塊子電路間的可規劃性。然而對於導線而言，在互聯網路之電路系統中，須盡量縮短過長

的傳輸導線，以避免導線的寄生電容影響到電路之效能，其中傳輸導線的長短，則須經由實際的電路佈局才能知道。整體而言，藉由互聯網路電路中類比開關與導線之連接，可提高電路系統程式化的需求，然而過於複雜之互聯網路將使電路遭受寄生電容等不良因素的干擾，因此在達成電路可規劃的前提下，可適時的簡化互聯網路電路，並過電路佈局技巧加以克服電路中非理想效應的影響[33]。

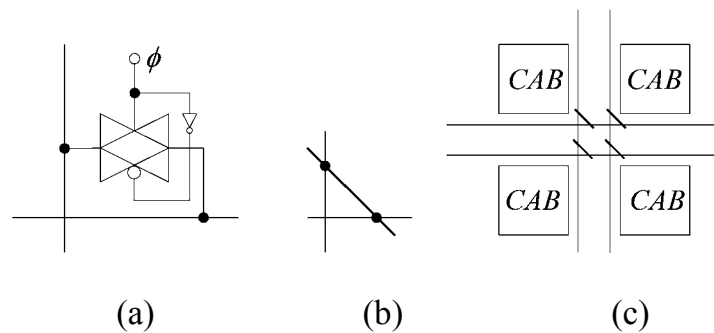


圖 3.38 類比開關 (a)電路方塊圖 (b)代號圖 (c)CAB 佈局圖

3.6.3 記憶體電路

可程式化類比陣列必須具備重複規劃類比開關而達成可程式化的功能。因此，利用記憶體電路，儲存控制類比開關之數位訊號，使電路系統具備有可重複規劃的功能。

在可程式化電路系統之相關文獻中，記憶體電路可由如靜態隨機存取記憶體(SRAM)或是電子抹除式唯讀記憶體(EEPROM)所構成[34]。在記憶體階層(Memory Hierarchy)中，暫存器位於最頂端，也是系統操作中最快速的存取途徑。因此在本節中，將採用移位暫存器(Shift Register)以部份實現記憶體電路，其中暫存器為數個具有正緣觸發之 D 型正反器(D-type Positive-Edge-Triggered Flip-Flop, D-FF)所組成。

單一位元之 D 型正反器是由 4 個傳輸閘以及 4 個反向器所組成，如圖

3.39 所示，當時脈訊號 ϕ 為 0， $\bar{\phi}$ 為 1 時，資料訊號由 D 端進入主電路 (Master)，並儲存於主電路中。當時脈訊號 ϕ 切換的瞬間，即 ϕ 為 1， $\bar{\phi}$ 為 0 時，資料訊號傳遞至僕電路 (Slave)，並由 Q 端傳遞出僕電路。簡言之，當時脈訊號 ϕ 尚未由 0 切換至 1 時，此時資料訊號由 D 端進入並儲存於正反器中。當時脈訊號 ϕ 正由 0 切換至 1，即代表正緣觸發此正反器時，資料訊號由 Q 端傳遞出正反器。將數個單一位元之 D 型正反器的輸入 D 端與輸出 Q 端頭尾串接後，且所有正反器接受相同的時脈訊號 ϕ ，此即為移位暫存器，其中串接正反器之數量代表其相對位元數。

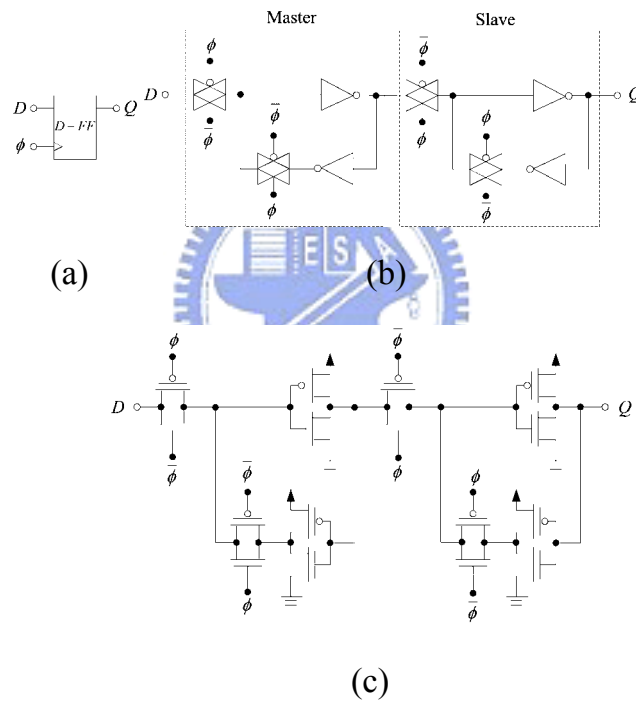


圖 3.39 D 型正反器 (a)方塊圖 (b)示意圖 (c)電路圖

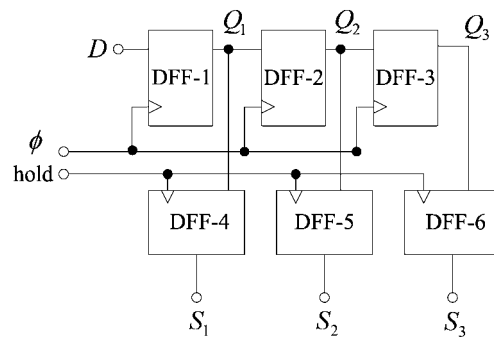


圖 3.40 串列進並列出之 3 位元移位暫存器

移位暫存器由訊號輸入與輸出的方式而決定。本論文中採用串列進/並列出(Series In/Parallel Out)之移位暫存器，如圖 3.40 所示。當時脈訊號頻率 ϕ 為 500KHz，且數位控制訊號由 D 端輸入正反器 D-FF1 時，藉由正緣觸發之時脈訊號，將儲存在正反器中的訊號向右方傳遞至下一級正反器 D-FF2 輸入端 Q1，直至下一個正緣觸發訊號來臨而再度傳遞其儲存的訊號。此外，於每一級正反器之輸出端再接一級正反器，如圖 3.40 中之 D-FF4 至 D-FF6，當訊號 hold 為低態時，此時 D-FF4 至 D-FF6 之輸出 S 端鎖住所需之數位控制訊號，以利於規劃電路系中之類比開關，其中圖 3.40 之 3 位元移位暫存器波形模擬圖可參見如圖 3.41 所示。

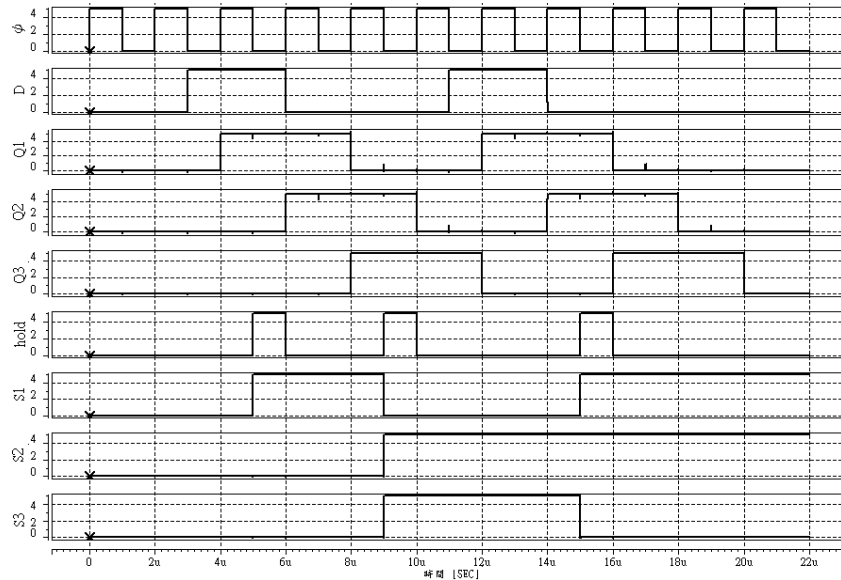


圖 3.41 3 位元移位暫存器之波形模擬圖

第四章

可程式化類比陣列之應用設計

4.1 前言

本章內容主要將第三章所改進與設計之可程式化類比陣列電路做通盤之應用，應用電路之實現為根據第二章 2.4 節文獻回顧中，藉由特定的合成法則，而重複規劃、實現不同功能之控制器與濾波器電路，且透過 Hspice 模擬軟體以分析模擬其電路之特性與效能。

第二節將使用可程式化類比陣列以實現比例、積分與微分控制器，並分析其模擬結果。第三節將進一步使用可程式化類比陣列以實現一階低通濾波器、二階低通濾波器與二階帶通濾波器，並分析與模擬其電路之適用範圍。

4.2 比例、積分與微分控制器之實現

為使電路系統依循數位可程式化之法則做規劃，根據第三章中之可程式化電流鏡電路與可程式化電容陣列，於實際設計的電路中，增益之數學歸納式可表示為

$$K_M = \frac{i_o}{i_i} = \left(1 + \sum_{n=0}^1 b_n^M 2^n \right) \quad (4.1)$$

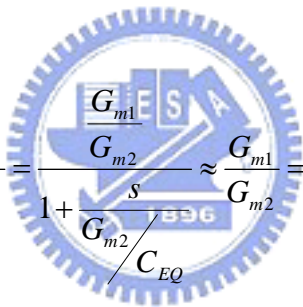
$$K_C = \frac{C_{EQ}}{C_0} = \sum_{n=0}^2 b_n^C 2^n \quad (4.2)$$

(4.1)與(4.2)式分別表示為轉導器輸出級電流鏡陣列與電容陣列之增

益，其中 b_n^M 與 b_n^C 為 1 或 0，即表示陣列之類比開關導通與否， C_0 為單位電容值而 C_{EQ} 為電容陣列之等效電容值。此外，並假設改良型轉導器未接電流鏡陣列之轉導值為 G_M 。為便於採取數位方式分析可程式化類比陣列之應用電路，將藉由 K_M 與 K_C 之增益參數代入既有之轉移函數中以利分析。

4.2.1 比例控制器

比例控制器於第二章 2.4.2 節可程式化 PID 控制器合成中已完整推導，如圖 4.1 所示為可配置類比方塊所組成之一階低通濾波器，降低電容值 C_{EQ} 可將極點移至高頻，操作於低頻之一階低通濾波器的轉移函數可改寫為



$$\frac{V_o}{V_i} = \frac{\frac{G_{m1}}{G_{m2}}}{1 + \frac{s}{G_{m2}/C_{EQ}}} \approx \frac{G_{m1}}{G_{m2}} = K_p \quad (4.3)$$

將(4.1)式代入(4.3)式以利於可程式化之設計，則(4.3)式比例控制器之增益 K_p 可改寫為

$$K_p = \frac{K_{M1}G_M}{K_{M2}G_M} \quad (4.4)$$

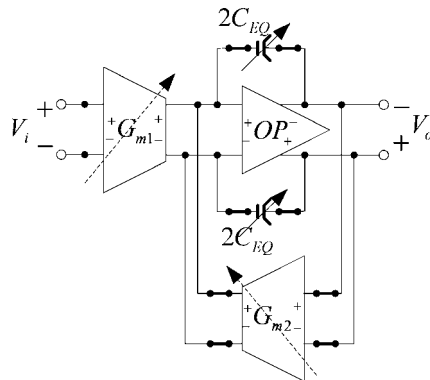


圖 4.1 比例控制器

由(4.4)式知，可由 K_{M1}/K_{M2} 的比例調整比例控制器之增益 K_p ，然而由於

K_{M2} 決定一階低通濾波器之極點位置，因此可採取固定 K_{M2} ，而僅調整 K_{M1} 值之大小以調整比例控制器之增益。除了利用電流鏡之數位可調式轉導值外，亦可藉由轉導器類比可調式微調其轉導值。如圖 4.2 所示，分別為 K_p 增益值為 3、2 與 1 之比例控制器模擬圖，其中低頻適用頻率範圍為 100Hz 至最高 1MHz。

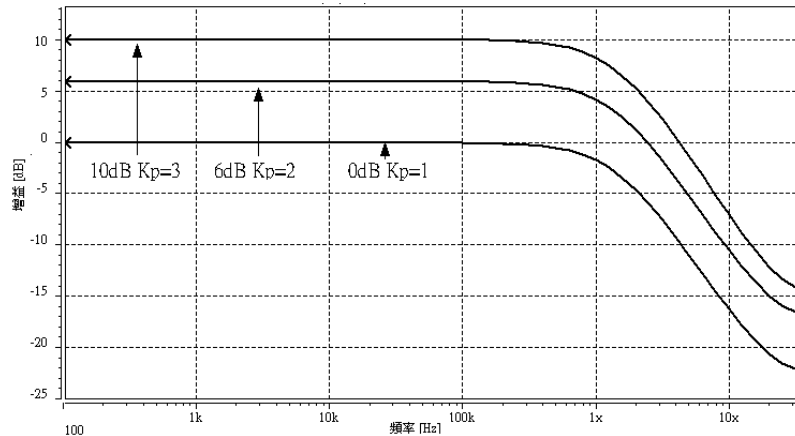


圖 4.2 比例控制器增益圖(改變直流增益)

4.2.2 積分控制器

積分控制器可由可配置類比方塊中之轉導器串接運算放大器，即可完成 Gm-C Opamp 架構之積分器，如圖 4.3(a)所示。積分控制器之推導可根據第二章 2.4.2 節中之結果，其轉移函數可表示為

$$\frac{V_O}{V_i} = \frac{G_{m1}}{sC_{EQ}} = \frac{\omega_{ii}}{s} = \frac{K_I}{s} \quad (4.5)$$

$$\omega_{ii} = \frac{G_{m1}}{C_{EQ}} = K_I$$

將(4.1)與(4.2)式代入(4.4)式以利於可程式化之設計，(4.5)式之 K_I 可改寫為

$$K_I = \frac{K_{M1}G_M}{K_C C_0} = \frac{\left(1 + \sum_{n=0}^1 b_n^M 2^n\right) G_M}{\left(\sum_{n=0}^2 b_n^C 2^n\right) C_0} \quad (4.6)$$

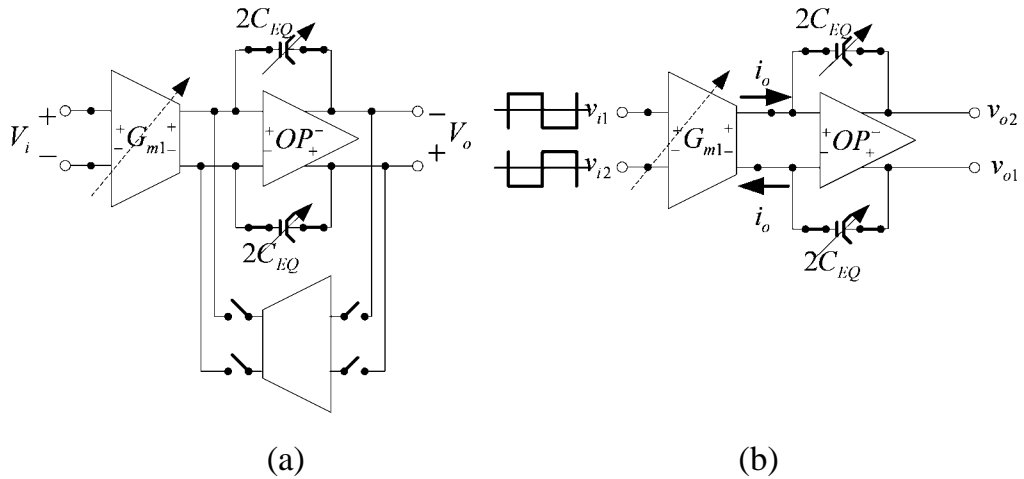


圖 4.3 (a)CAB 之積分控制器 (b)輸入方波訊號之積分器

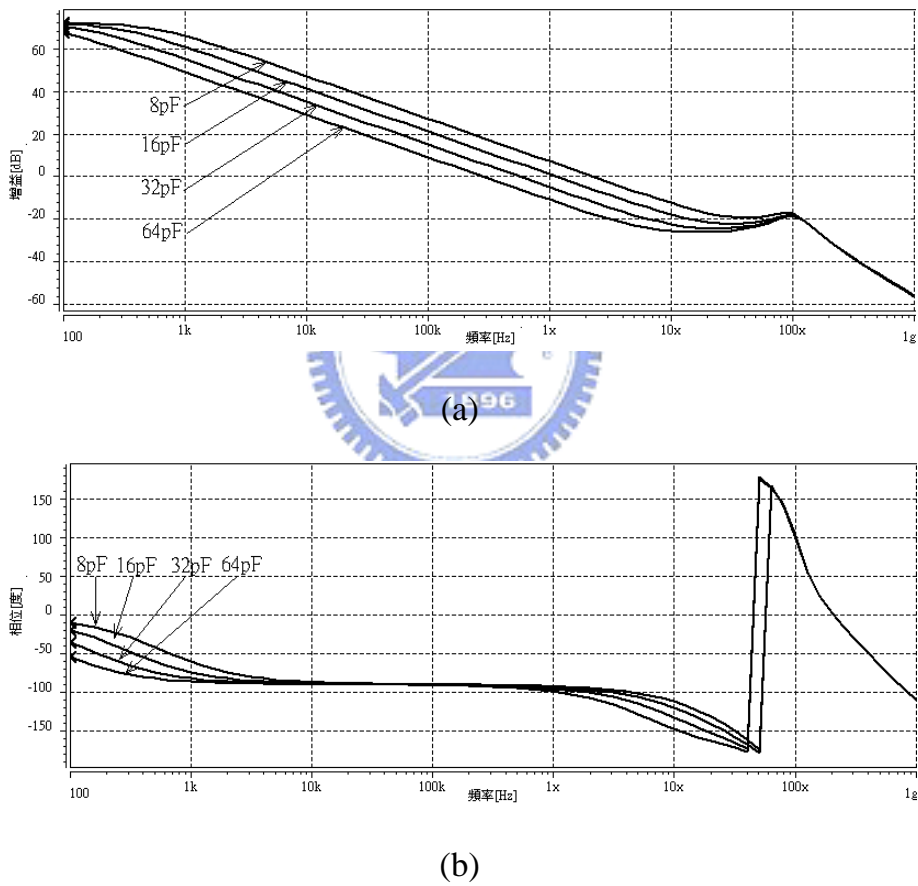


圖 4.4 積分控制器增益圖(改變 K_C) (a)增益圖 (b)相位圖

由(4.6)式知，可藉由增加轉導值或是降低電容值以提升積分控制器之增益值 K_I 。如圖 4.4(a)與(b)所示，當固定電流鏡增益 $K_M=2$ ，而改變電容增益 K_C 時之增益與相位模擬圖。由增益圖可知，當電容值愈小時，愈可提高積分增益值。而由相位圖中可知，若考慮相位誤差對於積分器的影響

下，則此積分器適用於 5MHz 之區域內。

如圖 4.5 所示，當固定電容增益，而改變電流鏡增益 K_M 時之增益模擬圖。

由圖中可知當電流鏡增益 K_M 愈高時，其積分增益也相對提高。

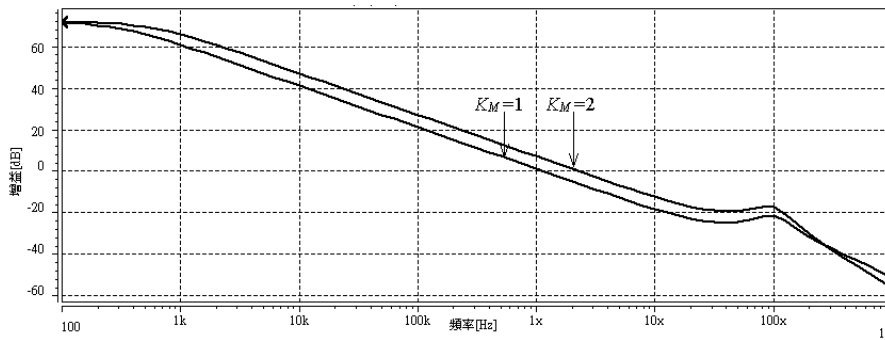


圖 4.5 積分控制器相位圖(改變 K_M)

除了使用頻率響應分析積分控制器之電路效能外，亦可透過暫態模擬觀察積分後之波型。如圖 4.3(b)所示，其中轉導器之雙輸入端為 v_{i1} 與 v_{i2} ，而運算放大器之雙輸出端為 v_{o1} 與 v_{o2} 。考量於轉導器之雙輸入端輸入偏壓為 2V，振幅為 0.2V 且頻率為 500KHz 之反相方波，轉導器輸出電流 $i_o = G_{m1}v_{i1} = G_{m1}v_{i2}$ 。當 i_o 流進或流出積分電容 C_{EQ} 時，根據電荷守衡 $dv = (i_o / C_{EQ})dt$ ，則運算放大器之輸出端電壓 v_{o1} 與 v_{o2} 為週期性的三角波。

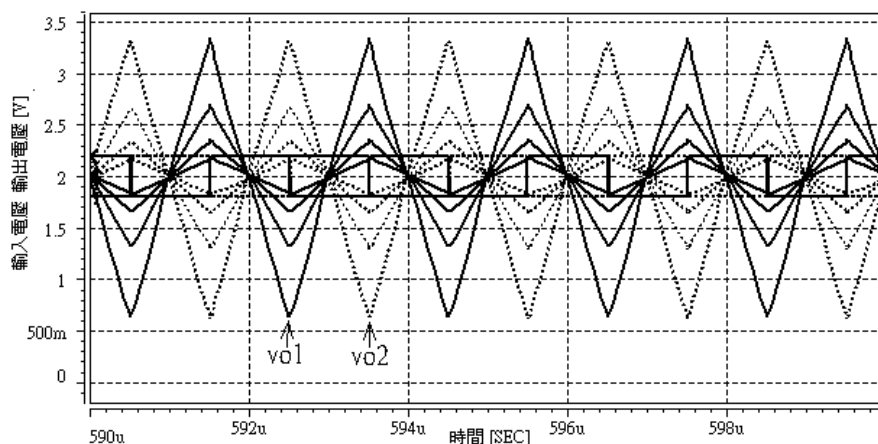


圖 4.6 積分控制器之輸入輸出電壓(改變 K_C)

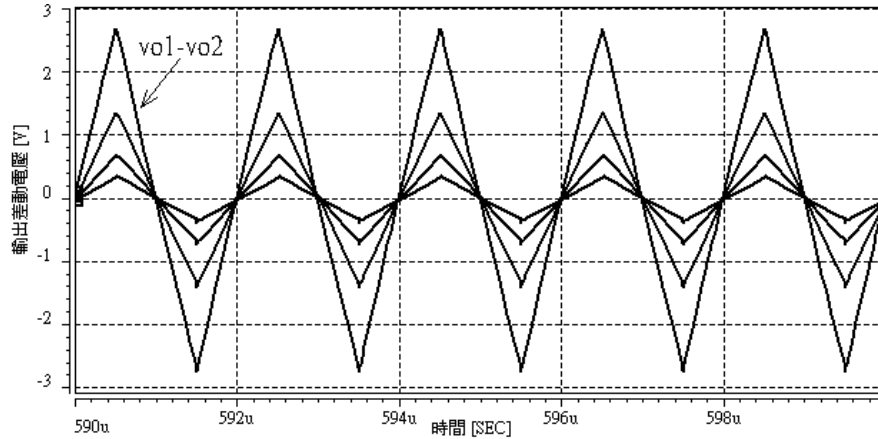


圖 4.7 積分控制器之輸出差動電壓(改變 K_C)

圖 4.6 所示為積分器的模擬波形。當輸入為差動方波時，則輸出為差動三角波，其中積分電容 C_{EQ} 分別為 8pF、16pF、32pF 與 64pF，且如(4.5)式所示，愈小之 C_{EQ} 亦表示積分增益值 K_I 愈大。然而值得注意的是過小的積分電容、過大之轉導值或是過低之頻率將使輸出電壓達飽合，因此在設計積分控制器上應避免輸出飽合而造成訊號失真。圖 4.7 為積分控制器輸出差動電壓 $v_{o1}-v_{o2}$ 之模擬圖，由圖中可觀察藉由全差動式電路之雙輸出端電壓相減，可獲得高線性度之輸出差動電壓。

除了上述可由調整 K_C 之外，亦可數位式調整電流鏡之 K_M 增益或是類比式微調其參考電壓 V_{ref} 以改變轉導值。如圖 4.8 所示，為轉導器分別 $K_M=1$ 與 $K_M=2$ 且 V_{ref} 由 1.65V 調至 1.95V 之積分器雙輸入差動方波電壓 v_{i1} 與 v_{i2} ，雙輸出三角波電壓 v_{o1} 與 v_{o2} 之模擬圖。圖 4.9 則為轉導器輸出差動電壓之波形模擬圖，由圖中也可看出高線性度的特點。

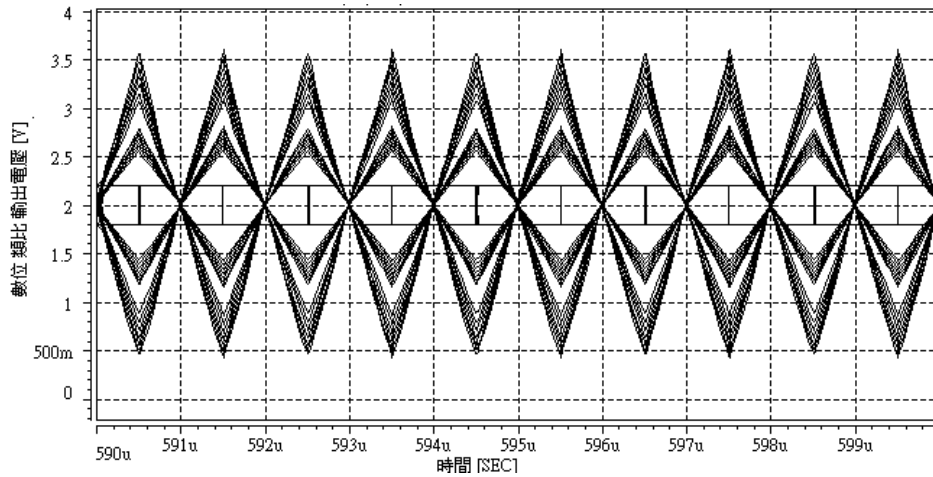


圖 4.8 積分控制器之輸出電壓(改變 K_M 與 V_{ref})

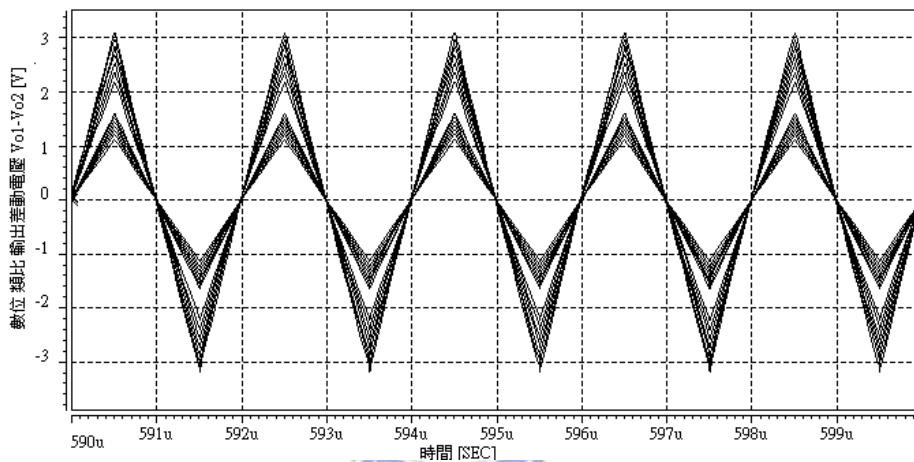


圖 4.9 積分控制器之輸出差動電壓(改變 K_M 與 V_{ref})

4.2.3 微分控制器

微分控制器可由兩組可配置類比方塊組合實現，如圖 4.10 所示，其中 CAB2 完成模擬電感之工作，並利用 CAB1 中之積分電容 C_{IEQ} 將電流轉換成電壓訊號輸出。微分控制器之詳盡推導已於第二章 2.4.2 節中完成，根據(2.90)式，微分器之轉移函數可表示為

$$\frac{V_o}{V_i} = \frac{sG_{m1}C_{2EQ}}{s^2C_{1EQ}C_{2EQ} + G_{m2}G_{m3}} \quad (4.7)$$

由(4.7)式可知，當電路操作於低頻時，由於 $C_{1EQ} \times C_{2EQ}$ 之數值很小，則

$s^2 C_{1EQ} C_{2EQ}$ 可近趨於零，則(4.7)可寫為

$$\frac{V_o}{V_i} = s \frac{G_{m1} C_{2EQ}}{G_{m2} G_{m3}} = s K_D \quad (4.8)$$

為便於可程式化之分析，將(4.1) 與(4.2)式代入(4.8)式，可改寫為

$$K_D = \frac{K_{M1} G_M \cdot K_{C2} C_0}{K_{M2} G_M \cdot K_{M3} G_M} \quad (4.9)$$

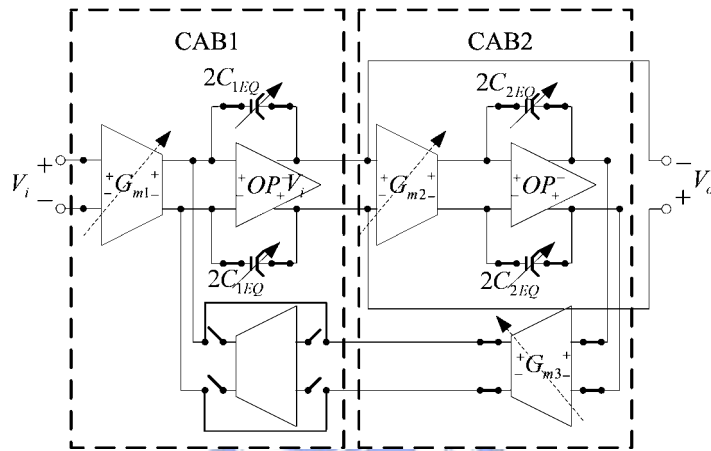


圖 4.10 微分控制器

由(4.9)式知，可藉由調整 K_{M1} 、 K_{M2} 、 K_{M3} 與 K_{C2} 參數之比例增益達成可程式化的微分增益值 K_D 。如圖 4.11 所示，為調整電容陣列 K_C 之增益模擬圖，且 K_C 亦與微分增益值 K_D 成正比。微分控制器之工作頻率約為 800Hz 至 8MHz 之範圍，且當大於操作頻率之上限時，由(4.7)式可知，微分增益值 K_D 將大幅衰減。

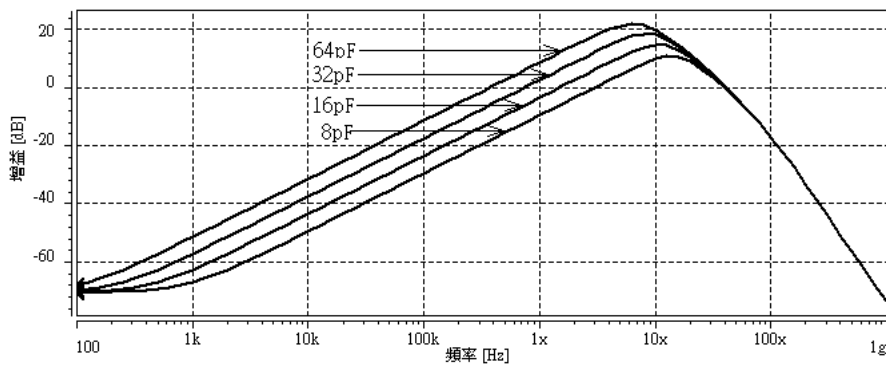


圖 4.11 微分控制器增益圖(改變極點位置)(改變 K_C)

4.3 濾波器之實現

4.3.1 一階濾波器

由第二章之 2.4.3 節可知一階濾波器之原理與推導，並且可知與 4.2.1 節之比例控制器如出一轍，由圖 2.42 中，移除跨接於轉導器 G_{m1} 之積分電容，即可得一階低通濾波器。根據第三章 3.3 節中之設計，一階低通濾波器亦為可程式化類比陣列中之可配置類比方塊，如圖 4.12 所示。由(3.1)式可知，一階低通濾波器之轉移函數可表示為

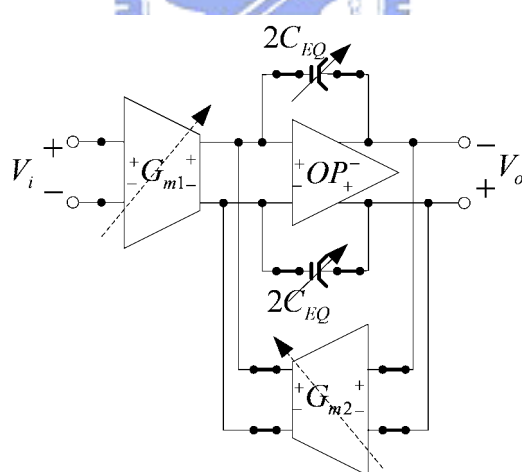
$$\frac{V_o}{V_i} = \frac{\frac{G_{m1}}{G_{m2}}}{1 + \frac{s}{G_{m2}/C_{EQ}}} \quad (4.10)$$


圖 4.12 一階低通濾波器

為便於可程式化的分析，可將(4.1)與 (4.2)式代入(4.10)式中，並改寫為

$$\frac{V_o}{V_i} = \frac{\frac{K_{M1}G_M}{K_{M2}G_M}}{1 + \frac{s}{K_{M2}G_M/K_C C_0}} \quad (4.11)$$

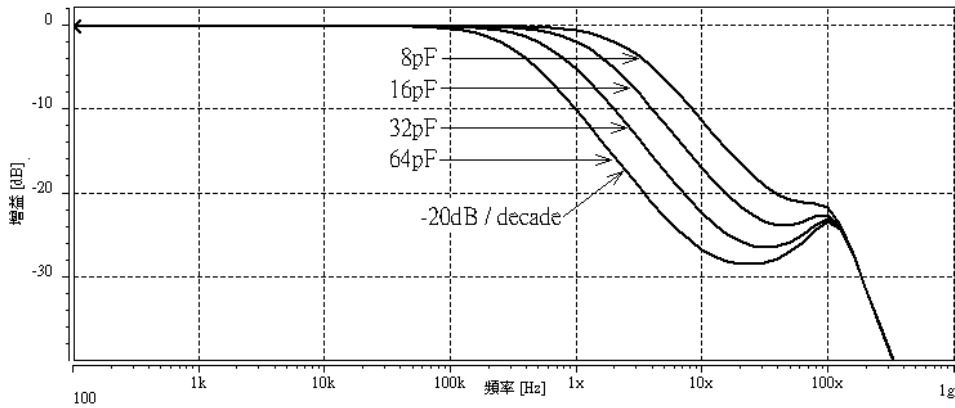


圖 4.13 一階低通濾波器增益圖(改變極點位置)(改變 K_C)

如圖 4.13 所示，為一階低通濾波器增益圖，其中高頻時增益衰減，其漸近線斜率為 -20dB/decade 。由(4.11)式可知，在不調整 G_M 的情況下， K_{M1}/K_{M2} 決定其增益而 K_{M2}/K_C 決定其極點位置，在固定 K_{M1} 與 K_{M2} 的情形下，可控制 K_C 以規劃極點位置，如圖 4.13 中，積分電容 C_{EQ} 分別為 8pF 、 16pF 、 32pF 與 64pF ，其頻寬與增益 K_C 值成反比。如圖 4.14 所示，為相對圖 4.13 之一階低通濾波器相位圖，由相位位移圖可知，此一階低通濾波器之工作範圍可達約 11MHz 。

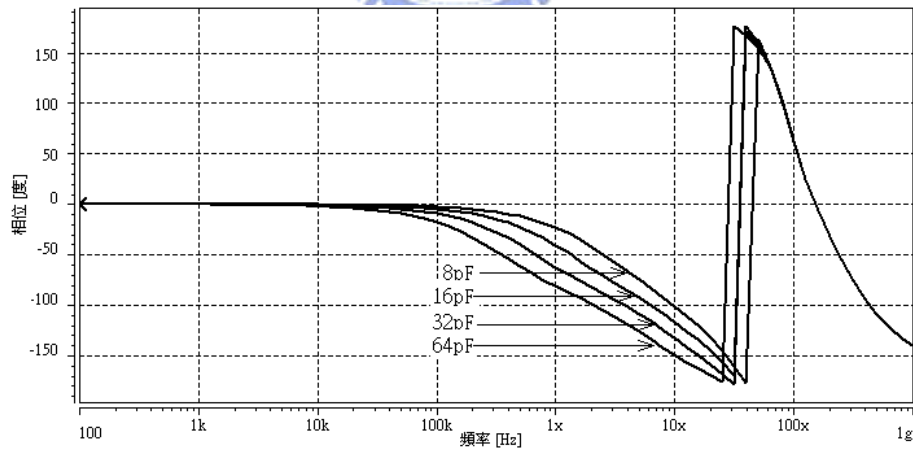


圖 4.14 一階低通濾波器相位圖(改變 K_C)

4.3.2 二階濾波器

二階濾波器可由三組可配置類比方塊組合實現，如圖 4.15 所示，其詳盡之原理與推導可參見第二章之 2.4.3 節，因此根據(2.110)式，二階濾波器之轉移函數可表示為

$$\frac{V_o}{V_i} = \frac{\frac{C_{3EQ}}{C_{2EQ}}s^2 + \frac{G_{m4}}{C_{2EQ}}s + \frac{G_{m2}G_{m3}}{C_{1EQ}C_{2EQ}}}{s^2 + \frac{G_{m5}}{C_{2EQ}}s + \frac{G_{m1}G_{m2}}{C_{1EQ}C_{2EQ}}} \quad (4.12)$$

由(4.12)式可知，當積分電容 $C_{3EQ}=0$ 且轉導器 $G_{m4}=0$ 時，(4.12)式可改寫為二階低通濾波器之轉移函數，其轉移函數如(4.13)式所示，因此同樣可藉由 CAB 的組合，實現二階低通濾波器，如圖 4.16 所示。

$$\frac{V_o}{V_i} = \frac{\frac{G_{m2}G_{m3}}{C_{1EQ}C_{2EQ}}}{s^2 + \frac{G_{m5}}{C_{2EQ}}s + \frac{G_{m1}G_{m2}}{C_{1EQ}C_{2EQ}}} \quad (4.13)$$

另外，由(4.12)式亦可知，當積分電容 $C_{3EQ}=0$ 且轉導器 $G_{m3}=0$ 時，(4.11)式可改寫為二階帶通濾波器之轉移函數，其轉移函數如(4.14)式所示。亦可藉由圖 4.16 實現二階帶通濾波器，如圖 4.17 所示。

$$\frac{V_o}{V_i} = \frac{\frac{G_{m4}}{C_{2EQ}}s}{s^2 + \frac{G_{m5}}{C_{2EQ}}s + \frac{G_{m1}G_{m2}}{C_{1EQ}C_{2EQ}}} \quad (4.14)$$

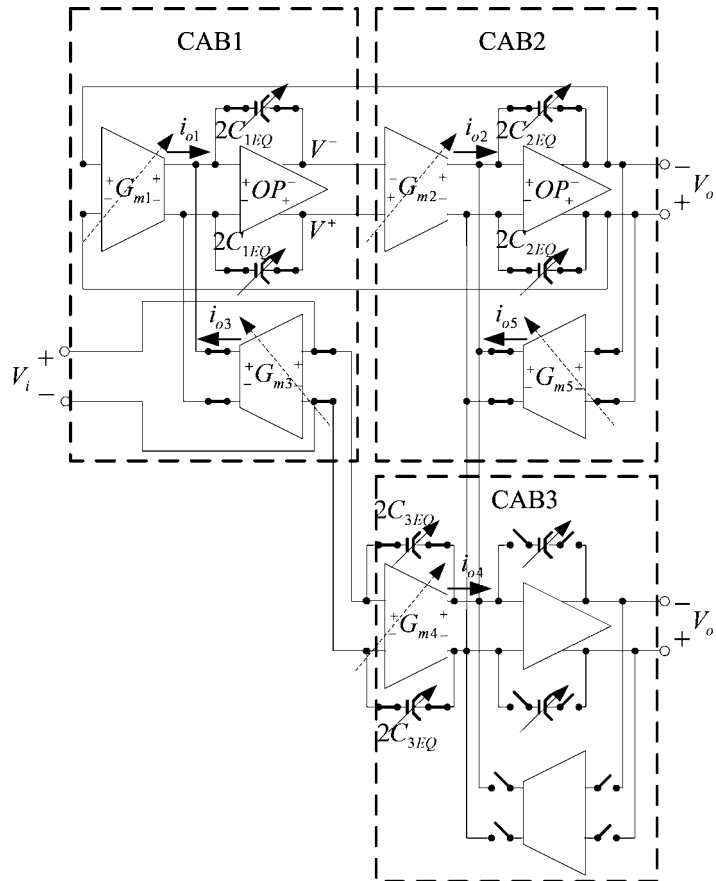


圖 4.15 二階濾波器

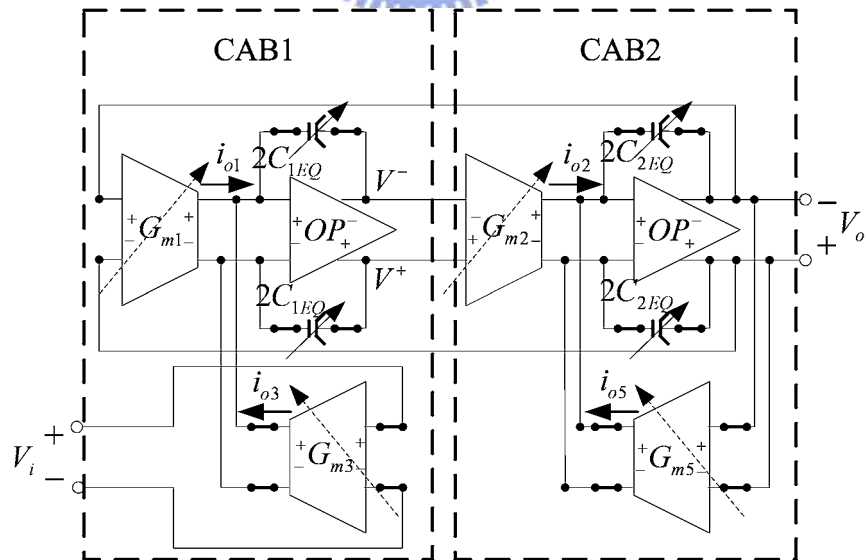


圖 4.16 二階低通濾波器

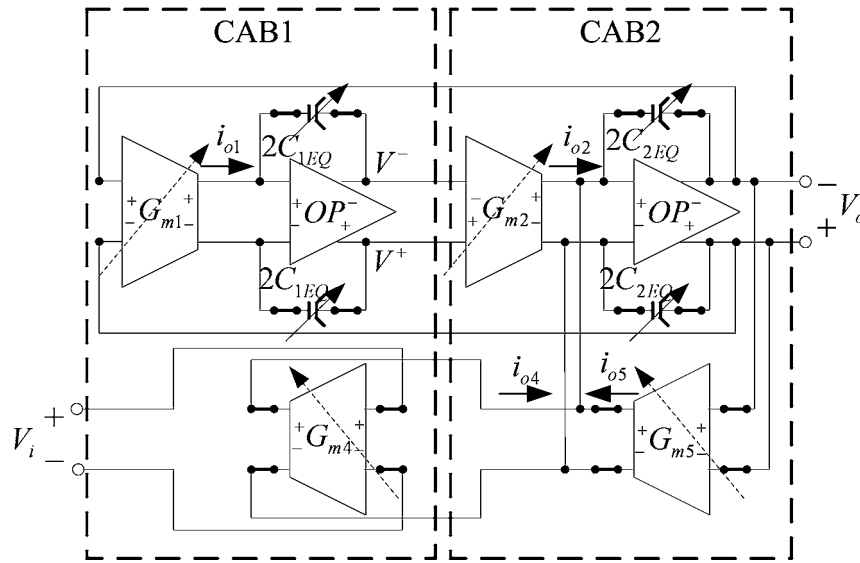


圖 4.17 二階帶通濾波器

由(4.13)與(4.14)式可知，其具有相同之特徵方程式，故可改寫為

$$s^2 + \frac{G_{m5}}{C_{2EQ}}s + \frac{G_{m1}G_{m2}}{C_{1EQ}C_{2EQ}} = s^2 + 2\frac{\omega_n}{Q}s + \omega_0^2 \quad (4.15)$$

經比較係數後經整理可得中心頻率(Center Frequency) ω_0 與品質因素 Q

$$\omega_0 = \sqrt{\frac{G_{m1}G_{m2}}{C_{1EQ}C_{2EQ}}} \quad (4.16)$$

$$Q = 2\sqrt{\left(\frac{G_{m1}G_{m2}}{G_{m5}^2}\right)\left(\frac{C_{2EQ}}{C_{1EQ}}\right)} \quad (4.17)$$

為便於可程式化之分析，可將(4.1)與(4.2)式之轉導器之電流鏡陣列增益 K_M 與電容陣列增益 K_C 代入(4.16)與(4.17)式中。如圖 4.19 所示，為二階低通濾波器增益模擬圖，其中高頻時增益衰減，其漸近線斜率為-40dB/decade。此外，由於本模擬圖之轉導值皆相同， C_{1EQ} 與 C_{2EQ} 等量的變化，即 $C_{1EQ}=C_{2EQ}=K_C C_0$ ，因此代入(4.17)式中， $Q=2$ ， Q 不隨 K_C 的調整而改變，因此頻率響應之尖峯值皆相同，然而由(4.16)式知，其電容陣列增益 K_C 與中心頻率 ω_0 成反比。如圖 4.18 所示，二階低通濾波器之工作範圍可達約 11MHz。

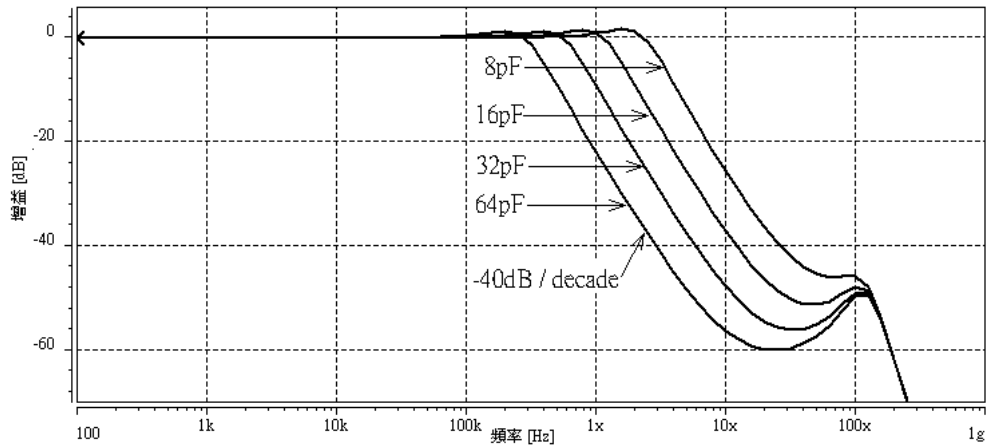


圖 4.18 二階低通濾波器增益圖(改變極點位置)(改變 K_C)

如圖 4.19 所示，為二階帶通濾波器增益圖模擬圖，其中在低頻與高頻時增益衰減，其漸近線斜率分別為 20dB/decade 與 -20dB/decade 。品質因素 Q 決定了帶通濾波器三分貝頻寬的大小，因此當 Q 增加時，三分貝頻寬將下降，使得濾波器更具有選擇度。若考慮圖 4.17 中之轉導值與電容陣列皆相同的情形下，由(4.17)式知，此時 $Q=2$ 。且由(4.16)式知，藉由降低電容陣列之增益 K_C 可而使中心頻率 ω_0 移往高頻，其結果如圖 4.20 所示。

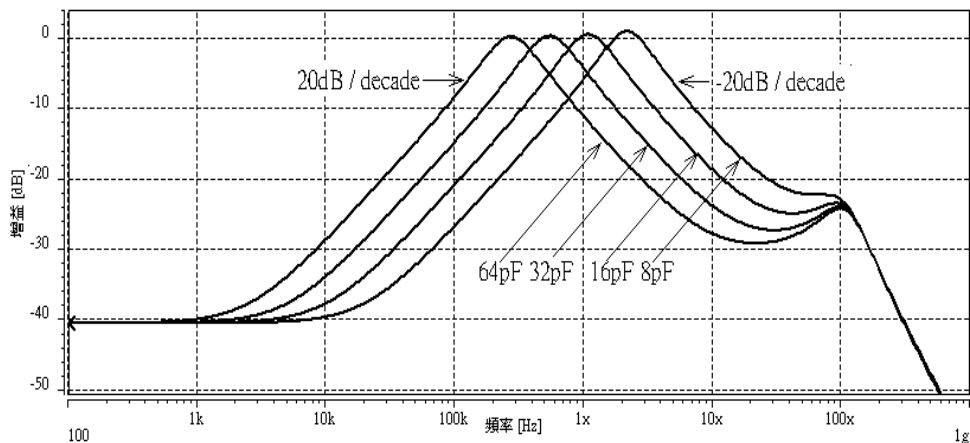


圖 4.19 二階帶通濾波器增益圖(改變極點位置)(改變 K_C)

由圖 4.19 可知為改變極點位置之二階帶通濾波器增益模擬圖，若考慮品質因素 Q 對於頻寬的影響，為維持中心頻率不變的情形下，由(4.16)與

(4.17)式可知，固定所有之轉導值，在 C_{IEQ} 與 C_{2EQ} 之乘積維持定值的前題下，分別改變等效電容 C_{IEQ} 與 C_{2EQ} 之值，則可調整品質因素 Q 之數值。如圖 4.20 所示，為二階帶通濾波器改變品質因素 Q 之增益模擬圖，由圖中可知，當 C_{IEQ} 與 C_{2EQ} 之比值愈大，即 Q 愈大時，頻寬愈窄，表示二階帶通濾波器更具有選擇度。

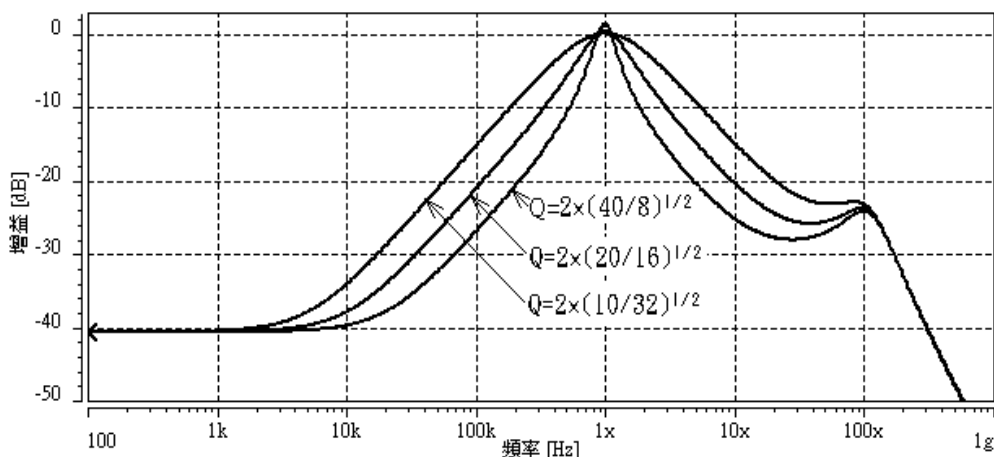


圖 4.20 二階帶通濾波器增益圖(改變 K_C 對品質因素 Q 的影響)

4.4 可程式化類比陣列系統規劃

綜觀前兩節之設計，利用兩組可配置類比方塊並透過特定的合成法則，可達成數種多功能之類比電路。如圖 4.21 所示，為可程式化類比陣列之系統開關規劃方塊圖，為易於分析連線開關，則將全差動式電路改以單端電路表示，其中包含兩組可配置類比方塊與互聯網路電路之類比開關。積分、微分與濾波器等電路之開關與腳位規劃表分別如表 4.1 與 4.2 所示。

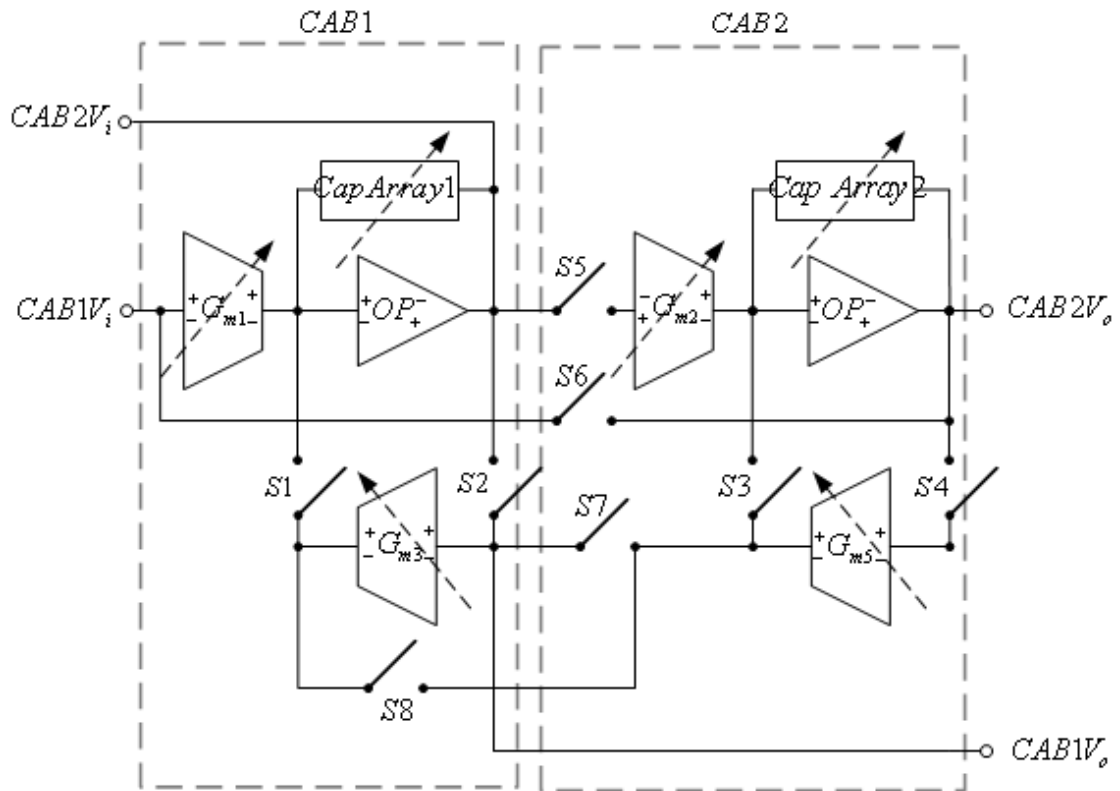


圖 4.21 FPAA 系統規劃方塊圖

表 4.1 FPAA 系統開關規劃

功能 \ 開關	S1	S2	S3	S4	S5	S6	S7	S8
積分器 CAB1	off	on	off	off	off	off	off	off
積分器 CAB2	off	off	off	off	on	off	off	off
微分器	on	off	off	on	on	off	off	on
一階低通濾波器 CAB1	on	on	off	off	off	off	off	off
一階低通濾波器 CAB2	off	off	on	on	on	off	off	off
二階低通濾波器	on	off	on	on	on	on	off	on
二階帶通濾波器	off	off	on	on	on	on	off	on

表 4.2 FPAA 系統腳位規劃

功能 \ 腳位	CAB1Vi	CAB2Vi	CAB1Vo	CAB2Vo
積分器 CAB1	input		output	
積分器 CAB2		input		output
微分器	input	output		
一階低通濾波器 CAB1	input		output	
一階低通濾波器 CAB2		input		output
二階低通濾波器			input	output
二階帶通濾波器			input	output

由圖 4.22 可知，互連兩組可配置類比方塊需 8 組開關 S1~S8。若假設每組轉導器內部之可程式化電流鏡陣列需 4 組開關，可程式化電容陣列也需 4 組開關，在圖 4.22 中有 4 組轉導器，2 組可程式化電容陣列，則圖 4.22 中之可程式化類比陣列共有 32 組開關。開關之多寡決定系統可規劃的能力，然而 1 組開關可視為 1 位元，因此 32 組開關即為 32 位元，開關切換之數位控制上可透過查表(Look-up table，簡稱 LUT)的方法，將欲達成特定的功能電路的開關參數儲存在 RAM 中，藉由 LUT 利用簡單且快速之演算方法輸出相對映的位址，即可決定可程式化類比陣列系統內部開關導通與否以合成所設計之類比電路。

可程式化類比陣列 FPAA 提供類比電路設計者具有原型製作 (prototyping) 與可重新配置的特性，使得設計者可輕易進行修改與設計，而不需實際變動硬體元件。綜觀本論文第三章之 FPAA 電路設計，與第四章之 FPAA 電路應用，本節於最後提出完整之可程式化類比陣列 FPAA 之系統配置規劃流程圖，當配置規劃完成，本可程式化類比陣列 FPAA 便可操作使用。

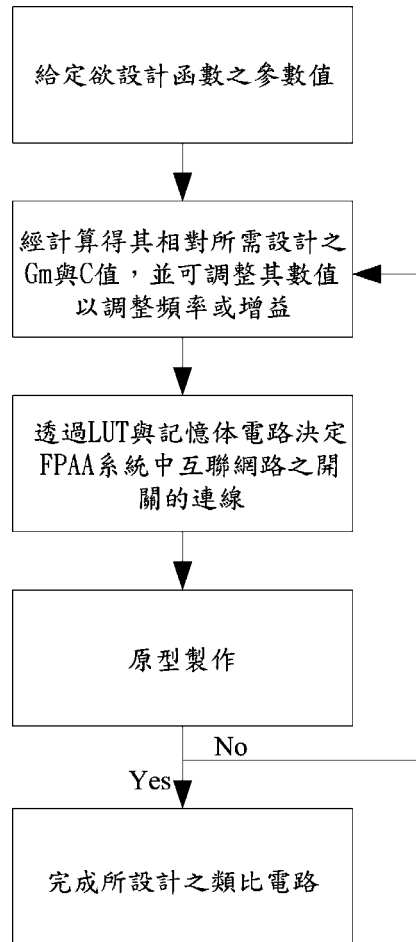


圖 4.22 FPAA 系統配置規劃流程圖

第五章

下線晶片之佈局與量測

5.1 前言

為驗證可程式化類比陣列之電路可規劃的功能，本章根據第三章所設計模擬之電路，在實體電路佈局的考量下，設計下線之晶片電路，包含轉導器、運算放大器、偏壓電路與簡易型的 FPAA 系統，其中包含一組 CAB 與外部互聯網路電路之類比開關與暫存器電路。透過第四章所提的控制機制，量測可程式化類比陣列以實現不同功能的函數，並經由類比與數位調整的方式，驗證可程式化類比陣列對功能函數之參數的調整能力。本章第一節說明本論文晶片佈局上所使用的方法與介紹下線晶片之電路圖與佈局圖，第二節為晶片量測的結果。

5.2 下線晶片之電路與佈局圖

在晶片設計中，最後階段為實體電路佈局，由於製程因素的影響，常造成設計之晶片產生無法預期的電路行為。因此在實際晶片電路佈局前，對於佈局的規劃，則需做妥善的安排。在實體晶片之佈局規劃上，除了具有可配置類比方塊做為本論文下線之主要驗證電路外，亦包括轉導器、運算放大器、偏壓電路與暫存器之離散子電路，以便於驗證離散電路之功能。晶片則採用 TSMC 0.35 μ m Mixed Signal 2P4M (5V) 製程，且由國家晶片系統設計中心(CIC)以完成晶片下線製作。

5.2.1 佈局考量

本論文下線晶片除了類比電路外，亦包含暫存器之數位電路。因此在電路實體佈局考量上，需考量數位訊號對類比訊號所造成的影響。因此本電路在佈局則依循下列之方法[36] [37]：

(A) 元件佈局

由於製程變異(Process Variation)，容易產生晶圓上電路元件及連線尺寸形狀的變異，可能造成無法預期的電路行為。因此對於全差動式電路的等設計上，為了考慮匹配對稱性的問題，一般常用同心圓 (Common Centroid) 或是交指式 (Interdigitized) 方式佈局，以降低共模雜訊與偶次諧波之非線性效應。如圖 5.1 所示，為運算放大器輸入級差動對電晶體 M1 與 M2 之佈局，分別於圖中標明 1 與 2 表示同心圓與交指式的佈局方式。此外，在電容的佈局上，可透過單位電容並聯的方式，採用同心圓方式的佈局，並於電路旁邊擺至虛擬電路(Dummy Device)以有效降低製程變異所造成的誤差，如圖 5.2 所示，為本電路之電容佈局。

元件除了匹配的考量外，還須留意雜訊干擾的影響。一般而言，類比電路需加大與數位電路的距離，以免受數位訊號相互干擾。此外可於元件或電路外圍藉由防護圈(Guard Ring)以降低雜訊與門鎖效應(Latch up)的發生。圖 5.1 與 5.2 中，外圍之方框即為防護圈。

(B) 走線佈局

由於電路中包含轉導器與運算放大器之類比電路，也包含暫存器之數位電路。因此對於混合訊號之電路而言，類比電路需精準之電壓準位，且不受外來雜訊的干擾。然而在數位電路上，時脈電路的切換是雜訊最大的來源，所以一般把類比與數位電路的供應電壓端 V_{DD} 與接地端 Gnd 分開且獨立，以將干擾降至最低。

此外，在佈局走線上，由於每層金屬走線之間會有雜散電容的存在，

當一對訊號線平行並列，如果只有其中一條導線有訊號通過，其所產生之電磁現象，就會干擾另一條導線，此即所謂受耦合電容之串音效應(Cross Talk)，此將造成訊號走線延遲的主要原因，而造成功能的錯誤。因此在佈局上盡量避免任何訊號線跨過電容，以避免不必要的雜訊干擾。

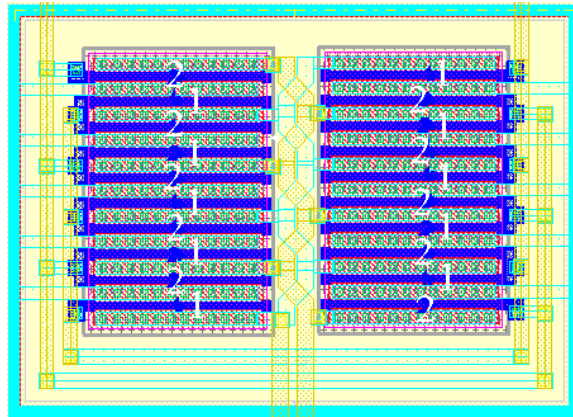


圖 5.1 同心圓與交指式佈局方式

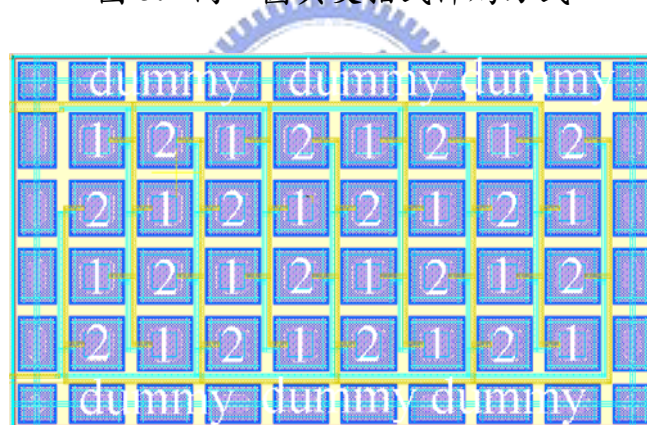


圖 5.2 交指式電容佈局

5.2.2 參考源

下線之寬振幅固定轉導偏壓電路圖為根據 3.6.1 節所設計，電路圖如圖 5.3 所示，其中模擬規格表可參見表 5.1，佈局圖如圖 5.4 所示。圖 5.3 中之電阻 R_B 為 $5k\Omega$ ，因此圖 5.4 中佈局則採用 poly2 以實現 $5k\Omega$ 之電阻。

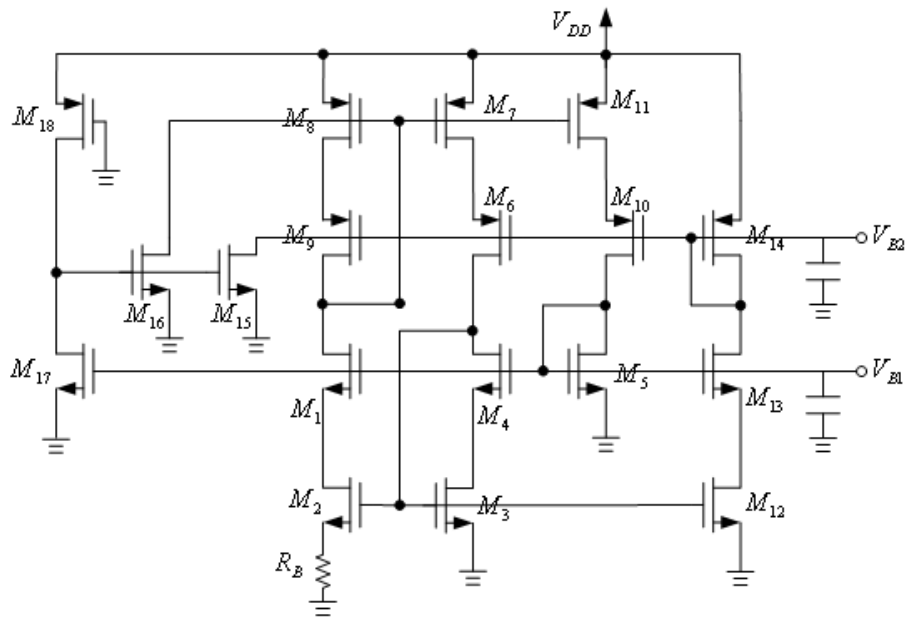


圖 5.3 寬振幅之固定轉導偏壓電路圖

表 5.1 寬振幅固定轉導偏壓電路模擬規格表

電壓 \ 溫度	室溫 27°C	0°C ~ 50°C 電壓變動量
V_{B2}	3.52V	20mV
V_{B1}	1.07V	10mV

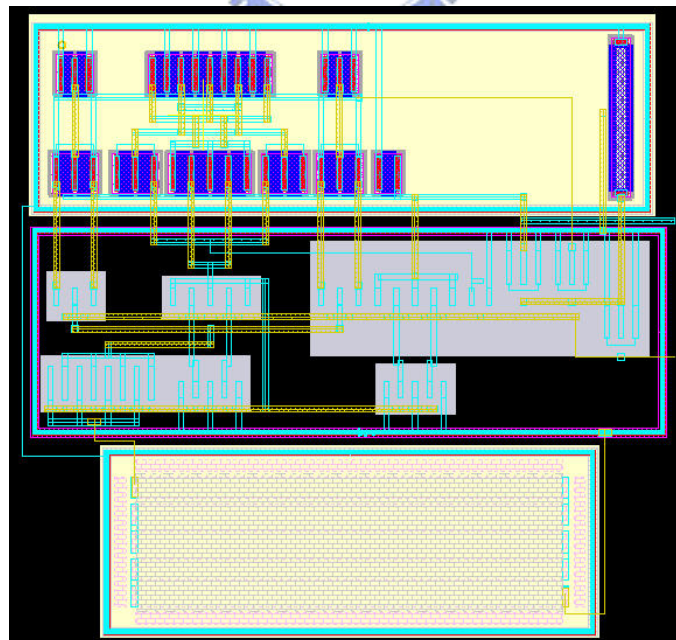


圖 5.4 寬振幅之固定轉導偏壓佈局圖

5.2.3 運算放大器

下線之運算放大器為根據 3.5 節之設計，電路圖如圖 5.5 示，其中模擬規格表可參見表 5.2，佈局圖如圖 5.6 示。圖 5.6 中之補償電容佈局方式則如圖 5.2 所示之交指式電容佈局

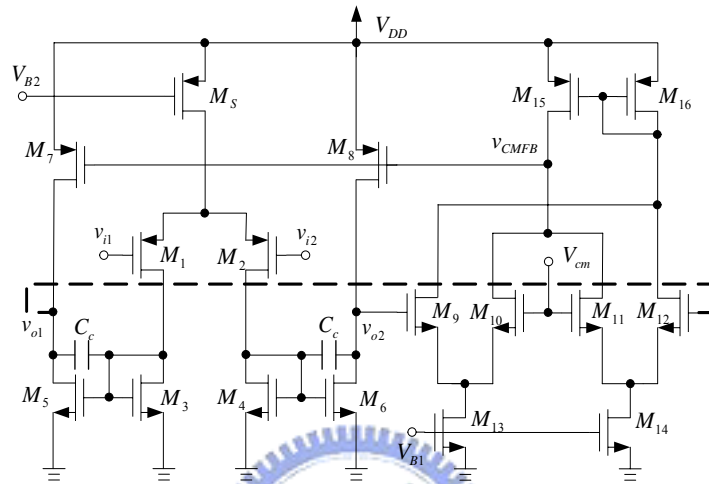


圖 5.5 運算放大器電路圖

表 5.2 下線之運算放大器模擬規格表

差動增益	40.04dB
單位增益頻寬	147.65MHz
相位邊限	60°
共模增益	-81.4dB
共模互斥比	121.44dB

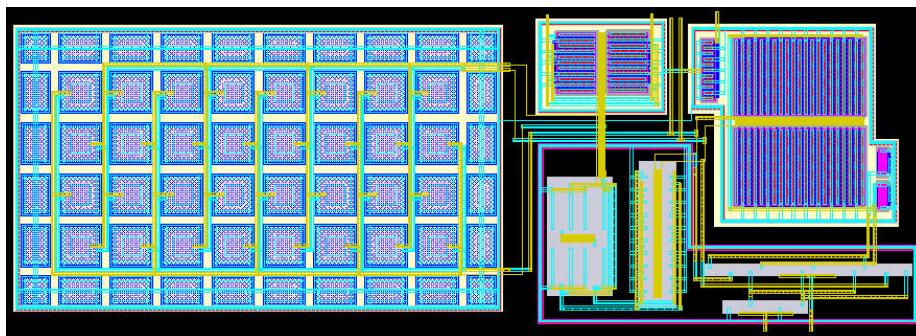


圖 5.6 運算放大器佈局圖

5.2.4 轉導器

下線之轉導器為根據 3.4 節所設計之改良型轉導器，電路圖如圖 5.7 示，其中設計一組切換開關以使轉導器輸出差動電流有 1 倍與 2 倍的選擇。模擬器規格表可參見表 5.3，佈局圖如圖 5.8 所示。

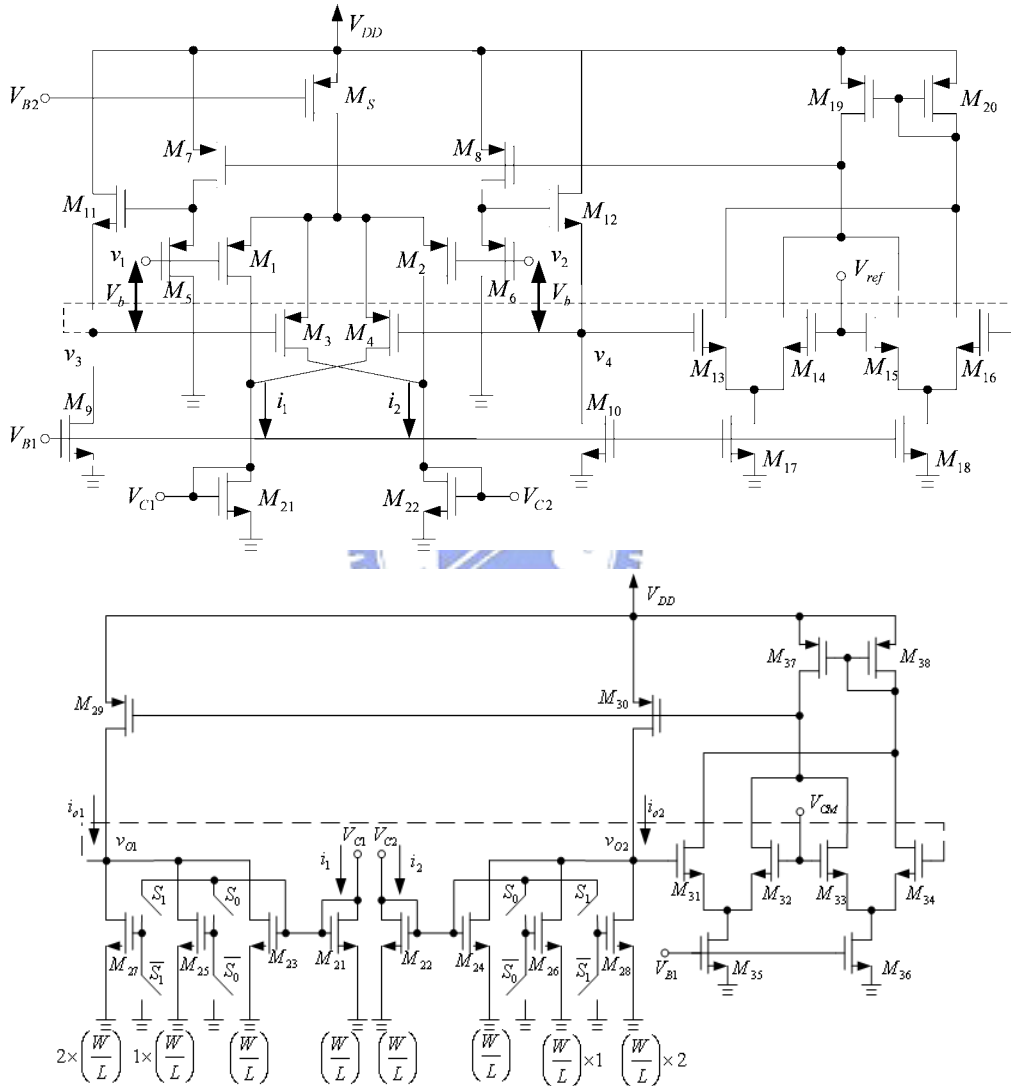


圖 5.7 改良型偏壓補償交錯耦合式轉導器電路圖

表 5.3 改良式偏壓補償交錯耦合式轉導器模擬規格表

改良型轉導器	電流鏡增益 $K_M=1$	電流鏡增益 $K_M=2$
轉導值@ $V_{ref}=1.8V$	$49\mu A/V$	$98\mu A/V$

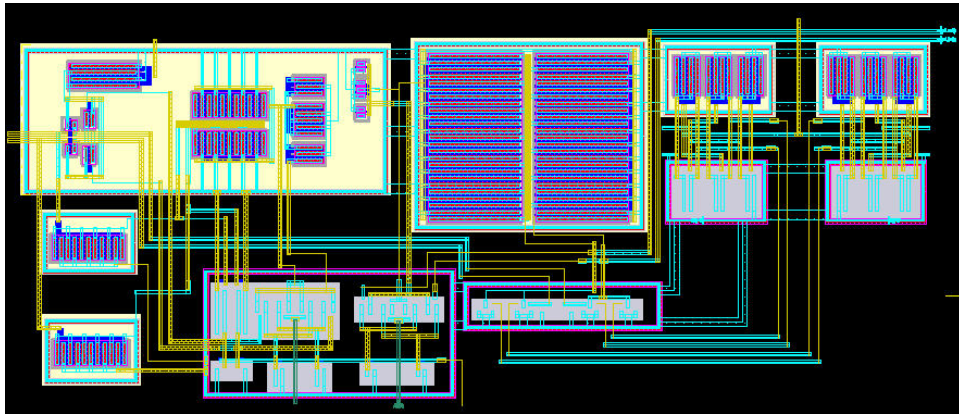


圖 5.8 改良型偏壓補償交錯耦合式轉導器佈局圖

5.2.5 暫存器與開關

下線之暫存器與類比開關為根據 3.6.3 與 3.6.2 節之設計，電路示意圖如圖 5.9 示，佈局圖如圖 5.10 所示

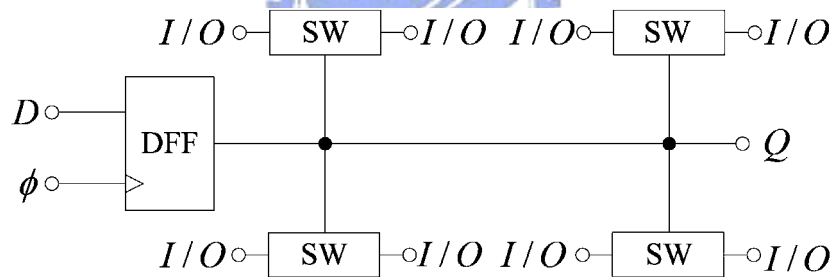


圖 5.9 暫存器與開關示意圖

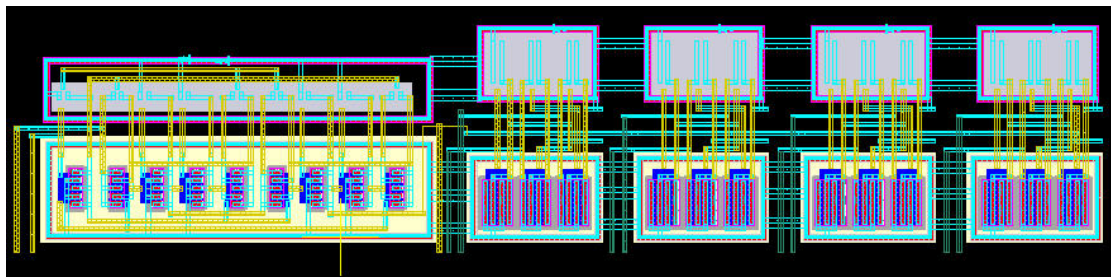


圖 5.10 暫存器與開關佈局圖

5.2.6 下線晶片整體佈局圖

下線之晶片包含轉導器、運算放大器、偏壓電路、類比開關與暫存器電路，以及簡易型之可程式化類比陣列，整體晶片佈局圖如圖 5.11 所示。

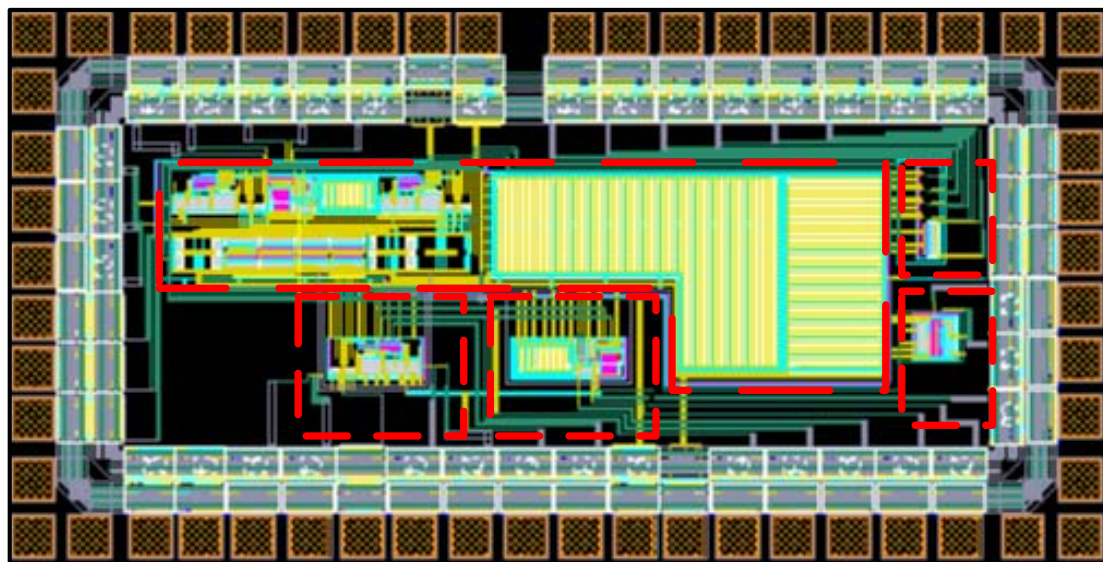


圖 5.11 下線晶片佈局圖

5.3 下線晶片之量測結果

5.3.1 量測參考源

寬振幅固定轉導偏壓電路在設計上有兩組偏壓端點，提供轉導器與運算放大器 P 型與 N 型電流鏡之偏壓準位，其中偏壓電壓分別為 V_{B2} 與 V_{B1} 。如圖 5.12(a)與(b)分別為偏壓電壓 V_{B2} 與 V_{B1} 之量測波形圖，圖中橫軸為電壓，每格為 1V，在室溫 27°C 量測結果分別為 3.523V 與 1.176V，而模擬結果分別為 3.52V 與 1.07V，因此量測結果與設計模擬之誤差約小於 70mV。由量測結果可知，所設計的偏壓電路已能滿足論文中 FPAA 的需

求，量測與模擬規格比較結果如表 5.4 所示。

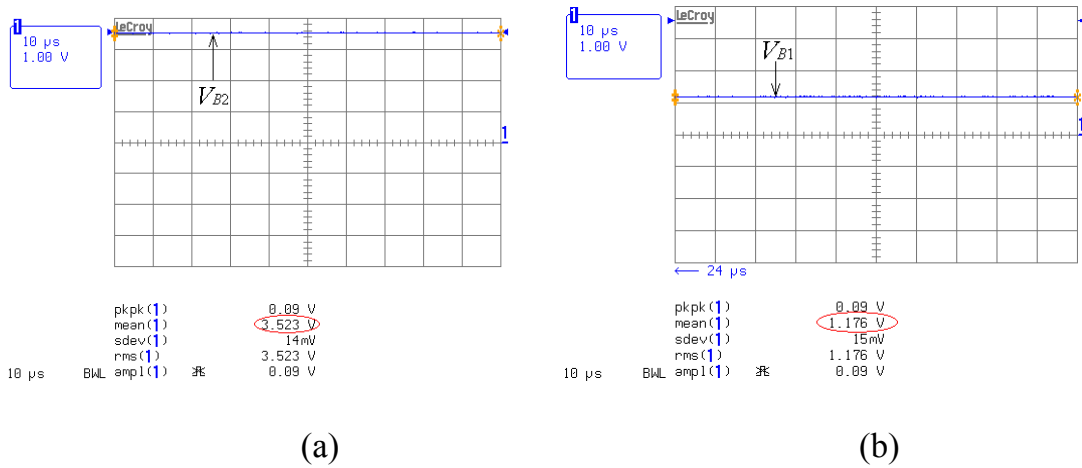


圖 5.12 寬振幅固定轉導偏壓電路量測波形圖(a) V_{B2} (b) V_{B1}

表 5.4 寬振幅固定轉導偏壓電路量測與模擬比較表

電壓 \ 溫度	量測@27°C	模擬@27°C
V_{B2}	3.523V	3.52V
V_{B1}	1.176V	1.07V

5.3.2 量測運算放大器

論文中所設計之雙端輸入雙端輸出差動運算放大器操作直流準位在 2V，為測試差動運算放大器可否正常操作，藉由在運算放大器之輸入、輸出端跨接電阻做為反相放大器，驗證運算放大器放大倍率是否與電阻比例相吻合，量測電路如圖 5.13(a)與(b)所示。

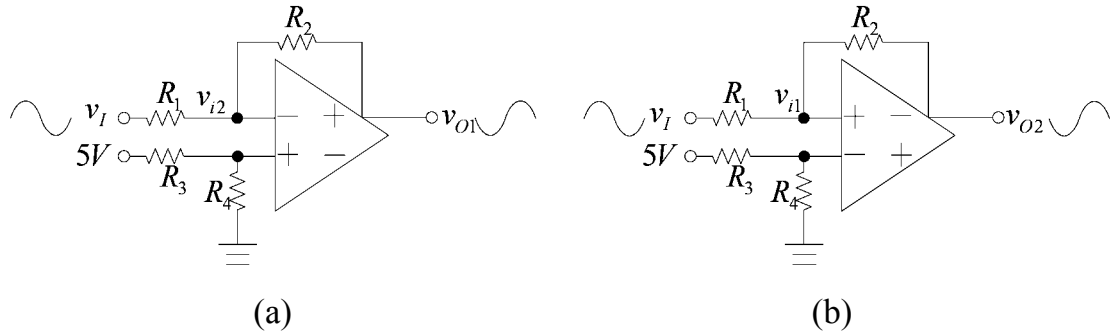


圖 5.13 反相放大器 (a)負端輸入 (b)正端輸入

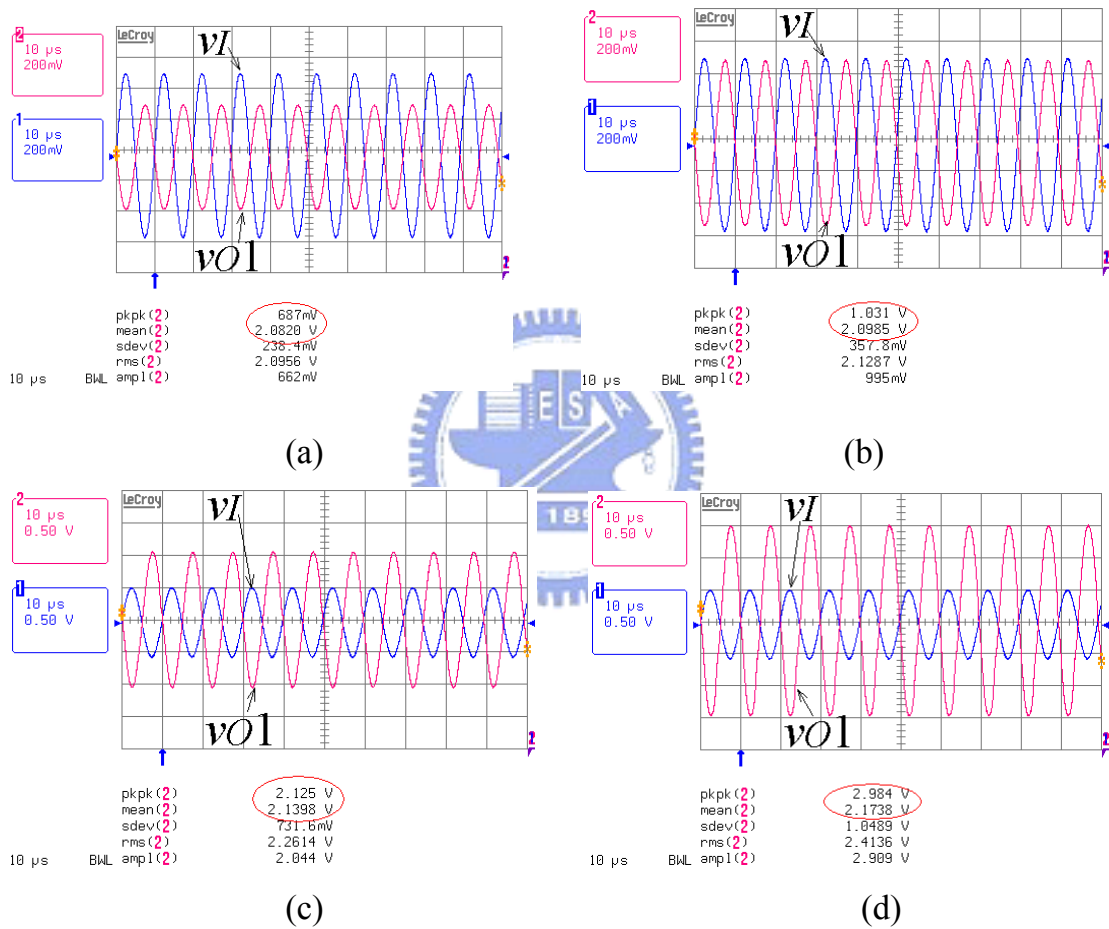


圖 5.14 反相放大器輸出倍率量測波形圖 (a)0.7倍(b)1倍(c)2倍(d)3倍

由於圖 5.13(a)與(b)互為對稱，因此僅就圖 5.13(a)加以分析。如圖 5.13(a)所示，電阻 R_3 與 R_4 分別為 $33\text{k}\Omega$ 與 $22\text{k}\Omega$ 使得運算放大器輸入正端恰分壓在 2V，電阻 R_2 跨接於運算放大器使得兩輸入端具有虛短路的情況下，輸出訊號 v_{O1} 對輸入訊號 v_I 之增益可寫為

$$\frac{v_{O1}}{v_I} = -\frac{R_2}{R_1} \quad (5.1)$$

由(5.1)式可知，固定 R_1 改變 R_2 ，量測輸出波形是否隨電阻等比例放大，並觀察輸出偏壓準位是否正確。圖 5.14(a)~(d)所示為量測波形圖，其中輸入訊號為峰對峰值 V_{p-p} 為 1V，頻率 50KHz 之正弦波，固定 R_1 為 33k Ω ，分別改變 R_2 為 22 k Ω 、33 k Ω 、68 k Ω 與 100 k Ω ，使得輸出反相放大倍率分別為 0.7 倍、1 倍、2 倍與 3 倍。同樣的，改變 R_2 情況下量測如圖 5.13(b) 之反相放大器，所得之數據與 5.13(a)做比較，經整理可得如表 5.5 所示。

表 5.5 運算放大器量測與模擬比較表($v_{L_DC}=2V$, $v_{L_Vp-p}=1V$, $freq=50KHz$)

參數 \ 放大倍率	圖 5.12(a)量測 v_{O1}				圖 5.12(b)量測 v_{O2}			
	倍率 0.6 倍	倍率 1 倍	倍率 2 倍	倍率 3 倍	倍率 0.6 倍	倍率 1 倍	倍率 2 倍	倍率 3 倍
$R_1[\Omega]$	33k	33k	33k	33k	33k	33k	33k	33k
$R_2[\Omega]$	22k	33k	68k	100k	22k	33k	68k	100k
輸出準位 量測值[V] (理想為 2V)	2.08	2.10	2.14	2.17	2.06	2.07	2.08	2.08
輸出 V_{p-p} [V] 之模擬值	0.67	1	2.06	3.03	0.67	1	2.06	3.03
輸出 V_{p-p} [V] 之量測值	0.69	1.03	2.13	2.98	0.69	1.01	2.00	2.72

運算放大器之雙輸出端 v_{O1} 與 v_{O2} 由於受共模回授路之影響，因此理論上能準確平衡在設計值 2V，由 5.5 表中可實際量測知 v_{O1} 與 v_{O2} 之 DC 直流準位的確能維持在 2V 附近，誤差約有 0.1V 左右。此外由量測比較表可知當 $V_{p-p}=1V$ 之小訊號輸入時，所設計的運算放大器可依電阻比例放大，且與模擬值相比，誤差非常小。

5.3.3 量測積分器與轉導器

轉導值的定義為輸出差動電流相對輸入差動電壓之值，在實際晶片轉導器量測上，有其困難度。而在論文中採用 G_m -C Opamp 架構，此架構在轉導器輸出級串接運算放大器構成米勒積分器，因此可透過積分器輸出電壓，反推流經積分電容之轉導器輸出電流，進而推算出此即可得轉導器之轉導值。

在晶片中離散之轉導器量測上，先將轉導器與運算放大器串接，並於運算放大器輸出端跨接 100pF 之積分電容，電路示意圖如圖 5.15 所示。

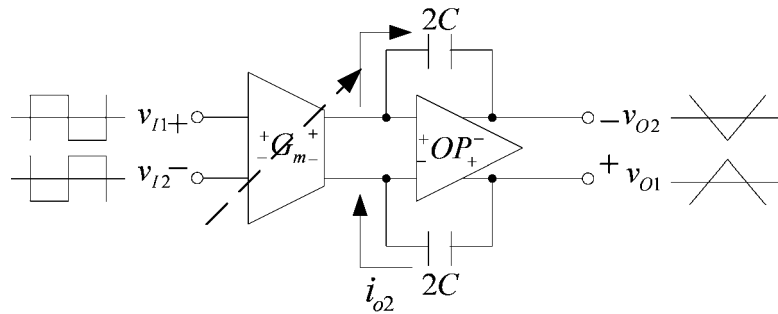
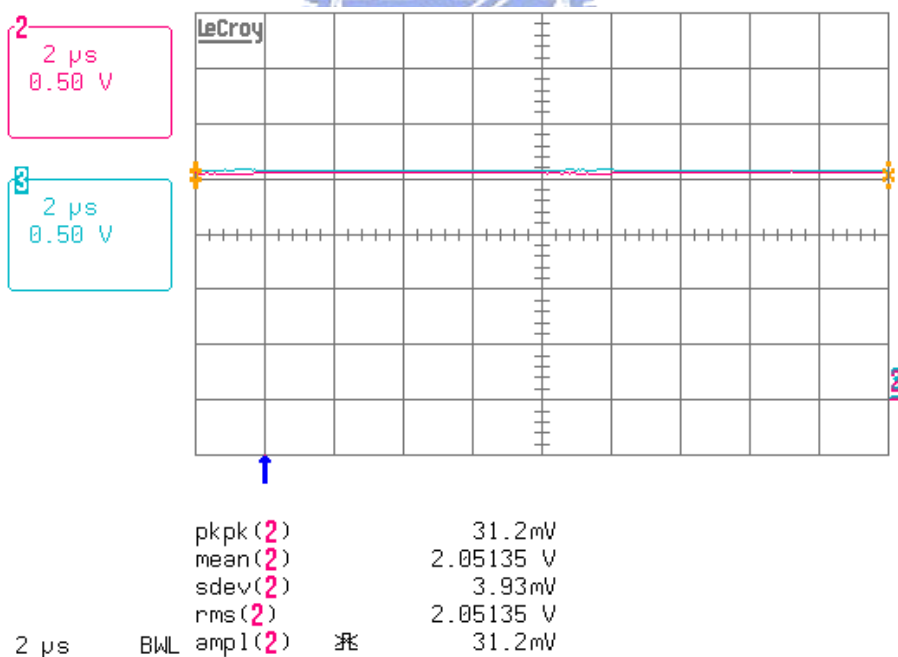
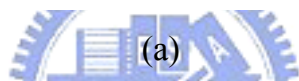
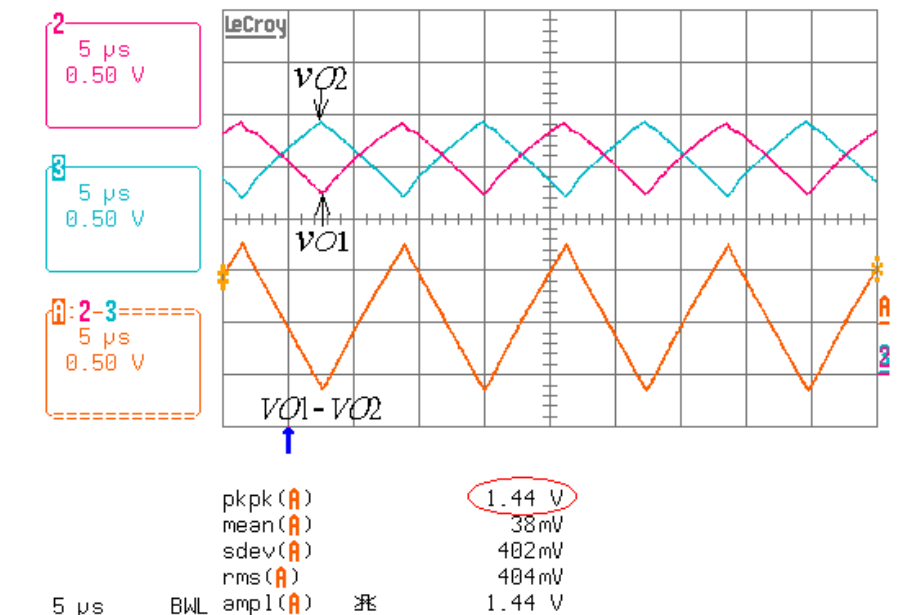


圖 5.15 轉導器串接運算放大器之積分器示意圖

由於轉導器具有一組開關，可選擇轉導器輸出差動電流為 1 倍或是 2 倍電流輸出(即數位式可調增益 $K_M=1$ 或 2)。此外，轉導器參考電壓 V_{ref} 設定在 1.8V ，輸入峰對峰值為 0.2V ，頻率為 150KHz 之差動方波，量測結果如圖 5.16 所示，其中圖 5.16(a)為輸出雙端電壓與差動電壓，圖 5.16(b)為運算放大器輸出端虛短路之波形圖。

欲求晶片中轉導器之輸出差動電流，可由圖 5.16(a)中輸出差動電壓 $v_{O1}-v_{O2}$ 之曲線求得。由於轉導器為全差動式電路，由圖中知輸出差動電壓的 $V_{p-p}=1.44\text{V}$ ，此外輸入頻率為 150KHz ，因此其三角波半週期為 $3.3\mu\text{s}$ 。代入 $C\Delta v=i_o\Delta t$ 中，經計算可得輸出差動電流 i_o 為 $43.63\mu\text{A}$ 。將 i_o 除上輸入差動電壓 $V_{p-p}=0.4\text{V}$ ，即可得約為 $109\mu\text{A/V}$ 之轉導值。此外，當輸入差動

電壓 $V_{p-p}=0.3V$ ，且頻率為 $20KHz$ ，參考電壓 V_{ref} 分別為 $1.6V$ 、 $1.7V$ ， $1.9V$ 與 $2.0V$ 可量測轉導值是否有隨之改變，輸出差動波形圖如圖 5.17(a)~(d) 所示



(b)

圖 5.16 積分器量測波形圖(a)輸出雙端與差動電壓(b)OP 輸入端虛短路

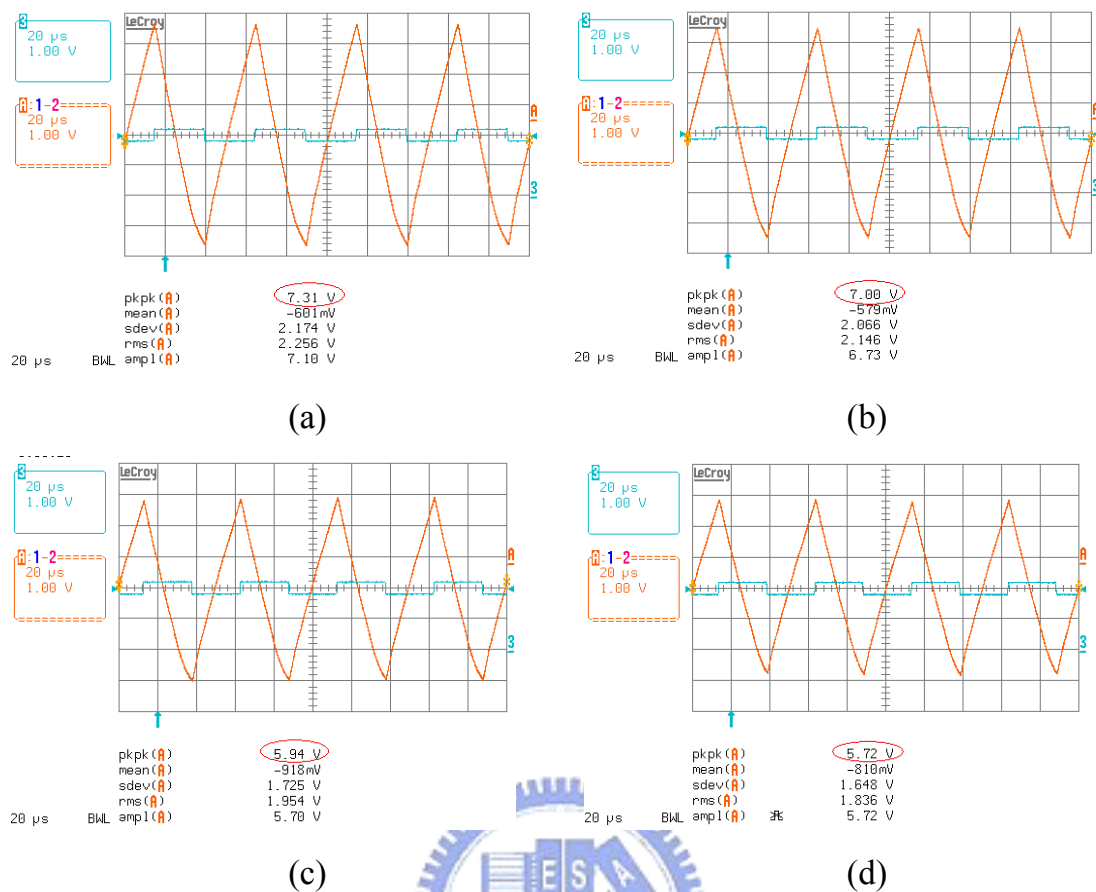
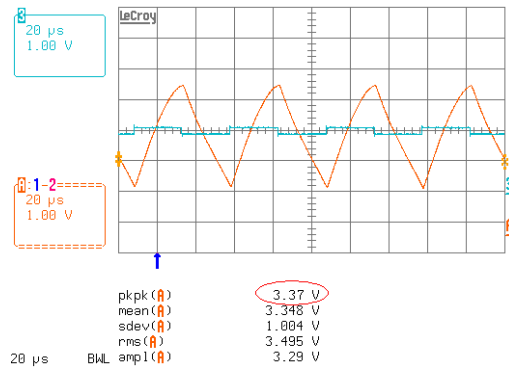
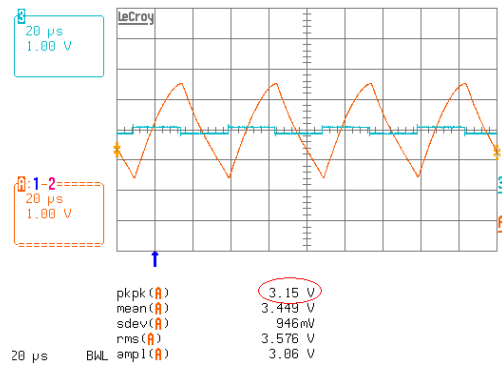


圖 5.17 電流鏡增益 $K_M=2$ 的情況下調整參考電壓 V_{ref} 量測波形圖 (a)1.6V (b) 1.7V(c) 1.8V(d) 1.9V

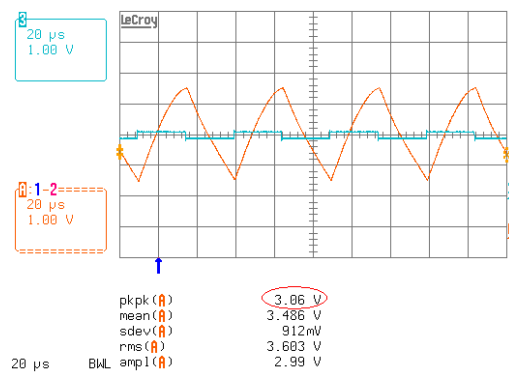
調整轉導器電流鏡控制開關，使得 $K_M=1$ ，在相同條件輸入差動電壓 $V_{p-p}=0.3V$ ，且頻率為 20KHz 下，同樣調整參考電壓 V_{ref} ，由別 1.6V、1.7V、1.8V、1.9V 到 2.0V，量測積分器輸出差動波形，如圖 5.18(a)~(e)所示。



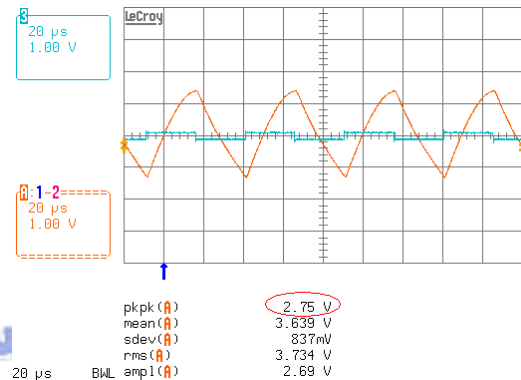
(a)



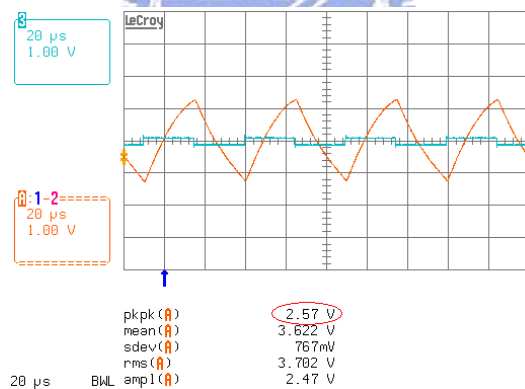
(b)



(c)



(d)



(e)

圖 5.18 電流鏡增益 $K_M=1$ 的情況下調整參考電壓 V_{ref} 量測波形圖 (a)1.6V
(b) 1.7V(c) 1.8V(d) 1.9V(e) 2.0V

由圖 5.17 至圖 5.18 中之 V_{p-p} 數據，經計算可求得可調式轉導器之轉導值，整理後可得 $K_M=2$ 與 $K_M=1$ 時，調整 V_{ref} 之相對轉導值比較表，如表 5.6 所示。

表 5.6 可調式轉導值比較表(積分電容=100pF, v_L Vp-p=0.3V, freq=20KHz)

參考電壓 V_{ref} (V _b)	$K_M=2$		$K_M=1$	
	輸出差動電壓 Vp-p[V]	轉導值計算 [μ A/V]	輸出差動電壓 Vp-p[V]	轉導值計算 [μ A/V]
1.6V(0.4V)	7.31	97.47	3.37	44.93
1.7V(0.3V)	7.00	93.33	3.15	42.00
1.8V(0.2V)	6.72	89.60	3.06	40.80
1.9V(0.1V)	5.94	79.20	2.75	36.67
2.0V(<0.1V)	5.72	76.27	2.57	34.27

由上述量測結果可知，所設計之轉導器電路在實際晶片上，確實能透過數位與類比可調的方式，改變輸出電流的大小。由推導所得之轉導值小於模擬的轉導值，推測可能受雜散電容或是電路佈局等原因所引入之誤差，而造成轉導值輸出電流的下降。



5.3.4 量測一階低通濾波器

在完成運算放大器與轉導器的量測後，可用離散的兩個轉導器與一個運算放大器組成一階低通濾波器，其中運算放大器輸出入端跨接回授電容，調整電容值可改變頻寬之大小。透過簡單連線驗證 CAB 電路的功能，一階低通濾波器示意圖如圖 5.19 所示。

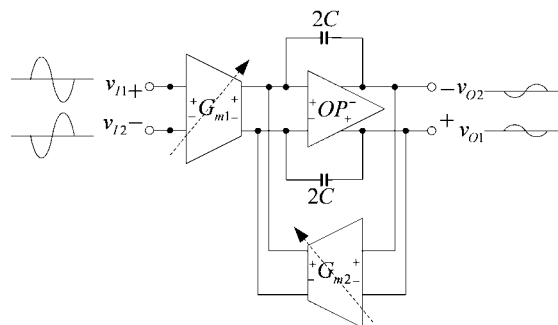


圖 5.19 轉導器與運算放大器組成之一階低通濾波器示意圖

根據(4.11)式，一階低通濾波器之頻寬由回授電容 C 與第二組轉導器所提供的轉導值 G_{m2} 所決定，可增加電容值或是降低轉導值，以縮小頻寬之範圍，使得一階低通濾波器更具有選擇度。

量測過程中，先設定 G_{m1} 與 G_{m2} 之 $K_M=1$ ，並固定參考電壓 V_{ref} 皆為 $1.8V(V_b=0.2V)$ 。更換回授電容 C 以調整一階低通濾波器之工作頻寬，藉由在轉導器 G_{m1} 輸入端輸入峰對峰值為 $0.6V$ 之正旋波，量測濾波器輸出端訊號是否有隨頻率的增加而逐漸衰減。回授電容 C 分別更換為 $8pF$ 、 $15pF$ 、 $22pF$ 與 $100pF$ ，量測輸出波形並經計算與整理，可繪出如圖 5.20 之增益波德圖，藉此驗證組合電路濾波頻寬及其效能。由圖中可觀察出隨著電容值的增加，濾波器之頻寬也隨著縮小，因此可驗證此電路的工作頻寬(極點)與電容大小成反比。此外，仍透過此 4 組電容值，在相同條件下透過 Hspice 繪出模擬增益圖，如圖 5.21 所示，以比較實際晶片中 CAB 的效能是否夠好。

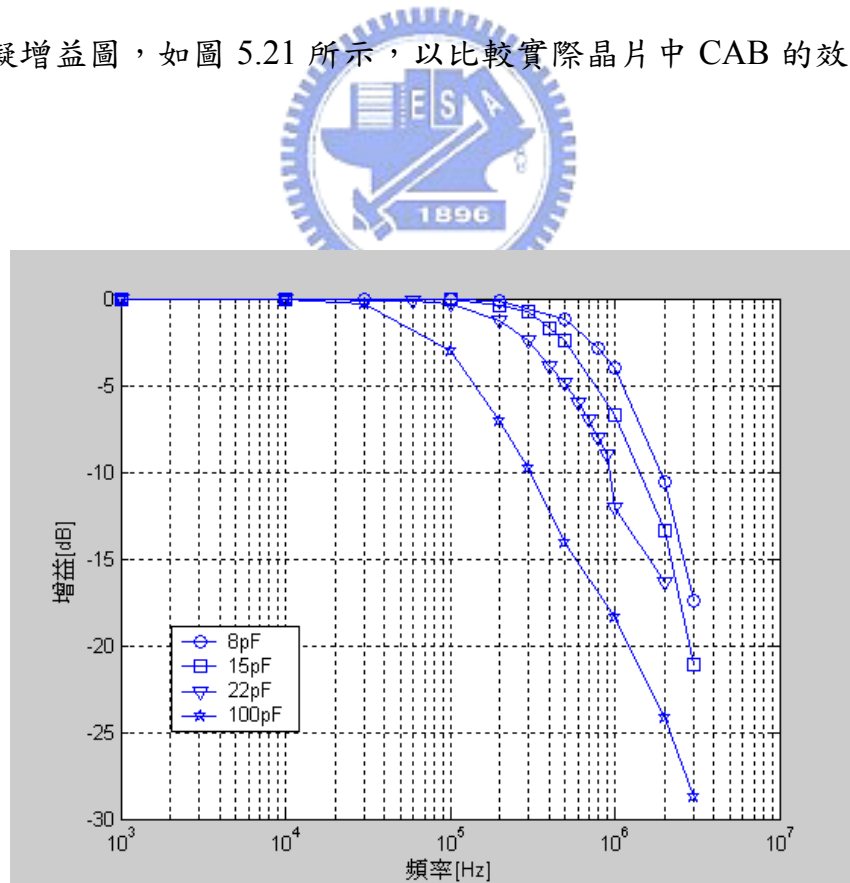


圖 5.20 更換回授電容 $8pF$ 、 $15pF$ 、 $22pF$ 、 $100pF$ 之一階低通濾波器量測增益圖

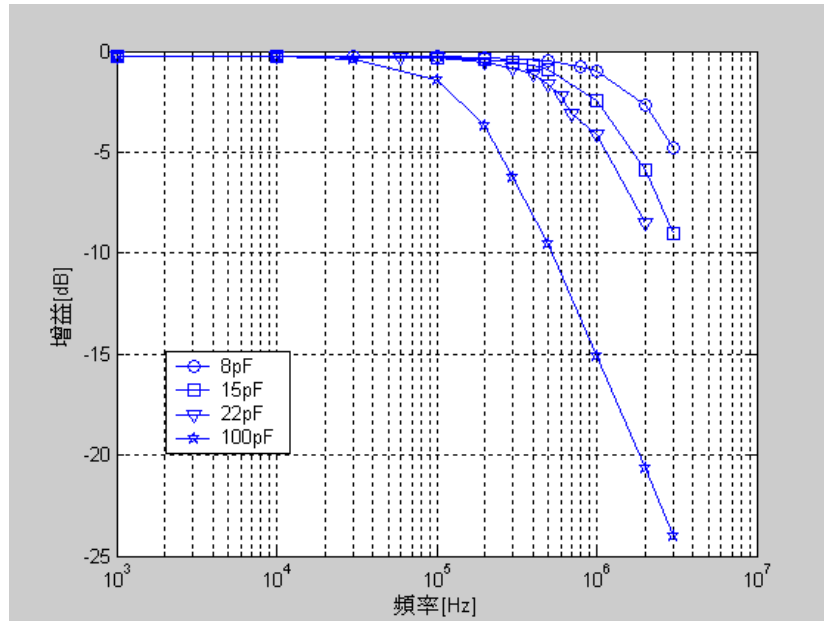


圖 5.21 更換回授電容 8pF、15pF、22pF、100pF 之一階低通濾波器模擬增益圖

由圖 5.20 與 5.21 中，選定 100pF 以分析量測與模擬增益曲線之差異，其增益比較圖如圖 5.22 所示。圖中可知量測頻寬較模擬頻寬縮減，推測可能受到電路內部寄生電容的影響，而造成實際電容值大於模擬時之電容值。此外，轉導值之誤差也是造成濾波器增益圖中，量測頻寬縮減之原因。

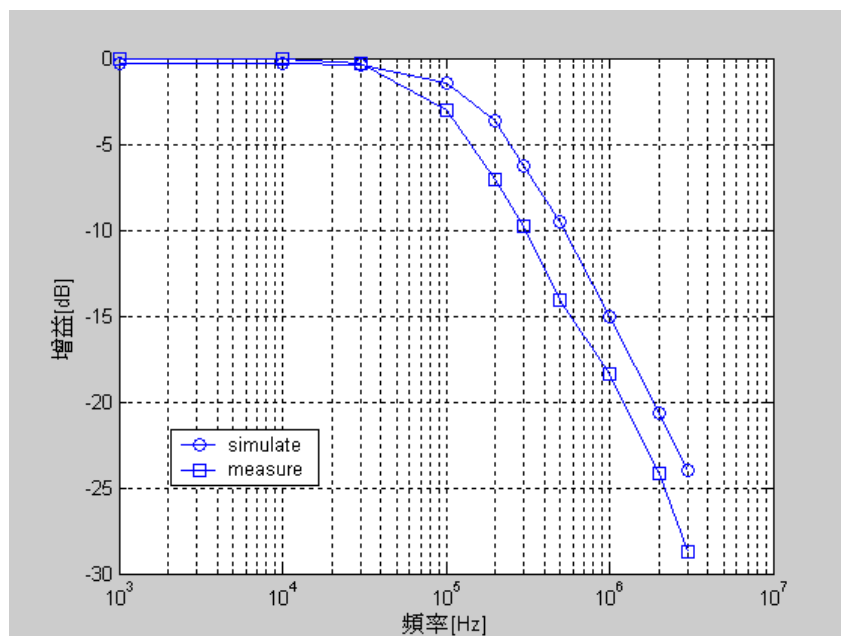


圖 5.22 回授電容 100pF 之一階低通濾波器量測與模擬增益比較圖

一階低通濾波器之量測波形圖，如圖 5.23(a)~(d)所示。其中圖(a)~(c)為在 2MHz 且 $V_{p-p}=0.6V$ 之輸入頻率下，分別更換 100pF、47pF 與 22pF 之回授電容。由 100pF 之圖(a)相對於 22pF 之圖(c)可知，當電容值愈大，頻寬愈小，輸入頻率超過 3dB 頻率時，100pF 的情況下輸出振幅衰減程度將大於 22pF 的情況。此外，圖(c)與(d)皆為在 2MHz 且 22pF 之條件下，圖(d)調整轉導器 G_{m1} 與 G_{m2} 之 $K_M=2$ ，在增益不變的情況下， G_{m2} 之 $K_M=2$ 造成濾波器頻寬(極點)右移，因此圖(d)的輸出振幅衰減量將小於圖(c)的情況。

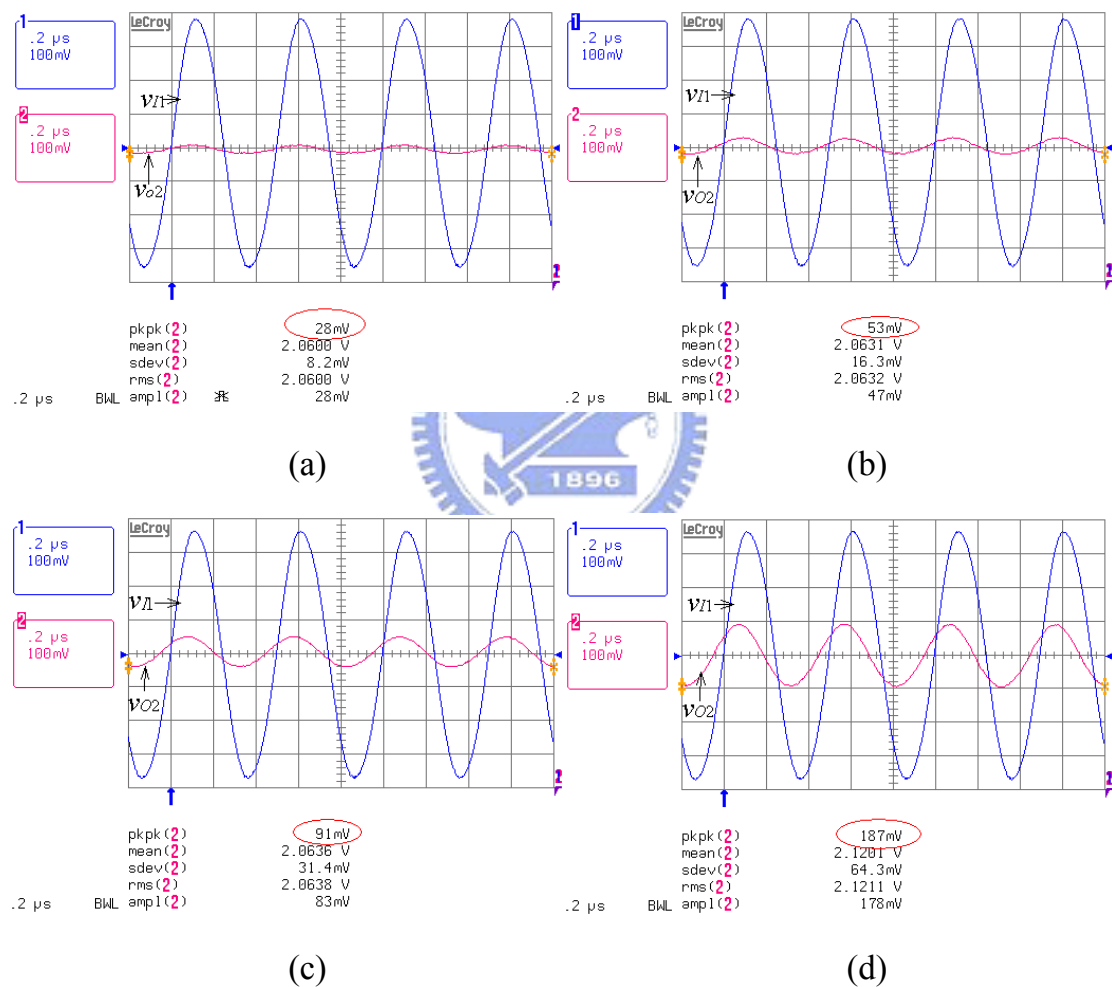


圖 5.23 一階低通濾波器固定頻率更改電容之量測波形圖 (a)100pF (b)47pF (c)22pF (d)22pF 但 G_{m2} 之 $K_M=2$

由 4.2.1 節中可知，一階低通濾波器除了濾波之功能外，在低頻時亦可做為比例放大器。為驗證轉導器內部電流鏡陣列電路是否可正常操作，

分別調整兩組轉導器之電流鏡類比開關為 $K_M=1$ 與 $K_M=2$ ，因此兩組轉導值 G_m 之相對比值可為 0.5 與 2。量測波形如圖 5.24 所示，圖(a)中輸出訊號相對輸入訊號之增益為 0.5，而圖(b)中輸出訊號相對輸入訊號之增益為 2。

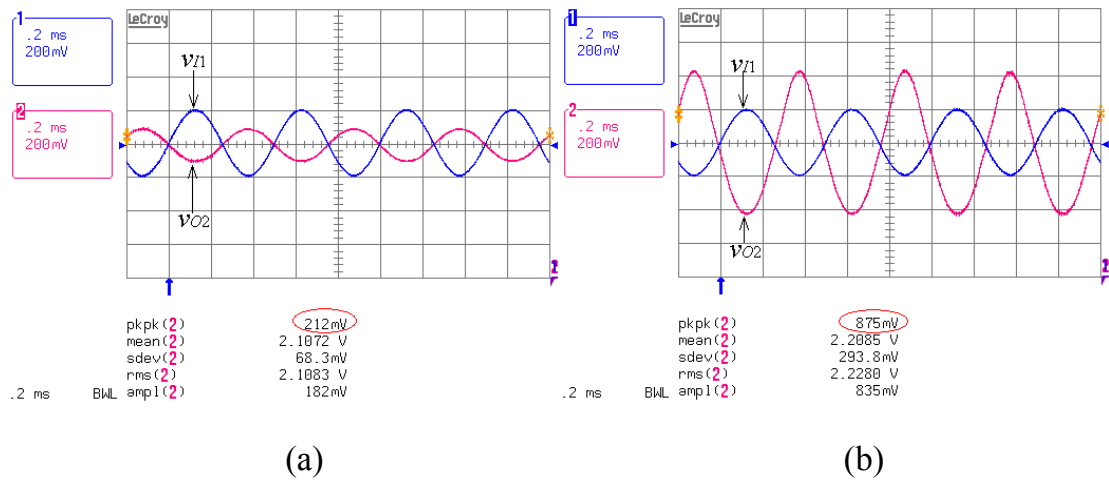


圖 5.24 一階低通濾波器實現比例控制器之量測波形圖(a)0.5 倍(b)2 倍

5.3.5 量測暫存器與開關



暫存器用來儲存數位訊號，在晶片下線中以 D 型正反器實現其電路，如圖 5.25 所示，其中在 D 端給定一固定電壓準位，藉由時脈訊號 ϕ 正緣觸發此 D 型正反器，將已存至正反器中的 D 端電壓準位由 Q 端輸出。量測波形如圖 5.26 所示，首先設定輸入 D 端接至高態如 V_{DD} 之電壓時，而輸出 Q 端維持在低態，若有一觸發訊號之輸入至 ϕ 端時，輸出 Q 端則在觸發訊號由低至高態瞬間，追隨輸入 D 端而由低至高態，如圖 5.26(a) 所示。當觸發訊號結束後，即使改變輸入 D 端之訊號，此使輸出 Q 端維持在高態。反之，當 Q 端在高態時，設定輸入 D 端接至低態，若有一觸發訊號之輸入至 ϕ 端時，輸出 Q 端則在觸發訊號由低至高態瞬間，追隨輸入 D 端而由高至低態，如圖 5.26(b) 所示。

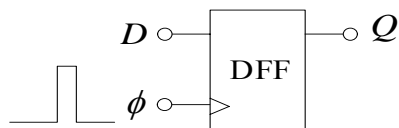
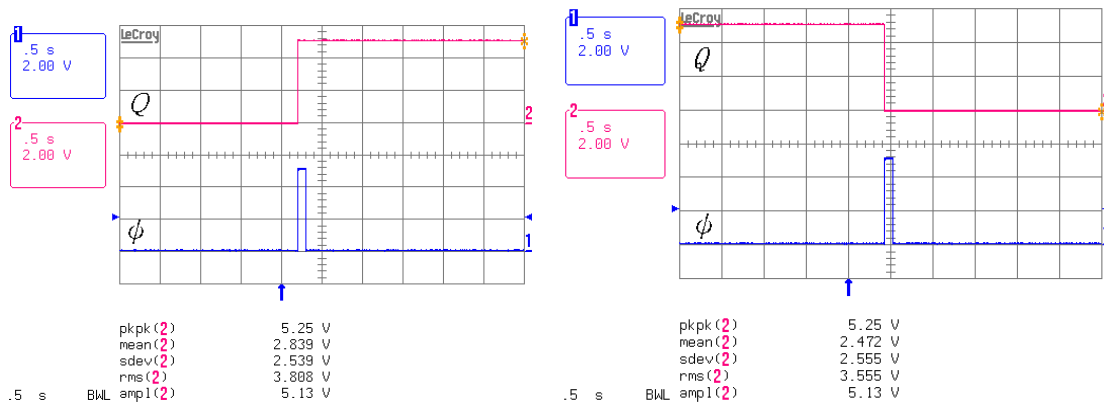


圖 5.25 暫存器示意圖



(a)

(b)

圖 5.26 D 型正反器之時脈訊號 ϕ 與輸出 Q 端之量測波形圖 (a) 當 D 為高態，而 Q 由低至高態 (b) 當 D 為低態，而 Q 由至高至低態

5.3.6 量測簡易型可程式化類比陣列

晶片中最後一部份的電路為簡易型的 FPAA 系統，可用做驗證全系統的依據，由一組 CAB 及外部互聯網路電路之類比開關與暫存器電路所組成。CAB 內部有兩組兼具類比與數位可調的轉導器、一組運算放大器與 8pF/16pF 之電容陣列，其電路系統示意圖如圖 5.27 所示。

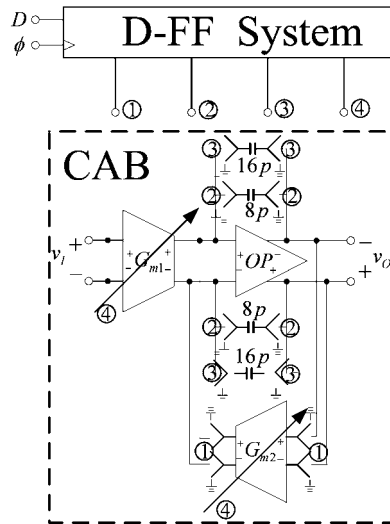


圖 5.27 具數位切換功能之 FPAA 示意圖

圖 5.27 中 CAB 外部之暫存器電路具有 4 組輸出訊號端，圖中以數字作其編號，分別如圖中所示與 CAB 內部開關控制訊號相連接。此 4 組輸出訊號分別控制 CAB 中之第二組轉導器 G_{m2} 的連接與否，用來切換積分器與濾波器的功能；控制 8pF 與 16pF 之電容陣列，與兩組轉導器之內部電流鏡陣列，使得積分器與濾波器具有多重性之功能。

量測方法是在可配置類比方塊 v_i 輸入峰對峰值為 0.2V，頻率為 150KHz 之方波訊號，並於暫存器電路輸入數位控制訊號，使暫存器輸出訊號得以切換可配置類比方塊中之類比開關，達到 FPAA 可調的目的，因為簡易型系統，僅具備積分/濾波的切換，以及特性參數調整的功能，量測時利用 4 組控制訊號對 FPAA 系統的功能函數與特性參數做設定，並由輸出訊號驗證系統的準確性。

在測試過程中，經由反覆輸入數位控制訊號後，可配置類比方塊輸出訊號明顯可見積分器與濾波器功能上的切換，然而電容陣列與電流鏡陣列切換上，輸出波形與預期不盡相同。推論其發生原因，可能為內部積分電容陣列或是轉導器輸出級電流鏡陣列之開關電路因佈局不當而發生誤動作。

經過反覆測試電路切換的功能，其中電路系統內部電容陣列與電流鏡

陣列經排列組合後，可配置類比方塊輸出訊號可分為積分器、濾波器與電路系統開路狀態等三種狀態之輸出波形。

圖 5.28 為 FPAA 電路系統開路狀態之量測波形圖，其中互聯網路的開關皆為未連接的狀態，輸入方波經由開路運算放大器之放大，FPAA 輸出端亦為方波。

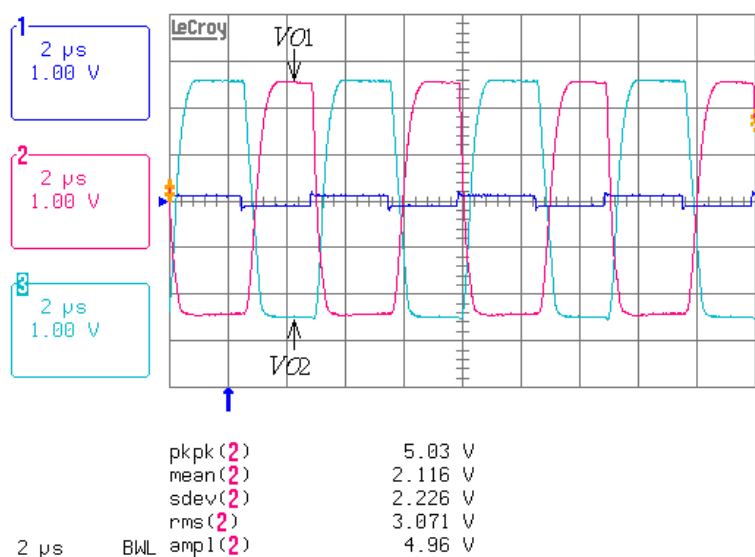
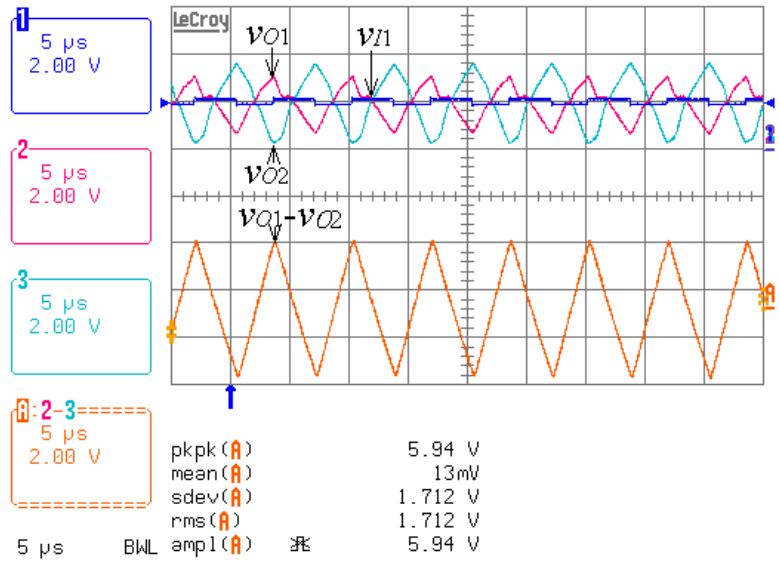
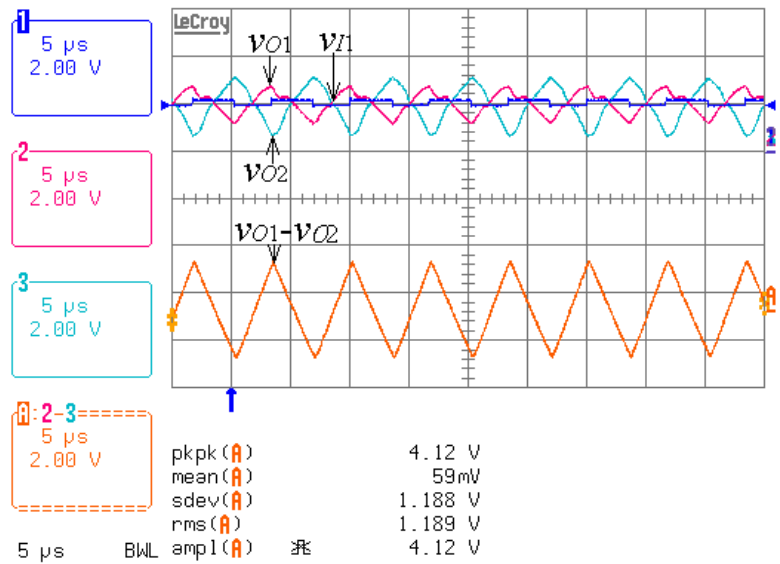


圖 5.28 FPAA 開路狀態之量測波形圖

在積分器功能驗證上，特性參數的設定包括調整電容值與轉導值。根據電路的設計，電容陣列為 8pF 與 16pF，因此圖 5.29(a)與(b)為 FPAA 中具有積分器功能之量測波形圖，根據 $\Delta v = \frac{i_o}{C} \Delta t$ ，愈高之積分值代表積分電容愈小，以及轉導器輸出電流愈大。



(a)



(b)

圖 5.29 FPAA 積分器之量測波形圖

圖 5.30 為 FPAA 具有一階低通濾波器功能之量測波形圖，當輸入方波時，輸出波形將為 $\left(1 - e^{-\frac{G_{m2}t}{C}}\right)$ 之指數函數向上爬升，由此輸出波形可驗證 FPAA 電路可切換至濾波器功能。

由上述簡易型 FPAA 電路系統量測結果可知，推測內部繞線路徑或是開關電路發生錯誤，而造成電容陣列之切換波形無法正確輸出。雖然如

此，從 FPAA 的輸出波形中，仍可觀察出 FPAA 內部電路系統經由類比開關的切換，而輸出不同之積分器與濾波器波形，藉此驗證可透過數位化方式調整類比電路之功能。

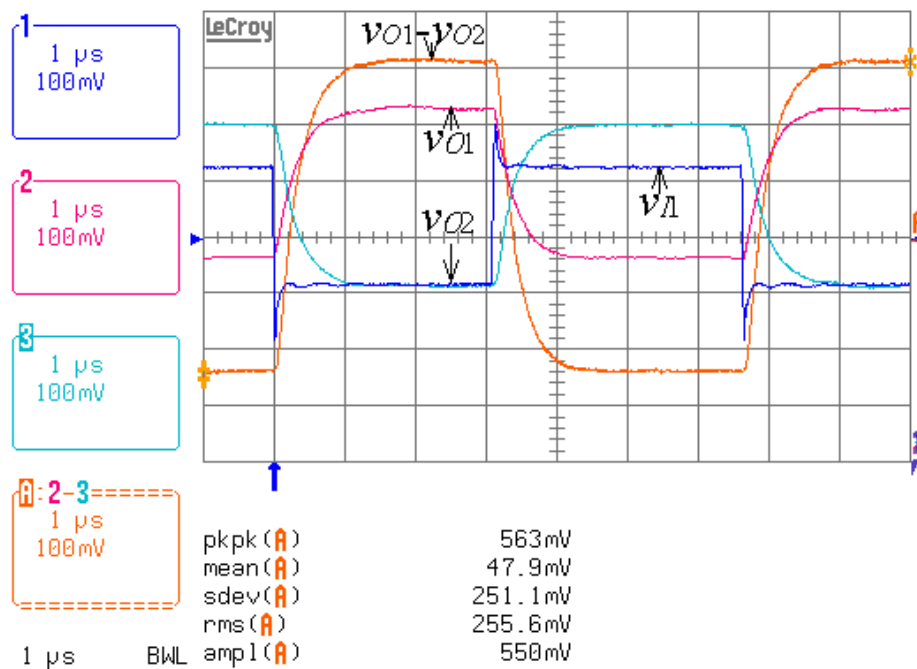


圖 5.30 FPAA 一階低通濾波器之量測波形圖

第六章

結論與未來展望

6.1 結論

本論文中，使用 TSMC 0.35 μ m Mixed-Signal 2P4M (5V) 製程進行模擬，並採用具有低寄生電容之 G_m -C Opamp 架構以實現可程式化類比陣列 (FPAA)。FPAA 之單元電路為可配置類比方塊 (CAB)，主要由轉導器與運算放大器所組成，本論文透過設計控制電路改善轉導器的線性輸入範圍，並使用可程式化電流鏡陣列提高轉導值可調範圍，以增進 FPAA 可規劃的能力。此外，在設計適用於 CAB 之運算放大器上，藉由共模回授電路以提升運算放大器的 CMRR，以抑制共模雜訊對於電路之干擾。

下線晶片包含離散之區塊電路與簡易型之 FPAA 電路系統。離散之電路為實現改良型轉導器、運算放大器、偏壓電路、暫存器與類比開關。透過電路量測，轉導器具有類比與數位之可調功能，藉此驗證所設計之轉導器具有高度可調之能力，以適用於 FPAA 系統。此外，運算放大器，暫存器與開關電路，以及偏壓電路之量測結果都能達到預期的功能。

CAB 採用 G_m -C Opamp 架構以實現 FPAA，根據應用模擬的結果，藉由晶片中離散之可調式轉導器與運算放大器，經由簡單的連線與調整電容，皆能實現並量測具可調式積分器、一階低通濾波器與比例控制器等功能之類比電路，以此驗證 G_m -C Opamp 適用於 FPAA 並有高度可規化之能力。

除了離散電路驗證外，下線晶片中另一組電路為簡易型之 FPAA 電路系統，由一組 CAB 與外部互聯網路電路之類比開關與暫存器電路所組成。

量測過程中，發現暫存器電路有不可預期之誤動作，無法準確控制數位訊號。雖然如此，從 FPAA 輸出波形中，仍具有積分器/濾波器功能函數之切換，與電容陣列/電流鏡陣列特性參數之切換，藉此驗證 FPAA 可透過數位化調整方式以實現不同功能之類比電路。

6.2 未來展望

可程式化類比陣列具有高度可重複配置與及時可規劃的優點，然而在真實電路設計與實現上則要克服相當多的層面，以提高整體電路系統之工作效能，因此對於未來 FPAA 的研究，可朝向下列幾點發展：

- 1 類比電路中，電路常受製程或是溫度等其他外在因素的影響而使工作點漂移，其結果造成轉導器輸出電流或是操作頻率與設計有所誤差，因此在電路上可設計具有自我校正與測試功能之電路，以提高電路的可靠度與精確度。
- 2 可程式化類比陣列主要藉由互聯網路來重新配置系統內部的 CAB，因此提升互聯網路繞線的可靠度並規劃其控制機制，使得 CAB 相互之間的具有最佳連線路徑，並降低寄生與雜散效應之影響。
- 3 雖然 FPAA 具有高度可規劃的能力，藉由 CAB 之組合，能實現 PID 控制器等多種不同功能之類比電路。然而實際上，過於複雜之電路合成將不利於電路應用，因此簡化 CAB 電路，並提高整體電路的效能，為未來發展的重要的方向。

參考文獻

- [1] P. Hasler, "Low-power programmable signal processing," in *Proc. of 5th International Workshop on System-on-Chip for Real-Time Applications*, 2005, pp. 413-418.
- [2] H. W. Klein, "The EPAC architecture: an expert cell approach to field programmable analog circuits," in *Proc. of IEEE 39th Midwest symposium on Circuits and Systems*, 1996, pp. 169-172.
- [3] P. G. Gulak, "Field programmable analog arrays: past, present and future perspectives," in *Proc. of TENCON'95. IEEE Region 10 International Conference on Microelectronics and VLSI*, 1995, pp. 123-126.
- [4] Anadigm, Inc., AN222E04 Data Sheet, 2004.
- [5] K. S. Gurumurthy, "Artificial neural networks as building blocks of mixed signal FPGA," in *Proc. of IEEE International Conference on Field-Programmable Technology (FPT)*, 2003, pp. 375-378.
- [6] Z. Salcic and A. Smailagic, *Digital Systems Design And Prototyping Using Field Programmable Logic*, Kluwer Academic Publishers, 1997
- [7] X. Quan, S.H.K. Embabi, and E. Sanchez-Sinencio, "A Current-Mode Base Field Programmable Analog Array Architecture for Signal Processing Applications," in *Proc. of IEEE Custom Integrated Circuits Conference*, 1998, pp. 277-280.
- [8] A. Bratt, "Motorola field programmable analogue arrays, present hardware and future trends," in *Proc. of IEE Half-day Colloquium on Evolvable Hardware Systems*, 1998, pp. 1/1-1/5.

- [9] H. Kutuk and Sung-Mo Kang, "A field-programmable analog array (FPAA) using switched-capacitor techniques," *in Proc. of IEEE International Symposium on Circuits and Systems*, 1996, pp. 41-44.
- [10] D. A. Johns and Ken Martin, *Analog Integrated Circuit Design*, John Wiley & Sons, Inc., New York, 1997.
- [11] V.C. Gaudet and P.G. Gulak, "A CMOS implementation of a current conveyor-based field-programmable analog array," *Conference Record of the Thirty-First Asilomar Conference on Signals, Systems & Computers*, 1997, pp. 1156-1159.
- [12] T. Georgantas, Y. Papananos and Y. Tsvividis, "A comparative study of five integrator structures for monolithic continuous-time filters -a tutorial," *in Proc. of IEEE International Symposium on Circuits and Systems*, 1993, pp. 1259-1262.
- [13] B. Pankiewicz, M. Wojcikowski, S. Szczepanski and Yichuang Sun, "A field programmable analog array for CMOS continuous-time OTA-C filter applications," *IEEE Journal of Solid-State Circuits*, Vol. 37, no.2, 2002, pp. 125-136.
- [14] F. Krummenacher and N. Joehl, "A 4-MHz CMOS continuous-time filter with on-chip automatic tuning," *IEEE Journal of Solid-State Circuits*, Vol. 23, no.3, 1988, pp. 750-758.
- [15] E. Seevinck, R.F. Wassenaar, "A versatile CMOS linear transconductor / square-law function," *IEEE Journal of Solid-State Circuits*, Vol. 22, no.3, 1987, pp. 366-377.
- [16] Z. Wang and W. Guggenbuhl, "A voltage-controllable linear MOS transconductor using bias offset technique," *IEEE Journal of Solid-State Circuits*, Vol. 25, no.1, 1990, pp. 315-317.

- [17] A.N. Mohieldin and E. Sanchez-Sinencio, "A dual-mode low-pass filter for 802.11b/Bluetooth receiver," in *Proc. of the 30th European Solid-State Circuits Conference*, 2004, pp. 423-426.
- [18] Ko-Chi Kuo and A. Leuciuc, "A linear MOS transconductor using source degeneration and adaptive biasing," *IEEE Trans. on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, pp. 937-943, 2001.
- [19] A. Demosthenous and M. Panovic, "Low-voltage MOS linear transconductor / squarer and four-quadrant multiplier for analog VLSI," in *Proc. of IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 2005, pp. 1721-1731.
- [20] I. Yamaguchi, F. Matsumoto and Y. Noguchi, "Technique to improve linearity of transconductor with bias offset voltages controlling a tail current," *Electronics Letters*, 2005, pp. 1146-1148.
- [21] E.K.F. Lee and P.G. Gulak, "A transconductor-based field-programmable analog array," in *ISSCC Tech. Dig.*, 1995, pp. 198-199, 366.
- [22] E.K.F. Lee and P.G. Gulak, "Field programmable analogue array based on MOSFET transconductors," *Electronics Letters*, 1992, pp. 28-29.
- [23] Y.P. Tsvividis, "Integrated continuous-time filter design," in *Proc. of IEEE Custom Integrated Circuits Conference*, 1993, pp. 6.4.1-6.4.7.
- [24] R. Schaumann and M.E.V. Valkenburg, *Design of Analog Filters*, Oxford University Press, Inc., 2001.
- [25] E. Pierzchala, M.A. Perkowski, P. Van Halen and R. Schaumann, "Current-mode amplifier/integrator for a field-programmable analog array," in *ISSCC Tech. Dig.*, 1995, pp. 196-197.
- [26] W. Surakamponorn, V. Riewruja, K. Kumwachara and C. Surawatpunya, "Temperature-insensitive voltage-to-current converter and its

- applications,” *IEEE Trans. on Instrumentation and Measurement* 1999, pp. 1270-1277
- [27] Gray Hurst and Lewis Meyer, *Analysis and Design of Analog Integrated Circuits Design of Analog Filters*, 4th ed., John Wiley & Sons, Inc., 2001
- [28] M. Pribytko and P. Quinn, “A CMOS single-ended OTA with high CMRR,” in *Proc. of the 29th European Solid-State Circuits Conference*, 2003, pp. 293-296.
- [29] P.M. VanPeteghem and J.F. Duque-Carrillo, “A general description of common-mode feedback in fully-differential amplifiers,” in *Proc. of IEEE International Symposium on Circuits and Systems*, 1990, pp. 320-312.
- [30] Xuguang Zhang and E.I. El-Masry, “A 1.8 V CMOS linear transconductor and its application to continuous-time filters,” in *Proc. of the 2004 International Symposium on Circuits and Systems*, 2004, pp. I-1012-15.
- [31] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, Companies, Inc., New York, 2001.
- [32] T.R. Balen, J.V. Calvano, M.S. Lubaszewski and M. Renovelf, “Functional test of field programmable analog arrays,” in *Proc. of 24th IEEE VLSI Test Symposium*, 2006, pp. 6.
- [33] A. Laknaur and Haibo Wang, “A methodology to perform online self-testing for field-programmable analog array circuits,” *IEEE Trans. on Instrumentation and Measurement*, Vol. 54, pp. 1751-1760, 2005.
- [34] J. Faura, I. Lacadena, A. Torralba and J.M. Insenser, “Programmable analog hardware: a case study,” in *Proc. of IEEE International Conference on Electronics, Circuits and Systems*, 1998, pp. 297-300.
- [35] Sedra, Smith, *Microelectronic Circuits*, 3rd ed., New York, 1990.
- [36] Christopher Saint and Judy Saint, *IC Mask Design Essential Layout*

Techniques, McGraw-Hill, Companies, Inc., New York, 2002.

[37] Christopher Saint and Judy Saint, *IC Layout Basic A Practical Guide*, McGraw-Hill, Companies, Inc., New York, 2002.

