

國立交通大學
電機與控制工程學系
碩士論文

使用全數位控制多相交錯式PWM技術之D類功率
放大器實現

Architecture Implementation of Class-D Amplifiers Using
Digital-Controlled Multiphase-Interleaved PWM Technique

研究生：李啟揚

指導教授：鄒應嶼 博士

中華民國 九十五年 七月

使用全數位控制多相交錯式PWM技術之D類功率放大器實現

Architecture Implementation of Class-D Amplifiers Using
Digital-Controlled Mutiphase-Interleaved PWM Technique

研究生：李啟揚

Student: Chi-Yang Lee

指導教授：鄒應嶼 博士

Advisor: Dr. Ying-Yu Tzou



Submitted to Department of Electrical and Control Engineering

College of Electrical Engineering and Computer Science

National Chiao-Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electrical and Control Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

使用全數位控制多相交錯式PWM技術之D類功率放大器實現

研究生：李啟揚

指導教授：鄒應嶼 博士

國立交通大學電機與控制工程研究所

摘 要

本論文研製一個以可規劃邏輯閘陣列(FPGA)為基礎之全數位控制交錯半橋式D類放大器，發展出具有符合D類放大器多項控制特色的全數位式電壓輸出控制方法，以解決當開關切換頻率不夠快速下之電壓總諧波失真不佳的問題。本文針對交錯式D類放大器建立其數學等效模型，並探討電路特性、脈寬調變控制方式、與實現方法。控制架構採用多迴路控制方式，包含電流迴路比例控制器設計、電壓迴路比例積分控制器及相位領先控制器，以增加電壓迴路頻寬及相位邊限，降低輸出電壓諧波失真大小，達到高頻寬快速響應之系統要求。所設計之控制器最主要具有數位補償器、同步取樣控制器及脈寬調變產生器三大方塊。模擬平台本文採用Simulink軟體結合Modelsim軟體，對以VHDL實現之方塊進行模擬，除了驗證其功能正確性外，並進行單相及交錯半橋式D類放大器之數位式多迴路控制模擬比較。在實驗方面，採用Altera公司的實驗發展平台Cyclone II Development Kits，搭配軟核處理器NIOS II，將實驗波形透過RS232傳給Simulink，可將實驗波形與模擬波形做比較，各控制器參數以SPI介面方式傳給各控制暫存器，大幅減少所設計之數位控制器腳位。模擬結果顯示所提出控制方法之效果及優越性，在100kHz的開關頻率時，無效時間設定0.5 μ s，輸入訊號由1kHz至20kHz，其輸出電壓總諧波失真均低於1.3%，證明交錯式的架構確可在不提高切換頻率的條件下，有效降低輸出電壓的總諧波失真。

Architecture Implementation of Class-D Amplifiers Using Digital-Controlled Multiphase-Interleaved PWM Technique

Student: Chi-Yang Lee

Advisor: Dr. Ying-Yu Tzou

Institute of Electrical and Control Engineering
National Chiao-Tung University

Abstract

This thesis presents the research of a FPGA-based fully digital-controlled multiphase-interleaved class-D amplifiers. The operational principle, mathematical module, and control schemes of the interleaved class-D amplifier are described, designed and reviewed. This thesis proposes a multi-loop control scheme for the fast response control of the interleaved class-d amplifier. The proposed controller consists of an inner predictive current-loop controller, an outer PI voltage-loop controller, and output phase-lead compensation control. By using the voltage phase-lead compensation, the output voltage gets larger frequency bandwidth due to the proposed control method has been realized. The output voltage distortion and harmonic components are also significantly reduced. The proposed digital controller is composed of digital compensator, digital PWM generator, and the synchronous sampling controller. The simulation platform is combined with Simulink and Modelsim which could fast verify the functionality of realized blocks. The proposed control scheme has been implemented using a FPGA (Altera Cyclone II series) controller. Simulation verification has been carried out on a single-phase and interleaved class-D amplifier. Under the 100kHz switching frequency and 0.5 μ s dead-time constraints, the simulation results show a voltage THD of 1.3% at rated output. The simulation results show the feasibility and superiority of the proposed digital interleaved class-D control scheme.

誌 謝

謹向我的指導教授 鄒應嶼博士致上最高的敬意與謝意。感謝您這兩年來對我的敦敦教誨與悉心指導，使我的研究生活充滿挑戰與突破，對研究的觀念與方法均有長足的進步。由於您豐富的學識和卓越的領導能力使我在理論分析與實作能力獲益匪淺，並使得本論文得以順利完成。

感謝博士班國隆學長及育宗學長在為人處事上的啟發以及在理論與實務上的協助。謝謝你們總是耐心的給予我教導及適時的幫忙、鼓勵，使我兩年研究生涯獲得許多知識與成長，這兩年來學弟實在給你們帶來了不少麻煩。

碩士班學長逸軒，同窗好友建強、哲韋，碩士班學弟少軍、韋吉、智達、晏詮與翊仲，大家在實驗室中同甘共苦、討論研究、相互鼓勵的日子令人難忘，由於你們使得實驗室的生活多采多姿，充滿歡笑與回憶，這份真摯的友情與緣分，我將會永遠珍惜。

謝謝善解人意的明娟多年來的陪伴與鼓勵，因為妳的體貼，使我在面對挫折與困境時，能無畏地向前邁進，這種患難與共的深情永難忘懷。

最後，我由衷地感謝我最敬愛的父母親，沒有您們的照顧及栽培，就沒有現在的我。是您們的關愛及期許，讓我更勇敢的迎接挑戰，假使今天學生有一絲成就，也絕對是您們的功勞，在此將這份榮耀獻與你們一同分享！

民國九十五年七月 於交大

目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
表列	vii
圖列	viii
第一章 緒論	1
1.1 研究背景與概況	1
1.2 研究動機與目的	2
1.3 研究方法與系統描述	3
1.4 論文內容概述	5
第二章 單相及交錯式D類功率放大器分析	6
2.1 功率放大器分類	6
2.1.1 A類功率放大器	7
2.1.2 B類功率放大器	7
2.1.3 AB類功率放大器	8
2.1.4 D類功率放大器	9
2.2 單相半橋式D類放大器分析	11
2.2.1 半橋式功率級模型	11
2.2.2 輸出濾波器分析	15
2.3 交錯式D類放大器分析	18
第三章 交錯式D類放大器數位控制器設計	20
3.1 電流控制迴路	20
3.1.1 電流迴路比例控制器設計	20
3.1.2 電流迴路模擬驗證分析	24

3.2	電壓控制迴路.....	25
3.2.1	電流控制下之簡化模型.....	25
3.2.2	比例積分控制器設計.....	28
3.2.3	相位領先控制器設計.....	30
3.2.4	電壓迴路模擬驗證分析.....	37
第四章	交錯式D類放大器控制晶片系統規劃及實現.....	39
4.1	發展軟體介紹.....	39
4.1.1	Quartus II介紹.....	39
4.1.2	SOPC Builder介紹.....	41
4.1.3	NIOS II IDE介紹.....	43
4.1.4	Simulink介紹.....	44
4.2	交錯式D類放大器控制晶片整體架構.....	45
4.3	數位控制器電路實現.....	48
4.3.1	控制器數值運算格式：Q格式.....	48
4.3.2	相位領先控制器實現.....	50
4.3.3	比例積分控制器實現.....	52
4.3.4	交錯式D類放大器數位控制器架構.....	53
4.4	數位脈寬調變產生器實現.....	58
4.4.1	計算相位移電路.....	61
4.4.2	參考訊號產生器電路.....	62
4.4.3	比較器電路.....	64
4.4.4	無效時間產生器電路.....	65
4.4.5	除頻器電路.....	67
4.4.6	高解析度PWM電路.....	67
4.5	同步取樣控制器實現.....	70
4.6	串列傳輸(SPI)介面實現.....	73
4.7	NIOS II處理器功能規劃.....	77
第五章	模擬及實驗結果.....	82
5.1	模擬及實驗平台介紹.....	82

5.1.1	FPGA發展板介紹	83
5.1.2	D類放大器功率板介紹	84
5.2	模擬結果.....	85
5.2.1	單相半橋式D類放大器模擬結果	85
5.2.2	三相交錯式D類放大器模擬結果	87
5.3	實驗結果.....	89
5.3.1	實現之控制器功能驗證	89
5.3.2	單相半橋式D類放大器閉迴路實驗	91
5.3.3	三相交錯式D類放大器開迴路實驗	92
第六章	結論	94
	參考文獻	95
	作者簡介	98



表 列

表3.1	數位控制器各控制器參數表	38
表4.1	交錯式D類放大器控制器暫存器定義	47
表4.2	交錯式D類放大器晶片腳位說明	47
表4.3	數位控制器參數範圍表	50
表4.4	交錯式D類放大器數位控制器腳位定義	56
表4.5	數位脈寬調變產生器腳位定義	58
表4.6	使用高解析度PWM技術前後比較表(系統時脈200MHz).....	69
表4.7	同步取樣控制器腳位定義	67
表4.8	SPI方塊腳位定義	74
表4.9	交錯式D類放大器控制IC使用資源分析表	81



圖 列

圖1.1	D類功率放大器架構圖	2
圖1.2	交錯式D類放大器架構圖	4
圖1.3	交錯式D類放大器數位控制器方塊圖	4
圖2.1	A類放大器架構圖	7
圖2.2	B類放大器架構圖	8
圖2.3	AB類放大器架構圖	8
圖2.4	輸入訊號、開關切換頻率及其諧波頻譜圖	9
圖2.5	經過低通濾波器之輸入訊號、開關切換頻率及其諧波頻譜圖	9
圖2.6	開關切換瞬間電壓及電流波形圖	11
圖2.7	單相半橋式D類放大器	12
圖2.8	脈寬調變波形圖	13
圖2.9	雙極性PWM波形示意圖	14
圖2.10	半橋式功率級等效模型圖	15
圖2.11	單相半橋式D類放大器電感電流漣波波形圖	16
圖2.12	濾波器之頻率響應圖	17
圖2.13	三相並聯連接之D類放大器示意圖	19
圖2.14	(a)未使用交錯式控制(b)使用交錯式控制之總電感電流波形圖	19
圖3.1	交錯式D類放大器模型圖	21
圖3.2	電流內迴路及交錯式D類放大器模型圖	22
圖3.3	簡化後之電流內迴路模型圖	22
圖3.4	電流內迴路頻率響應圖	23
圖3.5	電流迴路步階響應模擬圖	24
圖3.6	電流迴路命令為正弦波之輸出響應模擬圖	24
圖3.7	電壓迴路之簡化模型	25
圖3.8	電壓外迴路模型	25

圖3.9	(a)未加入電流前饋補償(b)加入電流前饋補償之電壓迴路模型圖	26
圖3.10	加入電流前饋補償頻率響應圖	27
圖3.11	電壓迴路簡化示意圖	27
圖3.12	補償前及補償後之電壓迴路頻率響應圖	29
圖3.13	Combination Method之設計流程圖	33
圖3.14	極點項所提供之相位圖	34
圖3.15	極點項所提供之增益圖	35
圖3.16	零點項所提供之相位圖	35
圖3.17	零點項所提供之增益圖	36
圖3.18	未補償及補償相位領先控制器之頻率響應圖	36
圖3.19	電壓迴路步階響應模擬圖	37
圖3.20	電壓迴路命令為正弦波之輸出響應模擬圖	38
圖4.1	Quartus II軟體電路設計流程	40
圖4.2	Quartus II軟體設計平臺	41
圖4.3	SOPC Builder使用介面	42
圖4.4	NIOS II系統階層圖	43
圖4.5	NIOS II軟體工作平臺	44
圖4.6	Simulink模擬平臺	45
圖4.7	交錯式D類放大器控制晶片整體架構圖	46
圖4.8	D類放大器控制晶片符號圖	46
圖4.9	(a)直接型式I訊號流程圖(b)直接型式II訊號流程圖	51
圖4.10	相位領先控制器動作順序圖	51
圖4.11	相位領先控制器模擬波形圖	52
圖4.12	比例積分控制器方塊圖	53
圖4.13	比例積分控制器模擬波形圖	53
圖4.14	交錯式D類放大器控制器方塊圖	54
圖4.15	數位控制器方塊符號圖	54

圖4.16	不同實現方式佔用資源比較圖	55
圖4.17	交錯式D類放大器控制器硬體架構圖	55
圖4.18	交錯式D類放大器控制器運算順序圖	55
圖4.19	狀態機切換變化圖	56
圖4.20	控制器模擬波形圖	56
圖4.21	數位脈寬調變產生器方塊圖	59
圖4.22	數位脈寬調變產生器方塊符號圖	60
圖4.23	計算相位移電路方塊圖	61
圖4.24	相位移延遲計算示意圖	62
圖4.25	相位移電路模擬圖	62
圖4.26	參考訊號產生器電路架構圖	63
圖4.27	參考訊號產生器模擬波形圖	64
圖4.28	比較器方塊電路架構圖	65
圖4.29	比較器模擬波形圖	65
圖4.30	無效時間產生器電路架構圖	66
圖4.31	無效時間產生器模擬波形圖	66
圖4.32	除頻電路架構圖	67
圖4.33	除頻電路模擬波形圖	67
圖4.34	高解析度脈寬調變產生機制示意圖	68
圖4.35	(a)高解析度PWM電路圖(b)時序動作圖	69
圖4.36	高解析度PWM實驗波形圖	69
圖4.37	同步取樣時機示意圖	71
圖4.38	同步取樣控制器方塊符號圖	71
圖4.39	同步取樣控制器電路方塊圖	73
圖4.40	同步取樣控制器模擬波形圖	73
圖4.41	SPI方塊符號圖	74
圖4.42	SPI四種工作時序圖	75

圖4.43	SPI實現方塊圖	75
圖4.44	SPI通訊腳位連接圖	76
圖4.45	SPI與NIOS II傳送接收圖	77
圖4.46	NIOS II系統符號圖	78
圖4.47	NIOS II系統程式流程圖	79
圖4.48	Quartus II中D類放大器控制晶片內部連接圖	79
圖4.49	Matlab接收及傳送資料GUI圖	80
圖4.50	Simulink中模擬與實驗波形圖	81
圖5.1	結合Simulink及Modelsim之模擬平台圖	82
圖5.2	單相及交錯式D類放大器實驗平台圖	83
圖5.3	單相D類放大器之功率級及開關驅動電路	84
圖5.4	輸出及電感電流迴授電路	85
圖5.5	ADC及電源穩壓電路	85
圖5.6	單相半橋式D類放大器輸出電壓、電流及電感電流波形圖(2kHz)	86
圖5.7	單相半橋式D類放大器輸出電壓、電流及電感電流波形圖(20kHz)	86
圖5.8	單相D類放大器輸入訊號頻率變化對總諧波失真變化圖	87
圖5.9	交錯式半橋式D類放大器輸出電壓、電流及電感電流波形圖(2kHz)	88
圖5.10	交錯式半橋式D類放大器輸出電壓、電流及電感電流波形圖(20kHz)	88
圖5.11	交錯式D類放大器輸入訊號頻率變化對總諧波失真變化圖	89
圖5.12	脈寬調變有設定及無設定無效時間波形圖	90
圖5.13	脈寬調變具相位移波形圖	90
圖5.14	同步取樣控制器取樣命令波形圖	90
圖5.15	(a)輸入1k(b)輸入20kHz弦波之單相D類放大器輸出電壓電流波形圖	91
圖5.16	單相D類放大器閉迴路輸入訊號頻率對總諧波失真曲線圖	92
圖5.17	(a)輸入1k(b)輸入20kHz弦波之交錯式D類放大器輸出電壓電流波形圖	93
圖5.18	交錯式D類放大器開迴路輸入訊號頻率對總諧波失真曲線圖	93

第一章

緒論

1.1 研究背景與概況

線性放大器(Class-A or Class-AB)具有低失真的優點，在功率放大器市場中佔主流位置，唯其效率在25%~75%之間，故需大面積散熱元件以避免過熱情形發生。隨著消費者對可攜式影音商品的需求漸增，如手機、MP3 Player、PDA等，傳統線性放大器不利於體積小的攜帶式裝置，因此高效率的D類放大器開始受到重視，其效率高之特點，大幅減少了散熱元件所需面積，提高了輸出功率，同時也延長了可攜式裝置的電池壽命。設計良好的D類放大器，其效率甚至可達90%[1]-[2]。

此種放大器最早由Baxandall於1959年所提出，為降低此種放大器的失真，開關的切換頻率通常為音頻頻率的數十倍，然而早期因技術的問題，開關切換頻率無法提高，輸出波形具有很嚴重的失真問題，故此架構雖已提出很長一段時間，並未受矚目。直到80年代後高效率且切換速度快的功率元件問世，其開關切換頻率可提高至250kHz，才重燃起眾人對D類放大器的興趣。

使用D類放大器的重點為開關切換訊號的產生，其原理是將音頻訊號轉調變為固定頻率的脈寬調變波(Pulse Width Modulation, PWM)，此種調變波只有高或是低位準來驅動功率開關，再經過濾波器解調變為原來的音頻訊號，良好的調變訊號能改善D類放大器的失真問題[3]。目前常見的調變方式為PWM調變及Sigma-Delta調變(Σ - Δ)。圖1.1所示為D類功率放大器的架構圖，由脈寬調變產生器、半橋式功率開關以及低通濾波器所組成。音頻訊號與高頻的三角波或是鋸齒波作比較得到PWM訊號，將此訊號驅動半橋或是全橋式的功率開關產生放大的數位訊號，最後再經過一個低通濾波器，濾除切換頻濾及倍頻諧波，以得到放大的音頻訊號。

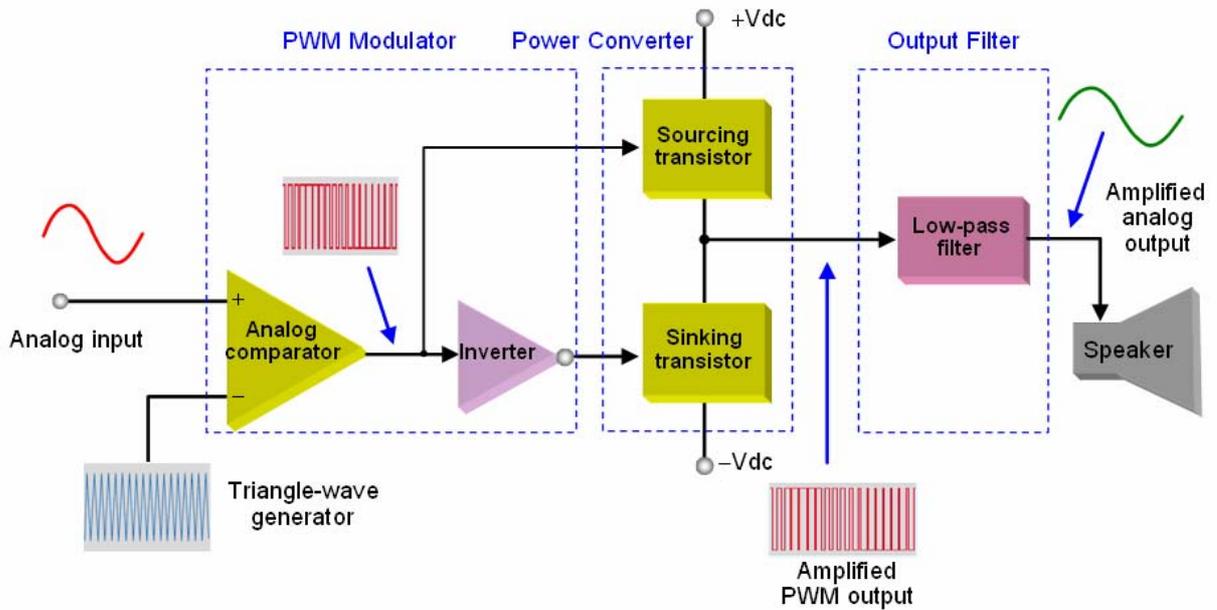


圖1.1 D類功率放大器架構圖

為改善系統效能，消除輸入及輸出訊號的相位差，修正D類功率放大器很高的輸出電壓總諧波失真率(Total Harmonic Distortion, THD)，多迴路的回授控制技術及方法，已相當普遍被應用[4]-[6]，或使用Feed-Forward的方法來消除失真[7]。上述方法均顯示出輸出電壓的總諧波失真的確有效地降低了。

1.2 研究動機與目的

近年來D類功率放大器的數位控制技術一直為許多學者競相投入的熱門課題。此種功率放大器以得到低總諧波失真為主要目的，其輸出級就須加以適當地調節，避免輸出訊號因雜訊或是較差的調變訊號而遭到扭曲。為了使輸出訊號的失真降低，高切換頻率的PWM為必需的，目前已有一些研究專注於如何產生高頻的PWM訊號[8]-[10]。然而為了提高PWM的切換頻率，通常需要很高速的時脈才能達成，這不但需要設計高速的電路也提高了成本，除此之外，越高速的切換頻率也造成了越大的切換損失，以及電磁干擾等問題。

將具相位移控制的交錯式脈寬調變(Interleaved PWM)技術應用在直流對直流轉換器中，以增進電壓調整模組的電流輸出能力已發展多時[11]-[12]，也有研究顯示使用交錯式的調變技術，可有效的以較低的切換頻率即降低輸出電壓漣波[13]。理論上，使用n

個相位於直流對直流轉換器中，就可以得到n倍的有效切換頻率，故不需藉由提高PWM的切換頻率，就可以提升了有效切換頻率。

近年來由於製程技術的演進，性能優益且廉價的單晶片容易取得，也帶動了數位控制的風潮，傳統的類比控制技術有逐漸被數位控制技術取代的趨勢。數位控制的精神在於以軟體方式達成閉迴路的目的，此一方式使得在類比控制中複雜的控制架構，在單晶片中均能以方便的撰寫程式的方式輕鬆實現[14]-[15]。高性能的可規劃邏輯閘陣列(Field Programmable Gate Array, FPGA)具備及閘、或閘等基本邏輯電路，使用者可任意組合產生特定功能之邏輯電路，除了彈性化的好處外更有高速的性能，如Altera之Cyclone系列，其時脈可達275MHz，快速的運算能力使得數位控制技術得以應用於動態響應複雜多變的電力電子控制中。複雜的控制理論在FPGA中以硬體描述語言(Very high speed integrated circuits Hardware Description Language, VHDL)語言撰寫完成，不但可藉由模擬軟體來驗證程式設計的正确性，更可視所需隨時修正，由此見得具可控的D類功率放大器控制器，在未來將極具競爭優勢。

1.3 研究方法與系統描述

本論文主要在探討以可規劃邏輯閘陣列(FPGA)為基礎的全數位式多相PWM技術之D類放大器實現。圖1.2所示為交錯式D類放大器的系統方塊圖，首先針對硬體電路做開迴路特性分析，經由分析D類放大器電路，提出各控制架構設計之依據；並以簡化之模型進行多迴路控制器設計探討，圖1.3為交錯式D類放大器數位控制整體系統架構，利用個別控制器不同特性及優點進行比較應用，以期降低諧波失真、增加系統頻寬、改善系統暫態及穩態特性。

本文所提系統架構之數位控制模擬及控制參數設計是使用模擬軟體Simulink完成。實驗部分則以Altera公司開發之Cyclone II Development Kits為基礎之數位控制板進行驗證。程式發展輔助設計方面，使用Nios II建立數位控制板與電腦間的通訊介面，再用Quartus II軟體撰寫所需的控制器架構[16]-[18]。

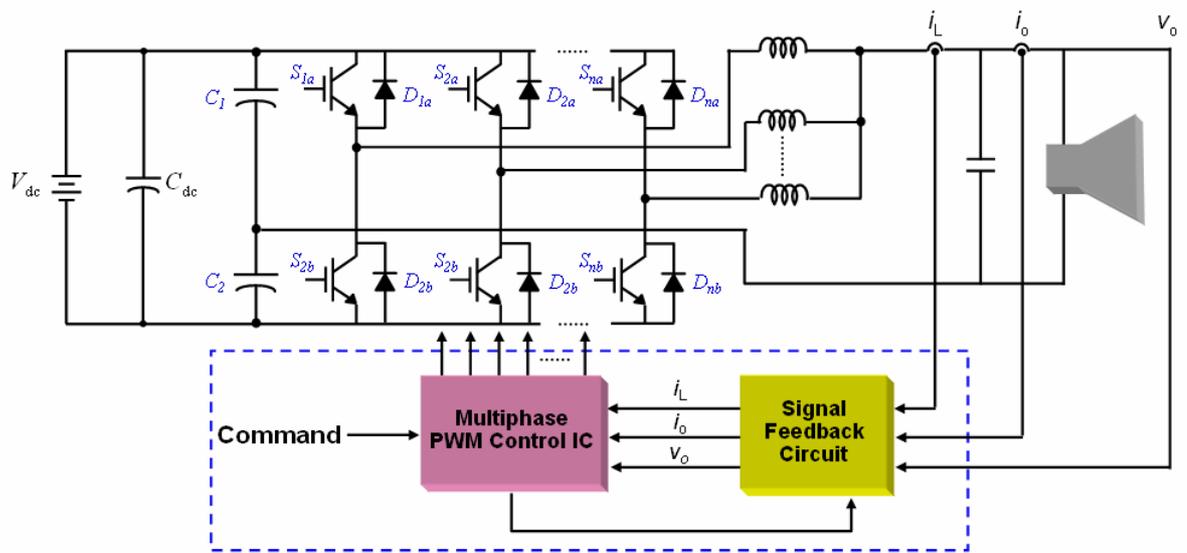


圖1.2 交錯式D類放大器架構圖

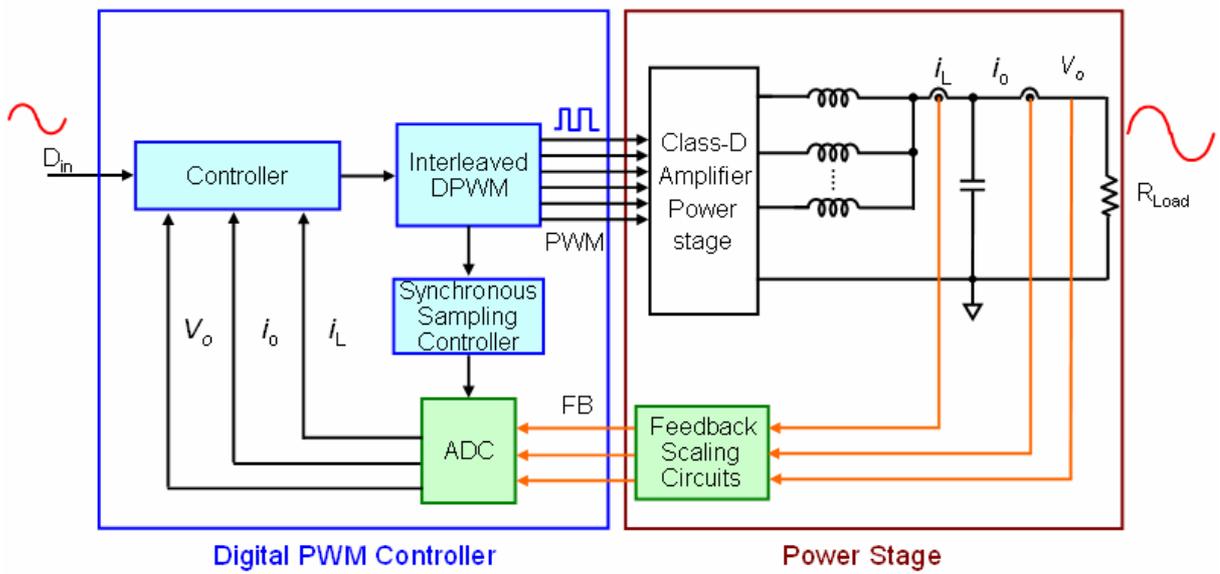


圖1.3 交錯式D類放大器數位控制器方塊圖

1.4 論文內容概述

本論文共分為六章，本章為緒論，旨在說明本論文之研究發展背景與概況、研究動機與目的及本論文之研究方法與系統描述等。其餘各章摘要如下：

第二章：單相及交錯式D類功率放大器分析

推導說明換流器輸出濾波器等效電路之模型化過程，以作為控制器與系統分析之依據。其次提出單相及交錯式D類放大器的輸出電壓漣波、電感電流漣波的計算公式，最後分析交錯式D類放大器的特點。

第三章：交錯式D類放大器數位控制器設計

進行交錯式D類放大器數位式電流迴路與電壓迴路控制器之分析與設計，說明電流迴路控制器、電壓迴路之比例積分控制器(PI Controller)、相位領先控制器(Phase-Lead Controller)，利用不同控制迴路個別之優點，以改善系統暫態及穩態響應。

第四章：交錯式D類放大器控制晶片系統規劃及實現

說明數位控制器之軟體實現之技巧及限制，針對數位化實現之問題進行探討，並說明如何實現以及驗證控制器內各方塊，如脈寬調變產生器、同步取樣控制器等。最後再說明NIOS II系統的規劃及使用。

第五章：模擬結果分析

系統實驗性能量測，針對單相式及交錯式半橋式D類放大器進行模擬分析，對所得結果作討論與改善。

第六章為結論。

第二章

單相及交錯式D類功率放大器分析

2.1 功率放大器分類

功率放大器目的在於提供高準位的輸出電壓至一低阻抗的負載，如喇叭。在現有之功率放大器中，最常見的是傳統式的線性功率放大器，如A類、B類、AB類功率放大器，另一種為本論文所使用的切換式功率放大器，如D類功率放大器。線性功率放大器因開關持續的導通，導致很高的功率消耗，其效率最高僅為78.5%。切換式功率放大器開關在導通(Saturation Region)或是截止(Cut-Off Region)兩種模式動作，當開關導通時，因開關導通電壓很低，所以功率損失接近為零，而當開關截止時因開關電流為零，所以在開關上亦無功率損失，故理論上此種放大器效率可達100%，大幅減少了熱量消耗。實際上，切換式功率放大器在導通時，開關兩端仍有導通電壓，仍會造成功率消耗，只是與線性功率放大器相比，其值相對是較小的。功率放大器除了效率的比較之外，其次就是線性度的分析。分析線性度首先就是要量測放大器的總諧波失真(Total Harmonic Distortion, THD)，其定義為輸出訊號諧波成份的有效值對基本波有效值的比值，一個線性度越好的功率放大器，其THD越低。線性功率放大器其輸出及輸入訊號間為線性的關係，故輸出失真非常低。而切換式功率放大器其輸出波形的產生是憑藉著脈寬調變的原理，通常開關切換頻率需高於音頻頻寬數十倍以得到較低的輸出訊號失真，當開關頻率僅為頻寬5倍時其失真已很大，THD約12%。

$$\%THD_v = 100 \times \frac{V_{dis}}{V_{s1}} \quad (2-1)$$

$$= 100 \times \frac{\sqrt{V_s^2 - V_{s1}^2}}{V_{s1}} = 100 \times \sqrt{\sum_{h \neq 1} \left(\frac{V_{sh}}{V_{s1}} \right)^2}$$

2.1.1 A類放大器

A類放大器輸出級如圖2.1所示，其所有功率電晶體會持續導通，避免了因電晶體在開或關時所造成的非線性現象，故此種放大器線性度最高，然而也因電晶體持續導通，所以此類放大器的效率是最低的，其最大效率為25%，但實際上輸出電壓會被限制在較低值以避免電晶體飽和帶來的非線性失真，故效率約為10%到20%之間。

$$\% \eta = 100 \times \frac{P_L}{P_{Supply}} = 100 \times \frac{\frac{V_{cc} \cdot I_L}{2}}{2V_{cc} \cdot I_L} = 25\% \quad (2-2)$$

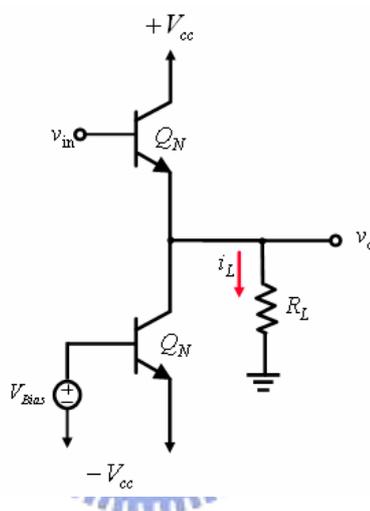


圖2.1 A類放大器架構圖

2.1.2 B類放大器

B類放大器架構如圖2.2所示，包括一組互補的電晶體對，一個輸出電流而另一個吸收電流，故稱為推挽式(Push Pull)。這兩個電晶體無法同時導通，當輸入電壓為零時，兩個電晶體都截止，當輸入為正電壓時 Q_N 導通，當輸入為負電壓時 Q_P 導通。此種放大器效率比A類放大器高，值得注意的是當輸入電壓為零時，存在著交越失真(Crossover Distortion)，故線性度較A類功率放大器來的差，最大效率為78.5%。

$$\% \eta = 100 \times \frac{P_L}{P_{Supply}} = 100 \times \frac{\frac{V_{cc}^2}{2R_L}}{2V_{cc}^2} = 78.5\% \quad (2-3)$$

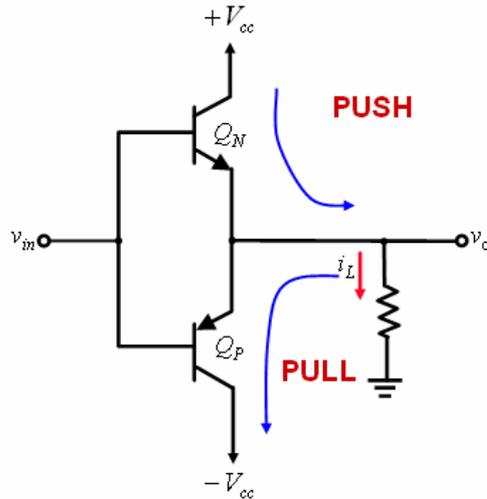


圖2.2 B類放大器架構圖

2.1.3 AB類放大器

AB類放大器架構如圖2.3，為A類放大器與B類放大器的結合，和B類放大器不同的點在於，在 Q_N 及 Q_P 間加入了偏壓電壓 V_{BB} ，因此幾乎消除了交越失真，所以和B類功率放大器相比，線性度好了許多，要注意的是根據偏壓電壓的大小，每個元件的導通時間會在50%到100%之間，因此效率較B類放大器來的差一些，典型AB類放大器的效率約為50~70% [19]。

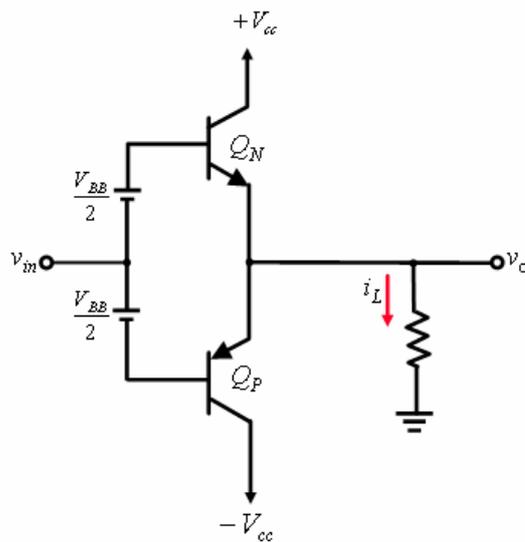


圖2.3 AB類放大器架構圖

2.1.4 D類放大器

D類放大器架構如圖1.1，其輸出為兩種位準的調變訊號，而不是線性放大器常見的線性訊號輸出，目前常見的調變方式為PWM調變。在將輸入訊號轉換成切換式的調變波形後，接下來會將此調變訊號送至功率電晶體，以控制其導通或截止，此時功率電晶體的輸出為放大的調變訊號，位準分別為正電源($+V_{DC}/2$)或是負電源($-V_{DC}/2$)，此放大的調變訊號最後經過一低通濾波器，濾除掉諧波成份後，會將調變波重建而得到放大之輸入訊號。

為何從調變訊號中可以得到原本的輸入訊號呢?我們由頻域分析可看出此調變波是由輸入訊號頻率、開關切換頻率以及開關切換頻率的諧波和旁波帶組成，如圖2.4所示輸入訊號、開關切換頻率及其諧波頻譜圖，圖2.5為調變訊號經過低通濾波器後的頻譜圖，低通濾波器衰減掉頻寬以外的頻率，也因此開關切換頻率需高於頻寬數十倍，才可以得到較小失真的波形輸出[20]。

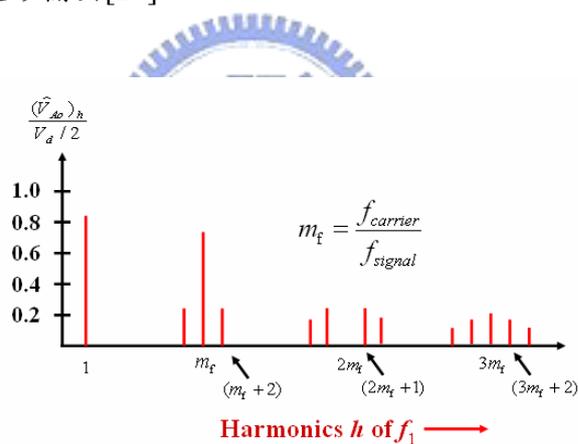


圖2.4 輸入訊號、開關切換頻率及其諧波頻譜圖

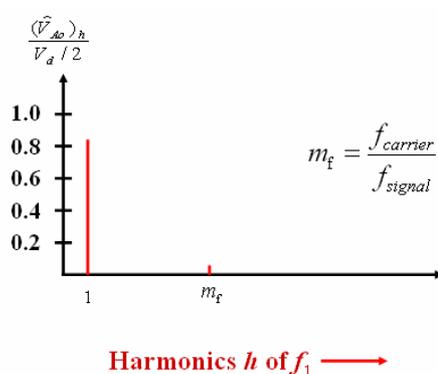


圖2.5 經過低通濾波器之輸入訊號、開關切換頻率及其諧波頻譜圖

理想的D類放大器應有100%的效率，其開關若處於導通狀態下，它的汲極與源極間電阻 R_{DS} 應為短路，截止狀態下汲極與源極間電阻 R_{DS} 則為開路。實際上MOSFET電晶體的導通電阻不會為零，而在開關切斷下仍會有少許洩漏電流流通，因此截止時的電阻也不會無窮大，所以在開關上仍會有功率損耗。開關造成的功耗又稱為導通功耗，導通時的電阻會和輸出負載如喇叭會形成分壓器，因此在選擇開關時通常以 R_{DS} 越小為考量，而截止電阻因阻值非常大，在計算效率時通常會忽略。大部份D類放大器的損失是在輸出級產生，有三種主要損失來源，分別為開關電容損失、導通損失以及切換損失。開關電容損失分為靜態損失及動態損失，靜態損失主要是由截止開關的洩漏電流造成，理想的開關在截止時不應有電流流過，實際上會因二次效應如開關的次臨界傳導(Subthreshold Conduction)、閘極的通道電流以及反向偏壓二極體的洩漏電流而造成損失，假設這些電流量是一個常數，則此靜態損失可表為[20]、[21]：

$$P_{static} = I_{static} V_{DD} \quad (2-4)$$

動態損失是由負載電容充放電所造成，平均功率為：

$$P_{dynamic} = \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt = C V_{DD}^2 f_{sw} \quad (2-5)$$

開關的靜態損失比動態損失小很多，通常可忽略。導通損失是因開關導通時，開關電阻值並非為零，所造成的損失，其值為：

$$P_{cond} = I_o^2 \cdot R_{on} \quad (2-6)$$

切換損失為開關切換時，因電壓及電流會同時出現在開關上所造成的損失，如圖2.6所示，其值為：

$$P_{sw} = \frac{1}{2} V_d I_o f_s (t_{c(on)} + t_{c(off)}) \quad (2-7)$$

三者相加即為D類放大器的損失，其效率為：

$$\% \eta = 100 \times \frac{P_L}{P_{Supply}} = 100 \times \frac{P_L}{P_L + P_{dynamic} + P_{cond} + P_{sw}} \quad (2-8)$$

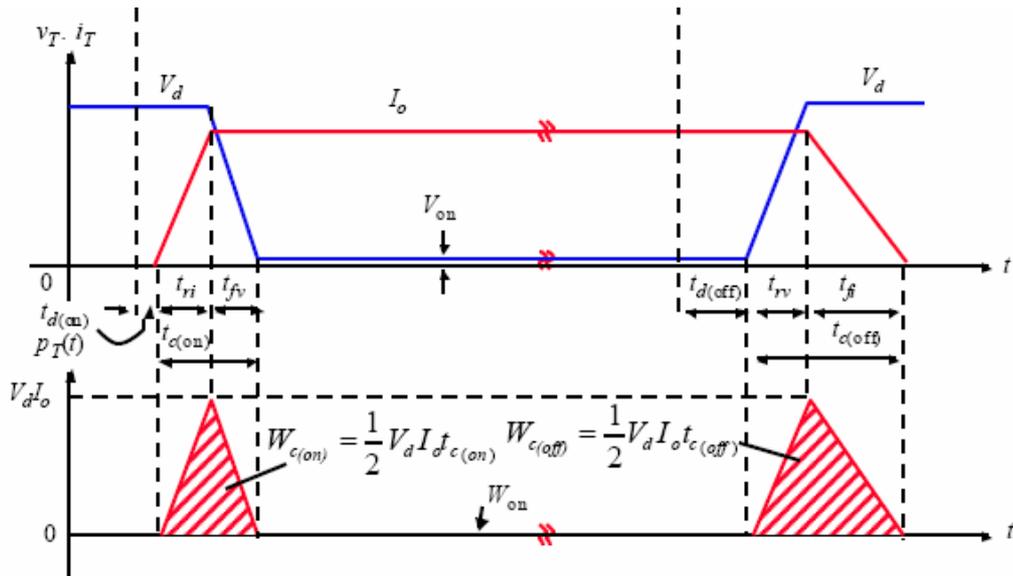


圖2.6 開關切換瞬間的電壓及電流波形圖

當輸出功率很高時，導通功率為主要損失，若負載為 6Ω 的喇叭，而開關導通電阻為 0.2Ω ，其效率就約為96%。另外由(2-7)式可知，若開關的切換頻率越快，所造成的切換損失也越大，但根據前述，PWM頻率最好高出頻寬數十倍，若音頻頻寬20kHz，PWM頻率100kHz時，此時量得的THD約12%，而當PWM頻率300kHz時的THD則約為1.3%，PWM頻率越高總諧波失真就越低，在功率損失與波形失真間變成一個權衡考量的問題，故本文嘗試以較低的開關切換頻率來達成低波形失真。

2.2 單相半橋式D類放大器分析

本節將推導單相半橋式D類放大器的模型，包含功率級及輸出濾波器的模型。

2.2.1 半橋式功率級模型

半橋式功率級操作原理

圖2.7為單相半橋式之D類放大器，共包含兩個開關。當上臂開關 Q_1 導通時，下臂開關 Q_2 截止時， v_{ao} 電壓為 $+V_{DC}/2$ ，而當上臂開關 Q_1 截止，下臂開關 Q_2 導通時， v_{ao} 電壓為 $-V_{DC}/2$ ，可求出一個切換週期 T_s 內的平均輸出電壓 \bar{v}_{ao} 為：

$$\bar{v}_{ao} = \frac{V_{DC}}{2} \cdot d_1 - \frac{V_{DC}}{2} \cdot d_2 \quad (2-9)$$

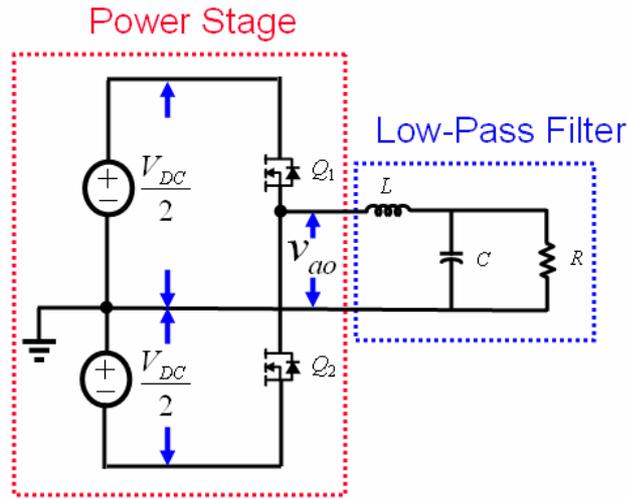


圖2.7 單相半橋式D類放大器

其中 d_1 為開關 Q_1 的責任週期(Duty Cycle)，定義為：

$$d_1 = \frac{t_{on}}{T_s} \quad (2-10)$$

d_2 為 Q_2 的責任週期。一個切換週期內， Q_1 與 Q_2 不允許同時導通。即 Q_1 與 Q_2 導通時間為互補：

$$d_2 = 1 - d_1 \quad (2-11)$$

將(2-10)式及(2-11)式代入(2-9)式，可得一個切換週期內的平均輸出電壓與輸入直流電壓之關係為：

$$2d_1 - 1 = \frac{\bar{v}_{ao}}{V_{DC}/2} \quad (2-12)$$

脈寬調變波分析

脈寬調變由於易實現且原理清楚易懂，故常用於D類放大器的前級調變，一般常採用的脈寬調變方法為正弦脈寬調變，或稱斜波調變法。其原理是將所產生之調變波與一斜波或是三角波作比較，根據兩波形交會點來決定功率電晶體之切換時機。當控制訊號 $v_{control}$ 大於載波訊號 v_{tri} 時，則輸出為 $+V_{DC}/2$ ，反之輸出為 $-V_{DC}/2$ ，如圖2.8。

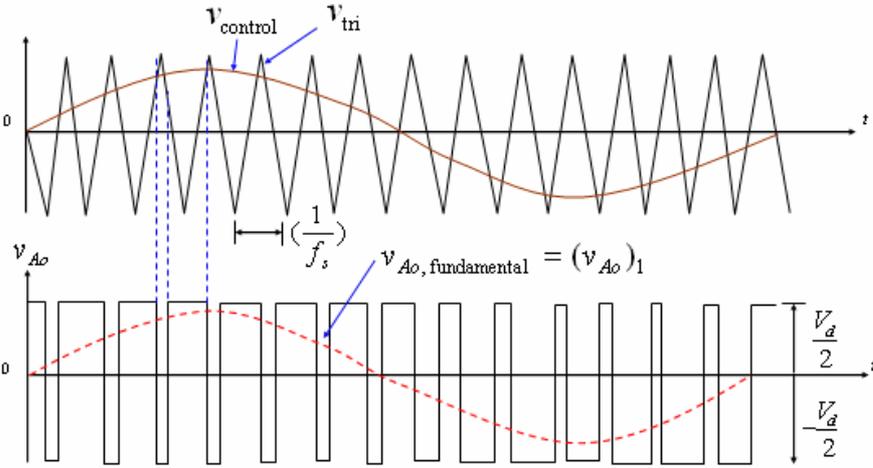


圖2.8 脈寬調變波形圖

為了降低波形的失真，使得解調變後的波形與控制命令相符合，通常將斜波之頻率設定在高頻之操作區，此即所謂之開關切換頻率。

依輸出電壓的極性，可將脈寬調變方式分成雙極性與單極性兩種。雙極性調變方式僅需產生一組調變訊號，在控制方式上較為簡單，其調變電壓在 $+V_{DC}/2$ 與 $-V_{DC}/2$ 之間變動，而單極性脈寬調變方式則需產生兩組調變訊號，但其調變電壓僅在 $+V_{DC}/2$ 與 0 之間作變化，本論文採雙極性調變方式。

假定開關切換頻率高於工作頻率數十倍以上時，則在每個開關切換週期內，可將調變信號視為定值。一般而言為降低D類放大器的輸出總諧波失真，開關切換頻率通常會高於工作頻率數十倍，故可在每個切換週期內將調變波視作定值。如圖2.9可知：

$$t_1 = \frac{v_{control}}{\hat{V}_{tri}} \frac{T_s}{4} \quad (2-13)$$

上臂開關 Q_1 導通的時間 t_{on} 可表示為：

$$t_{on} = 2t_1 + \frac{T_s}{2} \quad (2-14)$$

因此，換流器上臂開關 Q_1 導通的責任週期比為：

$$d_1 = \frac{t_{on}}{T_s} = \frac{1}{2} \left(1 + \frac{v_{control}}{\hat{V}_{tri}} \right) \quad (2-15)$$

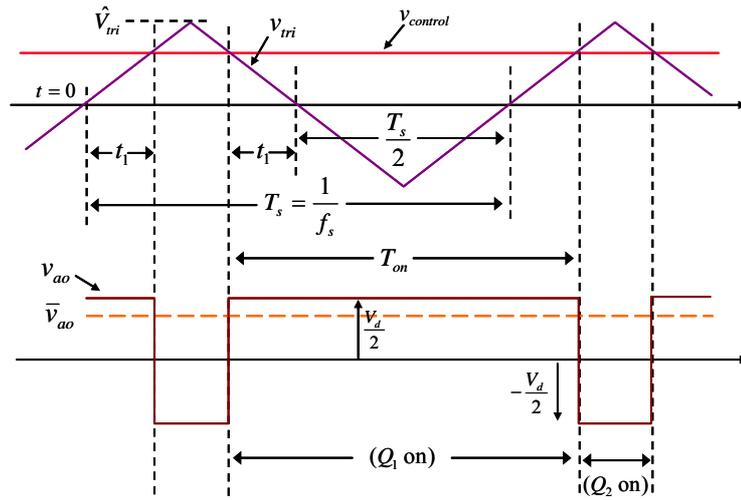


圖2.9 雙極性PWM波形示意圖

將(2-15)式代入(2-12)式可得：

$$2d_1 - 1 = \frac{v_{control}}{\hat{V}_{tri}} = \frac{\bar{v}_{ao}}{\frac{V_{DC}}{2}} \quad (2-16)$$

由於半橋式功率級開關 Q_1 導通時間是由脈寬調變所控制，故由(2-12)式與(2-16)式整理可得一個切換週期的平均輸出電壓：

$$\bar{v}_{ao} = \frac{2}{\hat{V}_{tri}} \cdot v_{control} = K_{PWM} \cdot v_{control} \quad (2-17)$$

其中：

K_{PWM} ：橋式功率級增益(V/V)

V_{DC} ：直流鏈電壓(V)

\hat{V}_{tri} ：脈寬調變三角波之最大振幅(V)

等效之半橋式功率級等效模型如圖2.10。

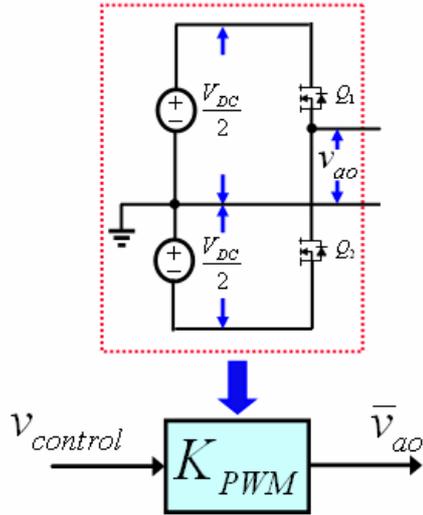


圖2.10 半橋式功率級等效模型圖

2.2.2 輸出濾波器分析

半橋式功率級的輸出為含有諧波成份之PWM訊號，為還原成類比訊號，需使用低通濾波器將頻寬外的高頻諧波成份濾除，濾波器電感、電容值的設計除了考慮到二階濾波器轉折頻率外，也關係著電感電流漣波及輸出電壓漣波的大小，本節將分析之。

電感電流漣波及輸出電壓漣波分析

如圖2.11所示為電感電流漣波波形，在上臂開關 Q_1 導通時，電感電流上升，而當上臂開關 Q_1 截止時，電感電流下降，在開關導通時，電感兩端的電壓差為：

$$\Delta v_L = \frac{V_{DC}}{2} - v_o \quad (2-18)$$

又開關 Q_1 導通時，電感電流為線性增加，故：

$$\Delta i_L = \frac{\Delta v_L}{L} \cdot t_{on} \quad (2-19)$$

在一切換週期下，平均電壓 \bar{v}_{ao} 約等於輸出電壓 v_o ，將(2-15)及(2-18)式代入(2-19)式：

$$\Delta i_L = \frac{\left(\frac{V_{DC}}{2} - \bar{v}_{ao}\right)}{L} \cdot \frac{T_s}{2} \left(1 + \frac{\bar{v}_{ao}}{V_{DC}}\right) = \frac{V_{DC}}{4L \cdot f_s} \left[1 - \left(\frac{\bar{v}_{ao}}{V_{DC}}\right)^2\right] \quad (2-20)$$

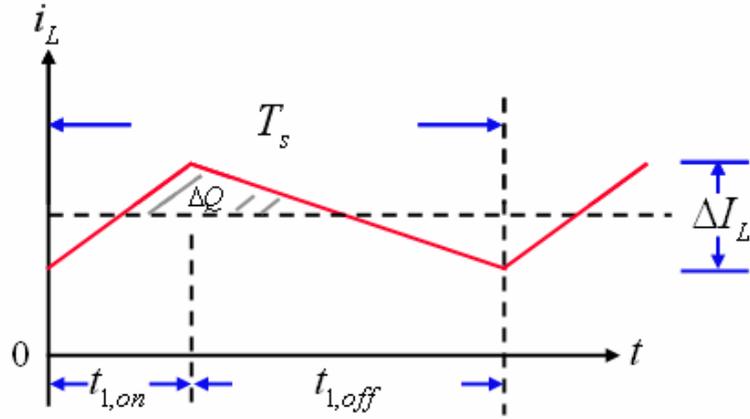


圖2.11 單相半橋式D類放大器電感電流漣波波形圖

由(2-20)式可知 \bar{v}_{ao} 為變動量時，可視 Δi_L 為 \bar{v}_{ao} 的函數，將(2-20)式兩邊對 \bar{v}_{ao} 微分：

$$\frac{d\Delta i_L}{d\bar{v}_{ao}} = \frac{-\bar{v}_{ao}}{L \cdot V_{DC} \cdot f_s} \quad (2-21)$$

由(2-21)式可看出當 $\bar{v}_{ao} = 0$ 時， Δi_L 會有極大值產生，故單相半橋式雙極性脈寬調變方式最大的電感電流漣波為：

$$\Delta i_{L,\max} = \frac{V_{DC}}{4L \cdot f_s} \quad (2-22)$$

輸出電壓漣波大小電容上電壓之變動量，輸出電壓漣波大小為流入電容的電感電流漣波成份所造成，電容上電壓的變動量為：

$$\Delta v_o = \frac{\Delta Q}{C} \quad (2-23)$$

因為電荷的變化量 ΔQ 為三角形面積，故電荷的變化量為：

$$\Delta Q = \frac{1}{2} \cdot \frac{\Delta i_L}{2} \cdot \frac{T_s}{2} \quad (2-24)$$

將(2-22)式及(2-24)式代入(2-23)式可得電容上最大的電壓漣波為：

$$\Delta v_{o,\max} = \frac{V_{DC}}{32 \cdot L \cdot C \cdot f_s^2} \quad (2-25)$$

濾波器諧振頻率之決定

若輸出濾波器電路為理想，則可以推導輸出對輸入的關係為：

$$\frac{v_o}{v_{ao}} = \frac{\omega_n^2}{s^2 + 2\xi \cdot \omega_n \cdot s + \omega_n^2}, \quad \omega_n = \frac{1}{\sqrt{LC}}, \quad \xi = \frac{1}{2R} \sqrt{\frac{L}{C}}, \quad f_n = \frac{1}{2\pi\sqrt{LC}} \quad (2-26)$$

決定開關的切換頻率為100kHz，額定輸出電壓為34.7V(rms)，額定輸出電流為5.77A(rms)，為提供足夠的能量，決定輸入直流鏈電壓為60V。而最大漣波電流若需小於40%，由(2-22)式可得到電感值需大於92μH，選用电感值100μH。故濾波器的諧振頻率以16kHz來設計，根據(2-26)式可得到電容值為1μF。當輸出負載為8Ω喇叭，阻尼係數可得知為0.625，以電感值100μH、電容值1μF、負載8Ω為係數的輸出對輸入頻率響應圖如圖2.12，其二階轉移方程式為：

$$\frac{v_o}{v_{ao}} = \frac{1 \cdot 10^{10}}{s^2 + 125000s + 1 \cdot 10^{10}} \quad (2-27)$$

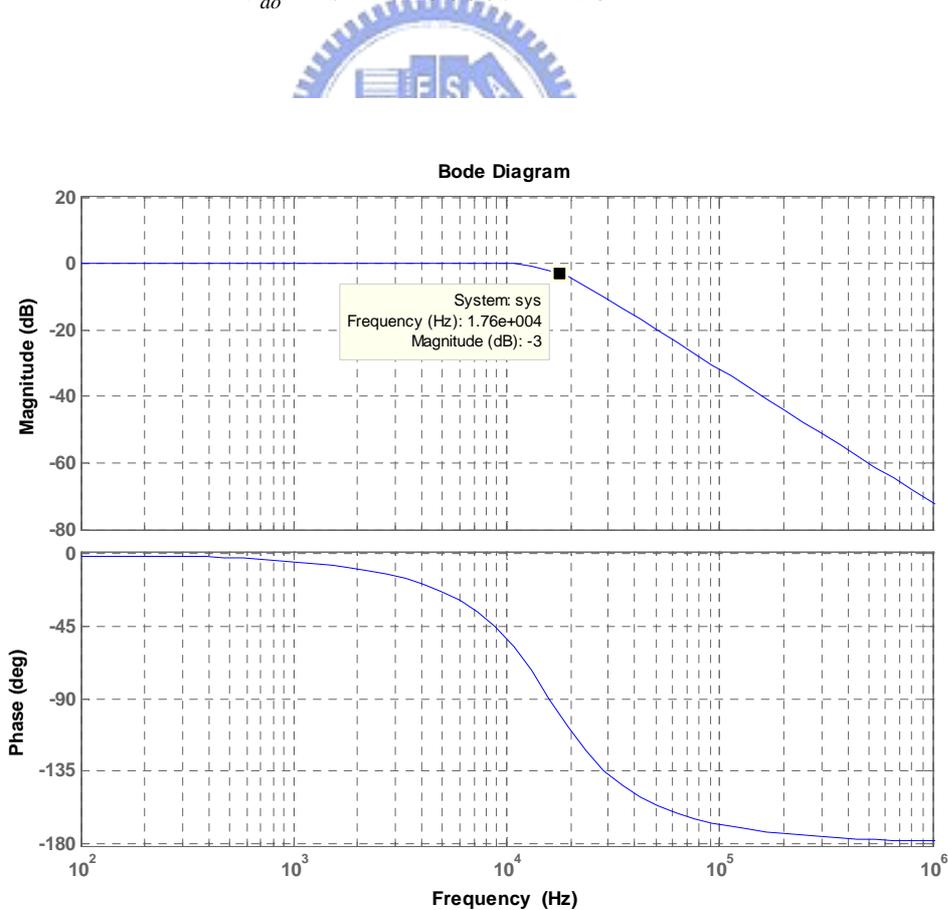


圖2.12 濾波器之頻率響應圖

2.3 交錯式D類放大器分析

多相交錯式技術已廣範運用在電壓調整領域上，在直流轉直流或是直流轉交流的應用上，為降低輸出電壓的漣波，一般做法是提高開關的切換頻率，然而此舉會造成開關的切換損失增加，也降低了效率。多相交錯式的方法是使每相的切換命令有相位差，而各相開關的切換頻率一樣，但是輸出的有效切換頻率提高了，此種作法的優點是可以降低輸出電壓漣波的振幅，但確不會提高開關的切換損失[22]-[23]。

要瞭解交錯式的D類放大器的優點，最直覺的方法就是和一般非交錯式的D類放大器做比較，圖2.13為三個單相半橋式的D類放大器，以並聯的方法連接，此種排列方法即為典型的交錯式系統。固定開關頻切換頻率為100kHz，直流電源100V，在不使用交錯式的控制方法，也就是說三個並聯的D類放大器的開關切換控制訊號一樣的情況下，總電感電流為三個相同的單相電感電流相加，其諧波大小為單相的三倍。而使用交錯式的控制方法，亦即控制第二相及第三相上臂開關控制訊號，使其分別延遲第一相上臂開關120度及240度，總電感電流漣波為單相電感電流的三分之一，如圖2.14。故可知，交錯式控制在不提高切換頻率的情況下，增加n相並聯，控制每相開關導通角差 $2\pi/n$ ，就可有效的降低總電感電流漣波n倍，要注意的是，總電感電流漣波的頻率亦為單相電感電流漣波頻率的n倍。在本論文中採三相交錯式D類放大器架構。

單相半橋式的D類放大器最大輸出電感漣波電流及輸出漣波電壓分別如式(2-22)及式(2-25)所推導，使用n相的交錯式D類放大器的最大輸出電感電流漣波為：

$$\Delta i_{L,\max} = \frac{V_{DC}}{4L \cdot n \cdot f_s} \quad (2-28)$$

其中n為交錯式D類放大器所使用的相數。交錯式最大的輸出電壓漣波為：

$$\Delta v_{o,\max} = \frac{V_{DC}}{32 \cdot L \cdot C \cdot (n \cdot f_s)^2} \quad (2-29)$$

接下來我們要討論先定義兩個參數：

$$f_{s,1p,eff} = f_{s,1p} \quad (2-30)$$

$$f_{s,np,eff} = n \cdot f_{s,np} \quad (2-31)$$

$f_{s,1p,eff}$ 為單相D類放大器的有效切換頻率， $f_{s,np,eff}$ 為交錯式總電感電流的有效切換頻率， $f_{s,np}$ 為交錯式每相的切換頻率。假設交錯式(在此以三相做說明)與單相的D類放大器輸入直流鏈電壓均為100V，單相的開關切換頻率為150kHz，交錯式每相的切換頻率為50kHz，電感為100 μ H，電容為1 μ F，單相及三相的電感電流漣波均為1.67A，單相及三相的輸出電壓漣波均為1.4V，故當限制單相及交錯式D類放大器，有相同的輸出電感電流漣波及電壓漣波時，交錯式D類放大器每相的開關切換頻率的確可下降3倍，降低了實現之困難度。

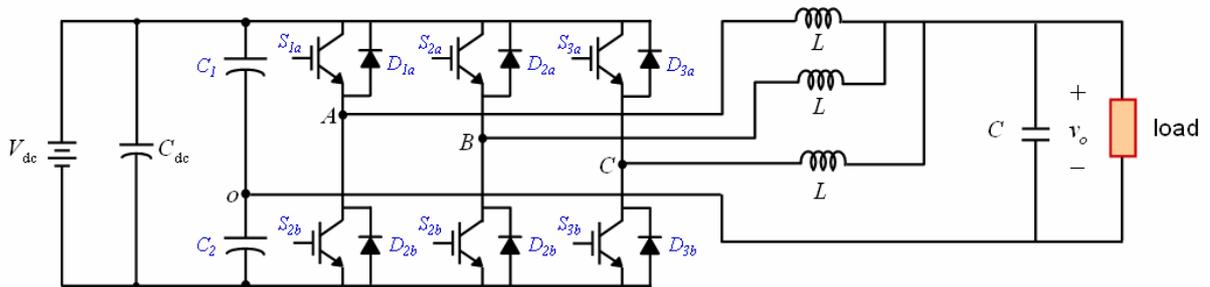


圖2.13 三相並聯連接之D類放大器示意圖

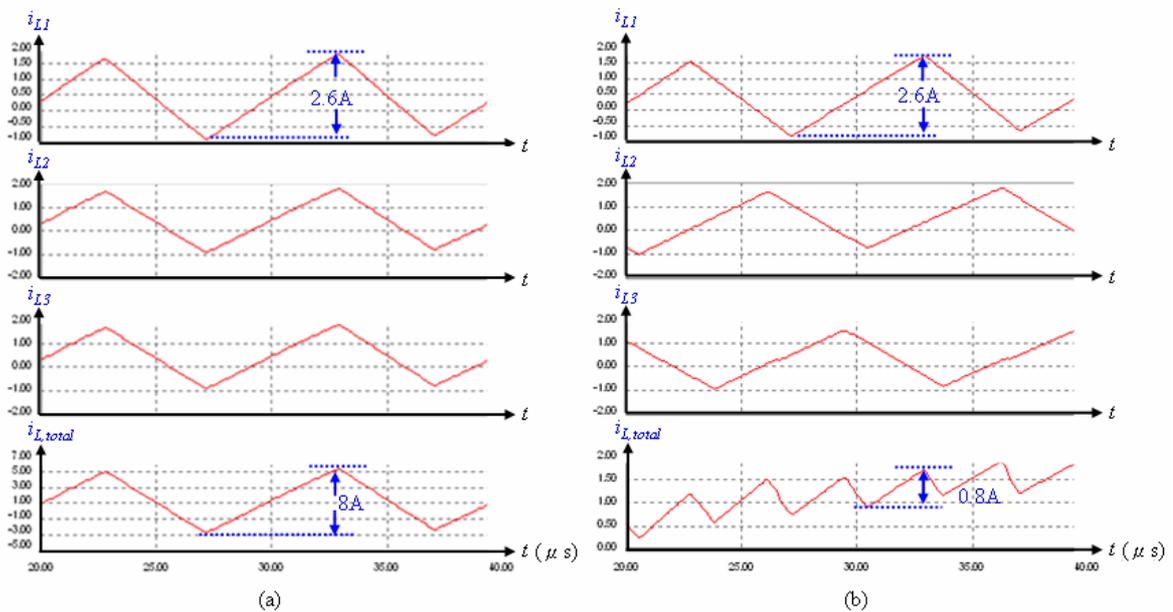


圖2.14 (a)未使用交錯式控制(b)使用交錯式控制之總電感電流波形圖

第三章

交錯式D類放大器數位控制器設計

本章的研究重點在於針對交錯式D類放大器補償器，藉著不同控制器分別的優點及功用，利用多迴路整合的控制方法，希望達到所預期之穩壓效果。在閉迴路控制架構上所採用的是多迴路控制策略，分為電流內迴路及電壓外迴路。電流迴路的目的是在於加強系統對於非線性負載發生時的反應速度；電壓迴路目的則在於加強系統的強健性及穩定性，藉由電壓回授計算出電壓誤差量，經由電壓控制器並據以產生電流命令，使得電感電流可針對輸出電壓的變化出迅速的反應，達到穩定輸出波形的目的[24]-[25]。

3.1 電流控制迴路

3.1.1 電流迴路比例控制器設計

在所提供的D類放大器控制架構中，電流迴路是最內層的控制迴路，目的在能夠準確快速的追蹤電壓迴路所產生的電流電流命令，因此電流控制的好壞將影響到外部迴路的響應優劣，換言之，若無法達到良好電流響應，電壓迴路的設計就失去意義。良好的電流控制更能提高D類放大器的效率與性能，提升電壓迴路最終所能到達的頻寬。預測型控制器，即是預測電流未來的波形，事先計算出其所需之控制命令，再藉由數位閉迴路控制的方式，使得電流在下一個取樣週期的瞬間，達到所要求的位置。

若以下條件成立：開關切換頻率遠高於工作頻率、沒有無效時間(Dead-time)影響且直流輸入鏈電壓為定值，根據第二章中橋式功率級的分析，由式(2-17)可得各相電感電壓與橋式功率增益關係：

$$\begin{aligned}
 \bar{v}_{Ao} &= K_{PWM,A} \cdot v_{control} \\
 \bar{v}_{Bo} &= K_{PWM,B} \cdot v_{control} \\
 \bar{v}_{Co} &= K_{PWM,C} \cdot v_{control}
 \end{aligned}
 \tag{3-1}$$

其中：

$$K_{PWM,n} = K_{PWM,A} = K_{PWM,B} = K_{PWM,C} = \frac{V_{DC}}{2 \cdot \hat{V}_{tri}}
 \tag{3-2}$$

$K_{PWM,n}$ 、 $K_{PWM,A}$ 、 $K_{PWM,B}$ 及 $K_{PWM,C}$ 為橋式功率級增益，根據式(3-2)，可得三相交錯式D類放大器等效模型如圖3.1。

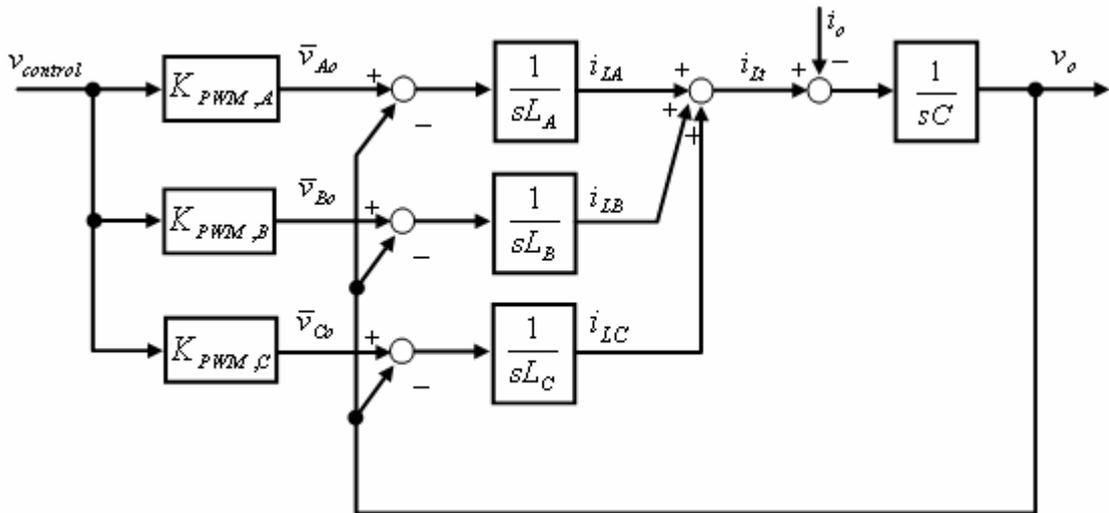


圖3.1 交錯式D類放大器模型圖

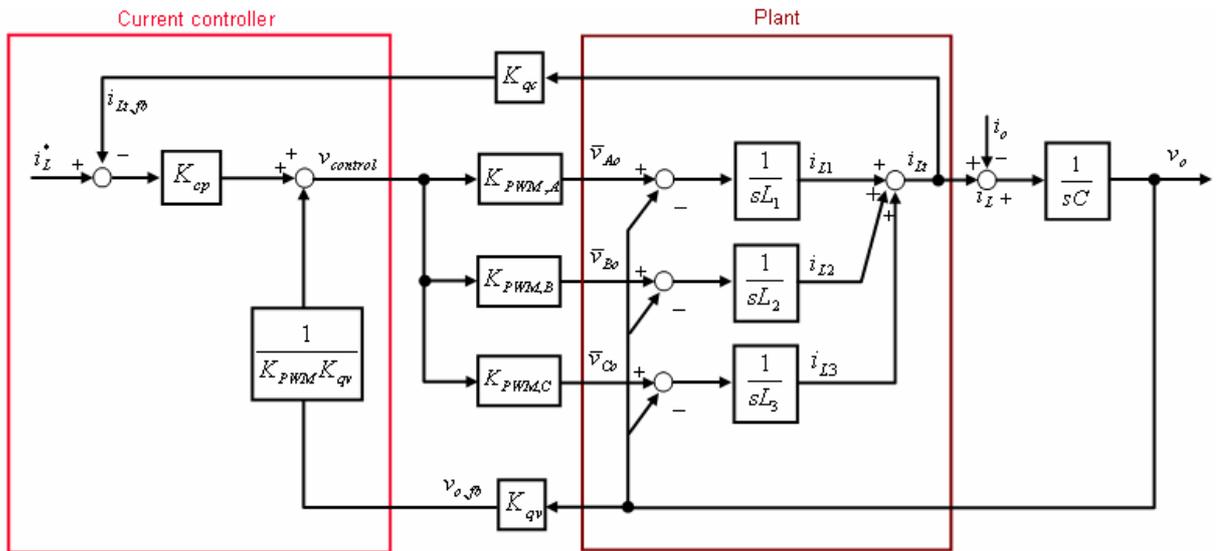


圖3.2 電流內迴路及交錯式D類放大器模型圖

圖3.2為電流內迴路以及交錯式D類放大器模型，其中在電壓及電流的迴授路徑上有乘上一個增益，這是因為需將各迴授量縮小在ADC所能接受的範圍之內，各增益分別為 K_{qv} 輸出電壓迴授增益、 K_{qc} 電感電流迴授增益、 K_{cp} 電流迴路比例控制器增益、 $1/K_{PWM}K_{qv}$ 電壓前饋回授增益。在電流迴路控制架構中，包含了輸出電壓的前饋補償(Feed-forward)以及一個比例控制器。輸出電壓前饋補償之目的，在於負載變動時，使電流迴路能不受輸出電壓的影響，輸出電壓的變動對於電流迴路可視為干擾源，在加入此補償後，可將原本開迴路模型中的輸出電壓迴授訊號解耦，而不致於受輸出電壓及負載變動影響，並可使電流迴路降為一階，便於控制器設計。此外三相交錯式的換流器再加入輸出電壓的前饋補償後，各相電流迴路可視為不受輸出電壓的影響，假設每相的電感值均相同，則電流迴路可視為三個電感並聯，其簡化模型如圖3.3所示。

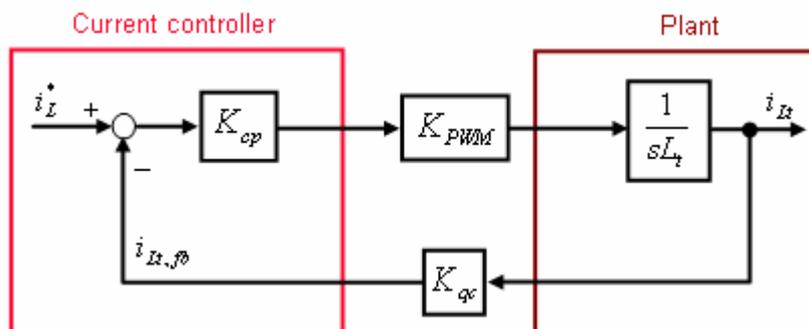


圖3.3 簡化後之電流內迴路模型

根據圖3.3，電感電流閉迴路轉移函數為：

$$\frac{i_{L_t}}{i_L^*} = \frac{\frac{K_{cp} K_{qc} K_{PWM}}{L_t}}{s + \frac{K_{cp} K_{qc} K_{PWM}}{L_t}} = \frac{u_c}{s + u_c} \quad (3-3)$$

$$\Rightarrow K_{cp} = \frac{u_c L_t}{K_{qc} K_{PWM}}$$

電流迴路控制器參數的設定，於s-domain下決定電流內迴路之頻寬後，由(3-3)可計算出數值，再將此參數經由數位化實現。因電流閉迴路頻寬可近似其開迴路的增益交越頻率，所以決定開迴路增益交越頻率即可決定閉迴路系統的頻寬，假設電流閉迴路頻寬為64kHz，則電流迴路控制器參數為：

$$K_{cp} = \frac{2 \times \pi \times 64k \times \frac{100\mu}{3}}{204.8 \times 0.1} = 0.65 \quad (3-4)$$

電流內迴路頻率響應如圖3.4。

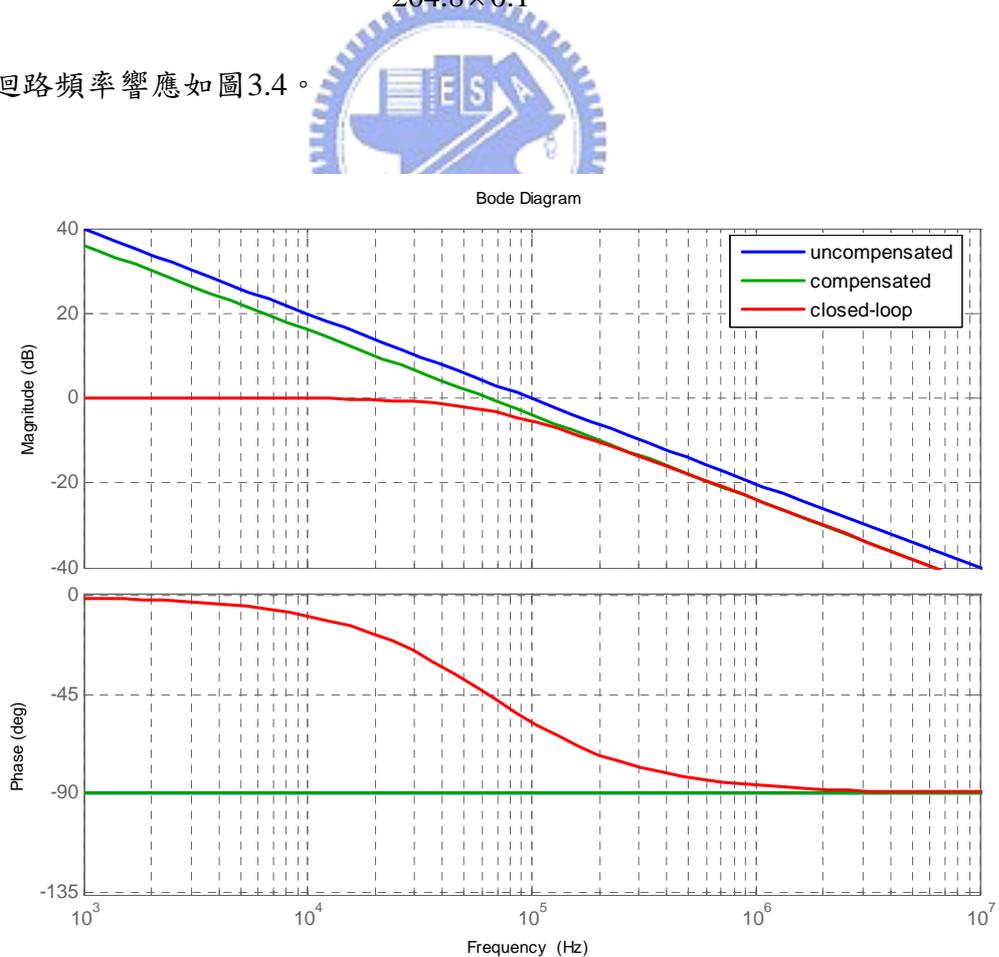


圖3.4 電流內迴路頻慮響應圖

3.1.2 電流迴路模擬驗證分析

圖3.5為電流迴路步階響應，由圖中可看出電感電流幾乎完全追隨電流命令，此時電流命令由2.5A切換至5A。電流迴路響應速度很快，電流輸出在10 μ s就可追上電流命令，穩態誤差約在0.4A。圖3.6為模擬電流迴路命令為正弦波時之輸出響應。

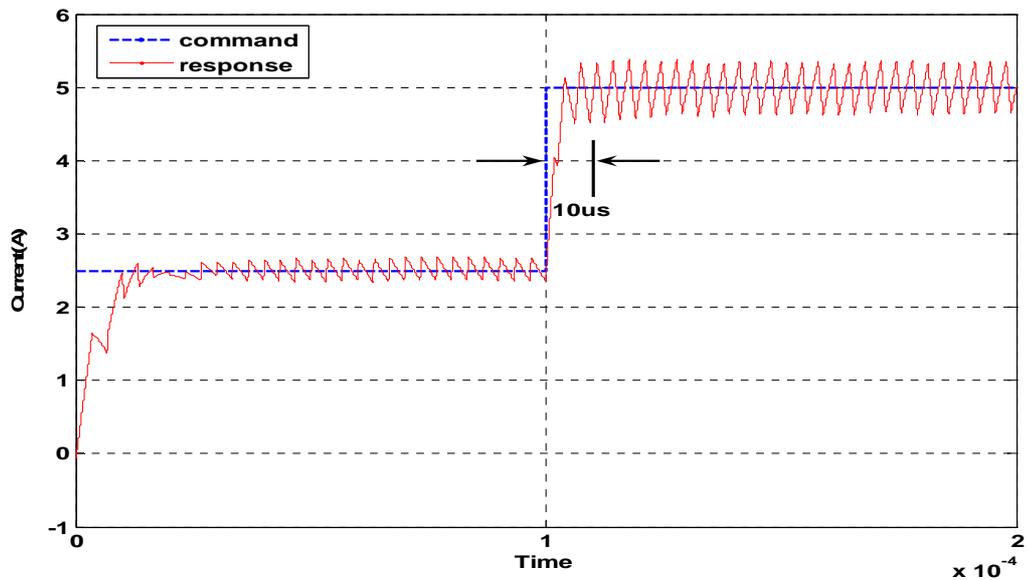


圖3.5 電流迴路步階響應模擬圖

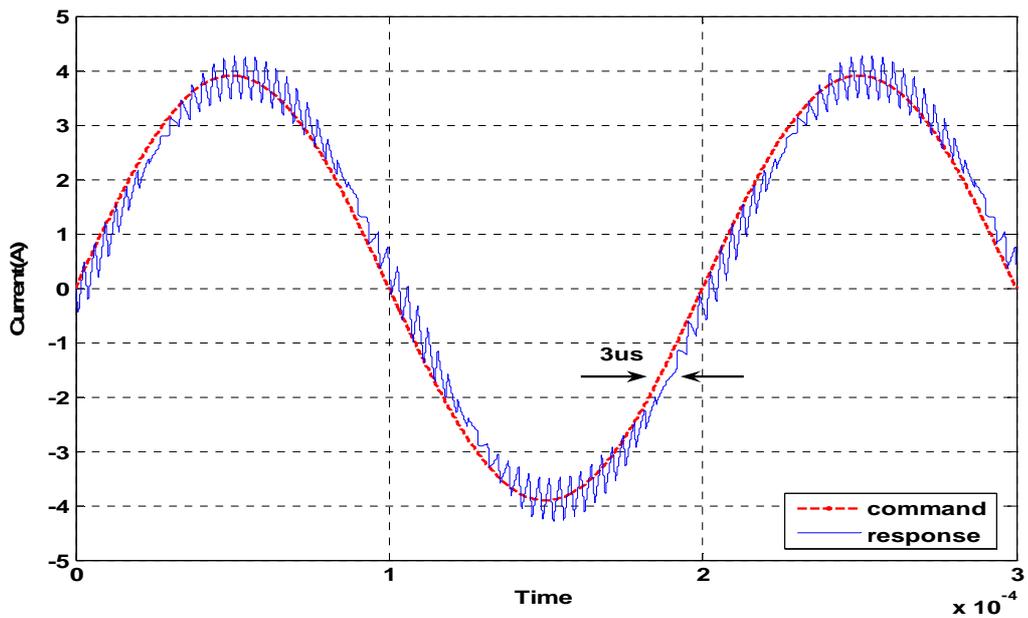


圖3.6 電流迴路命令為正弦波之輸出響應模擬圖

3.2 電壓控制迴路

3.2.1 電流控制下之簡化模型

電壓外迴路將參考命令與回授量相減，將誤差訊號後送至電壓控制器，經運算得到電流命令輸出，此電流命令送至電流內迴路，成為電流迴路的控制命令。若電流迴路頻寬遠大於電壓頻寬，在頻域上，可將電流迴路視為單位增益，在時域上，由於電流迴路具快速響應，因此可視電感電流為可控之電流源。圖3.7為換流器之簡化模型。

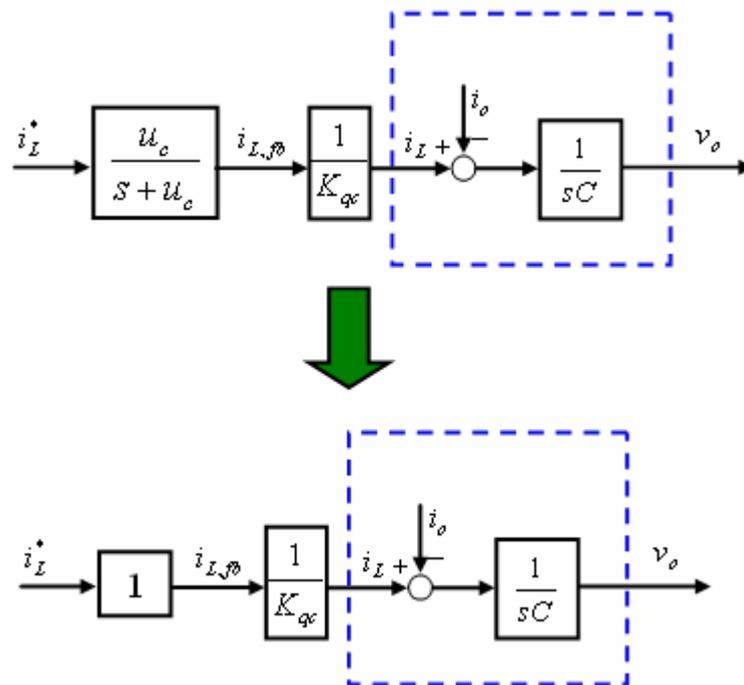


圖3.7 電壓迴路之簡化模型

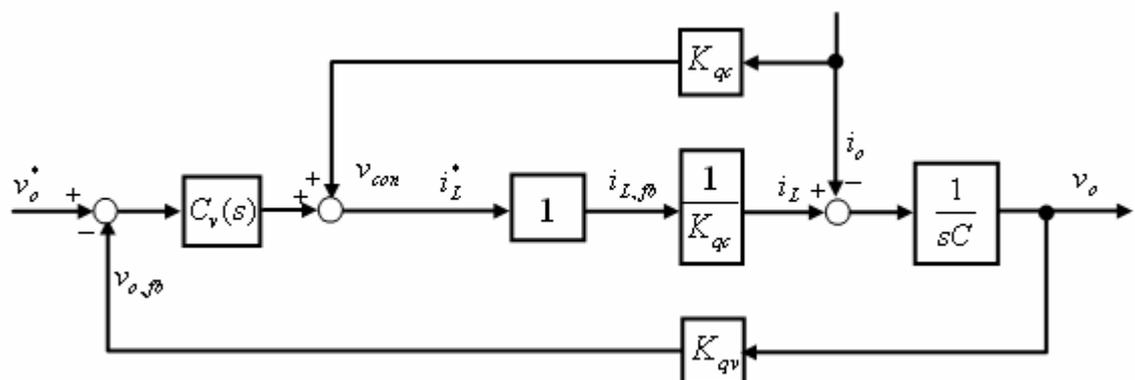


圖3.8 電壓外迴路模型

電壓外迴路架構如圖3.8所示，與電流迴路類似，電壓迴路控制架構包含輸出電流前饋補償以及一個電壓控制器。輸出電流前饋補償之目的，在於使電壓迴路不受輸出電流變化影響，當換流器的負載變動時，會反映於輸出電流上，可等效於輸出電流瞬間變化，此變化對於電壓迴路可視為一擾動，加入輸出電流前饋補償可降低負載變化影響。上述為在時域的觀點，在頻域下，假設輸出負載為純電阻性負載，則此負載電阻與輸出電容會構成一低頻極點，若加入輸出電流前饋補償，則可消除此極點。如圖3.9所示，在未加入輸出電流前饋補償時，輸出電壓與電流命令的轉移函數為：

$$v_o = \frac{1}{K_{qc}} \cdot \frac{1}{sC} i_L^* - \frac{1}{sC} \cdot \frac{1}{R} v_o$$

$$\Rightarrow \frac{v_o}{i_L^*} = \frac{1}{K_{qc}} \cdot \frac{R}{sRC + 1} \quad (3-5)$$

在加入輸出電流前饋補償後，輸出電壓與電流命令的轉移函數為：

$$v_o = \frac{1}{K_{qc}} \cdot \frac{1}{sC} i_L^* - \frac{1}{sC} \cdot \frac{1}{R} v_o + \frac{1}{sC} \cdot \frac{1}{R} v_o$$

$$\Rightarrow \frac{v_o}{i_L^*} = \frac{1}{K_{qc}} \cdot \frac{1}{sC} \quad (3-6)$$

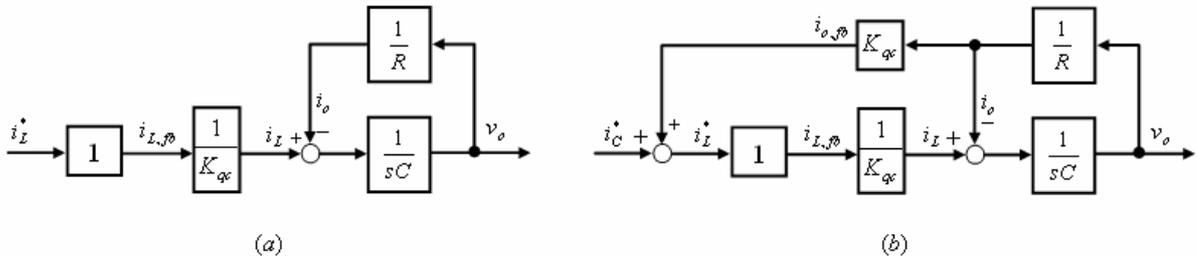


圖3.9 (a)未加入電流前饋補償(b) 加入電流前饋補償之電壓迴路模型圖

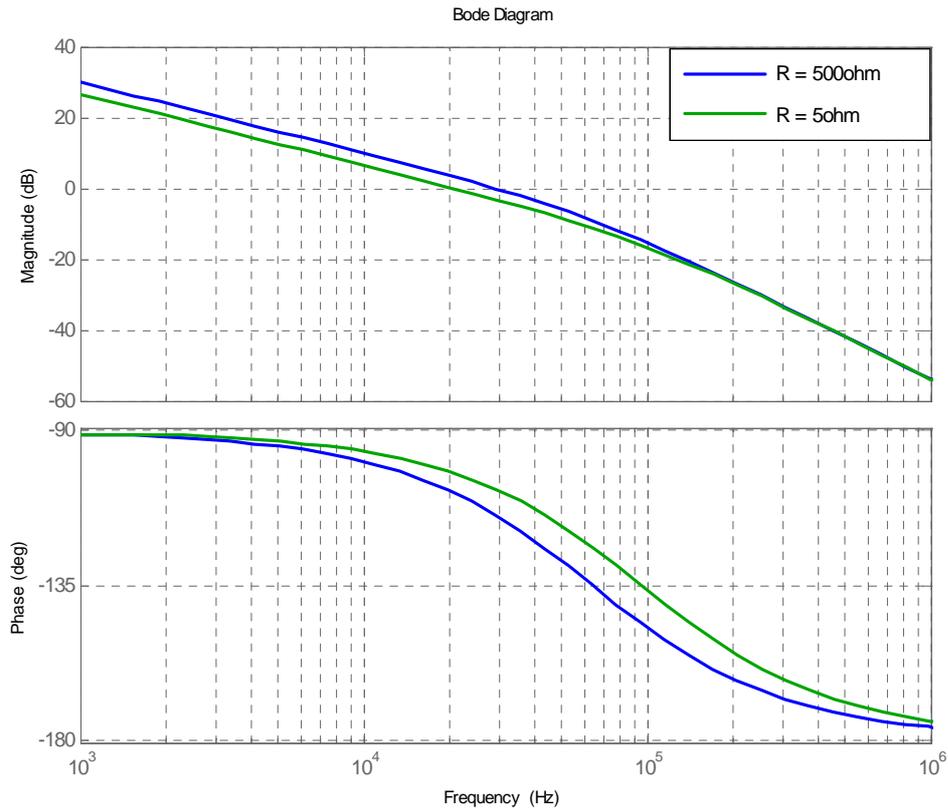


圖 3.10 加入電流前饋補償之頻率響應圖

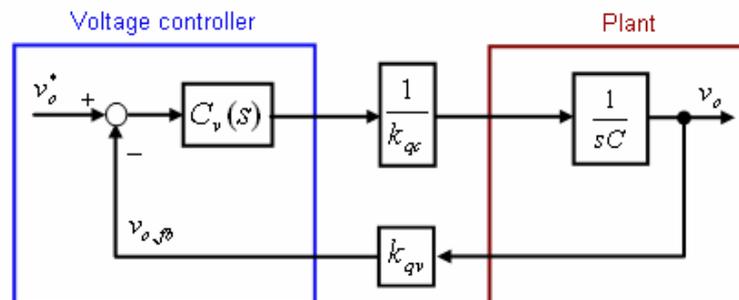


圖3.11 電壓迴路簡化示意圖

圖3.11為簡化後的電壓迴路模型，電壓迴路控制器為比例積分控制器及相位領先控制器。本文首先設計比例積分控制器調整電壓迴路閉迴路頻寬及改善穩態誤差，提高系統響應速度。接著再根據已加入比例積分控制器下的開回路增益使用相位超前控制器補償相位邊限至期望大小。

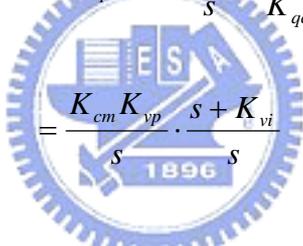
3.2.2 比例積分控制器設計

比例積分(Proportional Integral, PI)控制器最主要的目的在於消除穩態誤差，然而，換流器輸出電壓為一時變系統，使用比例積分控制器，將會具有相位延遲，且有穩態誤差。雖然此方法較簡單，但要使其無穩態誤差，其控制器設計較困難，所以PI控制器參數之設定將藉由模擬之方式得出一組較佳的參數值，再於實作系統中進行適當的微調。PI控制器轉移函數為：

$$C_{pi}(s) = K_{vp} \left(1 + \frac{K_{vi}}{s}\right) \quad (3-7)$$

調整 K_{vp} 即調整開迴路增益大小， K_{vi} 為控制器零點，採用此架構實現PI控制器時，當藉由 K_{vp} 及 K_{vi} 調整開迴路增益或控制器零點時不會互相影響。加入PI控制器後之開迴路電壓增益為：

$$G_{vpi}(s) = K_{vp} \cdot \left(1 + \frac{K_{vi}}{s}\right) \cdot \frac{K_{qv}}{K_{qc}} \cdot \frac{1}{sC}$$

$$= \frac{K_{cm} K_{vp} \cdot (s + K_{vi})}{s^2} \quad (3-8)$$


其中

$$K_{cm} = \frac{K_{qv}}{K_{qc} \cdot C} \quad (3-9)$$

PI控制器設計步驟如下，首先令積分項增益 K_{vi} 為零，則此控制器為比例控制器，如同電流迴路，可由已設定頻寬決定 K_{vp} ，則：

$$G_{vpi}(s) = \frac{K_{cm} K_{vp}}{s} \quad (3-10)$$

閉迴路轉移函數為：

$$\frac{v_{o,fb}}{v_o^*} = \frac{G_{vpi}(s)}{1 + G_{vpi}(s)} = \frac{u_p}{s + u_p}$$

$$\Rightarrow K_{vp} = \frac{u_v \cdot C \cdot K_{qc}}{K_{qv}} \quad (3-11)$$

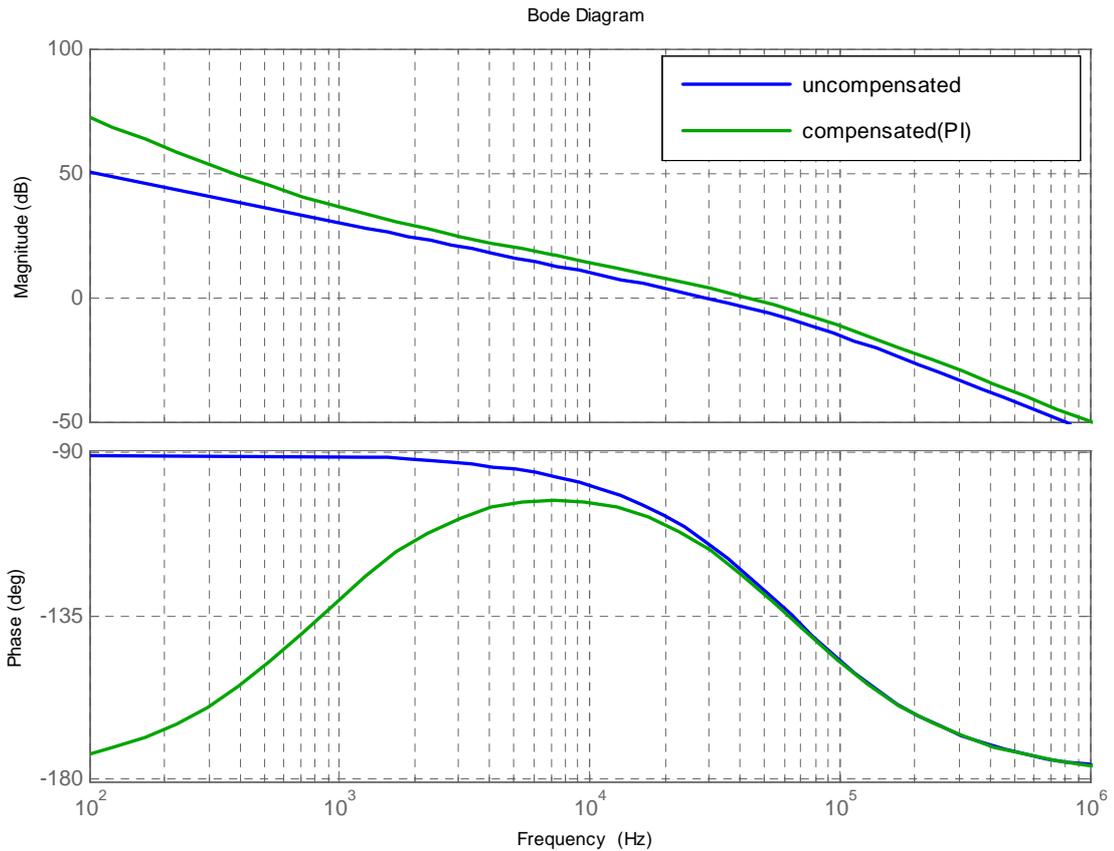


圖3.12 補償前及補償後之電壓迴路頻率響應圖

設電壓迴路頻寬為50kHz，則可得 K_{vp} 為：

$$K_{vp} = \frac{2 \times \pi \times 50k \times 1\mu \times 204.8}{40.96} = 1.57 \quad (3-12)$$

圖3.12為加入PI控制器後之頻率響應圖，加入PI控制器電壓迴路頻率響應頻寬以提升至50kHz，相位增益邊限(Phase Margin, PM)為50度，實際數位實現中，PM會受零階保持器延遲及奈氏頻率(Nyquist frequency)使得相位扭曲(warping)而造成PM下降，因此通常會使用相位領先控制器來補償PM。相位超前控制器採z-domain方式設計，可以直接對於數位化轉移函數之相位延遲作補償，相位領先控制器將在下一節中作說明。

3.2.3 相位領先控制器設計

Hewlett-Packard(HP) 公司於 1985 年提出的一種數位控制器設計法則稱為 Combination Method [26]，其主要目的為簡化使用者調整其數位補償器 HCTL-1000 的濾波器參數，以提供一穩定且響應夠快的速度迴路控制。此方法的最主要優點為雖設計為一數位控制器，但是使用者可以運用在 s-plane 或類比控制上的方法或理論來設計數位控制器參數。在這種設計方法中，系統頻寬為一關鍵的設計指標，本論文將採用此設計步驟來進行數位相位領先補償器之設計。

數位控制器之頻域分析

以 Combination Method 設計數位控制器時，控制器的型式如下：

$$D(z) = \frac{[K][z-A]}{[z+B]} = [K] \left[\frac{z-A}{z} \right] \left[\frac{z}{z+B} \right] \quad (3-13)$$

其中極點項 $[z/z+B]$ 與零點項 $[z-A/z]$ 對原開迴路系統均會提供正的相位補償，所提供的增益會隨著輸入訊號頻率不同而變化。常數增益 K 是一個獨立的增益因子，它可以增加系統的增益以提供較高的頻寬，同時可補償極零點項所造成的增益衰減。此方法利用極、零點的增益圖以及相位圖的分析技巧來設計器，根據這些增益與相位圖來決定極點參數 (B)、零點參數 (A) 與增益值 (K)，以提供閉迴路系統足夠的相位領先與增益，以便在步階響應的測試條件下達到所欲設計的系統頻寬。數位控制器的極點項轉移函數為：

$$P(z) = \frac{z}{z+B} \quad (3-14)$$

將 $z = e^{j\omega t}$ 代入 (3-14)，整理後可得極點項的相位表示式為：

$$P_p(\omega_N) = \arg \left[\frac{e^{j\omega t}}{e^{j\omega t} + B} \right] = \arctan \left[\frac{B \sin \omega t}{B \cos \omega t + 1} \right] \quad (3-15)$$

而極點項的大小表示式為：

$$M_p(\omega_N) = \left| \frac{e^{j\omega t}}{e^{j\omega t} + B} \right| = \frac{1}{\sqrt{[1 + B \cos(\omega t)]^2 + [B \sin(\omega t)]^2}} \quad (3-16)$$

為了方便設計者利用這些頻率響應圖做數位控制器參數的設計，先將頻率 ω 做正規化(normalize)，所謂頻率的正規化就是將頻率乘上數位系統的取樣時間 T ，即：

$$\omega_N = [\omega] \cdot [T] (\text{radians}) \quad (3-17)$$

數位控制器的零點項轉移函數為：

$$P(z) = \frac{z - A}{z} \quad (3-18)$$

將 $z = e^{j\omega t}$ 代入(3-18)，整理後可得零點項的相位表示式為：

$$P_z(\omega_N) = \arg\left[\frac{e^{j\omega t} - A}{e^{j\omega t}}\right] = \arctan\left[\frac{A \sin \omega t}{1 - A \cos \omega t}\right] \quad (3-19)$$

而零點項的大小表示式為：

$$M_z(\omega_N) = \left| \frac{e^{j\omega t} - A}{e^{j\omega t}} \right| = \sqrt{[(1 - A \cos \omega t)]^2 + [A \sin \omega t]^2} \quad (3-20)$$

一般系統的取樣頻率大多設計在閉迴路頻寬(BW)的10倍以上，即：

$$f \geq (10 \times \text{BW}) \quad (3-21)$$

若頻寬的單位為赫茲(Hertz)，則(3-24)可改寫成：

$$T \leq (2 \times \pi) / (10 \times \text{BW}) \quad (3-22)$$

由(3-20)可知正規化頻率為取樣時間乘以頻率，故將(3-25)化簡整理後可得：

$$\omega_N \leq (2 \times \pi) / 10 = 0.628 \quad (3-23)$$

Combination Method之設計步驟

利用極、零點的相位圖以及增益圖來設計一相位領先補償器極點(B)、零點(A)及增益(K)等參數的步驟敘述如下：

- (1) 將零階保持器以時間延遲模型代換後，併入原受控體做為新的開迴路系統。
- (2) 設定系統經控制後欲達到的補償規格：(i)相位邊限 P_{MC} 、(ii)頻寬大小(BW)。

- (3) 將閉迴路系統欲達到的頻寬對取樣時間做頻率正規化後，做為新的增益交越頻率 ω_c ，求出未補償系統在頻寬正規化頻率為 ω_c 時的大小值 $M_U(\omega_c)$ 及相位邊限值 P_{MU} 。定義一增益量 K_F 為 $M_U(\omega_c)$ 值的倒數：

$$K_F = \frac{1}{M_U(\omega_c)} \quad (3-24)$$

- (4) 計算欲達到的相位邊限 P_{MC} 與未補償前系統的相位邊限值 P_{MU} 的差值 P_L ：

$$P_L = P_{MC} - P_{MU} \quad (3-25)$$

- (5) 在頻寬正規化頻率 ω_c 決定的限制下，根據極點項的相位圖盡可能選擇一個夠大的極點值 B ，因較大的 B 值有助於系統響應速度的加快。且數位控制器中的極點項可提供正相位 $P_p(\omega_c)$ ，因此可用來補償不足的相位邊限。經過極點項的相位補償後，剩下仍需要補償的角度即為零點項所需貢獻的相位 $P_z(\omega_c)$ 為：

$$P_z(\omega_c) = P_L - P_p(\omega_c) \quad (3-26)$$

- (6) 此時，極點項所貢獻的增益值 $M_p(\omega_c)$ 也可利用極點項的增益圖加以決定。
- (7) 根據(3-26)所求出的 $P_z(\omega_c)$ 及 ω_c ，利用零點項的相位圖即可決定出零點 A 之參數值。又在零點 A 決定後，配合頻寬正規化頻率 ω_c 即可由零點項的增益圖找出零點項所貢獻的增益值 $M_z(\omega_c)$ 。
- (8) 因為頻寬正規化頻率 ω_c 設定為補償後系統新的增益交越頻率，故數位控制器的增益值 K 必須使補償後系統在頻率為 ω_c 時的增益為 1， K 值可由下式計算得到：

$$K = \frac{K_F}{[M_p(\omega_c)][M_z(\omega_c)]} \quad (3-27)$$

根據以上的設計步驟，即可決定出數位控制器 $D(z) = \frac{[K][z-A]}{[z+B]}$ 的各個參數，圖 3.13 所

示為 Combination Method 之設計流程圖。在設計完控制器，對閉迴路系統進行步階響應的時域測試，以其上升時間估計系統響應速度或頻寬，以驗證能否達到設計規格。

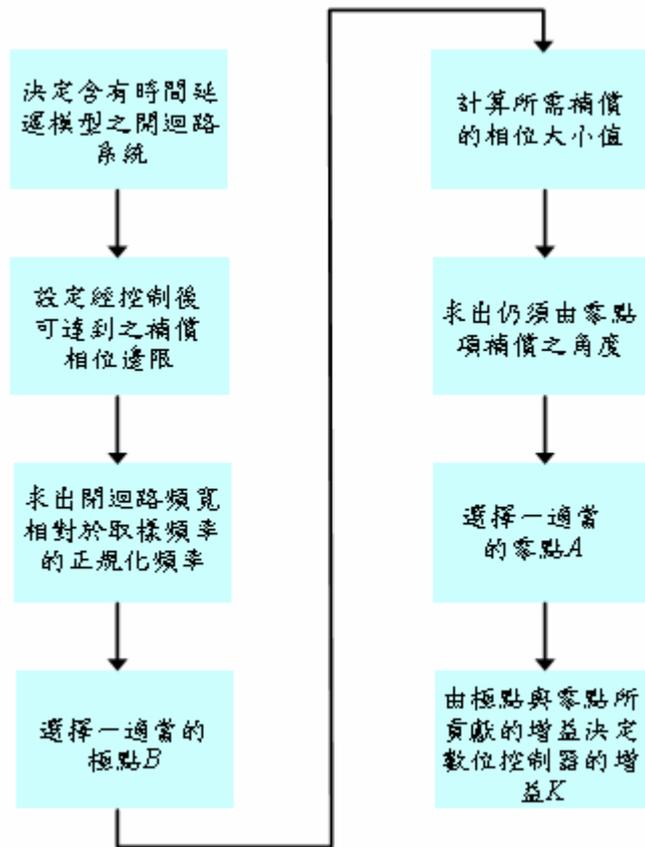


圖3.13 Combination Method之設計流程圖

相位領先控制器參數設定

我們使用前述之相位領先控制器設計流程，來設定相位領先控制器參數。再加入零階保持器後，此時的受控廠為一比例積分控制器以及簡化後的電壓迴路模型，將s-domain的轉移函數經Z轉換後，其轉移函數為：

$$\begin{aligned}
 G_{vpi}(z) &= D_{pi}(z) \cdot G_v(z) \\
 &= K_{vp} \cdot \left(1 + \frac{K_{vi}}{s}\right) \Bigg|_{s=\frac{1-z^{-1}}{T_s}} \cdot Z\left[\frac{1-e^{-sT}}{s} \cdot \frac{K_{cm}}{s}\right] \\
 &= K_{vp} \cdot \left(1 + \frac{K_{vi} \cdot T_s \cdot z}{z-1}\right) \cdot \left(\frac{K_{cm} T_s}{z-1}\right) \\
 &= \frac{K_{vp} K_{cm} T_s [(1 + K_{vi} T_s)z - 1]}{(z-1)^2}
 \end{aligned} \tag{3-28}$$

各增益值如下： $K_{vp} = 1.57$ 、 $K_{cm} = 200k$ 、 $T_s = 1.667\mu s$ 、 $K_{vi} T_s = 9.51e^{-3}$ ，整理(3-28)式：

$$G_{vpi}(z) = \frac{0.5283(z-0.99)}{(z-1)^2} \tag{3-29}$$

根據圖3.13的流程圖，來決定相位領先控制器的各項參數，先決定未補償前系統的相位邊限，此時的相位邊限 P_{MU} 約為43.5度，若期望補償後的相位邊限 P_{MC} 為75度，表示相位領先控制器還要再補償的角度 P_L 為31.5度，若預期達到頻寬為50kHz，將其正規化後可得 $\omega_c = 0.5236(\text{radians})$ 。接著選定一適合的 B 點，我們先令 B 值為0.4，對照圖3.14至圖3.15，可得到極點項提供的相位約為8.3度，極點項提供的增益為0.73。 P_L 扣掉極點項所提供的角度，剩下的角度就是零點項所需要提供的，經計算零點項要補償的相位為23.2度，對照圖3.16及圖3.17可得到所需的 A 值為0.5，而零點項提供的增益為0.62。在決定 A 、 B 值後，接下來我們要求相位領先控制器的增益 K ，因為我們已由極點項及零點項知道其所提供之增益，且已知未補償前系統在所需頻寬的增益，根據式(3-27)，可計算出相位領先控制器的 K 值為2.2，至此已得相位領先控制器的各參數：

$$D(z) = 2.2 \frac{z - 0.5}{z + 0.4} \quad (3-30)$$

補償前及補償後的開迴路頻率響應圖如圖3.18，可看出頻寬為50kHz，相位邊限 PM 約為75度，確實達到了數位控制器預定的設計目標。

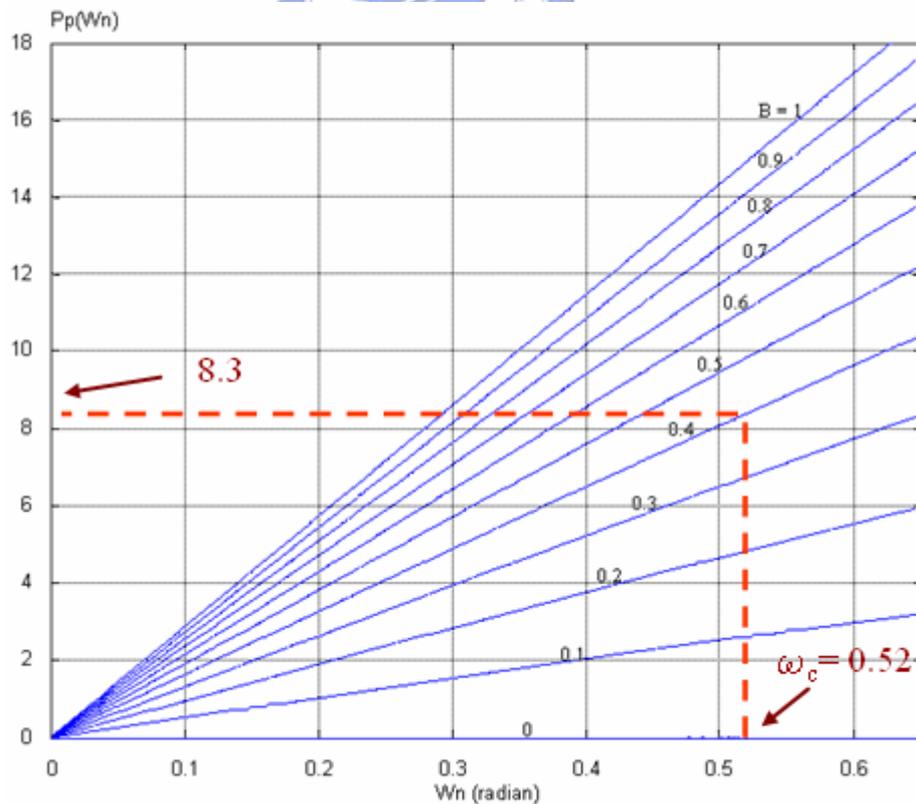


圖3.14 極點項所提供之相位圖

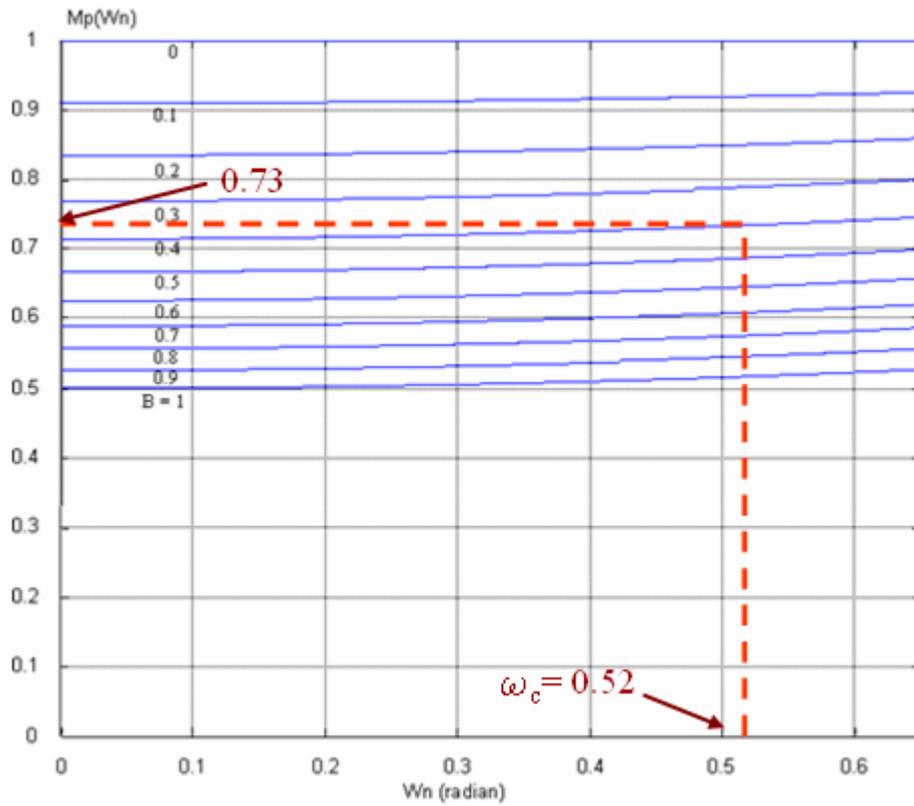


圖3.15 極點項所提供之增益圖

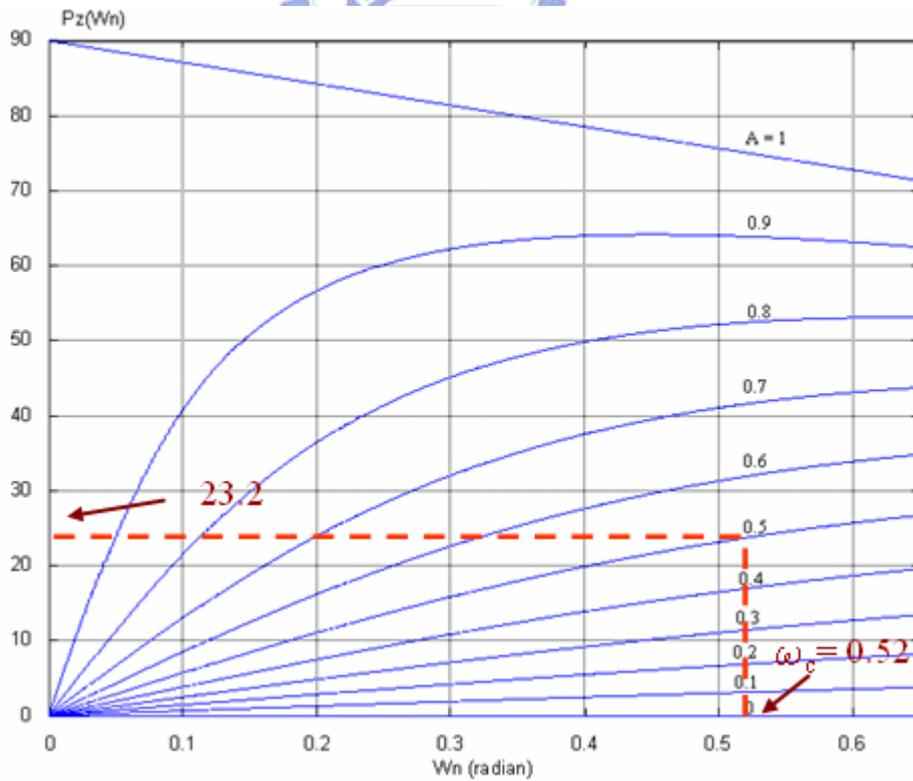


圖3.16 零點項所提供之相位圖

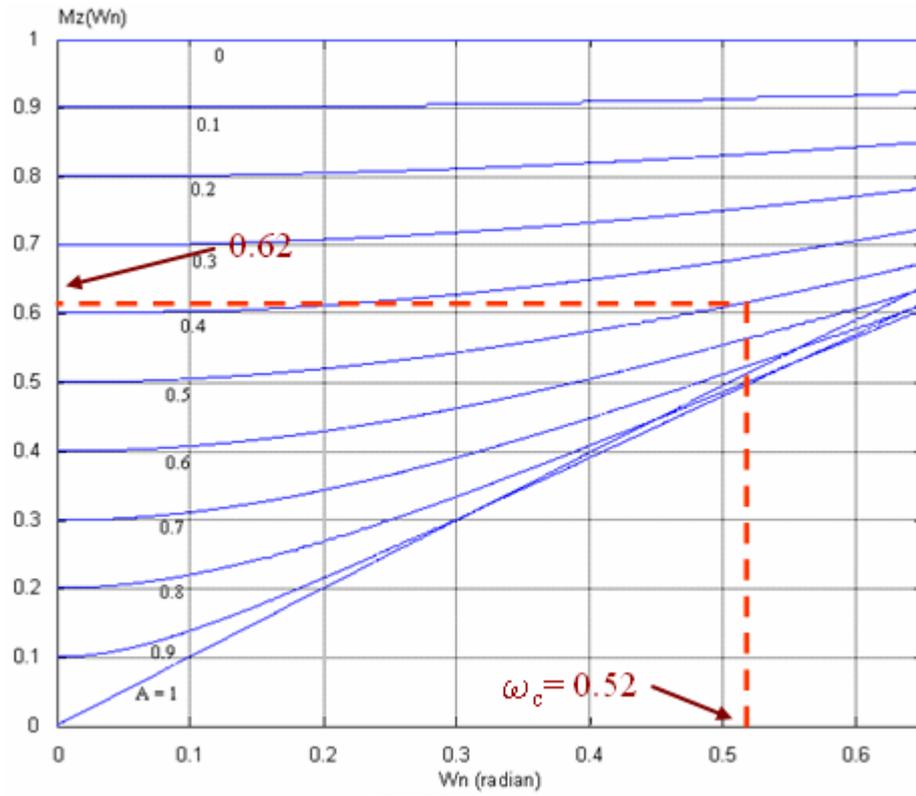


圖3.17 零點項所提供之增益圖

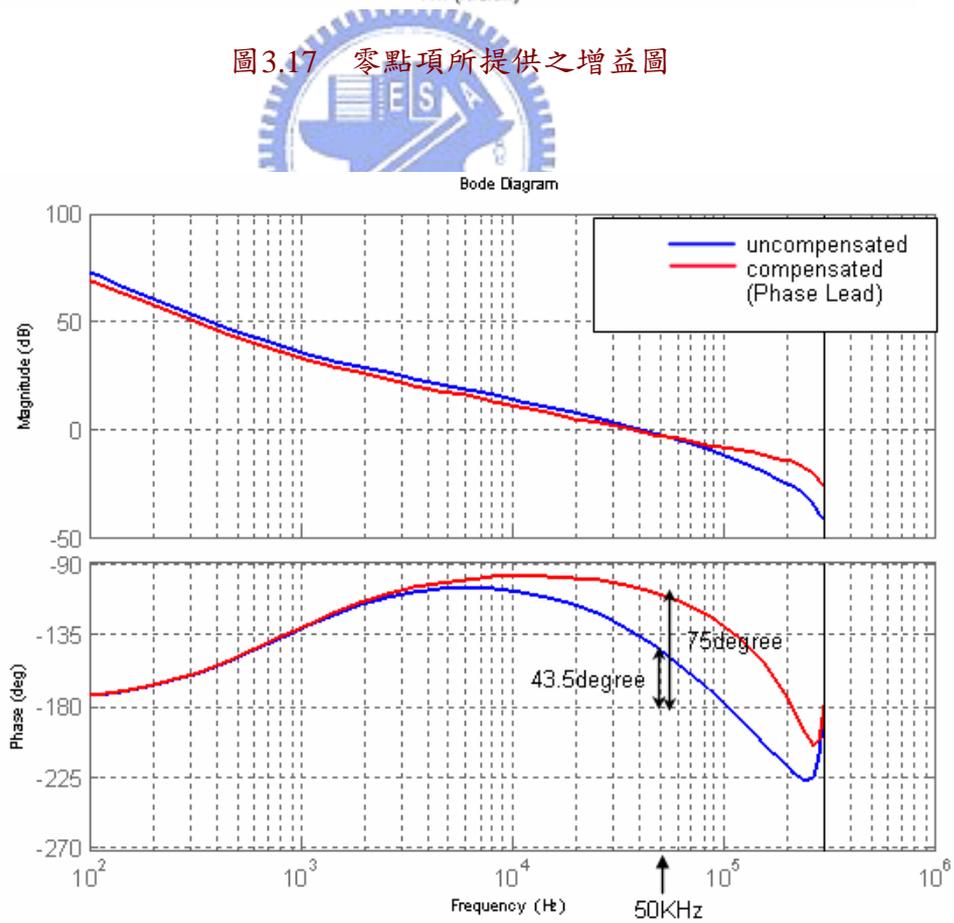


圖3.18 未補償及補償相位領先控制器之開迴路頻率響應圖

3.2.4 電壓迴路模擬驗證分析

圖3.19為電壓迴路步階響應模擬波形，由圖中可看出輸出電壓幾乎完全追隨電壓命令，此時電壓命令由20V切換至40V。電壓迴路響應速度很快，輸出電壓在11 μ s就可追上命令，且穩態誤差在0.2V以下。圖3.20為模擬電壓迴路命令為正弦波時之輸出響應，此時輸入訊號為5kHz正弦波，輸出電壓落後命令約4 μ s。數位控制器中電壓及電流迴路的各控制器參數如表3.1。

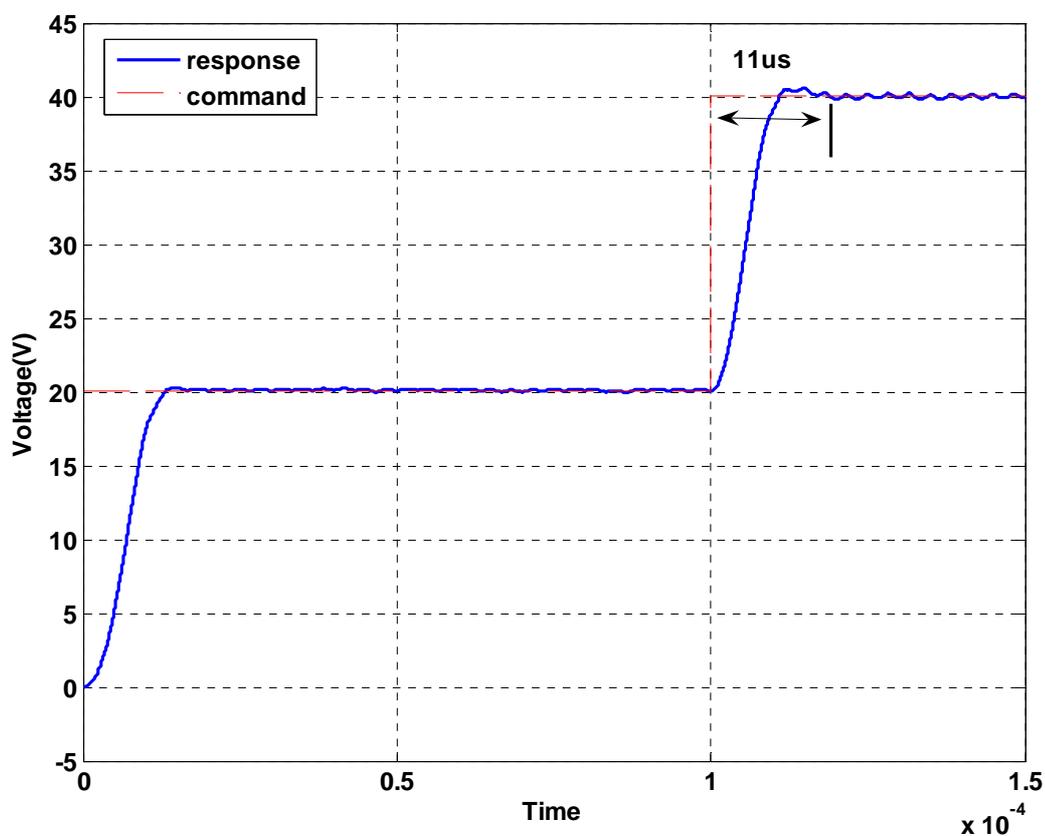


圖3.19 電壓迴路步階響應模擬圖

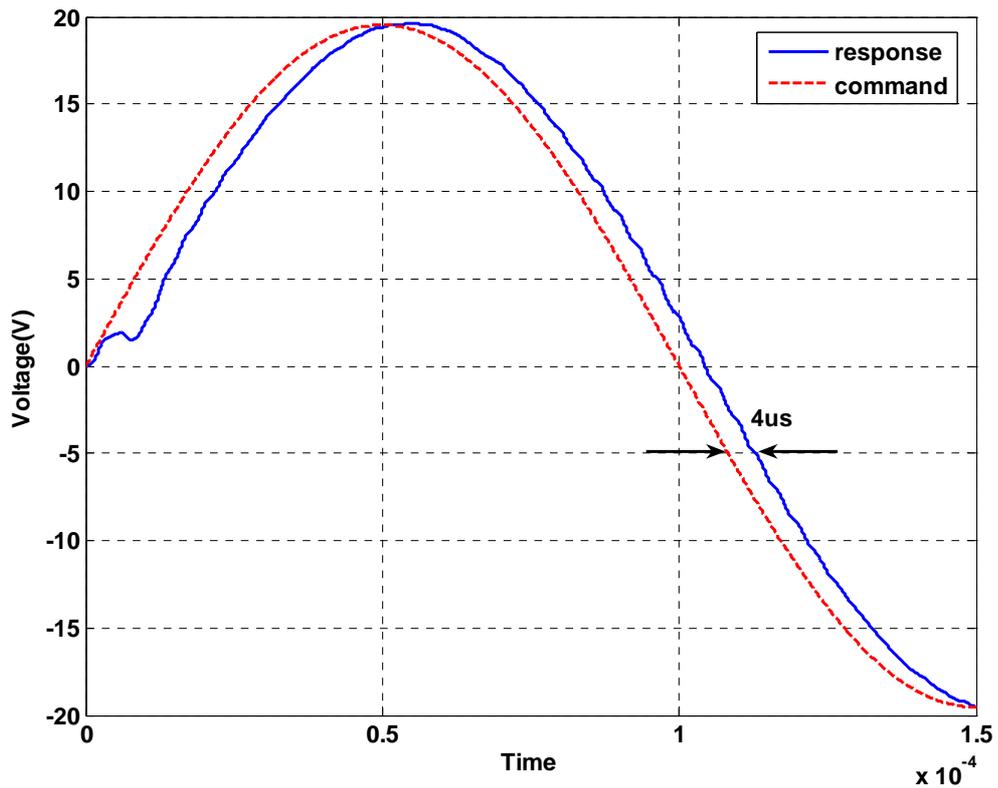


圖3.20 電壓迴路命令為正弦波之輸出響應模擬圖

表 3.1 數位控制器各控制器參數表

名稱	說明	數值
T_s	取樣頻率	$1/600e^3$
K_{cp}	電流迴路比例控制器增益	0.65
K_{qc}	電流訊號迴授增益	204.8
K_{qv}	電壓訊號迴授增益	40.96
K_{PWM}	橋式功率增益	0.1
K_{Vff}	電壓前饋迴授補償增益	0.244
K_{vp}	比例積分控制器增益項	1.57
K_{vi}	比例積分控制器零點項	5170
K	相位領先控制器增益項	2.2
A	相位領先控制器零點項	0.5
B	相位領先控制器極點項	0.4

第四章

交錯式 D 類放大器控制晶片系統規劃及實現

4.1 發展軟體介紹

在開發整個控制晶片的過程中，會使用到的軟體有Altera公司的FPGA開發軟體，其包括了Quartus II、SOPC Builder、NIOS II IDE，以及整合模擬軟體Simulink。電路的設計、合成及時序分析都在Quartus II中完成，SOPC Builder的功能是可快速的架構一個包含了處理器、週邊裝置、記憶體的系统，NIOS II IDE是一個C/C++的環境，提供使用者撰寫程式來控制在SOPC Builder中所架構的系统，最後在晶片功能的驗證方面，除了可將所設計之晶片放在Simulink，模擬功能是否正確外，更可透過RS232介面將FPGA中的資料傳送回Simulink中，比較實際波形與模擬波形間的差異。

4.1.1 QUARTUS II介紹

Quartus II為一完整平台設計環境，它是可程式化晶片系統設計的綜合性環境，針對FPGA、CPLD設計提供解決方案。使用圖形化的介面、EDA或是指令列工具及大量的內建元件庫，提供了設計者快速而方便的電路設計平臺。圖4.1為Quartus II的設計流程，在此設計流程中，使用者可依不同需求，省略某些步驟或是變動步驟程序。以下步驟描述Quartus II做FPGA設計的基本流程：

- 建立一個新專案並指定所使用的元件系列。
- 使用文字編輯方式如Verilog HDL、VHDL或Altera硬體描述語言來做單體元件的設計，或是利用內建的邏輯閘，排列組合已得到所需要之邏輯功能，此外亦

可使用Megafunciton所產生的功能方塊，例如：鎖相迴路、算數運算單元或是記憶體等來做電路的設計，最後將整個電路存成最上層的方塊圖庫 (*.bdf)。

- 使用Assignment Editor指定FPGA輸出入腳位、Setting對話框指定電路合成所需要的限制，例如面積、速度等，或使用SOPC Builder來建立嵌入式系統。
- 對設計進行編譯，包含了分析及電路合成設計、配合所選定的FPGA系列做電路配置及繞線設定、時序的模擬分析等，最後產生可下載至FPGA中的硬體燒錄檔 (*.sof)以及 (*.pof)。
- 在將硬體燒錄檔下載至FPGA之前，可先使用模擬器對設計進行時序的模擬，已驗證其功能是否正確，使用者自行設定電路的輸入訊號及模擬時間長短 (*.vwf)，以得到模擬輸出以及各元件間傳遞延遲的時間，必要時可在Floor plan中改變邏輯配置，修改各元件間的延遲時間，使符合所需。
- 因為週邊電路大多為類比電路，故在模擬部分，會先搭配Simulink將所設計的電路與類比元件搭配，確定動作無誤後，才會下載至FPGA中，再使用示波器觀察輸出波形，或是配合週邊電路測試整體系統是否正確。圖4.2為Quartus II使用者環境介面，上述各步驟均在此環境下完成。

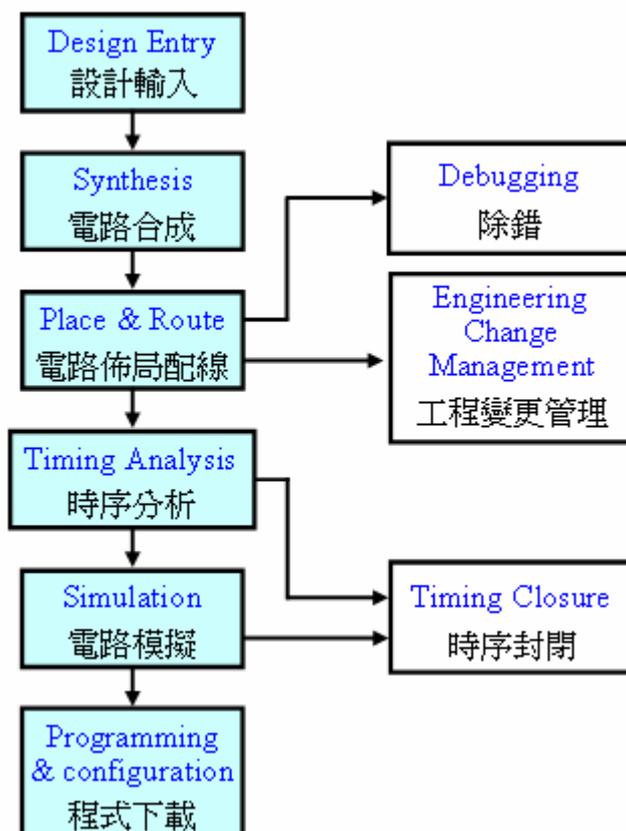


圖4.1 Quartus II軟體電路設計流程

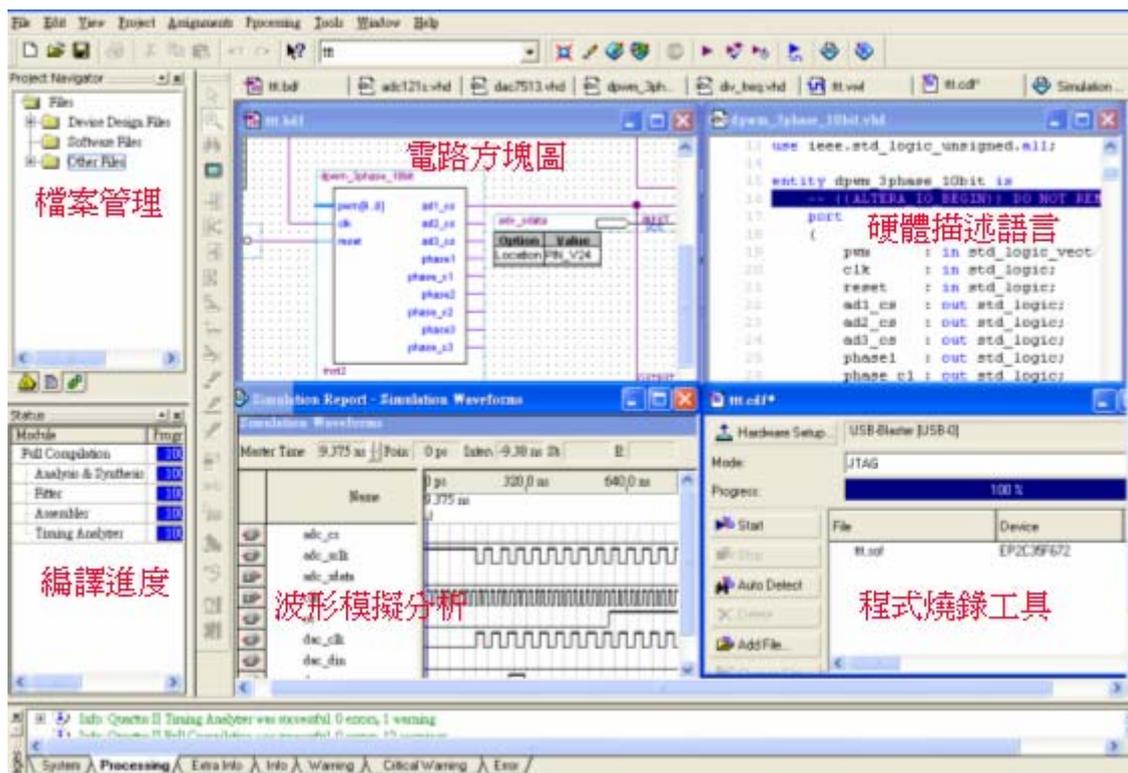


圖4.2 Quartus II軟體設計平臺

4.1.2 SOPC BUILDER介紹

隨著科技進步，IC的設計將朝向高速、小面積、低功耗、多媒體的功能邁進，也因此，將整個系統規劃在一個晶片中並非不可能，系統晶片SOC (System on Chips) 就是在這種情況下產生的。顧名思義，系統晶片就是將整個系統包含於一顆晶片中，其包括了類比電路、數位電路、記憶體、通訊介面等。然而在整合上，卻面臨了一些問題，例如類比和數位電路間的雜訊隔離問題，或是因電路複雜度不同，所帶來的製程問題等。有鑑於此，FPGA製造商Altera公司提供了一種靈活而高效率的解決方案，SOPC Builder。

SOPC Builder是一套功能強大的系統創造工具，使用者可以自行定義該系統所需之處理器、週邊裝置、記憶體等，快速的產生硬體描述檔，並可將此系統與所設計的硬體電路整合至FPGA中，發揮FPGA強大的處理能力。與傳統的設計方式相比，此種設計方式不僅彈性大，更重要的是效率高。這套軟體提供了一些常用的IP資料庫，使用者如果有需要，將其加入在系統中就可應用，SOPC Builder可自行設定各元件的記憶體位址及中斷權限，也可由使用者自行定義。圖4.3為SOPC Builder的使用介面，由左起

依序為可用元件庫、已選用元件庫以及記憶體中斷配置。使用者由可用元件庫中選取欲使用裝置後，該裝置即一一出現在已選用元件中，滑鼠左鍵雙擊該裝置便可修改其內部設定，而記憶體的位置及中斷權限可由此軟體自行定義。所有裝置都選用完畢，按下右下角的產生鍵，就可以產生一個由使用者自行定義的系統了。以圖4.3為例，此系統包含了一個NIOS處理器、可儲存大量資料的動態記憶體DDR SDRAM、輸出的腳位等、串列傳輸介面UART等。

當包含處理器系統的電路設計完成後，可透過Altera的下載線ByteBlaster將硬體設計燒錄檔下載至FPGA中，然而此時該系統仍然無法正常運作，使用者需在NIOS II IDE的環境中，撰寫C語言程式來存取、控制該系統，其後才為設計者所使用。也就是說，SOPC Builder建立了一個系統，而使用者必須撰寫程式來做控制。按此方法，系統設計者不再需要自行設計各裝置電路，但卻可在幾分鐘之內，就產生了一個可以運用的系統，並連結至FPGA電路，此軟體提供了一個極有效率的設計捷徑。

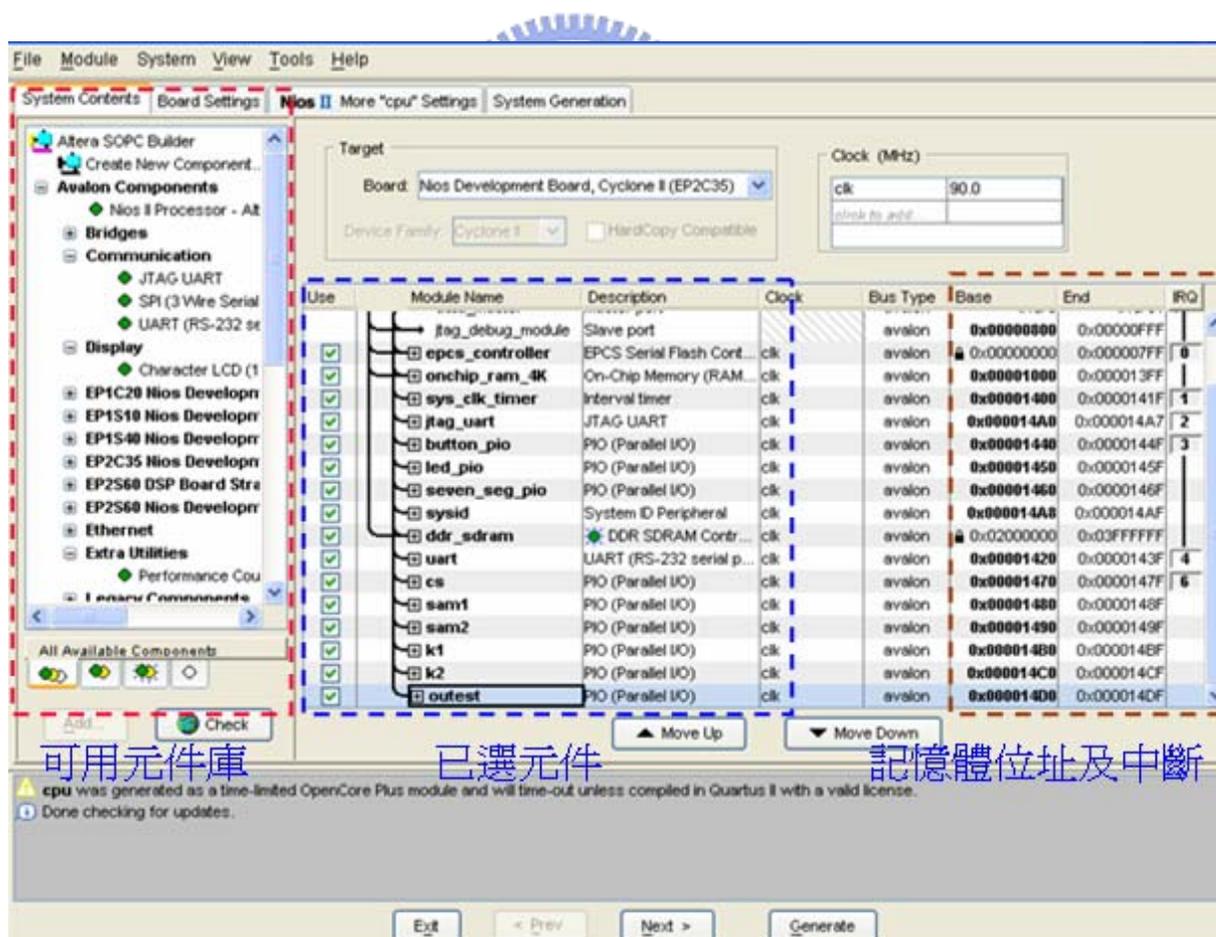


圖4.3 SOPC Builder使用介面

4.1.3 NIOS II IDE介紹

NIOS II IDE為一圖形式介面的軟體發展平臺，在此軟體中可完成專案產生、編輯程式、組譯、除錯等工作，在此環境下，NIOS II IDE將使用者的程式透過硬體抽象層的介面轉換，直接與SOPC Builder產生的硬體裝置做溝通。當使用者開啟新專案的同時，NIOS II IDE會為使用者針對該系統，自動產生硬體抽象層的資料庫，其內為系統的硬體驅動程式，故使用者僅需編寫C語言來存取使用的裝置，而無需負責硬體電路的驅動程式撰寫，當然有時可能有使用者自行定義的裝置想加入使用，此時也可按照規定之語法，編寫該裝置驅動程式便可使用。圖4.4為使用者軟體與硬體間之階層圖。

NIOS II 的工作環境如圖4.5，稱此為工作檯，大致可分為三個區域，分別為檔案總管區、程式編輯區及處理訊息回報區。在檔案總管區可觀察到該目錄下有哪些已建立的專案，並且可以打開裝置驅動程式庫，查詢使用該裝置應呼叫何種函數，在程式編輯區可以編輯C語言的程式，而在處理訊息回報區會顯示目前處理的進度，當程式有錯誤時亦會回報在此區域中。以下將簡單描述基本的操作流程：

- 建立一個新專案並指定一個由SOPC Builder產生的系統。
- 產生專案，此動作會產生系統資料庫，並編譯所寫的C程式是否正確，最後將結果回報在訊息回報區中。
- 若專案產生無誤，首先將FPGA的硬體燒錄檔 (*.sof)透過下載線傳送至FPGA中，然後點選NIOS II IDE中的run指令，選擇是要先以軟體模擬還是直接以FPGA來執行程式。假若程式確定無誤，此時的NIOS已可正確動作。
- 假若程式執行不如預期，也可用debug功能，針對程式一步一步的除錯，同樣的除錯功能也可選擇以軟體模擬除錯。

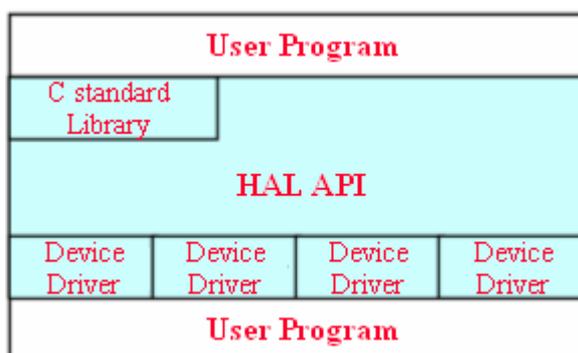


圖4.4 NIOS II系統階層圖

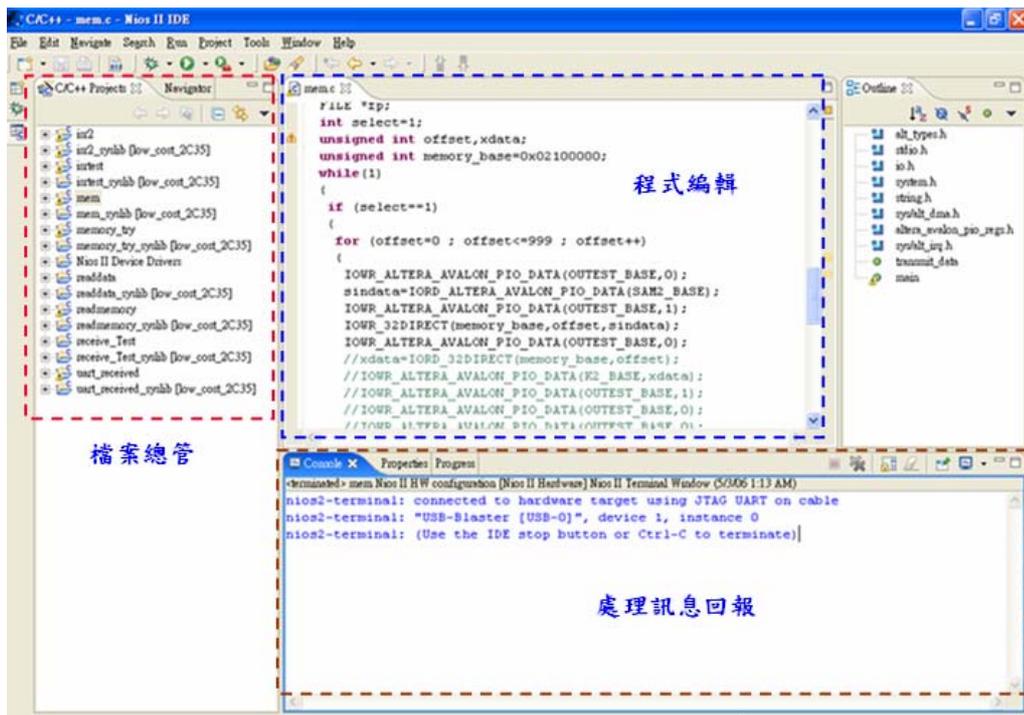


圖4.5 NIOS II軟體工作平臺

4.1.4 SIMULINK介紹

Matlab軟體在今日工程領域應用中非常普遍，為線性及非線性動態系統模擬與分析上不可或缺的工具軟體，除了內建函數及指令的功能之外，針對特殊應用的領域也設計了不同的工具箱，Simulink即為其所提供之一。Simulink提供圖形化的使用者界面，只要在視窗中使用滑鼠做拖曳的動作，就可以像將所有的元件組合起來，而不需要以程式的方式來描述整個系統，大幅的省略了撰寫程式的時間。

Simulink提供了各式各樣功能的方塊，使用者根據所需建構不同的模型，在此我們欲建立一個結合數位控制器與受控廠的模擬平臺。當數位控制器以硬體描述語言實現後，在一般的模擬軟體中，僅能對於數位電路做波形模擬，藉由觀察訊號變化來判定功能是否正確，而無法與類比的受控廠做結合模擬，也因此在不確定與受控廠結合後動作會否正常的情況下，增加了將程式燒錄到實際控制平臺上的風險，針對於此，Simulink提供了非常強的支援功能，可與VHDL的模擬軟體Modelsim連結，做一個整合性的驗證，使用者僅需在Simulink中加入Modelsim的方塊，並按照所規定的語法定義該方塊，就可與Simulink的所有方塊做連結。圖4.6為一結合Modelsim方塊與交錯式D類放大器的模擬平臺。

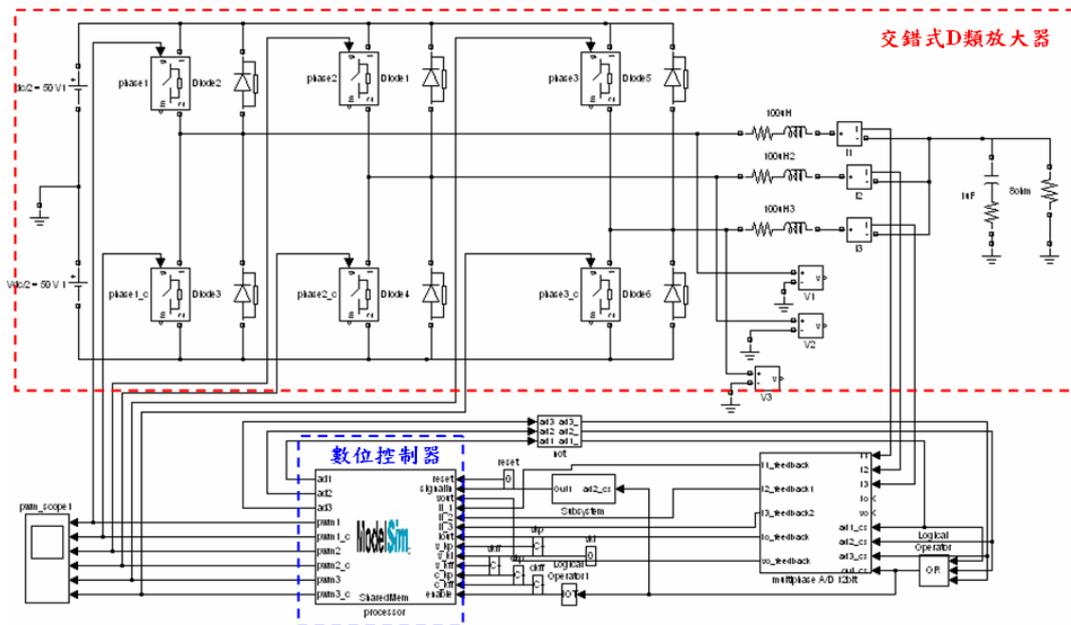


圖4.6 Simulink模擬平臺

4.2 交錯式D類放大器控制晶片整體架構

交錯式D類放大器控制晶片整體架構圖如圖4.7所示，所有D類放大器所需之功能方塊均規劃在同一個FPGA中，在數位控制器中所有方塊的實現均以硬體描述語言撰寫產生，NIOS處理器及16MB的記憶體是以SOPC Builder軟體產生，此NIOS處理器的內部控制程式諸如串列介面傳輸(SPI)、與電腦的資料傳送(RS232)以及記憶體的讀取，由C語言撰寫而成。

在數位電路之中，有ADC回授資料接收方塊、同步取樣命令產生器、交錯式脈寬調變產生器、數位補償器、串列傳輸介面等模組，各方塊功能略述如下：同步取樣命令產生器對ADC回授資料接收方塊產生取樣命令，分別對交錯式D類放大器的輸出電壓、輸出電流以及各相的電感電流值取樣，然後將值存進記憶體以及暫存器中，存在記憶體中的各回授值，由NIOS處理器透過RS232介面傳送回主控電腦，使實際的波形可在模擬軟體中與模擬波形比對。而在暫存器中的回授值傳給數位控制器後與控制命令做一比較，經PI控制器消除穩態誤差，再經相位領先控制器做相位的補償，得到調變命令送進脈寬調變產生器中，在和參考訊號比較後，得到脈寬調變波輸出，脈寬調變波形產生器可產生對稱或非對稱的參考訊號，且為避免功率級上下臂同時導通造成短路，具有無效時間(Dead-Time)的機制，另外為達到交錯式控制的目的，具備自動計

算各相相位移的電路，可準確的計算所需之相位移。數位控制器的控制器參數、交錯式脈寬調變產生器及同步取樣的組態設定均定義在暫存器中，可使用NIOS以軟體的方式做變更，然後透過SPI介面傳送給各控制暫存器，大幅簡少了控制晶片的腳位設定，方便使用者使用。控制晶片外觀圖如圖4.8。各暫存器的定義如表4.1，其各位元的定義在後面各局部電路中說明。晶片腳位說明請參考表4.2。

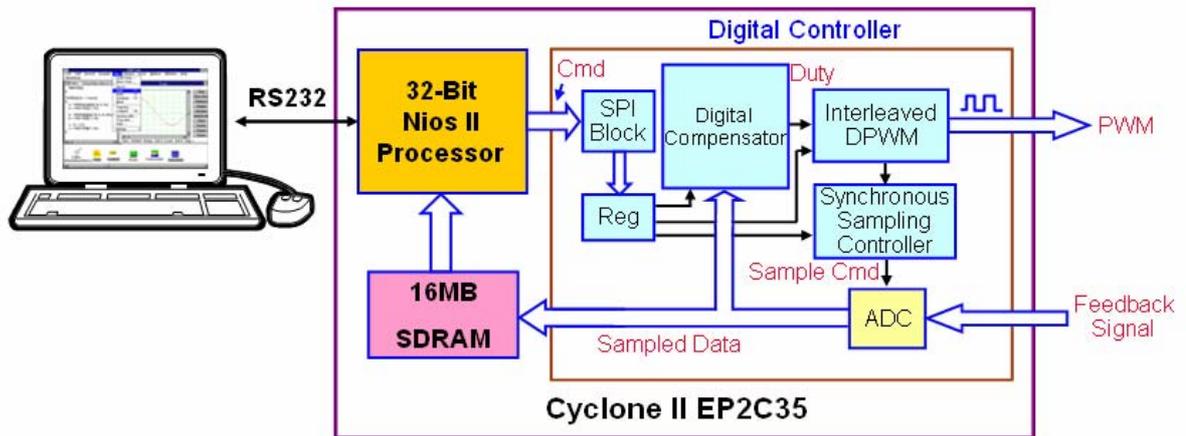


圖4.7 交錯式D類放大器控制晶片整體架構圖

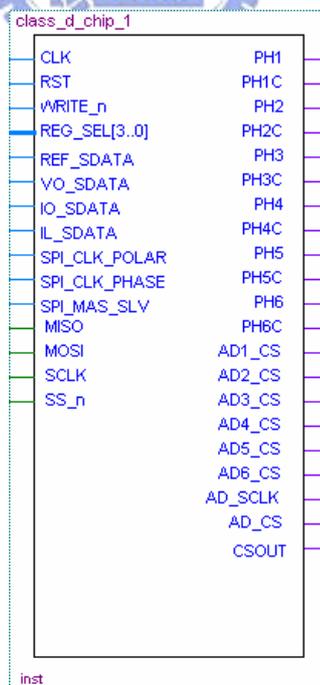


圖4.8 D類放大器控制晶片符號圖

表 4.1 交錯式 D 類放大器控制器暫存器定義

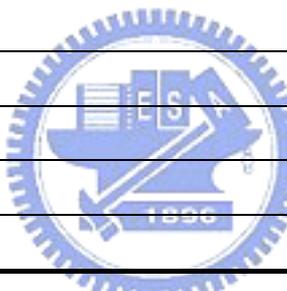
內部位址	暫存器名稱	狀態	11	10	9	8	7	6	5	4	3	2	1	0
0	DPWM_CNTL1	R/W		DT[5..0]					PHAM[2..0]			PHSH	SAYM	
1	DPWM_CNTL2	R/W	FSW[11..0]											
2	SSM_CNTL1	R/W										SAMP[1..0]	AHAL	
3	DCON_OFFSET	R/W	PWM_OFFSET[11..0]											
4	DCON_PIKP	R/W	PIKP[11..0]											
5	DCON_PIKI	R/W	PIKI[11..0]											
6	DCON_PHK	R/W	PHLE_K[11..0]											
7	DCON_PHA	R/W	PHLE_A[11..0]											
8	DCON_PHB	R/W	PHLE_B[11..0]											
9	DCON_CKP	R/W	CKP[11..0]											
10	DCON_CKFF	R/W	CKFF[11..0]											
11	DCON_VKFF	R/W	VKP[11..0]											
12	IO	R						IOFB[11..0]						
13	VO	R						VOFB[11..0]						
14	IL	R						ILFB[11..0]						
15	REF	R						REF[11..0]						

表 4.2 交錯式 D 類放大器晶片腳位說明

接腳名稱	輸入/出	資料長度	功能說明
Clk	輸入	1位元	外部時脈輸入腳位，最高輸入時脈為200MHz
RST	輸入	1位元	選擇是否重置所有暫存器數值 1：重置，0：不重置
WRITE_n	輸入	1位元	選擇是否寫入各控制暫存器參數值 1：不寫入，0：寫入
REG_SEL[3..0]	輸入	4位元	要寫入新參數給控制暫存器時，選擇何者寫入 可選擇由控制暫存器0至控制暫存器11
REF_SDATA	輸入	1位元	由ADC串列傳輸來的參考命令資料輸入腳位
VO_SDATA	輸入	1位元	由ADC串列傳輸來的輸出電壓資料輸入腳位
IO_SDATA	輸入	1位元	由ADC串列傳輸來的輸出電流資料輸入腳位
IL_SDATA	輸入	1位元	ADC串列傳輸來的電感電流資料輸入腳位
SPI_CLK_POLAR	輸入	1位元	串列傳輸介面時脈極性設定腳位

			1：閒置時的SCLK狀態為高準位 0：閒置時的SCLK狀態為低準位
SPI_CLK_PHASE	輸入	1位元	串列傳輸介面時脈相位設定腳位 1：資料在時脈正緣更新，在負緣資料門鎖住 0：資料在時脈負緣更新，在正緣資料門鎖住
SPI_MAS_SLV	輸入	1位元	串列傳輸介面主動端或被動端選擇 1：主動端，0：被動端
MISO	輸出入	1位元	主動端的資料輸出腳，被動端的資料輸入腳
MOSI	輸出入	1位元	主動端的資料輸入腳，被動端的資料輸出腳
SCLK	輸出入	1位元	當設定為主動端時，其為送出的同步時脈，當設定為被動端時，此腳則為接收時脈
SS_n	輸出入	1位元	選擇腳位(active low)，為主動端選擇哪個被動端為傳輸的對象，當設定為低準位時，表示該被動端準被開始傳接送資料，當設定為高準位時，則該被動端不動作
PH1~PH6	輸出	1位元	相位1至相位6的PWM輸出
PH1C~PH6C	輸出	1位元	互補之相位1至相位6的PWM輸出
AD1CS~AD6CS	輸出	1位元	控制AD方塊的取樣觸發訊號，可選擇 active low或 active high動作，最多有6相具相位移或不具相位移的取樣命令，當觸發後表示做取樣之動作
AD_SCLK	輸出	1位元	送至ADC的時脈，最快為20MHz
AD_CS	輸出	1位元	送至ADC的選擇腳位，通知ADC進行取樣的程序
CS_OUT	輸出	1位元	數位補償器運算完後的選擇腳位輸出 1：未計算完數值，0：計算完數值

4.3 數位控制器電路實現

4.3.1 控制器數值運算格式：Q格式

使用一般微處理器做數學運算，若要進行浮點運算，則需使用浮點式微處理器，但如此會提高成本，故有必要以Q格式的觀念來完成相關數值的運算。所謂Q格式，以定點16位元之數位信號處理器為例，包含一個符號位元及15個有效位元，能表示之數值範圍為-32768~+32767，若要執行浮點運算，則需以定點數2補數表示式，每個16位元資料由一個符號位元、i個整數位元及(15-i)個小數位元所組成，此種表示式即為Q格式表示法。選擇適當之Q格式表示法，就可把數值依據所需要的精度作適當的轉換，

使定點數位信號處理器也能處理高精度之浮點運算。假想小數點位於一個數字之第8位與第9位之間，則下列數字代表了2.625

$$\begin{array}{ccccccc}
 0 & & 0000010 & & 10100000 & & \\
 \text{符號位元} & & \text{整數部分} & \leftarrow & . & \rightarrow & \text{小數部分}
 \end{array}$$

我們稱此為Q8格式，也就是說小數點後面有8位數字，其所能表示的範圍為-128(1000 0000 0000 0000)~+127.996(0111 1111 1111 1111)之間，有效精確度為0.004 (1/256或1/2⁸)。

以Q15格式為例，其轉換方式如下：

(1) 先確定準備轉換之十進制數值N，是在Q15格式的數值範圍之間，亦即

$$-1.000000 \leq N \leq +0.999997$$

(2) 把數值N乘以2¹⁵，亦即 $N = N \times 2^{15} = N \times 32768$

(3) 把步驟2的結果加2¹⁶，亦即 $N = N + 2^{16} = N + 65536$

把步驟3的結果轉換為16進制，並將第17位元捨棄掉，所得即為N的Q15轉換值。

使用Q值的主要優點為在二進位數值中可以具有類似小數運算的功能，以下舉一範例說明之：已知0.2 × 654 = 130.8，但當使用整數運算時包含小數的數值運算是不被允許的，故須使用Q值的概念來完成此多項式的乘法運算，在此將0.2轉換成不同的Q格式來做比較，分別以Q3、Q4、Q5、Q6格式表示如下：

$$0.2 = 2(Q3), 4(Q4), 7(Q5), 13(Q6) \quad (4-1)$$

若轉換時採用Q3格式，則將相乘所得到的數值右移三位(>>3)，即可得到正確的數值，同理若採用Qn格式，則必須將數值右移n位。運算之結果如下：

$$\begin{array}{llll}
 2(Q3) & \rightarrow 2 \times 654 = 1308 & \rightarrow \gg 3 \text{ bits} & \rightarrow Y(k) = 163 \\
 4(Q4) & \rightarrow 4 \times 654 = 2616 & \rightarrow \gg 4 \text{ bits} & \rightarrow Y(k) = 163 \\
 7(Q5) & \rightarrow 7 \times 654 = 4578 & \rightarrow \gg 5 \text{ bits} & \rightarrow Y(k) = 143 \\
 13(Q6) & \rightarrow 13 \times 654 = 8502 & \rightarrow \gg 8 \text{ bits} & \rightarrow Y(k) = 132
 \end{array} \quad (4-2)$$

由運算結果可知當採用的Q格式越大，數值運算的結果將更接近實際值130.8，然而使用越大的Q格式，其轉換後的Q格式整數值也相對愈大，受到運算位元的限制，與

其數學運算的數值將相對較小，因此，Q格式的選擇於數位實現時必須在精確度與數值運算範圍間作一考量。數位控制器中各參數所使用的Q格式如表4.3。

表4.3 數位控制器參數範圍表

名稱	資料格式	輸入範圍	對應之實際數值
K_{cp}	Q10	0~4095	0~3.999
K_{vff}	Q12	0~4095	0~0.997
K_{vp}	Q10	0~4095	0~3.999
K_{vi}	Q12	0~4095	0~0.997
K	Q8	0~4095	0~15.996
A	Q12	0~4095	0~0.997
B	Q12	0~4095	0~0.997

4.3.2 相位領先控制器實現

在第三章所設計出的相位領先控制器，其輸入、輸出間的轉移函數如(4-3)所示：

$$G(z) = \frac{Y(z)}{X(z)} = K \frac{z - A}{z + B} \quad (4-3)$$

實現IIR數位濾波器的型式有很多種，最常見的為直接型式I (direct form I)與直接型式II (direct form II)，如圖4.9所示為直接型式I與直接型式II的訊號流程圖，其差別在於暫存器的多寡，可看出直接型式II比直接型式I少了一個暫存器，而其餘的乘法與加法運算個數則相同。為簡化方法與考慮實際實現的可行性，本文採用採用第二種直接型式 (Direct Form I)作為數位控制器的運算式，因此可將(4-3)改寫成差分方程式如下：

$$y(n) = K \cdot x(n) - B \cdot w(n-1) - A \cdot w(n-1) \quad (4-4)$$

其中(n-1)表示前一個取樣時間的資料。

一階的相位領先補償器共做了三次乘法、兩次加法運算以及一個暫存器，為了節省硬體電路的考量，使用一個乘法器及一個加法器來實現，以狀態機的方法透過順序的安排，共使用了7個狀態(state)，其中5個狀態為完成式(4-4)的運算，其它狀態做輸出值限制以及位元長度變換的動作，所謂排程的做法就是使用狀態機，一次控制一個乘法器或加法器做一次運算。另外，考量設計好的電路方塊能與其它電路方塊共用，而

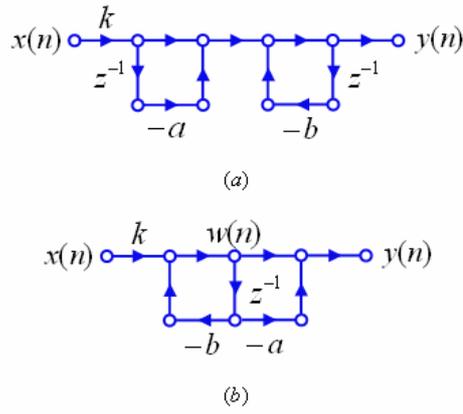


圖4.9 (a)直接型式I訊號流程圖(b)直接型式II訊號流程圖

不需要再另外設計，使用一選擇腳位來觸發控制器的計算，當控制器接收到此觸發訊號後，才會開始計算，而控制器計算完後，同樣會輸出一個選擇觸發訊號給下一級的其它控制器，如此一來既可避免控制器處理到錯誤的資料，使用者也可串聯或並聯不同的控制器，增加了使用的彈性。如圖4.10為相位領先控制器執行的順序，當控制器接收到選擇觸發訊號後(低準位觸發)，控制器開始執行運算，計算完後，控制器輸出計算值及選擇觸發訊號給下一級(同樣為低準位觸發)，控制器沒有收到此處發訊號時，閒置在idle的狀態。實現之控制器有0.16 μ s的計算延遲(時脈50MHz)。圖4.11為相位領先控制器模擬波形圖，輸入訊號頻率5kHz，取樣頻率200kHz， K 值設定為5.85， A 值設定為0.9， B 值設定為0.5，理論上輸出應領先輸入角度約為55度，控制器的輸出結果領先輸入為54度，與理論值差不多。

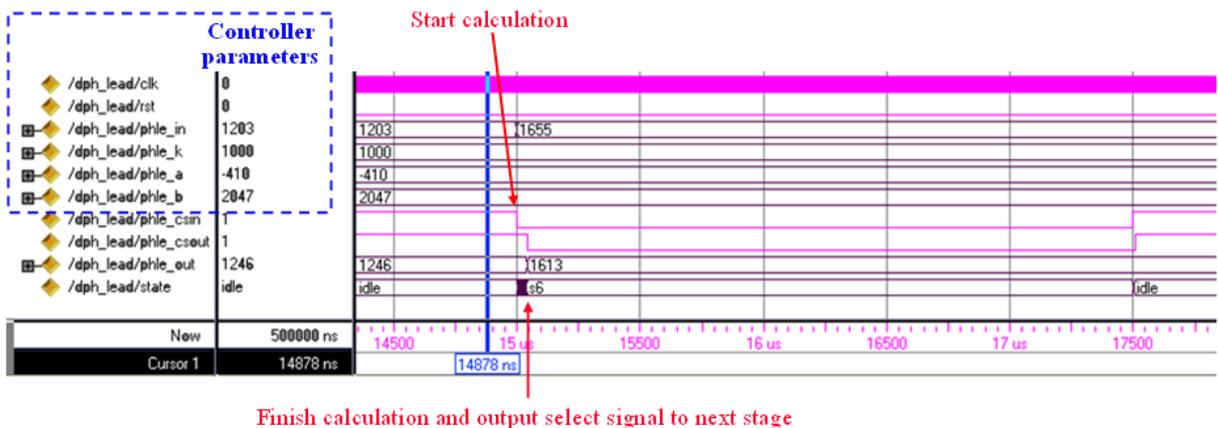


圖4.10 相位領先控制器動作順序圖

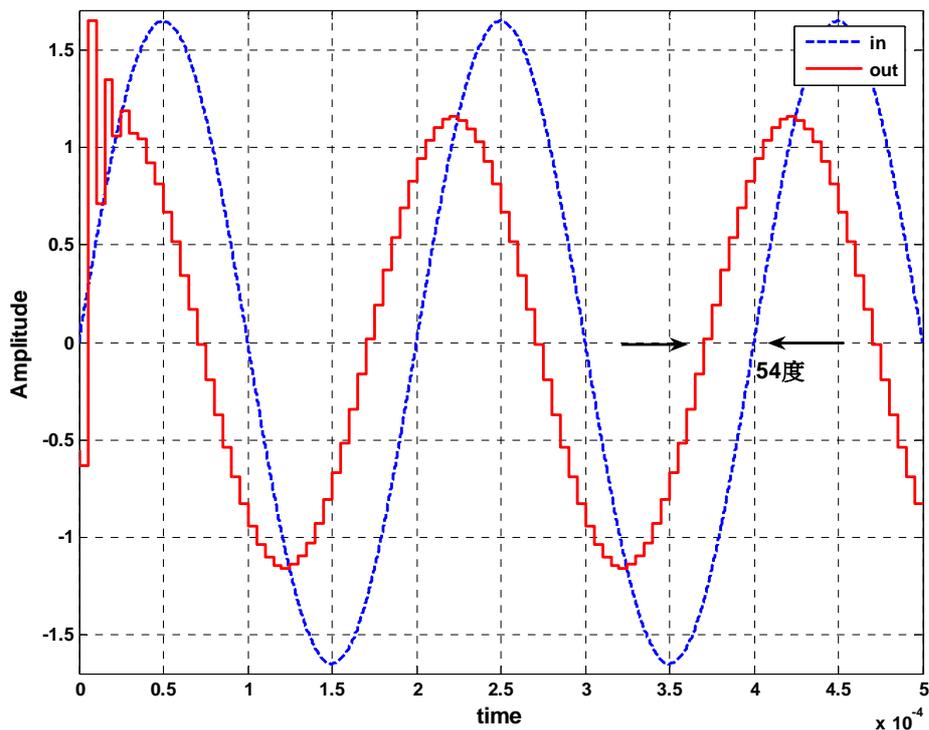


圖4.11 相位領先控制器模擬波形圖

4.3.3 比例積分控制器實現

PI控制器數位轉移函數可以如4.3.2節的型式，但此處是直接將連續時間的PI控制器需轉換成離散時間後，再進行電路設計，常用的轉換方法有三種，分別為forward、backward以及bilinear轉換，實現一個積分項以forward及backward轉換需要一個暫存器來除存前一次的輸出值，以bilinear轉換則需要兩個暫存器，故本論文選用backward轉換來作為數位化的方式，數位化後的PI控制器方塊圖如圖4.12所示，其差分方程式為：

$$y(n) = PI_KP \cdot x(n) + PI_KP \cdot PI_KI \cdot x(n) + i(n-1) \quad (4-5)$$

一階的比例積分控制器共做了兩次乘法、兩次加法運算以及一個暫存器，和相位領先控制器一樣，從節省硬體電路的考量，在狀態機順序安排下，只使用一個乘法器及一個加法器來實現，同樣具有選擇觸發訊號，可以連接不同的控制器，例如直接在PI控制器後串聯一個相位領先控制器。如圖4.13為比例積分控制器模擬波形圖，上圖是模擬令比例項增益為零，只有設定積分項增益的情況，當輸入為步階時，輸出為一斜波，直到輸出達最大值就維持定值。下圖是當輸入為餘弦波時，輸出為一正弦波。

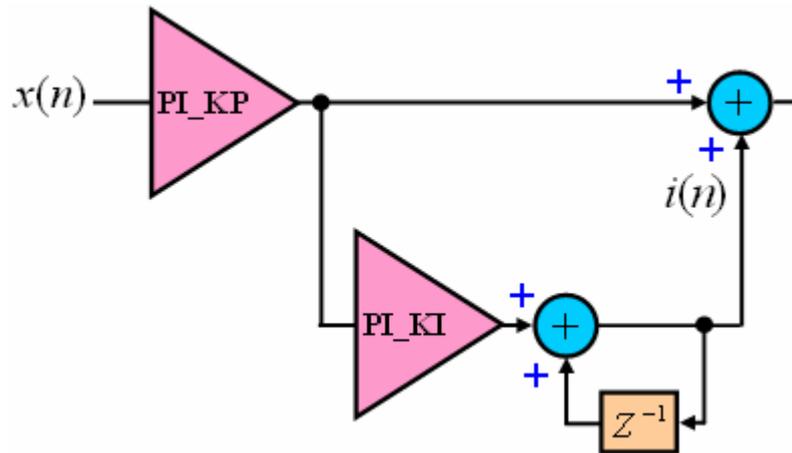


圖4.12 比例積分控制器方塊圖

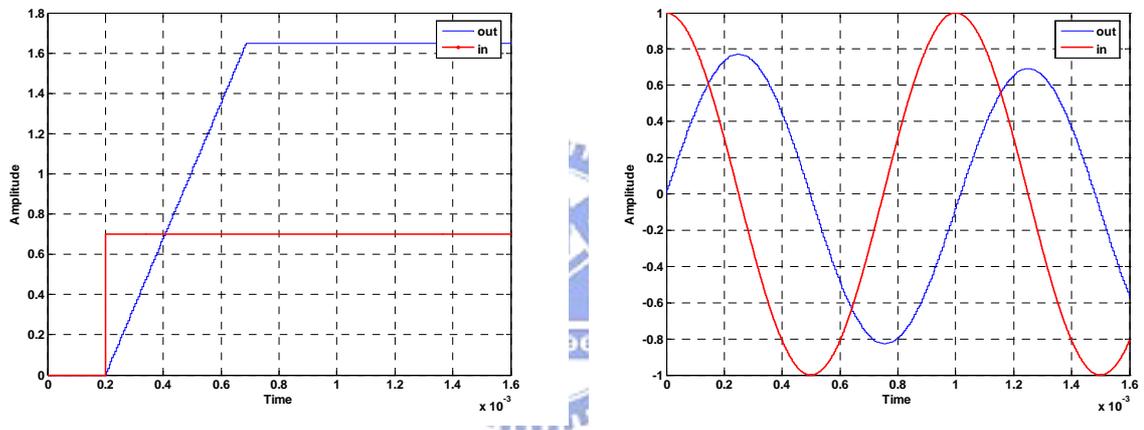


圖4.13 比例積分控制器模擬波形圖

4.3.4 交錯式D類放大器數位控制器架構

交錯式D類放大器中的控制器方塊圖如圖4.14所示，電壓外迴路使用比例積分控制器再加上相位領先補償器，在電流內迴路使用一個比例控制器。外觀圖如圖4.15。我們可以按照前兩節的方法，將各個設計好的子方塊連接起來，但是此種做法會佔用了太多的硬體資源，共需4個加減法器、3個乘法器、1個比例積分控制器以及1個相位領先補償器，為節省硬體資源，我們仍然使用排程的方法來設計，僅使用一個乘法器以及一個加減法器就可以達到相同的控制動作，不影響整個系統的性能，而硬體資源節省了一半，所佔用的Logic cell如圖4.16，右邊為使用狀態機實現的控制器所耗資源，左邊為不使用狀態機方法實現所耗的資源。圖4.17為實現之硬體架構圖，包含：一個數值運算單元及一個以狀態機為基礎的控制器，數值運算單元包含一個乘法器，以及一個加

減法器，最後輸出有一個限制器，以狀態機控制狀態的切換，使在同一個狀態中僅能執行一次加法或減法運算，一次乘法器運算，圖4.18是使用狀態機的控制的運算執行順序，其中， V_{ref} 為控制器的輸入命令， $VOFB$ 、 $IOFB$ 、 $ILFB$ 分別為輸出電壓迴授、輸出電流迴授及電感電流迴授， PI_{ki} 、 PI_{kp} 、 PH_A 、 PH_B 、 PH_K 、 C_{kff} 、 C_{kp} 、 V_{kff} 為控制器參數， PWM_{offset} 為最後送至脈寬調變比較器前要加上的offset。狀態機的切換狀態如圖4.19，一開始先將內部的暫存器初始化為零，因為控制器內有時間延遲的電路，故需要暫存器來儲存前一個值，初始暫存器後，就進入閒置狀態，一直等接受到觸發訊號cs後，控制器才會開始執行運算，最後執行完後一樣需要判斷觸發訊號，以決定是否令控制器閒置。圖4.20為模擬結果，Simulink方塊連接之控制器波形比較，兩者差別在於實現之控制器有 $0.36\mu S$ 的計算延遲(時脈50MHz)。數位控制器腳位定義請參考表4.4。

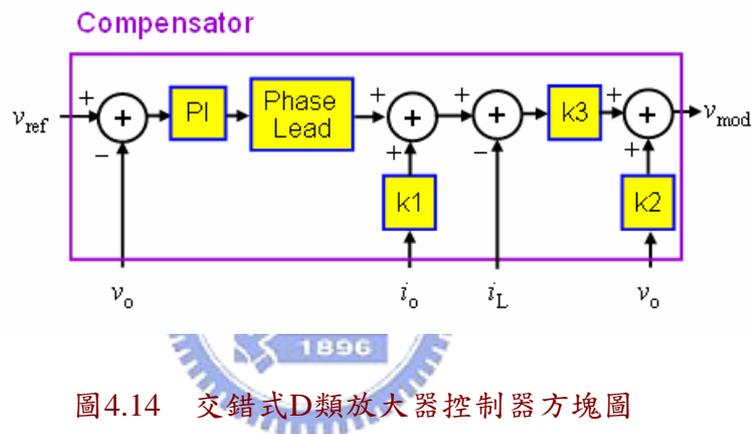


圖4.14 交錯式D類放大器控制器方塊圖

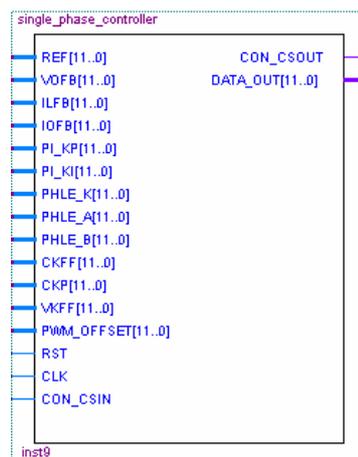


圖4.15 數位控制器方塊符號圖

Cyclone II: EP2C35F672C6		
controller_test	608 (0)	
controller_inst	608 (0)	
adder12:a1	28 (28)	
adder12:a2	28 (28)	
DPH_LEAD:e1	72 (54)	
Digi_PI:p1	92 (74)	
Digi_PI:p2	92 (74)	
Digi_PI:p3	92 (74)	
Digi_PI:p4	92 (74)	
suber12:s1	56 (56)	
suber12:s2	56 (56)	

Entity	LC Com1
Cyclone II: EP2C35F672C6	
controller_test	335 (0)
single_phase_contro...	335 (286)
MULT16:inst20	0 (0)

圖4.16 不同實現方式佔用硬體資源比較圖

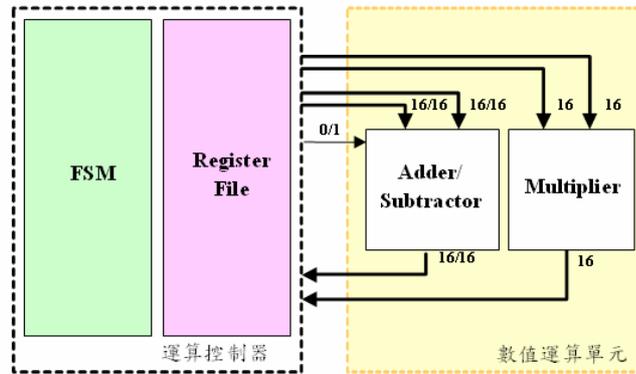


圖4.17 交錯式D類放大器控制器硬體架構圖

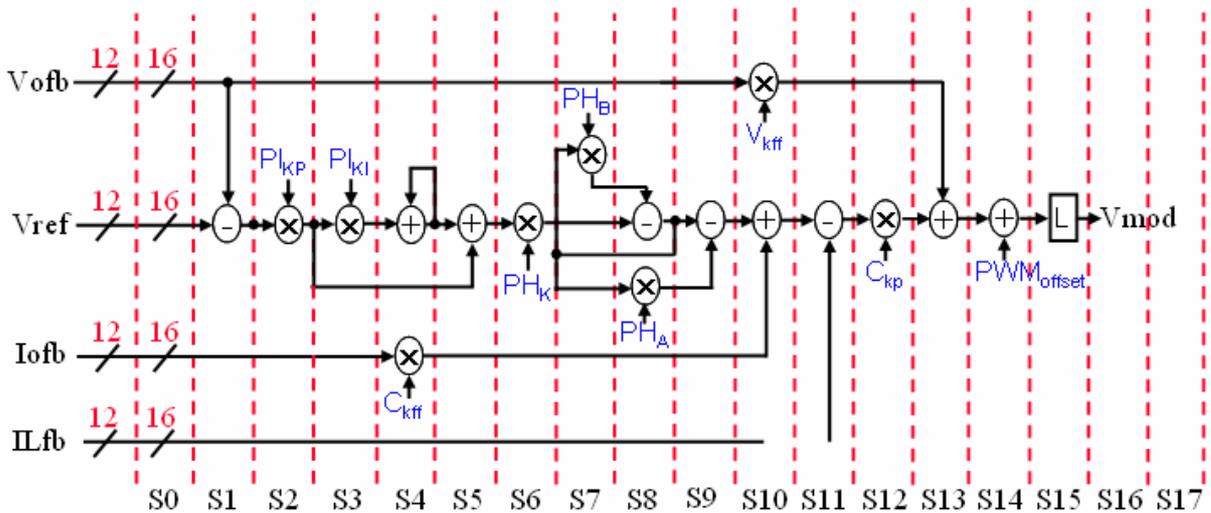


圖4.18 交錯式D類放大器控制器運算執行順序圖

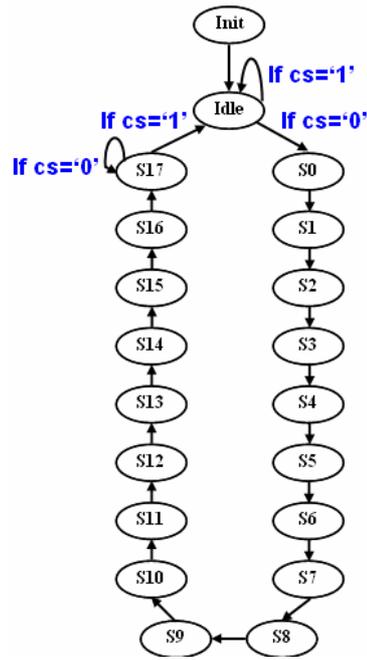


圖4.19 狀態機切換變化圖

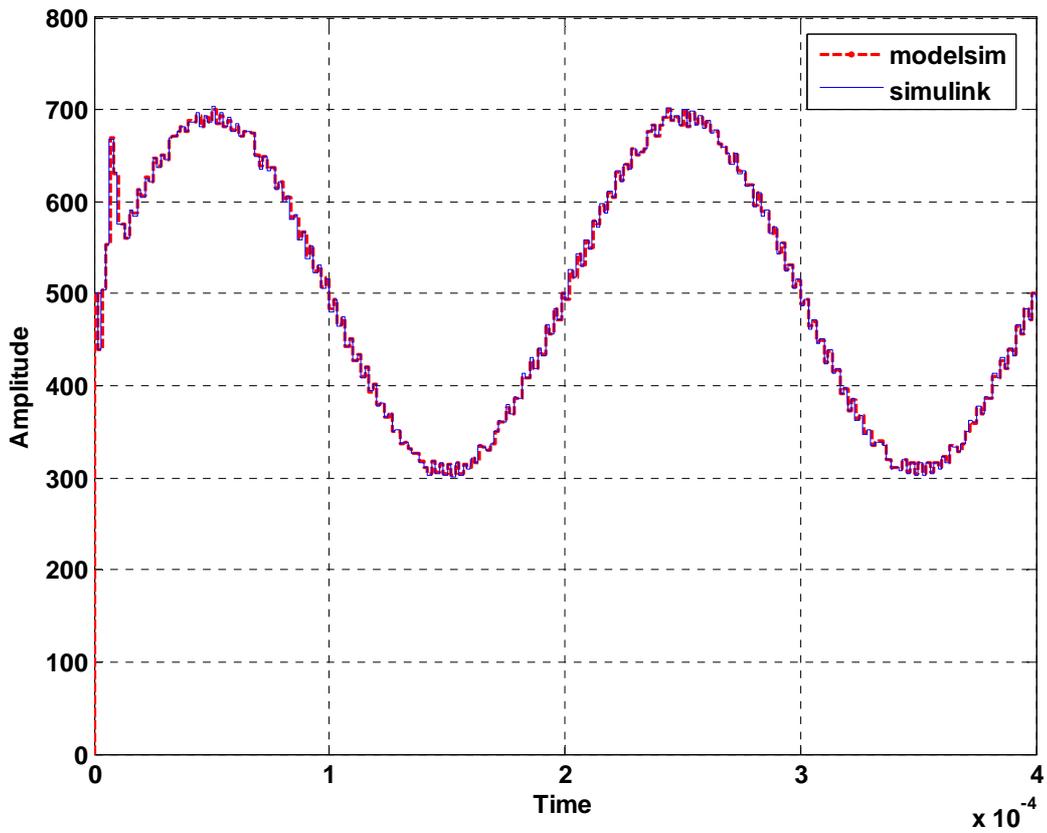


圖4.20 控制器模擬波形圖

表 4.4 交錯式 D 類放大器數位控制器腳位定義

接腳名稱	輸入/出	資料長度	功能說明
REF[11..0]	輸入	12位元	控制器命令訊號資料輸入腳
VOFB[11..0]	輸入	12位元	輸出電壓迴授資料輸入腳
IOFB[11..0]	輸入	12位元	輸出電流迴授資料輸入腳
ILFB[11..0]	輸入	12位元	電感電流迴授資料輸入腳
PI_KP[11..0]	輸入	12位元	比例積分控制器的比例項增益輸入腳
PI_KI[11..0]	輸入	12位元	比例積分控制器的積分項增益輸入腳
PHLE_K[11..0]	輸入	12位元	相位領先控制器的增益輸入腳
PHLE_A[11..0]	輸入	12位元	相位領先控制器的零點輸入腳
PHLE_B[11..0]	輸入	12位元	相位領先控制器的極點輸入腳
CKFF[11..0]	輸入	12位元	電流順向補償增益輸入腳
CKP[11..0]	輸入	12位元	電流內迴路比例控制器增益輸入腳
VKFF[11..0]	輸入	12位元	電壓順向補償增益輸入腳
PWM_OFFSET[11..0]	輸入	12位元	送至脈寬調變產生器前加入的偏移量
RST	輸入	1位元	選擇是否重置所有暫存器數值 1：重置，0：不重置
CLK	輸入	1位元	外部時脈輸入腳位，最高輸入時脈為100MHz
CON_CSIN	輸入	1位元	控制器運算觸發腳位 1：控制器閒置，0：控制器開始運算
CON_CSOUT	輸出	1位元	控制器計算完後送給次級控制器的觸發訊號， 計算完後輸出0，否則輸出1
DATA_OUT[11..0]	輸出	12位元	數位補償器資料輸送，此計算值為脈寬調變產生器的DUTY命令

4.4 數位脈寬調變產生器實現

脈寬調變波形的動作原理如第二章所述，將控制器命令與高頻的參考訊號做比較，當控制器命令大於參考訊號時，比較器輸出為高準位，當控制器命令小於參考訊號時，比較器的輸出為低準位。現行的數位脈寬調變產生器架構約為三種：使用計數器的方式(Counter-Comparator)、使用延遲線(Delay-Line)的方式以及二者混合的架構。使用計數器產生脈寬調變的方法是最簡單直接的實現方法，通常是使用一個計數器，在每一個時脈變化時做計數的動作，藉此得到一個參考的訊號，然而此種做法的缺點是數位脈寬調變波的解析度會和切換頻率成反比，當輸入時脈固定時，越高的脈寬調變波解析度，其切換頻率越低，例如：當輸入的時脈為200MHz時，若脈寬調變波有12位元的解析度時，此時的脈寬調變波切換頻率最高為48.8kHz，若希望脈寬調變波解析度和切換頻率同時提高的話，勢必要增加輸入時脈的頻率，亦即增加了功率消耗，也增加了實現的難度。延遲線架構是藉由訊號傳遞延遲的方法來產生脈寬調變波形，一個傳遞延遲單元的時間長度就是每一個脈寬調變的最小時間間隔，將每個傳遞延遲單元串聯起來，再由多工器判斷何者輸出，以8位元的脈寬調變波產生器而言，共具有256個延遲單元，若解析度越高，則所需的延遲單元也越多，所佔的面積越大，耗費面積大為此種架構最主要缺點。第三種架構為兩者混合的做法，不但節省了面積，同時也不需要很高的時脈，但是架構卻變得複雜許多。在此採用第一種方法來實現所需之數位脈寬調變產生器。

此數位脈寬調變產生器特點為輸入時脈最快可達200MHz，脈寬調變波的解析度最高為12位元，具有對稱或非對稱參考訊號產生的選擇，避免上下臂開關同時導通的無效時間處理，並可以根據是否具有相位移及所需相數的功能，自動地計算出各相所需延遲的角度，在脈寬調變的輸出部分，最多可以有六個不同相輸出，每相都分別具有互補的輸出對，總共12隻輸出腳。圖4.21為所實現之數位脈寬調變產生器方塊圖，相位移方塊根據輸入使用相數及脈寬調變頻率計算各相所需之相位移，計算出結果後送到參考訊號產生器，此處會產生對稱及非對稱的參考波形，再由多工器選擇該輸出何種參考訊號至比較器，在比較器中與調變命令比較後可得到脈寬調變波，最後再經過無效時間產生器輸出。此方塊最多為六相輸出，當不需用到那麼多相時，未使用到的相位上、下臂輸出均為低準位，此方塊腳位定義請參考表4.5，數位脈寬調變產生器方塊

外觀圖如圖4.22。產生之脈寬調變波切換頻率的設定有分為對稱波形以及非對稱波形，當設定為對稱波形時，其切換頻率如下：

$$f_{sw} = \frac{clk}{2 \cdot FSW} \quad (4-6)$$

式(4-6)表為，開關切換頻率為輸入時脈除以兩倍的脈寬解析度FSW的設定，例如，設定FSW為1000，輸入的時脈為200MHz時，則產生的脈寬調變波的頻率為100kHz。當設定為非對稱波形時，其切換頻率為：

$$f_{sw} = \frac{clk}{FSW} \quad (4-7)$$

無效時間的設定：送至無效時間電路的頻率為送至脈寬調變產生器頻率的十分之一(經過除10之除頻器)，當輸入時脈200MHz，無效時間電路的工作頻率為20MHz。其式：

$$dead-time = \frac{DT}{clk_{div10}} \quad (4-8)$$

式(4-8)表為，實際的無效時間等於DT設定除以時脈，假設DT設為10，則實際無效時間等於10/20MHz，其值為0.5μs。

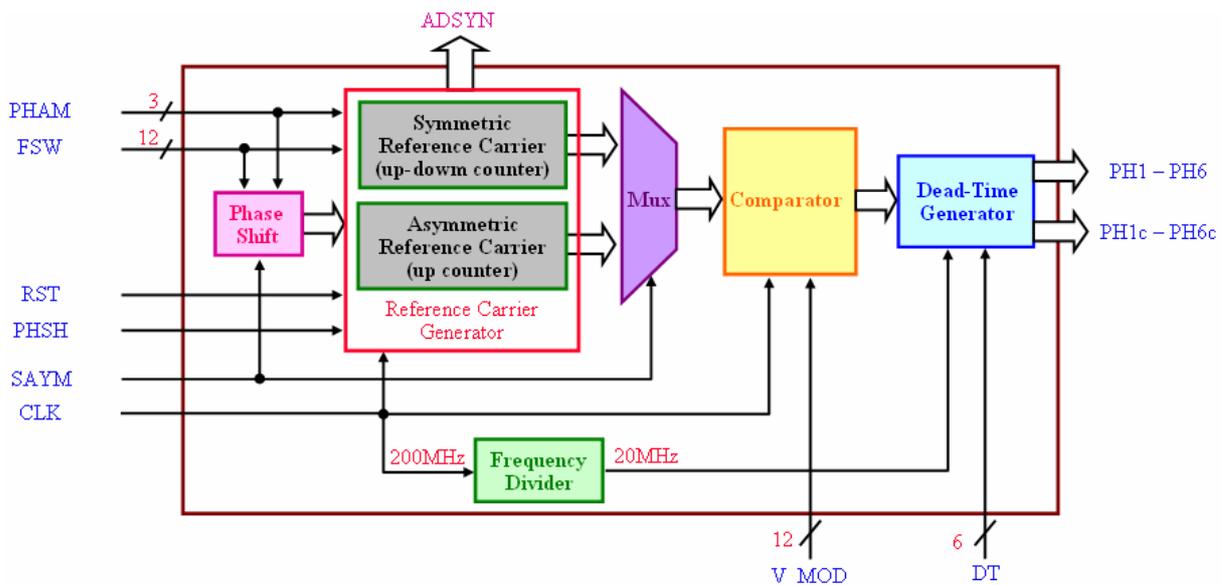


圖4.21 數位脈寬調變產生器方塊圖

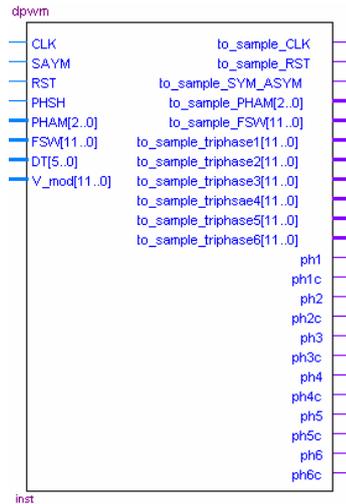


圖4.22 數位脈寬調變產生器方塊符號圖

表 4.5 數位脈寬調變產生器腳位定義

接腳名稱	輸入/出	資料長度	功能說明
Clk	輸入	1位元	外部時脈輸入腳位，最高輸入時脈為200MHz
SAYM	輸入	1位元	選擇PWM參考訊號為對稱或非對稱 1：對稱的參考訊號，0：非對稱的參考訊號
RST	輸入	1位元	選擇是否重置所有暫存器數值及PWM輸出 1：重置，0：不重置
PHSH	輸入	1位元	選擇PWM輸出有否具相位移功能 1：具相位移，0：不具相位移
PHAM[2..0]	輸入	3位元	選擇PWM要使用幾個相位輸出 001：單相，010：雙相，011：三相 100：四相，101：五相，110：六相
FSW[11..0]	輸入	12位元	PWM切換頻率設定腳，當參考訊號設定為對稱時，PWM切換頻率為 $f_{sw} = \text{clk} / (2 \cdot \text{FSW})$ ，當參考訊號設定為非對稱時，PWM切換頻率為 $f_{sw} = \text{clk} / \text{FSW}$
DT[5..0]	輸入	6位元	無效時間設定腳位，當輸入時脈為200MHz，經過除10的除頻電路，送至無效時間產生方塊的頻率為20MHz，最長的無效時間為3.15μS 計算方式： $\text{dead-time} = \text{DT} / \text{Clk}_{\text{div}10}$
V_mod[11..0]	輸入	12位元	PWM調變訊號輸入腳位，該值和參考訊號相比後可得PWM訊號
to_sample_*	輸出	資料排線	欲送至同步取樣方塊的資料及控制命令
ph1-ph6	輸出	1位元	PWM輸出腳位，最大可提供六個不同相之PWM，每相都具備互補的輸出對

4.4.1 計算相位移電路

此電路功能為計算各相所需之相位移，需根據以下腳位來做設定，分別為PWM切換頻率腳位FSW、對稱或非對稱腳位SAYM以及使用相數腳位PHAM。圖4.23為計算相位移的電路架構圖，首先根據此時的PWM參考訊號模式設定為對稱波形還是非對稱波形，由一多工器選擇將乘上一倍FSW或是乘上兩倍FSW的訊號送至除法器電路，除法器共有三個，分別為除三倍、除五倍及除六倍，除兩倍及除四倍不需用除法器，僅需分別將資料右移一位及右移兩位即可達成，至此已得到將FSW除二至除六的數值了，再依照各相不同延遲角度，分別乘上二到五不等的數值就可得到輸出，Pxcon為最後的計算值，其中x的值為2至6，分別代表從第2相到第6相。PHAM腳位的功能為選擇要使用幾個相位，若設定為二，則第三到第六個相位的輸出值均會為零。各相位延遲計算方法示意圖請參考圖4.24，以FSW輸入為最大4095、使用對稱參考波形，六個相位為例，第二相需延遲第一相的數值為 $(2 \cdot 4095) / 6 = 1365$ ，第三相需延遲第一相的數值為 $(2 \cdot 4095) / 3 = 2730$ ，第四相需延遲第一相的數值為 $(2 \cdot 4095) / 2 = 4095$ ，第五相需延遲第一相的數值為 $4 \cdot (2 \cdot 4095) / 6 = 5460$ ，第六相需延遲第一相的數值為 $5 \cdot (2 \cdot 4095) / 6 = 6825$ ，這些計算出各相該延遲的數值將送到參考訊號波形產生器，以得到相對應的延遲輸出參考波形。此方塊模擬圖請參考圖4.25。

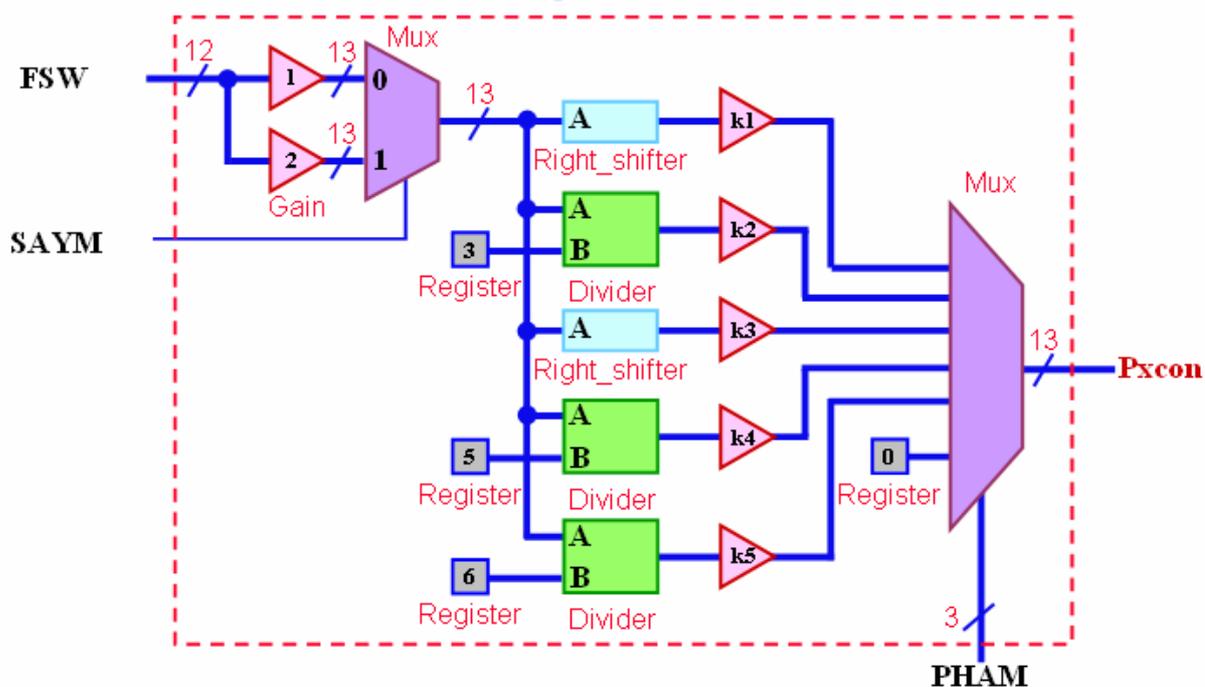


圖4.23 計算相位移電路方塊圖

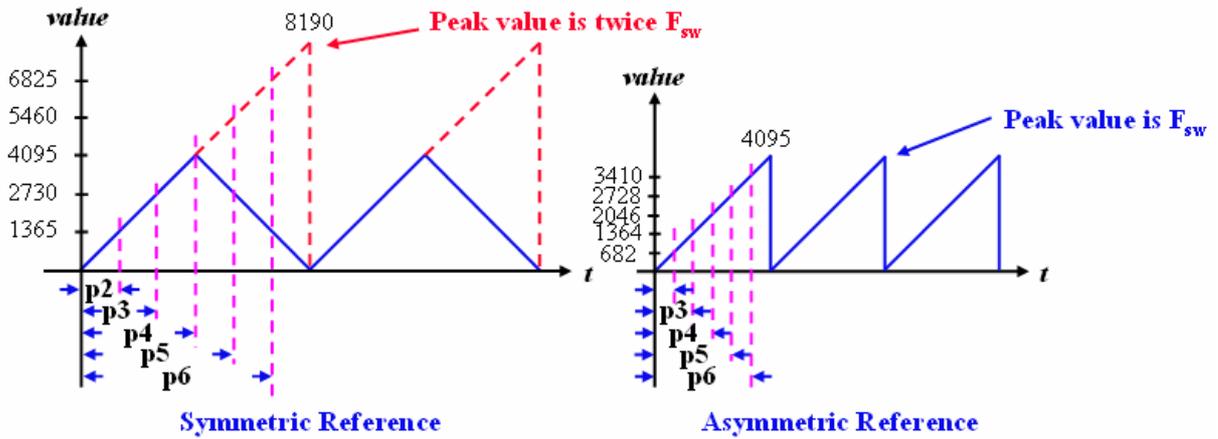


圖4.24 相位延遲計算示意圖

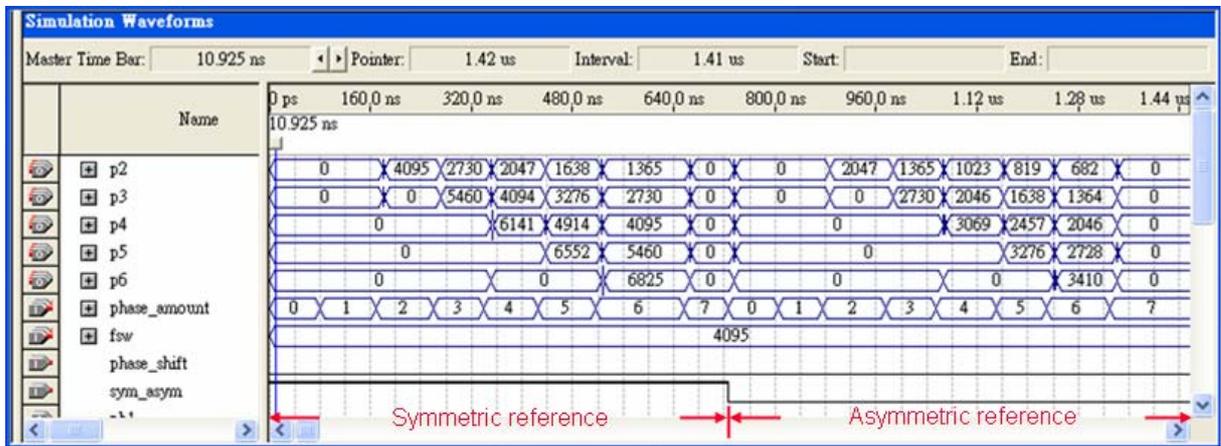


圖4.25 相位移電路模擬圖

4.4.2 參考訊號產生器電路

此電路功能為產生對稱及非對稱的參考訊號，然後送至比較器做比較，需根據以下腳位來做設定，分別為外部時脈輸入腳位Clk、重置輸入腳位RST、PWM切換頻率腳位FSW、對稱或非對稱腳位SAYM、使用相數腳位PHAM、相位移功能腳位PHSH以及由上一級的相位移計算電路傳來的相位移計算值。圖4.26為參考波形產生器的電路架構圖，重置腳位之目的在使各計數器歸零，以及令所有輸出為低準位。對稱或非對稱腳位SAYM可控制一個輸出的多工器，使選擇送至比較器方塊的訊號對稱的三角波或是非對稱的鋸齒波，當設定為高準位時就輸出三角波，當設定為低準位時就送出鋸齒波。Pxcon為上一級的相位移方塊所計算出應延遲的角度值，將其與一個13位元的計數器相比較，當Pxcon的值大於13位元計數器時，便會送出高位準的觸發命令

(phase_start1, phase_start2)，當參考訊號產生方塊內的12位元計數器接收到此觸發命令後，才會開始做計數的動作，在沒收到此觸發命令前是不會做計數的，故當Pxcon的值不同就會造成不同的延遲時間。此13位元的計數器由零開始計數，當外部時脈的正緣觸發時便累加1，一直計數到最大值8191後會自動歸零重新計數，若重置腳位重置也會歸零。PHSH腳位判斷要否有相位移功能，若設定為高準位，送到訊號產生方塊的值就是Pxcon和13位元計數器比較後的高或低準位，亦即具相位移功能，如果設定為低準位，送至訊號產生方塊的值就會一直為高準位，通知參考訊號產生方塊內的計數器可以持續的計數而不需延遲，故就沒有相位移的功能。在三角波及鋸齒波參考訊號產生方塊中的計數器都是和外部時脈同步，為正緣觸發，每變化一次計數一次，當計數值到達FSW設定的數值後，上數計數器會歸零，而上下數計數器就會開始做下數，這些上數或是上下數的計數值就是產生的鋸齒波或三角波參考訊號，這些訊號(reference1, reference2)最後會和開始計數觸發命令一起送至比較器方塊，在和調變訊號比較後即得到脈寬調變波。在圖4.26中的參考方塊電路為其中一相的電路，因為共有六個相位，所以共有六個類似的電路，在第一相中因為不需做延遲，故這部份就沒有Pxcon值和13位元比較的電路。另外，送至比較器方塊的共有六相的參考訊號以及五個開始觸發控制命令。此方塊的模擬波形圖如圖4.27，可看出此方塊的確可產生三角波或是鋸齒波參考訊號，並且具有相位移的功能，可達到多相交錯式的脈寬調變控制。

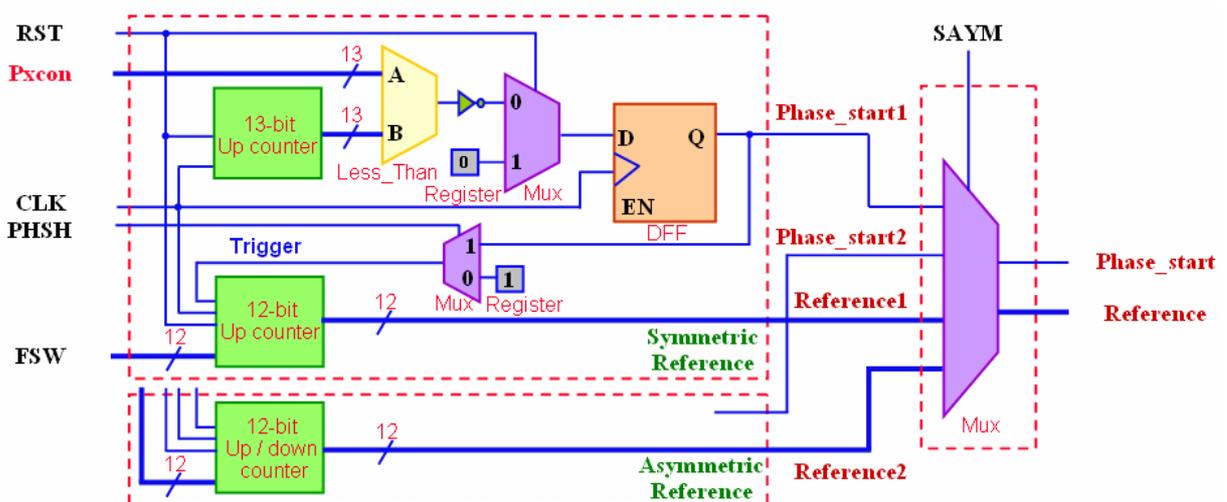


圖4.26 參考訊號產生器電路方塊圖

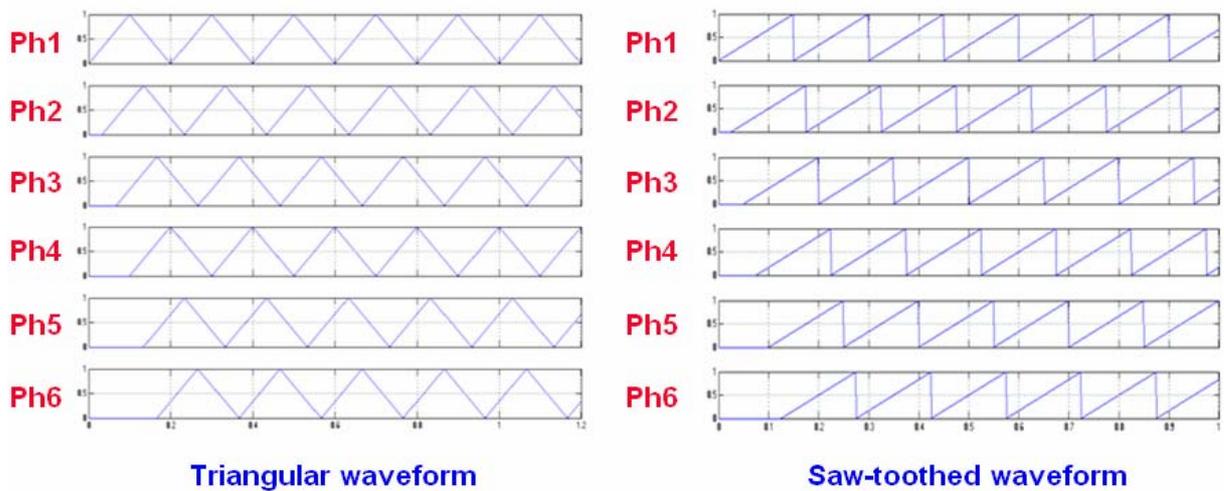


圖4.27 參考訊號產生器模擬波形圖

4.4.3 比較器電路

此電路之目的為將參考訊號與調變訊號比較，以得到想要的脈寬調變波形輸出，需根據以下腳位來做設定，分別為外部時脈輸入腳位Clk、重置輸入腳位RST、PWM調變訊號腳位V_mod、以及上一級產生的參考訊號和開始觸發訊號。如圖4.28所示為比較器方塊的電路架構圖，當重置RST產生時，上下臂的PWM均輸出低準位，若沒有重置則輸出為參考訊號與調變訊號比較後的結果，若參考訊號小於調變訊號，則上臂的PWM訊號輸出高準位，而下臂的輸出經過一個反相器，故PWM輸出低準位。在此電路中有一個狀態機，共有兩個狀態分別為可輸出及不可輸出狀態，其輸入為外部時脈及開始觸發訊號，狀態的改變和時脈同步，而何時會做狀態的切換則是根據開始觸發訊號，當其為高準位時，就為可輸出狀態，反之則為不可輸出狀態，狀態機的輸出連接著輸出多工器，若是位於不可輸出狀態，則上下臂的輸出均為暫存器的預設值零，同樣的，當重置致能後，狀態機恢復至不可輸出狀態，且判斷開始觸發訊號為低準位，故上下臂的輸出均為零。在此加上一個狀態機判斷之目的在於，若參考訊號有使用到相位移的功能，在一開始會有一段延遲均為零，請參考圖4.27，為避免此時和調變訊號比較後上臂會輸出為高準位的情況發生，故加上此判斷機制，而不能僅以單純的比較器實現這部份的電路。此部份的電路為相位2至相位6的電路，因相位1並沒有做相位的延遲，所以沒有開始觸發訊號，只要調變訊號比參考訊號大時，上臂的輸出即為高準位，下臂的輸出即為低準位了。模擬波形請參考圖4.29。

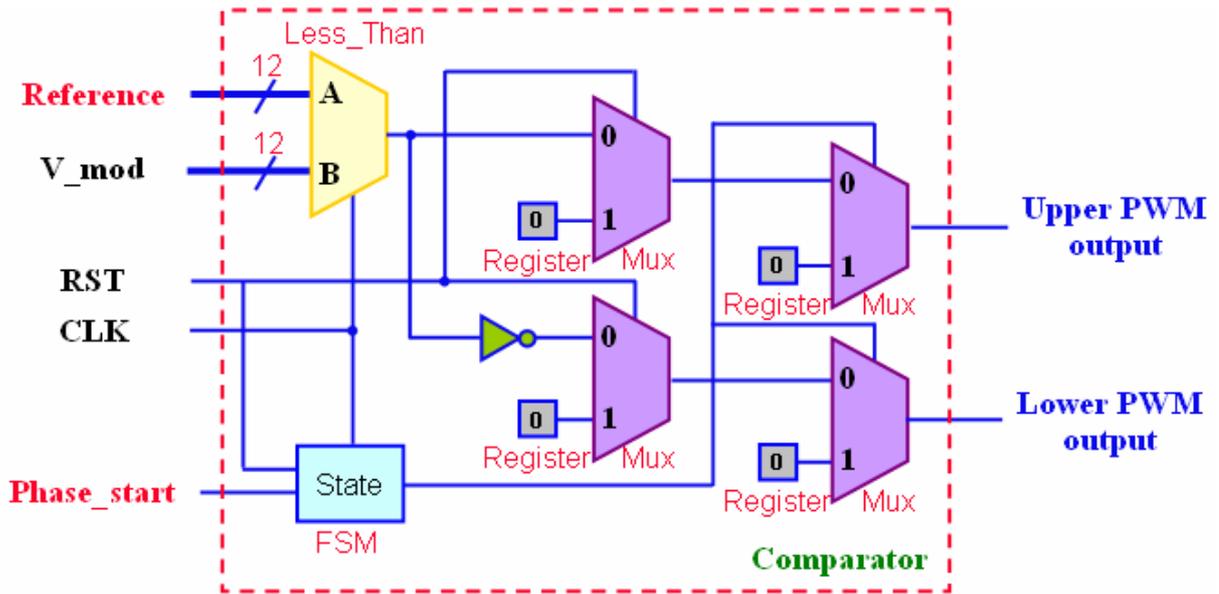


圖4.28 比較器電路方塊圖

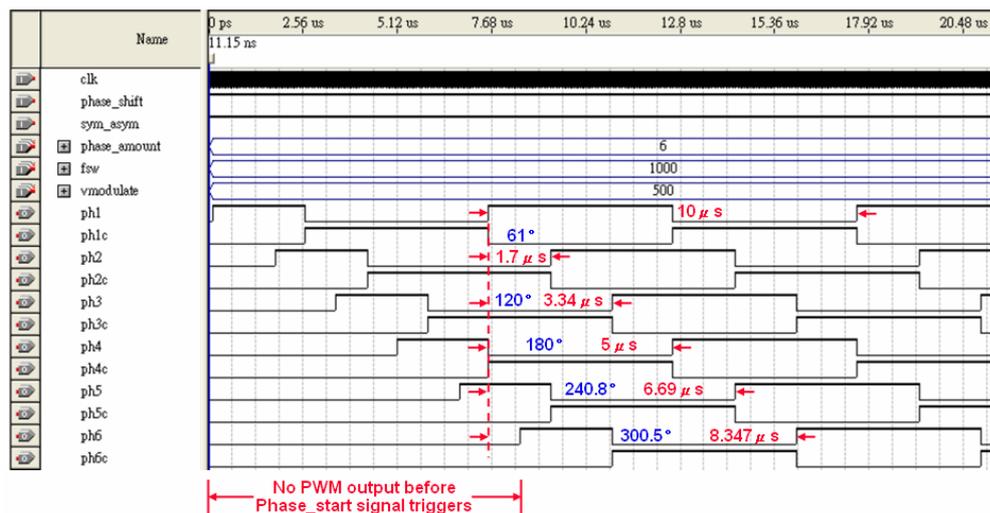


圖4.29 比較器模擬波形圖

4.4.4 無效時間(DEAD-TIME)產生器電路

此電路之目的為將前級上、下臂的脈寬調變波均加上一段無效時間，這是為了避免當脈寬調變訊號送至功率級的開關後，因為開關的 t_{on} 、 t_{off} 時間及傳遞延遲時間的不同，造成上、下臂開關同時導通產生短路，所做的保護措施。為得到想要的無效時間，需設定DT腳位，再根據送入此方塊的時脈來決定無效時間的長短，其計算方式為 DT/Clk_{div10} ，其中 Clk_{div10} 為外部時脈經過除頻器後得到的頻率。如圖4.30所示為無效時

間產生器方塊電路架構圖，輸入的訊號PWM_In為前級產生的脈寬調變波，當其為低準位時，控制輸出的多工器，使其輸出為亦為低準位，而當此PWM_In訊號為高準位時，就輸出DT與6位元計數器比較的值，當六位元比較器值大於DT設定時，最後多工器的輸出會為高準位。同時PWM_In訊號亦控制著6位元計數器重置的功能，當PWM_In為低準位時，會重置此計數器，而當計數器的數值大於dead_time設定值後，計數器的輸出值會固定在當時的計算值，一直到PWM_In低準位後才會重置計數器。模擬波形請參考圖4.31。

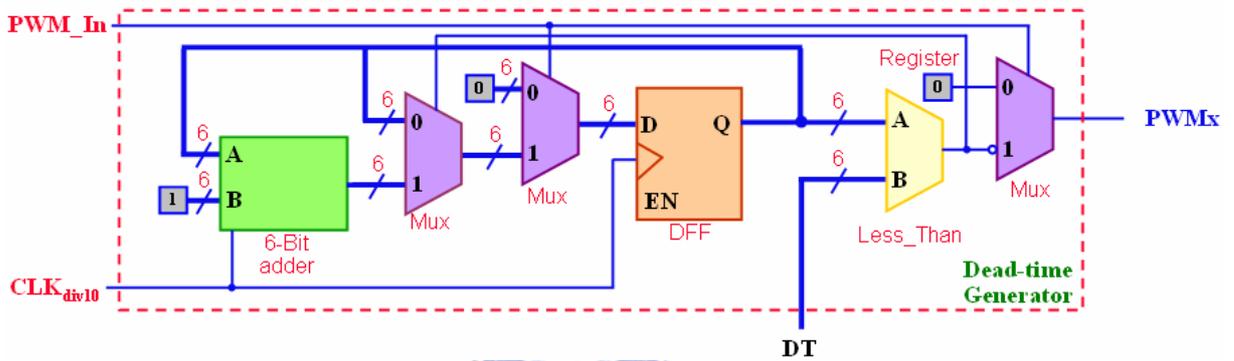


圖4.30 無效時間產生器電路方塊圖

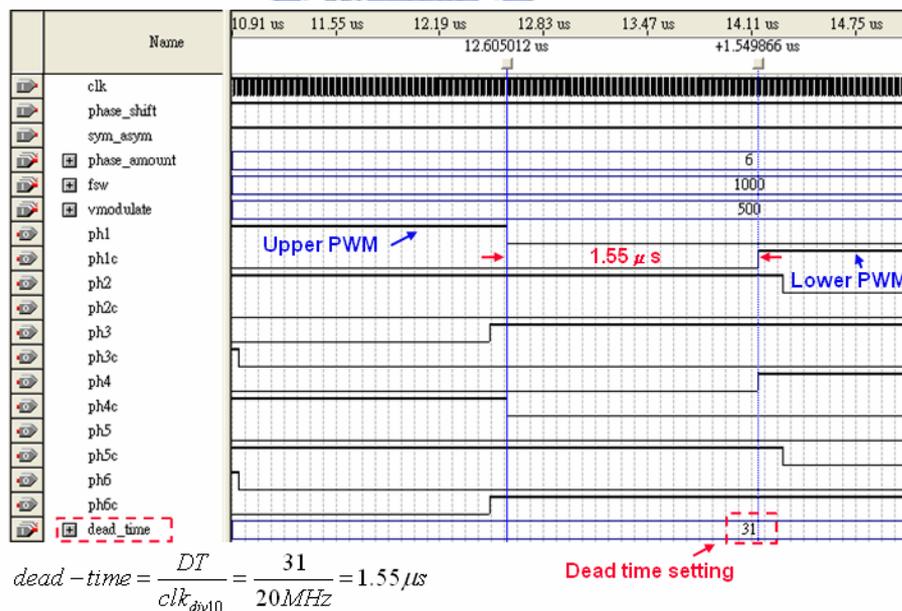


圖4.31 無效時間產生器模擬波形圖

4.4.5 除頻器電路

除頻器在於提供比外部時脈低的時脈給內部電路使用，此除頻器為除10的除頻器，如圖4.32所示，有一個3位元的計數器，一個正反器及一個輸出的栓鎖，當計數器由0計數到4(四的位元值為100)後，三輸入的或閘會產生低位準的訊號給輸出栓鎖及3位元的計數器，此時此栓鎖被致能而計數器被重置，栓鎖器被致能後的輸出Q為前一D值的反相，每隔5個時脈反相一次，可得到除以10的除頻電路。模擬波形如圖4.33。

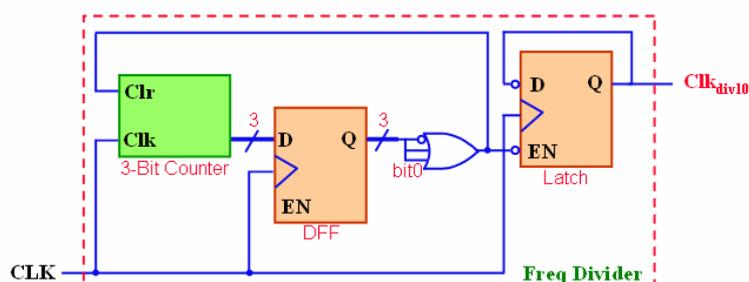


圖4.32 除頻電路方塊圖

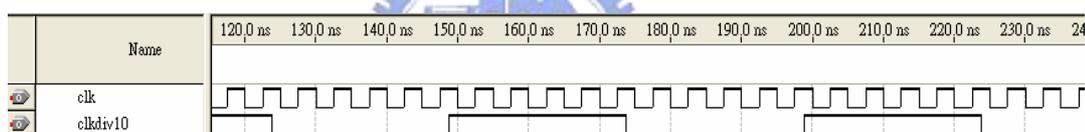


圖4.33 除頻電路模擬波形圖

4.4.6 高解析度PWM電路

使用計數器的方法來實現數位脈寬調變產生器，具有簡單且直觀的實現方法，然而隨著PWM切換頻率及解析度提高的需求下，此種實現方法卻不適用，因為需要極快速的系統時脈，例如在切換頻率1MHz且解析度為12個Bit的規格中，需要4GHz的時脈，在本論文中主要是以交錯式架構來降低切換頻率的需求，若不採用此架構則混合計數器及延遲線做法的架構出現解決了這個問題[27]-[28]，但其僅適用於當參考訊號為非對稱的情況下，在此嘗試將最高系統時脈(200MHz)切成20個等間隔的微切割技術[29]，採用計數器及延遲線的混合架構，實現對稱參考訊號高解析度脈寬調變產生器。

高解析度PWM技術示意圖如圖4.34，計數器方式產生的脈寬調變方式是隨著每個系統時脈增加計數器的值，例如計數1000次，然後得到一個脈寬調變的切換週期，因

此，系統的時脈越快，脈寬調變的波形的解析度也越小，但系統時脈不可能無限制加快，一般而言在FPGA中每個邏輯閘間均有傳遞延遲時間，因此我們只要利用這些延遲的時間，就可以將一個時脈在切割成更小的等份，舉例來說，Altera公司的FPGA其時脈達200MHz(5ns)，而每個延遲元件(Delay Cell)的延遲時間約為0.25ns，故可將一個時脈的時間切割成20等分，也因此，原本使用1000個步階來得到一個脈寬調變切換週期，就相當於變成為 $1000*20=20000$ 個步階來表示了，也提高了脈寬調變的解析度。

實現的電路圖如4.35，一開始先將Duty的命令除上20，得到整數(cmd)以及餘數，整數的部份送至比較器以與參考訊號比較，餘數部份送至多工器，選擇要延遲多長的時間輸出，輸出RS閃鎖的S腳的輸入有兩個時機，其一為當計數器為零時，開始一個切換週期，其後10位元計數器開始計數，當數到最高時(F_{sw} 的設定)再開始往下計數，而第二個設定時機是當計數器往下數到等於cmd時，會再次設定S腳，使脈寬調變波輸出為高準位。要注意的是，致能RS閃鎖的R腳僅有一個時機，即其為在計數器上數時，當計數器的值等於cmd就傳送高準位給延遲線，延遲一段時間後去致能RS閃鎖的R腳，一旦R腳致能後，脈寬調變波就會降為低準位，一直到計數器開始下數後，脈寬調變波又會提高為高準位，持續到下次的計數器上數至cmd為止，所以設計比較器在計數器下數時是不需動作的。為何要將Duty命令除上20呢，因為是將一個時脈切割成20等份的緣故，整數部份表示需要幾個系統時脈來完成，而餘數部份就表示要延遲多長的時間，使用此方法前後的比較表請參考表4.6，可知使用此方法可提高約4.3Bits的解析度，實驗波形如圖4.36，當解析度為12Bit時，duty增加1會得到 $(1/4096)*100\%=0.024\%$ 的變化，(a)圖的duty為1000，(b)圖的duty為1005，故duty應增加0.12%，由實驗圖可看出約增加0.13%，故證明此脈寬調變解析度可達12個Bit，且其切換週期為1MHz。

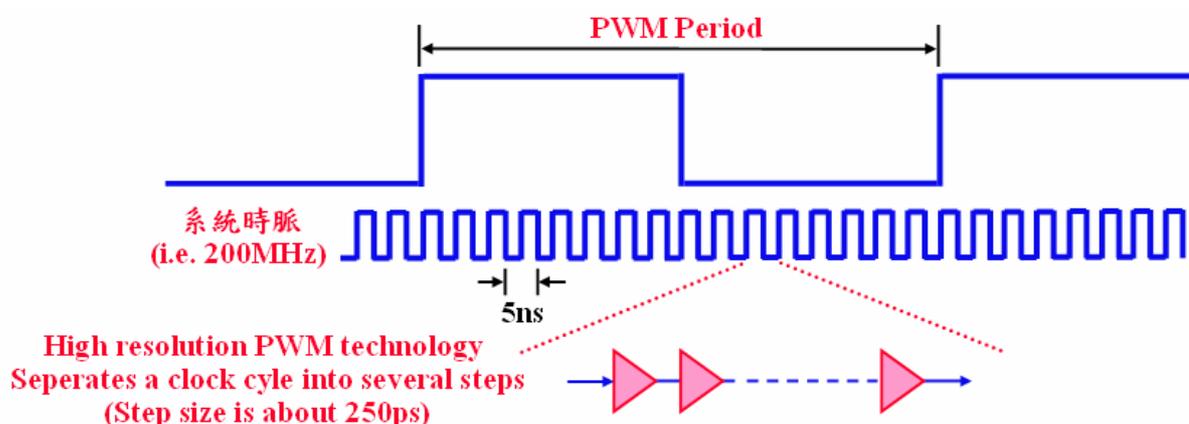


圖4.34 高解析度脈寬調變產生機制示意圖

表 4.6 使用高解析度 PWM 技術前後比較表(系統時脈 200MHz)

PWM 切換頻率	未使用高解析度技術所需 Steps	未使用高解析度技術等效 DAC 解析度	使用高解析度技術後所需 Steps	使用高解析度技術等效 DAC 解析度
100kHz	2000	10.96	40000	15.28
500kHz	400	8.65	80000	12.96
1MHz	200	7.64	4000	11.96
5MHz	40	5.31	800	9.63

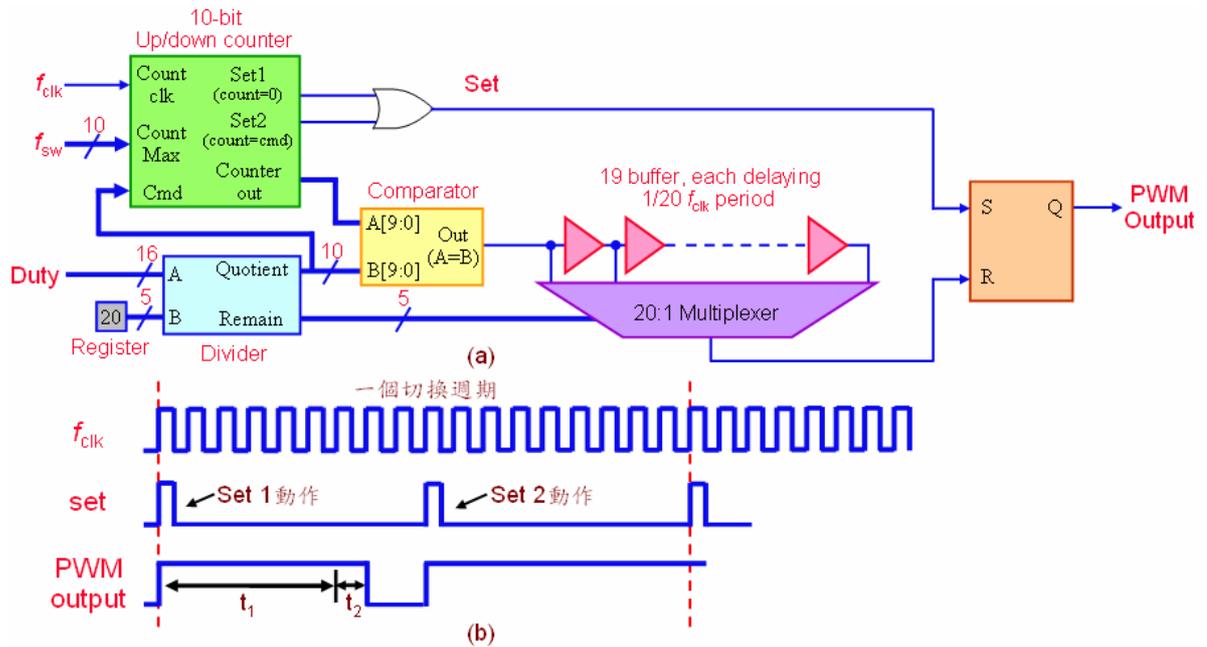


圖4.35 (a)高解析度PWM電路圖(b)時序動作圖

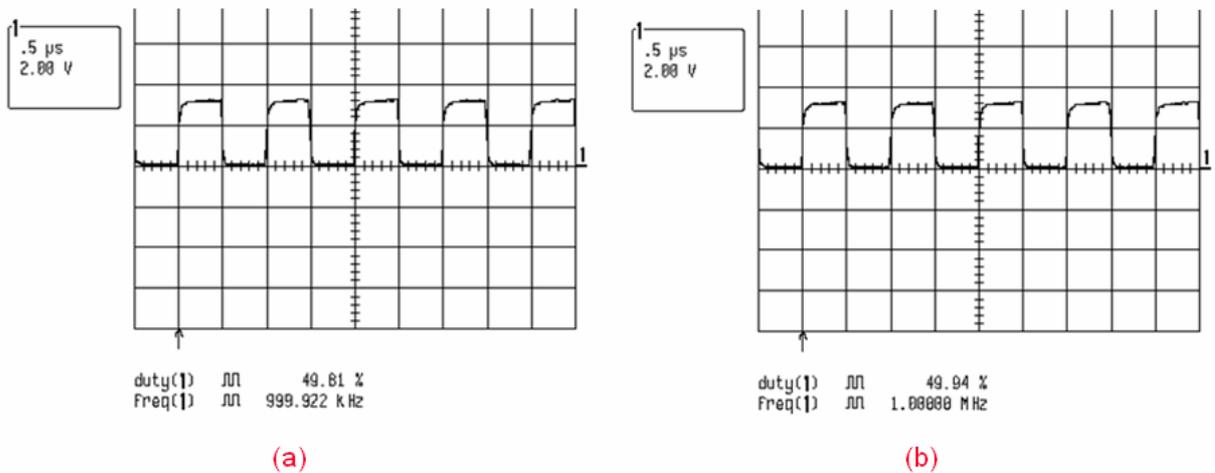


圖4.36 高解析度PWM實驗波形圖

4.5 同步取樣控制器實現

使用脈寬調變方法的電壓源換流器，在現今電力電子的領域，扮演著極重要的角色，其已被廣泛應用在電源調整系統如自動電壓調整器(Automatic Voltage Regulator)、不斷電系統(UPS)、馬達驅動甚至做音頻放大的D類放大器。然而脈寬調變的調變方式造成輸出電壓、電流具有開關切換頻率的漣波，此高頻的漣波通常是我們不希望出現的雜訊，故一般的做法是在回授訊號路徑上加低通濾波器，以降低此切換頻率漣波，然而此種做法有兩個缺點，一來低通濾波器造成了回授訊號的相位延遲外，二來當電流迴路的頻寬大於開關切換頻率的1/20時，低通濾波器濾掉漣波的效果就不是那麼明顯了。以本論文為例，要求訊號的頻寬為20kHz，而開關切換頻率為100kHz，所以在輸出電壓、輸出電流及電感電流的回授，使用低通濾波器來濾除漣波，就不是那麼適合了。為了避免取樣到訊號的漣波值，造成數位補償器運算的錯誤，一般的做法是在特定的時機取樣，在漣波為零之處取樣，此時為脈寬調變參考訊號(對稱的參考訊號)的峰值或是谷值處，此種取樣方式稱為同步取樣機制[30]-[31]。同步取樣時機請參考圖4.37。除此之外，脈寬調變訊號在控制開關切換的瞬間，會產生很大的電流變化，而為了避免取樣到這些突波，得到錯誤的資料送入控制器，通常也會採用同步取樣的機制來控制，數位控制的優點是可以精確的控制AD轉換器的取樣時機，在此我們實現了一個最多具有六相輸出的同步取樣控制器。

此同步取樣控制器僅可在數位脈寬調變器設定為對稱參考波的模式下使用，當數位脈寬調變器設為非對稱波模式下是不支援的，可選擇的取樣模式有三種，分別為上升期間取樣、下降期間取樣或是上升及下降期間均要取樣，若在上升或下降期間取樣的取樣頻率和脈寬調變波切換的頻率一樣，而在上升及下降期間均要取樣，則取樣頻率為脈寬調變波切換頻率的兩倍，要改變在SAMP腳位設定即可。另外方塊需使用到的時脈CLK、重置腳位RST、切換頻率FSW、對稱或非對稱選擇SAYM、使用相數PHAM以及各相的參考訊號(Reference)等訊號，均由數位脈寬調變產生器提供，使用者不需另外作設定。考慮市售AD轉換器有active low及active high動作兩種，故控制器亦提供了兩種輸出模式，腳位AHAL可作選擇。方塊外觀圖如圖4.38。腳位說明如表4.7。

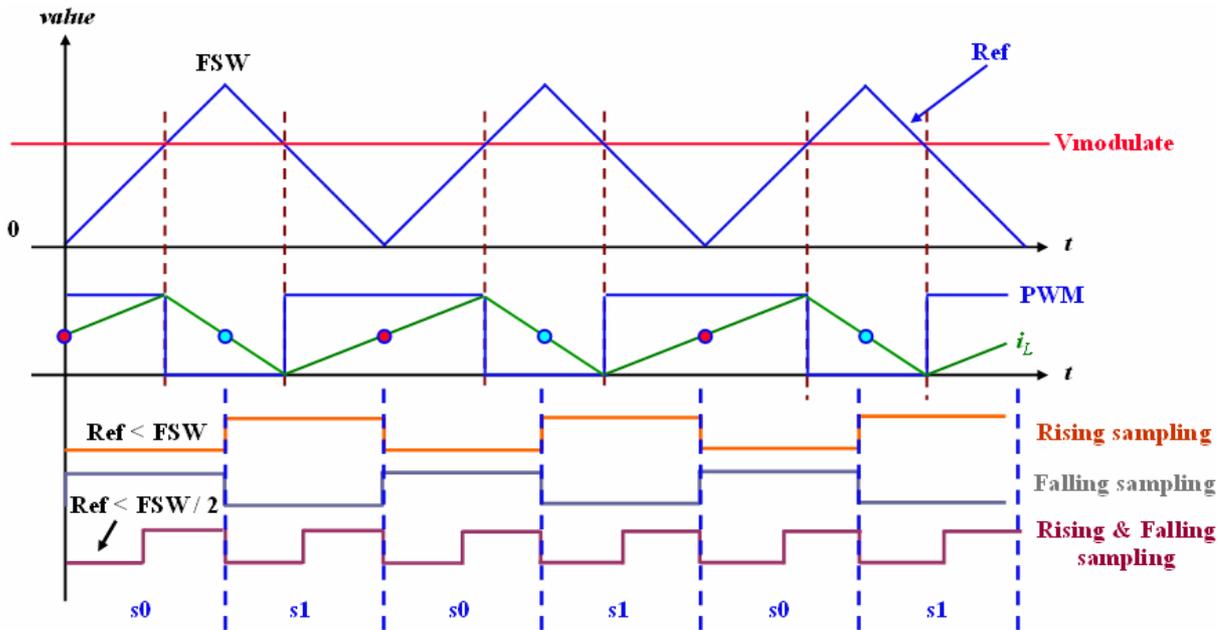


圖4.37 同步取樣時機示意圖

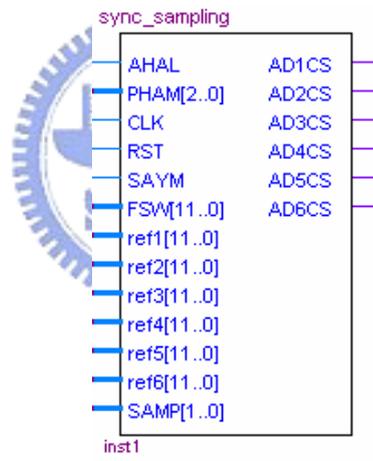


圖4.38 同步取樣控制器方塊符號圖

圖4.39為同步取樣控制器的電路架構圖，此控制器不支援非對稱參考訊號，因此當數位脈寬調變產生器在非對稱模式下，輸出為高準位，經過正反器後送到Sync_Register方塊中，若是設定active high的狀態下，最後的輸出會再反相一次變成低準位輸出，若是在active low的狀態，則輸出仍維持不變，仍在高準位輸出。PHAM腳位的功能在於，判斷要使用幾個相數，未使用到的相數會直接輸出高準位或低準位，依照AHAL腳位決定何者輸出。當控制器設定在對稱模式時，就會根據SAMP來選擇何者的值會被送至sync register，SAMP所控制的多工器共有四個輸入端，00是不支援

的，故當此腳位設定為00時，多工器的輸入為高準位，另外三個工作模式別為01時上升取樣，10時下降取樣，11時上升及下降取樣，在開始討論多工器01~11的輸入之前，我們先看狀態機的切換時機，狀態機預設值是狀態0，此時送出低準位，一直到參考訊號Ref等於FSW時，切換狀態至狀態1，在狀態1時的狀態機輸出為1，直到Ref變為零時，才又會再切換為狀態0。

SAMP選擇01上升取樣時，一開始狀態機輸出0，當Ref小於FSW時送出低準位，直到狀態機切換為狀態1後，輸出改為Ref小於FSW會送出高準位。SAMP選擇10上升取樣時，一開始狀態機一樣輸出0，當Ref小於FSW時送出高準位，直到狀態機切換為狀態1後，輸出改為Ref小於FSW會送出低準位。SAMP選擇11上升及下降取樣時，一開始狀態機輸出0，當Ref小於二分之一的FSW時送出低準位，直到Ref大於二分之一的FSW時才送出高準位，等狀態機切換為狀態1後，輸出會相反變為當Ref大於二分之一的FSW時送出低準位，Ref小於二分之一的FSW時才送出高準位。此控制器模擬波形如圖4.40。

表 4.7 同步取樣控制器腳位定義

接腳名稱	輸入/出	資料長度	功能說明
AHAL	輸入	1位元	選擇控制器的輸出為active high還是active low 1：Active high，0：Active low
PHAM[2..0]	輸入	3位元	選擇PWM要使用幾個相位輸出 001：單相，010：雙相，011：三相 100：四相，101：五相，110：六相
CLK	輸入	1位元	外部時脈輸入腳位，最高輸入時脈為200MHz
RST	輸入	1位元	選擇是否重置所有暫存器數值及PWM輸出 1：重置，0：不重置
SAYM	輸入	1位元	選擇PWM參考訊號為對稱或非對稱 1：對稱的參考訊號，0：非對稱的參考訊號
FSW[11..0]	輸入	12位元	PWM切換頻率設定腳
REF1-REF6	輸入	12位元	由DPWM產生之第一相至第六相對稱參考訊號
SAMP[1..0]	輸入	2位元	選擇控制器在何時取樣 001：上升時取樣，010：下降時取樣 011：上升及下降均要取樣
AD1CS-AD6CS	輸出	1位元	第一相至第六相AD轉換器的取樣觸發

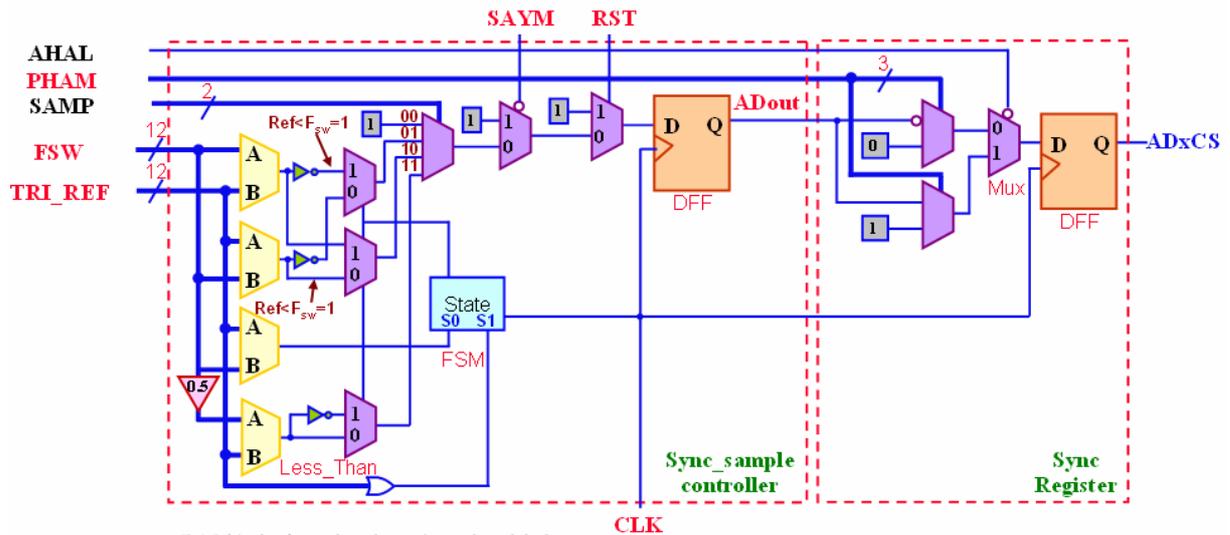


圖4.39 同步取樣控制器電路方塊圖

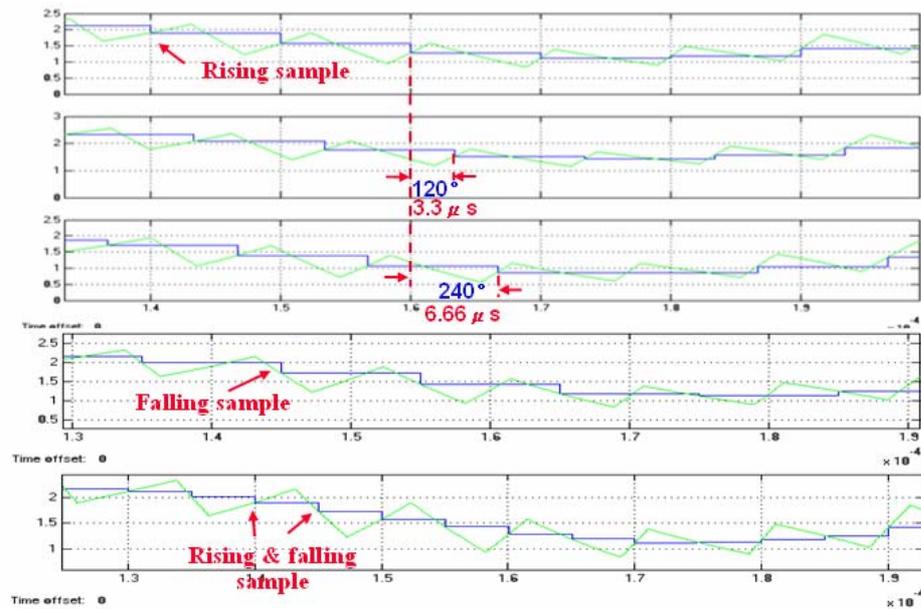


圖4.40 同步取樣控制器模擬波形圖

4.6 串列傳輸(SPI)介面實現

SPI為一工業界標準的串列傳輸協定，區分為主動(master)以及被動(slave)兩種工作模式，傳輸的資料的長度可設定為1~16個位元，為全雙工傳輸可同步發射及接收，SPI間的通訊使用了兩條資料線、一條控制線以及一條同步的時脈，其腳位定義如表4.8，SPI方塊的外觀圖如圖4.41。SPI介面共有四種時脈工作方式，由時脈極性腳及相位來作控制，不同之處如圖4.42所示，再設定上主動端與被動端的時脈極性及時脈相位需一

致，雙方始可正確傳輸。使用此通訊介面的目的在於可直接由NIOS經由SPI傳送各控制暫存器數值，藉由改變暫存器參數，來更改各方塊的腳位設定，也因此僅需4條資料線來接、傳資料，可大幅減少了IC的外部設定腳位。

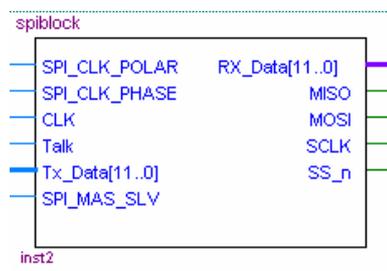


圖4.41 SPI方塊符號圖

表 4.8 SPI 方塊腳位定義

接腳名稱	輸入/出	資料長度	功能說明
SPI_CLK_POLAR	輸入	1位元	串列傳輸介面時脈極性設定腳位 1：閒置時的SCLK狀態為高準位 0：閒置時的SCLK狀態為低準位
SPI_CLK_PHASE	輸入	1位元	串列傳輸介面時脈相位設定腳位 1：資料在時脈正緣更新，在負緣資料門鎖住 0：資料在時脈負緣更新，在正緣資料門鎖住
CLK	輸入	1位元	SPI的時脈輸入，最高時脈40 MHZ
Talk	輸入	1位元	SPI設定為主動端時，欲傳送之資料由Tx_Data輸入，而要將資料傳送出去，則需觸發此腳位 1：傳送資料，0：閒置狀態
Tx_Data[11..0]	輸入	12位元	欲傳送資料輸入腳
SPI_MAS_SLV	輸入	1位元	主動端或被動端選擇腳
Rx_Data[11..0]	輸出	12位元	接收到的資料輸出腳
MOSI	輸出入	1位元	主動端的資料輸出腳，被動端的資料輸入腳
MISO	輸出入	1位元	主動端的資料輸入腳，被動端的資料輸出腳
SCLK	輸出入	1位元	當設定為主動端時，其為送出的同步時脈，當設定為被動端時，此腳則為接收時脈
SS_n	輸出入	1位元	選擇腳位(active low)，為主動端選擇哪個被動端為傳輸的對象，當設定為低準位時，表示該被動端準被開始傳接送資料，當設定為高準位時，則該被動端不動作。

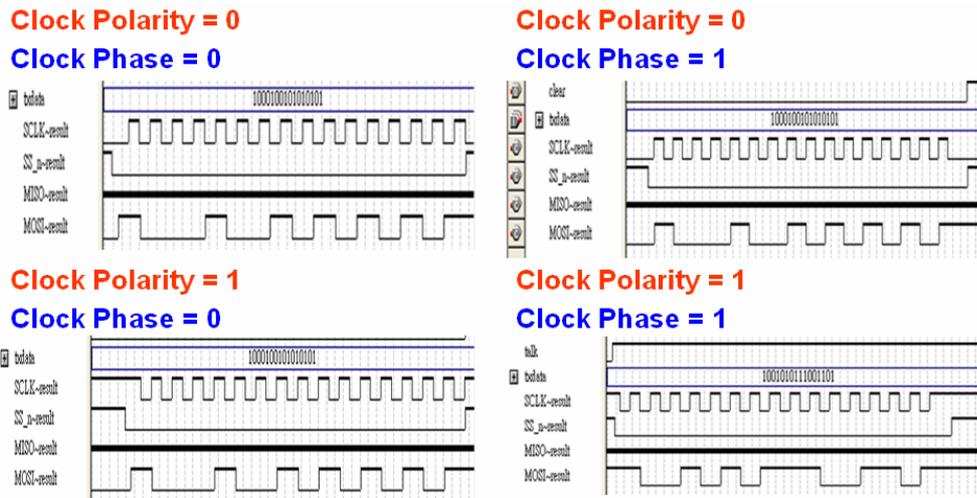


圖4.42 SPI四種工作時序圖

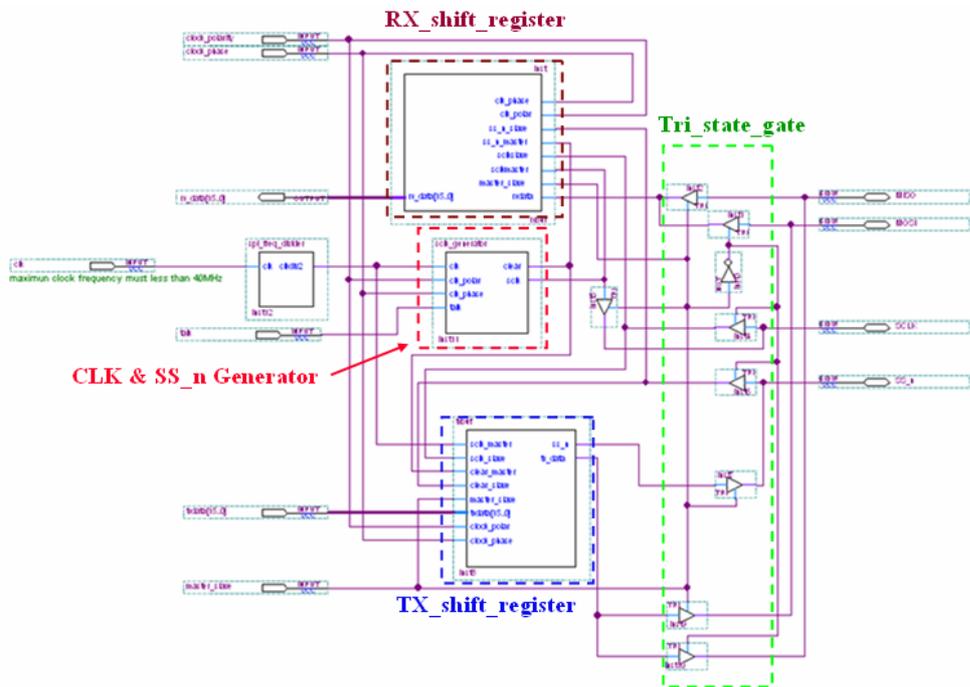


圖4.43 SPI實現方塊圖

實現的SPI方塊圖如圖4.43，傳送移位暫存器會將欲傳送的資料由並列轉成串列輸出，而接收移位暫存器則將接收到的串列資料轉成並列資料。時脈及選擇訊號產生方塊設定為主動端時才會動作，根據時脈極性及時脈相位兩位元的設定，來決定該產生何種工作時脈給被動端。又因為MISO、MOSI、SCLK、SS_n四隻腳位均可輸出及輸入的雙向傳輸，故需要加入三態閘來決定何時該輸出，而何時該輸入，例如當設定為主動端時，MISO為輸入腳，MOSI、SCLK及SS_n為輸出腳，而當設定為被動端時剛好相

反，MISO為輸出腳，MOSI、SCLK及SS_n為輸入腳。三態閘的觸發腳設定為高準位時，資料才可允許通過，當觸發腳為低準位時，該閘為不導通。

兩個SPI方塊間的腳位連接如圖4.44所示，將4隻資料線相接即可，SPI的操作可分為主動及被動，當主動端欲將串列資料傳到被動端時，動作如下：

- 設定SPI master (master / slave = 1)及SPI slave (master / slave = 0)。
- 在主動端中將欲傳送的資料放入傳送移位暫存器中。
- 主動端令SS_n腳位為零，通知被動端允許傳及收的動作。
- 主動端由SCLK輸出時脈給被動端的SCLK腳位，使兩者能同步傳輸資料，時脈最高為40MHz。
- SCLK每傳送一個時脈訊號，主動端的移位暫存器會傳送一個bit，由最高位元MSB先傳，當傳送完畢後，SCLK停止送出時脈訊號。
- 在被動端的SCLK腳每接收到一個時脈，接收的移位暫存器會移位一個bit，當接收整個資料完畢後，會將資料放進接收暫存器中輸出。

而當被動端欲將串列資料傳到主動端時，動作如下：

- 被動端將資料放入移位暫存器中，當被動端的SS_n腳位接收到低準位的觸發訊號後，表示要開始作傳送與接收的動作。
- 每接收一個時脈，就傳送一位元，直到主動端接收完畢沒送出時脈訊號為止。

NIOS II處理器有內建的SPI介面，我們將其與所實現的SPI方塊做通訊，雙方接收及傳送的資料都是正確的，如圖4.45，證明此方塊確實可正常動作。

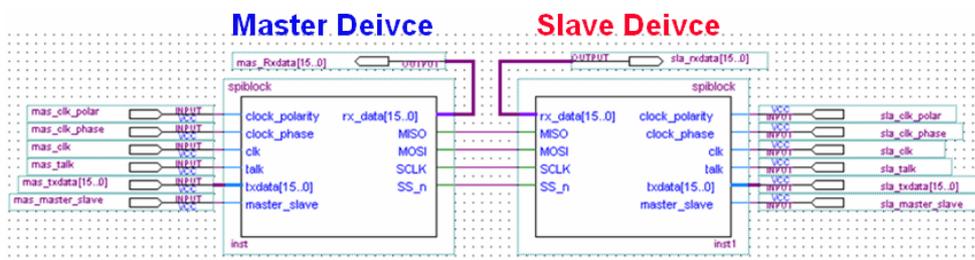


圖4.44 SPI通訊腳位連接圖

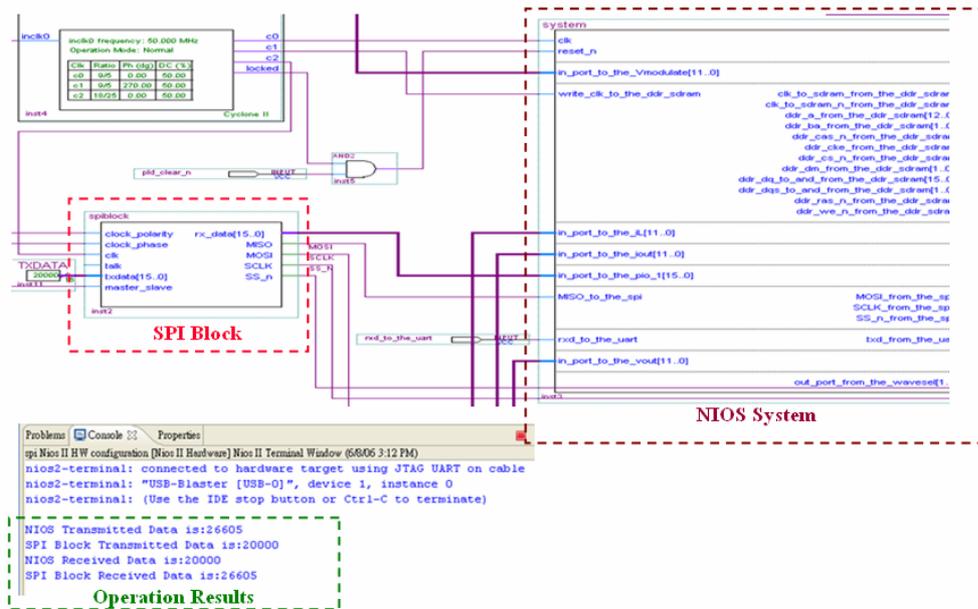


圖4.45 SPI與NIOS II傳送接收圖

4.7 NIOS II處理器功能規劃

NIOS II系統的規劃如4.1.3節中所述，先由SOPC Builder規劃好一個包含NIOS處理器的系統後，再進入NIOS II IDE軟體內撰寫控制程式，在本論文中，NIOS II系統的功能規劃主要有兩部份，其一為將設定好的參數透過SPI介面傳送至各控制暫存器中，其次就是將實驗波形取樣後，由FPGA實驗板使用UART介面傳送回電腦模擬軟體Simulink中，與模擬波形做一比較。

本論文中使用的NIOS II系統包括了一個32位元的CPU、16MB的SDRAM、UART及SPI的通訊介面以及數個傳接資料的IO腳位，其外觀圖如4.46所示。NIOS II CPU負責處理使用者撰寫的C程式，16MB的動態記憶體儲存運算的資料以及程式，UART介面功能在於與電腦溝通，SPI介面傳輸NIOS中設定之控制暫存器值給D類放大器控制晶片，DISP_DATA是欲傳送回電腦觀察之資料輸入腳，disp_sel則是選擇何者訊號需送至DISP_DATA，可選擇的資料有輸出電壓、輸出電流、電感電流及控制器計算值等。reg_data及spi_data兩個輸入腳，分別為暫存器方塊及SPI方塊所收到的參數值，我們藉這兩個腳位觀察接收到的資料是否正確。Sel腳位是選擇何者暫存器該被寫入，暫存器的位址定義如表4.1。

NIOS II CPU處理之程式是以C或是C++語言所撰寫，程式流程如圖4.47所示。一開始處理器會透過SPI介面將程式內設定的參數傳給D類放大器的控制暫存器組中，再根

據disp_sel腳位選定哪種數據要被送回至電腦觀察，將該資料透過DISP_DATA腳位讀到記憶體中，每讀一筆值，記憶體位址就加1，當儲存1000筆後，CPU開始等待電腦的開始傳輸資料命令，一旦成立，NIO S處理器就呼叫UART介面，開始傳輸資料回電腦中，每傳一筆值，記憶體位址變遞減，一直到傳送完1000筆資料後，就回到程式的起點。值得注意的是在NIO S的SPI及UART中，其傳輸資料的長度都是8位元，所以如果使用者的資料長度是超過8位元的，就需要拆成兩個，然後在接收端再將兩筆資料加起來，如此傳接的資料才會正確。在Quartus II軟體中，整個D類放大器控制晶片內各功能方塊以及NIO S II處理間的連接，如圖4.48所示。

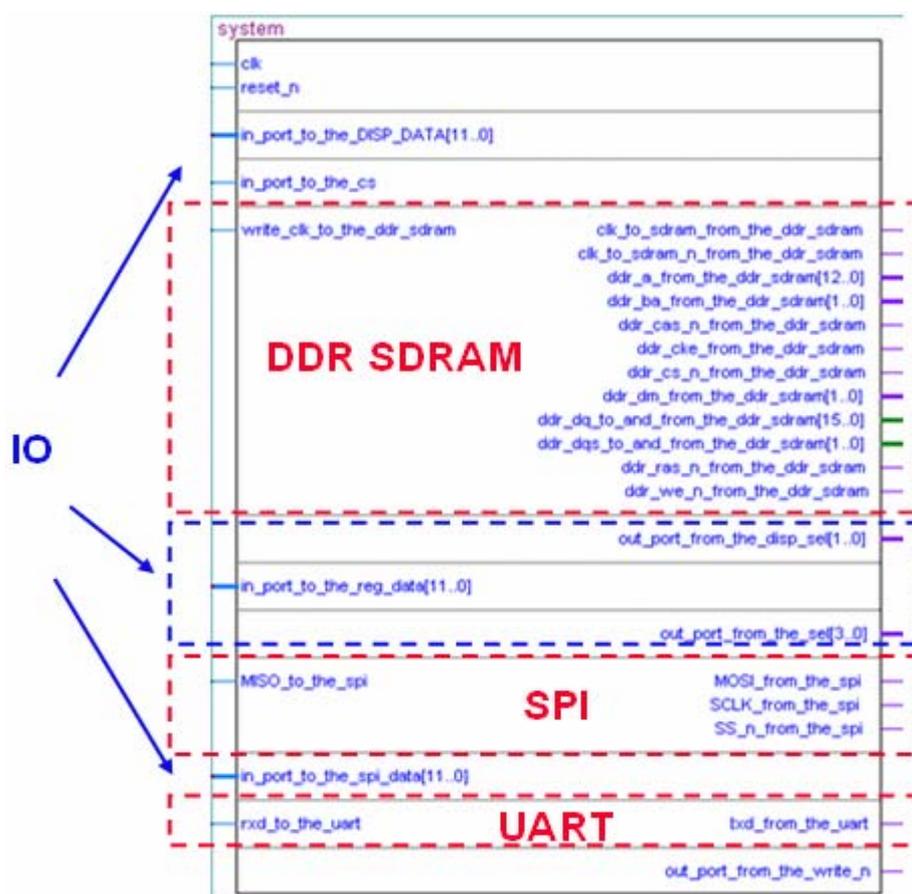


圖4.46 NIOS II 系統符號圖

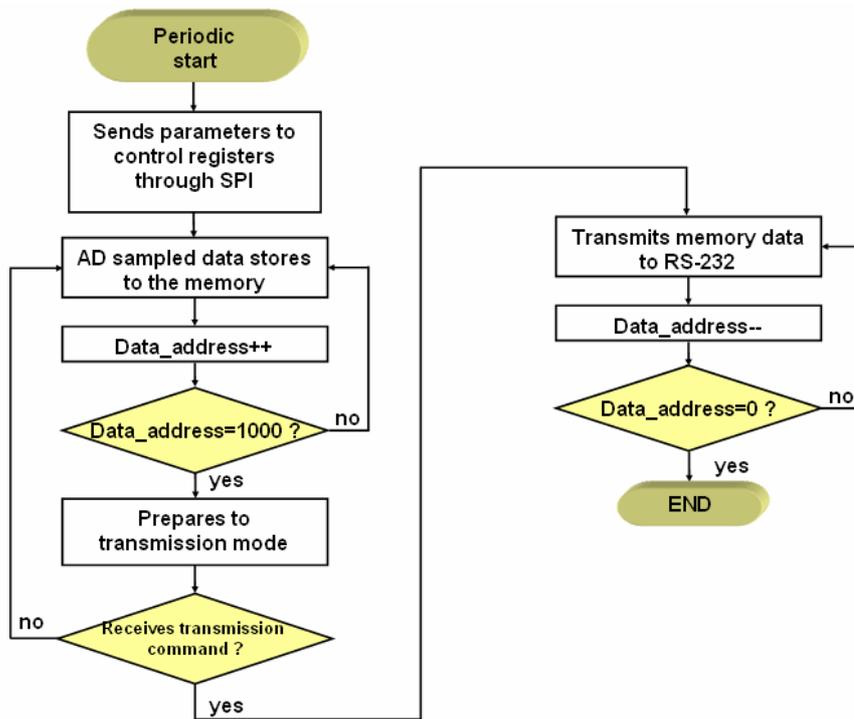


圖4.47 NIOS II系統程式流程圖

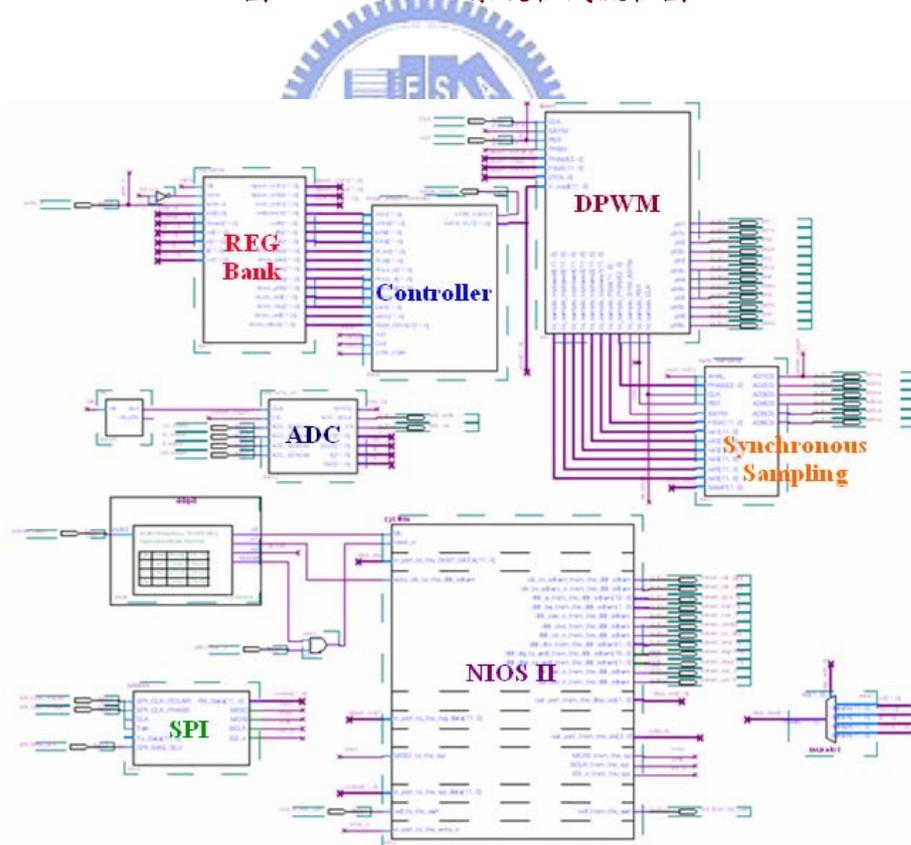


圖4.48 Quartus II中D類放大器控制晶片內部連接圖

為了驗證傳輸動作以及所設計控制器計算值是否正確，我們在FPGA中內建一個5kHz的正弦波，將其送至數位控制器中，而在Simulink中也產生同樣的命令及控制器參數，觀察兩者控制器的輸出結果是否相同。因為控制器的輸出為12位元，我們使用的UART介面為8位元，故須先將其拆成兩筆8位元的資料再傳送出去，在Simulink端則將接到的兩筆資料再合成為一筆，也因為如此，如果接收方漏接一筆資料，則後面接到的數據會組合錯誤，故為了確保兩者傳送及接收的時間是一致的，在Simulink端準備要接收資料時，會先發確認訊號給NIO S處理器，當接到此訊號，才開始傳送資料。接收端並不是直接用Simulink來接收資料，而是透過Matlab的圖形使用者介面(GUI)，將接收到的資料先組合好存進workspace中，再至Simulink中繪圖。自定的GUI介面如圖4.49所示，在視窗中的正弦波形為GUI介面所接收到的資料，資料傳回Simulink繪圖後，與其模擬波形比對圖如圖4.50，其頻率及資料的峰值均是正確，但是有些點的數值並不一樣，思索應為NIO S中計算取樣的時間點沒有剛好200kHz所造成，目前取樣時間的做法是以for迴圈來計算大約的時間，並不是那麼準確的緣故。最後整體硬體架構在FPGA中所佔的Logic Cell比較請參考表4.9。

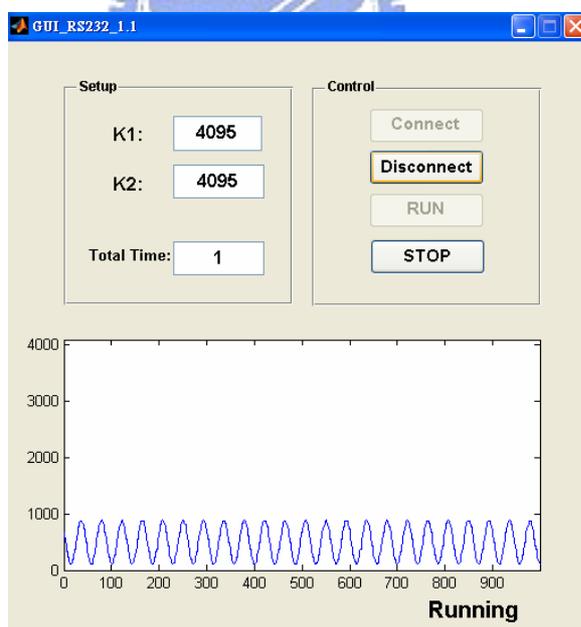


圖4.49 Matlab接收及傳送資料GUI圖

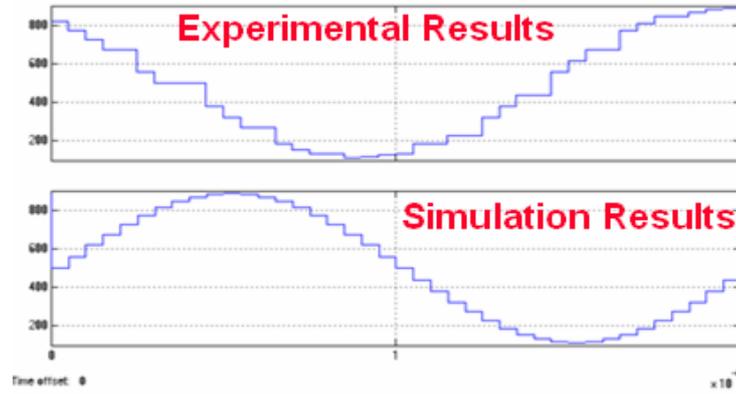


圖4.50 Simulink中模擬與實驗波形圖

表 4.9 交錯式 D 類放大器控制 IC 使用資源分析表

電路名稱	使用資源 (LEs)
六相PWM產生器	1909
同步取樣控制器	277
數位控制器	358
SPI傳輸介面	53
NIOS II系統	2857
暫存器Bank	38
ADC接收方塊	40
除頻電路	7
Total	5539
百分比(%)	17%

第五章

模擬及實驗結果

5.1 模擬及實驗平台介紹

模擬平台以Modelsim連結Simulink而成，藉此驗證修正所設計之電路功能正確性，如圖5.1。圖5.2為單相及交錯式D類放大器的實驗平台，使用ALTERA的FPGA發展板與一台個人電腦做控制。FPGA發展板為系統之核心，讀取迴授的D類放大器電路板的輸出電壓、電流、電感電流值、並計算出相對應的調變值，改變脈寬調變輸出藉以控制D類放大器的輸出。以硬體描述語言實現的電路程式在個人電腦中修改並透過ByteBlasterII線下載至FPGA發展板上，而實驗波形可透過UART介面傳回到個人電腦中，在模擬軟體Simulink中繪出。

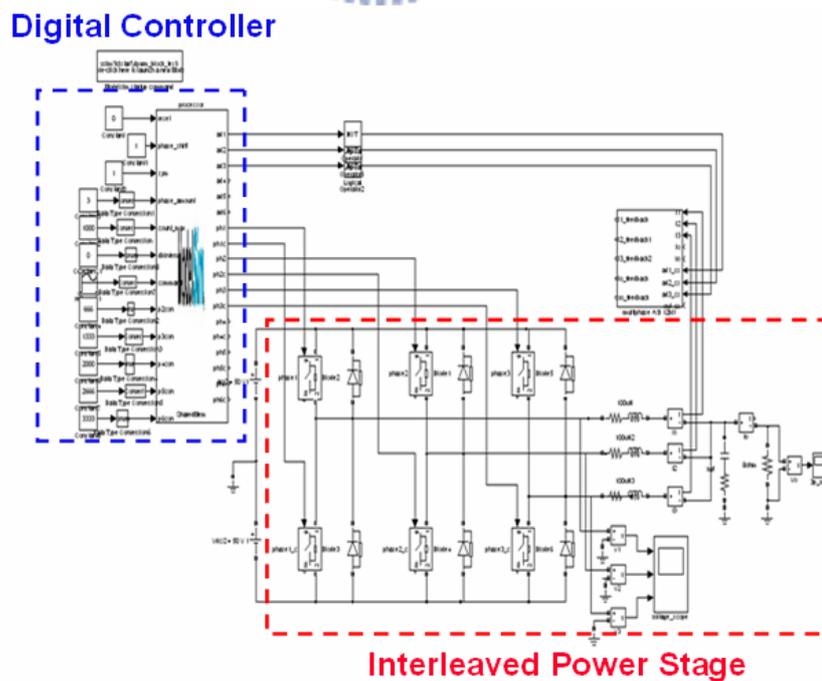


圖5.1 結合Simulink及Modelsim之模擬平台圖

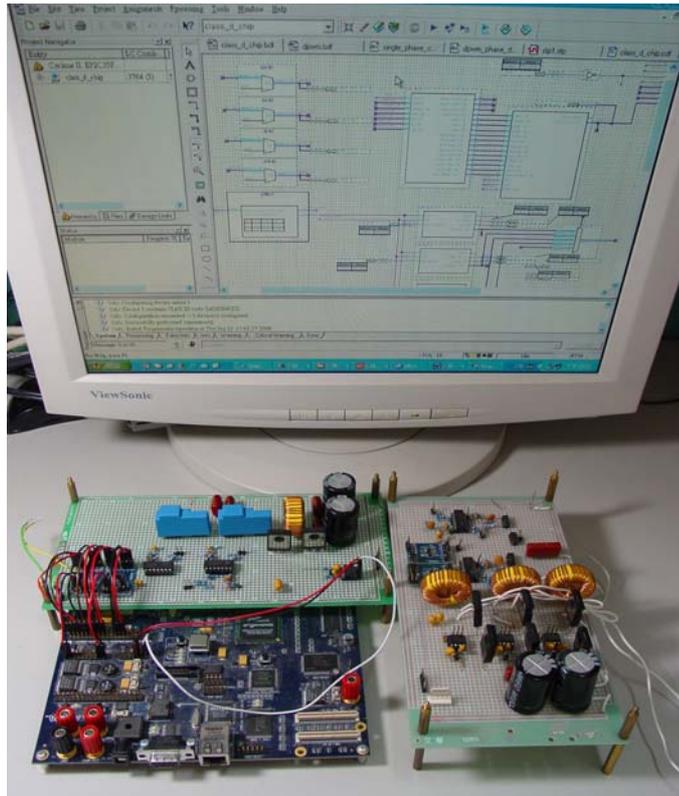


圖5.2 單相及交錯式D類放大器實驗平台圖

5.1.1 FPGA發展板介紹

本論文所採用之FPGA發展板為Altera公司的NIOS II Development Kit，此實驗板使用的FPGA晶片型號為Cyclone II系列的EP2C35。具備多種常用IP，可支援SOPC發展所需一切，容量為33,216個Logic Cell，足以應付一般電路設計者所需，共有四個相位鎖迴路，最高頻率為275MHz，使用者視所需調整參數可變更。此發展板以SRAM為基礎，具有可重複燒錄且價格低廉的優點，方便在實驗發展階段使用，提供使用者嵌入式的應用及發展環境，主要功能特性包括：

- (1) 提供一個16MBytes的Flash Memory。
- (2) 提供一個16MBytes的DDR SDRAM。
- (3) 提供一個1MBytes的SRAM。
- (4) 提供2個10-pin接頭，使用者可由ALTERA公司的download cable--- ByteBlasterII以JTAG模式直接對Cyclone晶片進行燒入或以AS模式對EPCS64進行燒入。
- (5) 提供一個串列傳輸介面(RS-232)。
- (6) 82個使用者自行定義的IO腳位。

5.1.2 D類放大器功率板介紹

單相及交錯式D類放大器電路，大致分為幾部份，分別為包含開關及輸出濾波器的功率級、功率開關驅動電路、迴授訊號Scaling電路以及類比轉數位的轉換器，此實驗板為本人與學弟黃少軍共同設計製做及測試。

圖5.3為單相D類放大器功率級及開關驅動的電路，因為交錯式的電路僅多並聯兩相，所以就不做說明。此電路設計最大輸出功率為100W，直流電壓輸入為60V，輸出2階濾波器的頻寬為16kHz，輸出負載為阻抗8Ω的喇叭，但測試目前最高輸出功率僅可至50W，效能並沒有很好，但在50W以下的操作均無誤。故開關使用IR公司的IRFP250N，其具有低的導通電阻及非常短暫導通時間之優點，開關的驅動IC使用IR2011，輸出的開關控制電壓為12V以上，足以驅動本電路的所使用之開關，電感電流及輸出電流的量測，使用霍爾電流感測器來感測，HY5-P的最大輸入電流範圍為5A，感應出之輸出電壓為4V。

圖5.4為輸出電流及電感電流的回授電路，因霍爾電流感測器的輸出電壓為正負4V，而實驗所使用的ADC的輸入電壓範圍為0~3.3V，故須將訊號縮小後再改變其電壓準位。第一級為將訊號縮小，第二級則是改變輸出電壓準位，使其輸出電壓以正1.65為中點，正負4V會scale成正負1.65V的振幅輸出，要注意的是此為反相組態，故輸出訊號與輸入訊號相差180度。使用的OP為TL084，輸出電壓的迴授電路與電流迴授相同，僅電阻值改變，100W時最大輸出電壓為40V，須scale成1.65V後再送至ADC。

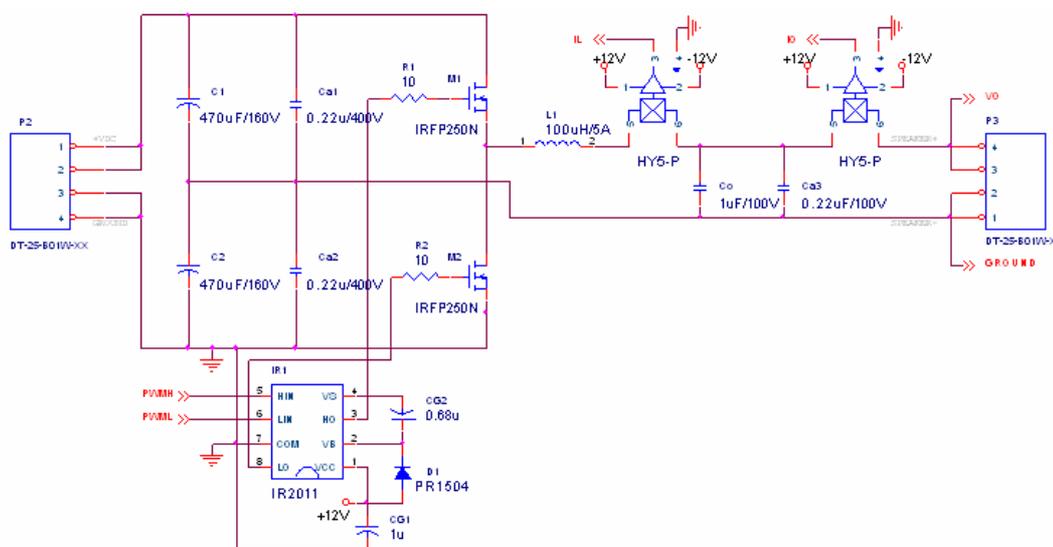


圖5.3 單相D類放大器之功率級及開關驅動電路

圖5.5為所使用的ADC及正3.3V電源IC電路，此ADC為TI所生產之12位元單通道類比數位轉換器，最快取樣頻率為1MHz，輸入時脈最高為20MHz，以串列傳輸的方式輸出，輸入訊號的範圍為0~3.3V。電源穩壓IC使用LM1117S-3.3V，可提供穩定的3.3V電源供ADC及迴授訊號電路所使用。

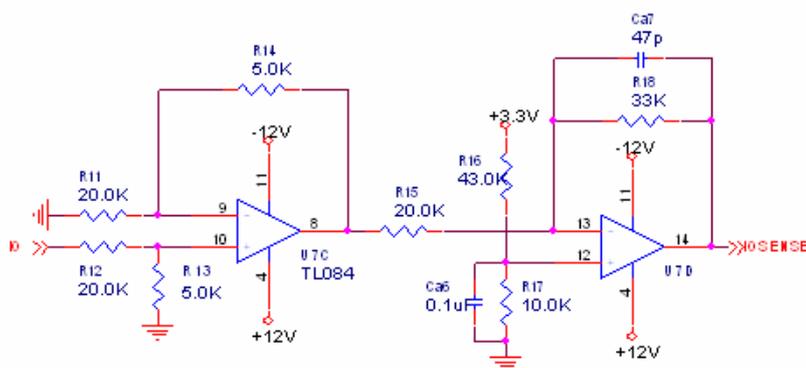


圖5.4 輸出及電感電流迴授電路

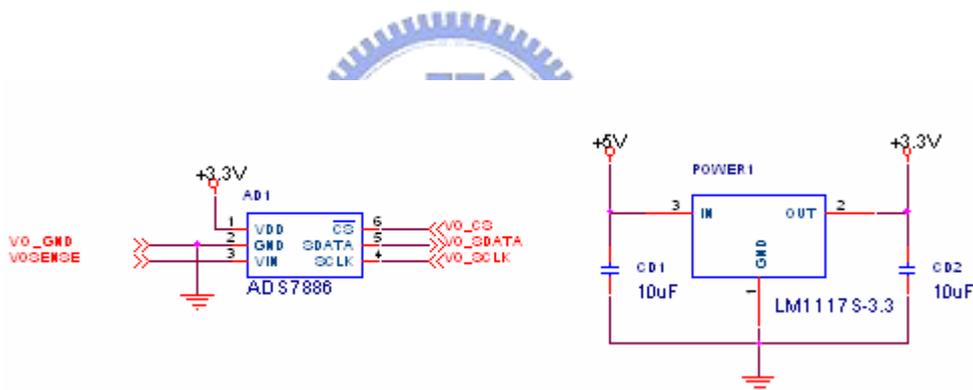


圖5.5 ADC及電源穩壓電路

5.2 模擬結果

5.2.1 單相半橋式D類放大器模擬結果

圖5.6為單相半橋式D類放大器閉迴路的輸出電壓、電流以及電感電流波形。電感電容及電阻值分別為 $100\mu\text{H}$ 、 $1\mu\text{F}$ 及 8Ω ，輸入訊號頻率為2kHz的正弦波，圖5.7為輸入訊號頻率為20kHz時的輸出。PWM切換頻率100 kHz，無效時間設定為 $0.5\mu\text{s}$ ，DC Bus電壓為100V，輸出功率為20W，最大輸出電壓漣波3.1V，最大電感電流漣波2.274A，當ADC的同步取樣頻率為200 kHz，此時訊號的總諧波失真為11.09%。在相同情況下，

當ADC的同步取樣頻率為100 kHz，此時訊號的總諧波失真為13.7%，總諧波失真較高，故我們採用兩倍切換頻率的同步取樣策略。頻率對總諧波失真圖如圖5.8，在加入無效時間情況下，隨著輸入頻率越高則總諧波失真也越大。

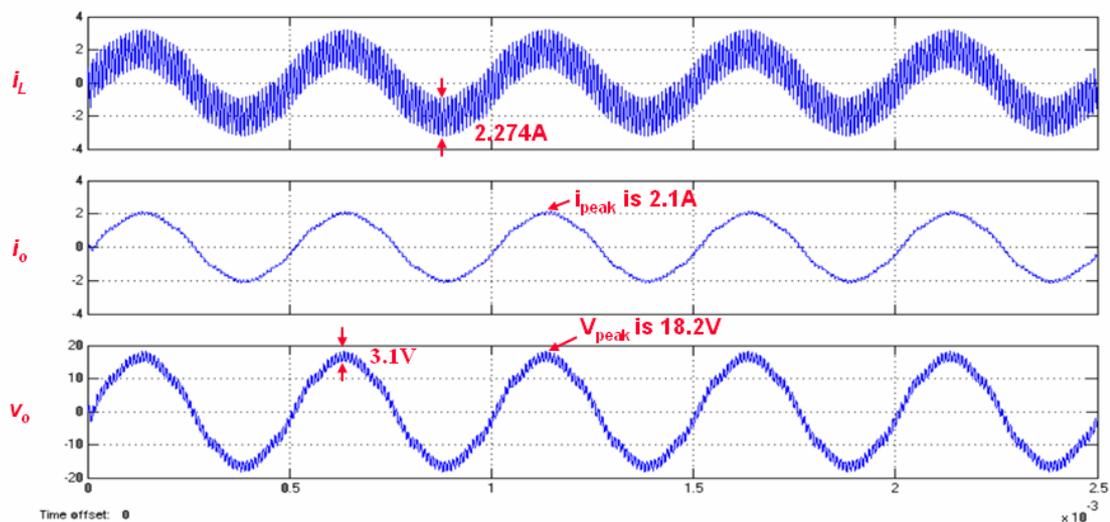


圖5.6 單相半橋式D類放大器輸出電壓、電流及電感電流波形圖(2kHz)

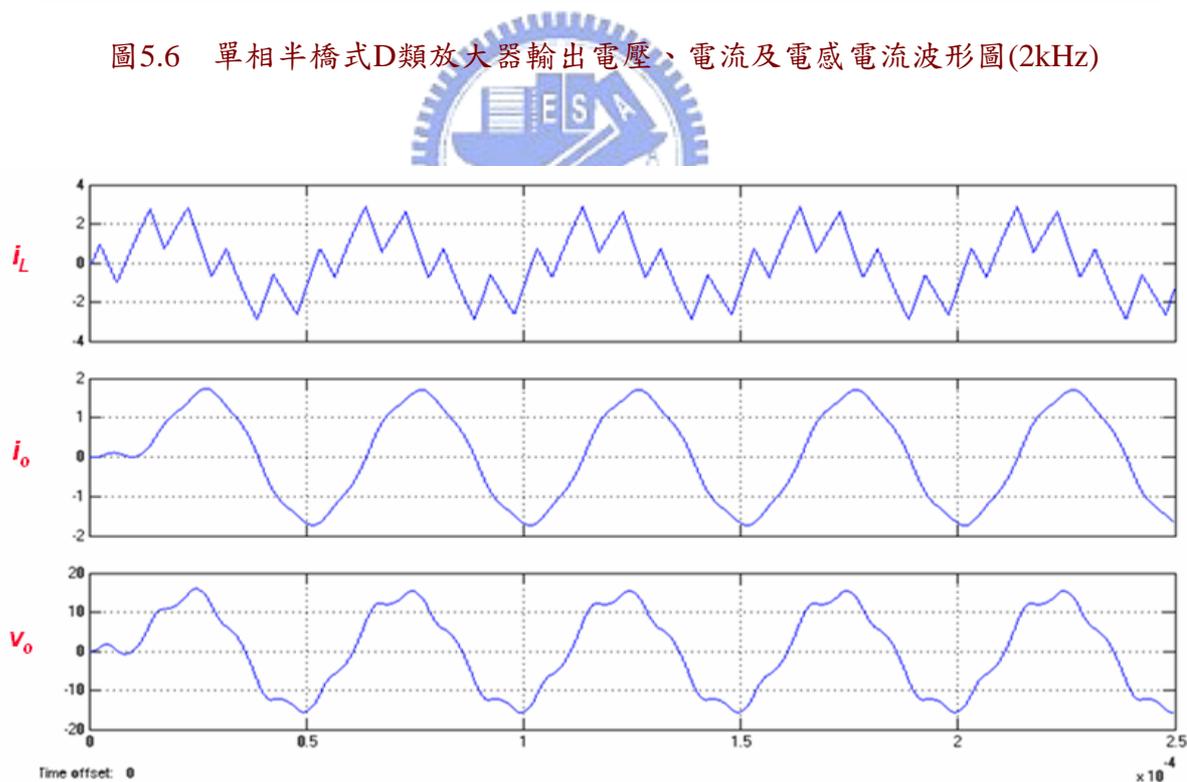


圖5.7 單相半橋式D類放大器輸出電壓、電流及電感電流波形圖(20kHz)

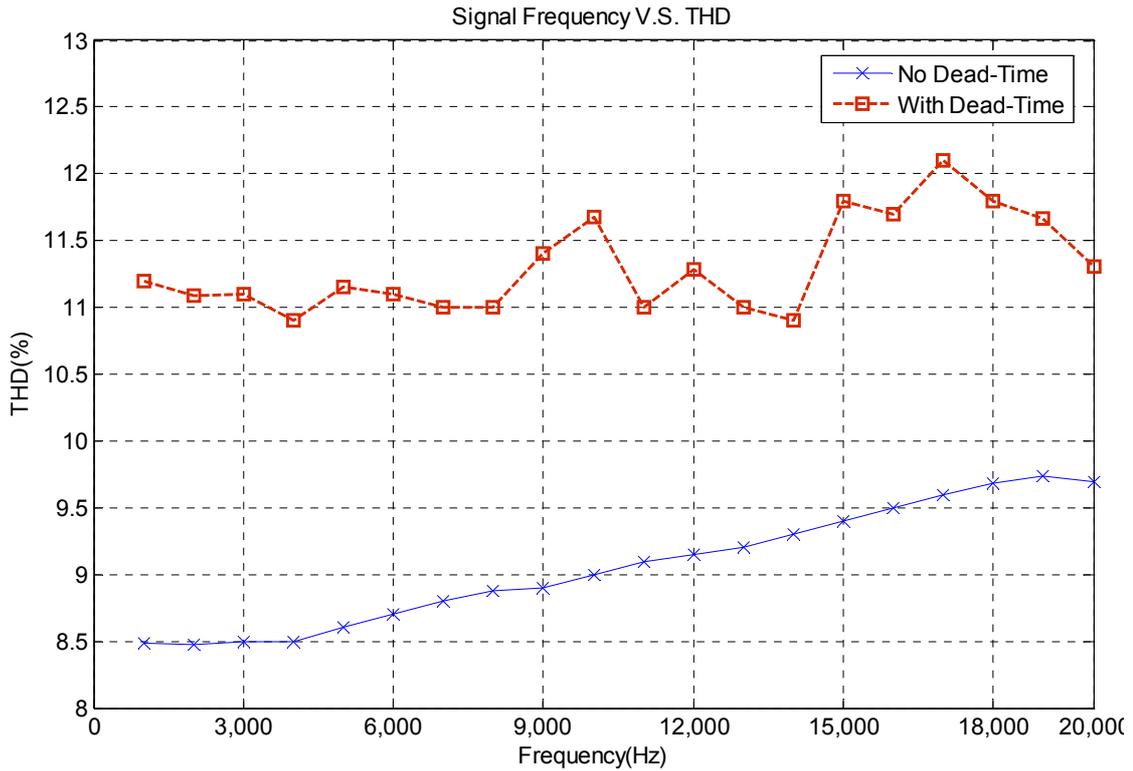


圖5.8 單相D類放大器輸入訊號頻率變化對總諧波失真變化圖

5.2.2 三相交錯式D類放大器模擬結果

圖5.9為交錯式半橋式D類放大器閉迴路的輸出電壓、電流以及電感電流波形。電感電容及電阻值分別為 $100\mu\text{H}$ 、 $1\mu\text{F}$ 及 8Ω ，輸入訊號頻率為 2kHz 的正弦波，圖5.10為輸入頻率 20kHz 時的輸出。PWM切換頻率 100kHz ，無效時間設定為 $0.5\mu\text{s}$ ，DC Bus電壓為 100V ，輸出功率為 20W ，最大輸出電壓漣波 0.3V ，最大電感電流漣波 0.25A ，與單相半橋式相比均小很多，在不改變開關切換頻率的情況下，當ADC的同步取樣頻率為 600kHz ，此時訊號的總諧波失真為 1.02% 。在相同情況下，當ADC的同步取樣頻率為 300kHz ，此時訊號的總諧波失真為 1.22% ，交錯式D類放大器的總諧波失真與單相式相比，確實改進很多，證實此種方法在不需提高開關切換頻率的情況下，可有效的降低電壓、電流漣波以及總諧波失真。頻率對總諧波失真圖如圖5.11。

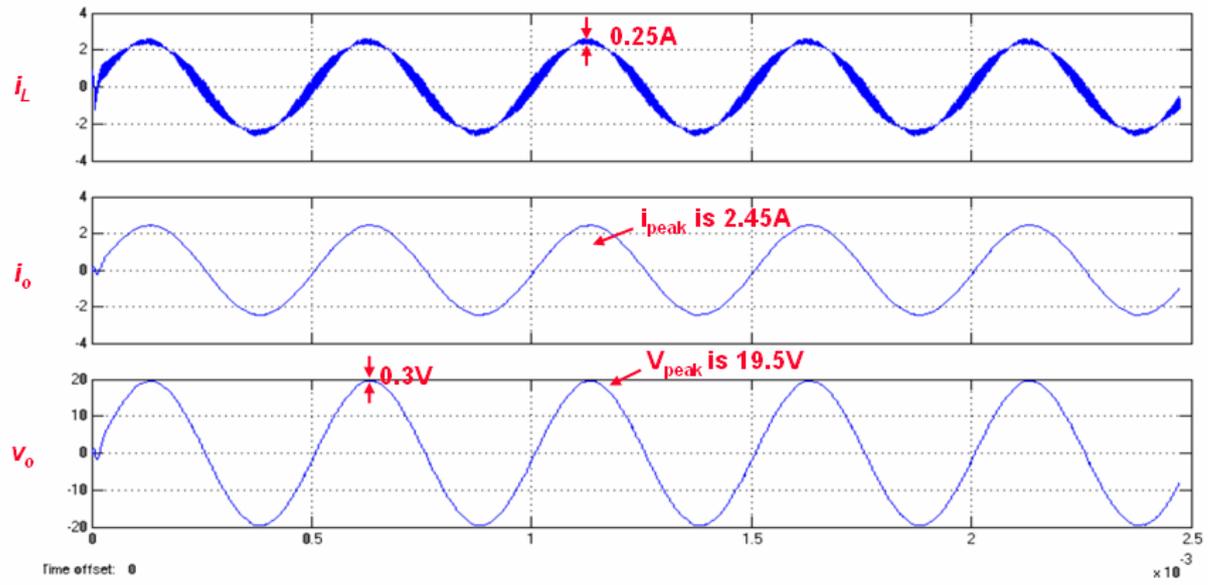


圖5.9 交錯式半橋式D類放大器輸出電壓、電流及電感電流波形圖(2kHz)

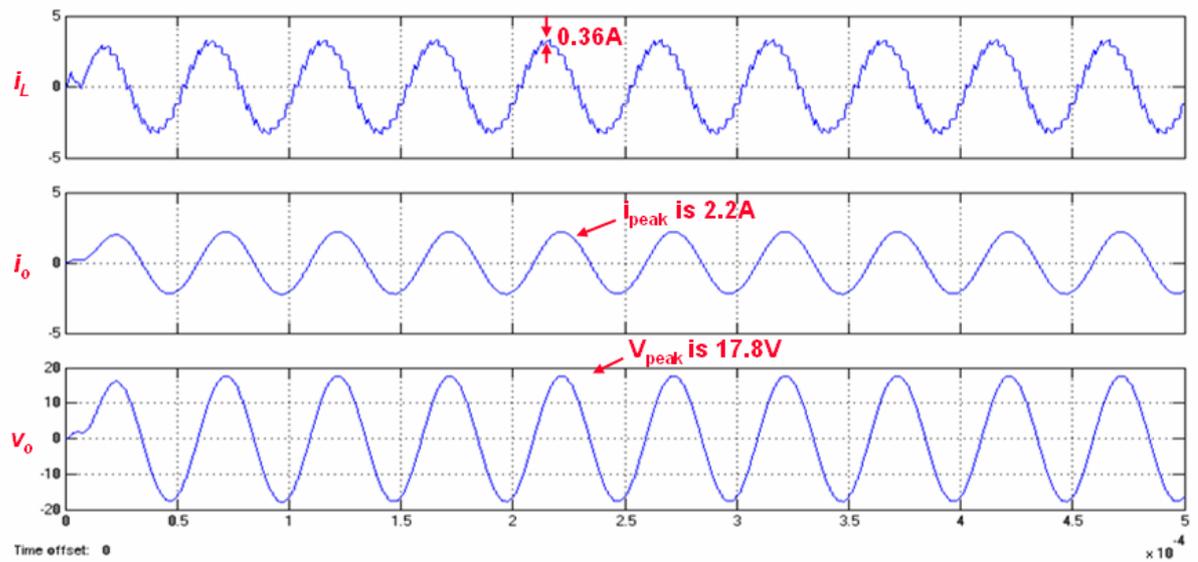


圖5.10 交錯式半橋式D類放大器輸出電壓、電流及電感電流波形圖(20kHz)

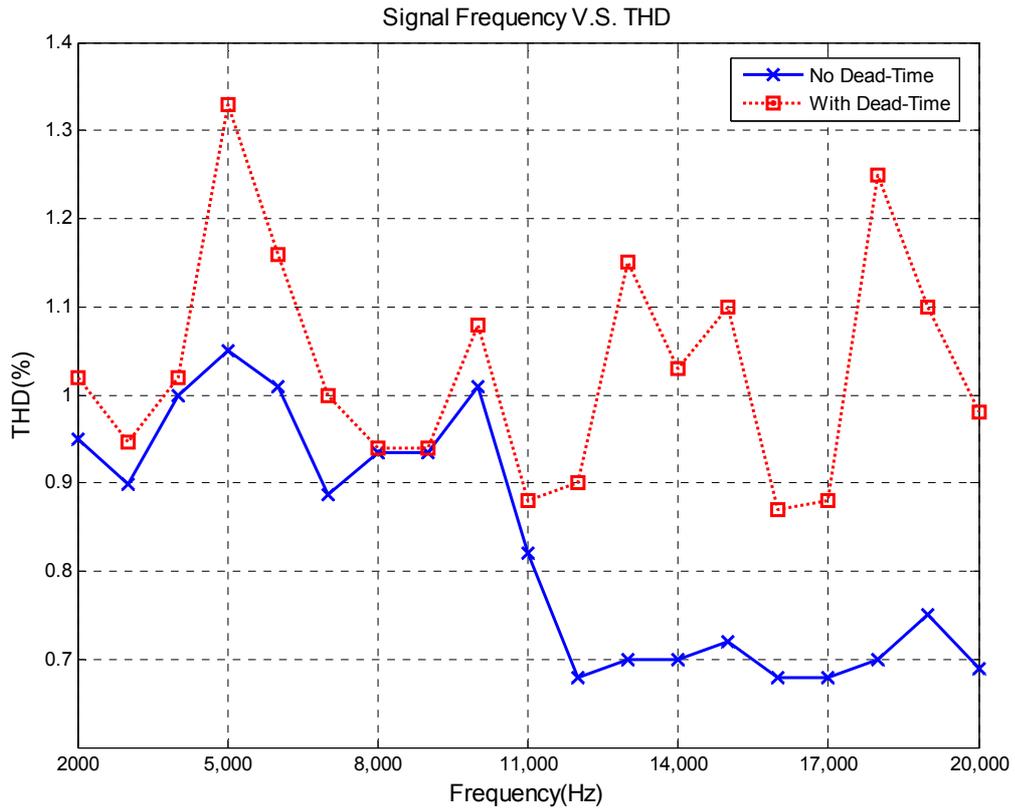


圖5.11 交錯式D類放大器輸入訊號頻率變化對總諧波失真變化圖

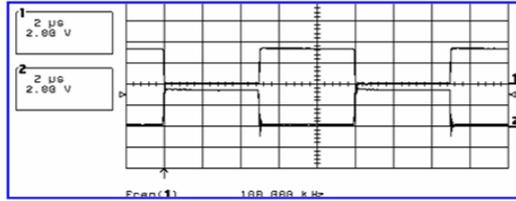


5.3 實驗結果

5.3.1 實現之控制器功能驗證

為驗證所設計方塊功能正確，直接使用NIOS來修改各控制暫存器的數值，觀察各方塊輸出是否如預期，首先測試數位脈寬調變產生器，給責任週期0.5的命令，切換頻率100kHz時，不加無效時間及加了無效時間0.6 μ s的波形如圖5.12。接著測試脈寬調變產生器是否能產生六相的輸出，將其設定在使用六相的情況下，具相位移的波形如圖5.13，以上結果均顯示所設計之脈寬調變產生器動作正確。接下來測試同步取樣命令產生器，同步取樣的時機應取樣再開關導通或截止的中間，而取樣頻率可設定成開關切換頻率的一倍及兩倍，也就是說上升取樣、下降取樣或是雙邊取樣，波形如圖5.14。以上波形顯示所設計的各方塊動作均正確。

When dead-band sets as 0



When dead-band sets as 10

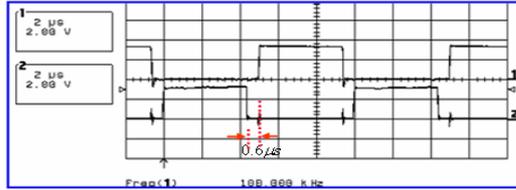


圖5.12 脈寬調變有設定及無設定無效時間波形圖

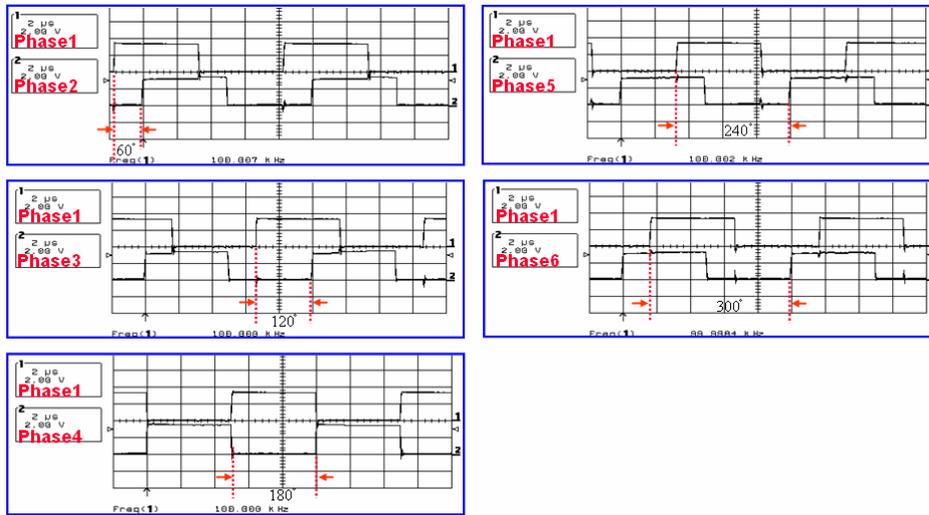
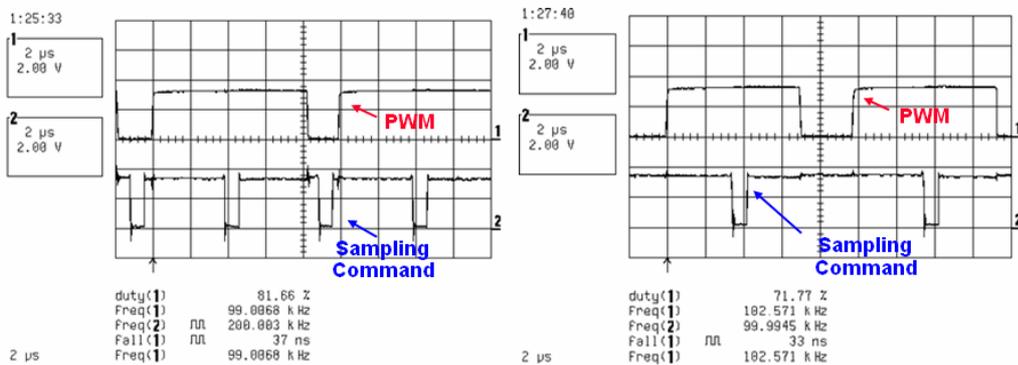


圖5.13 脈寬調變具相位移波形圖



Single side sampling

Double side sampling

圖5.14 同步取樣控制器取樣命令波形圖

5.3.2 單相半橋式D類放大器閉迴路實驗

單相半橋式D類閉迴路的電感、電容以及電阻值均如模擬所設定，ADC使用同步取樣，取樣頻率為200kHz，PWM切換頻率為100kHz，DC輸入電壓為40V，無效時間設定為0.5 μ s，當輸入訊號為1kHz時，其輸出電壓及輸出電流波形如圖5.15(a)，輸出功率約為20W，失真約為9.7%。在同樣設定下，當輸入訊號為20kHz時，輸出電壓電流波形如圖5.15(b)，因為取樣頻率比較低，且輸出二階濾波器頻寬僅16kHz，此時輸出功率為2.82W，總諧波失真為14.6%。改變輸入訊號頻率對總諧波失真之曲線如圖5.16，因PWM切換頻率僅100kHz，故隨著輸入訊號頻率越高，總諧波失真也就越大，與圖5.8相比較，可得其結果與模擬結果近似。

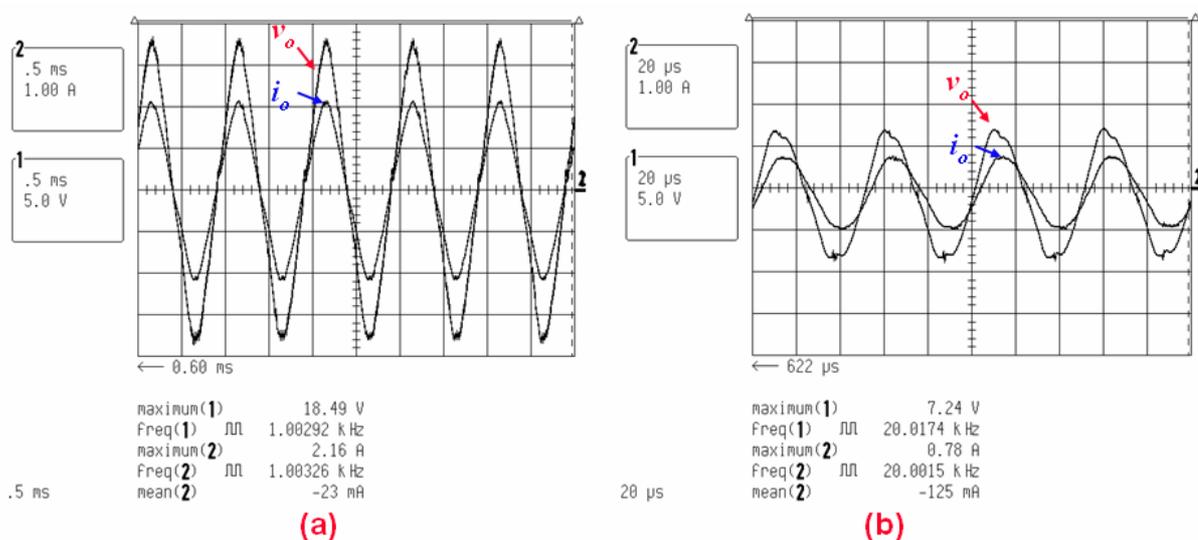


圖5.15 (a)輸入1k(b)輸入20kHz弦波之單相D類放大器輸出電壓電流波形圖

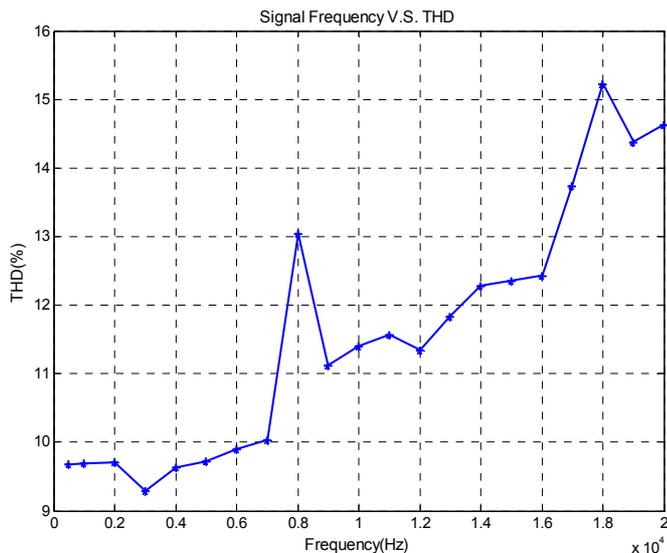


圖5.16 單相D類放大器閉迴路輸入訊號頻率對總諧波失真曲線圖

5.3.3 三相交錯式D類放大器開迴路實驗

三相交橋式D類放大器開迴路的電感、電容以及電阻值均如前設，PWM切換頻率為100kHz，使用三相並聯後有效切換頻率為300kHz，為與單相的輸出波形失真比較，仍使用200kHz取樣頻率，無效時間設定為0.5 μ s，因目前實驗板仍有問題未解決，未解決的地方為取樣訊號會受到PWM切換的影響。在單相時因為使用同步取樣，故避開了PWM切換時很大的雜訊，但在交錯式的架構中，因為每相PWM切換互差120度，故取樣訊號很難避開PWM切換時的雜訊，造成取樣的資料錯誤，故目前尚未能完成閉迴路實驗，這是有點美中不足之處。此開迴路實驗的輸入訊號並非使用ADC讀取，而是使用內建的Sin Table來作輸入命令。當輸入訊號為1kHz時，其輸出電壓及輸出電流波形如圖5.17(a)，失真約為2.15%。在同樣設定下，當輸入訊號為20kHz時，輸出電壓電流波形如圖5.17(b)，總諧波失真為2.05%。改變輸入訊號頻率對總諧波失真之曲線如圖5.18，因採交錯式的架構，總諧波失真如同模擬，較單相半橋式的D類放大器小很多，雖然目前功率無法提高，可是由此波形可見得此架構的確可有效降低訊號的總諧波失真。與圖5.11相比較，可得其結果與模擬結果近似。

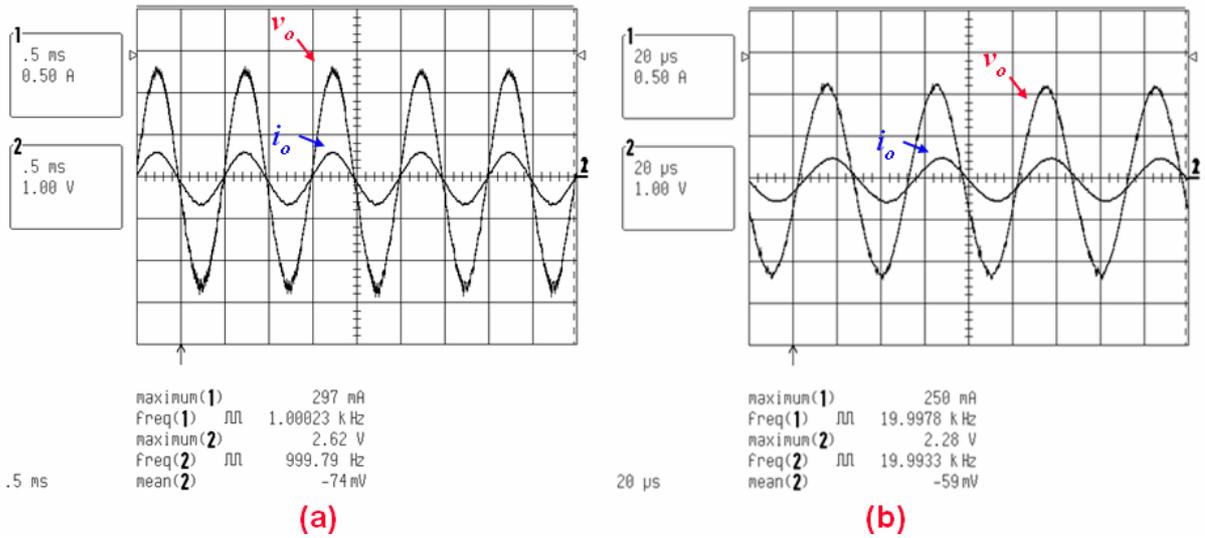


圖5.17 (a)輸入1k(b)輸入20kHz弦波之交錯式D類放大器輸出電壓電流波形圖

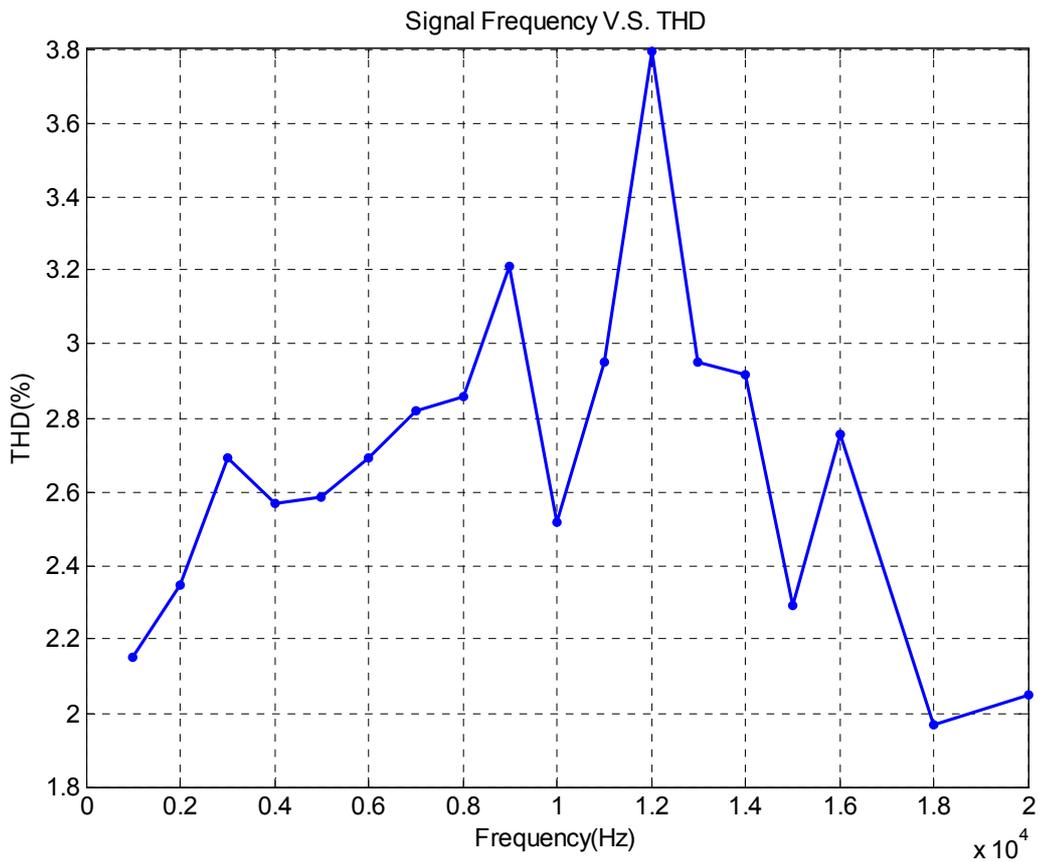


圖5.18 交錯式D類放大器開迴路輸入訊號頻率對總諧波失真曲線圖

第六章

結 論

本論文研製一個以可規劃邏輯閘陣列(FPGA)為基礎全數位控制之交錯式半橋式D類放大器，其具有低穩態輸出電壓總諧波失真、低開關切換頻率、快速動態響應的電壓控制性能。控制器採用多迴路控制架構，包含電流內迴路與電壓外迴路，可有效降低輸出電壓失真及諧波大小，達到輸出性能及快速響應之系統要求。在電流迴路控制器設計中，應用電流預測型控制方法設計，具有易於實現數位控制器之優點，並且可迅速追尋電流命令以達高頻寬之特性。在電壓外迴路控制器方面，使用比例積分(PI)控制器結合相位領先(Phase Lead)控制器，增加電壓控制迴路頻寬。從模擬結果可知，以100kHz切換頻率，無效時間設定為0.5 μ s，滿載時單相半橋式D類放大器的輸出最大總諧波失真為12%，在相同條件下，滿載時交錯式D類放大器的輸出最大總諧波失真為1.35%，單相閉迴路實驗最低總諧波失真為9.7%，交錯式開迴路總諧波失真均在3.8%以下，可知交錯式的架構在不改變現有的開關切換頻率下，可有效的降低總諧波失真，確可解決在低失真要求下，計數器式的脈寬調變產生器時脈問題。

參考文獻

- [1] J. S. Chang, M. T. Tan, Z. H. Cheng, and Y. C. Tong, "Analysis and design of power efficient class D amplifier output stages", *IEEE Trans. Circuits and Systems I: Fundamental Theory and Applications*, vol. 47, no. 6, pp. 897–902, 2000.
- [2] Mark Bloechl, Mohannad Bataineh, and Dale Harrell, "Class D switching power amplifiers: theory, design, and performance," *Proceedings on IEEE Southeast Conf.*, pp. 123-146, March, 2004.
- [3] Helmut Bresch, Martin Strcitenberger, and Wolfgang Mathis, "About the demodulation of PWM-Signals with applications to audio amplifiers," *Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium*, vol. 1, pp. 205-208, June, 1998.
- [4] Alejandro R. Oliva, Simon S. Ang, and Thuy V. Vo, "A multi-loop voltage-feedback filterless class-D switching audio amplifier using unipolar pulse-width-modulation," *IEEE Trans. On Consumer Electronics*, vol. 50, Issue 1, pp. 312-319, Feb. 2004.
- [5] Jae H. Jeong, Hwan H. Seong, Jeong H. Yi, and Gyu H. Cho, "A class D switching power amplifier with high efficiency and bandwidth by dual feedback loops," *Proceedings of the IEEE on Consumer Electronics International Conference*, pp. 428-429.
- [6] Joseph S. Chang, Bah Hwee Gwee, Yong Seng Lon, and Meng Tong Tan, "A novel low-power low-voltage class D amplifier with feedback for improving THD, power efficiency and gain linearity," *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 635-638, May 2001.
- [7] Shuanghe Zhu and Caizhang Lin, "Reducing distortion of audio class D (PWM) power amplifier by using feed-forward technique," *Proceedings of IEEE on Asia-Pacific Conf. of Circuit and Systems*, pp. 630-633, 2000.
- [8] H. Y. Li, B. H. Gwee, J. S. Chang, and M. T. Tan, "A novel pulse-width modulation sampling process for low-power, low-distortion digital class D amplifiers," *43rd IEEE Midwest Symposium on Circuits and Systems*, 2000.
- [9] G. Y. Wei and M. Horowitz, "A low power switching power supply for self-clocked systems," *International Symposium on Low Power Electronics and Design*, pp. 313-318, 1996.
- [10] Marco Berkhout, "An integrated 200-W class-D audio amplifier," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 7, pp. 1198-1206, July 2003.
- [11] B. A. Miwa, D. M. Otten, M. F. Schlecht, "High Efficiency Power Factor correction Using Interleaving Techniques," *IEEE Applied Power Electronics Conf.*, pp. 557-568, 1992.

- [12] Albert M. Wu, Jinwen Xiao, Dejan Markovic, and Seth R. Sanders, “**Digital PWM control: application in voltage regulation modules,**” *Power Electronics Specialists Conf. Rec., 1999, PESC 99, 30th annual IEEE*, vol. 1, pp. 77-83, July. 1999.
- [13] D. R. Garth, W. J. Muldoon, G. C. Benson, and E. N. Costague, “**Multi-phase, 2 Kilowatt, high voltage, regulated power supply,**” *IEEE Power Conditioning Specialists Conf. Rec.* pp. 110-116, 1971.
- [14] P. Kollig, B. Al-Hashimi, K. M. Abbott, “**Design and implementation of digital systems for automatic control based on behavioural descriptions,**” *IEE Colloquium on Digital System Design using Synthesis Technique (Digest no.1996-029)*, pp. 2/1-2/4, Feb. 1996.
- [15] **Si8250 Digital Power Controller**, *Silicon Laboratories Inc Advanced Information*, 2005
- [16] **Quartus II Version 5.0 Handbook**, Altera Corporation, May 2005.
- [17] **Nios II Software Developer’s Handbook**, Altera Corporation, May 2005.
- [18] **Nios II Development Kit User Guide**, Altera Corporation, Jan. 2005.
- [19] Adel S. Sedra and Kenneth C. Smith, **Microelectronic Circuits**, 4th ed., *Oxford University Press, Inc.*, 1998.
- [20] Ned Mohan, Tore M. Undeland, and William P. Robbins, **Power Electronics**, 3rd ed., *Wiley*, 2003.
- [21] Neil H. E. Weste and David Harris, **CMOS VLSI Design /A Circuits and Systems Perspective**, 3rd ed., *Addison Wesley*, 2005.
- [22] B. A. Miwa, D. M. Otten, M. F. Schlecht, “**High efficiency power factor correction using interleaving techniques,**” *IEEE Applied Power Electronics Conf.*, pp. 557-568, 1992.
- [23] Brett A. Miwa, “**Interleaved conversion techniques for high density power supplies,**” Doctoral Thesis, *Massachusetts Institute of Technology*, June 1992.
- [24] Shih-Liang Jung, Meng-Yueh Chang, Jin-Yi Jyang, Li-Chia Yeh, Ying-Yu Tzou, “**Design and implementation of an FPGA-based control IC for AC-voltage regulation,**” *IEEE Trans. On Power Electronics*, vol. 14, Issue 3, pp. 428-429, May 1999.
- [25] Yu-Tzung Lin, “**Design and implementation of a DSP-based fully digital controlled single-phase half-bridge inverter,**” Master Thesis, *National Chiao-Tung University*, June 2005.
- [26] W Hewlett Packard, Application Note 1032, *Design of the HCTL-1000’s Digital Filter Parameters by the Combination Method*, 1985.
- [27] Bah-Hwee Gwee, Joseph S. Chang, and Huiyun Li, “**A micropower low-distortion digital pulsewidth modulator for a digital class D amplifier,**” *IEEE Trans. On Circuits and Systems*, vol. 49, Issue 4, pp. 245-256, 2002.
- [28] Benjamin J. Patella, Aleksandar Prodic, Art Zirger, and Dragan Maksimovic, “**High-frequency digital PWM controller IC for DC-DC converters,**” *IEEE Trans. On Power Electronics*, vol. 18, Issue 1, Part 2, pp. 438-446, 2003.

- [29] Texas Instruments, Application Report SPRAA88, *Using PWM Output as a Digital-to-Analog Converter on a TMS320F280x Digital Signal Controller*, 2006.
- [30] Wicklund D. B., Zinger D. S., “Voltage feedback signal conditioning in switched reluctance generation systems,” *IEEE Applied Power Electronics Conf.*, vol. 1, pp. 6-10, Feb 2000.
- [31] Richardson J., Kukrer O. T., “Implementation of a PWM regular sampling strategy for AC drives,” *IEEE Trans. On Power Electronics*, vol. 6, Issue 4, pp.645-655, Oct 1991.



作者簡介

個人資料

姓名：李啟揚 (Chi-Yang Lee)

生日：民國 68 年 04 月 22 日

性別：男

籍貫：山西省 芮城縣

休閒興趣：聽音樂、球類、戶外運動

專長：控制理論、電力電子、FPGA 控制器設計應用、NIOS II、Matlab/Simulink 及 Modelsim

學歷

2004.9~2006.7 交通大學電機與控制工程所碩士班

1999.9~2001.6 明志科技大學電機工程學系畢業(二技)

1994.9~1999.6 明志技術學院電機工程學系畢業(五專)



經歷

2005.2~2005.6 交通大學電機與控制工程學系 電力電子系統晶片與封裝設計(研究所)助教

2004.9~2005.1 交通大學電機與控制工程學系 電力電子(研究所)助教