

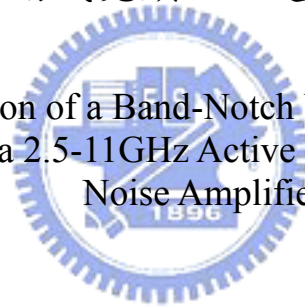
國立交通大學

電信工程學系

碩士論文

具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器與
2.5-11GHz 主動式寬頻匹配超寬頻低雜訊放大器

Design and Implementation of a Band-Notch Ultra-wideband LNA with Band
Shaping Capability and a 2.5-11GHz Active Matching Ultra-wideband Low
Noise Amplifier



研究生：陳煥能 (Huan -Neng Chen)

指導教授：鍾世忠 (Dr. Shyh-Jong Chung)

中華民國九十五年六月

具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器與
2.5-11GHz 主動式寬頻匹配超寬頻低雜訊放大器

Design and Implementation of a Band-Notch Ultra-wideband
LNA with Band Shaping Capability and a 2.5-11GHz Active
Matching Ultra-wideband Low Noise Amplifier

研究生：陳煥能 Student：Huan -Neng Chen
指導教授：鍾世忠 Advisor：Dr. Shyh-Jong Chung

國立交通大學

電信工程學碩士班



Submitted to Department of Communication engineering
College of Electrical Engineering and Computer Science

National Chiao Tung University

In Partial Fulfillment of the Requirements

For the Degree of

Master of Science

In

Communication Engineering

June 2006

HsinChu, Taiwan, Republic of China

中華民國九十五年六月

具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器的設計與實現及 2.5-11GHz 主動式寬頻匹配超寬頻低雜訊放大器設計與實現

學生：陳煥能

指導教授：鍾世忠 博士

交通大學電信工程研究所

中文摘要

本論文描述應用在超寬頻系統中低雜訊放大器之分析與設計。超寬頻低雜訊放大器需具備有寬頻、增益平坦的特性。

第一部份為具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器，一開始先設計 LC 諧振匹配超寬頻低雜訊放大器，其量測結果如下，頻寬 3.1~10GHz，增益 5 ± 2 dB， $S_{11} < -4$ dB， $S_{22} < -8.5$ dB，消耗功率為 16.2 mW。接著進階再設計了具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器，其模擬結果如下，頻寬 3.1~9GHz，3.1~5GHz，增益 12 ± 1.2 dB，6~9GHz，增益 10 ± 0.5 dB， $S_{11} < -9.5$ dB， $S_{22} < -10$ dB，最低的雜訊指數為 3.48 dB。消耗功率為 22mW。

第二部份為 2.5-11GHz 主動式寬頻匹配超寬頻低雜訊放大器，利用了多級的概念來設計，並且選擇共閘級做為第一級放大器，中間加上一級共源級疊接組態來提高整體增益，最後再加上一級電壓追隨器達到輸出阻抗匹配。這個寬頻低雜訊放大器其量測結果如下，頻寬為 2.5~11GHz，增益為 $7.5 \text{ dB} \pm 0.5$ dB， $S_{11} < -9.9$ dB， $S_{22} < -12$ dB，消耗功率為 18.9 mW。

Design and Implementation of A Band-Notch Ultra-Wideband Low Noise Amplifier with Band Shaping Capability And A 2.5-11GHz Active Matching Ultra-Wideband Low Noise Amplifier

Student : Huan -Neng Chen

Advisor : Dr. Shyh-Jong Chung

Institute of Communication engineering
National Chiao Tung University

ABSTRACT

This thesis describes the design and analysis of low-noise amplifier for UWB system. The features of the UWB LNA are wide bandwidth and flatness of gain.

The first part studies on a band-notch ultra-wideband LNA with band shaping capability. For a start, the measured performances of a LC resonance matching ultra-wideband LNA are as follow: The bandwidth of the LNA is ranged from 3 GHz to 10 GHz. The gain is $5 \text{ dB} \pm 2 \text{ dB}$. The input return loss is below -4 dB . The output return loss is below -8.5 dB . The power consumption is 16.2 mW . The simulation performances of a band-notch ultra-wideband LNA with band shaping capability are as follow: The bandwidth of the LNA is ranged from 3 GHz to 9 GHz. For 3GHz to 5GHz, the gain is $12 \text{ dB} \pm 1.2 \text{ dB}$. For 6GHz to 9GHz, the gain is $10 \text{ dB} \pm 0.5 \text{ dB}$. The input return loss is below -9.5 dB . The output return loss is below -10 dB . The minimum noise figure is 3.48 dB and the power consumption is 22 mW .

The second part studies on a 2.5-11GHz active matching Ultra-wideband Low Noise Amplifier. We utilize the concept of multi-stages to design this circuit. The first stage is a common gate topology and a Cascode amplifier is in the middle stages and the final stage is a voltage follower. the measured performances of a 2.5-11GHz active matching Ultra-wideband Low Noise Amplifier are as follow: The bandwidth of the LNA is ranged from 2.5 GHz to 11 GHz. The gain is $7.5 \text{ dB} \pm 0.5 \text{ dB}$. The input return loss is below -9.9 dB . The output return loss is below -12 dB . The power consumption is 18.9 mW .

致謝

從對射頻電路一知半解到現在順利完成學業，在研究所的兩年生活，首先我要感謝我的指導教授鍾世忠博士，提供我一個很優質的研究環境學習成長，對於研究方面給予相當充足的資源，還有老師豐富的學識、待人處世的寬厚，使自己在學業上找到屬於自己的方向與目標，另外也讓我在修養方面更上一層樓。在此感謝口試老師：王暉教授、邱煥凱教授以及陳富強教授，能在百忙之中抽空前來，給予論文上的指導與建議，讓我受益良多，也使得論文更為完備。

我還要感謝極樂實驗室的所有成員們，一進來實驗室就帶著我的龜毛最佳代言人佩宗、綠島浮潛在我面前狂吐的清標，很謝謝二位學長常常不辭辛勞指導我和給與建議，在做事處世的部份，也從你們身上學到不少。最專業的源哥、三寸不爛之舌的峻義、一定早起的敦智、拍照高手的天健，還有顯鴻和郁娟，大家在電資一起互相砥礪和出外遊玩，度過許多快樂時光。經驗豐富的實驗室大學長何博，常有新奇點子的阿信，常一起玩樂的台客彥圻、小洪，愛來電資打 aoc 順便啦塞的克強，強者峰哥和鈞富，雷達救星明達和光甫，曾經同組的小圓和小花，做什麼事都會被我們虧的小太陽旭哥，以及彥志、digo、小巴、小黃還有實驗室最有氣質三朵花菁偉、purple、玫翎，謝謝各位讓實驗室充滿了歡樂氣氛，也很感謝辛苦而且有求必應的助理珮華和明潔，這二年研究所酸苦甘甜的回憶，因為你們覺得很美好。祝福你們在未來都能完成自己心中的夢想。

最後要感謝我的家人，從不給我壓力讓我無後顧之憂地完成學業與研究的老爸老媽，一直很疼我的老姊，因為有你們無私的奉獻與支持，才能成就今日的我。謹以此論文獻給所有幫助過我與關心我的人

目錄

中文摘要.....	I
英文摘要.....	II
致謝.....	III
目錄.....	IV
圖目錄.....	VI
表目錄.....	VIII
第一章 緒論	1
1-1 研究動機.....	1
1-2 章節概述.....	1
第二章 接收機架構介紹	2
2-1 超外差接收機架構(Superheterodyne Receiver).....	2
2-1-1 鏡像頻率(Image Frequency).....	3
2-1-2 中頻頻率之選擇(Selection of IF).....	4
2-1-3 半中頻的影響(Effects of half IF).....	6
2-2 直接降頻接收機架構(Direct-Conversion Receiver).....	7
2-2-1 直流偏移(DC Offset).....	8
2-2-2 偶次階失真(Even-Order Distortion).....	8
2-2-3 顫動雜訊(Flicker Noise).....	9
2-2-4 正交信號的不匹配(I/Q Mismatch).....	9
2-3 鏡像消除接收機架構(Image-Rejection Receiver).....	11
2-3-1 Hartley 架構.....	11
2-3-2 Weaver 架構.....	16
第三章 常用放大器架構介紹	18
3-1 低雜訊放大器(Low noise amplifier)簡介.....	18
3-2 電晶體雜訊模型推導.....	19
3-3 常用放大器簡介[4].....	21
3-3-1 電阻匹配式放大器.....	21
3-3-2 $1/g_m$ 匹配式放大器.....	22
3-3-3 並串回授式放大器.....	23
3-3-4 源級電感性衰減放大器.....	25
3-4 1dB 壓縮點(1dB Compression Point).....	27
3-5 交互調變失真(Intermodulation Distortion).....	28
第四章 超寬頻低雜訊放大器架構介紹	29
4-1 TSMC 0.18um 1P6M CMOS 製程元件簡介.....	29
4-1-1 NMOS 電晶體.....	29

4-1-2 MIM 電容.....	30
4-1-3 螺旋式電感.....	30
4-1-4 電阻.....	31
4-1-4 模擬電路所加入實際量測的考量因素.....	32
4-2 單頻帶共源疊接(Cascode)低雜訊放大器.....	33
4-2-1 輸入匹配級.....	34
4-2-2 輸出匹配級.....	35
4-2-3 增益.....	35
4-3 具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器設計.....	36
4-3-1 LC 諧振匹配超寬頻低雜訊放大器[5].....	36
4-3-1-1 LC 諧振輸入匹配的原理.....	37
4-3-1-2 寬頻輸出匹配的原理.....	39
4-3-1-3 寬頻增益之探討.....	40
4-3-2 抑制頻寬外增益功能超寬頻低雜訊放大器設計.....	43
4-3-2-1 加入抑制電容之輸入匹配電路說明.....	45
4-3-2-2 具抑制 UWB 頻寬外增益輸入匹配電路進階探討.....	46
4-3-3 延續以濾波概念設計 UWB 頻段內增益有帶斥特性.....	48
4-3-3-1 利用一個零點二個極點之理想 LC 電路達到增益帶斥特性... ..	48
4-3-3-2 實際考量上有內阻之 LC 電路.....	49
4-3-3-3 加入負阻-R 之有內阻之 LC 電路.....	51
4-3-3-4 負阻-R 擺放位置進階探討.....	52
4-3-4 模擬與量測結果.....	55
4-4 主動式匹配超寬頻低雜訊放大器.....	60
4-4-1 寬頻輸入匹配.....	60
4-4-2 寬頻輸出匹配的原理.....	61
4-4-3 寬頻增益之探討.....	61
4-4-4 模擬與量測結果.....	63
第五章 結論.....	67
參考文獻.....	68

圖目錄

圖 2.1	超外差接收機架構.....	2
圖 2.2	鏡像頻率問題.....	3
圖 2.3	在混頻器前加上一個鏡像濾波器衰減鏡像頻率.....	4
圖 2.4	通道隔鄰干擾，會和所要的訊號一起經過混頻器降頻到中頻.....	4
圖 2.5	鏡像濾波器和頻道選擇濾波器的選擇.....	5
圖 2.5 (a)	高中頻可抑止較多的鏡像頻率，但抑止隔鄰干擾的效果比較差.....	5
圖 2.5 (b)	高中頻可抑止較多的鏡像頻率，但抑止隔鄰干擾的效果比較差.....	5
圖 2.6	相位雜訊影響接收機的靈敏度與選擇性.....	6
圖 2.7	半中頻對中頻的影響.....	7
圖 2.8	直接轉換接收機架構.....	7
圖 2.9	直流偏移的成因.....	8
圖 2.10	在低雜訊放大器和混頻器中偶次階失真的效應.....	9
圖 2.11	I/Q 不匹配的分佈情形.....	10
圖 2.12	QPSK 信號的星狀圖，(a)增益誤差(b)相位誤差.....	10
圖 2.13	Hartley 鏡像抑制示意方塊圖.....	11
圖 2.14	Hartley 架構之頻譜分析.....	13
圖 2.15	Hartley 鏡像抑制接收機.....	14
圖 2.16	RC-CR 的九十度相移網路.....	15
圖 2.17	Weaver 鏡像抑制接收機.....	16
圖 2.18	Weaver 架構之頻譜分析.....	17
圖 3.1	基本接收機架構.....	18
圖 3.2	感應閘極雜訊電流示意圖與等效雜訊電流源.....	20
圖 3.3	氧化層與矽基板的不連續鍵結.....	20
圖 3-4	常用放大器架構.....	21
圖 3-5	Shunt-series feedback 小訊號模型.....	23
圖 3.6	Inductive Degeneration 型 LNA 之小訊號等效電路圖.....	25
圖 3.7	輸入端電晶體 M_2 的雜訊模型.....	26
圖 3.8	1dB 增益壓縮點.....	27
圖 3.9	非線性系統中的交互調變示意圖.....	28
圖 3.10	Two tone 測試交互調變失真.....	28
圖 4.1	NMOS 佈局圖及等效電路模型.....	29
圖 4.2	MIM 電容佈局示意圖及等效電路模型.....	30
圖 4.3	螺旋式電感佈局圖及等效電路模型.....	31
圖 4.4	TSMC 電阻.....	31
圖 4.5	RF Pad 的等效模型.....	32
圖 4.6	鏑線等效參數.....	32
圖 4.7	傳統之共源疊接低雜訊放大器.....	33
圖 4.8	共源疊接低雜訊放大器輸入阻抗的探討.....	34
圖 4.9	由 Smith 圖觀點探討源疊接低雜訊放大器輸入阻抗.....	34
圖 4.10	由 Smith 圖觀點探討源疊接低雜訊放大器輸出阻抗.....	35
圖 4.11	等效小訊號模型.....	35
圖 4.12	LC 諧振匹配超寬頻低雜訊放大器.....	36
圖 4.13	LC 諧振輸入匹配電路.....	37

圖 4.14	輸入阻抗之等效串聯 RLC 電路圖.....	38
圖 4.15	輸入負載於 Smith Chart 的掃頻圖.....	38
圖 4.16	並聯共振腔 Y 參數負載.....	38
圖 4.17	寬頻輸入匹配電路圖.....	39
圖 4.18	寬頻匹配於 Y chart 可能走勢以及 Smith Chart 掃頻圖.....	39
圖 4.19	使用電壓隨耦器寬頻輸出匹配電路.....	39
圖 4.20	共軛匹配以達到最大的功率傳輸.....	40
圖 4.21	達到中間級共軛匹配低雜訊放大器之電路圖以及增益比較圖[16]	41
圖 4.22	加上電感 Lseries 設計放大器在高頻共軛匹配.....	41
圖 4.23	電感 Lseries 加入與否之增益比較圖.....	42
圖 4.24	中間級共軛匹配之 Smith Chart 圖.....	42
圖 4.25	基本 MB-OFDM UWB 系統收發機架構.....	43
圖 4.26	在 LC 諧振匹配中加入抑制電容 Co、Cs.....	44
圖 4.27	(a)加入抑制電容 Co、Cs 之增益比較.....	44
圖 4.27	(b)發表於 2005MTT-S 濾波器之頻寬外抑制效果[11]	45
圖 4.28	加入電容 Cs 抑制 UWB 頻寬外的低頻增益.....	45
圖 4.29	加入電容 Co 抑制 UWB 頻寬外的高頻增益.....	46
圖 4.30	加入電容 Cs 與否二者輸入匹配之比較.....	47
圖 4.31	電容 Co 影響寬頻匹配之探討.....	47
圖 4.32	DS-CDMA 與 MB-OFDM 頻帶示意圖.....	48
圖 4.33	可產生一個零點二個極點之 LC 電路與頻率對阻抗圖.....	49
圖 4.34	考慮實際上有內阻之 LC 電路與頻率對阻抗圖.....	50
圖 4.35	加上-R 與有內阻之 LC 電路.....	51
圖 4.36	負阻電路架構與其等效電路推導.....	51
圖 4.37	並聯 RC 電路等效成串聯 RC 電路.....	52
圖 4.38	等效串聯負阻之 LC 電路.....	53
圖 4.39	負阻 $\frac{-2}{g_m}$ 加入與否之阻抗比較與增益比較.....	54
圖 4.40	抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器.....	54
圖 4.41	LC 諧振匹配超寬頻低雜訊放大器 S 參數和 NF 模擬圖.....	55
圖 4.42	LC 諧振匹配超寬頻低雜訊放大器量測結果.....	56
圖 4.43	LC 諧振匹配超寬頻低雜訊放大器 layout 圖.....	57
圖 4.44	LC 諧振匹配超寬頻低雜訊放大器實際電路圖.....	57
圖 4.45	鎊線感值變大對 S11 的影響情形.....	57
圖 4.46	抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器模擬結果.....	58
圖 4.47	主動式匹配超寬頻低雜訊放大器架構.....	60
圖 4.48	$1/g_m$ 輸入匹配.....	61
圖 4.49	輸出匹配電路.....	61
圖 4.50	Lseries1 和 Lseries2 加入與否增益比較圖.....	62
圖 4.51	主動式匹配超寬頻低雜訊放大器 S 參數和 NF 模擬圖.....	63
圖 4.52	主動式匹配超寬頻低雜訊放大器量測結果.....	65
圖 4.53	主動式匹配超寬頻低雜訊放大器 layout 圖.....	65
圖 4.54	主動式匹配超寬頻低雜訊放大器實際電路圖.....	65

表目錄

表 4-1	LC 諧振匹配超寬頻低雜訊放大器模擬參數表格.....	56
表 4-2	抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器模擬參數表格.....	59
表 4-3	主動式匹配超寬頻低雜訊放大器模擬參數表格.....	64
表 4-4	設計之 LNA 與其它發表論文比較之表格.....	66



第一章

緒論

§1-1 研究動機

近年來，超寬頻(Ultra-Wide Band, UWB)技術已逐漸成爲無線通訊領域之研究重點，並被視爲下一代無線通訊系統的關鍵技術之一。FCC 於 2002 年 2 月 14 日率全球之先通過 UWB 商用化規範，准許在 3.1 GHz 到 10.6 GHz 頻段範圍使用低功率之 UWB 系統，UWB 比起其他無線技術有更多的頻寬可以利用，同時也不至於嚴重干擾位於同頻段的其他無線通訊系統。在傳輸速率上，UWB 傳輸速率超過 100Mbps，甚至可以高達 480Mbps，涵蓋距離約 10 公尺，相當適合高階影音多媒體傳輸之應用。總而言之，UWB 技術具有高傳輸速率、高測距定位精度、高安全性、低功率消耗、低成本及短距離傳輸等特性。

超寬頻無線通訊系統操作在非常寬的頻帶上，這對射頻積體電路的設計是一項相當大的考驗。大致上，射頻積體電路之運作可分成傳送與接收兩方面，對射頻積體電路收發機來說，主要有幾個關鍵子電路包含低雜訊放大器、混頻器、功率放大器、鎖相迴路(phase lock loop)。而隨著 CMOS 製程技術的進步，CMOS 在元件上已可以達到高頻電路的要求，但是為了同時達到寬頻的特性以及系統的規格，即是目前設計的主要的瓶頸。本論文將針對超寬頻低雜訊放大器部份，在寬頻與其它特性做深入探討

§1-2 章節概述

本論文分爲五個章節，第一章：敘述 UWB 無線通訊的發展，以及論文之研究動機。第二章：介紹幾種接收機架構之優缺點。第三章：針對常用放大器特性加以探討。第四章：敘述超寬頻低雜訊放大器的規格參數並說明設計電路達到寬頻特性的原理，以及量測與模擬的結果。第五章，本章節爲結論，說明本論文研究之成果。

第二章

接收機系統架構介紹

無線通訊中，接收到的電波訊號(皆為類比訊號)必須轉成數位訊號，再經過特定的訊號處理，才能成為有用的資訊。而將類比訊號轉為數位訊號的方塊稱之為類比轉換器(analog-to-digital converter, ADC)。現有實際的ADC因為取樣速率與動態範圍的限制，無法直接處理由天線接收到的微弱高頻電波訊號，故必須透過射頻接收機。在設計接收機時，不同的接收機架構各有其特性及應用範圍，端視設計者的考量而定，一般考量的重點在於接收機的成本、消耗功率、外加元件數目以及複雜度。本章將對於幾種常見的接收機架構作一簡述及分析[1][2]。

§2-1 超外差接收機架構(Superhetrodyne Receiver)

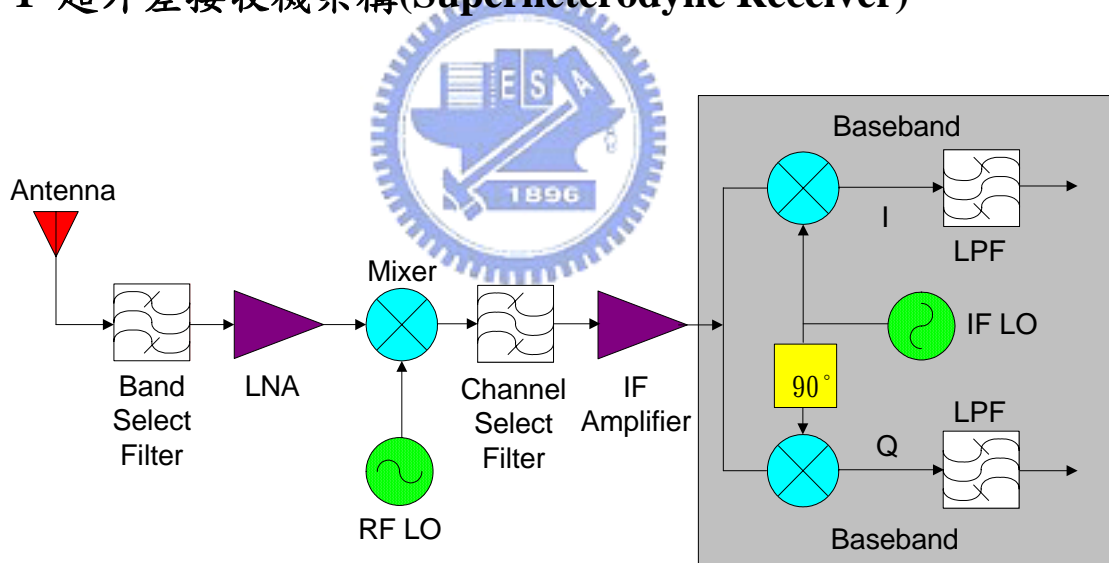


圖2.1 超外差接收機架構

西元1918年，超外差接收機架構由Armstrong提出之後，此一接收機架構對於系統設計者而言，影響深遠，時至今日此一架構仍有多種改良及應用，無論是在工業界抑或是學術界。適用於多種通訊協定之接收機的實現，具有良好的訊號選擇性(selectivity)以及靈敏度(sensitivity)為其主要優點，其基本架構如圖2.1 所示。

此種接收機架構的工作原理[3]，是將外界接收到的高頻(RF)訊號，經過混頻器與本地振

盪(LO)訊號產生混頻，將原本高頻(RF)訊號轉換為較低頻的訊號，通常稱之為中頻(IF)訊號(Intermediate Frequency)。IF訊號的中心頻率對接收機來說是一個關鍵性參數，通常要跟接收機的其他各方面性能，做適當地調整始能有預期的性能。但缺點是需要較多額外晶片的元件，因此成本也相對提高許多。

§2-1-1 鏡像頻率(Image Frequency)

鏡像訊號干擾的產生，主要是由於所使用之降頻混波器會將對稱於本地振盪器輸出頻率的兩側、距離一個中頻的頻帶處之訊號，以相同的轉換響應降頻至中頻頻帶，如圖 2.2 所示，假設所要通道頻率為 $\omega_{RF} = \omega_{LO} - \omega_{IF}$ ，和本地振盪頻率 (ω_{LO}) 進入混頻器後，會產生中頻 (ω_{IF})，然而假設有一個頻率 $\omega_{LO} + \omega_{IF}$ 也同時進入混頻器，也會和本地振盪(LO)混出中頻頻率，但這不是所要通道頻率中所降頻出的中頻，所以 $\omega_{LO} + \omega_{IF}$ 稱為鏡像頻率。

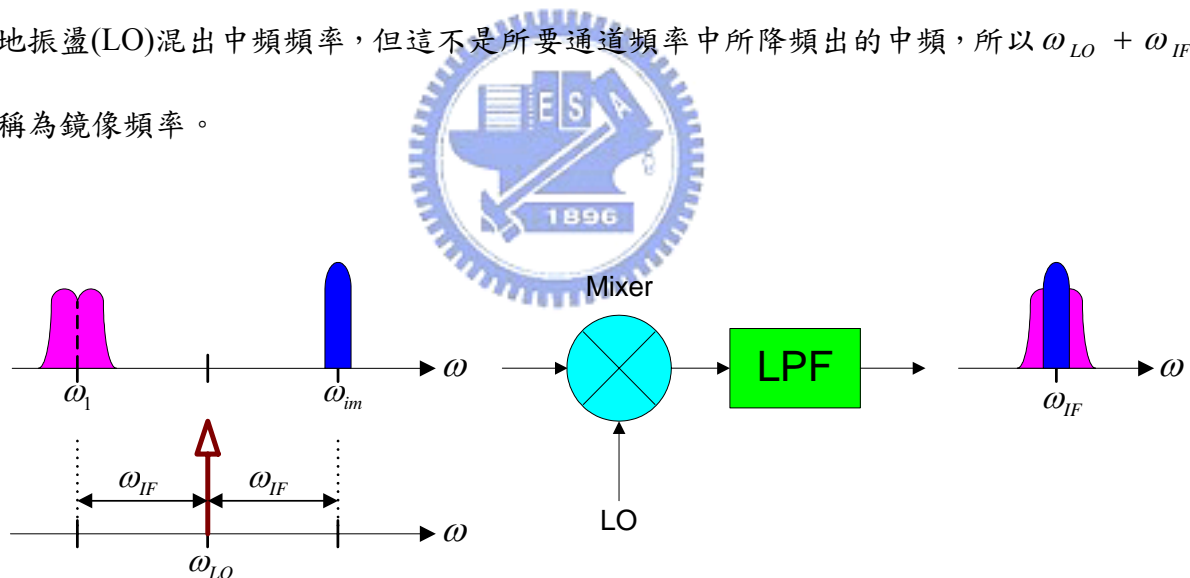


圖2.2 鏡像頻率問題

如圖2.3 所示，可在混頻器前面加一個濾波器，此濾波器稱為鏡像濾波器(Image Reject Filter)，用來抑制在鏡像頻率處的干擾；且當選擇的中頻越高時，鏡像頻率離所要的通道越遠，濾除鏡像頻率的效果也越好。

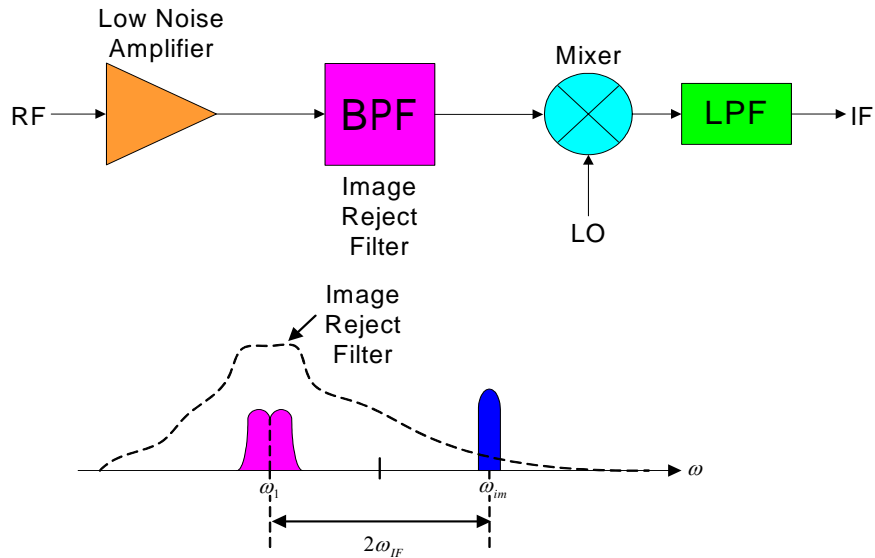


圖2.3 在混頻器前加上一個鏡像濾波器衰減鏡像頻率

§2-1-2 中頻頻率之選擇(Selection of IF)

通道相鄰干擾會將所要的訊號一起經過混頻器降頻到中頻，而在中頻附近形成干擾，如圖2.4 所示。因此在混頻器後加上一個頻道選擇濾波器(Channel Select Filter)以濾除中頻附近的干擾。因為要把中頻附近的干擾濾掉，所以需要非常高Q值的濾波器，即有較高的裙帶因子(skirt factor)，一般是選用表面聲波濾波器(SAW filter)做為頻道選擇濾波器。

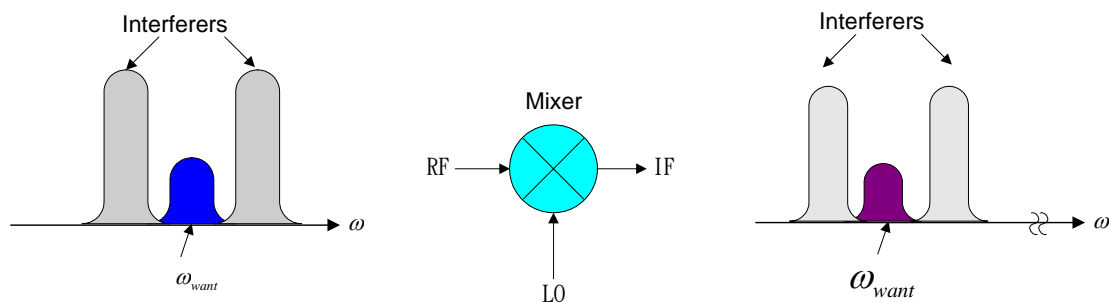


圖2.4 通道隔鄰干擾，會和所要的訊號一起經過混頻器降頻到中頻

但是同樣架構的濾波器，其Q值隨著頻率的升高而降低，所以為了有較好的選擇性，最好選擇較低的中頻，但這和在考慮消除鏡像頻率上，選擇較高的中頻是互相矛盾的。如圖2.5 所示，為不同的中頻對鏡像濾波器和頻道選擇濾波器的影響，從圖2.5(a)，可看出選擇高中頻可以抑止較多的鏡像頻率，如此鏡像頻率降到中頻處的量較小，但抑止隔鄰

干擾的效果比較差；相反的，圖2.5(b)是選擇低中頻，則有較好的抑止隔鄰干擾效果，但抑止鏡像頻率的效果較差。故中頻頻率需謹慎的選擇才行。

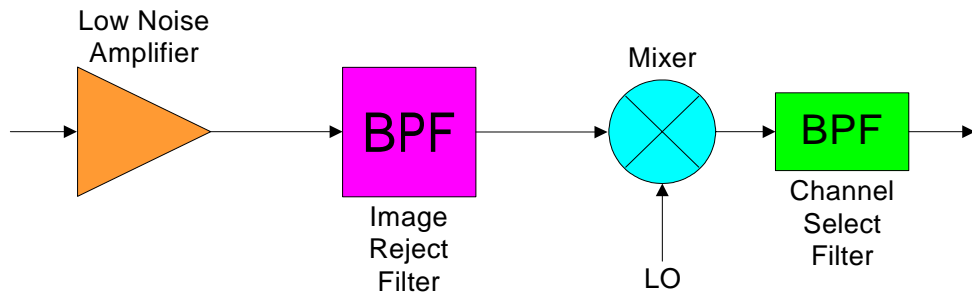


圖2.5 鏡像濾波器和頻道選擇濾波器的選擇

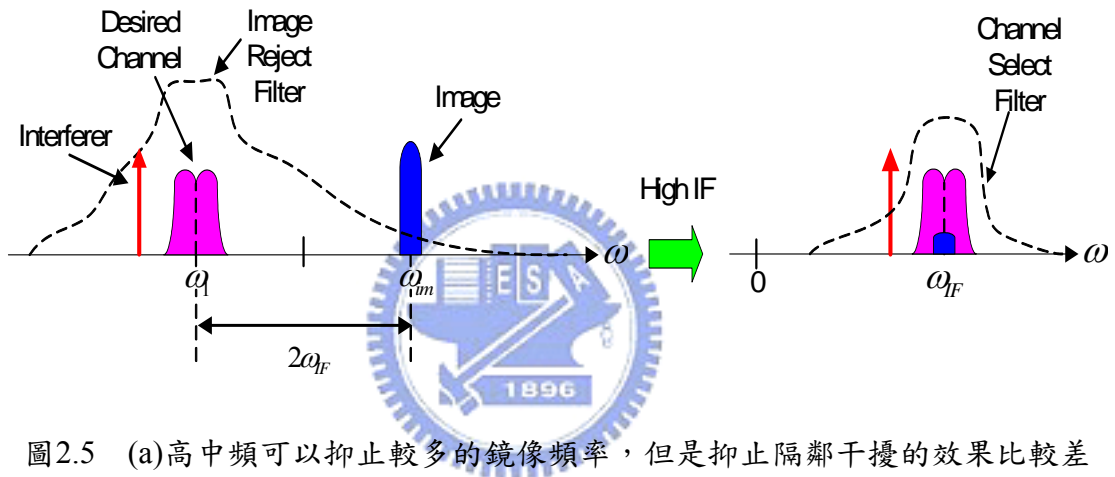


圖2.5 (a)高中頻可以抑止較多的鏡像頻率，但是抑止隔鄰干擾的效果比較差

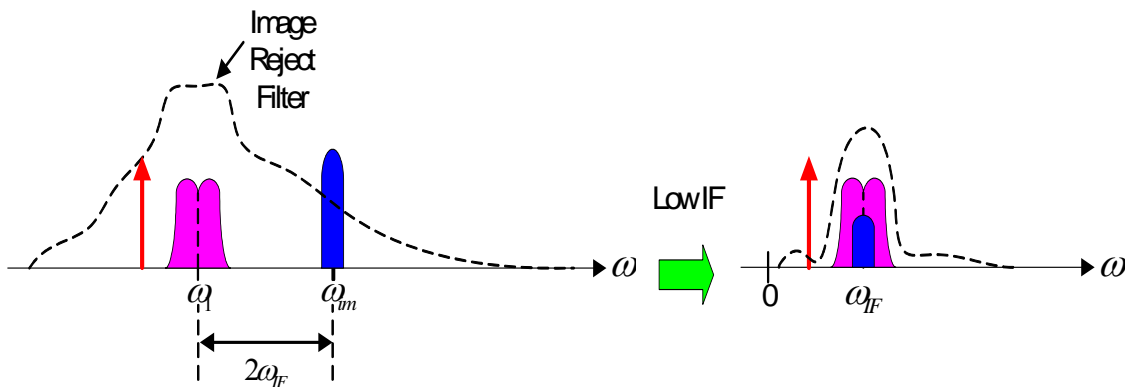


圖2.5 (b)低中頻可以抑止較多的隔鄰干擾，但是抑止鏡像頻率的效果比較差

另外，本地振盪訊號的相位雜訊(Phase Noise)對系統的影響也是相當的重要，在混頻的過程中，相位雜訊會轉移到中頻，故相位雜訊要求越低越好。如圖2.6 所示，當一個很強的鄰近波道干擾和一個很弱的接收訊號同時出現時，多餘的相位雜訊會和很強的干擾交互調變到中頻，使得原本很弱的中頻訊號可能被干擾。至於本地振盪頻率的選擇有兩種方式，一種是頻率低於通訊通道中心頻率，另一種是高於通訊通道中心頻率，一般建議使用第一種，因為壓控振盪器(VCO)比較容易設計且本地振盪頻率較低，相位雜訊會比較好。

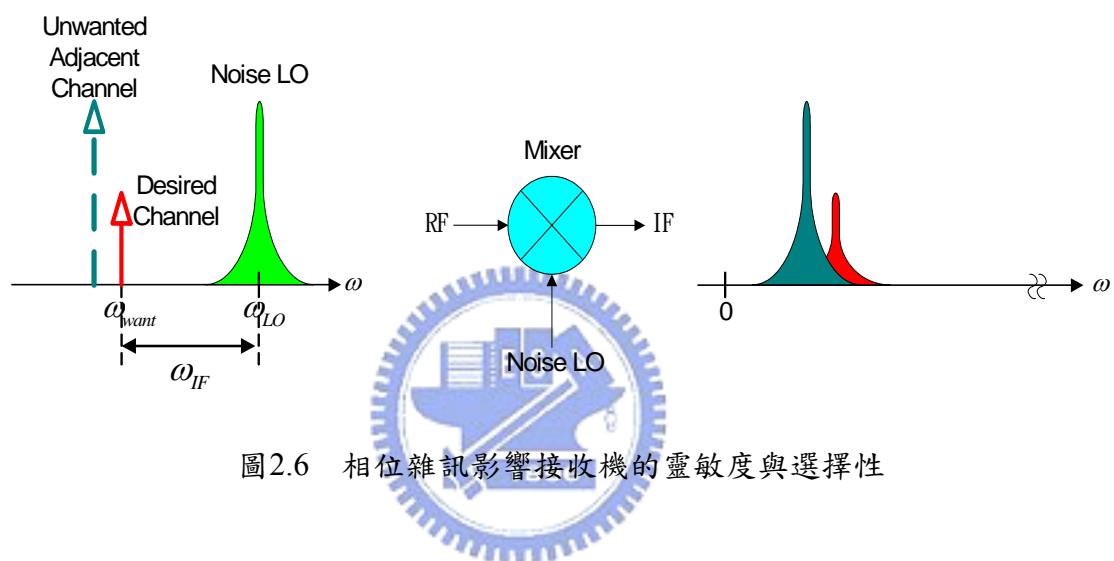


圖2.6 相位雜訊影響接收機的靈敏度與選擇性

§2-1-3 半中頻的影響(Effects of half IF)

如圖2.7 所示為假設干擾頻率為 $(\omega_{in} + \omega_{LO})/2$ ，經過低雜訊放大器後產生的二次諧波失真，再與本地振盪的二次諧波項混波後成為 $|(\omega_{in} + \omega_{LO}) - 2\omega_{LO}| = \omega_{IF}$ ，這會對中頻造成干擾。此外，干擾頻率 $(\omega_{in} + \omega_{LO})/2$ 與本地振盪 (ω_{LO}) 混頻後成為二分之一的中頻訊號 $(\omega_{in} - \omega_{LO})/2 = \omega_{IF}/2$ ，此信號再經過放大器及混頻器後所產生的二次諧波失真也會在中頻的地方產生干擾。為了降低半中頻對系統的影響，射頻和中頻主動元件電路應該儘可能的降低二次諧波失真。

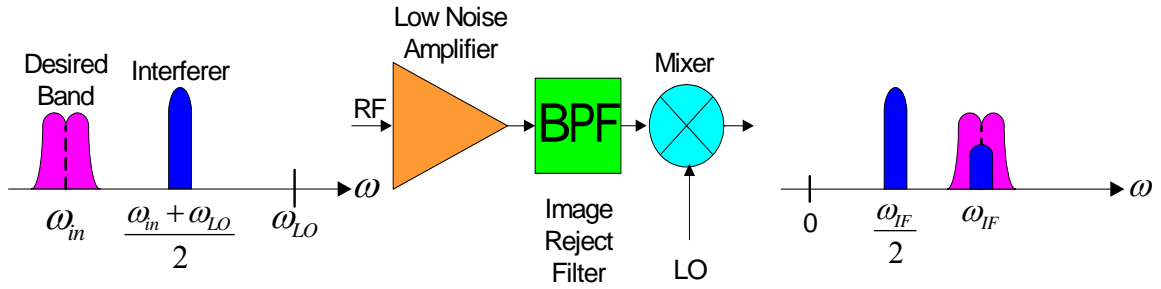


圖2.7 半中頻對中頻的影響

§2-2 直接降頻接收機架構(Direct-Conversion Receiver)

由於直接轉換架構的本地振盪頻率與射頻頻率相同，因此沒有鏡像頻率的問題，所以不需要在混頻器前加一個鏡像濾波器。因為沒有中頻，故不需要在混頻器後加上一個頻道選擇濾波器和中頻放大器，取而代之的是一個低通濾波器。因此直接轉換架構比超外差架構所需的元件還要少，也易於將整個接收機整合為單一晶片，接收架構如圖2.8 所示。雖然直接降頻接收機有以上優點且架構簡單，但過去未被普遍使用，原因有下列幾點。

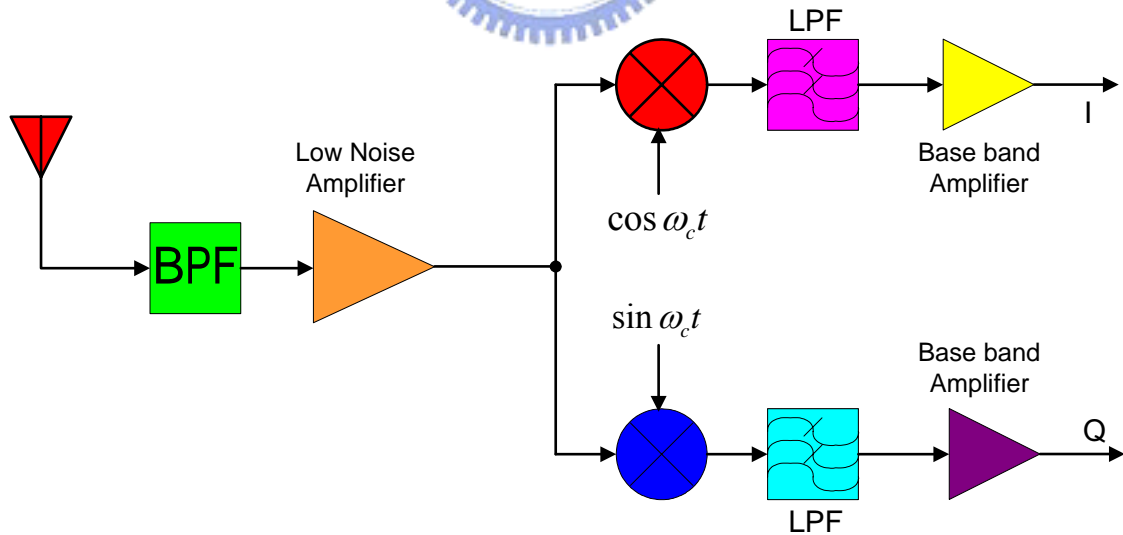


圖2.8 直接轉換接收機架構

§2-2-1 直流偏移(DC Offset)

如圖2.9 所示，因為混頻器RF-LO的隔離度是有限的，造成本地振盪信號洩漏的現象是由於電容與基板耦合及鏢線(Bonding wire)效應，當本地振盪信號洩漏到A點和B點時，洩漏的信號反射回來與本地振盪再次混頻並在C點混出直流信號；還有另一種情形是當較大的干擾信號從B點溢漏到本地振盪時(Interferer Leakage)，再與同頻率的干擾訊號混頻，也會在C點混出直流信號。這些現象稱為自我混頻(Self-Mixing)。然而此情形可能會使後級的主動電路飽和，或是干擾到所要的信號。

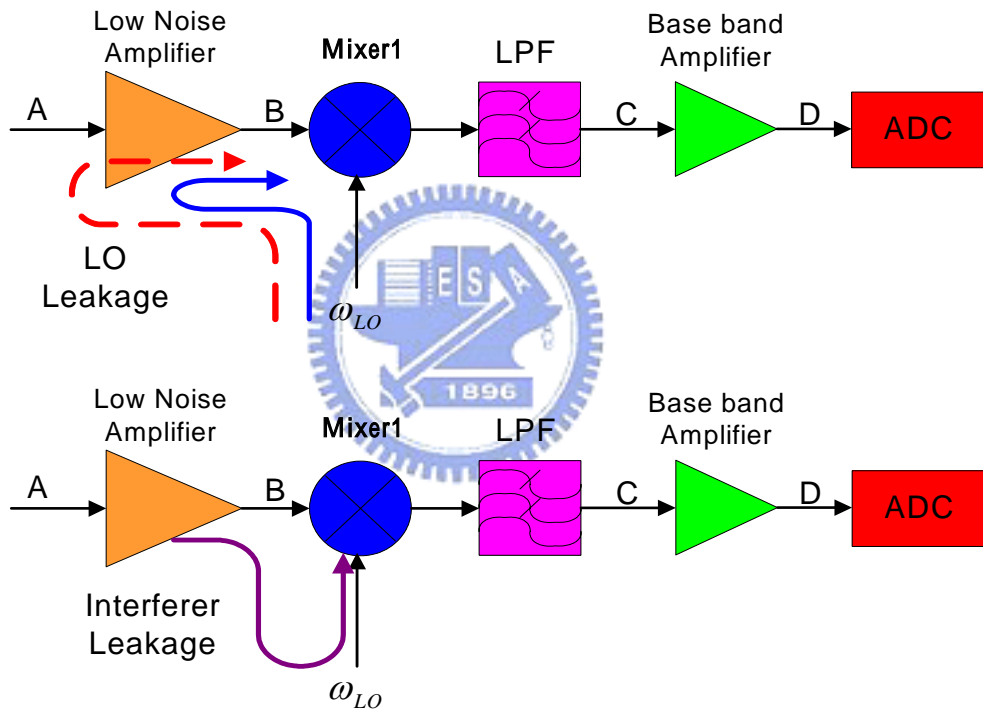


圖2.9 直流偏移的成因

§2-2-2 偶次階失真(Even-Order Distortion)

如圖2.10 所示，當有兩個干擾信號 $A_1 \cos \omega_1 t$ 及 $A_2 \cos \omega_2$ ，很接近所要的信號時，經過低雜訊放大器的非線性效應後，產生的二階調變衍生信號，如果很接近直流訊號，若混頻器的RF-IF的隔離度不夠大，又經過混頻器溢漏到混頻器的輸出端，而對降頻後所要的基頻接收信號造成干擾，此視為偶次階失真。實際上，超外差式接收機的混頻器

也同樣有這問題存在，所以需要高線性度的低雜訊放大器和混頻器，以防止偶次階失真。

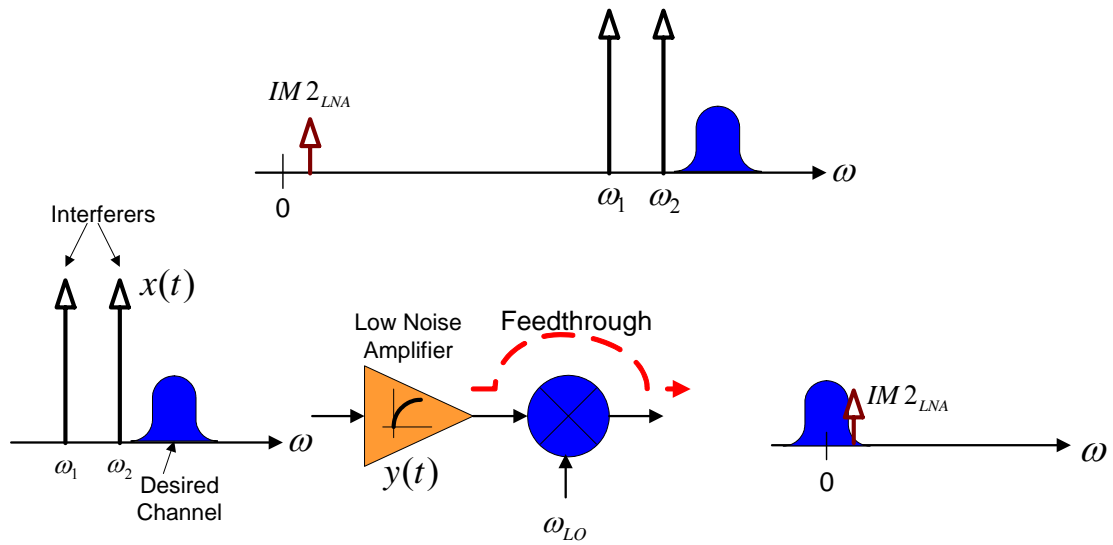


圖2.10 在低雜訊放大器和混頻器中偶次階失真的效應

§2-2-3 顫動雜訊(Flicker Noise)

電晶體的顫動雜訊屬於低頻雜訊，功率頻譜密度和頻率成反比($1/f$)，所以顫動雜訊會使直接降頻至基頻訊號的訊號雜訊比降低，故一般在低雜訊放大器(LNA)及混頻器的地方把增益提高，減少顫動雜訊的影響，例如使用主動式混頻器來取代被動式混頻器。

§2-2-4 I/Q信號的不匹配(I/Q Mismatch)

如圖2.11 所示，理想的情況下是不會有I/Q不匹配的現象，然而實際上電路卻是會無法如此；當I/Q信號經過相位或是增益不匹配電路時，I/Q信號的星狀圖(Constellation)會失真，位元錯誤率因此上升。圖2.12 是QPSK信號經過相位和增益不匹配電路時，所產生的失真星狀圖。在超外差接收架構中，因I/Q信號是經由中頻降頻而成的，降頻的頻率比在直接轉換架構中由射頻直接降頻的頻率還要來的低，且在分離I/Q信號後所用的電路比在直接轉換架構中還要少，所以比較沒有I/Q不匹配的情形。

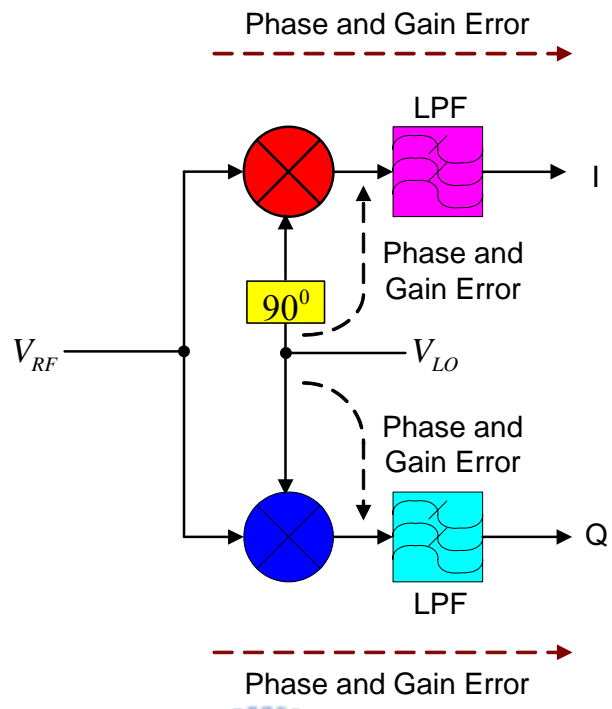


圖2.11 I/Q不匹配的分佈情形

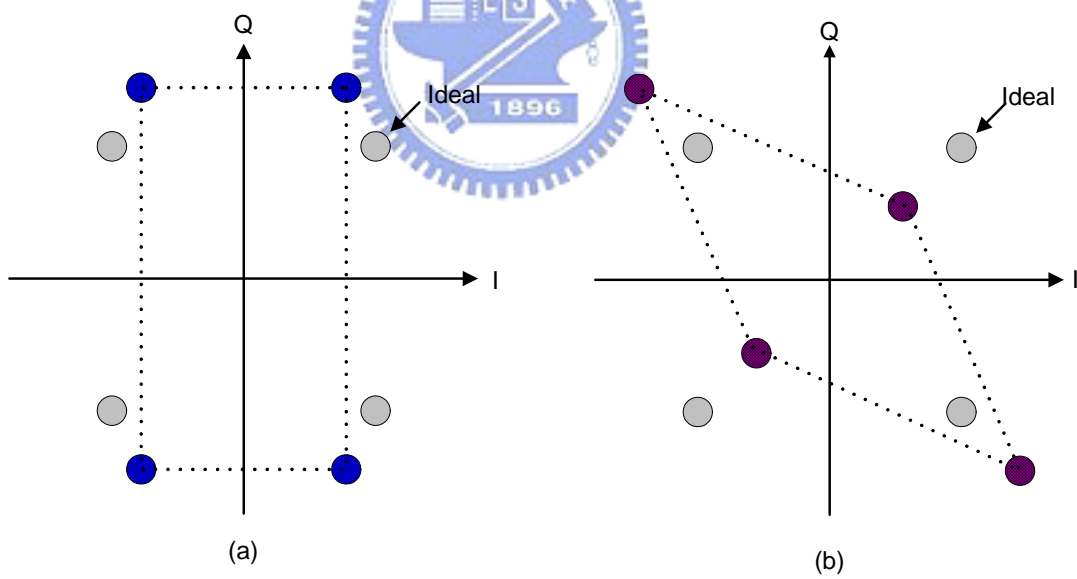


圖2.12 QPSK信號的星狀圖，(a)增益誤差(b)相位誤差

§2-3 鏡像消除接收機架構(Image-Rejection Receiver)

另一種消除鏡像訊號的方式乃利用鏡像抑制接收機。此類型的接收機可省去在超外差接收機中所需之鏡像抑制濾波器，因此當接收機系統是以晶片方式來製作時，此種鏡像抑制架構就能免除在晶片外掛一高Q值鏡像抑制濾波器的麻煩。一般而言，常見之鏡像抑制架構有兩種：Hartley架構、Weaver架構。

§2-3-1 Hartley架構

如圖2.13 所示，主要是由兩個具備有九十度相位相差的混頻器所組成，此因混頻器的本地振盪器源是由兩個相差九十度的信號作為輸入所產生。至於鏡像抑制的現象，則是使用混頻器與九十度相位轉移器對於I與Q兩路徑之鏡像信號所造180度之相位轉移，最後用合成器做信號合成，使得鏡像信號被消除。

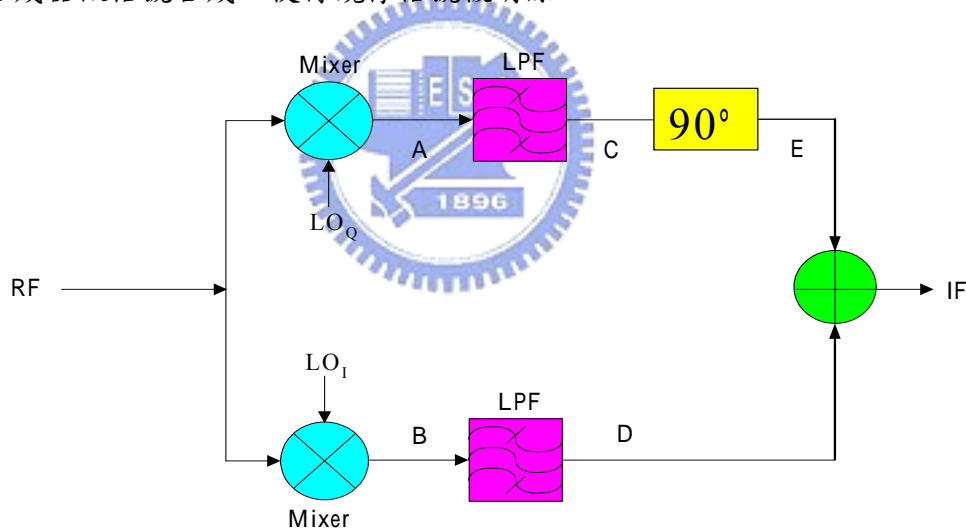


圖2.13 Hartley鏡像抑制示意方塊圖

其數學分析如下：

令輸入訊號為 $f(t) = A_{RF} \cos w_{RF}t + A_{IM} \cos w_{IM}t$ ，其中 w_{RF} 、 w_{IM} 分別為射頻信號頻率及鏡像信號頻率，而本地振盪信號具有九十度相差。故在A與B兩點產生的信號分別如2-1式與2-2式所示：

$$f_A(t) = \frac{A_{RF}}{2} [\sin(w_{RF} + w_{LO})t + \sin(w_{RF} - w_{LO})t] \\ + \frac{A_{IM}}{2} [\sin(w_{LO} + w_{IM})t + \sin(w_{LO} - w_{IM})t] \quad (式2-1)$$

$$f_B(t) = \frac{A_{RF}}{2} [\cos(w_{RF} + w_{LO})t + \cos(w_{RF} - w_{LO})t] \\ + \frac{A_{IM}}{2} [\cos(w_{LO} + w_{IM})t + \cos(w_{LO} - w_{IM})t] \quad (式2-2)$$

當 $f_A(t)$ 、 $f_B(t)$ 兩點信號經由低通濾波器之後，高頻成分將被濾波器濾除，可得C與D兩點的信號為：

$$f_C(t) = \frac{A_{RF}}{2} \sin(w_{RF} - w_{LO})t + \frac{A_{IM}}{2} \sin(w_{LO} - w_{IM})t \quad (式2-3)$$

$$f_D(t) = \frac{A_{RF}}{2} \cos(w_{RF} - w_{LO})t + \frac{A_{IM}}{2} \cos(w_{LO} - w_{IM})t \quad (式2-4)$$

而C處的信號又經由一個九十度相位轉移器可得E處的信號為：

$$f_E(t) = \frac{A_{RF}}{2} \cos(w_{RF} - w_{LO})t - \frac{A_{IM}}{2} \cos(w_{LO} - w_{IM})t \quad (式2-5)$$

由2-4式與2-5式我們可以觀察到：對於D與E兩處的訊號而言，射頻信號為同相位，而鏡像信號則為相差180度，此時只需將兩處信號作合成即完成消除鏡像信號的作用。上述討論的式子，參考圖2.14 可以得到其在頻譜上所表示的涵義。

接著將針對本地振盪信號的不匹配所造成的影響進行探討。假設有兩個振幅與相位不匹配的本地振盪信號 $A_{LO} \sin w_{LO}t$ 與 $(A_{LO} + \delta) \cos(w_{LO}t + \theta)$ ，其中 δ 代表振幅量的偏差、 θ 代表相位量的偏差，運用相同的分析方式可得在D與E兩處的信號變成：

$$f_D(t) = \frac{(A_{LO} + \delta)A_{RF}}{2} \cos[(w_{RF} - w_{LO})t + \theta] + \frac{(A_{LO} + \delta)A_{IM}}{2} \cos[(w_{LO} - w_{IM})t + \theta] \quad (2-6)$$

$$f_E(t) = \frac{A_{LO}A_{RF}}{2} \cos(w_{RF} - w_{LO})t - \frac{A_{LO}A_{IM}}{2} \cos(w_{LO} - w_{IM})t \quad (2-7)$$

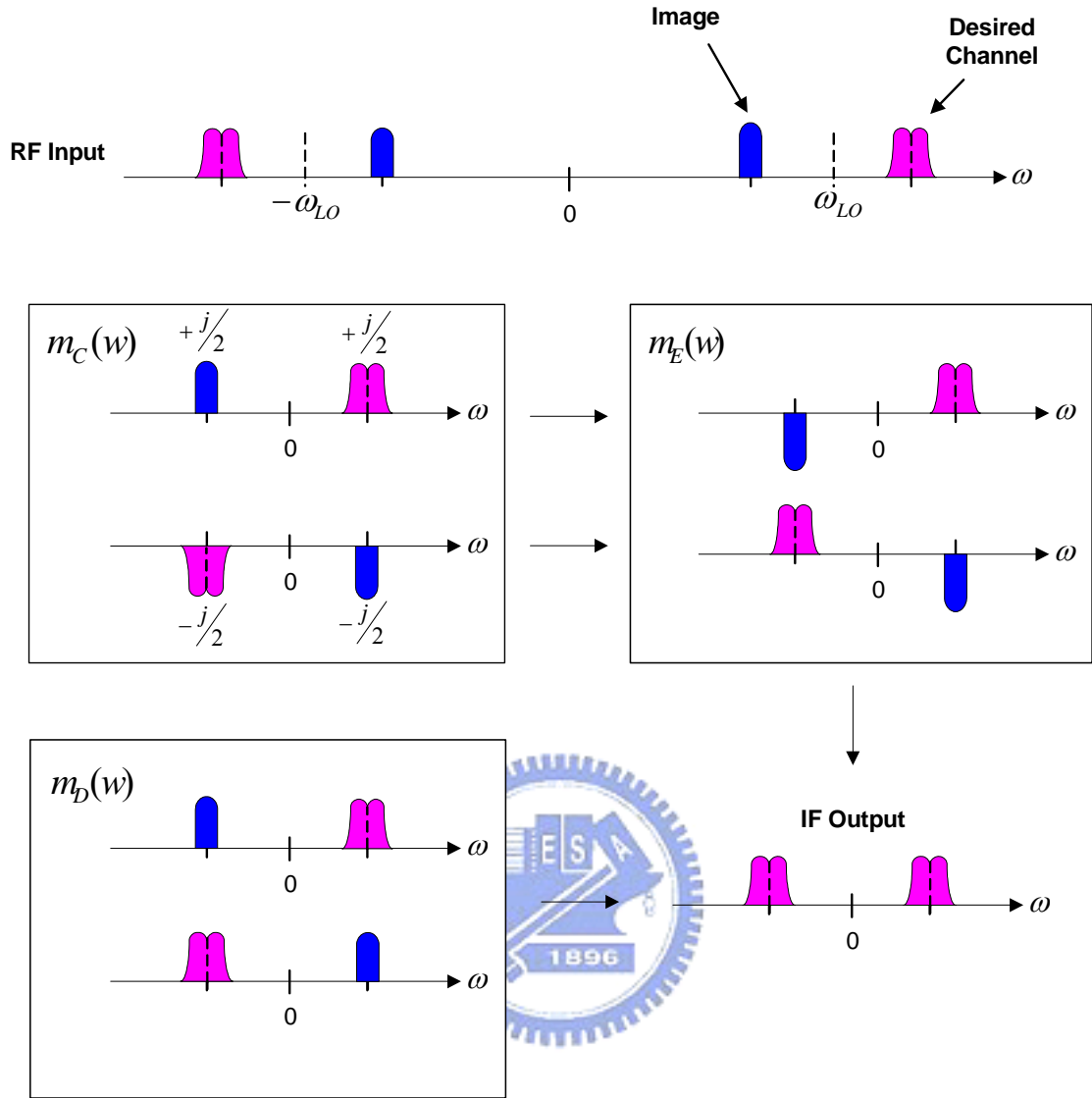


圖2.14 Hartley架構之頻譜分析

最後經過一個合成器將把兩個信號合成，即為 $f_{IF}(t) = f_D(t) + f_E(t)$ ，若將此信號分為射頻信號和鏡像信號則變成 $f_{IF}(t) = f_{RF}(t) + f_{IM}(t)$ ，其中 $f_{RF}(t)$ 與 $f_{IM}(t)$ 分別為：

$$f_{RF}(t) = \frac{(A_{LO} + \delta)A_{RF}}{2} \cos[(\omega_{RF} - \omega_{LO})t + \theta] + \frac{A_{LO}A_{RF}}{2} \cos(\omega_{RF} - \omega_{LO})t \quad (\text{式 2-8})$$

$$f_{IM}(t) = \frac{(A_{LO} + \delta)A_{RF}}{2} \cos[(\omega_{LO} - \omega_{IM})t + \theta] - \frac{A_{LO}A_{IM}}{2} \cos(\omega_{LO} - \omega_{IM})t \quad (\text{式 2-9})$$

在輸出端來看兩端信號的平均功率比值為：

$$\frac{P_{IM}}{P_{RF}} \Big|_{OUT} = \frac{\frac{1}{T} \int [f_{IM}(t)]^2 dt}{\frac{1}{T} \int [f_{RF}(t)]^2 dt} = \frac{A_{IM}^2}{A_{RF}^2} \times \frac{(A_{LO} + \delta)^2 - 2(A_{LO} + \delta)A_{LO} \cos\theta + A_{LO}^2}{(A_{LO} + \delta)^2 + 2(A_{LO} + \delta)A_{LO} \cos\theta + A_{LO}^2} \quad (\text{式 2-10})$$

在2-10式中，左邊第一項中 $\frac{A_{IM}^2}{A_{RF}^2}$ 是鏡像信號與射頻信號振幅的比值，而我們定義

$\frac{(A_{LO} + \delta)^2 - 2(A_{LO} + \delta)A_{LO} \cos\theta + A_{LO}^2}{(A_{LO} + \delta)^2 + 2(A_{LO} + \delta)A_{LO} \cos\theta + A_{LO}^2}$ 為鏡像抑制比(Image Rejection Ratio)

$$IRR = \frac{\frac{P_{IM}}{P_{RF}}}{\frac{A_{IM}^2}{A_{RF}^2}} = \frac{A^2 - 2AB \cos\theta + B^2}{A^2 + 2AB \cos\theta + B^2}, \text{ 其中 } A = A_{LO}, B = A_{LO} + \delta. \text{ 因為 } \delta \ll A_{LO} \text{ 且 } \theta \ll 1,$$

故將 $\cos\theta$ 以泰勒級數展開(即 $\cos\theta = 1 - \frac{1}{2}\theta^2 + \dots$)可得：

$$IRR = \frac{\left(\frac{\delta}{A}\right)^2 + \theta^2}{4}, \text{ 其中 } \frac{\delta}{A} = \frac{\delta}{A_{LO}} = \frac{\Delta A}{A} \quad (\text{式2-11})$$

因此可知當 $\delta = 0$ 與 $\theta = 0$ 時， $IRR = 0$ 表示鏡像信號完全可被消除。

在Hartley架構中，常使用RC-CR網路來實現九十度相移器，使得整體架構如圖2.15 所示。

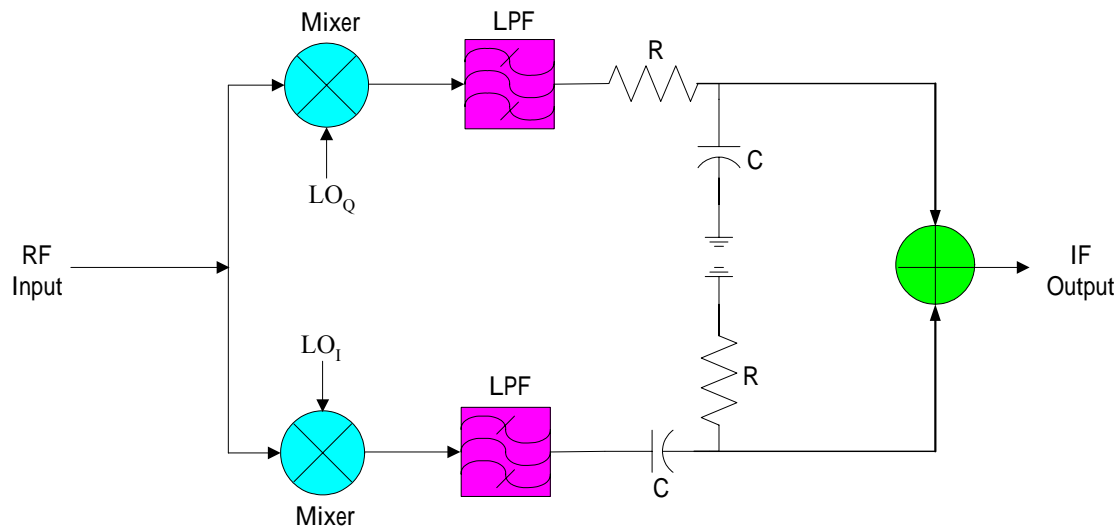


圖2.15 Hartley鏡像抑制接收機

在Hartley架構中，九十度相移網路(如圖2.16 所示)造成的兩個輸出端振幅不匹配，也會對鏡像抑制效果造成影響，因此以下對RC的變異對鏡像抑制效果的影響作一分析。假設電阻R有一變動量為 ΔR ，電容C有一變動量為 ΔC ，輸出電壓振幅A有一變動量為 ΔA ，可得：

$$\frac{\Delta A}{A} = \frac{\frac{(R + \Delta R)(C + \Delta C)\omega}{\sqrt{1 + (R + \Delta R)^2(C + \Delta C)^2\omega^2}} - \frac{1}{\sqrt{1 + R^2C^2\omega^2}}}{\frac{1}{\sqrt{1 + R^2C^2\omega^2}}}$$

$$= \sqrt{1 + R^2C^2\omega^2} \times \frac{(R + \Delta R)(C + \Delta C)\omega}{\sqrt{1 + (R + \Delta R)^2(C + \Delta C)^2\omega^2}} - 1$$

其中 $\omega RC \approx 1$ ， $1 \ll \frac{\Delta R^2}{R^2}$ ， $1 \ll \frac{\Delta C^2}{C^2}$ ， $1 \ll \frac{\Delta R \Delta C}{RC}$ ，整理後可得下式

$$\frac{\Delta A}{A} \approx \frac{1 + \frac{\Delta C}{C} + \frac{\Delta R}{R}}{\sqrt{1 + \frac{\Delta C}{C} + \frac{\Delta R}{R}}} - 1 \approx \frac{\Delta C}{C} + \frac{\Delta R}{R} \quad (\text{式2-12})$$

由2-12式中可知，若 ΔR 與 ΔC 為零時表示無變動量，亦表示無偏差，所以 $\frac{\Delta A}{A}$ 為零。一般而言，假如電阻的變異量比值 $\frac{\Delta R}{R} = 20\%$ 時，鏡像抑制效果的極限大約為20dB。因此若是使用RC-CR九十度相移網路，則會因為電容與電阻的變異量，使得抑制效果變差。

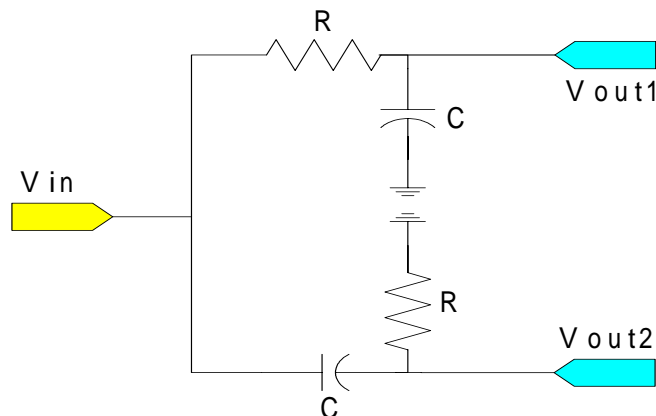


圖2.16 RC-CR的九十度相移網路

§2-3-2 Weaver架構

在Hartley架構中，於一對具九十度相差混頻器之後放置九十度相移器，進而達到鏡像抑制效果。但九十度的相移器是由被動元件所構成，傳遞訊號時會有功率的耗損，且易因製程電容與電阻的變異量使得鏡像抑制效果大打折扣，因此演化成Weaver鏡像抑制架構。其架構如圖2.17 所示，乃是使用九十度相差混頻器取代九十度相移器，利用二次混頻將鏡像訊號消除，參考圖2.18 即可知其頻譜上所表示的操作原理。

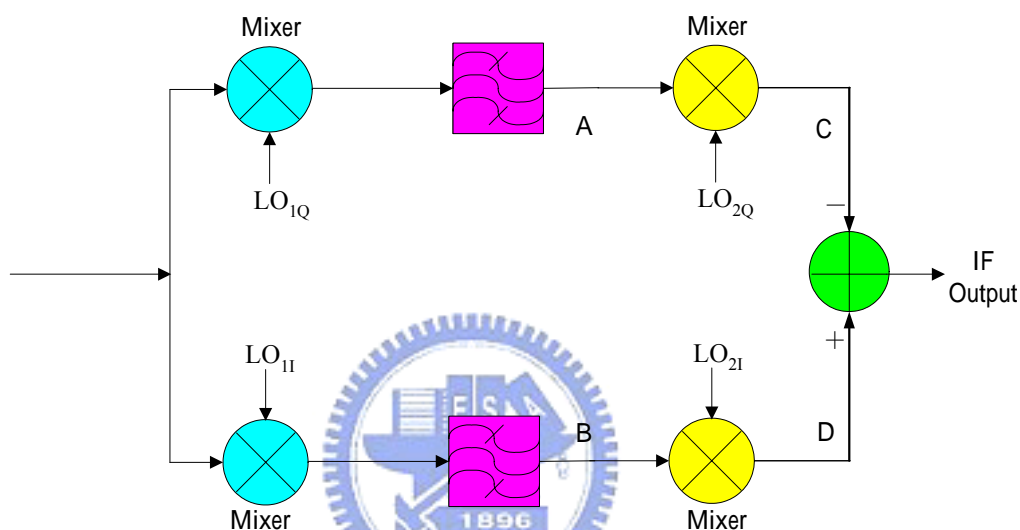


圖2.17 Weaver鏡像抑制接收機

Weaver鏡像抑制混頻器主要的優點是使用主動混頻電路取代被動的相移器。如此，訊號在路徑中傳遞，將不會因被動電路而有衰減的現象；相對的，也因此產生了二次鏡像干擾的問題。但是與Hartley架構相同，在I、Q兩路徑中，因增益與相位的不匹配而降低鏡像抑制效果的因素依然存在。

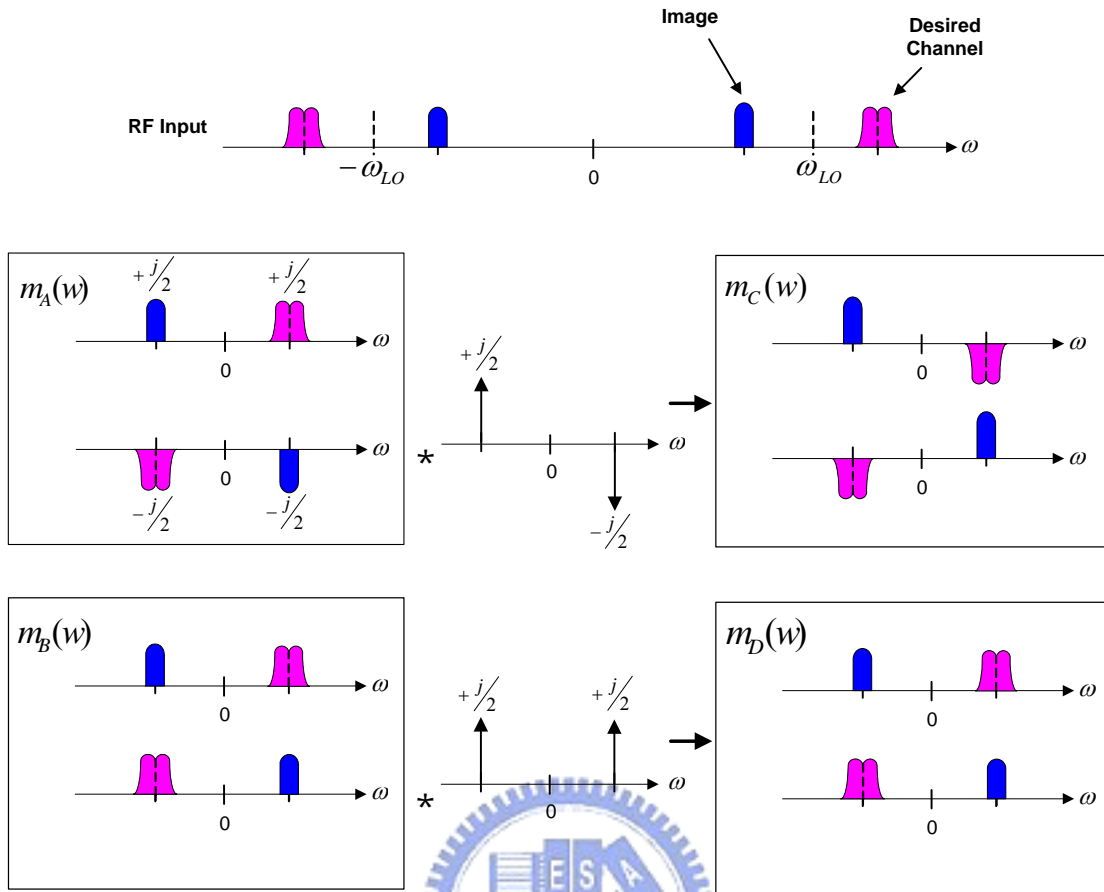


圖2.18 Weaver架構之頻譜分析

第三章

常用放大器架構介紹

§3-1 低雜訊放大器 (Low Noise Amplifier) 簡介

在日益蓬勃發展的無線通訊應用上，低雜訊放大器 (Low Noise Amplifier) 是接收端中不可或缺的一環節，因為低雜訊放大器為射頻收發器電路的最前端，其主要的目的是提供接收來自天線之微弱射頻訊號所需的增益。在一個由數個放大器串接的系統中，其雜訊指數 (Noise Figure) 幾乎由第一級的放大器所決定，由於低雜訊放大器 (LNA) 為接收端的前端部分，因此雜訊指數 (Noise Figure) 的好壞將決定於低雜訊放大器的雜訊指數。對於低雜訊放大器的設計，雖需要有足夠的增益使串接的雜訊指數可盡量地減小，但增益也不可太高，避免讓訊號過度放大，超過下一級的混頻器 (mixer) 所能操作的線性區域，一般而言，低雜訊放大器增益大約 10dB~20dB 左右，前節已經介紹過幾個接收機的架構，而圖 3.1 為基本接收機必要的元件，一般濾波器皆會以 50Ω 當設計匹配，旨在使訊號通過，干擾減少，為了達到良好功率傳輸，低雜訊放大器也需達到良好的輸入匹配 (相對於 50Ω)，而往往第一級電晶體尺寸的選擇影響匹配的好壞以及雜訊指數的大小，尺寸的決定也同時決定功率消耗和增益，所以不大可能既會有極小的雜訊又同時有極高的增益，必須在每個特性之間做程度上的折衷與取捨。因此如何有效降低雜訊與放大器之雜訊指數以提升電路之效能並且又有符合系統規格要求，亦是整體收發器設計的重要課題。

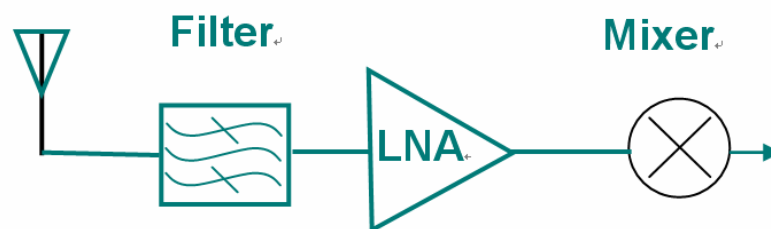


圖 3.1 基本接收機架構

§3-2 電晶體雜訊模型推導[16]

關於CMOS電晶體雜訊模型尚未有完整描述，雖然如此，我們仍可列出以下四種MOS電晶體雜訊產生機制：

(1) 通道熱雜訊(channel thermal noise)

此雜訊來源是由電子的熱運動所產生，所以可知其值與絕對溫度T有關。實際上，熱雜訊是直接比例於T，一般等效成輸出並聯雜訊電流源，其功率頻譜密度為：

$$\overline{(i_d^2 / \Delta f)} = 4kT \gamma g_{d0} \text{，其中 } g_{d0} \text{ 為零偏壓時汲極電導值。}$$

(2) 分佈閘極電阻雜訊(distributed gate resistance noise)

在電晶體的閘極佈局時，必須使用多晶矽層(poly)，故存在有閘極多晶矽電阻，其所產生之雜訊可視為一般的電阻性熱雜訊，電阻值為： $R_g = R_H W / 3n^2 L$ ，

其中 R_H 為多晶矽片電阻， n 為多指叉(multi-finger)式佈局之指叉數目，故在設計電路時可用佈局技巧降低 R_g ，即可降低其雜訊貢獻。

(3) 感應閘極電流雜訊(induced gate current noise)

當電晶體受到偏壓而使通道反轉時，通道內部擾動的電荷會經由電容耦至閘極而產生感應雜訊電流，其雜訊功率頻譜密度為： $\overline{(i_g^2 / \Delta f)} = 4kT \delta g_g$ 。在短通道效應下 $\delta = 2\gamma$ ，

$g_g = (w^2 C_{gs}^2) / 5g_{d0}$ 且因 g_g 正比於 w^2 ，故此感應電流雜訊並非白色雜訊源，其稱為藍色雜訊源。經研究發現 i_g 與 i_d 有關，因此可把 i_g 分成與 i_d 相關部份 i_{gc} 及與 i_d 不相關部份

i_{gu} ，且 i_g 與 i_d 相關係數 $c \approx 0.395j$ ，因此閘極感應雜訊電流可表示為：

$$\overline{(i_g^2 / \Delta f)} = \underbrace{4kT \delta g_g (1 - |c|^2)}_{\text{Uncorrelated}} + \underbrace{4kT \delta g_g |c|^2}_{\text{Correlated}} \quad (\text{式3-1})$$

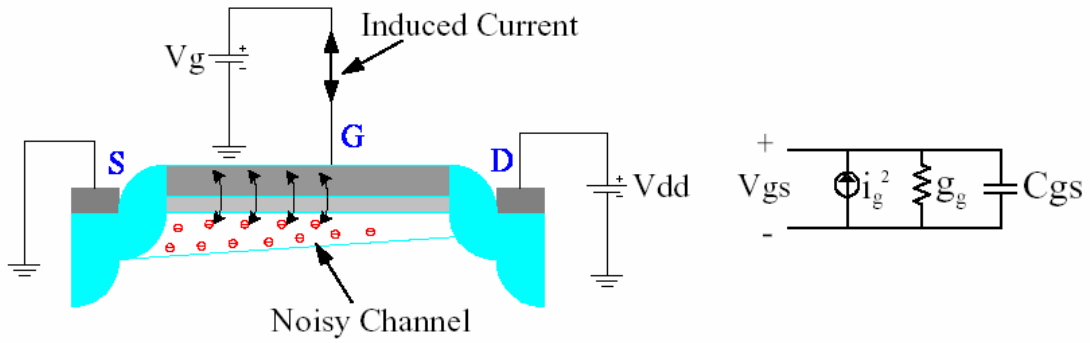


圖3.2 感應閘極雜訊電流示意圖與等效雜訊電流源

(4) 顫抖雜訊(flicker noise)

當電晶體在低頻時，主要呈現的雜訊為顫抖雜訊，由於其雜訊頻譜密度與 $1/f$ 成正比，故又有 $1/f$ noise之稱。其發生原因在於電晶體閘極氧化層與矽基板界面存在一個現象，就是在接面的地方，有許多不連續懸吊的鍵結(dangling bonds)，如圖3.13所示，當電荷載子於介面移動時，某些載子將被隨機捕捉，然後以此能階釋放，使得汲極電流產生閃爍雜訊。但這並無法像熱雜訊一樣輕易地預測出來，這與氧化層與矽介面之清潔度有關，也隨著不同的CMOS製程技術而變化。一般而言，顫抖雜訊在頻率大於1MHZ以上，其影響將遠小於通道熱雜訊，因此在射頻電路的製作上往往忽略其對整體雜訊的影響。

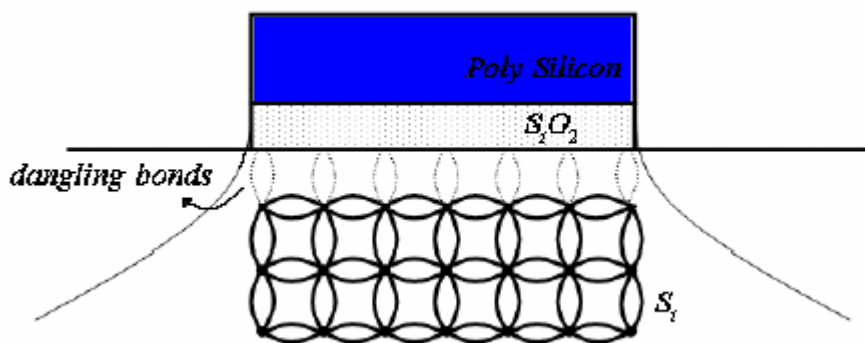


圖3.3 氧化層與矽基板的不連續鍵結

§3-3 常用放大器架構簡介[4]

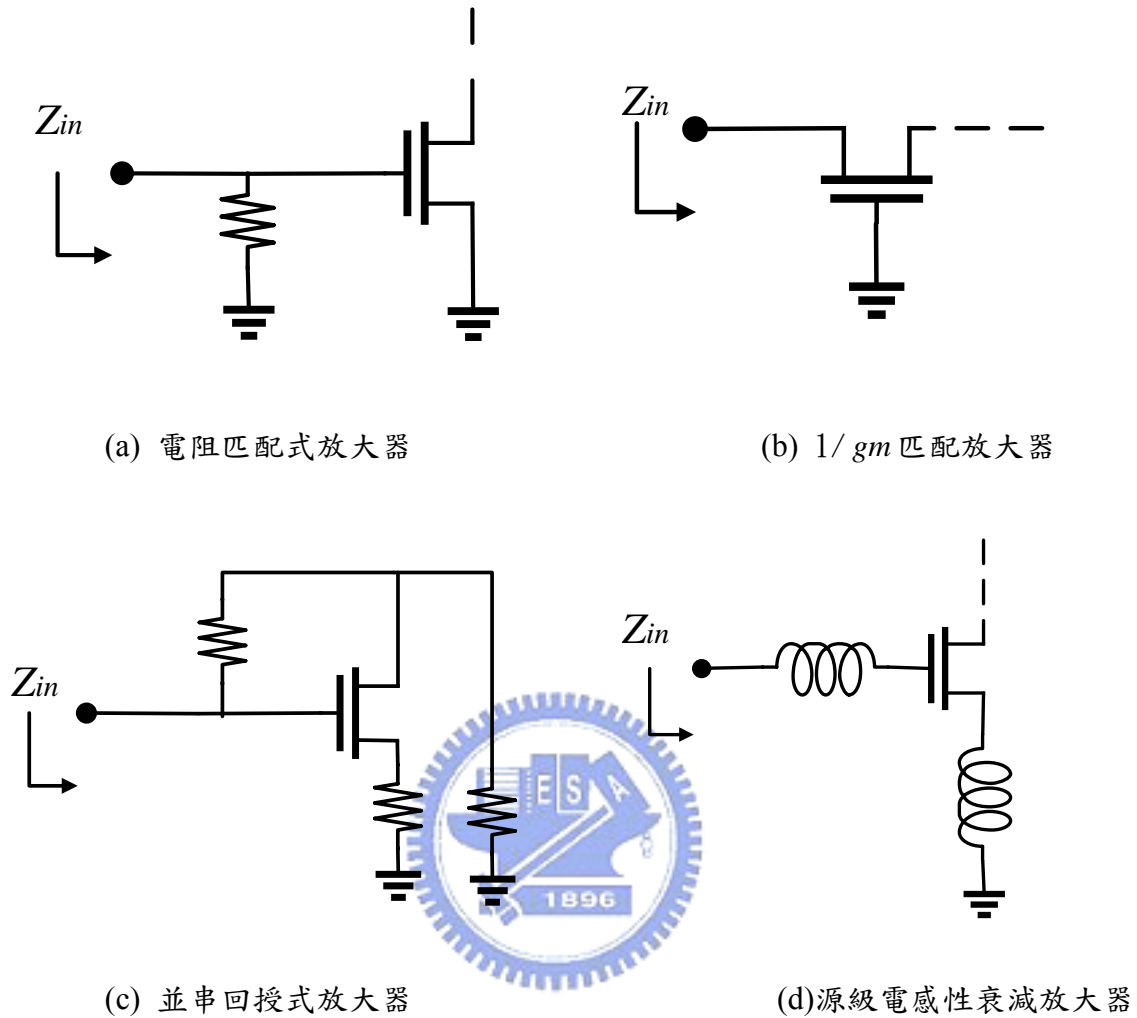


圖3-4 常用放大器架構

一般而言，放大器有四種常用架構，分別為電阻匹配式放大器(Resistive Termination)Resistive Termination； $1/g_m$ 匹配式放大器($1/g_m$ Termination)；並串回授式放大器(Shunt-series feedback)；源級衰減式放大器(Source inductive degeneration)。以下將針對這四種架構分析。

3-3-1 電阻匹配式放大器

如圖 3-4(a)，由於開級端看進去是高阻抗，因此在前面並聯一個電阻就可以輕鬆達到輸入端的匹配。一般而言輸入匹配情況越好，LNA 可以吸收到的功率就越好，但是

使用這種匹配電阻會消耗大量的功率，所以即使輸入匹配狀況很好，LNA 吸收到的功率卻只有一點點。除此之外，電阻也會產生大量的通道熱雜訊(thermal noise)，這種架構會使整個 LNA 的雜訊指數過高。

此架構有以下特性：

- (i) 適合寬頻匹配
- (ii) 高的雜訊指數值(Noise Figure)
- (iii) 連接的匹配電阻衰減訊號

3-3-2 $1/gm$ 匹配式放大器

圖 3-4(b)將閘級端接地，從源級端看進去的阻抗等於 $1/gm$ 並聯 $1/j\omega C_{gs}$ ，若電晶體操作頻率遠遠小於截止頻率($\omega_T \gg \omega$)， gm 的值遠大於 ωC_{gs} ，故電晶體的 gm 值在某個範圍裡不太受頻率影響，而且此結構沒有米勒效應，所以讓本身的阻抗和增益有寬頻的表現。讓 $1/gm=50\Omega$ ，即可完成輸入端的匹配。

以直觀來看，此架構訊號將會從源級走到汲級，所以一般來說，使用 $1/gm$ 匹配式放大器架構雜訊通常會比較高一點，但是目前使用到共源級疊接的架構大部分都比較適用於窄頻的應用，若要達到寬頻，往往需要加上電感和電容的匹配電路，必需多佔一些佈局(layout)面積，因此 $1/gm$ 匹配式放大器這種架構雜訊指數會稍高一點，但方便用於寬頻的匹配，不過對於某些通訊系統來說，不利於使用。使用 $1/gm$ 匹配放大器架構當第一級，通常其增益很不高，所以還必須串接放大器來提高整體增益，因此使用 $1/gm$ Termination 架構，通常會串接 2 級以上的放大器。

此架構有以下特性：

- (i) 電晶體的 gm 值在某個範圍裡不太受頻率影響
- (ii) 在寬頻阻抗匹配上有好的特性
- (iii) 因為此結構沒有米勒效應，所以讓本身的阻抗和增益有寬頻的表現。

3-3-3 並串回授式放大器

此種架構有涉及一顆電阻迴授電路，因此在設計的時候要特別小心，否則很容易產生振盪。推導過程如下：

(1) 此架構小訊號模型圖

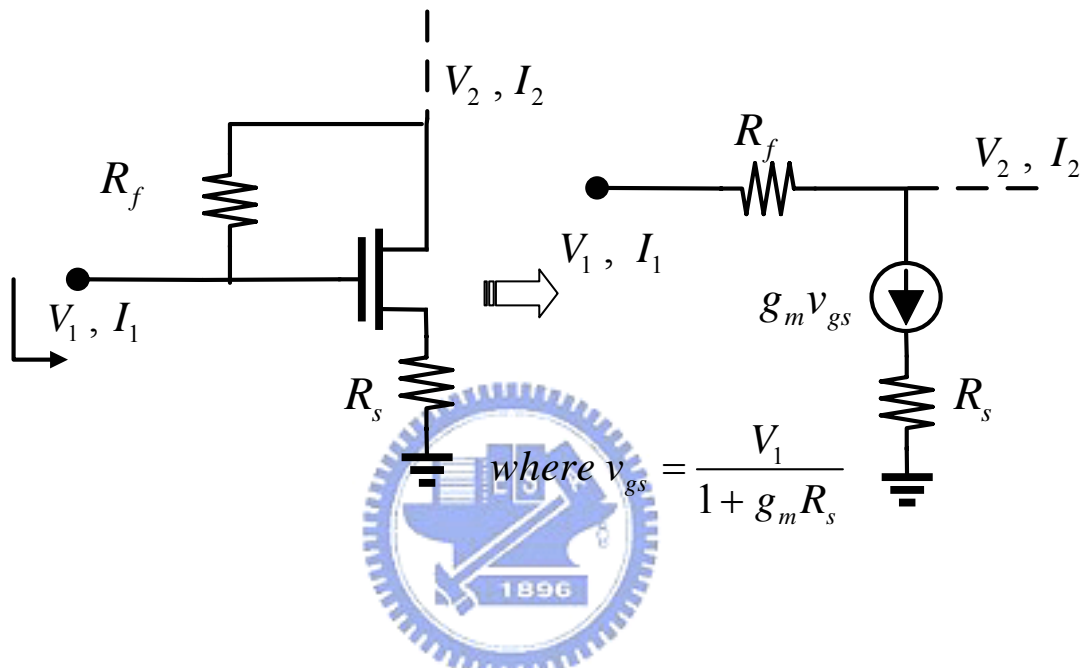


圖 3-5 Shunt-series feedback 小訊號模型

(2) 找出 H 參數

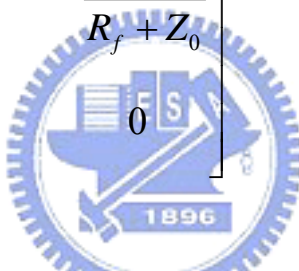
$$\begin{bmatrix} V_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} h_{11} & h_{12} \\ h_{21} & h_{22} \end{bmatrix} * \begin{bmatrix} I_1 \\ V_2 \end{bmatrix}$$

$$[H] = \begin{bmatrix} R_f & 1 \\ \frac{g_m R_f}{1 + g_m R_s} - 1 & \frac{g_m}{1 + g_m R_s} \end{bmatrix}$$

(3) 利用 H->S 轉換方程式，找出 S 參數

$$[S] = \frac{1}{\Delta} \begin{bmatrix} \frac{R_f}{Z_0} - \frac{g_m Z_0}{1 + g_m R_s} & 2 \\ 2(1 - \frac{g_m R_f}{1 + g_m R_s}) & \frac{R_f}{Z_0} - \frac{g_m Z_0}{1 + g_m R_s} \end{bmatrix}, \Delta = 2 + \frac{R_f}{Z_0} + \frac{g_m Z_0}{1 + g_m R_s}$$

$$\text{for } S_{11} = S_{22} = 0 \quad \Rightarrow \quad R_s = \frac{Z_0^2}{R_f} - \frac{1}{g_m}$$

$$[S] = \begin{bmatrix} 0 & \frac{Z_0}{R_f + Z_0} \\ 1 - \frac{R_f}{Z_0} & 0 \end{bmatrix}$$


若達到理想輸入輸出匹配，則可以找出對應的電阻 R_f 值。由 [S] 矩陣可知當適當的給定 R_s 或 R_f ，即達到寬頻和平坦的增益，而此種架構的唯一的限制是 R_s 必須是非零正數，如果 R_s 是負值，系統將會發生振盪，因為這個限制，使得 g_m 有一個最低值的限制：

$$g_m \geq g_{m_{\min}} = \frac{R_f}{Z_0^2} = \frac{1 - S_{21}}{Z_0}$$

依照操作低頻時的設計概念，在高頻的時候，需把寄生效應考量進去，如開路會有寄生電容效應，短路時會有電感效應。

此架構有以下特性：

- (i) 設計上要考慮穩定性問題
- (ii) 雜訊指數 (Noise Figure) 不是最小的
- (iii) 有好的寬頻表現

3-3-3 源級電感性衰減放大器

源級電感性衰減放大器(Source inductive degeneration)這個名稱的緣由是在源級端

接上一個電感，電感本身的阻值會使電晶體的 g_m 降低， $G_m = \frac{g_m}{1 + g_m R_{L_s}}$ 。

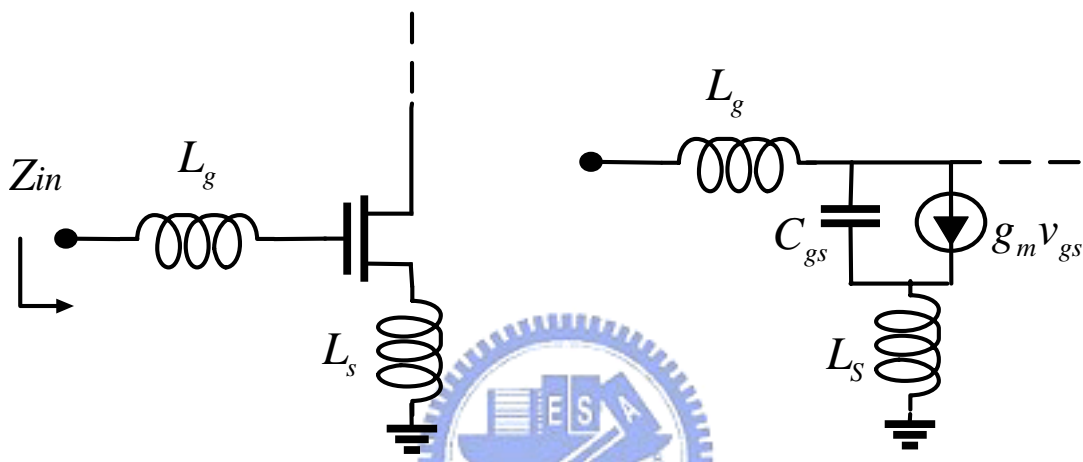


圖3.6 Inductive Degeneration型LNA之小訊號等效電路圖

如上圖所推導可知 $Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + g_m \frac{L_s}{C_{gs}}$ ，為了達到輸入匹配， $Z_{in} = 50\Omega$ ，因此 $g_m \frac{L_s}{C_{gs}} = 50\Omega$ ， $j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} = 0$ 。 C_{gs} 是寄生電容值，可以從 foundry 廠所提供的單位面積電容值可知，所以從上二式可以算出 L_s, L_g ，這裡有一點要特別注意，由於 LNA 是匹配在高頻段區域， L_g 算出來很大，非常的佔晶片面積，所以這個電感通常是 Off-chip，但如果加上一個 C_d ， $Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_T} + g_m \frac{L_s}{C_T}$ ，其中 $C_T = C_{gs} + C_d$ ，讓 $C_{gs} > C_d$ ，可以使 L_g 降低非常多。

由於採用疊接電路設計低雜訊放大器(如圖3.6 所示)時，雜訊主要由輸入級電晶體所決定，因此探討電晶體所產生之雜訊即可約略推知低雜訊放大器的雜訊指數，但在模擬時應加入 M_3 電晶體的雜訊貢獻。由上述之雜訊來源可得 M_2 電晶體雜訊模型(在此忽略顫抖雜訊的影響)如圖3.7所示。

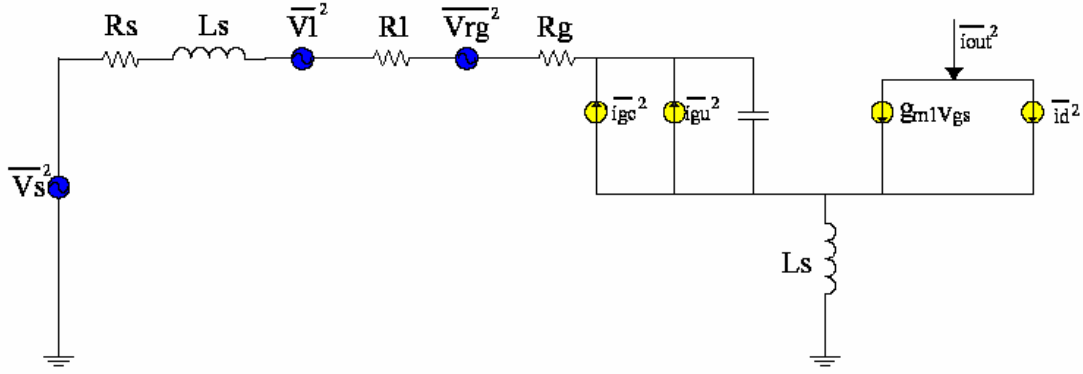


圖3.7 輸入端電晶體M2的雜訊模型

經過計算所列雜訊源之貢獻後，可得

$$NF = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{x}{Q_L} \left(\frac{w_0}{w_T} \right) \quad (式3-2)$$

其中

$$\alpha = \frac{g_{m1}}{g_{d0}} ; x = 1 + 2|c|Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma} (1 + Q_L^2) \quad (式3-3)$$

$$Q_L = \frac{w_0(L_s + L_g)}{R_s} = \frac{1}{w_0 R_s C_{gs}} \quad (式3-4)$$

由式3-3可知 NF 與 $(1/Q_L)$ 及 Q_L 均有關係，故必存在一 $Q_{L,opt}$ 可使 $NF = NF_{opt}$ 。另外，由於在行動通訊中功率消耗為重要課題，因此以下是假設已決定功率消耗為 P_D 去求得 $Q_{L,opt}$ 及其所對應之 NF_{opt} ，將3-3式之 NF 導至 $NF(\rho, P_D)$ 為：

$$NF(\rho, P_D) = 1 + \frac{\gamma w_0 L}{3v_{sat}} P(\rho, P_D) \quad (式3-5)$$

其中忽略了分佈閘極電阻(R_g)及閘極電感耦合電阻(R_l)所造成的雜訊。假定 $\rho \ll 1$ ，

$P(\rho, P_D)$ 表示如下：

$$P(\rho, P_D) \approx \frac{\frac{P_D}{P_0} \left(1 + \frac{\delta}{5\gamma}\right) + 2|c| \sqrt{\frac{\delta}{5\gamma}} \rho^2 + \frac{P_D}{P_0} \frac{\delta}{5\gamma} \rho^4}{\rho^3}, \text{ 其中 } P_0 = \frac{3}{2} \frac{V_{dd} v_{sat} \epsilon_{sat}}{w_0 R_s} \quad (式3-6)$$

因為 P_D 為一個已決定之常數，故變數是 ρ ，因此欲求 NF_{opt} 即是求 NF_{min} ，故可藉由

$NF(\rho, P_D)$ 之微分求取 NF_{opt} ，即 $\frac{\partial NF(\rho, P_D)}{\partial \rho} = 0$ ，如此即可獲得 ρ_{opt} 之值，再推知 $Q_{L,opt}$ 及

NF_{opt} ，最後代入3-4式可得 W_{opt} 如下：

$$W_{opt} = \left(\frac{2}{3} LC_{ox} w_0 R_s Q_{L,opt}\right)^{-1} \quad (\text{式3-7})$$

故由3-7式可知，電晶體尺寸的選擇將是設計低雜訊放大器最重要的課程。

此架構有以下特性：

- (i) 雜訊指數(Noise Figure)可達到很好的理想值
- (ii) 窄頻應用系統上可做到極佳的阻抗匹配
- (iii) 設計 L_g 來達到欲共振的頻率
- (iv) 可選擇 L_s 達到阻抗匹配目的

由於整個架構都沒有使用到電阻，就可以達到 50Ω 匹配，所以雜訊指數是這四個架構中最低的，但是它只適合應用於窄頻系統，不適合拿來應用在 UWB 系統。

§3-4 1dB 壓縮點(1dB Compression Point)

增益的壓縮與輸入的功率準位有關，當射頻信號輸入功率增加到某一程度時，會使得輸出功率偏離此線性關係，而會進入飽和，如圖3.8 所示。我們定義當小訊號增益下降 1dB 時，稱之為“ 1-dB 增益壓縮點(1-dB compression point) ”。

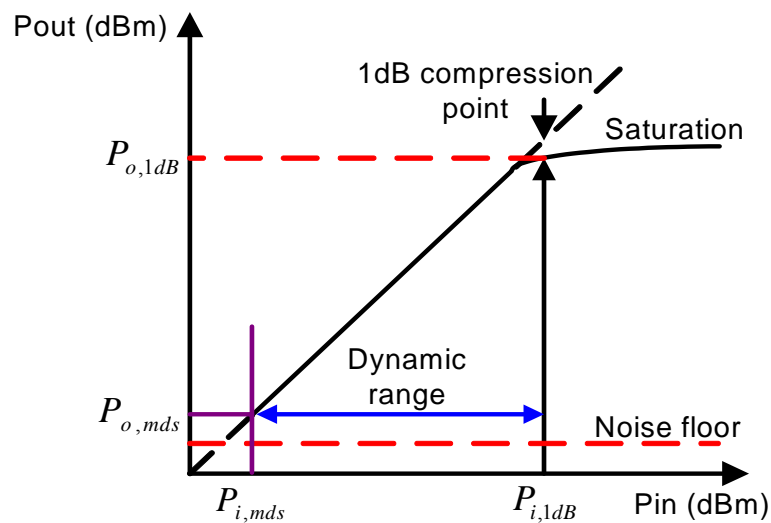


圖3.8 1dB 增益壓縮點

§3-5 交互調變失真(Intermodulation Distortion)

當輸入端有兩個或兩個以上的信號，同時加入非線性的放大電路時，則在輸出信號中，將會包含許多附加頻率的信號，是為互調衍生信號，如圖3.9 所示。

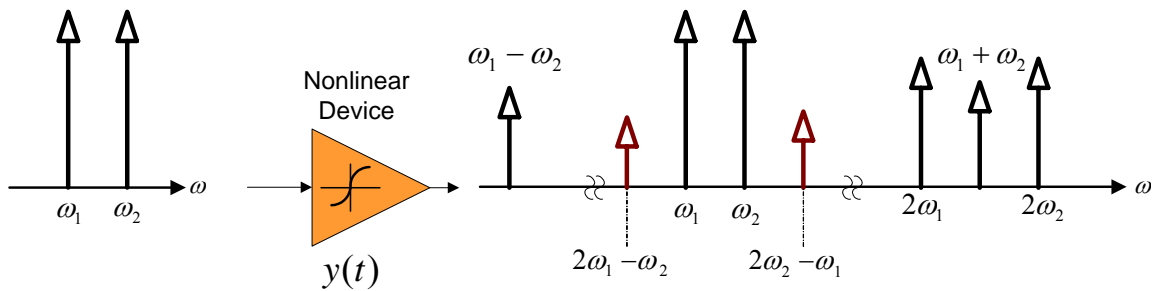


圖 3.9 非線性系統中的交互調變示意圖

因此，當輸入信號功率大到使輸出功率和第三階互調衍生信號輸出功率相同時，則三階互調衍生信號將嚴重干擾基頻之輸出信號，此時輸入信號功率的大小稱為輸入三階截止點(Input Third-order Intercept Point (IIP3))，輸出功率的大小稱為輸出三階截止點(Output Third-order Intercept Point (OIP3))。IIP3的計算方式可參考3-8式。一般而言， IP_{1dB} 與 IIP3 的關係大約會相差10dB左右。

$$IIP3|_{dBm} = \frac{\Delta P|_{dB}}{2} + P_{in}|_{dBm} \quad (式3-8)$$

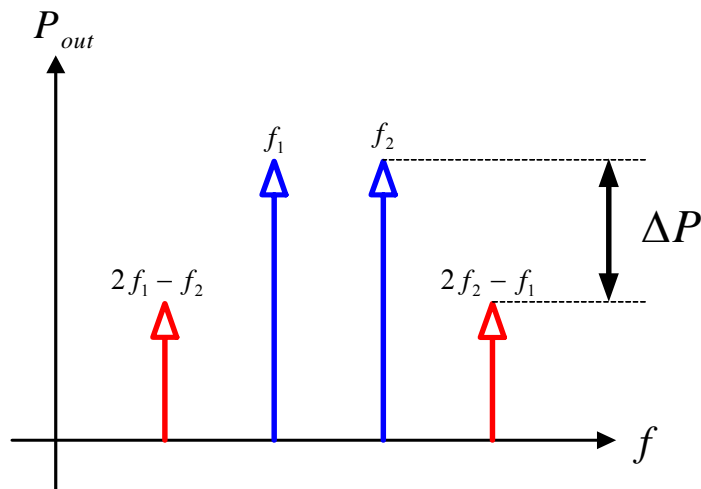


圖 3.10 Two tone 測試交互調變失真

第四章

超寬頻低雜訊放大器架構介紹

§4-1 TSMC 0.18um 1P6M CMOS 製程元件簡介

對於一個電路設計者,首先必須要瞭解到每個元件的特性與模型,方可從這些有限的元件中設計符合規格的電路。本論文電路設計採用的是國家晶片中心(CIC)所提供的台積電 0.18um 1P6M CMOS 製程,因此在介紹電路設計前,首先介紹 0.18um 1P6M CMOS 製程常使用到之應用於射頻電路相關元件模型的建立。本節內容均參考自 TSMC 0.18UM MIXED SIGNAL IP6M SALICIDE 1.8V/3.3V RF SPICE MODEL。

4-1-1 NMOS 電晶體

電晶體在元件佈局上採用多指叉(multi-finger)閘極架構,如圖 4.1 所示,目的在於降低閘極電阻,以提升元件高頻特性。MOSFET 每一根指叉寬度為可選擇為 1.5~8um,電晶體通道長度(channel length)為可選擇 0.18~0.5um,而總閘極指叉數目可選擇整數範圍為 1~64,並有電晶體模型相對應。高頻大訊號模型主要是利用 BSIM3v3 模型來模擬電晶體的直流特性,並加上外接的被動元件以模擬電晶體在高頻時所產生的寄生效應,整個高頻大訊號模型在模擬的應用中可以視為一個子電路(sub-circuit)的架構。即整個電晶體可以看成一個子電路,包括了一個 BSIM3v3 模型與其他被動的寄生元件。

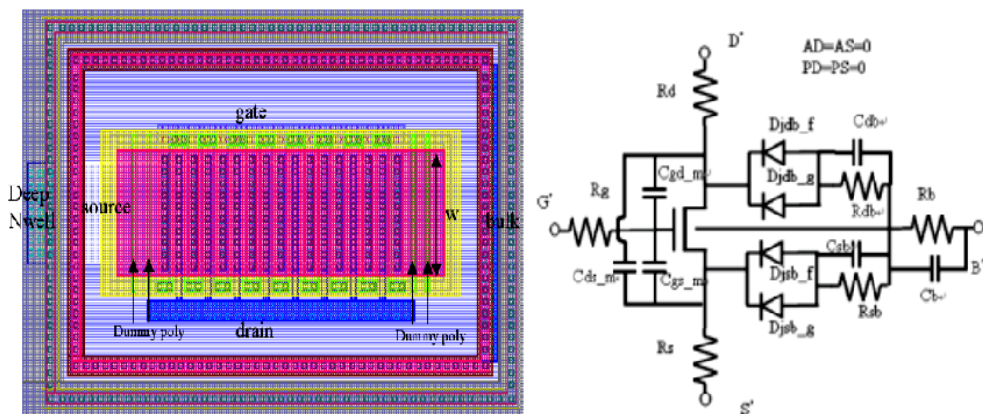


圖 4.1 NMOS 佈局圖及等效電路模型

4-1-2 MIM 電容

TSMC 1P6M 0.18um 製程提供 MIM(metal-insulator-metal)電容，係由絕緣層夾在二層金屬中間形成電容。而如今製程都可做出 Q 值相當不錯的值，至少都大於 100 以上，電容尺寸上選擇範圍的長和寬為 4~30um，長度的大小必大於或等於寬度大小，以 30um×30um 為例其容值 0.951pF。製程提供的電容有分無金屬遮蔽以及有金屬遮蔽二種電容，有金屬遮蔽的電容其寄生效應較少。其等效電路模型如圖 4.2 所示。

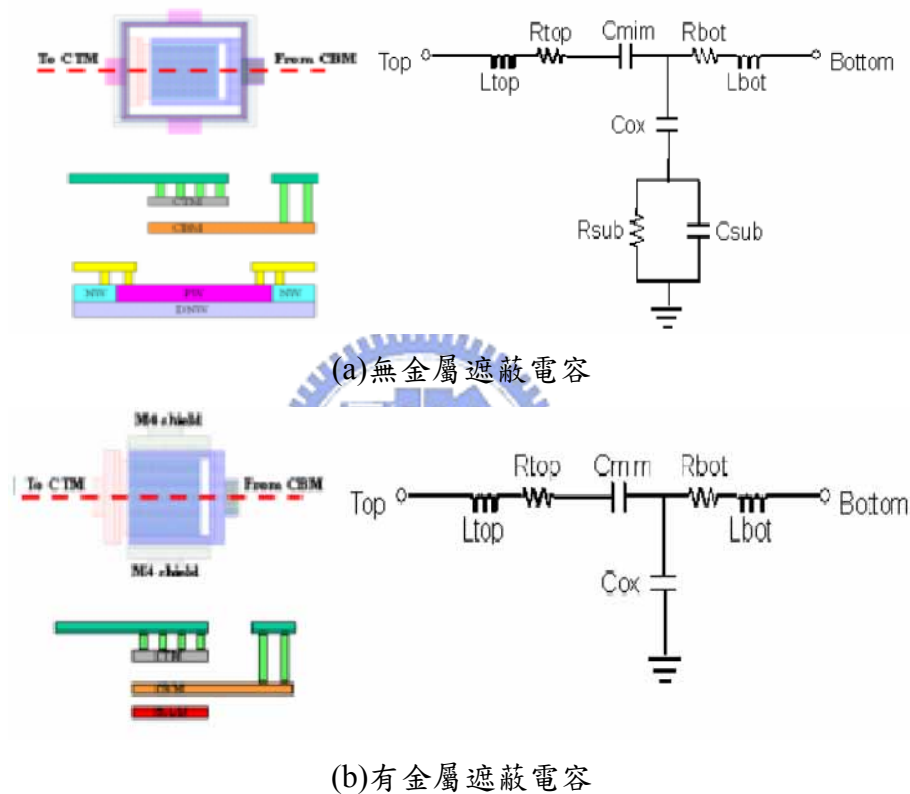


圖 4.2 MIM 電容佈局示意圖及等效電路模型

4-1-3 螺旋式電感

0.18um 製程提供三種螺旋式電感，分別為標準型、對稱型以及有 center-tap 對稱型三種。本論文僅使用到標準式電感，因為其對稱型多半用於壓控震盪器。以下只就標準式電感做介紹，標準型電感其感值最小值為 0.21nH、最大值為 15.75nH，參數可選擇半徑範圍 30~125um，圈數範圍 0.5~5.5 圈，間隔為 1/4 圈，以及金屬寬度分 6um、9um、15um、30um 四種，佈局圖及等效電路模型如圖 4.3。

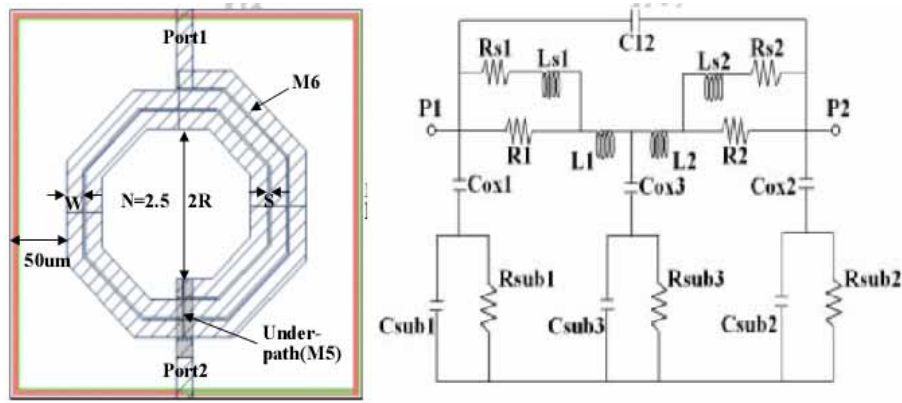


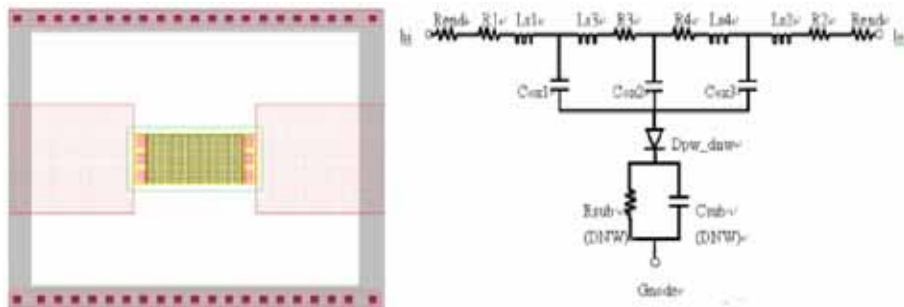
圖 4.3 螺旋式電感佈局圖及等效電路模型

4-1-4 電阻

在CMOS製程中，電阻有幾種做法：用SA電阻、PRO電阻、HRI電阻。這三種電阻可使用的尺寸範圍如圖4.4(a)，本論文常使用的電阻為PRO電阻，其佈局圖及等效電路模型如圖4.4(b)，依TSMC 1P6M 0.18um之製程資料，在等效電路的參數，將隨著不同的材質而變化。

	W	L	SQ
SA	$0.18\mu\text{m} \leq W \leq 5\mu\text{m}$	$0.25\mu\text{m} \leq L \leq 100\mu\text{m}$	$1 \leq \text{sqr} \leq 20$
RPO	$1\mu\text{m} \leq W \leq 5\mu\text{m}$	$2\mu\text{m} \leq L \leq 15\mu\text{m}$	$2 \leq \text{sqr} \leq 5$
HRI	$1\mu\text{m} \leq W \leq 5\mu\text{m}$	$2\mu\text{m} \leq L \leq 6.8\mu\text{m}$	$2 \leq \text{sqr} \leq 5$

(a) 電阻



(b) 電阻佈局及等效電路模型

圖 4.4 TSMC 電阻

4-1-5 模擬電路所加入實際量測的考量因素

RF Pad 效應之考量

RF Pad 的等效模型如圖 4.5 所示，設計電路時已把 RF Pad 的效應加入。

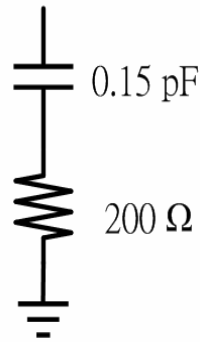


圖 4.5 RF Pad 的等效模型

bondwire 效應考量

鎊線出來到外面金屬，此處可能對電路量測結果有所影響。因鎊線會有電感和電阻的效應，圖 4.6 為鎊線等效參數。

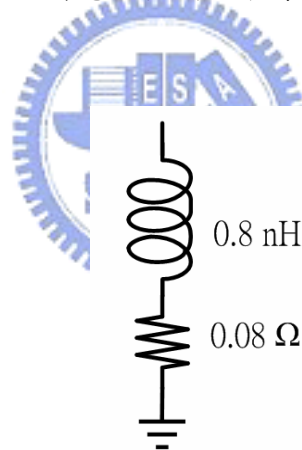


圖 4.6 鎊線等效參數

傳輸線考量

因鎊線到外面的金屬與外接的偏壓之間，仍會有一段金屬線，這段金屬線會有傳輸線效應。所以我也把傳輸線效應加入電路內模擬。

量測使用板材：FR4

傳輸線效應參數： W 線寬： 50mil

L 長度： 150 mil

板材厚度： 20mil

§4-2 單頻帶共源疊接(Cascode)低雜訊放大器

在接收機架構中，於帶通濾波器後的第一級通常為低雜訊放大器，使得低雜訊放大器的雜訊指數主宰了整體接收機鏈路中的雜訊指數，故低雜訊放大器的設計首重於雜訊指數。另外，射頻收發機前端的外接元件如濾波器(filter)、收發切換開關(T/R switch)、雙工器(duplexer)一般均以 50Ω 為標準，為了不影響濾波器的頻率響應，因此CMOS RFIC中LNA均以 50Ω 的輸入阻抗為基準。低雜訊放大器設計上常利用電晶體雜訊模型並考量功率消耗、輸入匹配、雜訊指數、增益等重要參數來設計製作。

如圖 4.7 所示，為傳統之共源疊接低雜訊放大器的架構，其中由電晶體 M1 與電阻 R_1 提供偏壓；電阻 R_2 一般為大電阻，主要是避免 RF 訊號洩漏而影響偏壓。疊接架構最大的好處在於減少米勒效應(Miller effect)，將可使得電路的高頻響應因此而提升；疊接的架構亦可以使得輸入與輸出端的隔離度變佳，因此，輸入與輸出阻抗可較容易與訊號和負載阻抗達到阻抗匹配。至於此電路的操作原理及電路的重要規格參數將繼續進一步的探討。

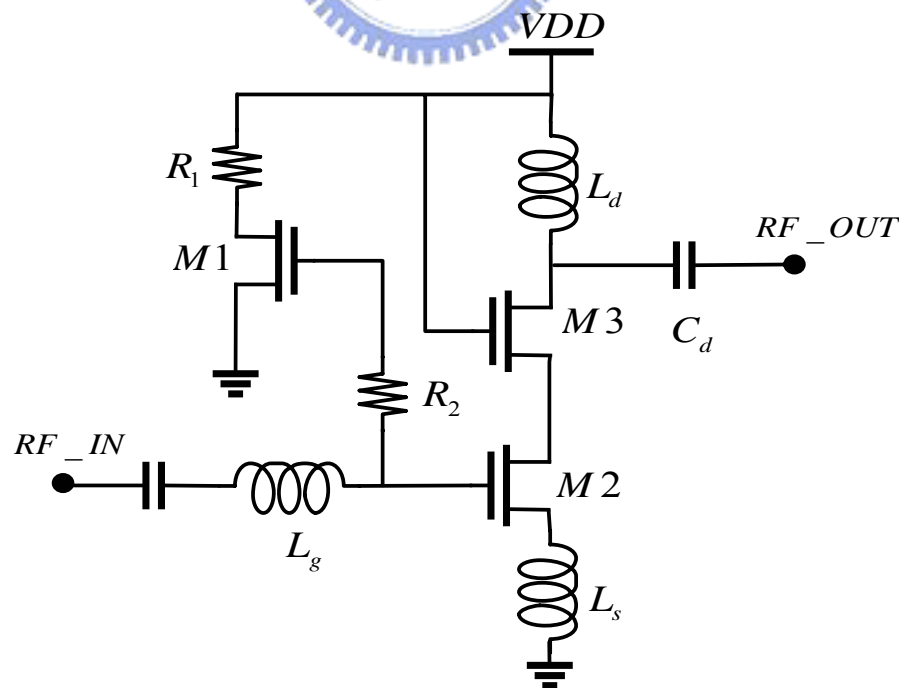


圖 4.7 傳統之共源疊接低雜訊放大器

4-2-1 輸入匹配級：

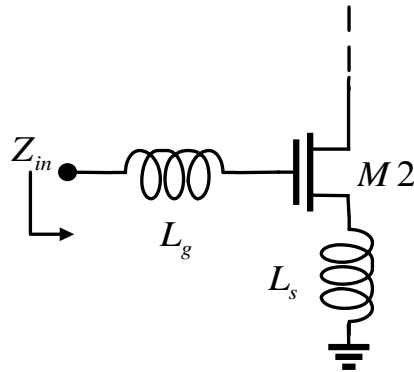


圖 4.8 共源疊接低雜訊放大器輸入阻抗的探討

利用電晶體小訊號模型並配合 KVL 運算可得輸入阻抗為

$$Z_{in} = \frac{V_{in}}{I_{in}} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (\text{式 4-1})$$

一般通常將輸入阻抗匹配至 50Ω ，即 $Z_{in} = 50\Omega$ ，因此可知 $\omega = \sqrt{\frac{1}{(L_s + L_g)C_{gs}}}$ 且

$L_s = \frac{50C_{gs}}{g_m}$ 。亦即利用電感 L_s 將輸入阻抗的實部項匹配至 50Ω ，輸入阻抗的虛部項則

由適當給電感值 L_g 來消除。若由 Smith 圖亦可加以分析並了解其中的物理意義，如圖 4.9 所示。

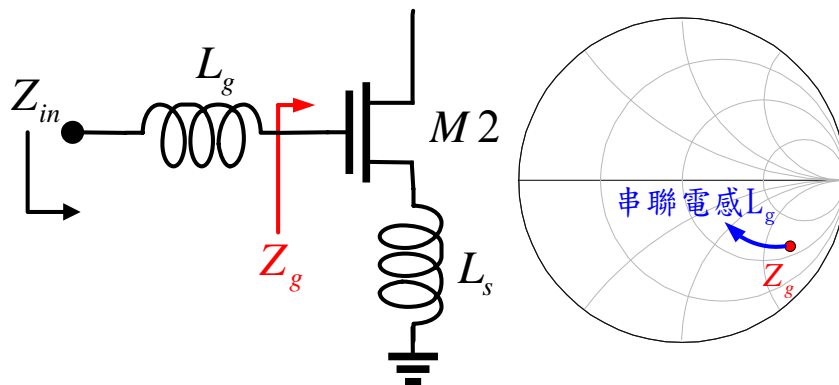


圖 4.9 由 Smith 圖觀點探討源疊接低雜訊放大器輸入阻抗

§4-2-2 輸出匹配級：

由 Smith 圖分析，如圖 4.10 所示，只要選擇適當的電感 L_d 與電容 C_d 即可將輸出匹配至 50Ω 。

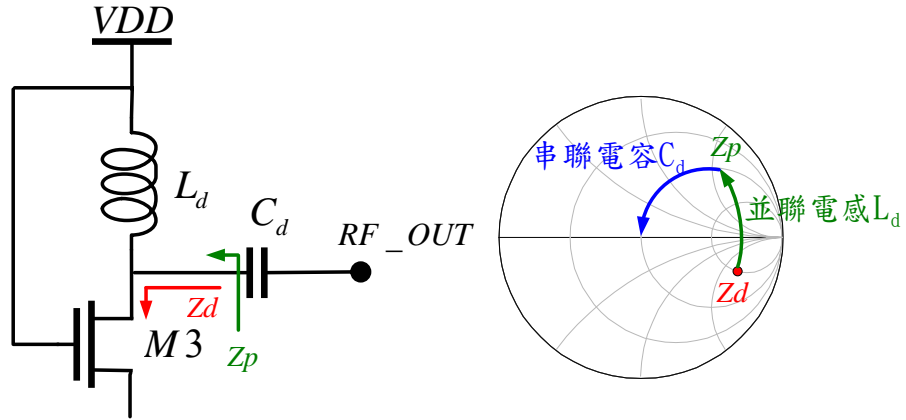


圖 4.10 由 Smith 圖觀點探討源疊接低雜訊放大器輸出阻抗

§4-2-3 增益

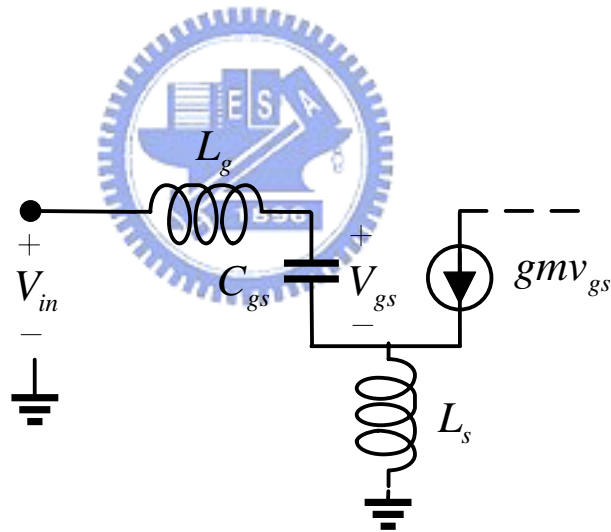


圖 4.11 等效小訊號模型

如圖 4.11 所示，可得轉導為： $G_m = \frac{g_m v_{gs}}{v_{in}} = \frac{g_m}{Z_{in} j\omega C_{gs}}$ 。假定已使輸入阻抗匹配至 50Ω (代表 $Z_{in} = 50\Omega$)，並將 3-2-1 節所得的結論 $L_s = \frac{50C_{gs}}{g_m}$ 代入，可將之化簡為：
 $G_m = \frac{1}{j\omega L_s}$ ，因此整體增益 $A_v \approx G_m(j\omega L_d) = \frac{L_d}{L_s}$ 。

§4-3 具抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器設計

在 UWB 的系統規格中，低雜訊放大器最重要的特色就是寬頻。下方列出超寬頻低雜訊放大器幾個重要特性。

- (i) 寬頻的輸入和輸出匹配至 50Ω 阻抗(頻寬範圍以常用-10dB 來定義)
- (ii) 在 UWB 頻寬內要求增益的平坦度(一般在 3dB 內)
- (iii) 盡量低的雜訊指數值
- (iv) 功率消耗小
- (v) 因 UWB 系統所規範發射功率較低，對線性度要求較不高

§4-3-1 LC 諧振匹配超寬頻低雜訊放大器 [5]

超寬頻低雜訊放大器的特色是寬頻，包括了寬頻的增益和寬頻的匹配。在前節已經討論了單頻帶共源疊接(Cascode)低雜訊放大器，但應用在 UWB 系統其重點是寬頻特性，以下小節將討論如何達到寬頻機制。圖 4.12 為 LC 諧振匹配超寬頻低雜訊放大器。

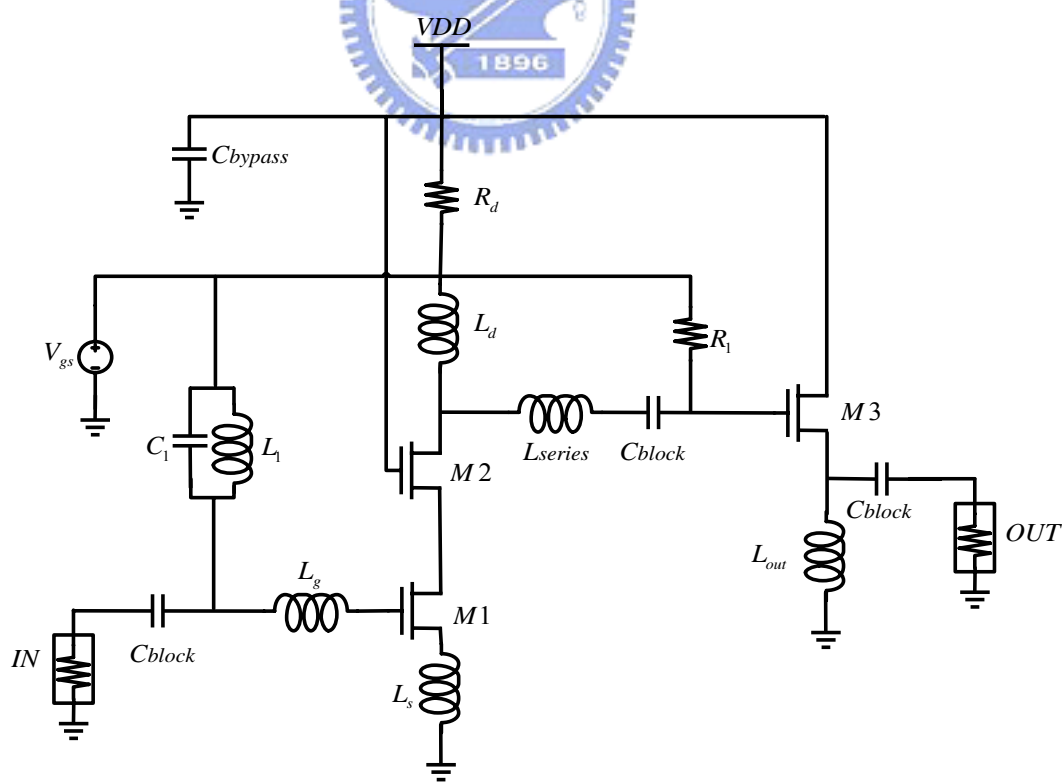


圖 4.12 LC 諧振匹配超寬頻低雜訊放大器

4-3-1-1 LC 諧振輸入匹配的原理

圖 4.13 虛線框起來的部份可視為單頻帶共源疊接(Cascode)低雜訊放大器之分析，可利用電晶體小訊號模型並配合 KVL 運算可得輸入阻抗如(4-2)式。

$$Z_{in} = \frac{V_{in}}{I_{in}} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_s}{C_{gs}} \dots\dots\dots (式 4-2)$$

(4-2)式輸入阻抗可視為一個的 RLC 串聯電路，雖然可利用電感 L_s 將輸入阻抗的實部項匹配至 50Ω ，輸入阻抗的虛部項則由適當給電感值 L_g 來消除。但這是窄頻的設計，圖 4.12 運用到 LC 諧振匹配來達到寬頻的要求，其說明如下。

圖 4.14 為單頻帶共源疊接(Cascode)低雜訊放大器輸入阻抗的等效 RLC 串聯電路，適當設計 R 約 50Ω 附近，而對此負載在 Smith Chart 圖上做一掃頻曲線，箭頭方向代表曲線由低頻往高頻順時針行走的路徑，這個負載在低頻往高頻是以電容性走向電感性，於 Z chart 上走勢如圖 4.15(a)，由對稱的關係可知 Y chart 上走勢如圖 4.15 (b)所示。現在我們加上一個並聯共振腔，其並聯共振腔 Y 參數阻抗如圖 4.16。整體寬頻輸入匹配電路圖如圖 4.17，適當的設計 L_1 、 C_1 的值，可以由共振腔提供 $Y = -jB$ for $\omega < \omega_0$ 和 $Y = jB$ for $\omega > \omega_0$ 來消除圖 4.15(a)負載 Y 參數 $Y = jB$ for $\omega < \omega_0$ 和 $Y = -jB$ for $\omega > \omega_0$ ，使在 Smith Chart 上共振頻率 ω_0 前後多二個共振點，上述情形在 Y chart 上的可能走勢如圖 4.18(a)，設計 S_{11} 繞圈路徑在 UWB 規範頻寬內距 Smith Chart 中心點 < 0.316 ($S_{11} < -10\text{dB}$)，最後電路所得到的 S_{11} 掃頻圖如圖 4.18(b)。

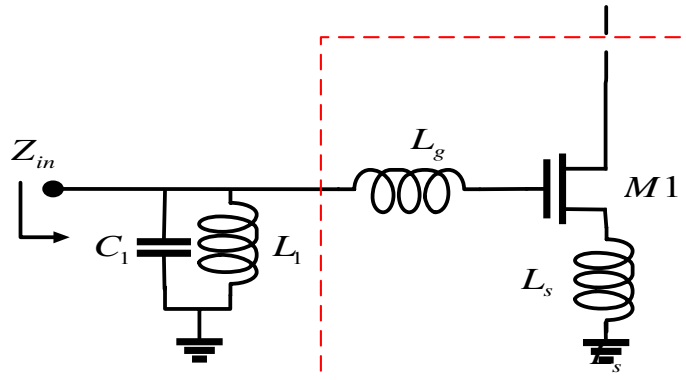


圖 4.13 LC 諧振輸入匹配電路

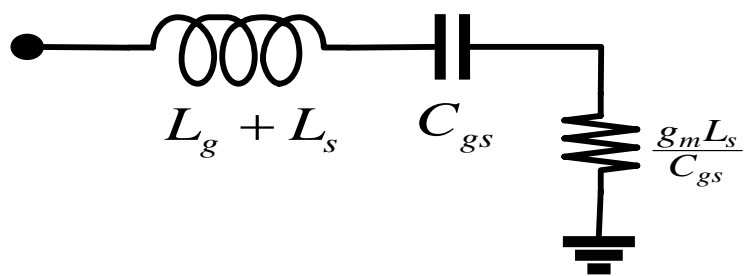
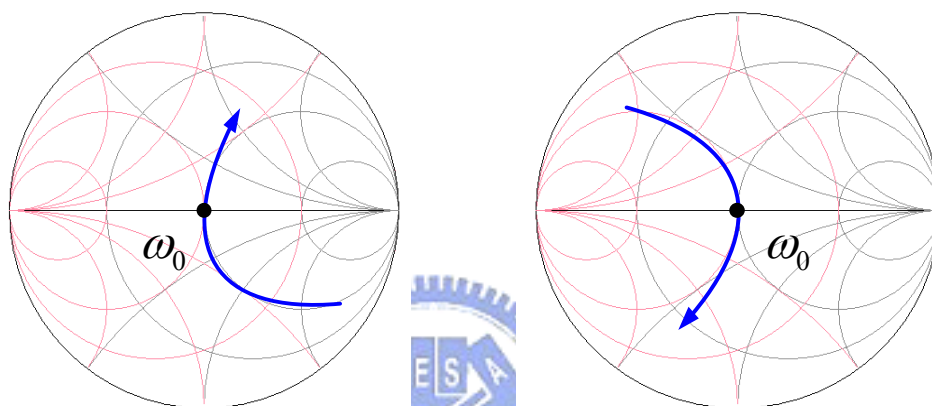


圖4.14 輸入阻抗之等效串聯RLC電路圖

$Z = jX$ for $\omega > \omega_0$ inductive $Y = jB$ for $\omega < \omega_0$ capacitive



$Z = -jX$ for $\omega < \omega_0$ capacitive $Y = -jB$ for $\omega > \omega_0$ inductive

(a) Z chart

(b) Y chart

圖 4.15 輸入負載於 Smith Chart 的掃頻圖

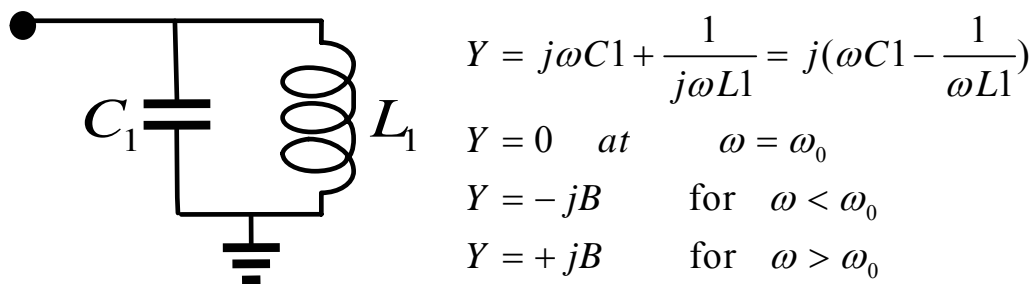


圖 4.16 並聯共振腔 Y 參數負載

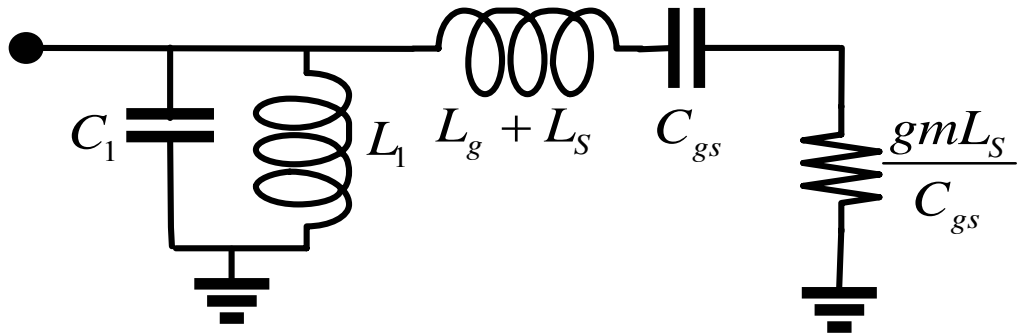


圖 4.17 寬頻輸入匹配電路圖

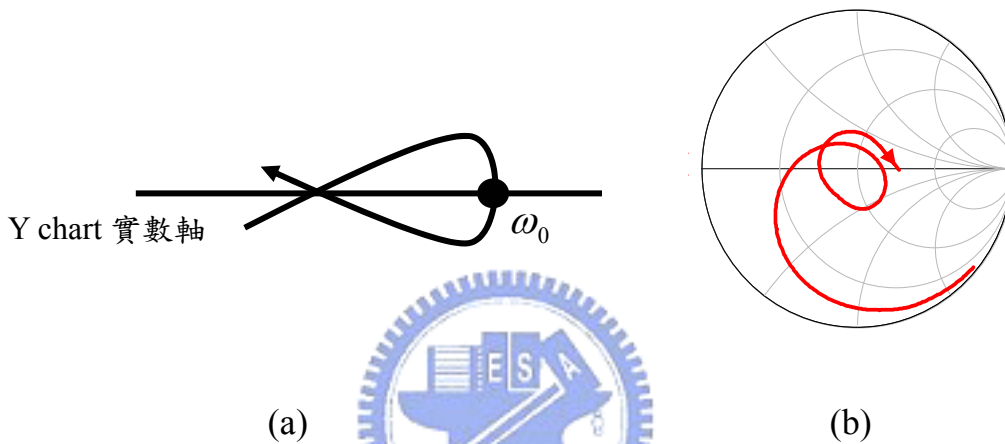


圖 4.18 寬頻匹配於 Y chart 可能走勢以及 Smith Chart 掃頻圖

4-3-1-2 寬頻輸出匹配的原理：

輸出匹配則是用一個電壓隨耦器(voltage buffer)，下方接上一個大感值的電感，從輸出看進去的阻抗為一大阻抗並聯 $1/g_m$ ，設計 $1/g_m$ 值接近 50Ω ，即會有良好的輸出匹配。

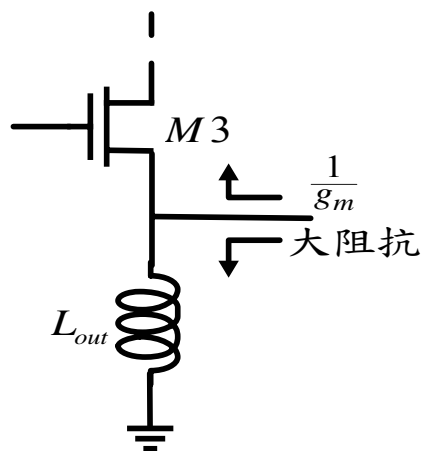


圖 4.19 使用電壓隨耦器寬頻輸出匹配電路

4-3-1-3 寬頻增益之探討：

微波電路中，把功率傳送至負載，往往因匹配問題會造成損耗，而為了達到最大的功率傳輸，則必需設計成共軛匹配(conjugate matching)，如圖 4.20 令 $Z_S = R_S + X_S$ 、 $Z_L = R_L + X_L$ ，功率傳輸到負載可得(4-3)式。

$$P = \frac{1}{2} \operatorname{Re}\{V_{in} I_{in}^*\} = \frac{1}{2} |V_{in}|^2 \operatorname{Re}\left\{\frac{1}{Z_{in}}\right\} = \frac{1}{2} |V_g|^2 \frac{R_L}{(R_L + R_S)^2 + (X_L + X_S)^2} \dots\dots\dots(\text{式 4-3})$$

若 $R_L = R_S$ 和 $X_L = -X_S$ ，可得到最大功率傳輸 $P = \frac{1}{2} |V_g|^2 \frac{1}{4R_L}$

在參考的文獻[17]，圖 4.21(a)使用疊接(Cascode)架構的低雜訊放大器，在中間部份加上一組電感和電容，目的在於達到中間級共軛匹配，由圖 4.21(b)可看出達到中間共軛匹配之後，放大器的增益增加 5dB。以上是用在單頻的中間級匹配，而在 UWB 系統，低雜訊放大器重點在於寬頻，現在若改在高頻時(約 9~10GHz)，在二級之間做中間級匹配，讓高頻增益可往上拉，總體效果亦是增加頻寬，故我在圖 4.22 第一級疊接(Cascode)架構與第二級電壓隨耦器之間，為了有最大功率傳輸，所以加上一個電感 Lseries 來設計中間級成接近共軛匹配。電感 Lseries 加入的與否，使增益頻寬的改變如圖 4.23。其原理為圖 4.22 的 Z1 看輸入阻抗在 Z-chart 上的掃頻圖如圖 4-24(a)所示，Z2 若沒有 Lseries 時，Z-chart 的圖如圖 4-24(b)左圖，若串聯上一個電感 Lseries 可使 Z-chart 如圖 4-24(b)右圖，適當給 Lseries 值，使在高頻達到共軛匹配。

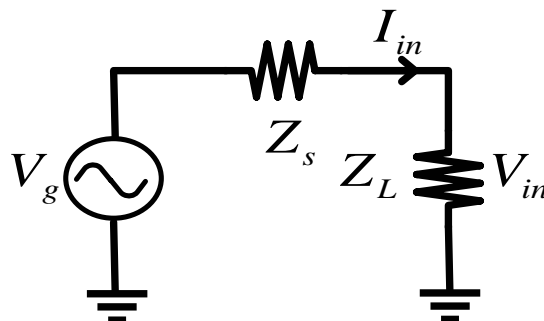
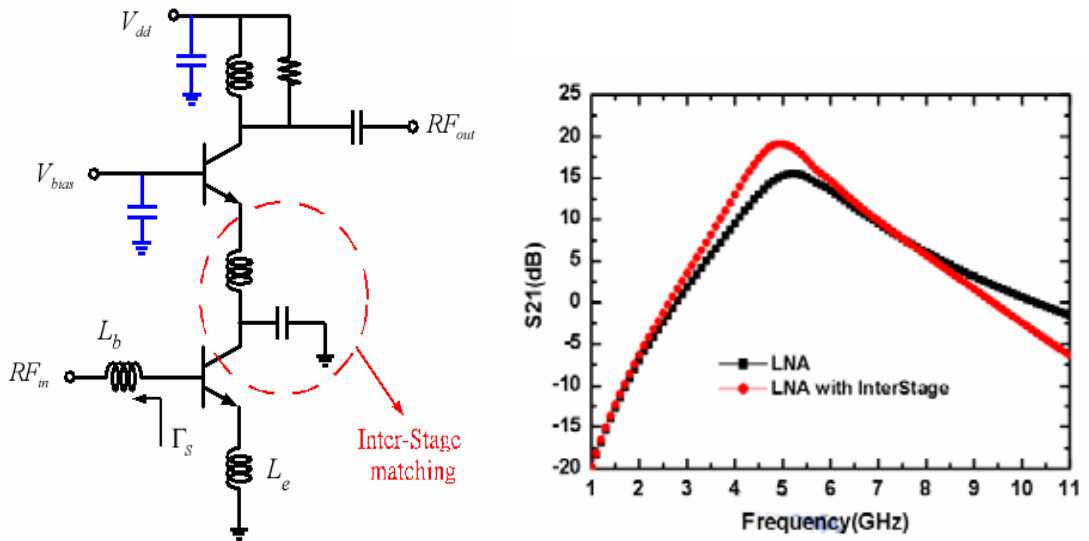


圖 4.20 共軛匹配以達到最大的功率傳輸



(a)

圖 4.21 達到中間級共軛匹配低雜訊放大器之電路圖以及增益比較圖[16]

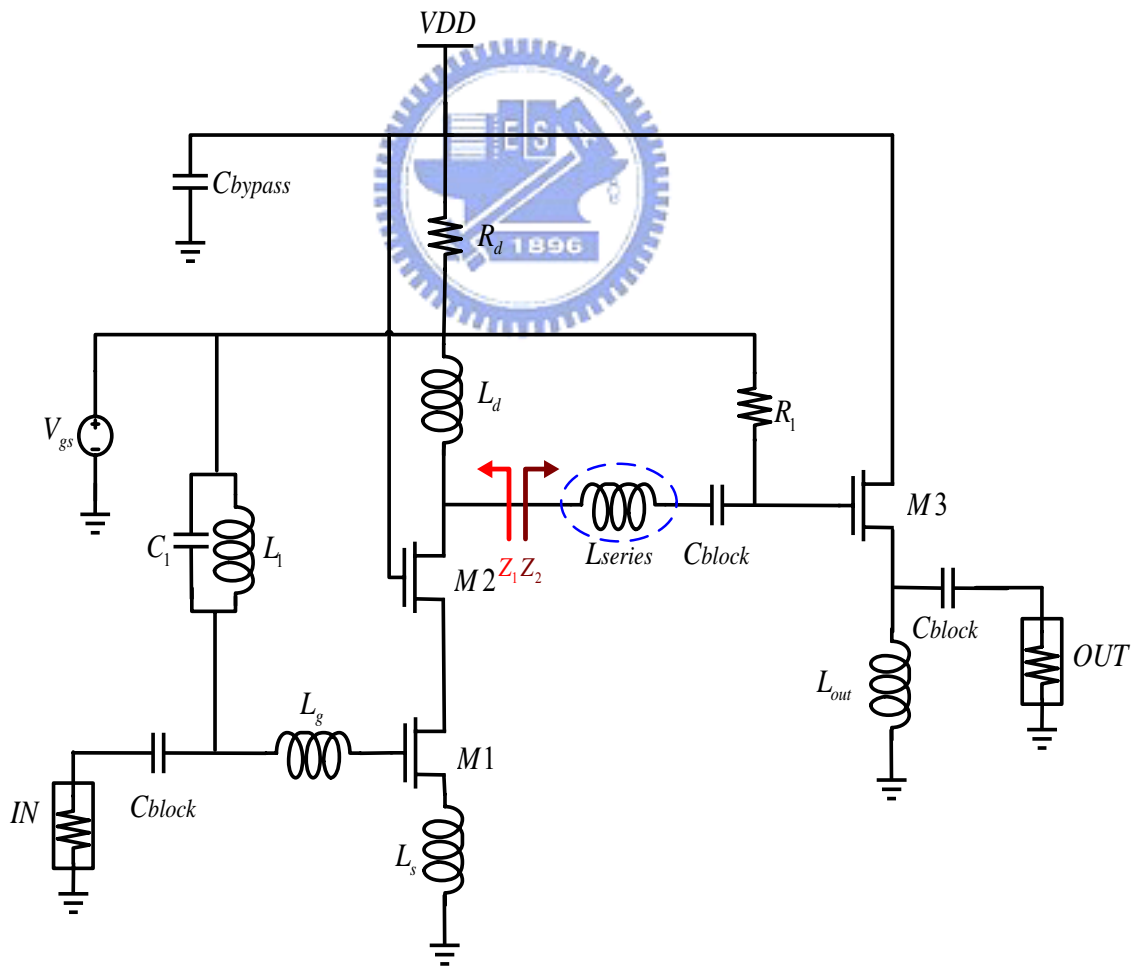


圖 4.22 加上電感 L_{series} 設計放大器在高頻共軛匹配

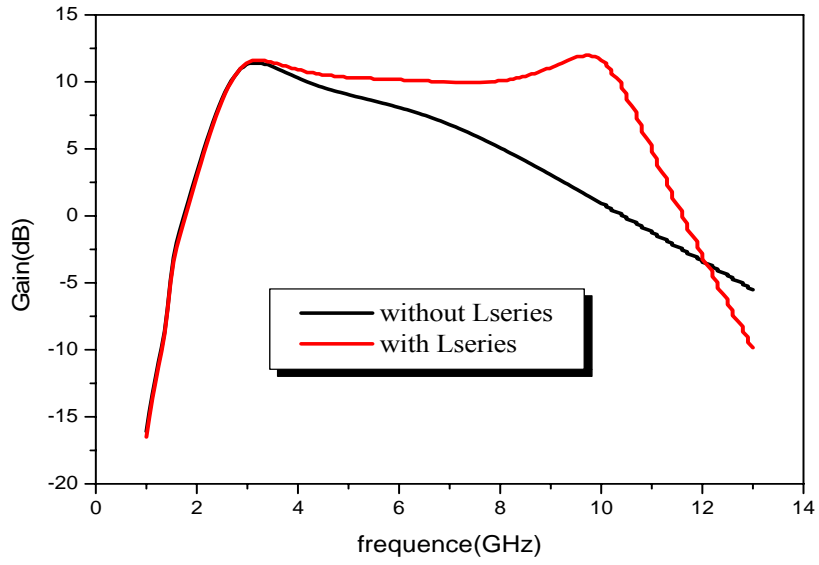
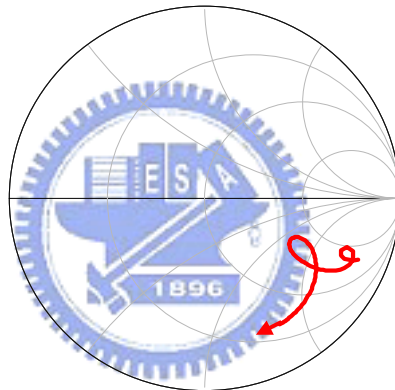
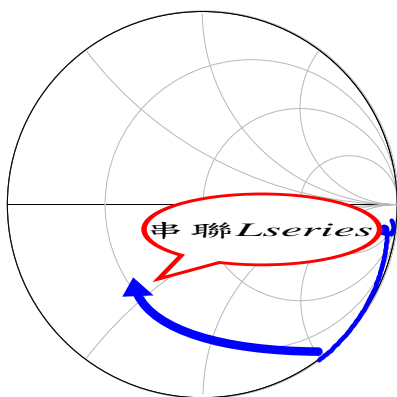


圖 4.23 電感 Lseries 加入與否之增益比較圖

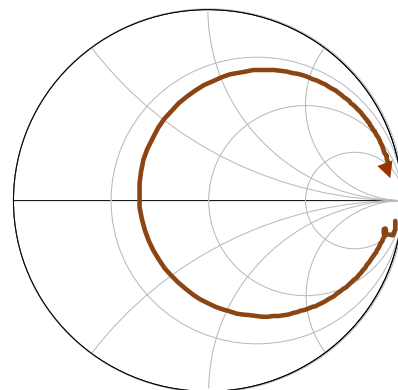


freq (1.000GHz to 13.00GHz)

(a)



freq (1.000GHz to 13.00GHz)



freq (1.000GHz to 13.00GHz)

(b)

圖 4.24 中間級共軛匹配之 Smith Chart 圖

§4-3-2 抑制頻寬外增益功能超寬頻低雜訊放大器設計

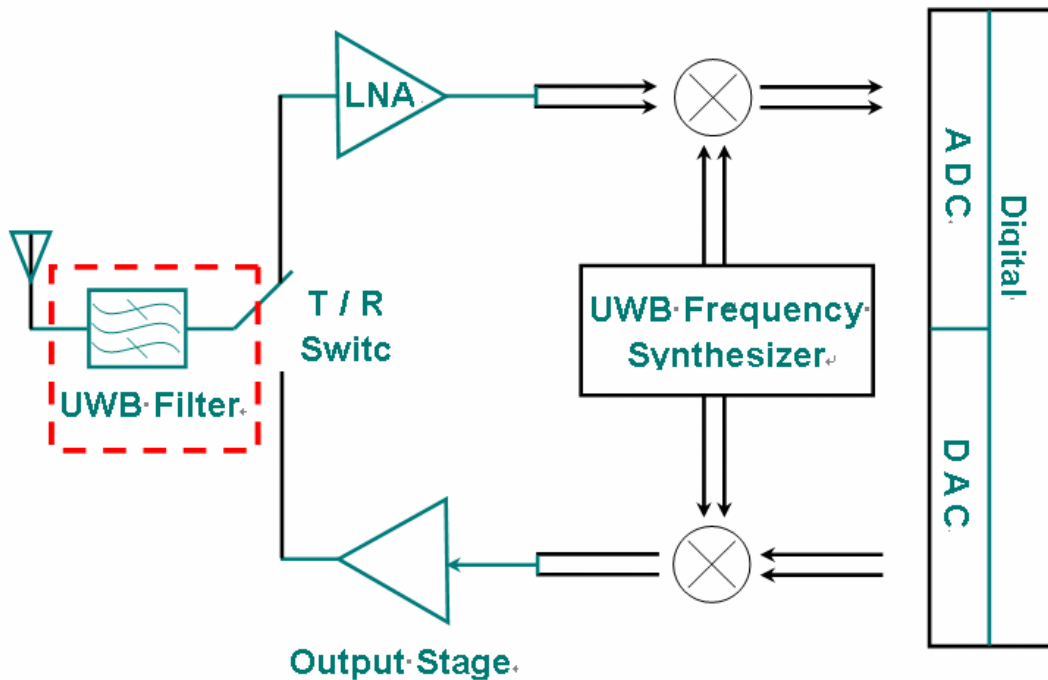


圖 4.25 基本 MB-OFDM UWB 系統收發機架構

在 UWB 系統使用頻段附近，於 1.8/1.9GHz 頻帶目前有 GSM 無線通訊系統，而在 2.4GHz 則有藍芽(Bluetooth)無線通訊系統，而 GSM 無線通訊系統發射出的功率，相對於 UWB 系統是非常大的，若因設計不良，這些對 UWB 系統來說則來說是一種干擾訊號。如圖 4.25 在 UWB 系統的接收機(receiver)部份，當訊號從天線接收下來，會先經過一個 UWB 濾波器，將頻寬外的干擾降低。前小節使用 LC 階振寬頻匹配電路的概念，可相近於濾波器(filter)的設計概念，在此我將依前小節的架構加入二個抑制電容，二個抑制電容加入的位置如圖 4.26 所示，在 LC 諧振寬頻匹配電路中僅僅多加入兩個電容 C_s 和 C_o ，即可把 UWB 頻寬外的增益砍下去，圖 4.27(a) 為 LC 諧振匹配超寬頻低雜訊放大器電路中加入抑制電容前後模擬增益結果比較，圖 4.27(b)為頻寬外抑制效果與 2005 所發表在 MTT-S 濾波器之比較。而電路中佈局(layout)面積通常以電感佔主要面積，二顆抑制電容的加入，其所佔面積對佈局 (layout)面積幾乎不太影響，卻可達到相當不錯濾波效果。

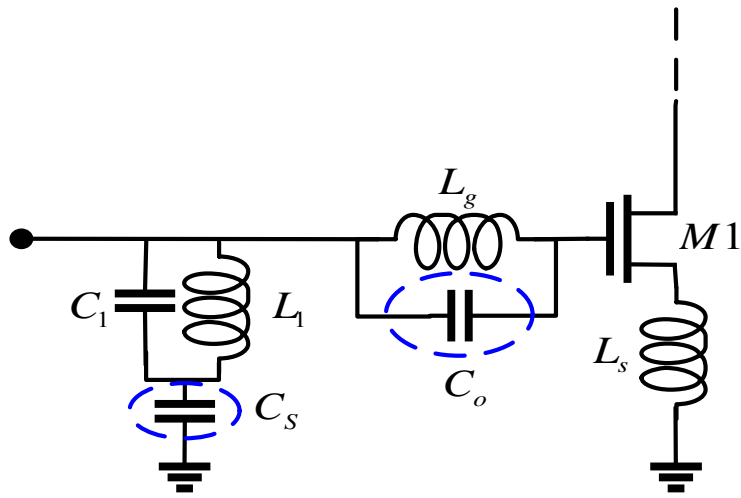
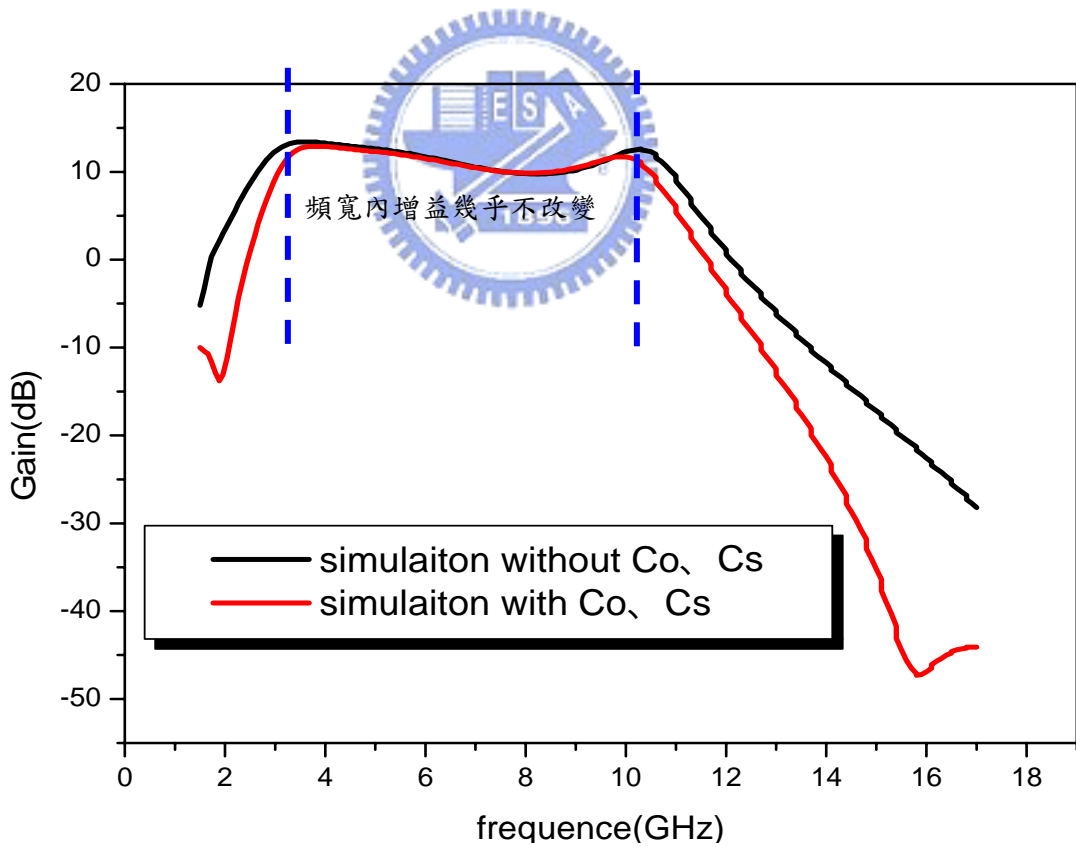
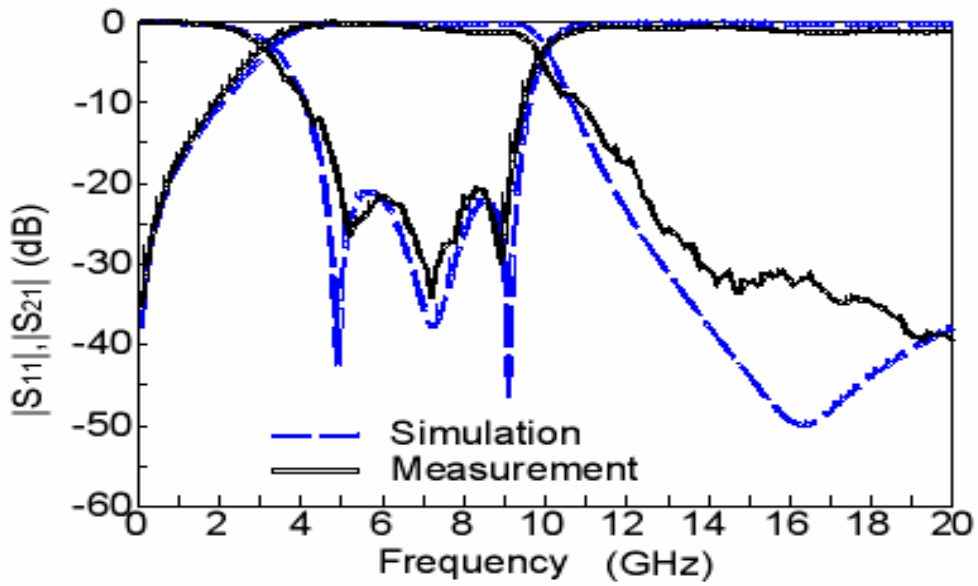


圖 4.26 在 LC 諧振匹配中加入抑制電容 C_o 、 C_s



(a)



(b)

圖 4.27 (a)加入抑制電容 C_o 、 C_s 之增益比較

(b)發表於 2005MTT-S 濾波器之頻寬外抑制效果[11]

4-3-2-1 加入抑制電容之輸入匹配電路說明：

圖 4.28 電路中，當操作頻率低於 L_1 、 C_1 並聯共振頻率， L_1 和 C_1 並聯將會呈現電感性，利用其電感性串聯一個電容 C_s 可造就在低頻抑制增益的能力。操作低頻時， L_1 和 C_1 並聯呈電感性與電容 C_s 可視成串聯共振，適當設計 C_s 值可將頻率 1.8GHz 附近因串聯共振將訊號短路引入地，讓在 GSM 系統頻段的增益可快速往下掉，圖 4.27(a)可知與原未加電容 C_s 電路，其增益大約可差別 15dB 以上。

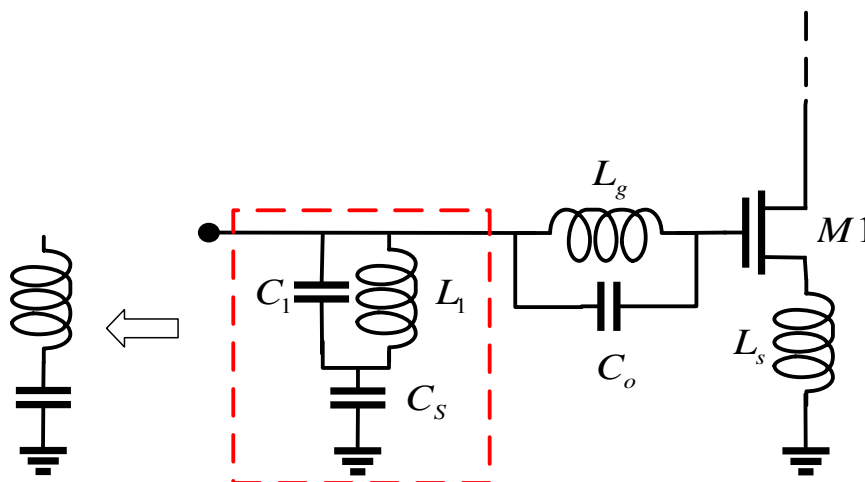


圖 4.28 加入電容 C_s 抑制 UWB 頻寬外的低頻增益

由圖 4.29 可知抑制高頻增益主要是因為在電路上加上電容 C_o ，使 L_g 和 C_o 並聯，並設計 L_g 和 C_o 於高頻並聯共振，共振時即可將訊號反彈回去無法通過。如此亦有抑制頻寬外高頻增益效果。

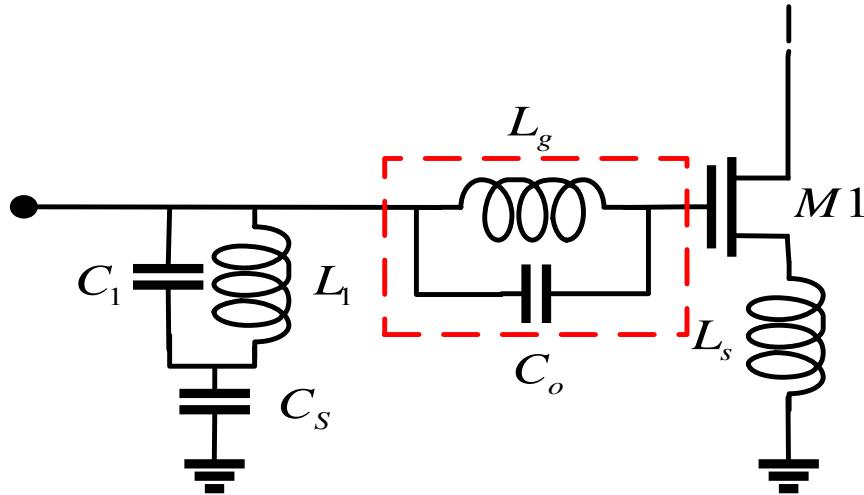


圖 4.29 加入電容 C_o 抑制 UWB 頻寬外的高頻增益

4-3-2-2 具抑制 UWB 頻寬外增益輸入匹配電路進階探討：

如上述在 LC 諧振寬頻匹配電路中僅僅多加入兩個電容 C_s 、 C_o 就具有抑制 UWB 頻寬外增益的功能，雖然在抑制增益上有非常不錯的濾波效果，然而此兩個電容是否會影響原先的寬頻匹配將是接下來探討的重點。

Cs 之探討

為了抑制頻寬外低頻增益而加入的電容 C_s 基本上為一大電容值，因為電容 C_s 主要是貢獻串聯共振來抑制低頻時的增益，操作頻率在低頻故需較大的電容值。此外 UWB 操作的頻段在電容 C_s 和電感 L_1 、電容 C_1 提供電感性的串聯共振頻率之後，對於電容 C_s 其阻抗將呈現一小阻值，在 UWB 頻段基本上可忽略電容 C_s 的阻值而視成接地，故可推論在寬頻匹配電路中加入電容 C_s 對於原先的匹配的影響並不會太嚴重，再經過適當微調電路即可達到良好匹配。在寬頻匹配電路中電容 C_s 的加入與否，二者之間的差別如圖 4.30 所示。

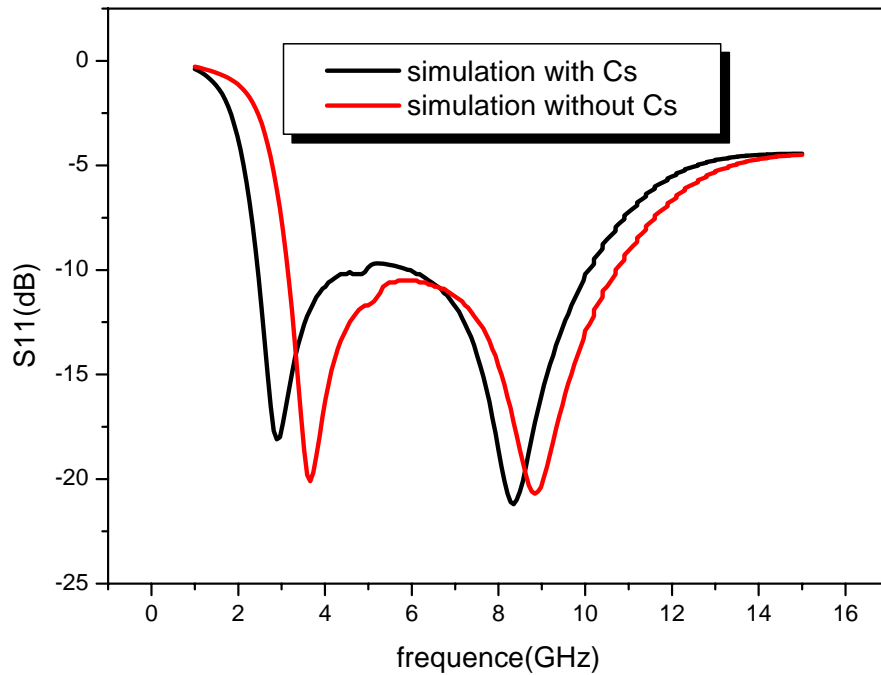


圖 4.30 加入電容 C_s 與否二者輸入匹配之比較

Co 之探討

由圖 4.31 討論並聯共振的特性，當 $L=1\text{nH}$ ， $C=1\text{pF}$ 時，其共振頻率在 5.033 在 GHz，在共振頻率之前為電感性且遠離共振頻率處之感值接近原先的電感值，而在高頻為電容性且遠離共振頻率處的容值則接近原先的電容值。由於匹配電路中抑制高頻增益的共振頻率大約在 16 GHz，設計的共振頻率遠離 UWB 操作頻段，故可推論有無加入電容 C_o 將不至於影響原先的匹配太多。

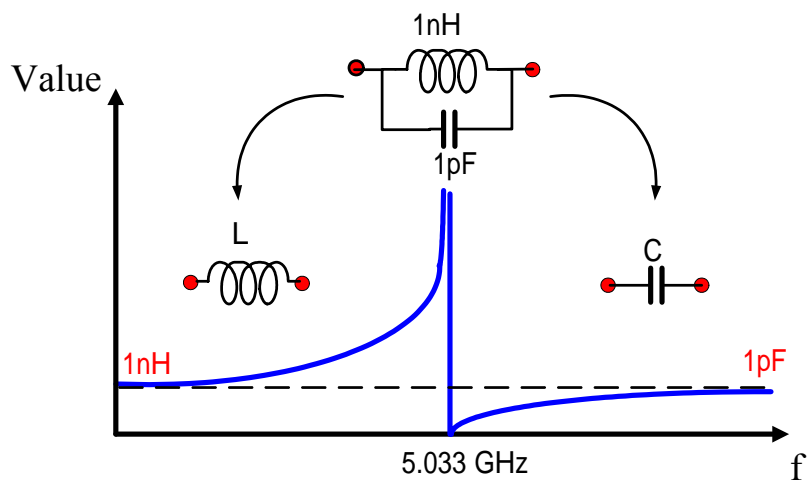


圖 4.31 電容 C_o 影響寬頻匹配之探討

§4-3-3 延續以濾波概念設計 UWB 頻段內增益有帶斥特性

UWB 無線通訊系統的頻寬為 3.1~10.6GHz，包含了 5~6GHz 的頻段，目前在此頻段內正在使用的有 802.11.b、g 無線通訊系統。如圖 4.32 所示，UWB 的兩大陣營 DS-CDMA 以及 MB-OFDM，在 DS-CDMA 部份以 5-6GHz 將 UWB 頻帶區分成低頻帶(Low band)和高頻帶(high band)。MB-OFDM 則是以 528MHz 將 3.1~10.6GHz 分成幾個頻帶，但是 GROUP B 包含 5~6GHz 的頻段盡量不去使用。

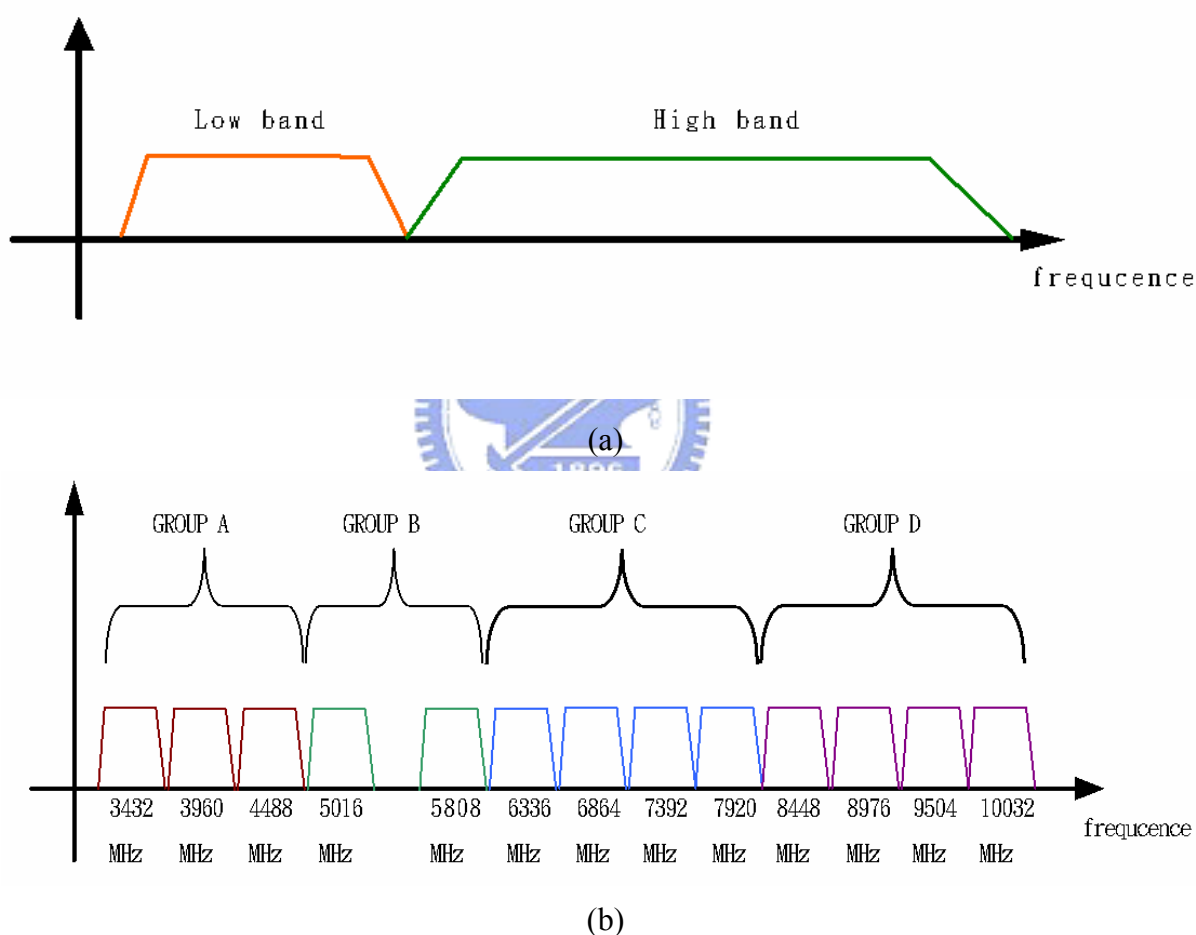


圖 4.32 DS-CDMA 與 MB-OFDM 頻帶示意圖

4-3-3-1 利用一個零點二個極點之理想 LC 電路達到增益帶斥特性：

基於 UWB 系統在 5~6GHz 的頻段盡量不去使用的想法，我再一次利用了濾波器設計概念，將圖 4.33(a)的 LC 電路加入電路中，推導其輸入阻抗可得如(4-4)式，可從式子中得知此 LC 電路在可產生一個零點二個極點(頻率為 0 是無效點)。

$$Z_{in} = \frac{1}{SC_1} // [SL_1 + (SL_2 // \frac{1}{SC_2})] = \frac{L_1 L_2 C_2 S^3 + (L_1 + L_2)S}{L_1 L_2 C_1 C_2 S^4 + (L_1 C_1 + L_2 C_2 + L_2 C_1)S^2 + 1} \quad (\text{式 4-4})$$

如圖 4.33(b)可適當給定電感值和電容值，設計零點位置在 5.5GHz 以及二個極點位置分別位在 5.5GHz 二側，如此在 5.5GHz 附近可視成短路將訊號引入地，使在 5.5GHz 放大器增益快速往下掉，在二極點附近的位置對訊號來說是看成大阻抗，對放大器增益將不受影響[]。

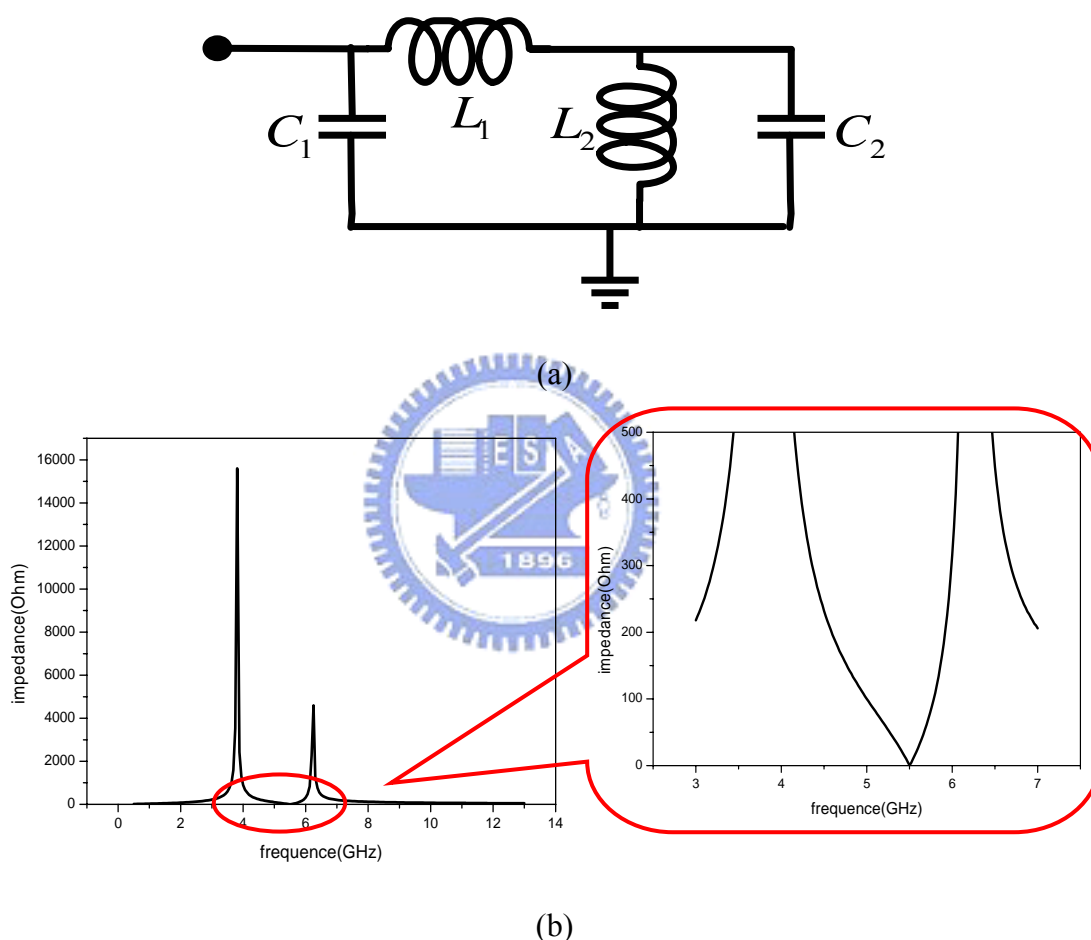


圖 4.33 可產生一個零點二個極點之 LC 電路與頻率對阻抗圖

4-3-3-2 實際考量上有內阻之 LC 電路：

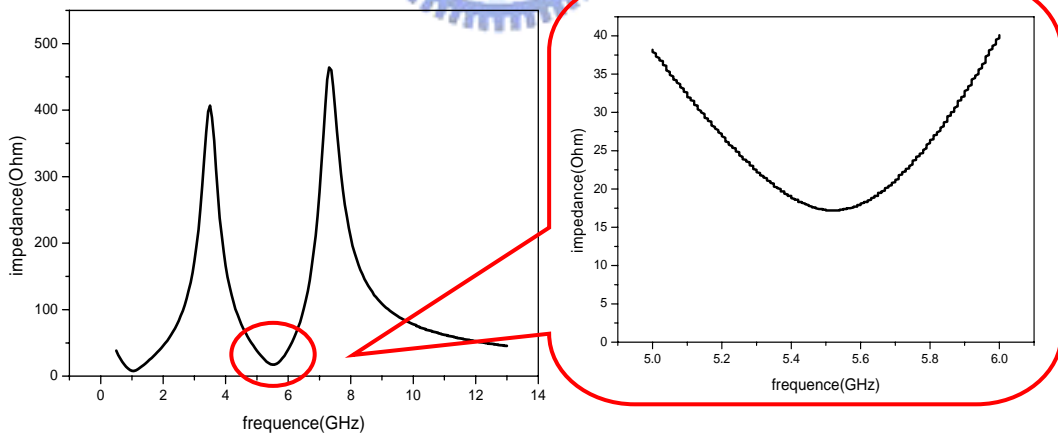
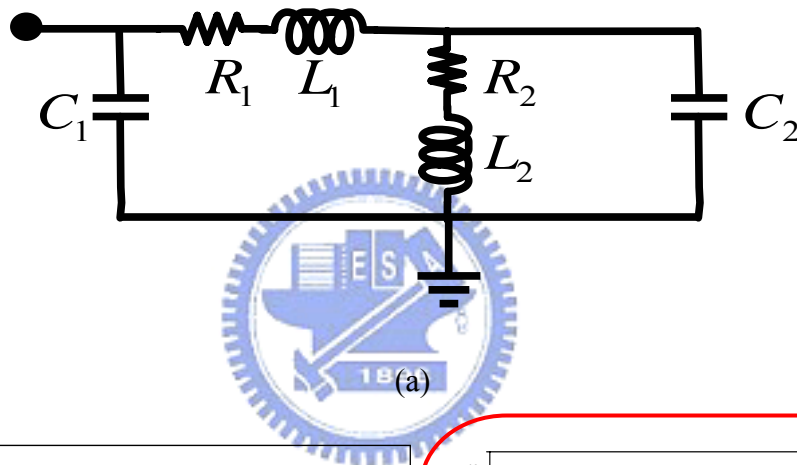
上述的 LC 電路使用的皆為理想電感和電容，但實際製程上，對電容雖可做到相當高的 Q 值，但電感的卻無法做出非常好的 Q 值。由 4-1-3 小節可知台積電給的電感模型相當複雜，如圖 4.34 所示，在此可簡化成電感串聯上一個內阻，使整體 Q 值降低。由圖 4.34(a)推得輸入阻抗如(4-5)式，由(4-5)式與(4-4)相比較，可看出在有內阻之 LC 電路

的輸入阻抗中，R1、R2 將貢獻額外的非理想項，如何將 R1 和 R2 的效應消除，即是接下來所討論的重點。圖 4.34(b)為使用實際電感和電容的頻率對阻抗圖。

$$Z_{in} = \frac{Z_R}{P_R} \dots\dots\dots(式 4-5)$$

where $Z_R = L_1 L_2 C_2 S^3 + [L_1 C_2 R_2 + L_2 C_2 R_1] S^2 + [L_1 + L_2 + R_1 C_2 R_2] S + R_1 + R_2$

$$P_R = L_1 L_2 C_1 C_2 S^4 + (L_1 C_2 R_2 + L_2 C_2 R_1) S^3 + [C_1 (R_1 C_2 R_2 + L_1 + L_2) + L_2 C_2] S^2 + [C_1 (R_1 + R_2) + C_2 R_2] S + 1$$



(b)

圖 4.34 考慮實際上有內阻之 LC 電路與頻率對阻抗圖

4-3-3-3 加入負阻-R 之有內阻之 LC 電路：

為了讓有內阻之 LC 電路的輸入阻抗(式 4-5)接近理想上的 LC 電路的輸入阻抗(式 4-4)，在此我加上了一個-R 的阻值如圖 4.35。負阻抗的參考電路是由 Bechzad Razavi 的類比 CMOS 積體電路設計(Design of Analog CMOS Integrated Circuits)[1]書中所得到的，負阻抗的阻值為 $-\frac{2}{g_m}$ ，其負阻電路架構與等效電路推導如圖 4.36。-R 阻抗加入 LC 電路中，選取差不多電感值 L1 和 L2 使 $R1 \approx R2$ ，設計-R 值約等於 R1 和 R2 即可消除圖 4.35 中的內阻 R1、R2 對 LC 電路影響。其說明如下討論。

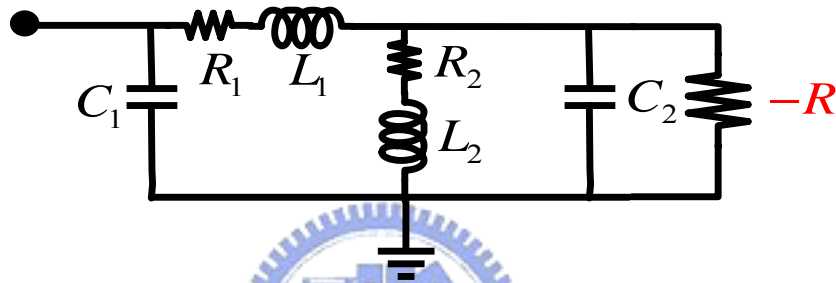


圖 4.35 加上-R 與有內阻之 LC 電路

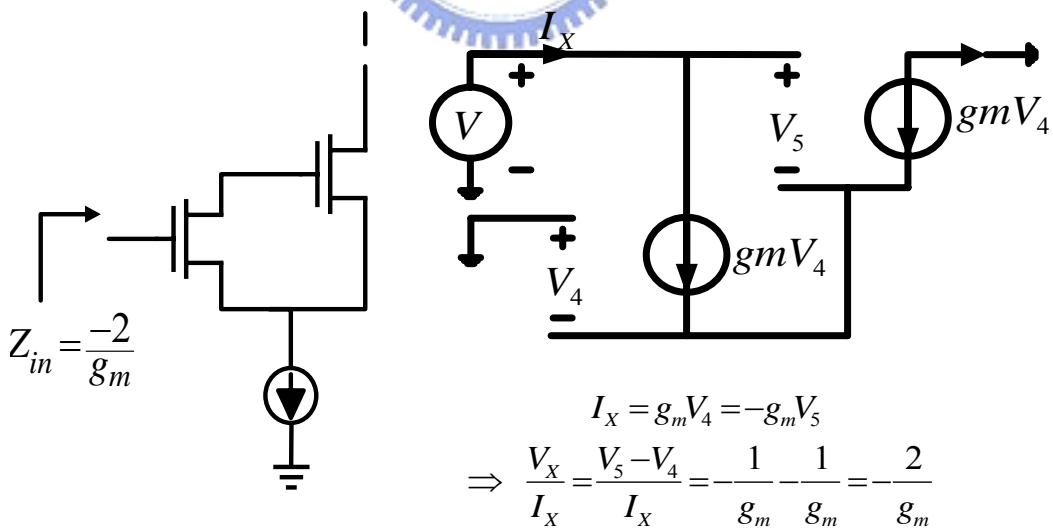


圖 4.36 負阻電路架構與其等效電路推導

4-3-3-4 負阻-R 擺放位置進階探討：

由於電感本身存在的內阻值並不大，使得負阻 $\frac{-2}{g_m}$ 往往遠大於電感的內正阻，由圖

4.37 中利用負阻 $\frac{-2}{g_m}$ 與電容 C 並聯可等效成一新的電容值 $C + \frac{g_m^2}{4\omega^2 C}$ 和負阻 $\frac{-2}{1 + \frac{4\omega^2 C^2}{g_m^2}}$ 串

聯，原本的負阻將會除上 $1 + \frac{4\omega^2 C^2}{g_m^2}$ 以降低負阻本身的阻值，然而電容卻只會些微地改

變，故電路完成後只要進行微調電容值，即可達到原本設計要求。將新的電容值 C_t 以及新的負阻 $-R_t$ 代入，可得圖 4.38 的輸入阻抗如(4-6)所示

$$Z_{in} = \frac{Z_{-R}}{P_{-R}} \dots\dots\dots (式 4-6)$$

where $Z_{-R} = L_1 L_2 C_i S^3 + [L_1 C_i (R_2 - R_i) + L_2 C_i (R_1 - R_i)] S^2$

$$+ [L_1 + L_2 + R_1 C_2 (R_2 - R) - C_2 R_2 R] S + R_1 + R_2$$

$$P_{-R} = L_1 L_2 C_1 C_2 S^4 + (L_1 C_2 (R_2 - R_i) + L_2 C_2 (R_1 - R_i)) S^3$$

$$+ \{C_1 [R_1 C_2 (R_2 - R_i) - C_2 R_2 R_i + L_1 + L_2] + L_2 C_2\} S^2$$

$$+ [C_1 (R_1 + R_2) + C_2 (R_2 - R_i)] S + 1$$

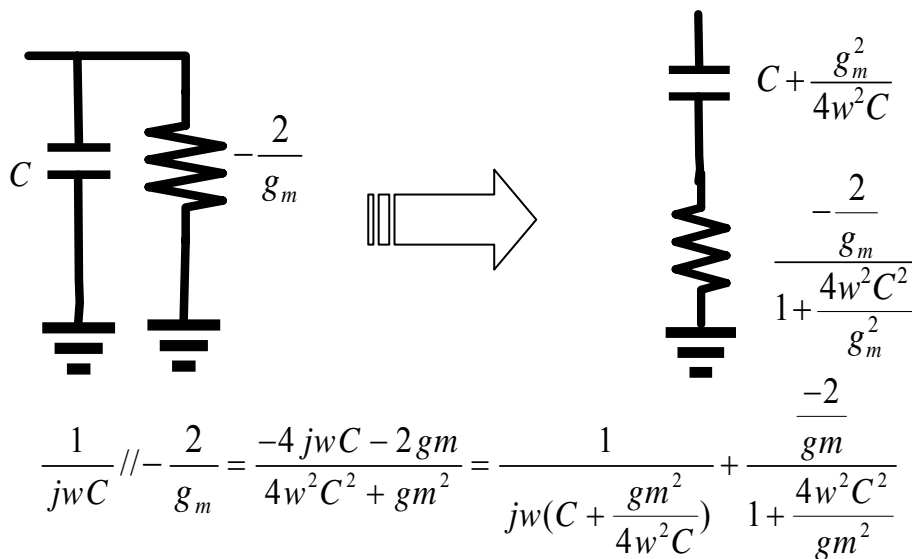
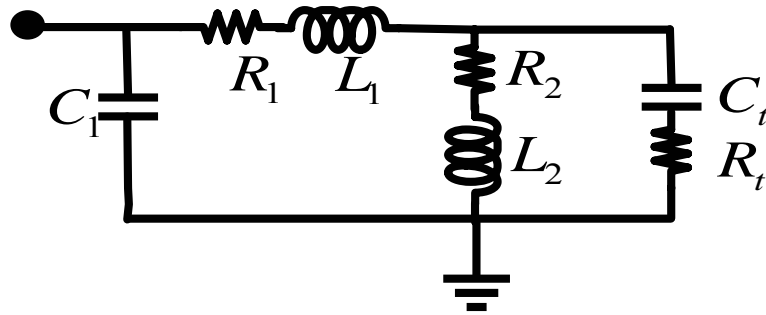


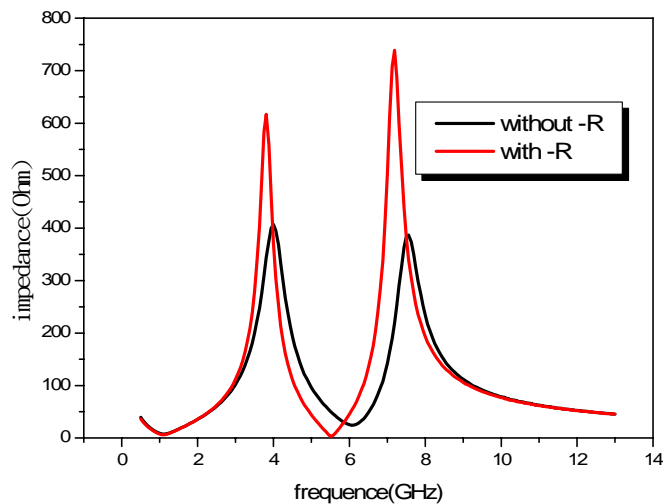
圖 4.37 並聯 RC 電路等效成串聯 RC 電路



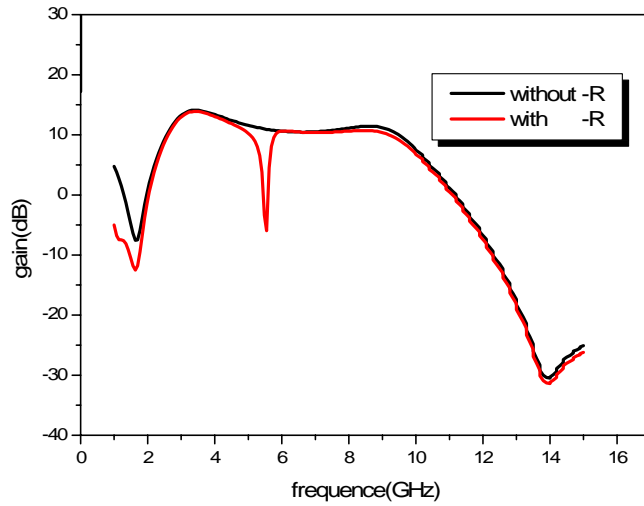
$$\text{where } C_t = C_2 + \frac{g_m^2}{4\omega^2 C_2^2}, \quad R_t = \frac{-\frac{2}{g_m}}{1 + \frac{g_m^2}{4\omega^2 C_2^2}}$$

圖 4.38 等效串聯負阻之 LC 電路

觀察有負阻之 LC 電路的輸入阻抗(4-6)式與理想 LC 電路的輸入阻抗(4-4)式，可發現若設計 $-R_t$ 約和 R_1 、 R_2 相等(前提 $R_1 \approx R_2$ ，所以電感 L_1 和 L_2 需選取相似的圈數感值)，可讓(4-6)式得到接近如(4-4)式的理想輸入阻抗。因此負阻 $\frac{-2}{g_m}$ 的加入可使 UWB 的增益有良好帶斥特性，接著我把前節 LC 諧振寬頻匹配超寬頻低雜訊放大器為基本架構，將上述抑制頻寬外增益的電容 C_s 、 C_o 以及使 UWB 增益有帶斥特性的有負阻之 LC 電路加入放大器內，負阻 $\frac{-2}{g_m}$ 的加入與否，對阻抗和增益的影響如圖 4.39 所示。最後整體放大器的架構如圖 4.40。



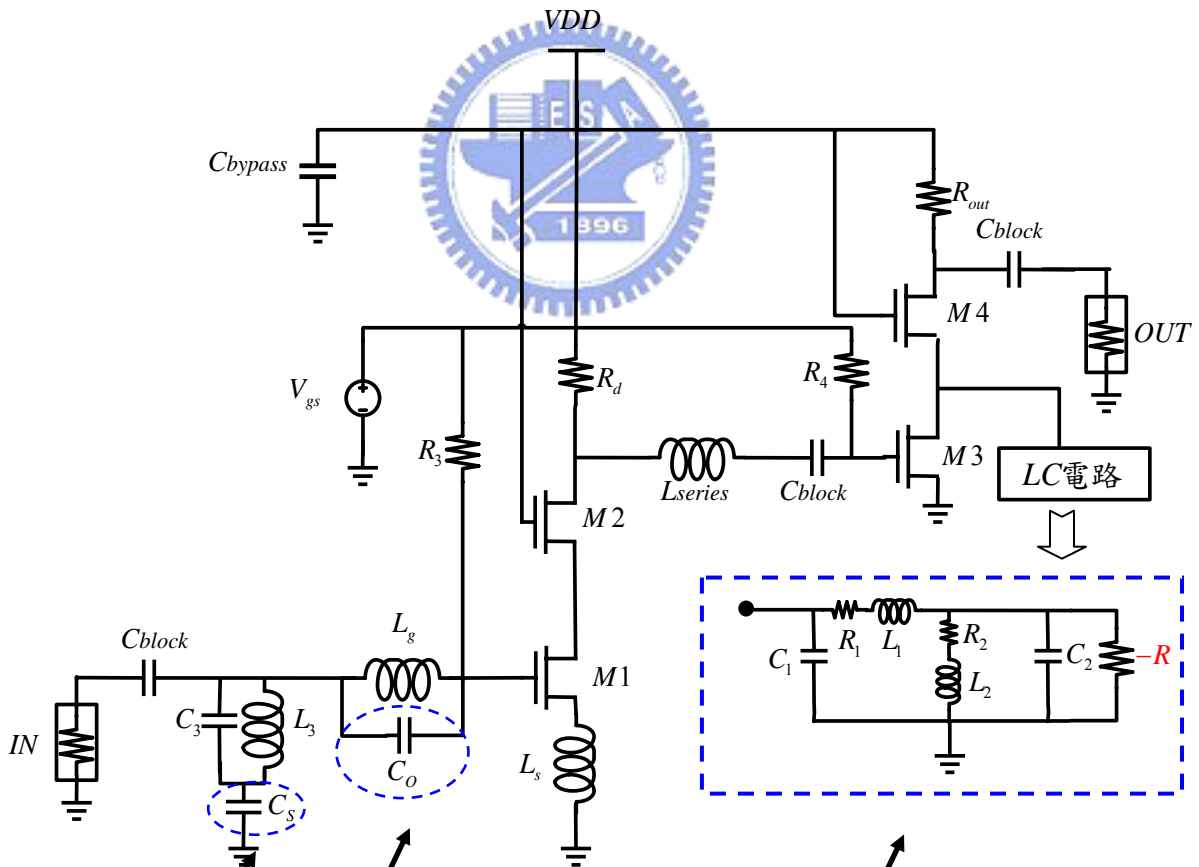
(a)



(b)

圖 4.39 負阻 $\frac{-2}{g_m}$ 加入與否之阻抗比較與增益比較

整體架構：



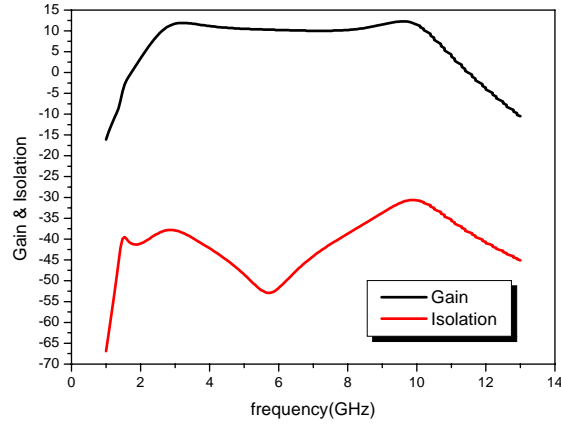
可使頻寬外的增益往下掉

頻寬內的增益有帶斥特性

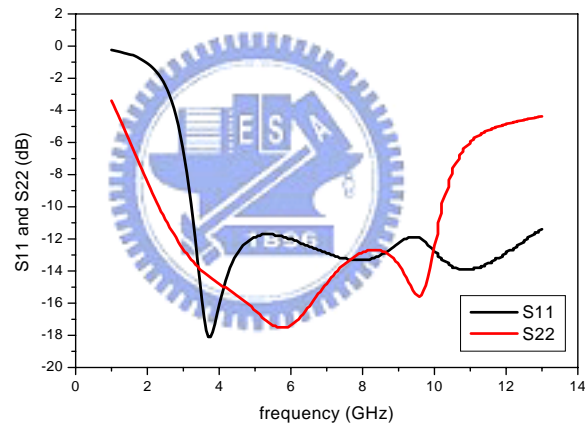
圖 4.40 抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器

§4-3-4 模擬與量測結果

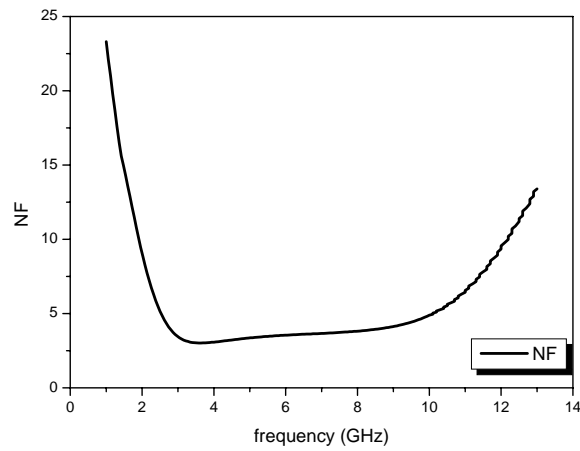
(i) LC 諧振匹配超寬頻低雜訊放大器(模擬)



(a) 增益與隔絕度



(b) S11 and S22



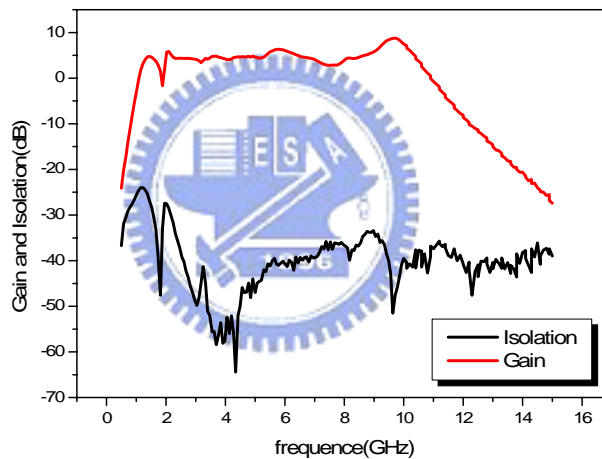
(c) NF 值

圖 4.41 LC 諧振匹配超寬頻低雜訊放大器 S 參數和 NF 模擬圖

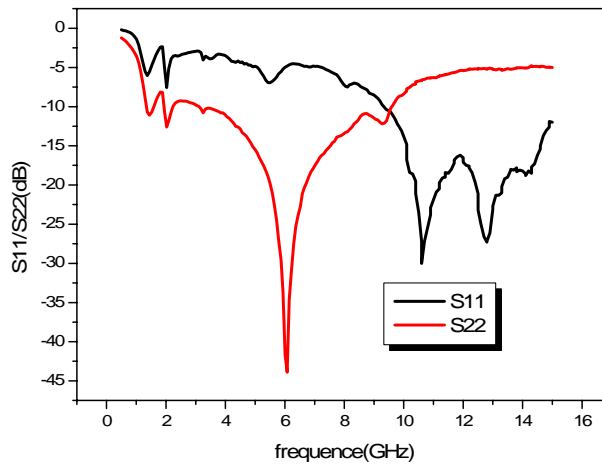
表 4-1、LC 諧振匹配超寬頻低雜訊放大器模擬參數表格

Parameter	UWB LNA (Vdd=1.8V)
Current consumption (mA)	9.3
Input return loss (dB)	<-10
Output return loss (dB)	<-10
Gain (dB)	11 ± 1
Noise Figure (dB)	3.34~5
IIP3 (dBm)	-7.54 @3.1GHz ; -7.55 @5.5GHz ; -9.71 @ 10.6GHz
Input P1dB (dBm)	-17.1 @3.1GHz ; -16.7 @5.5GHz ; -17.5 @ 10.6GHz
Chip size	1.05 x 0.7 mm ²

(ii)LC 諧振匹配超寬頻低雜訊放大器(量測)



(a) 增益與隔絕度



(b) S11 and S22

圖 4.42 LC 諧振匹配超寬頻低雜訊放大器量測結果

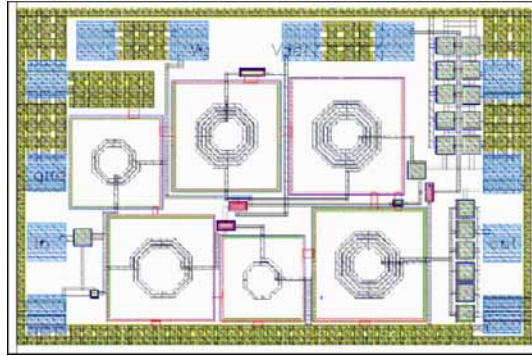


圖 4.43 LC 諧振匹配超寬頻低雜訊放大器 layout 圖

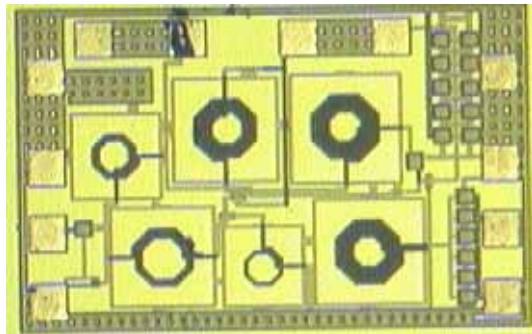


圖 4.44 LC 諧振匹配超寬頻低雜訊放大器實際電路圖

模擬與量測討論：

LC 諧振匹配超寬頻低雜訊放大器，其量測結果如下，頻寬 3.1~10GHz，增益 5 ± 2 dB， $S_{11} < -4$ dB， $S_{22} < -8.5$ dB，消耗功率為 16.2 mW。由量測結果可發現 S_{11} 在 UWB 頻寬內的特性比模擬的差，這是因為在原来的低雜訊放大器設計中，鍍線的電感值也加入設計考量內，但後來實際鍍線的長度比原來估計的長度大了許多，原本設計的鍍線效應大約估 0.8nH，而實際鍍線的值大約在 2.5nH，所以使圖 4.12 的 L_1 值變大，讓 S_{11} 特性變差，因而增益特性也跟著不好。但寬頻的特性仍有達到 3~10GHz 的表現。

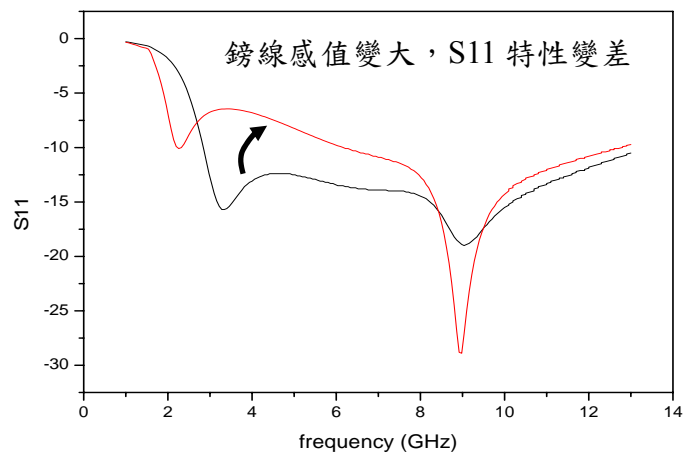
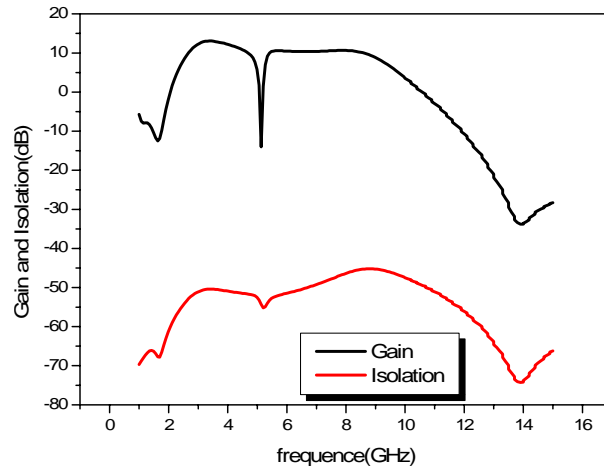
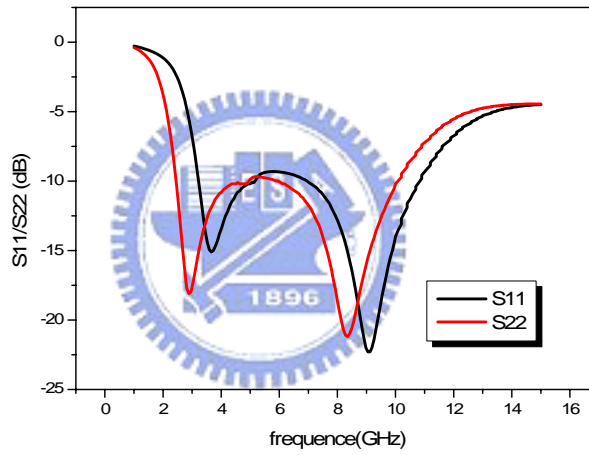


圖 4.45 鍍線感值變大對 S_{11} 的影響情形

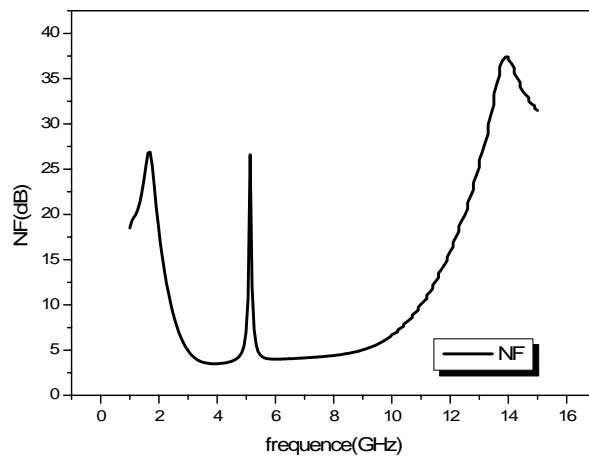
(ii) 抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器(模擬)



(a) 增益與隔絕度



(b) S11 and S22



(c) NF 值

圖 4.46 抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器模擬結果

表 4-2、抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器模擬參數表格

Parameter	UWB LNA (Vdd=1.8V)
Current consumption (mA)	11
Input return loss (dB)	< -10
Output return loss (dB)	< -10
Gain (dB)	Low 12 ± 1.2 High 10.5 ± 0.5
Noise Figure (dB)	3.45~4.3
IIP3 (dBm)	- 8.77@3.1GHz ; -9.3 @4.7GHz ; -8.8 @ 7.5GHz
Input P1dB (dBm)	- 16.7@3.1GHz ; -17.1@4.7GHz ; -17.1 @ 7.5GHz
Chip size	1.15 x 0.82 mm ²

因為此下線晶片尚未回來，目前無量測結果。



§4-4 主動式匹配超寬頻低雜訊放大器

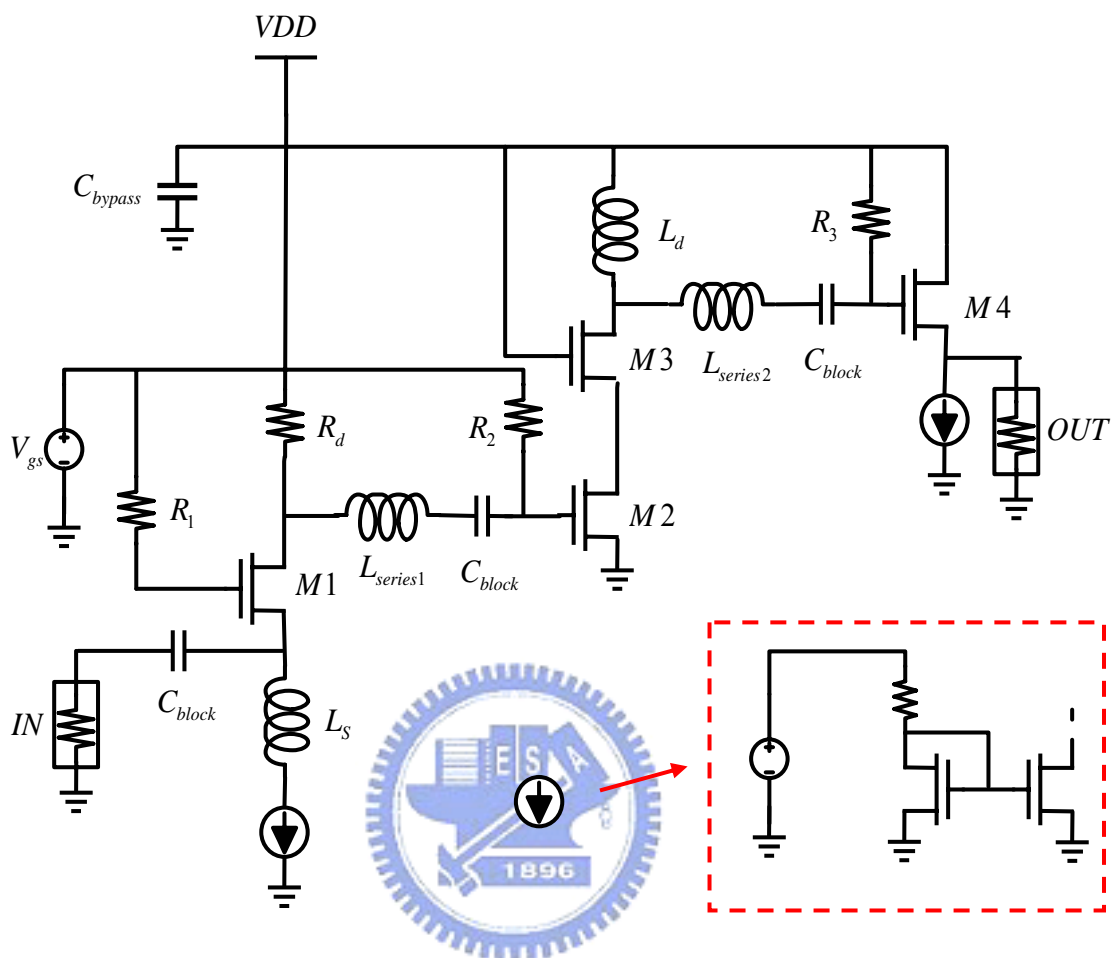


圖 4.47 主動式匹配超寬頻低雜訊放大器架構

4-4-1 寬頻輸入匹配：

在 UWB 的規格中，LNA 最重要的特色就是寬頻，包括了寬頻的增益和寬頻的匹配，在參考文獻中，輸入的部份大都使用共源疊接(Cascode)低雜訊放大器，這架構往往需要使用集總元件電感和電容來做匹配電路以達到寬頻的輸入匹配。但在此為了達到寬頻輸入匹配，使用了共閘極(common gate)架構當成第一級。如圖 4.45，它可以達到寬頻匹配的原因是因為共閘極(common gate)看進入的輸入導納為 $Y_{in} = gm + j\omega C_{gs}$ ，因為 TSMC 0.18um 製程截止頻率 ω_T (cutoff frequency)約 60GHz，截止頻率 ω_T 遠遠大於 UWB 操作頻率 ω ，故 $gm \gg \omega C_{gs}$ (因 $\omega_T \approx \frac{gm}{C_{gs}} \gg \omega$)，所以 $Y_{in} \approx gm$ ，故可知 gm 在 UWB 頻段範圍內不太受頻率影響，當設計適當的偏壓電流即可達到寬頻匹配。

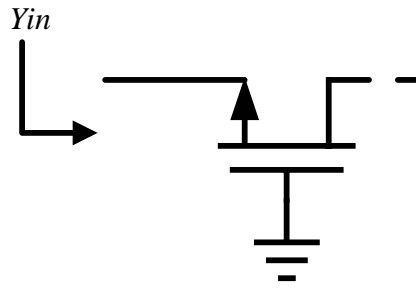


圖 4.48 $1/g_m$ 輸入匹配

4-4-2 寬頻輸出匹配的原理

輸出則是用一個電壓隨耦器(voltage buffer)，即有良好的輸出匹配。輸出匹配級採用的方式如圖 4.46 所示，由圖可知，只要選用適當的電晶體尺寸即可讓輸出匹配輕易地達到寬頻帶的 50Ω 匹配。

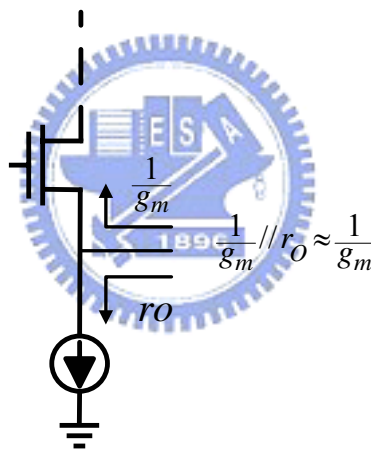
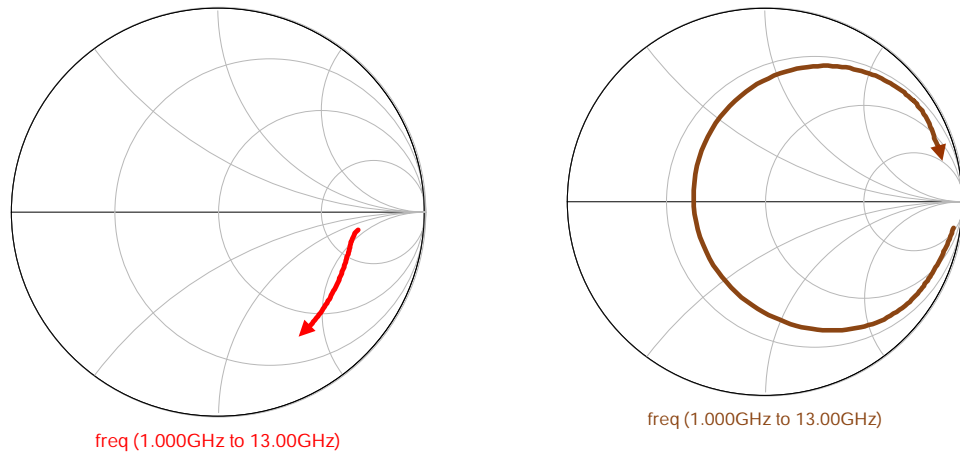


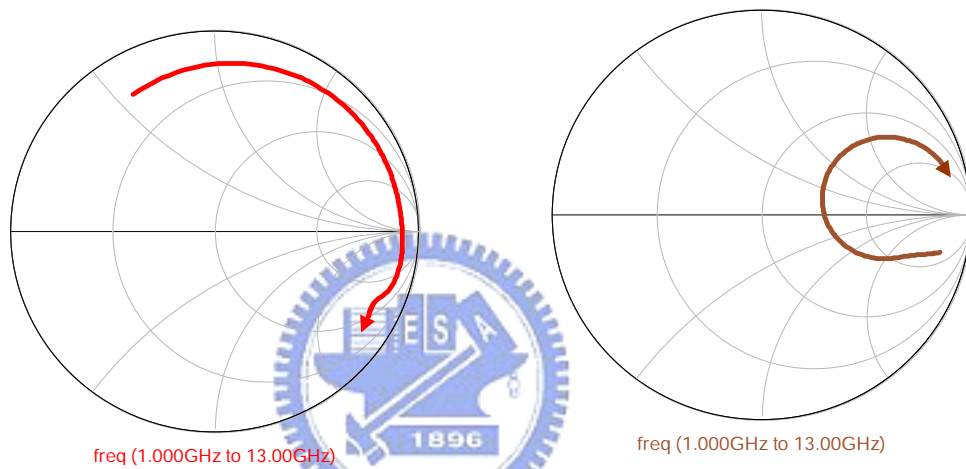
圖 4.49 輸出匹配電路

4-4-3 寬頻增益之探討：

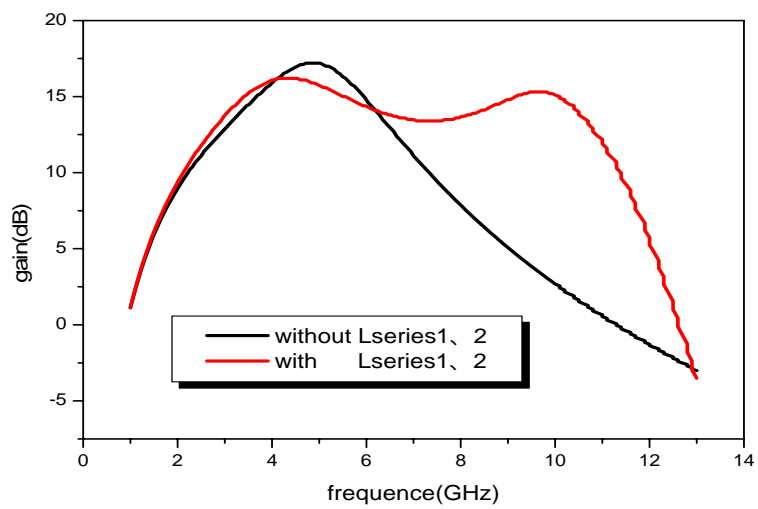
這次使用共閘極(common gate)的架構，並在後面加上一級的疊接(Cascode)放大器架構來提高增益，最後以電壓隨耦器(voltage buffer)當輸出級。以第 4-3 節所討論到的共軛匹配達到最大功率傳輸，在這裡亦使用中間級匹配，分各別在各級之間加上 Lseries1、Lseries2 做高頻時中間級共軛匹配，讓高頻增益可往上拉，相對來說亦增加了增益頻寬。



(a) 加入 Lseries1



(b) 加入 Lseries2

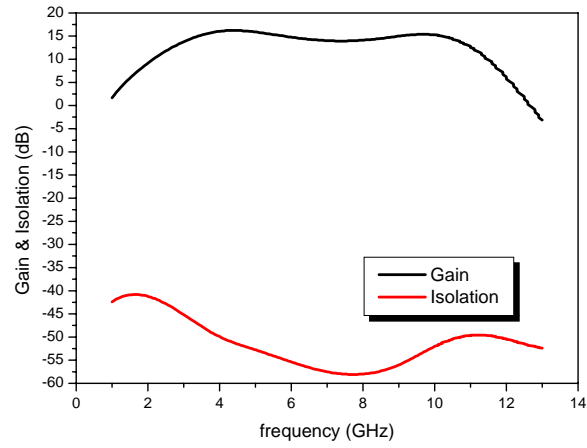


(c)

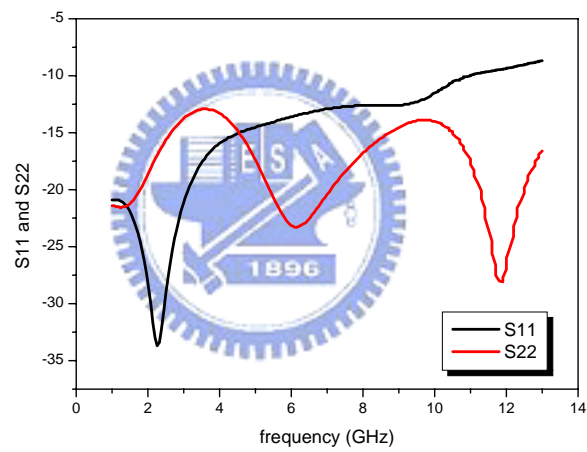
圖 4.50 Lseries1 和 Lseries2 加入與否增益比較圖

§4-4-4 模擬與量測結果

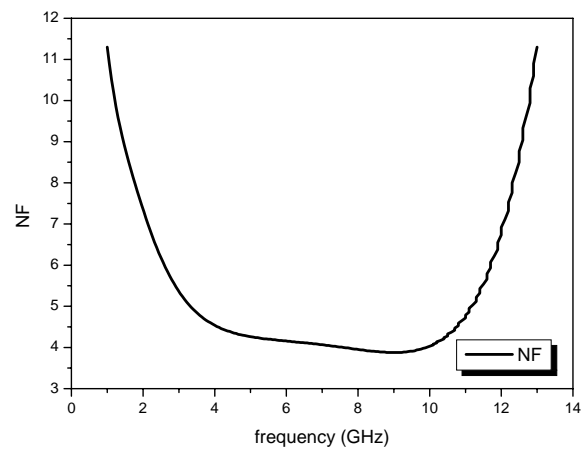
(i) 主動式匹配超寬頻低雜訊放大器(模擬)



(a) 增益與隔絕度



(b) S11 and S22



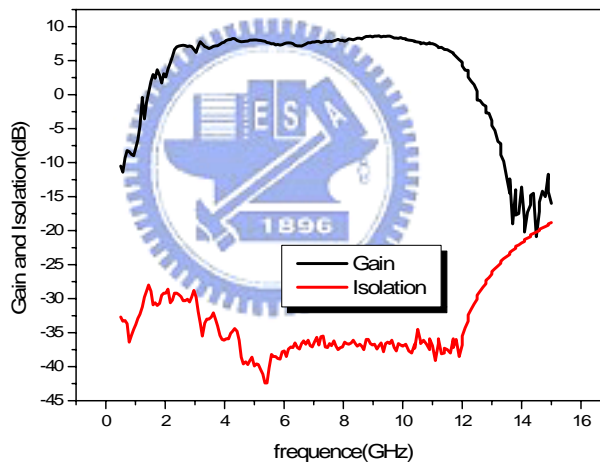
(c) NF 值

圖 4.51 主動式匹配超寬頻低雜訊放大器 S 參數和 NF 模擬圖

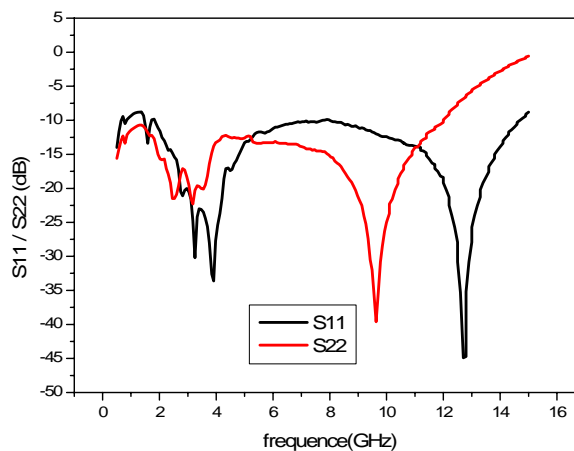
表 4-3、主動式匹配超寬頻低雜訊放大器模擬參數表格

Parameter	UWB LNA (V _{dd} =1.8V)
Current consumption (mA)	10.2
Input return loss (dB)	< -10.5
Output return loss (dB)	< -13.1
Gain (dB)	14 ± 1
Noise Figure (dB)	3.64~4.46
IIP3 (dBm)	- 9.77@3.1GHz ; -10.3@4.7GHz ; -9.8@ 7.5GHz
Input P1dB (dBm)	- 16.7@3.1GHz ; -17.1@4.7GHz ; -17.1@ 7.5GHz
Chip size	0.91 × 0.87 mm ²

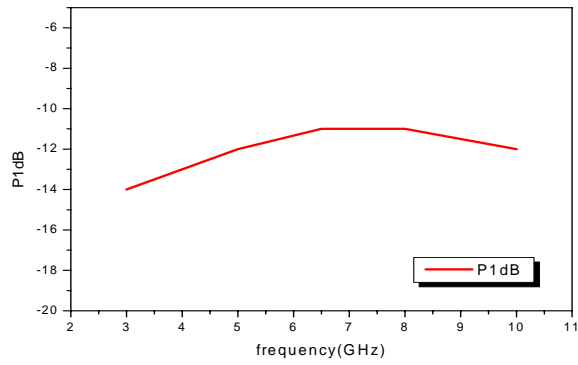
(ii) 主動式匹配超寬頻低雜訊放大器(量測)



(a) 增益與隔絕度



(b) S11 和 S22



(c) P1dB

圖 4.52 主動式匹配超寬頻低雜訊放大器量測結果

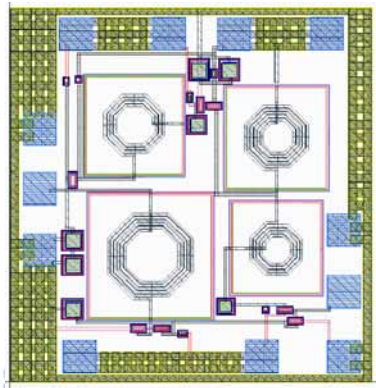


圖 4.53 主動式匹配超寬頻低雜訊放大器 layout 圖

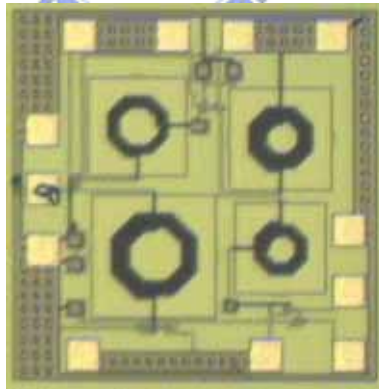


圖 4.54 主動式匹配超寬頻低雜訊放大器實際電路圖

模擬與量測討論：

主動式寬頻匹配超寬頻低雜訊放大器，這個寬頻低雜訊放大器其量測結果如下，頻寬為 2.5 ~ 11 GHz，增益為 $7.5 \text{ dB} \pm 0.5 \text{ dB}$ ， $S_{11} < -9.9 \text{ dB}$ ， $S_{22} < -12 \text{ dB}$ ，消耗功率為 18.9 mW。在輸入及輸出匹配方面，都有不錯的表現，增益頻寬也比原本模擬的結果好，不過模擬在晶片走線效應時，尚未把貫孔(via)的損耗考慮進去。

與其它發表論文之比較：

在這選了幾篇發表在 ISSCC 以及 JSSC 的論文與設計的 LNA 做比較

表 4-4、設計之 LNA 與其它發表論文比較之表格

Ref	Year	Technology	BW (GHz)	Gain (dB)	S11 (dB)	NF (dB)	Power (mW)	Area (mm^2)
[7]	2004	0.18um CMOS	2.3~9.2	9.3	<-9.4	4.2 to 8	9	1.1
[8]	2005	0.18um CMOS	2 ~4.6	9.8(max)	< -9	2.3 to 6	12.6	0.9
[18]	2004	SiGe	2~ 10	21	<-11.5	2.5 min	27	X
a.(量測)		0.18um CMOS	2.5-11	7.5 ± 0.5	<-10	X	18.9	0.91×0.87
b.(模擬)		0.18um CMOS	3.1~9	Low 12 ± 1.2 high 10.5 ± 0.5	<-10	3.44~4.3	19.7	1.15×0.82

a. 主動式匹配超寬頻低雜訊放大器(量測)

b. 抑制頻寬外增益功能之帶斥特性超寬頻低雜訊放大器(模擬)



第五章

結論

隨著射頻電路的研發，使得電路可操作在更高頻，同時也可利用匹配設計技讓達到寬頻帶目的，使 UWB 無線通訊系統之射頻收發機可實現目標。因此本論文採用 TSMC 0.18um 製程研製應用於 UWB 無線通訊系統接受機的低雜訊放大器部份，主要的研究以設計寬頻為方向，以及抑制頻寬外增益效果和增益有帶斥特性。

由於現今元件模型的進步以及電腦輔助設計的發展，使得高頻電路設計成為可能，但也因為操作在高頻，使電路寄生效應的影響十分顯著，因此在電路模擬的考量是否周全即成為往後電路設計者最為重要的要求。在整個論文的研究過程中，我們可以發現一般電路模擬須考量的效應包含：電路內部各元件間接線的效應、PAD 效應、鏑線效應、測試基板上各傳輸線的效應...等。對元件的特性的了解亦是相當重要的一環。若對每項的寄生效應做愈詳細的考慮，可使量測結果接近原來的模擬結果。

參考文獻

- [1] B. Razavi, *Design of Analog CMOS Integrated Circuit*, McGraw Hill, 1996.
- [2] B. Leung, *VLSI for Wireless Communication*, Prentice Hall, 2002.
- [3] 郭建男,《射頻積體電路講義》,交通大學電子工程研究所,2005。
- [4] Derek K. Shaeffer, Student Member, IEEE, and Thomas H. Lee, Member, IEEE; ‘**A 1.5-V, 1.5-GHz CMOS Low Noise Amplifier**’, IEEE Journal of Solid-state circuits, VOL. 32, NO. 5, May 1997
- [5] 張志揚,《微波工程二講義》,交通大學電信工程研究所,2006。
- [6] Vishwakarma, S.; Sungyong Jung; Youngjoong Joo, “**Ultra wideband CMOS low noise amplifier with active input matching**”, Ultra Wideband Systems, 2004. Joint with Conference on Ultrawideband Systems and Technologies. Joint UWBST & IWUWBS. 2004 International Workshop on 18-21 May 2004 Page(s):415 – 419
- [7] Bevilacqua, A.; Niknejad, A.M., “An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receivers”, Solid-State Circuits Conference, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International, 15-19 Feb. 2004 Page(s):382 - 533 Vol.1
- [8] Chang-WanKim;Min-SukKang;PhanTuanAnh,Hoon-TaeKim;andSang-GugLee “**An ultra-wideband CMOS low noise amplifier for 3-5-GHz UWB system**” IEEE Journal of Volume 40, Issue 2, Feb. 2005 Page(s):544 - 547
- [9] Chang, C.-P.; Chuang, H.-R.,” **0.18um 3–6 GHz CMOS broadband LNA for UWB radio**” Electronics LettersVolume 41, Issue 12, 9 June 2005 Page(s):696 - 698
- [10] Chang-Ching Wu; Mei-Fen Chou; Wuen, W.-S.; Kuei-Ann Wen; “**A Low Power CMOS Low Noise Amplifier for Ultra-wideband Wireless Applications**” Circuits and Systems, 2005. ISCAS 2005. IEEE International Symposium on 23-26 May 2005 Page(s):5063 - 5066
- [11] Bo Shi, Michael and Yan Wah Chia“**Design of a SiGe Low-Noise Amplifier For 3.1 – 10.6 GHz Ultra-Wideband Radio**” *IEEE*, pp. 2269 - 2277, 2004

- [12] Kuan-Hung Chen and Chorng-Kuang Wang;” **A 3.1-10.6 GHz CMOS cascaded two-stage distributed amplifier for ultra-wideband application**” *Advanced System Integrated Circuits, Proceedings of 2004 IEEE Asia-Pacific Conference on* 4-5 Aug. 2004 Page(s):296 – 299
- [11] Ching-Luh Hsu , Fu-Chieh Hsu and Jen-Tsai Kuo“**Microstrip bandpass filters for ultra-wideband (UWB) wireless communications**” *Microwave Symposium Digest, 2005 IEEE MTT-S International* 12-17 June 2005 Page(s):679 - 682
- [12] THOMAS H. LEE;” **The Design of CMOS Radio-Frequency Integrated Circuits**” 2nd ed.,*Cambridge University Press*,2004
- [13] Bechzad Razavi;” **RF Microelectronics**” *Prentice-Hall. Inc.*,1998
- [14] Guillermo Gonzalez” **Microwave Transistor Amplifiers Analysis and Design**” 2nd ed., *Prentice-Hall. Inc.*,1997
- [15] 梁清標，〈應用於無線通訊射頻接收機之電路研製〉，元智大學碩士論文，2005
- [16] 廖哲宏，〈應用於 IEEE802.11a WLAN 之 5.7GHz CMOS 射頻接收機及功率放大器 RFICs〉，成功大學碩士論文，2003。
- [17] 鍾智琦，〈射頻低雜訊放大器與被動元件之實作與設計〉，交通大學碩士論文，2004。
- [18] Ismail, A.; Abidi, A.A., “**A 3-10-GHz low-noise amplifier with wideband LC-ladder matching network.**” *Solid-State Circuits, IEEE Journal of* Volume 39, Issue 12, Dec. 2004 Page(s):2269-2277