

國立交通大學

電信工程學系碩士班

碩 士 論 文

應用於藍芽接收機降頻電路之研究



Study of Down-Conversion Circuit  
for Bluetooth Receiver Application

研 究 生：黃勇鈞

指導教授：高曜煌 教授

中 華 民 國 九 十 五 年 十 一 月

# 應用於藍芽接收機降頻電路之研究

## Study of Down-Conversion Circuit for Bluetooth Receiver Application

研 究 生：黃勇銚

Student：Yong-Chao Huang

指導教授：高曜煌 博士

Advisor：Prof. Yao-Huang Kao



A Thesis

Submitted to The Institute of Communication Engineering  
College of Electrical Engineering and Computer Science

National Chiao Tung University

In partial Fulfillment of the Requirements

For the Degree of Master of Science

In

Communication Engineering

November 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年十一月

# 應用於藍芽接收機降頻電路之研究

## Study of Down-Conversion Circuit

## for Bluetooth Receiver Application

研 究 生：黃勇鈞

Student : Yong-Chao Huang

指導教授：高曜煌 博士

Advisor : Prof. Yao-Huang Kao

國立交通大學電信工程學系碩士班



本論文旨在利用金氧半製程實現符合藍芽接收機規格的低中頻降頻電路，此電路包含本地振盪源、低雜訊放大器與混波器，接收頻率範圍 2.4GHz~2.4835GHz，其中頻為 2MHz。本地振盪源採用正交電感電容振盪器，以對稱疊接方式降低功率損耗與相位雜訊、提供 2.1GHz~2.8GHz 的頻寬與 1.36V 的輸出電壓振幅，其正交相位誤差小於  $1^\circ$ 。為了完整探討本地振盪源，本論文亦研究以環路振盪器為核心的鎖相迴路，其中新型兩級環路振盪器利用交錯耦合架構使單級滿足  $90^\circ$  相位移，並達到 1.5V 的輸出電壓振幅、0.49GHz~2.6GHz 頻率範圍量測值及 4mW 的功率消耗，整體電流消耗量測為 10mA。

低雜訊放大器採用疊接式電感退化型架構改善雜訊指數與 IIP3，其雜訊指數為 2dB、IIP3 為 -4.2dBm；混波器採用單平衡架構節省功率消耗，並以 PMOS 為開關以降低雜訊指數，其雜訊指數為 12.4dB，IIP3 為 7.1dBm。此降頻電路設計採用 TSMC 0.18um 製程，其電壓增益約 18dB、雜訊指數為 10dB、IIP3 為 -12dBm，整體電流消耗為 15mA。

# **Study of Down-Conversion Circuit for Bluetooth Receiver Application**

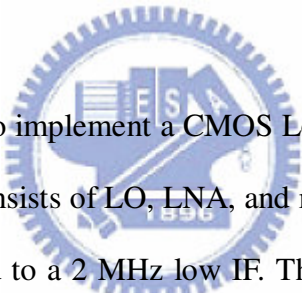
Student : Yong-Chao Huang

Advisor : Prof. Yao-Huang Kao

Institute of Communication Engineering

National Chiao Tung University

## **Abstract**



The purpose of this paper is to implement a CMOS Low-IF Down-Conversion circuit for Bluetooth Receiver. The circuit consists of LO, LNA, and mixer. The RF signals from 2.4GHz to 2.4835GHz are down-converted to a 2 MHz low IF. The LO is realized by the quadrature LC-tank cross-coupled VCO to achieve low power consumption, good phase noise, and large tuning range. The output amplitude achieve 1.36V with phase mismatch between I and Q signal less than 1°. For comparison, the two-stages ring VCO is also examined. The output amplitude and power consumption are 1.5V and 4mW, respectively. The measured frequency range is from 0.49GHz to 2.6GHz.

As regards to the receiver, a low noise amplifier with high linearity is obtained by using the cascade inductive degeneration LNA. The NF achieves 2 dB with IIP3 equals to -4.2 dBm. The mixer is realized by single-balance structure with PMOS as its switches, the NF achieves NF 12.4 dB and IIP3 7.1 dBm. This down-converter is manufactured by TSMC 0.18um process. The conversion gain is 18 dB, NF 10 dB, and IIP3 -12 dBm. The total current consumption is 15mA.



# 誌 謝

一轉眼兩年的時間過去了，此論文得以順利完成，首先要感謝我的指導教授高曜煌博士，在兩年的研究生活中，無論在電機專業領域或生活上的處事態度，都使我有很大的收穫。此外，感謝周復芳教授、許孟庭教授、及林宏澤博士撥冗擔任我的口試委員，對論文內容提供寶貴的建議及指導。

感謝國家晶片系統設計中心(CIC)及台灣積體電路公司(TSMC)，提供晶片下線與製作的機會，也感謝 912 微波精密量測實驗室和 925 天線近場量測實驗室提供儀器量測。

感謝我們 909 高頻電路暨光纖通訊實驗室的所有成員：感謝義濱學長在專業領域及工作經驗上與我分享許多寶貴的想法和觀念，也感謝我上一屆的學長崇安、銘鴻、建樺、東鈺，學長們在我剛進入研究所時，協助我適應新環境，也不厭其煩的回答我許多問題，尤其是崇安、銘鴻在我初次下線時的幫忙讓我印象深刻。在此，也要感謝晏慶、佳宏、志雄在這兩年來與我一起同甘共苦，生活和課業上都受到你們許多幫忙，我很幸運的能夠認識你們並成為同學，也祝福你們有幸福的未來。宏彰、乃元、嘉川、邦郁學弟們，也謝謝你們平時生活的照顧與協助，研究生的生活因你們而多了許多歡笑與回憶。

感謝清大時期專題指導教授張翔博士以及徐銘駿學長、張本霖學弟，你們在我清大最後一年，課業上或生活上的幫助，讓我萬分感謝。此外，也要特別感謝佳玲，與妳互動的快樂時光、酸甜滋味陪我走過了整個大學與研究所六年，這段日子令我難以忘懷，每當苦悶的時候，妳的鼓勵讓我倍感溫馨。

最後，更要特別感謝我的家人，有你們在背後毫無保留的付出和默默的支持才使我可以專心完成學業，真的謝謝你們，僅以此小小的成果與你們分享。在未來的日子裡，我會更加努力工作，不會讓你們失望。

勇鈞 於 Lab. 909, NCTU 2006/11/3

# 目 錄

|      |      |
|------|------|
| 中文摘要 | i    |
| 英文摘要 | ii   |
| 誌謝   | iii  |
| 目錄   | iv   |
| 表目錄  | vii  |
| 圖目錄  | viii |

|                       |    |
|-----------------------|----|
| 第一章 緒論 .....          | 1  |
| 1.1 研究動機與目的.....      | 1  |
| 1.2 架構探討與選擇.....      | 3  |
| 1.3 規格制訂.....         | 8  |
| 1.3.1 系統規格.....       | 9  |
| 1.3.2 子電路規格.....      | 11 |
| 1.4 論文組織架構 .....      | 14 |
| 第二章 本地振盪源 .....       | 15 |
| 2.1 正交訊號產生方式.....     | 15 |
| 2.1.1 多相位濾波器.....     | 15 |
| 2.1.2 除二電路.....       | 20 |
| 2.1.3 環式振盪器.....      | 21 |
| 2.1.4 耦合式 LC 振盪器..... | 26 |

|                                       |           |
|---------------------------------------|-----------|
| 2.2 正交壓控振盪器設計 .....                   | 27        |
| 2.2.1 架構探討與選擇 .....                   | 27        |
| 2.2.2 電路設計與模擬 .....                   | 31        |
| 2.2.3 正交相位誤差測試 .....                  | 37        |
| 2.2.4 尾電流源探討 .....                    | 39        |
| 2.3 鎖相迴路設計與量測 (CIC T18-94E-64b) ..... | 41        |
| 2.3.1 電路設計與模擬 .....                   | 41        |
| 2.3.2 量測結果與討論 .....                   | 51        |
| <b>第三章 降頻電路研究 .....</b>               | <b>56</b> |
| 3.1 相關原理 .....                        | 57        |
| 3.2.1 雜訊指數 .....                      | 57        |
| 3.2.2 線性度 .....                       | 59        |
| 3.2 低雜訊放大器設計與量測 .....                 | 60        |
| 3.2.1 架構探討與選擇 .....                   | 61        |
| 3.2.2 電路設計與模擬 .....                   | 66        |
| 3.2.3 量測結果與討論 (CIC T18-95B-84) .....  | 71        |
| 3.3 混頻器設計 .....                       | 76        |
| 3.3.1 架構探討與選擇 .....                   | 76        |
| 3.3.2 電路設計與模擬 .....                   | 80        |
| 3.4 降頻電路系統 .....                      | 83        |
| <b>第四章 結論 .....</b>                   | <b>87</b> |
| <b>附錄 A 鏡像抑制電路簡介 .....</b>            | <b>89</b> |
| A.1 Hartley 架構 .....                  | 89        |
| A.2 Weaver 架構 .....                   | 90        |

|                            |            |
|----------------------------|------------|
| <b>附錄 B 振盪器基本原理 .....</b>  | <b>92</b>  |
| B.1 負迴授系統分析 .....          | 92         |
| B.2 單端能量補償系統分析 .....       | 94         |
| B.3 環式振盪器 .....            | 96         |
| B.4 電感電容振盪器 .....          | 97         |
| <b>附錄 C 可變電容簡介 .....</b>   | <b>99</b>  |
| C.1 二極體電容 .....            | 99         |
| C.2 標準型 MOS 電容 .....       | 100        |
| C.3 反轉型 MOS 電容 .....       | 101        |
| C.4 累積型 MOS 電容 .....       | 102        |
| <b>附錄 D 正交相位誤差推導 .....</b> | <b>103</b> |
| <b>參考文獻 .....</b>          | <b>105</b> |
| <b>簡歷 .....</b>            | <b>111</b> |



# 表 目 錄

|       |                                    |    |
|-------|------------------------------------|----|
| 表 1.1 | 藍芽接收機所需規格整理 .....                  | 11 |
| 表 1.2 | LNA 效能規格整理.....                    | 12 |
| 表 1.3 | Mixer 效能規格整理 .....                 | 12 |
| 表 2.1 | 兩級環式振盪器規格列表 .....                  | 26 |
| 表 2.2 | LC 振盪器元件值列表 .....                  | 34 |
| 表 2.3 | 振盪器相位雜訊隨製程、溫度變化值 .....             | 36 |
| 表 2.4 | 正交耦合 LC 振盪器規格列表 .....              | 36 |
| 表 2.5 | 尾電流源尺寸對敏感度及相位雜訊影響 .....            | 40 |
| 表 2.6 | Ring VCO 特性比較.....                 | 42 |
| 表 2.7 | 鎖相迴路設計參數.....                      | 48 |
| 表 2.8 | 三階 LF 元件值列表 .....                  | 48 |
| 表 2.9 | 模擬與量測結果比較.....                     | 55 |
| 表 3.1 | LNA 與 Mixer 設計目標規格 .....           | 56 |
| 表 3.2 | 低雜訊放大器元件值列表 .....                  | 68 |
| 表 3.3 | 2.4GHz LNA 模擬規格列表 .....            | 71 |
| 表 3.4 | 模擬與量測結果比較.....                     | 75 |
| 表 3.5 | 混頻器元件值列表.....                      | 81 |
| 表 3.6 | 混頻器規格列表.....                       | 83 |
| 表 3.7 | LNA、Mixer 與 LNA+Mixer 模擬特性整理 ..... | 84 |
| 表 3.8 | 降頻電路模擬規格列表 .....                   | 86 |

# 圖 目 錄

|        |                                        |    |
|--------|----------------------------------------|----|
| 圖 1.1  | 常見通訊協定之頻帶分佈 .....                      | 2  |
| 圖 1.2  | 無線收發機之主要成分 .....                       | 4  |
| 圖 1.3  | 藍芽基頻信號之功率頻譜密度 .....                    | 5  |
| 圖 1.4  | Low IF 架構 .....                        | 6  |
| 圖 1.5  | Dual-conversion 架構 .....               | 7  |
| 圖 1.6  | 相位雜訊對接收信號之影響 .....                     | 10 |
| 圖 1.7  | 降頻電路系統設計圖 .....                        | 13 |
| 圖 1.8  | 子電路規格 .....                            | 14 |
| 圖 2.1  | (a) RC 多相位濾波器(Type1) (b) 輸入訊號相位圖 ..... | 16 |
| 圖 2.2  | 多相位濾波器架構(Type2) .....                  | 17 |
| 圖 2.3  | Type2 多相位濾波器之相位差模擬 .....               | 17 |
| 圖 2.4  | (a)兩級多相位濾波器 (b)兩級之相位差 (b)三級之相位差 .....  | 18 |
| 圖 2.5  | 相位誤差 (a)單級多相位濾波器 (b)兩級串接 (b)三級串接 ..... | 19 |
| 圖 2.6  | (a)主僕式除頻器 (b)基本 CMOS 門鎖 .....          | 20 |
| 圖 2.7  | 四級環式振盪器之線性模型 .....                     | 21 |
| 圖 2.8  | 兩級反相放大器之線性模型 .....                     | 22 |
| 圖 2.9  | (a)單一級反向電路 (b)兩級串接環式振盪器架構 .....        | 22 |
| 圖 2.10 | 小信號模型推導 .....                          | 23 |
| 圖 2.11 | 兩級環式振盪器之頻率可調範圍 .....                   | 24 |
| 圖 2.12 | 兩級環式振盪器 (a)正交訊號輸出波型 (b)頻譜 .....        | 25 |
| 圖 2.13 | 兩級環式振盪器之相位雜訊 .....                     | 25 |
| 圖 2.14 | P-QVCO (a)電路架構 (b)正交原理 .....           | 27 |

|        |                                              |    |
|--------|----------------------------------------------|----|
| 圖 2.15 | S-QVCO 電路架構.....                             | 28 |
| 圖 2.16 | S-QVCO 之準線性模型 .....                          | 29 |
| 圖 2.17 | 本論文使用之 QVCO 電路架構 .....                       | 30 |
| 圖 2.18 | 累積型可變電容調整範圍(@V <sub>g</sub> =0.9V).....      | 32 |
| 圖 2.19 | 偏壓電流大小對輸出振幅的影響.....                          | 33 |
| 圖 2.20 | 電晶體尺寸比值與相位雜訊的關係.....                         | 33 |
| 圖 2.21 | 振盪器可調頻率範圍 .....                              | 34 |
| 圖 2.22 | 振盪器 (a)正交訊號輸出波型 (b)頻譜.....                   | 35 |
| 圖 2.23 | 振盪器相位雜訊模擬.....                               | 35 |
| 圖 2.24 | 振盪器佈局圖 .....                                 | 36 |
| 圖 2.25 | 正交訊號頻域分析架構.....                              | 37 |
| 圖 2.26 | 模擬 QVCO 之正交相位誤差(SBR=29.1dBc) .....           | 38 |
| 圖 2.27 | 鎖相迴路架構圖.....                                 | 42 |
| 圖 2.28 | 三態 PFD (a)架構示意圖 (b)特性.....                   | 43 |
| 圖 2.29 | 本文使用之 PFD 架構.....                            | 43 |
| 圖 2.30 | CP 架構 (a)傳統電路 (b)本文使用之電路 .....               | 44 |
| 圖 2.31 | PFD,CP 及 LF 之充電狀態(V <sub>cntl</sub> 上升)..... | 45 |
| 圖 2.32 | PFD,CP 及 LF 之放電狀態(V <sub>cntl</sub> 下降)..... | 45 |
| 圖 2.33 | TSPC 除 2 電路 .....                            | 46 |
| 圖 2.34 | 除 64 電路時序圖 (上：PLL 輸出 1.2GHz 訊號，下：除頻器輸出)..... | 47 |
| 圖 2.35 | 三階低通濾波器.....                                 | 48 |
| 圖 2.36 | 鎖相迴路在 5 $\mu$ sec 後鎖定到 1.2GHz .....          | 49 |
| 圖 2.37 | (a)V <sub>cntl</sub> 鎖定情形 (b)鎖定後的漣漪.....     | 50 |
| 圖 2.38 | 鎖相迴路輸出頻譜.....                                | 50 |
| 圖 2.39 | 鎖相迴路晶片 (a)佈局圖 (b)裸晶圖.....                    | 51 |
| 圖 2.40 | 輸出頻譜量測圖 (a)1.067GHz (b)2.447GHz .....        | 52 |

|        |                                               |    |
|--------|-----------------------------------------------|----|
| 圖 2.41 | 振盪器 $K_{vco}$ 曲線(模擬與量測)                       | 53 |
| 圖 2.42 | 鎖相迴路之量測環境                                     | 53 |
| 圖 2.43 | 除頻器各工作頻率所需最小振幅                                | 54 |
| 圖 2.44 | 振盪器的頻率與輸出功率關係                                 | 55 |
| 圖 3.1  | 單級電路的 NF 計算                                   | 57 |
| 圖 3.2  | 兩級串接電路的 NF 計算                                 | 59 |
| 圖 3.3  | 共閘極架構                                         | 61 |
| 圖 3.4  | 電阻性終端架構                                       | 62 |
| 圖 3.5  | 並聯式回授架構                                       | 62 |
| 圖 3.6  | 電感退化型架構                                       | 64 |
| 圖 3.7  | 電感退化型架構的小信號分析電路                               | 65 |
| 圖 3.8  | 本文使用之低雜訊放大器架構                                 | 65 |
| 圖 3.9  | 偏壓電流大小對 LNA 的影響 (a)增益 (b)雜訊指數                 | 66 |
| 圖 3.10 | 電晶體尺寸對 LNA 的影響 (a)增益 (b)雜訊指數                  | 67 |
| 圖 3.11 | 低雜訊放大器 (a) $S_{11}$ (b)輸入阻抗                   | 69 |
| 圖 3.12 | 低雜訊放大器增益與隔離度模擬                                | 69 |
| 圖 3.13 | 低雜訊放大器雜訊指數模擬                                  | 70 |
| 圖 3.14 | 低雜訊放大器 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號 | 70 |
| 圖 3.15 | 低雜訊放大器穩定度模擬                                   | 70 |
| 圖 3.16 | 低雜訊放大器晶片 (a)佈局圖 (b)裸晶圖                        | 72 |
| 圖 3.17 | 低雜訊放大器之 $S_{11}$                              | 72 |
| 圖 3.18 | 放大器之增益與雜訊指數量測值                                | 73 |
| 圖 3.19 | 增益與雜訊指數之量測曲線圖                                 | 73 |
| 圖 3.20 | 低雜訊放大器之量測環境                                   | 74 |
| 圖 3.21 | 放大器之待測晶片與匹配網路                                 | 74 |
| 圖 3.22 | 以簡單開關實現的混頻器                                   | 77 |



|        |                                                      |     |
|--------|------------------------------------------------------|-----|
| 圖 3.23 | Gilbert cell 混頻器 .....                               | 77  |
| 圖 3.24 | 單平衡混頻器 .....                                         | 78  |
| 圖 3.25 | 本論文使用之 PMOS 單平衡混頻器(ADS 模擬架構) .....                   | 79  |
| 圖 3.26 | 混頻器 LO Power 與轉換增益的關係 @ RF_Power = -20dBm .....      | 81  |
| 圖 3.27 | 混頻器 RF Power 與轉換增益的關係 @ LO_Power = -5dBm .....       | 82  |
| 圖 3.28 | 混頻器 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號 .....     | 82  |
| 圖 3.29 | 混頻器雜訊指數 @ RF_Power = -20dBm & LO_Power = -5dBm ..... | 82  |
| 圖 3.30 | 降頻電路模擬架構圖 .....                                      | 83  |
| 圖 3.31 | 降頻電路頻譜 (a) RF 端輸入訊號 (b) IF 端輸出訊號(Single-end) .....   | 84  |
| 圖 3.32 | 降頻電路 RF Power 與轉換增益的關係 .....                         | 85  |
| 圖 3.33 | 降頻電路 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號 .....    | 85  |
| 圖 3.34 | 降頻電路雜訊指數 .....                                       | 85  |
| 圖 3.35 | 降頻電路佈局圖 .....                                        | 86  |
| 圖 A.1  | Hartley 鏡像抑制架構 .....                                 | 88  |
| 圖 A.2  | Weaver 鏡像抑制架構 .....                                  | 90  |
| 圖 B.1  | 系統震盪示意圖 .....                                        | 92  |
| 圖 B.2  | 振盪回授系統的不同觀點 .....                                    | 92  |
| 圖 B.3  | 電感電容共振槽 .....                                        | 93  |
| 圖 B.4  | 能量補償示意圖 .....                                        | 94  |
| 圖 B.5  | 交互耦合對等效負電阻 .....                                     | 94  |
| 圖 B.6  | 環式震盪器示意圖 .....                                       | 96  |
| 圖 B.7  | 主動電路等效負電阻 .....                                      | 96  |
| 圖 B.8  | 基本電感電容壓控振盪器 .....                                    | 97  |
| 圖 C.1  | p+/Nwell 接面電容 (a)製程結構 (b)電容-電壓特性 .....               | 99  |
| 圖 C.2  | 標準型 MOS 可變電容 (a)P 型製程結構與電路符號 (b)電容-電壓特性 .....        | 100 |
| 圖 C.3  | 反轉型 MOS 可變電容 P 型製程結構與電路符號 .....                      | 100 |

|       |                                       |     |
|-------|---------------------------------------|-----|
| 圖 C.4 | 累積型 MOS 可變電容 (a)製程結構 (b)電容-電壓特性 ..... | 101 |
| 圖 D.1 | 正交訊號頻域分析架構 .....                      | 102 |



# 第一章

## 緒論

### 1.1 研究動機與目的

藍芽是一種短距離無線傳輸的技術，應用在個人電子裝置中聲音和資料的傳送及接收，其建構於點對點的通訊方式，相對於傳統的無線通訊，並不需要透過基地台的協助，任何擁有藍芽的裝置都可以連接至其他擁有藍芽的裝置。初期是由手機大廠 Ericsson 期望能用來取代其產品間的連接線，而隨著技術的發展，藍芽已經嵌入更多的主流消費商品，包括個人數位助理(PDA)、耳機、筆記型電腦、滑鼠、鍵盤、印表機、掃描器、數位相機，甚至家電用品和汽車當中都可見其蹤影。在 2002 年微軟更是宣布在 Windows XP 中支援藍芽，之前則已經有 Pocket PC、Windows CE .Net、Apple (Mac OS X)、Palm 與多數手機 OS 加入支援的行列。

藍芽的發展始於 1998 年 Ericsson 與 Intel、IBM、Nokia、Toshiba 共同成立了 Special Interest Group (SIG)，目的為建立一種短距離的無線電頻率無線技術，而『藍芽』的命名，是取自一位統一了丹麥及挪威的維京國王- Harald Blatand 之名 (Blatand 可以被解釋為『Bluetooth』)，期望藍芽無線技術能夠串聯人們彼此，就像 Harald Blatand 統一了丹麥及挪威一樣。除了前述五間公司，包含 Dell、3Com、Microsoft、Motorola、Compaq、Samsung、Lucent、及 HP 等千餘家公司亦於 1999 年後加入 SIG，經由 SIG 組織會員共同努力制訂，藍芽逐漸發展成為公開的標準，進而快速地被商業界所歡迎與認同；制訂出的藍芽規格(有過數次更新)，直至今日仍公開放置於藍芽的官方網站，提供大眾免付費下載觀看，讓此技術能夠被更廣泛地運用。

為了推廣於全世界，藍芽所應用的頻帶範圍必須是在世界各地皆可得到，並且為免

執照、公開提供給所有無線系統使用的；而 ISM(Industrial-Scientific-Medical)頻帶即滿足以上要求，因此為藍芽所用，頻率範圍介於 2400 MHz 與 2483.5 MHz 之間。由於 ISM 頻帶為開放式的，工作於此頻帶中的藍芽系統必須與其它已知的應用系統(802.11b/g，見圖 1.1[3])，或未知的干擾源(如：電磁爐)競爭，為了抑制干擾及與其他高能量的通訊協定共存，藍芽系統使用跳頻展頻(Frequency-Hop(FH) spread spectrum)機制。另外藍芽利用 GFSK (Gaussian Frequency Shift Keying)調變，傳輸範圍最遠可達 10 公尺並具有每秒 1MB 的高傳輸率，同時也可以使用 pin 碼進行加密編碼。由於具備每秒 1600 hop 的 hopping 率，因此很難被電磁波攔截及阻斷。

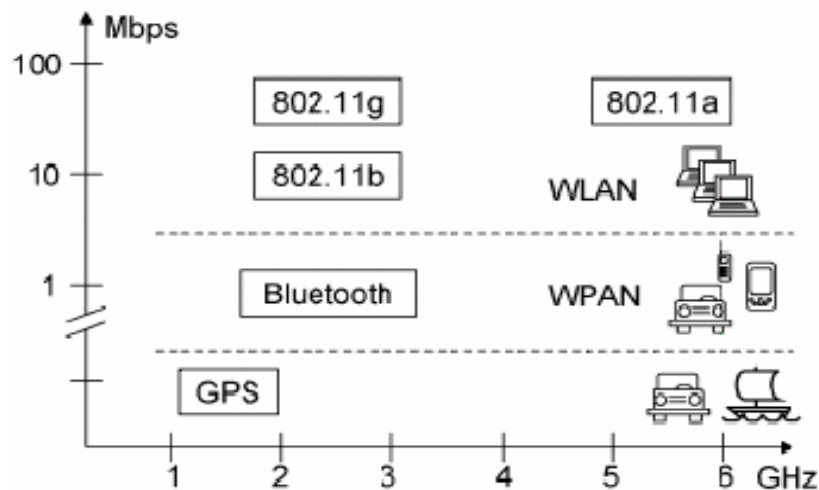


圖 1.1 常見通訊協定之頻帶分佈

跳頻展頻系統兼備有 Broadband spreading 及 Narrow-band channel 的優點，其將整個藍芽應用頻帶分割成 79 個跳躍通道(hop channel)(頻寬為 1MHz)，只要其它系統的 TX 頻譜沒有與所選取的跳躍通道一致，藍芽就可以經由窄頻濾波壓抑鄰近的干擾發射。方法如下：首先，藉由 RSSI(Receive Signal Strength Incident)在空氣中偵測到某一個通道的信號強度是否與此藍芽裝置所使用之通道重複，藉以在某個通道是否有干擾現象或有不好的通道。第二，藍芽 SIG 組織定義藍芽裝置之 LMP(Link Manger Protocol)在空氣中所使用的通道，若幾個藍芽裝置連結在一起所形成的微網(Pico-net)，則在一個微網下之所

有藍芽裝置會將所偵測到不好的通道建構成一個不可使用之通道表，並告訴此微網內之所有藍芽裝置不可再使用這些通道。最後，若藍芽裝置已知空氣中哪些不好或已受干擾的通道，則會避免這些通道在其所跳頻的通道上，再選用已知好的通道來代替這些所偵測到的通道，以達所有跳頻的通道是好的。

本篇論文目的為接收機前端(Receiver Front-end)電路的研究與設計。射頻收發機(Radio Transceiver)設計是藍芽技術能否成功的關鍵，『低成本、低功率、小面積』是收發機晶片的主要製作考量，在設計收發機晶片各項規格時，常要經過相互交易(Trade-off)以使其最終能達到低成本製作的目標。近年來的積體電路設計，為了達到以上的製作目標，均朝向將射頻電路與基頻電路結合於相同積體電路製程的單晶片整合製作(System on a Chip, SoC)方式，因此目前的研究大多都使用國內晶圓代工廠研發的主軸、對於射頻和基頻電路整合性高的 CMOS 製程。



## 1.2 架構探討與選擇

本節目的為選擇適合應用於藍芽系統的接收機架構。射頻收發機如圖 1.2 所示，可以分成三個部分[1]：無線收發(Radio block)、基頻處理(Baseband processor)和控制邏輯電路(Control logic)。其中無線收發電路包含了在射頻、中頻和基頻間的升頻(Up-conversion)與降頻(Down-conversion)部分、頻道選擇濾波器(Channel-select filter)及頻率合成(Frequency synthesis)；基頻處理電路包含了調變/解調變(Modulation/Demodulation)、時間回覆(Timing recovery)、訊息編排(Packet formatting)、跳躍選擇(Hop selection)及省功率演算法(Power-saving algorithm)；最後，控制邏輯電路包含了連接設立(Connection establishment)、訊息列表(Packet scheduling)及處理和主機(Host)的連結。本論文所要探討的射頻接收機前端，即為前述的降頻電路部分，包含了低雜訊放大器(LNA, Low Noise Amplifier)、混頻器(Mixer)和本地震盪器(LO, Local

Oscillator)，其中本地震盪器部分會討論產生正交振盪輸出訊號的方式(包含環式震盪器(Ring Oscillator)與電感電容共振槽震盪器(LC-tank Oscillator))，以及鎖相迴路。

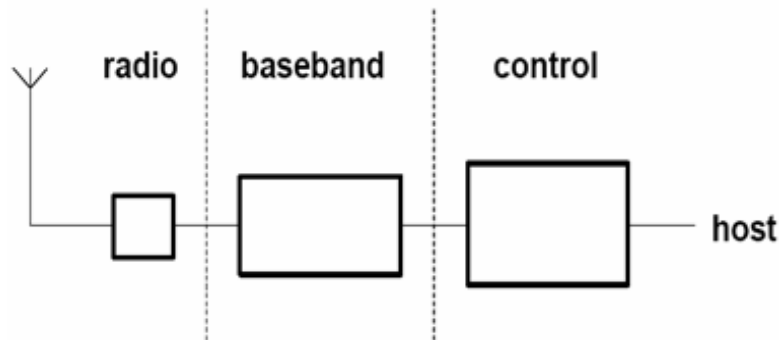


圖 1.2 無線收發機之主要成分

近年來的射頻接收機設計，有四種主要的架構：超外差(Super-Heterodyne)、零中頻(Zero-IF)或直接降頻(Direct-conversion)、低中頻(Low-IF)及兩次降頻(Dual-conversion)架構，其中前三種架構差異之處，在於不同中頻(Intermediate frequency)的選擇。以下將分別討論並從中選擇最適用於藍芽系統的射頻接收機架構：

1. 超外差接收機中，主要隱憂在於鏡像頻率(Image frequency)的問題，因此需要一個鏡像抑制濾波器(Image-Rejection Filter)，但往往都是外掛的被動元件，如：表面聲波濾波器(SAW, Surface Acoustic Wave)；而由於此架構使用的中頻(約幾十 MHz)高於信號的頻寬(藍芽系統為 1MHz)甚多，頻道選擇濾波器的 Q 值(Quality factor)要求甚高，常需要外接被動的濾波器才能達到 High-Q 的特性。外接的元件，不但使系統積體化的水準降低，也會有額外的功率消耗在 I/O 的驅動電路上；此外較高的中頻亦造成中頻相關電路設計上的複雜度，並增加了在中頻電路上消耗的功率。所以雖然超外差的接收方式擁有好的接收品質，如：低直流偏移(DC offset)、低雜訊參數和低的錯誤判別率，但因為上述的缺點，並且有外接元件與接收機製作上全積體化低成本的目標背離，超外差架構極少被採用於藍芽射頻接收機中。

2. 直接降頻接收機中，由於中頻信號頻率為 0Hz (亦即 RF 頻率與 LO 頻率相等)，



與超外差架構比較，不需要外接被動的鏡像抑制濾波器，而是以 2 條正交接收路徑(I/Q path)作為鏡像抑制的方式；同時也由於中頻載波在 0Hz，不需要外接被動 High-Q 濾波器，即可將其餘頻率濾除，省去外接元件使得接收機可以整合在單一晶片上，降低晶片製作的成本。然而直接降頻接收機仍有三個主要問題：I/Q 不匹配、閃爍雜訊(Flicker noise)和直流偏移(DC offset)。首先，如果本地震盪器提供給原先預期接收之兩個接收路徑，相位差並非完美的 90 度或是震幅不相等，亦即 I/Q 不匹配，會造成接收之訊號星座圖(Signal constellation)的偏移、干擾，增加接收的錯誤率，不過所幸這樣的不匹配隨著製程的整合已經得到改善，亦可以藉由在基頻的數位信號處理得到修正。

然而根據模擬顯示，一般在混波器輸出端的閃爍雜 corner frequency 大約落在幾百 kHz 附近，因為藍芽系統使用 GFSK 的調變，99%的基頻信號集中在 DC 至 430kHz 附近(見圖 1.3)[5]，若使用零中頻架構，閃爍雜訊與直流偏移將會降低藍芽系統的訊雜比。直流偏移產生的原因，是由於本地端訊號頻率與 RF 端訊號頻率相同，一旦混波器的 LO 埠有寄生效應，使本地端的訊號竄流(leak)至混波器的 RF 端，甚至竄流至低雜訊放大器之輸入端，而經由低雜訊放大器放大之後與原有的本地訊號作自我混頻(Self-mixing)，會對輸出端產生一個直流偏移量，並因為訊號強度大，很容易蓋過原先欲接收的信號，對於後級的基頻放大器，甚至有可能只見飽和的電壓值。因此直接降頻接收機架構，亦不適用於藍芽系統。

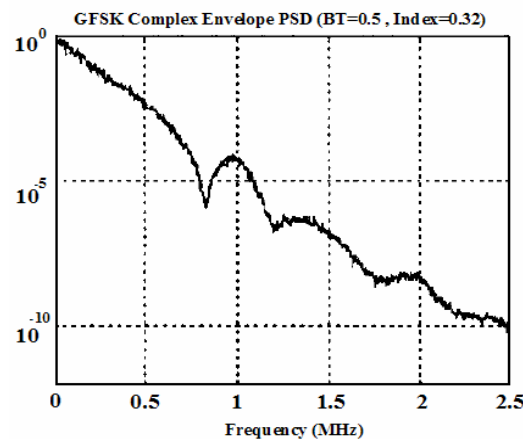


圖 1.3 藍芽基頻信號之功率頻譜密度

3. 低中頻接收機架構如圖 1.4，由於中頻信號頻率很低(約幾十 KHz ~ 幾 MHz)，可以大幅減輕中頻時頻道選擇濾波器的 Q 值需求，因不需外接被動的濾波器，使得低中頻接收機在系統晶片整合度上很高。較高的積體化水平意味著製作成本的降低，並且沒有直接降頻架構中閃爍雜訊與直流偏移的問題，近年來對於藍芽無線接收機的研究，大多都使用低中頻的架構。

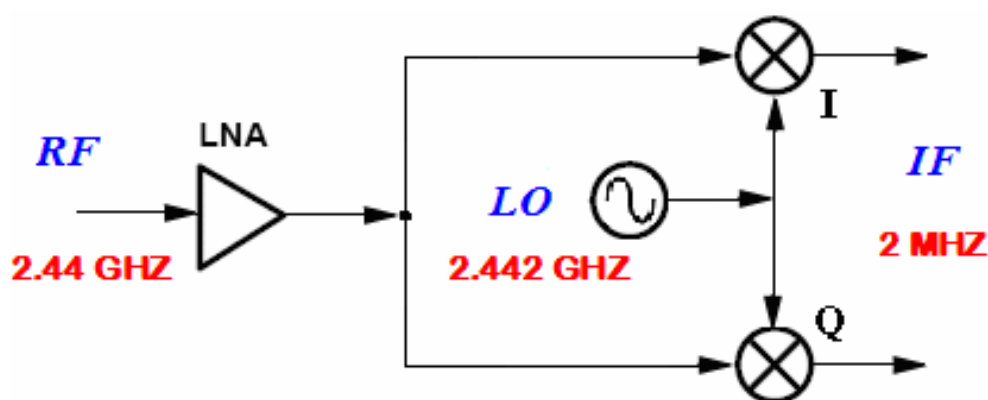


圖 1.4 Low-IF 架構

中頻的選擇往往需要經由許多系統設計上的 Trade-off，極低的中頻可以將中頻濾波器在 Q 值上的負擔壓的很低，但濾波器就相對需要更加陡峭的 cut-off 性能，來去除直流偏移及閃爍雜訊；而較高的中頻，濾波器設計的需求會增加設計的困難度，以及功率上的損耗。為了平衡以上的問題，現階段常見的藍芽接收機中頻大多選擇在兩倍通道頻寬處，亦即 2MHz；此外由於藍芽基頻信號的頻寬約 430kHz，所以頻道選擇濾波器的 Passband 範圍約為 1.47MHz 至 2.53MHz。因為藍芽系統使用之 GFSK 調變，能量大多在零中頻附近，2MHz 的中頻載波頻率選擇，可將信號置於閃爍雜訊的 corner 頻率之外，減輕閃爍雜訊對於系統接收訊號的影響；而直流偏移的問題，可在放大器間利用 AC coupling 做移除，不損害位於 2MHz 之接收中頻信號。由於 2MHz 的中頻選擇，鏡像頻率將會落在 80MHz 的 ISM 頻帶內，更明確地，位於和所接收信號相隔 4 個通道頻寬處 (4MHz)，因此系統通鏡像抑制的需求可以利用 I-Q 鏡像抑制混波器(Image-rejection Mixer) 將鏡像頻率去除。如同直接降頻接收機架構，正交訊號的理想與否相當關鍵，會影響低



中頻架構中射頻鏡像頻率的消除量，在本論文中也將對如何提供正交訊號作討論。

4. 兩次降頻至零中頻的架構如圖 1.5 所示，相較於前述三種單次降頻架構不同處，在於需要兩個混波器以及兩個本地震盪訊號來達到降頻的作用。此種架構在近年來的藍芽接收機研究中，和低中頻架構一樣常見。一般的頻率設計，在第一級降頻時是採用  $f_{LO} = \frac{2}{3} \cdot f_{RF} = 2 \cdot f_{IF}$ ，拉高第一次降頻的中頻，使本地震盪器訊號頻率離中頻訊號遠，在第一級中頻處可以很容易經由 RC 濾波器將射頻訊號及本地端訊號濾除；第二集降頻則是採用  $\frac{1}{2} \cdot f_{LO}$  的本地震盪頻率，來將第一級所產生的中頻訊號降至 0Hz。

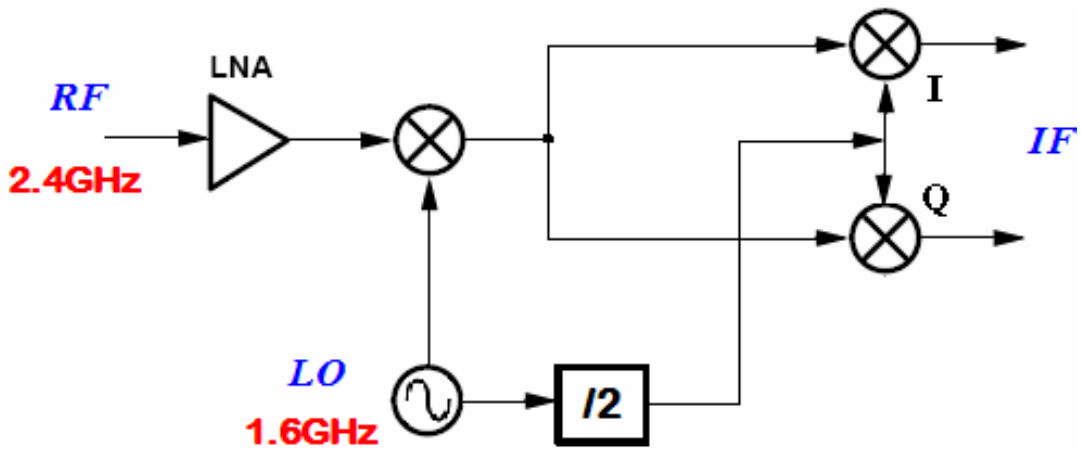


圖 1.5 Dual-conversion 架構

與直接降頻架構相同地，不需要外接被動的鏡像抑制濾波器，而是以 2 條正交接收路徑(I/Q path)作為鏡像抑制的方式；同時也由於中頻載波在 0Hz，不需要外接被動 High-Q 濾波器，即可將其餘頻率濾除，省去外接元件的結果，使得接收機可以整合在單一晶片上，降低晶片製作的成本。不過相對於直接降頻架構，兩次降頻的方式可以減輕閃爍雜訊與直流偏移的問題。

首先，因為第一級本地震盪端的頻率與接收之射頻訊號不同，即使混波器的 LO 埠有寄生效應，使本地端的訊號竄流至混波器的 RF 端，甚至竄流至低雜訊放大器之輸入端，由於頻率與 RF 訊號不同而不會經天線與低雜訊放大器的放大，並不會有自我混頻

而產生直流偏移的問題，亦不會對輸出端產生一個直流偏移量，而產生強度大並很容易蓋過原先接收信號的訊號。第二，由於經過兩次降頻，在第二級混波器所接收的本地端信號頻率較低，使得混波器輸出端所受到閃爍雜訊的干擾大幅降低，對於藍芽系統的訊雜比影響程度也降低，亦不需以加大混波器電晶體尺寸的方式來克服閃爍雜訊的問題。此外，第二級降頻所需之本地震盪訊號，由第一級降頻之本地震盪器經除二電路實現，只需一個本地震盪器即可完成二次降頻；此除二電路同時可以提供 I/Q 的輸出信號給第二級混波器使用。

經過前述對於常見接收機架構的探討，由於超外差架構需要外接元件，使得整體系統的整合度差，而直接降頻架構則是有閃爍雜訊和直流偏移的問題，我們可以知道低中頻架構與兩次降頻架構較適用於藍芽射頻接收機中。而由於低中頻架構對比於兩次降頻架構，只需一級降頻電路即可在設計後達到藍芽系統的規格要求，因此基於節省功率消耗上的考量，在本論文中將採用低中頻式作為藍芽接收機架構。因為降頻電路是低中頻式接收機中的關鍵電路，本論文將會逐一探討降頻電路的相關設計，並採用射頻與基頻電路整合度高的 TSMC 0.18um RF CMOS 製程，以實現單晶片整合系統(SoC)且符合藍芽系統規範為目標。電路包含低雜訊放大器、混波器和本地震盪器，其中本地震盪器部分會討論產生正交輸出信號的方法。

### 1.3 規格制訂

本節內容主要模擬並訂定接收機中各電路所需的規格，使系統符合藍芽規範[11]，接收機的規格考量包括：雜訊指數(NF, Noise figure)、線性度(Linearity)、振盪器相位雜訊(Phase noise)及消耗功率大小(Power)。

### 1.3.1 系統規格

由於藍芽系統預期將會廣泛的應用在各式各樣的消費性電子商品，而這些應用都共同分享著這 80MHz 的 ISM 頻帶，在相近地域內信號間相互干擾、限制的情況是很有可能的，因此在藍芽系統的規格上對於交互調變(Inter-modulation)的重視勝過於射頻接收機的敏感度(Sensitivity)。此外，因為藍芽系統是被展望為短距離通訊的連接，系統的主要應用將不容易被範圍及雜訊所限制。設計藍芽射頻接收機的第一個步驟，是從藍芽標準 (Specification of Bluetooth system) 中粹取出系統所需的電路規格，如：雜訊參數、輸入三階交調載取點(IIP3, Input third intercept point)和無雜散動態範圍(SFDR, Spurious free dynamic range)等。

接收機的敏感度是以位元誤差率(BER, Bit error rate)為 0.1% 時的輸入信號準位來定義。以藍芽接收機而言，為了在 10 公尺範圍內有 0dBm 的輸出功率，敏感度只需有 -70dBm 以上的水平即已足夠。另外，藍芽使用 GFSK 調變(BT product=0.5)，且調變指數(modulation index)  $MI = \frac{2\Delta f_{(SSB)}}{BW} = 0.28 \sim 0.35$ ，其中頻率偏移(frequency deviation,  $\Delta f_{(SSB)}$ )介於 140kHz~175kHz 之間。為了達到 BER = 0.1%，訊號雜訊比(SNR)約為 21dB，加上  $P_{in,min} = -70\text{dBm}$ 、通道頻寬為 1MHz，利用式 1-1 可以求得藍芽接收機之雜訊參數規格必須小於 23dB。相對於今日雜訊參數設計常可達到 10dB 附近，這樣的規格(23dB)顯得寬鬆許多。

$$P_{in,min} = -174 \frac{\text{dBm}}{\text{Hz}} + NF + 10 \log BW + SNR_{min} \quad (1-1)$$

$$P_{IM3} = IP3 + 3(P_{int} - IP3) \quad (1-2)$$

$$SFDR = \frac{2}{3} (IP3 - (Sensitivity - SNR)) \quad (1-3)$$

載波旁鄰近干擾的限制，是根據交互調變的規格需求而制訂。兩個存在於  $f_o + \Delta f$  及  $f_o + 2\Delta f$  的干擾將會在所欲得之頻道  $f_o$  處產生三階交互調變乘積( $IM_3$ )；而所接收到干

擾的能量以及三階交調載節點( $IP_3$ )經由式 1-2 決定了  $IM_3$  的能量。假設接收到信號的功率大於敏感度 3dB 以上，且在距離 1 公尺處有 2 個 0dBm 的干擾信號下仍要維持 BER 在 0.1% 以下，接收機的 IIP3 規格至少要大於 -16dBm。將前述所得之  $IIP3 = -16\text{dBm}$  和 Sensitivity = -70dBm，經由式 1-3 可以求得 SFDR 之規格約為 50dB。

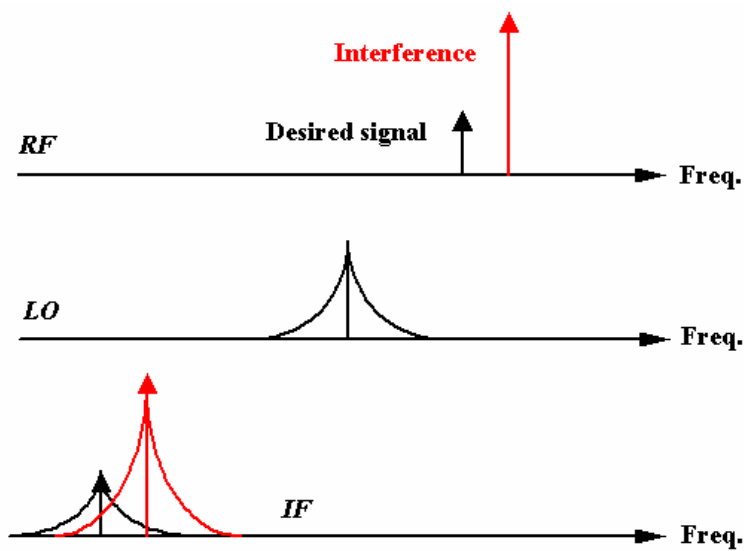


圖 1.6 相位雜訊對接收信號之影響

由於本地震盪源的雜訊能量會與不想要的干擾訊號降頻至我們要用的頻帶內，如圖 1.6 所示，在設計時必須對於本地震盪訊號源的相位雜訊作規範。相位雜訊(Phase noise)的規格是由 3 個或以上的鄰近頻道防護需求(約 40dB)來決定，一般藍芽接收機中對於本地震盪源相位雜訊的規範，是要求在頻率偏移(frequency offsets)於 3MHz 以上時，至少達到 -124dBc/Hz 的水準，這樣的雜訊規範使得在藍芽接收機內可以使用全積體化(fully integrated)的壓控震盪器，包含主動電晶體、可變電容(varactors)，更重要的是可以使用 Q 值較低的 on-chip 電感。當然我們也可以利用式 1-4 來推算：

$$L\{\Delta\omega\} = P_{desired}(\text{dBm}) - P_{blocking}(\text{dBm}) - SNR(\text{dB}) - 10\log(\text{Channel\_BW}) \quad (1-4)$$

可得：

$$L\{3\text{MHz}\} = -70(\text{dBm}) - (-30)(\text{dBm}) - 21(\text{dB}) - 10\log(10^6) = -121\text{dBc/Hz}$$

假設接收機的射頻端頻率大於本地端頻率，中頻為  $f_{IF} = f_{RF} - f_{LO}$ ，則鏡像訊號所在的頻率為  $f_{image} = f_{LO} - f_{IF} = f_{RF} - 2f_{IF}$ 。如果以前述談過的超外差架構而言，因為 IF 頻率比較高，鏡像頻率的訊號是利用外接的表面聲波濾波器將鏡像訊號濾除；但是以本論文中應用在藍芽系統的低中頻接收機架構而言，由於 IF 頻率很低，使得鏡像頻率甚至落在 ISM 的頻帶內，無法用濾波器濾除，此時就必須在 IF 後端利用鏡像抑制電路(見附錄 A)，約 20dB 的鏡像抑制量規格(IRR, In-Band-Image Rejection Ratio)可以滿足藍芽規範。亦可以使用式 1-5 計算出所需的 IRR：

$$IRR = P_{image}(dBm) - P_{desired}(dBm) + SNR(dB) \quad (1-5)$$

綜合本節所述，最後將藍芽接收機所需規格要求整理於表 1.1。

表 1.1 藍芽接收機所需規格整理

|                               |                    |
|-------------------------------|--------------------|
| <b><i>Sensitivity</i></b>     | -70dBm (0.1%BER)   |
| <b><i>SNR</i></b>             | 21dB               |
| <b><i>NF</i></b>              | 23dB               |
| <b><i>IIP3</i></b>            | -16dBm             |
| <b><i>SFDR</i></b>            | 50dB               |
| <b><i>VCO Phase Noise</i></b> | -124 dBc/Hz @ 3MHz |
| <b><i>IRR</i></b>             | 20dB               |

### 1.3.2 子電路規格

本節將訂定應用於低中頻接收機中子電路的規格，包含：正交本地振盪源、低雜訊放大器與混頻器，其中振盪器的相位雜訊規格已於 1.3.1 節中推導，在此將重點放在低

雜訊放大器及混頻器。在制訂規格之前，首先對 LNA 及 Mixer 已有之技術作回顧，分別列於表 1.2、1.3：

表 1.2 LNA 效能規格整理

| Ref. | Process (CMOS) | Freq. (GHz) | Supply Voltage | Power (mW) | Gain (dB) | NF (dB) | IIP3 (dBm) | Year |
|------|----------------|-------------|----------------|------------|-----------|---------|------------|------|
| [13] | 0.35           | 0.9         | 2.7            | 21.6       | 17.5      | 2       | -6         | 2001 |
| [14] | 0.25           | 1.23        | 2.5            | 9          | 0.8       | 0.8     | -11        | 2002 |
| [15] | 0.18           | 5.7         | 1.8            | 14.4       | 14.5      | 3.65    | -3.3       | 2003 |
| [16] | 0.18           | 2           | 1.8            | 10.8       | 15        | 0.7     | 6          | 2004 |
| [17] | 0.18           | 2.4         | 1.8            | 7.2        | 15        | 2.2     | 3          | 2004 |
| [18] | 0.18           | 2.4         | 1.5            | 15         | 24        | 2.62    | N/A        | 2005 |

表 1.3 Mixer 效能規格整理

| Ref. | Process (CMOS) | IF (MHz) | Supply Voltage | Power (mW) | CG (dB) | NF (dB) | IIP3 (dBm)  | Year |
|------|----------------|----------|----------------|------------|---------|---------|-------------|------|
| [21] | 0.5            | 100      | 2              | 7.6        | 5       | 18      | 13          | 1999 |
| [22] | 0.5            | 70       | 2              | 3          | -2      | 22      | 6           | 2000 |
| [23] | 0.35           | 150      | 3              | 29.1       | 10.4    | 7       | -6          | 2001 |
| [24] | 0.18           | 100      | 2.5            | 3.5        | -2.8    | N/A     | 20          | 2002 |
| [25] | 0.18           | 100      | 1.8            | 3.95       | 20.91   | 9.1     | -13.6       | 2003 |
| [26] | 0.18           | 280      | 1.8            | 11.16      | -2.75   | 11.8    | -3.8 (P1dB) | 2003 |



由近年來所發表的文章看來，以 CMOS 製程設計的低雜訊放大器增益約在 15dB 附近，NF 約為 0.5 ~ 4dB，IIP3 約為 -6 ~ 6dBm；而混頻器設計之增益約在 -3 ~ 10dB，NF 約為 9~22dB，IIP3 約為 -5 ~ 15dBm。在做系統模擬前，必須利用前述特性範圍來對電路做預估，避免制訂出不實際的電路規格。

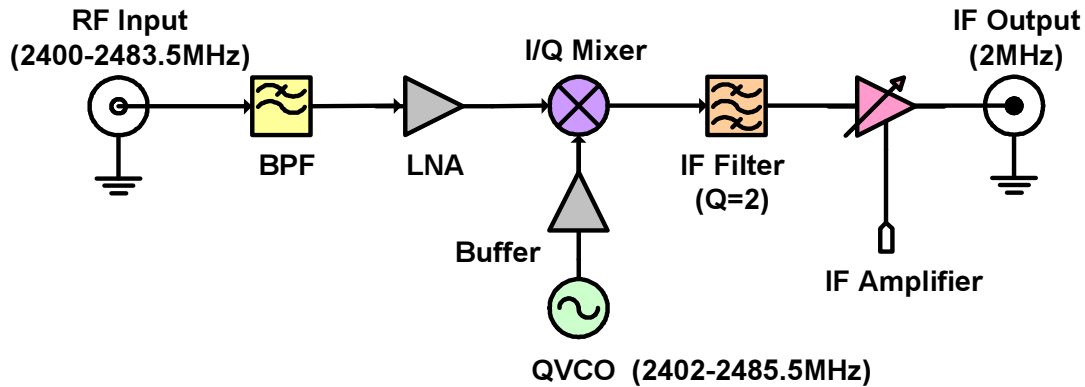


圖 1.7 降頻電路系統設計圖

圖 1.7 為應用於藍芽之降頻電路系統設計圖，本論文所實現電路包含一級低雜訊放大器、I/Q 降頻混波器及能夠提供正交訊號的振盪器，而可變增益放大器及中頻濾波器並無討論。系統之輸入阻抗與輸出負載皆為 50Ω，整體系統預計規格如表 1.1 所述。在預估每級規格時需注意 NF 與 IIP3 是由後級往前級推算，在後面 3.1 節中會推導出增益對 NF 與 IP3 的影響趨勢剛好相反，當前一級的增益較大時，NF 的特性較好而 IIP3 則較差。

首先，LNA 的規格預估參考文獻[13-18]，Gain：15dB、NF：3dB、IIP3：-5dBm，Mixer 之預估規格參考文獻[21-26]，CG：5dB、NF：15dB、IIP3：5dBm，最後振盪器的相位雜訊規格參考 1.3.1 節為 -124 dBc/Hz @ 3MHz。圖 1.8 為經過模擬及適當調整所訂定適合各級的規格，其中特別留意 NF 的結果是以前一級的輸出阻抗作為參考，而電壓增益為 Loaded Voltage Gain，可得系統 NF=6.06dB(50 ohm)，IIP3=-11.14dBm，全部電壓增益為 30dB。



|                          | V1     | BPF | V2     | LNA | V3    | Mixer | V4 | IF Filter | V5 | IF Amp | V6 |
|--------------------------|--------|-----|--------|-----|-------|-------|----|-----------|----|--------|----|
| Stage Gain<br>Av (dB)    |        | -1  |        | 15  |       | 5     |    | -4        |    | 15     |    |
| Cumulative<br>Av (dB)    |        | -1  |        | 14  |       | 19    |    | 15        |    | 30     |    |
| Stage NF (dB)            |        | 1   |        | 3   |       | 15    |    | 4         |    | 10     |    |
| Cumulative NF (dB)       | 6.06   |     | 5.06   |     | 15.94 |       | 14 |           | 10 |        |    |
| Stage IIP3 (dBm)         |        | 100 |        | -5  |       | 5     |    | 100       |    | 5      |    |
| Cumulative<br>IIP3 (dBm) | -11.14 |     | -12.14 |     | 2.94  |       | 9  |           | 5  |        |    |

圖 1.8 子電路規格

## 1.4 論文組織架構



本論文重點將放在藍芽接收機前端的製作，並以 TSMC 0.18 $\mu$ m RF CMOS 製程實現，各章摘要如下：

第二章本地振盪源，將先探討四種產生正交輸出訊號的方式，接著為應用於本地振盪源的正交壓控振盪器之設計與模擬，並研究尾電流源對電路的影響。最後是鎖相迴路的設計與量測結果討論。

第三章為降頻電路的研究，先從事低雜訊放大器與混頻器之設計與模擬，其中包含低雜訊放大器之量測結果。最後將其與振盪器合成降頻電路後作系統模擬。

第四章為本論文做總結。

## 第二章

# 本地振盪源

在接收機中，本地振盪源(Local Oscillator)的設計必須滿足幾項基本要求：相位雜訊小，可以減輕接收頻道內的干擾；輸出振幅大，可以使混波器運作較為線性；足夠的頻率可調範圍，在溫度和製程偏移時仍足以供降頻使用；若是為了提供直接降頻架構的 I/Q 接收路徑或是低中頻接收機架構中鏡像抑制的需求，提供精準的正交(Quadrature)信號更是不可缺乏的關鍵。

設計上可以使用單一的振盪器或是頻率合成器，來作為接收機的本地振盪訊號。本章先討論在接收機中幾種提供正交訊號的方法，接著設計具有正交相位輸出的壓控振盪器，最後是鎖相迴路的設計與晶片量測結果討論。



### 2.1 正交訊號產生方式

本節目的為找出最適合使用在本論文接收機中，正交本地振盪訊號的產生方式。常見的方法主要有四種：多相位濾波器、除頻器、環式震盪器，及正交耦合式 LC 振盪器。

#### 2.1.1 多相位濾波器

在壓控振盪器的差動輸出端，緊接著多相位濾波器(Polyphase filter)，可將原先輸出的差動信號轉成四相位的正交信號。圖 2.1(a)為基本的被動多相位濾波器架構，是全由電阻、電容組成的對稱 RC-CR 網路，輸入端為四個接近正交的信號，其工作原理如下：

圖 2.1(b)為多相位濾波器的輸入訊號相位圖[28]，假設其有 $\theta$ 的相位偏差。首先 $V_A$ 與 $V_C$ 、 $V_B$ 與 $V_D$ 之間的相位差，只要在電路對稱的情況下，均保持 $180^\circ$ ；然而 $V_A$ 與 $V_B$ 間的相位差則會與電路中電阻電容值的調整、相位偏差 $\theta$ 值的大小，有直接的關聯，如果將 $V_0$ 作為參考相位， $V_A$ 與 $V_B$ 的相位為

$$\angle V_A|_{V_0=ref} = \tan^{-1}\left(\frac{\cos\theta + 1/(\omega RC)}{\sin\theta}\right) \quad (2-1)$$

$$\angle V_B|_{V_0=ref} = \tan^{-1}\left(\frac{-\sin\theta}{\cos\theta + \omega RC}\right) \quad (2-2)$$

當電路完美的調整至 $\omega RC = 1$ ，亦即輸入頻率 $f = \frac{1}{2\pi RC}$ 時，由式 2-1 及 2-2 可以得知此時 $V_A$ 與 $V_B$ 間的相位差與 $\theta$ 無關，永遠維持 $90^\circ$ 。

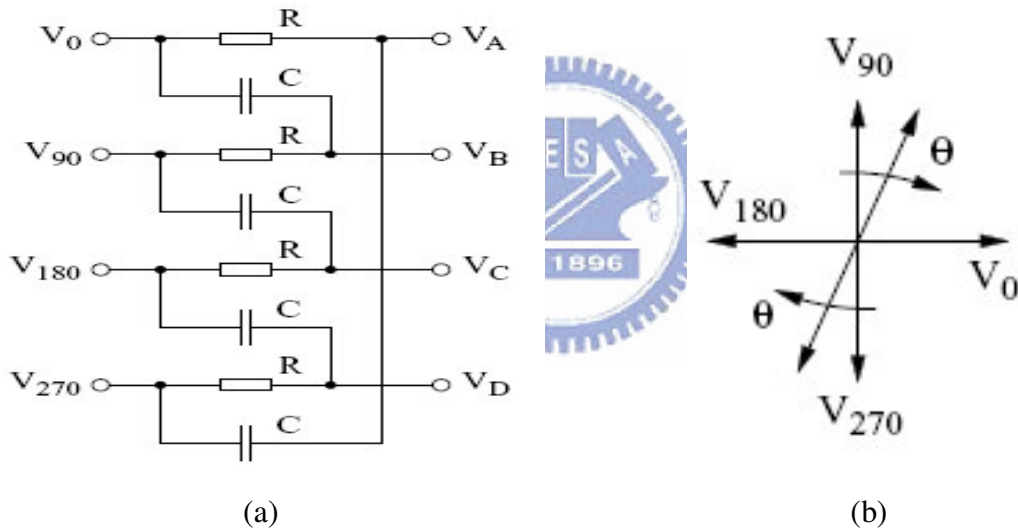


圖 2.1 (a) RC 多相位濾波器(Type1) (b)輸入訊號相位圖

由於 RC-CR 的相位移網路，只有當輸入頻率為 $\frac{1}{2\pi RC}$ 時才會有振幅大小相同、相位移準確的輸出訊號，具有相當窄頻的特性，因而對於製程上電阻電容值的偏移、電路佈局(Layout)時的不匹配相當敏感，改良窄頻缺點的方式為利用串接多級來增加頻寬，進而抵抗製程上的飄移。然而串接多級的多相位濾波器，雖然可以減輕前述的問題，但是訊號卻也在 RC-CR 網路中損耗；此外，因為多相位濾波器直接與振盪器的 LC 共振槽並聯，成為其負載而降低了振盪器輸出訊號的振幅及共振電路 Q 值。因此必須要額外加

入放大器或緩衝級，來彌補訊號的衰減和 Q 值的降低，付出代價為增加大量的功率消耗。

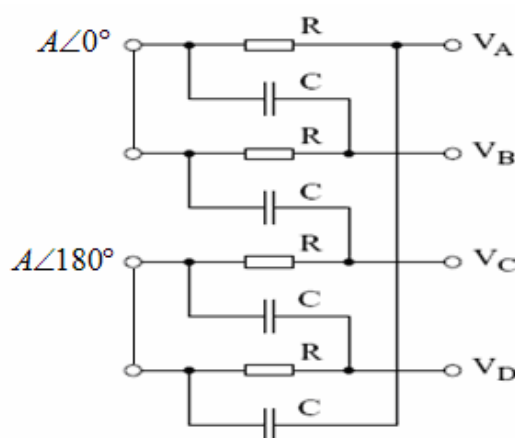


圖 2.2 多相位濾波器架構(Type2)

圖 2.2 為另一種常見的多相位濾波器架構，由於多相位濾波器是接於振盪器的差動輸出之後，因此必須使用此架構。若對 Type2 多相位濾波器架構送入大小為 1.8Vpp 的正弦波訊號，將一級的中心頻率選在 2442MHz，此架構在相位移的模擬特性顯示在圖 2.3。由圖 2.3 得知其輸出相位移為窄頻特性，只有在中心頻率 2442MHz 處才有精準的正交相位輸出，一旦因製程飄移造成 RC 值的變動，將造成相位上的誤差；此外，本接收機所需的本地振盪頻率為 2402MHz 至 2485.5MHz，單級多相位濾波器的窄頻特性亦不適用。接下來嘗試以串接多級的方式來達成寬頻的特性：

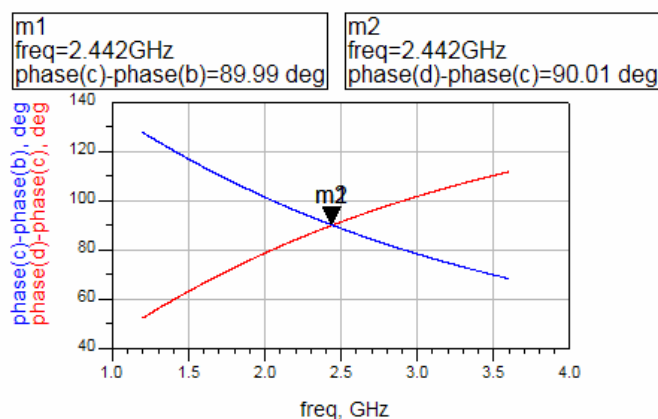
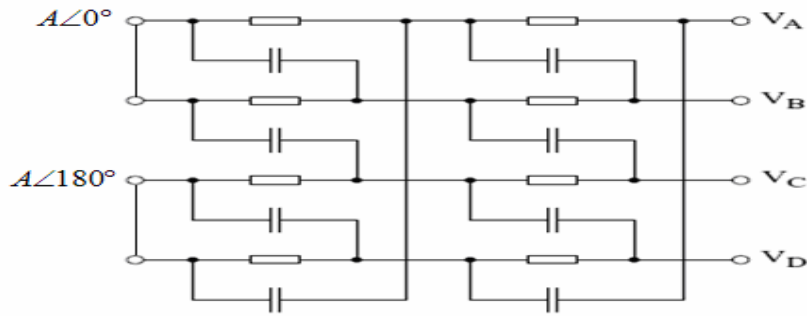
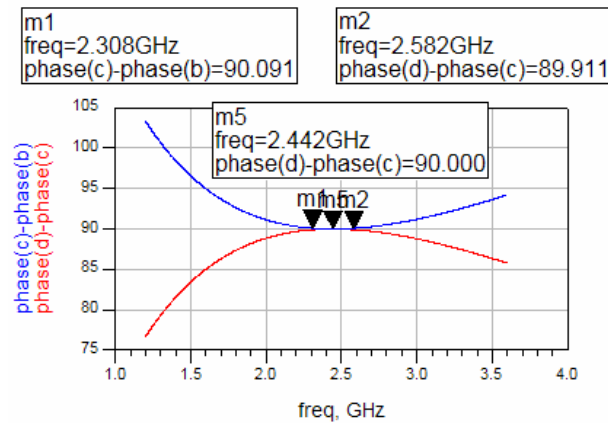


圖 2.3 Type2 多相位濾波器之相位差模擬

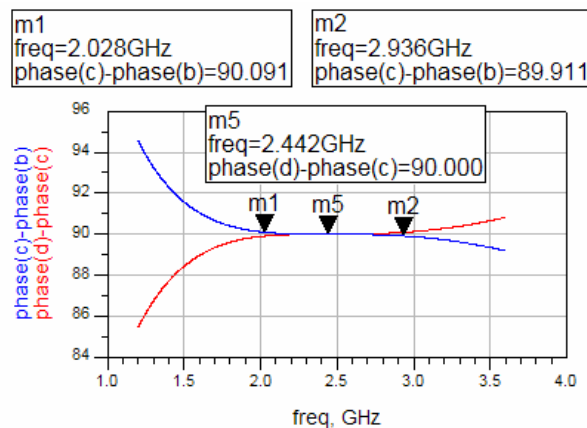
圖 2.4(a)為兩級多相位濾波器，其相位差顯示於圖 2.4(b)，可以看出在  $89.91^\circ$  及  $90.09^\circ$  之間有 274MHz 的頻寬，遠比單級時寬頻許多；另外，三級多相位濾波器(架構圖省略)之相位差顯示於圖 2.4(c)，在  $89.91^\circ$  及  $90.09^\circ$  之間則有 908MHz 的頻寬。



(a)



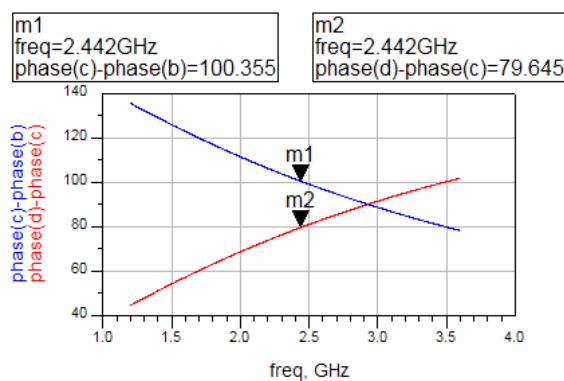
(b)



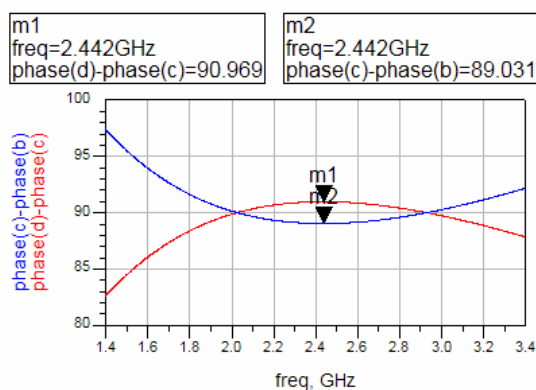
(c)

圖 2.4 (a)兩級多相位濾波器 (b)兩級之相位差 (c)三級之相位差

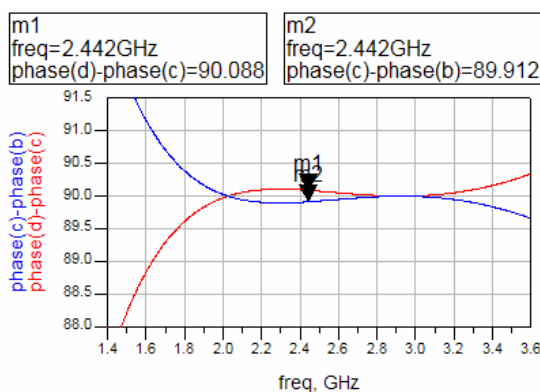
由於 R、C 值會隨製程飄移，而造成多相位濾波器的中心頻率偏移，接下來模擬當中心頻率在 2442MHz 附近有 20% 偏移時，對相位造成的誤差程度。圖 2.5 顯示單一級時有高達  $10.3^\circ$  的誤差、兩級時縮減為  $0.96^\circ$ ，而三級串接時更只有  $0.09^\circ$  的相位誤差。



(a)



(b)



(c)

圖 2.5 相位誤差 (a)單級多相位濾波器 (b)兩級串接 (c)三級串接

由本節討論得知，若採用三級串接的多相位濾波器，幾乎為理想的正交輸出訊號，的確能夠克服被動元件值的偏移。不過由於過多的電阻、電容，佔有廣大的晶片面積並且消耗過多的功率，本論文並不使用多相位濾波器來產生正交的本地振盪訊號。

### 2.1.2 除二電路

第二種常見方法為使用一個具有差動輸出的電感電容壓控震盪器，讓其工作在兩倍所需頻率之處，然後經由一個除二電路後得到所需的工作頻率及四路相互正交的訊號；這種除二電路通常是由 2 個門鎖(latches)以主僕式(master-slave)架構組成，其具有正交相位輸出的特點，圖 2.6(a)所示為主僕式除頻器的示意圖。振盪器輸入除二電路訊號之工作週期(Duty cycle)的對稱度，與除頻器輸入端是否匹配，是除頻器法能否產生準確正交訊號的關鍵。

除頻器法相對於 RC 多相位濾波器而言，對於製程上的偏移容忍度較高、所佔的晶片面積較小、具有增益可使信號增強，並且應用的頻帶較廣而有別與多相位濾波器的窄頻應用。然而其缺點在於壓控振盪器必須工作在至少 2 倍的頻率，增加設計上的難度；並且因為增加了除頻器，而提高了整體電路在功率上的消耗。

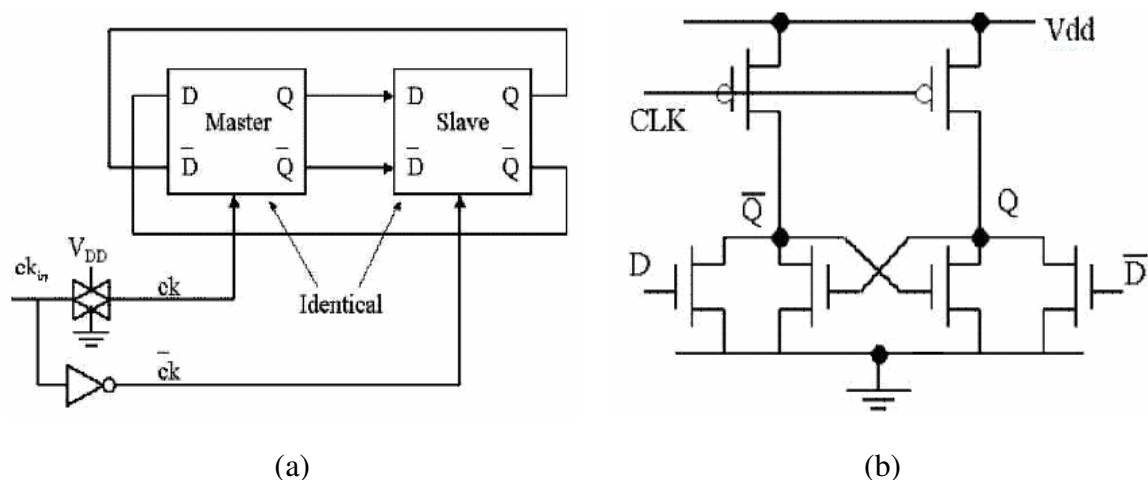


圖 2.6 (a)主僕式除頻器 (b)基本 CMOS 門鎖



### 2.1.3 環式振盪器

前面 2 節各討論了一種產生正交本地振盪訊號的方式，這兩種方式都必須在振盪器的差動輸出端後級，接上額外的正交產生電路，而增加了多餘功率損耗。接下來將探討的方法，是由壓控振盪器直接產生正交訊號而節省了功率的消耗，本節使用環式振盪器，下一節則是電感電容振盪器。

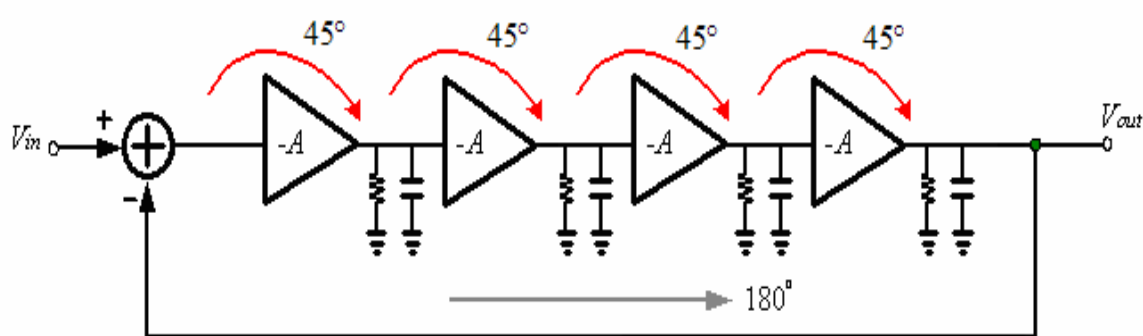


圖 2.7 四級環式振盪器之線性模型

為了滿足巴克豪森準則，一般環式振盪器設計若要產生正交相位輸出，四級反相器串接為最低的級數要求。圖 2.7 為四級環式振盪器的線性模型，將每級反相放大器分為提供直流增益的部分和提供相位移的  $RC$ ，由於迴路中直流成分共可提供  $180^\circ$  的相位移，四組  $RC$  在振盪頻率時各需提供  $45^\circ$  相位移。因此，若單一級反向器為差動放大器，可以產生  $0^\circ$ 、 $45^\circ$ 、 $90^\circ$ 、...、 $270^\circ$  及  $315^\circ$ ，而具有正交相位輸出訊號。

由於串接級數的降低可以增加振盪頻率和減少功率損耗，因此在此以兩級反相放大器取代前述的四級，來實現具有正交輸出的環式振盪器，如圖 2.8 所示。和前述分析相同地，由於迴路中直流成分共可提供  $180^\circ$  的相位移，因此兩組  $RC$  共需提供  $180^\circ$  的相位移；然而每組  $RC$  只有在頻率無窮大時才会有  $90^\circ$  的相位移，一般的反相放大器並無法實現，必須要在單級反相電路中加入等效負電阻( $-R$ )的機制，與正電阻( $R$ )抵銷而使單級之相位偏移可達  $90^\circ$ ，以滿足振盪條件。

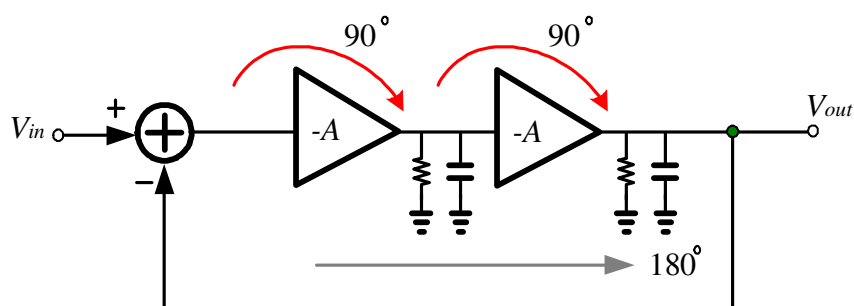


圖 2.8 兩級反相放大器之線性模型

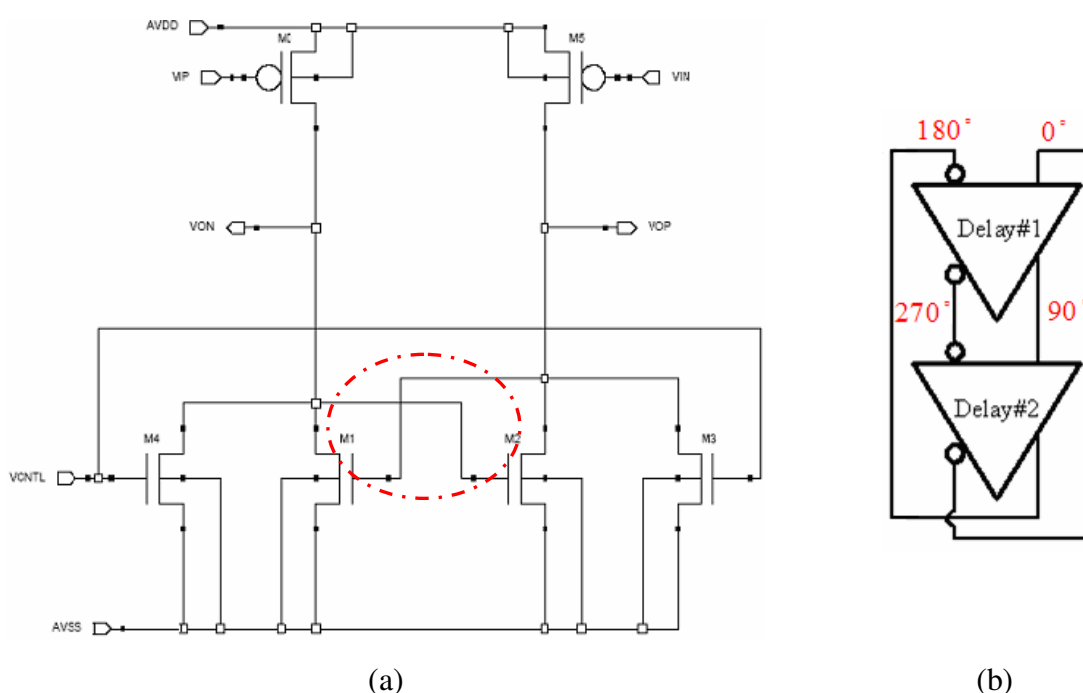


圖 2.9 (a)單一級反向電路 (b)兩級串接環式振盪器架構

圖 2.9(a)為實際應用於兩級環式振盪器中的單級反相放大器，本電路架構曾於 CIC T18-94E 下線實作的『應用於 1.2GHz 短距離通訊發射端之鎖相迴路設計』中使用過，此次下線結果會於 2.3 節中討論。此電路包含 NMOS 交互耦合(cross-coupled)對(M1、M2)、PMOS 輸入對(M5、M6)，和一對可控制工作頻率的 NMOS(M3、M4)；圖 2.9(b)則為兩級串接後之振盪器架構。若把振盪器的每一級電路想像成一組 RC，電容 C 基本上視為定值(實際上，電晶體的寄生電容會隨著偏壓而改變)，M1 及 M2 以交互耦合的方式連接產生之等效負電阻，可消除輸出端的等效正電阻，使每級反向放大器的 RC 相

位偏移可達  $90^\circ$ ；此外，由交互耦合連接而形成的正回授行為，可增加電路的增益，使振盪器在相位偏移為  $180^\circ$  時迴路增益大於 0dB，滿足巴克豪森準則而起振。振盪器的工作原理，以小信號模型推導如下：

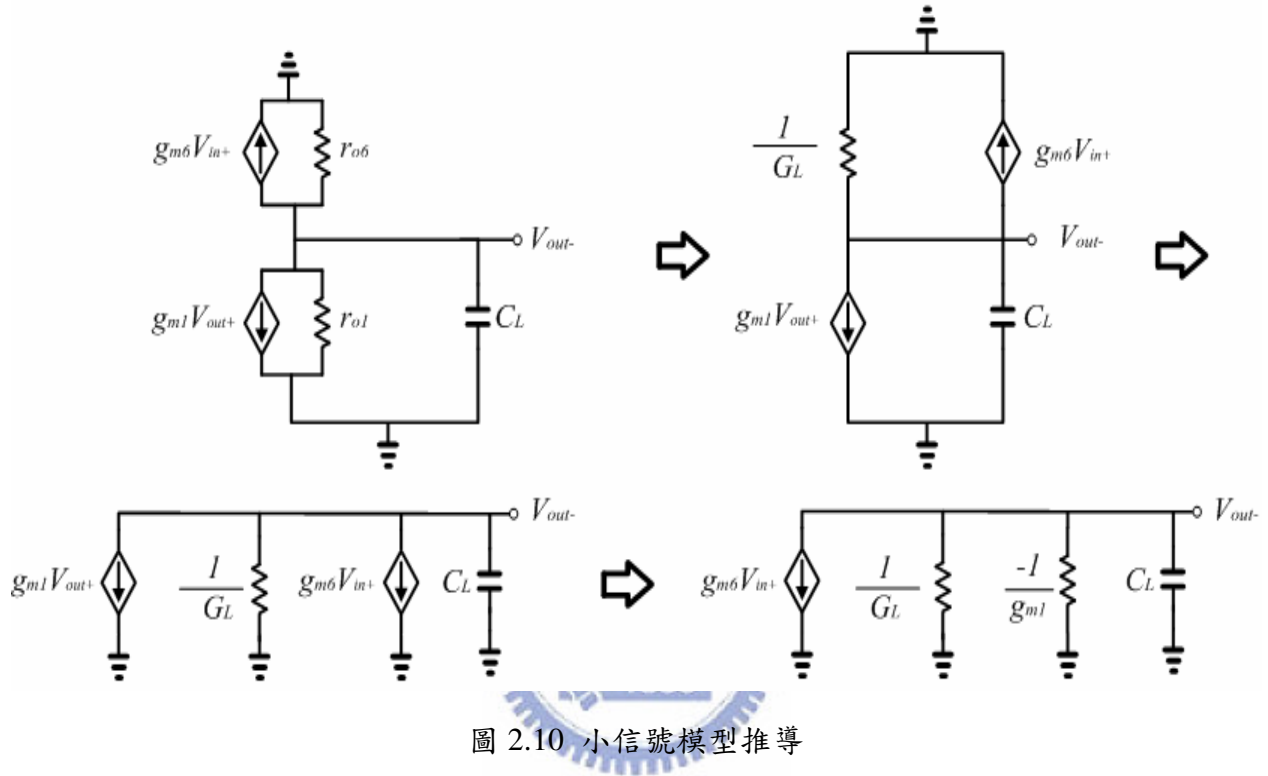


圖 2.10 小信號模型推導

利用差動放大器之等效半電路分析技巧，可以得到圖 2.10 的小信號模型，並且推導出單級電路的轉移函數：

$$A(s) = \frac{V_o}{V_{in}} = -\frac{g_{m6}}{(-g_{m1} + G_L) + sC_L} \quad (2-3)$$

其中  $G_L = \frac{1}{R_L} = \frac{1}{r_{o1} \parallel r_{o6}}$ ， $C_L$  為輸出端等效電容。為了滿足巴克豪森振盪準則，轉移函數增益在振盪頻率  $\omega_{osc}$  時必須為 1，並且單級電路必須提供  $90^\circ$  的相位偏移；因此，在式 2-3 的分母移除實部 ( $-g_{m1} + G_L = 0$ ) 後，可得：

$$|A(j\omega_{osc})|^2 = \left| \frac{g_{m6}}{j\omega_{osc} \cdot C_L} \right|^2 = 1 \quad (2-4)$$

於是，振盪頻率  $f_{osc}$  為：

$$f_{osc} = \frac{\omega_{osc}}{2\pi} = \frac{1}{2\pi} \cdot \frac{g_{m6}}{C_L} \quad (2-5)$$

由前述小信號中可以瞭解到：若沒有 M1、M2 的交錯耦合存在，就沒有  $-g_{m1}$  及  $-g_{m2}$  來抵銷等效的正電阻負載，而要使單級電路在足夠的增益之下產生  $90^\circ$  相位移便無法實現；利用  $V_{CNTL}$  改變 M3、M4 的  $V_{GS}$ ，調整流經 M5、M6 的電流而使  $g_{m5}$ 、 $g_{m6}$  改變，達到調整輸出頻率的效果。此外，由於此單級反相器架構沒有 Tail 電流源，減少了輸出節點的電流限制，使得輸出振幅變大而載波功率上升。

圖 2.11 模擬此兩級環式振盪器之頻率可調範圍，工作頻率可從 200MHz~2.8GHz，頻率範圍相當廣大，一般直接調整電流，比調整可變電容有較大的頻率可調範圍；圖 2.12 為振盪器的輸出信號及頻譜，可以看出的確可以產生正交相位輸出訊號；表 2-1 為工作規格列表，由於只有兩級串接，所以消耗的功率很低；此外，由於電路中並沒有任何被動元件，所佔的晶片面積非常小。不過很可惜地，如同一般環式振盪器，兩級環式振盪器在相位雜訊上的表現仍然不佳，如圖 2.13 所示。

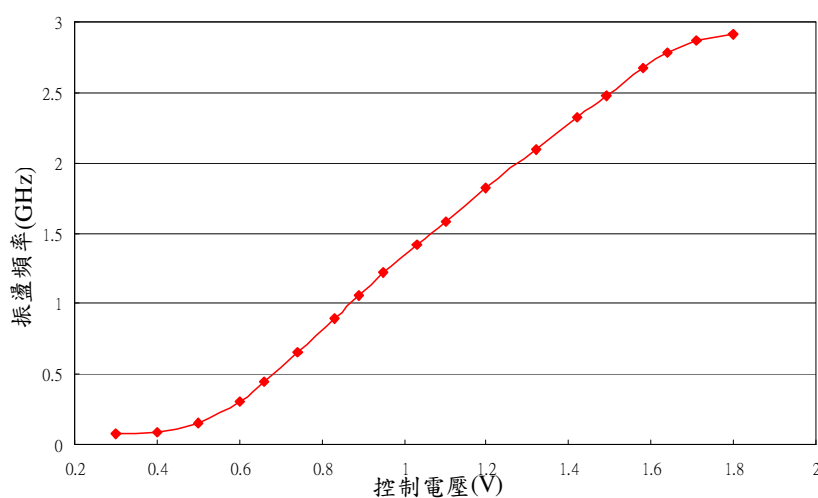
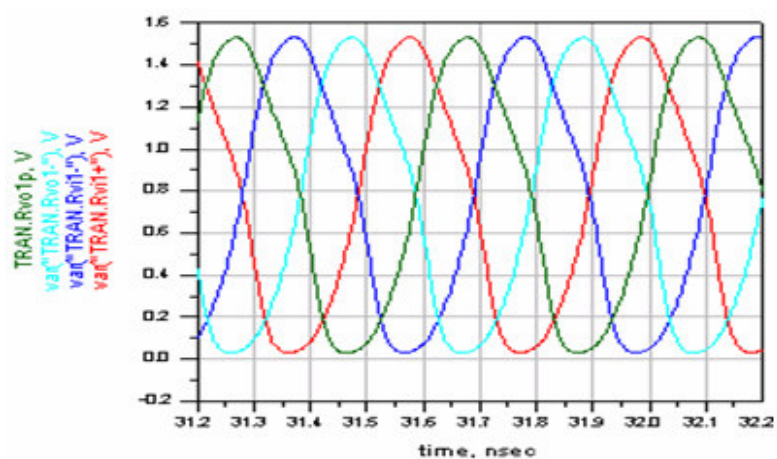
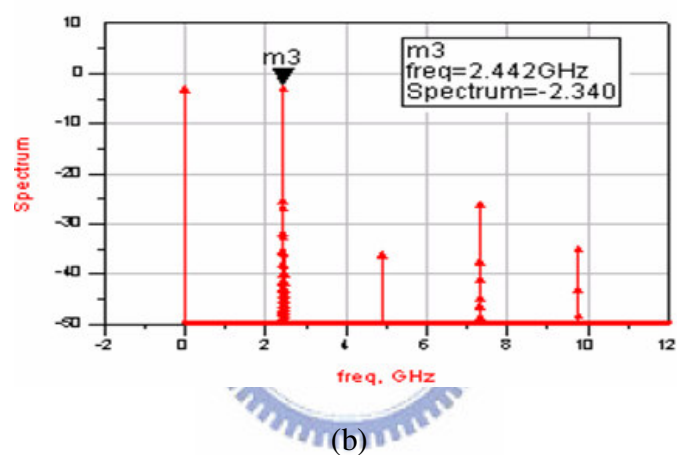


圖 2.11 兩級環式振盪器之頻率可調範圍



(a)



(b)

圖 2.12 兩級環式振盪器 (a)正交訊號輸出波型 (b)頻譜

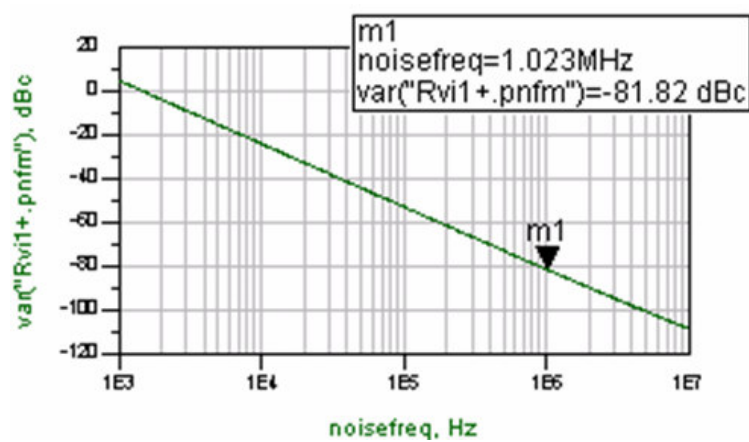


圖 2.13 兩級環式振盪器之相位雜訊

表 2.1 兩級環式振盪器規格列表

|                          |                                |
|--------------------------|--------------------------------|
| <i>Frequency</i>         | 2.442GHz                       |
| <i>Supply Voltage</i>    | 1.8V                           |
| <i>Power Consumption</i> | 3.3mW                          |
| <i>Tuning Range</i>      | 2.8GHz                         |
| <i>Phase Noise</i>       | -81.82dBc/Hz @ 1.023MHz offset |
| <i>Output Amplitude</i>  | 1.5 Vp-p                       |

因此，雖然本節所討論的兩級環式振盪器，相較於前兩節的正交訊號產生方式，在功率消耗及晶片面積上節省很多，但基於相位雜訊上的考量，在本論文的中頻接收機中並不予使用。



#### 2.1.4 耦合式 LC 振盪器

透過兩個振盪頻率相同的 LC 振盪器間互相耦合，迫使兩個振盪器間形成  $90^\circ$  的相位移，亦能夠產生四路互相正交的輸出訊號，且相對於多相位濾波器及除頻器法，具有電晶體數目少、低功率損耗的優點。與前節中二級環式振盪器比較，LC 振盪器電路中因為有被動的電感元件，所佔的晶片面積相當大；然而因為 Q 值較高，使得在相位雜訊的表現上相當好，即使有面積大的缺點，仍然是目前 CMOS 單晶片製作上，產生正交訊號最常使用的方法。

因此應用於本論文藍芽接收機中的本地振盪源電路，即為正交耦合 LC 振盪器，將在 2.2 節中詳細討論。







圖 2.16[33]為前述 S-QVCO 之準線性模型，在模型中假設流經 I(Q)振盪器正端的電流，只與  $v_I(v_Q)$  及  $v_Q(v_I)$  端點電壓有關，即使流過串聯耦合電晶體的電流亦與其上方汲極端點  $v_{Ip}(v_{Op})$  電壓有關。振盪器的非線性特性以  $G_S$  和  $G_C$  表示， $G_S$  描述交互耦合電晶體之轉導(trans-conductance)，而  $G_C$  則代表 I/Q 兩振盪器間耦合現象；包含電晶體的大小、偏壓點以及工作在線性/飽和區的週期，都會對  $G_S$  和  $G_C$  有間接影響。

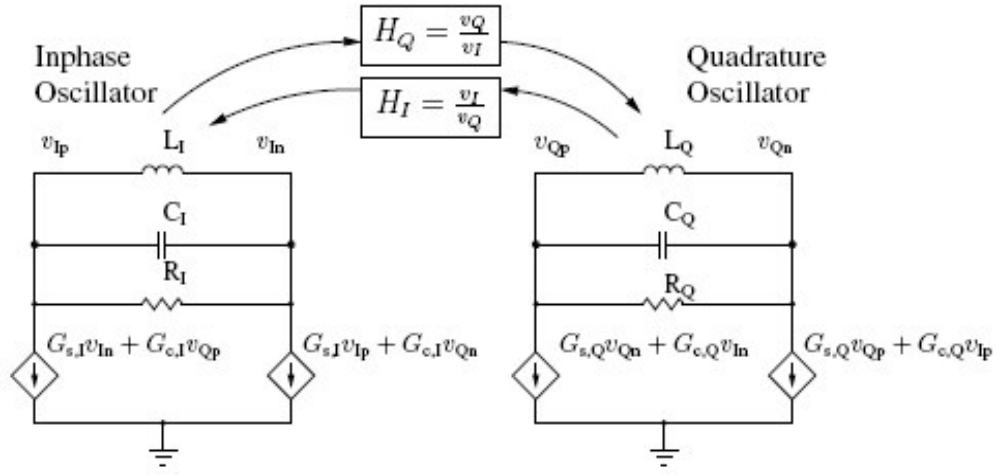


圖 2.16 S-QVCO 之準線性模型

利用此準線性模型，可以推導  $v_Q$  和  $v_I$  之間的轉移函數：

$$H_I(\omega) = \frac{v_I(\omega)}{v_Q(\omega)} = \frac{-j\omega L(G_C/2)}{1 - \omega^2 LC + j\omega L(1/R - G_S/2)} \quad (2-6)$$

以及

$$H_Q(\omega) = \frac{v_Q(\omega)}{v_I(\omega)} = \frac{j\omega L(G_C/2)}{1 - \omega^2 LC + j\omega L(1/R - G_S/2)} \quad (2-7)$$

其中假設 I/Q 兩振盪器間相對應的部分完全相同。當此 S-QVCO 振盪時，必須滿足巴克豪森準則：

$$H_I(\omega) \cdot H_Q(\omega) = \frac{\omega^2 L^2 (G_C^2/4)}{(1 - \omega^2 LC + j\omega L(1/R - G_S/2))^2} = 1 \quad (2-8)$$

由於式 2-8 中  $H_I(\omega) \cdot H_Q(\omega)$  的分母虛部必須為零，可得  $G_S = \frac{2}{R}$ 。將其代入式 2-6 及式

2-7 後， $H_I(\omega)$  及  $H_Q(\omega)$  的分母成為實數，亦即  $v_I(\omega)$  與  $v_Q(\omega)$  之間的相位差為  $\pm 90^\circ$ ，使兩個振盪器間形成  $90^\circ$  的相位移，而在 S-QVCO 四個輸出端產生振幅相同，且具有四路互相正交的輸出訊號。

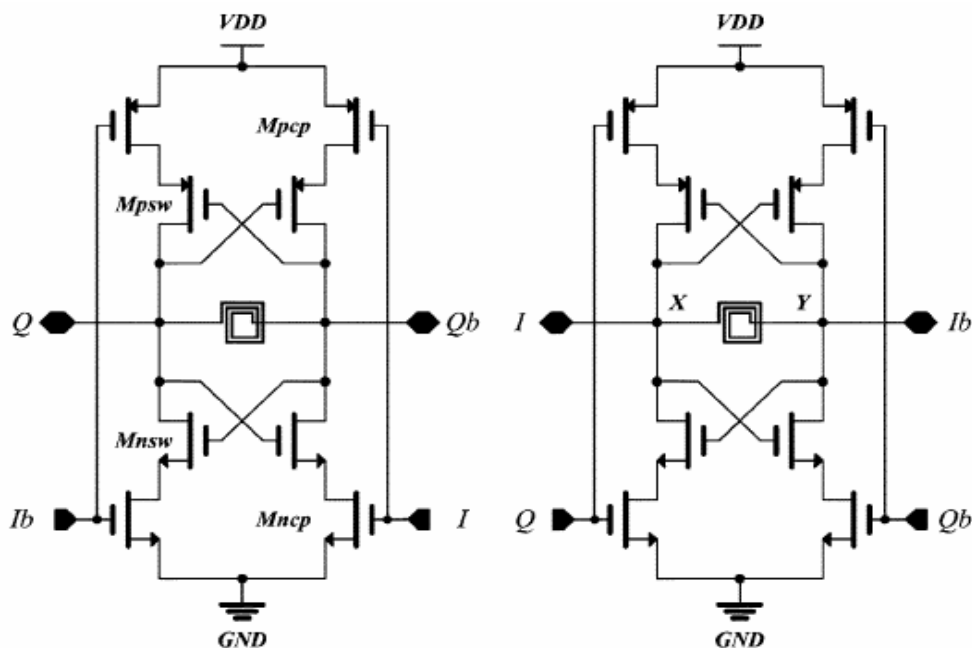


圖 2.17 本論文使用之 QVCO 電路架構

前面介紹的兩種耦合 LC 振盪器，電路中只由 NMOS 電晶體與 LC 共振槽組成，並沒有 PMOS 電晶體成分。若是在 LC 共振槽上下分別採用交互耦合的 PMOS、NMOS 電晶體，來產生等效負電阻補償電路，對於相同的偏壓點與電晶體尺寸的情況下，此互補型結構所產生負電阻是單一 NMOS 型之兩倍，使得在輸出振幅與功率損耗上都比較佔優勢；使用這種對稱耦合的方式，還可以使輸出端 rising 及 falling 的特性對稱，進而增加輸出正交信號在振幅及相位上的準確性。另一方面，經由前述 P-QVCO 與 S-QVCO 的討論，耦合電晶體以串聯的方式與振盪器中電晶體連接，相較於並聯的方式，具有低功率損耗與低相位雜訊的優點。因此，結合互補型結構與串聯方式的優點，本論文所採用的正交耦合 LC 振盪器，為圖 2.17 所示的架構[32]，產生正交訊號的原理與 S-QVCO 大致相同；其中耦合電晶體不與 LC 共振槽連接，可以提升振盪器的頻率可調範圍。

## 2.2.2 電路設計與模擬

應用於本論文藍芽接收機中的本地振盪源電路，為圖 2.17 所示之正交耦合 LC 振盪器，耦合電晶體以串聯方式連接，並且以 P/N 對稱耦合方式產生等效負電阻，達到低相位雜訊及低功率損耗的目的。本電路曾於 CIC T18-95D 下線的『應用於藍芽之 2.4GHz 射頻接收機前端設計』專題中實作，設計上考量的因素包括：電感、可變電容的選擇及電晶體尺寸的選擇。

1. 電感選擇方面：首先利用附錄 B 中式 B-11 估算，若考量電晶體的寄生電容，在中心頻率為 2.442GHz 時， $L \cdot C_{Total}$  乘積約為 4.252(nH · pF)。由式 B-12、B-13 得知，為了能夠降低相位雜訊及減少能量損失，需要提高電感值與降低電容值，但由於電感所佔的面積很大，選取電感值往往需要搭配晶片面積的考量。在 TSMC 0.18um 製程中，可以改變三個參數來調整電感的值，分別是：電感寬度(W=6um、9um、15um、30um)、所繞圈數(N=0.5、0.75、...、5.25、5.5)及內圈半徑(R=30um~125um)，每個參數值愈大則電感值愈大；最後在所能允許的晶片面積內，選擇 W=6um、N=5.5、R=30um，此時電感值約為 3.82nH。

2. 可變電容選擇方面：一般常用做可變電容的種類，如附錄 C 所述，有：二極體電容、標準型 MOS 可變電容、反轉型 MOS 可變電容，及累積型 MOS 可變電容；而在 TSMC 0.18um 製程中，提供的可變電容為 Q 值較高、電容範圍較廣的累積型 MOS 可變電容(可參考圖 C.4)。在選擇電感值為 3.82nH 後，中心頻率為 2.442GHz 下，總電容值估算約需要 1.1pF，所以取 1/2 倍可變電容值約為 1pF；由於振盪器操作於 1.8V 工作電壓，最後選取的可變電容值，在 Vtune 為 0.9V 時約為 2pF，而電容可調範圍在 0.9pF 和 2.7pF 之間。

圖 2.18 為所選取可變電容之可調範圍模擬，其中 MOS 的 Gate 端接於 LC 共振槽兩端，Drain (Source)端則用作控制端；由於對稱互補型結構振盪器之 LC 共振槽兩端約為 1/2 VDD，所以此圖為模擬 Gate 端電壓為 0.9V 時之電容範圍。在實際振盪電路中，由

於尚有電晶體的寄生電容及製程、溫度等變化，振盪頻率會與原先預估值有些許差距，可以利用控制電壓微調可變電容值，達到所要之工作中心頻率。

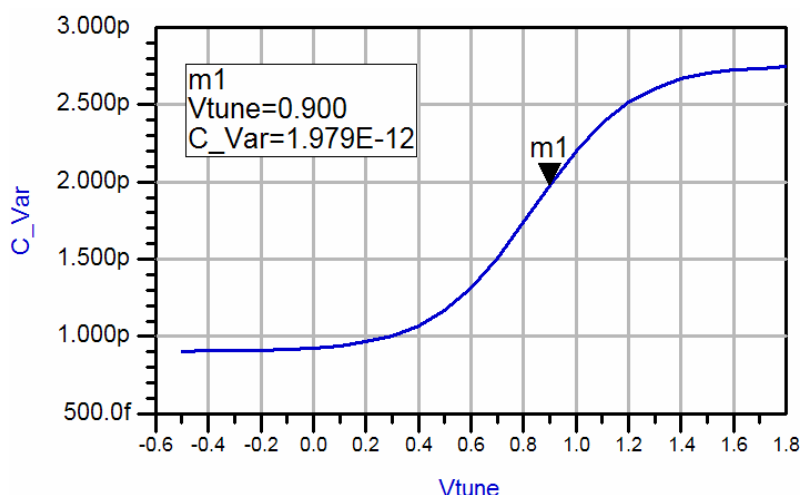


圖 2.18 累積型可變電容調整範圍(@ $V_g=0.9V$ )

3. 電晶體尺寸選擇：圖 2.17 中，NMOS  $M_{nsw}$  和 PMOS  $M_{psw}$  分別各為一組交叉耦合對，目的是提供振盪電路所需之負電阻以抵銷電感電容共振槽的電阻性損耗，而為了使電路具有對稱性，本文設計 PMOS 的大小為 NMOS 的 3 倍，讓 NMOS 與 PMOS 的轉導大致相等；同樣地，耦合電晶體  $M_{pcp}$  之大小亦為  $M_{ncp}$  之 3 倍。

在設計電晶體尺寸前，首先決定電路的總偏壓電流，因為電流大小會影響振盪器的輸出振幅，也會影響相位雜訊；過小的偏壓電流會使得輸出振幅小，而無法提供混頻器足夠的本地端能量，同時也會使相位雜訊變差。圖 2.19 為模擬本電路偏壓電流大小對輸出電壓振幅的影響，當電流小時，振盪器輸出振幅增加量大約和電流增加量成正比，此區間為 Current(I)-limited 操作；但是當電流逐漸擴大，輸出的振幅會慢慢受到供應電壓的限制(1.8V)，而逐漸趨於飽和，此區間則為 Voltage(V)-limited 操作。因此，在希望得到較大的電壓振幅與較低的相位雜訊，又不希望浪費多餘輸出功率的情況下，最好選擇電流的大小位於 V-limited 和 I-limited 之交界處，在本文中選擇 6.6mA。

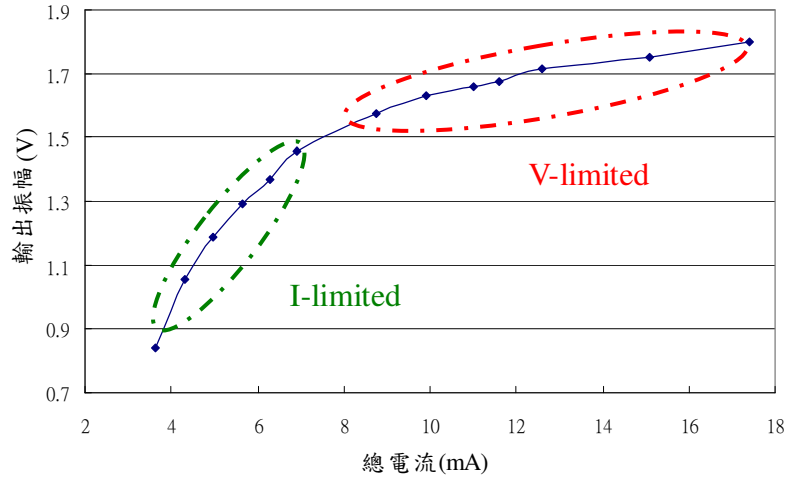


圖 2.19 偏壓電流大小對輸出振幅的影響

接下來考量在相同總偏壓電流下，耦合電晶體( $M_{ncp}$ 、 $M_{pcp}$ )與交互耦合對電晶體( $M_{nsw}$ 、 $M_{psw}$ )之間的尺寸比值，和相位雜訊的關係；在此定義  $K = W_{ncp} / W_{nsw}$ ，並且電晶體寬度相同。圖 2.20 為模擬本電路於總電流在 6.6mA 的情形，可以看出當 K 值愈高時相位雜訊的表現愈好，所以設計上若需要降低相位雜訊的值，可以從拉高 K 值著手。不過電晶體尺寸的改變，由於寄生電容值的不同，即使在相同的偏壓電流下振盪頻率仍會隨之變動；為了使振盪器的中心頻率(2.442GHz)能夠維持在頻率可調範圍之線性區中間，最後選擇了  $K=4$ ，頻率可調範圍從 2.1GHz~2.8GHz，模擬顯示於圖 2.21。

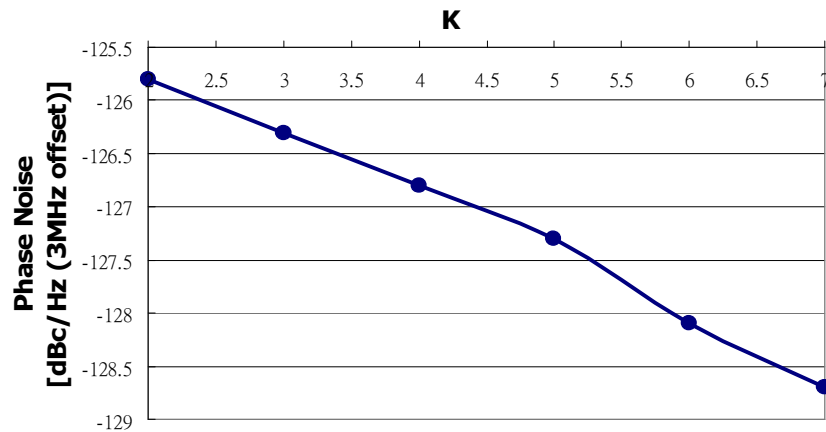


圖 2.20 電晶體尺寸比值與相位雜訊的關係



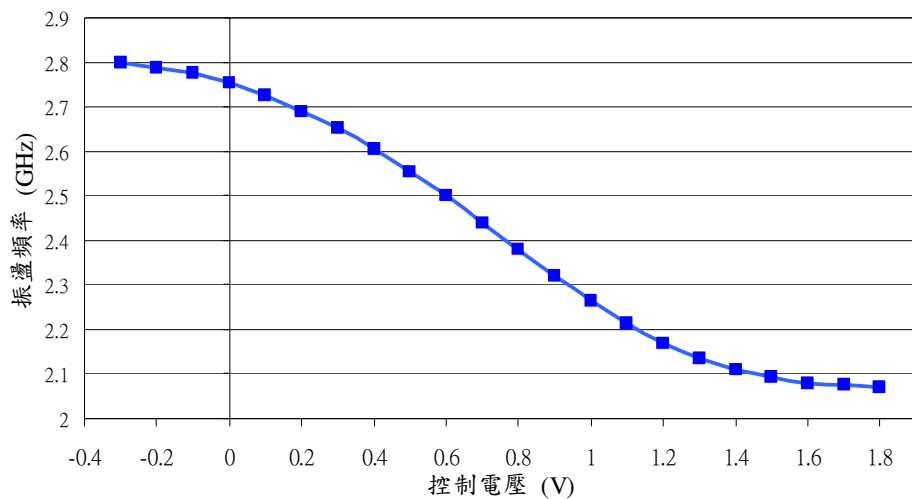


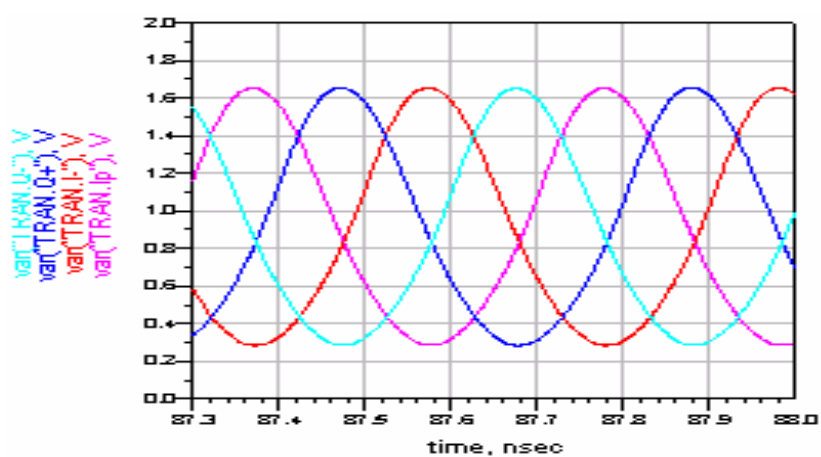
圖 2.21 振盪器可調頻率範圍

經由前述的討論，本文所應用的正交耦合 LC 振盪器(圖 2.17)，各元件值列於表 2.2 中。圖 2.22(a)、(b)分別為振盪器的四相位時域波型及輸出頻譜，由於本文選擇電流偏壓於 I-limited 之邊界，輸出波型為理想弦波，振幅亦不會太小而使功率足以推動混頻器，並且相位雜訊能夠達到 1.3 節所規範的要求。此外，圖 2.23 為振盪器的相位雜訊模擬，而表 2.3 則顯示出在各種製程飄移及溫度改變的情況下，相位雜訊皆能滿足在 1.3 節中所規範的要求。最後，本振盪器的所有規格，列於表 2.4。

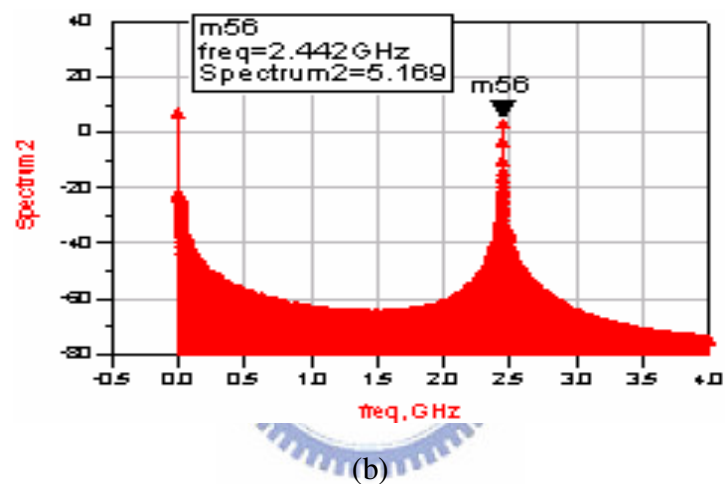
表 2.2 LC 振盪器元件值列表

|                         |                     |
|-------------------------|---------------------|
| $M_{nsw}$               | W=16.5um , L=0.18um |
| $M_{ncp}$               | W=66um , L=0.18um   |
| $M_{psw}$               | W=49.5um , L=0.18um |
| $M_{pcp}$               | W=198um , L=0.18um  |
| $L$                     | 3.821nH             |
| $C_{var1}$ 、 $C_{var2}$ | 0.9pF ~ 2.7pF       |





(a)



(b)

圖 2.22 振盪器 (a)正交訊號輸出波型 (b)頻譜

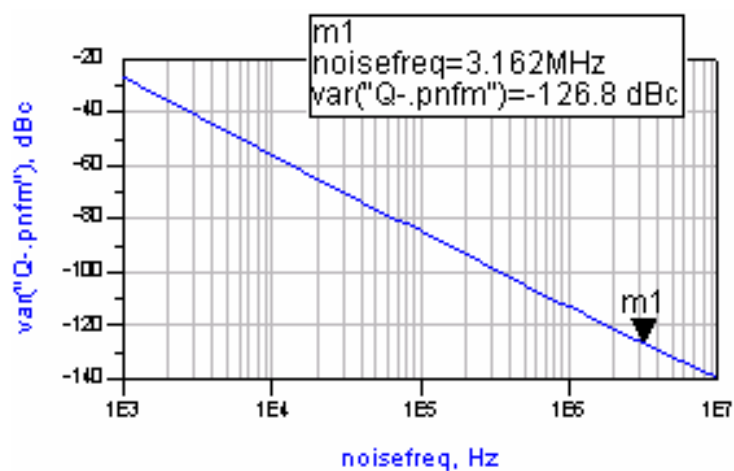


圖 2.23 振盪器相位雜訊模擬

表 2.3 振盪器相位雜訊隨製程、溫度變化值

|           | 0℃       | 16.85℃   | 100℃     |
|-----------|----------|----------|----------|
| <b>TT</b> | -126.85  | -126.8   | -125.5   |
| <b>FF</b> | -128.158 | -128.1   | -127.511 |
| <b>SS</b> | -125.968 | -125.613 | -128.5   |

表 2.4 正交耦合 LC 振盪器規格列表

|                          |                                |
|--------------------------|--------------------------------|
| <i>Central Frequency</i> | 2.442GHz                       |
| <i>Supply Voltage</i>    | 1.8V                           |
| <i>Power Consumption</i> | 11.358mW                       |
| <i>Tuning Range</i>      | 2.1GHz~2.8GHz                  |
| <i>Phase Noise</i>       | -126.8dBc/Hz @ 3.126MHz offset |
| <i>Output Amplitude</i>  | 1.36 Vp-p                      |

由於電路佈局(layout)會影響正交相位的準確度，在佈局時必須考量到以下幾點：1. 電晶體和可變電容必須放置接近，以避免不匹配的情況；2. 佈局時要儘量對稱，使寄生電容較匹配；3. 電感間必須有適當的距離，避免互感的產生。圖 2.24 為振盪器的佈局圖。

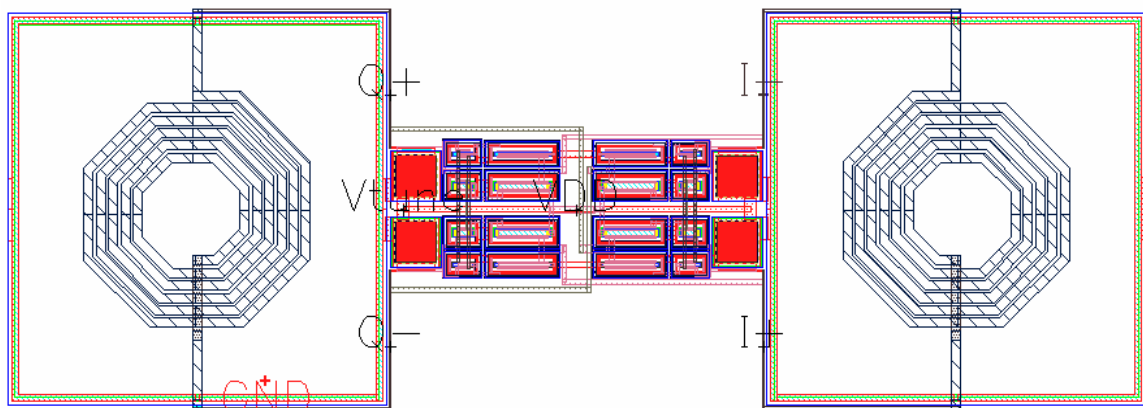


圖 2.24 振盪器佈局圖

### 2.2.3 正交相位誤差測試

本節主要目的為測試 2.2.2 節設計之 QVCO 的正交訊號相位誤差。一般而言正交訊號的準確性，包含振幅及相位誤差，可以經由 HSPICE 模擬時域波型來得到；然而實際量測上利用示波器來觀察正交輸出波型時，微小的相位誤差並不容易判斷。基於時域波型量測方法難以得到相位誤差，改用頻域分析並利用頻譜分析儀量測相位誤差是比較好的作法；此外，在頻譜上也可以利用輸出訊號的功率來得到振幅誤差。

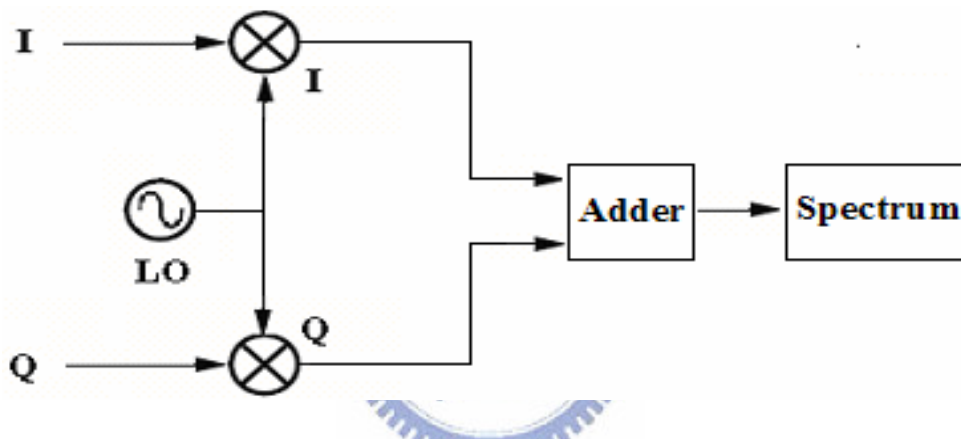


圖 2.25 正交訊號頻域分析架構

頻域分析相位誤差的方式，可以利用圖 2.25 的簡單架構實現[36]。欲量測之正交輸出訊號分別輸入混頻器的 RF 端，而混頻器 LO 端訊號也互為正交，特別要注意的是，由於在此應用之 LO 振盪源必須相當產生準確的正交訊號，所以設計其頻率不要太高。然後將混頻器之輸出訊號利用加法器相加後，最終接至頻譜分析儀，得到其 Upper-sideband 及 Lower-sideband 的功率比值(見附錄 D)：

$$SBR(dBc) = \frac{LSB_{Env}}{USB_{Env}} (dBc) = 20 \log \left( \sqrt{\frac{G^2 - 2G \cos \theta + 1}{G^2 + 2G \cos \theta + 1}} \right) \quad (2-9)$$

其中  $G$  為振幅誤差比值、 $\theta$  為相位誤差。

最後得到相位誤差值：

$$\theta = \cos^{-1} \left( \frac{1 - 10^{\frac{SBR}{10}} - G^2 10^{\frac{SBR}{10}} + G^2}{2G 10^{\frac{SBR}{10}} + 2G} \right) \quad (2-10)$$

接下來用 ADS 實際測試前節所設計 QVCO，模擬其 SBR 與相位誤差的關係，測試架構如圖 2.25 所示，欲測之 I/Q 信號頻率為 QVCO 的其中互為正交相位的兩端，頻率為 2.45GHz，而 LO 為理想正交訊號且頻率為 500MHz。圖 2.26 為模擬的結果，可以看出 USB 比 LSB 高出約 29.1dBm，亦即 SBR=29.1dBc。接著將 G=1、SBR=9.1 代入式 2-10 推算，可以推算出相位誤差為：

$$\theta = \cos^{-1} \left( \frac{1 - 10^{\frac{29.1}{10}} - 1^2 \cdot 10^{\frac{29.1}{10}} + 1^2}{2 \cdot 1 \cdot 10^{\frac{29.1}{10}} + 2 \cdot 1} \right) = 4$$

然而若利用 HSPICE 探測 QVCO 輸出波型推算出的相位誤差僅約 1 度左右，比利用 ADS 模擬圖 2.25 系統所得之 4 度來的小許多，原因出在於利用 ADS 模擬時受到電腦主機的限制，暫態分析的時間比起 HSPICE 短，使得測得之相位誤差會稍大。

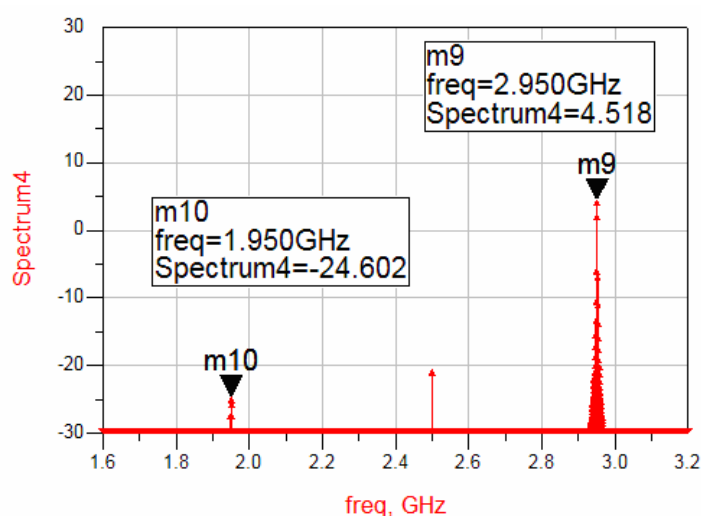


圖 2.26 模擬 QVCO 之正交相位誤差(SBR=29.1dBc)

## 2.2.4 尾電流源探討

本節目的為探討尾電流源(Tail current source)對振盪器的影響。由於振盪器的相位雜訊大部分來自尾電流源所貢獻，有一種說法為：若去除振盪器中的尾電流源，可以有效降低相位雜訊。觀察一個去除尾電流源的振盪器(如圖 2.30)，在電晶體尺寸沒有改變的前提下，電晶體的有效電壓( $V_{GS} - V_{TH}$ )會放大，造成較大的偏壓電流，而產生輸出電壓振幅放大與相位雜訊降低的現象；但如果將電晶體尺寸縮小，在偏壓電流降低至與尾電流源存在時相同的前提下做比較，由於尺寸的縮小而增加了電晶體的閃爍雜訊，反而增加了振盪器的相位雜訊，並沒有因為去除尾電流源而達成降低相位雜訊的效果。

表 2.5 是對圖 2.17 的振盪器加上 NMOS 尾電流源後，模擬尾電流源電晶體尺寸的變化與輸出振幅、振盪頻率對供應電壓敏感度，及相位雜訊的影響。在模擬(1)~(10)時，振盪器的尺寸皆與表 2.2 所列相同，尾電流源由一個 NMOS 電晶體構成，其長度皆為 0.18um，本節中以其寬度的變化來改變電流的大小。接下來先對表 2.5 所模擬的特性做討論觀察，並提出不同的觀點：

1. 從(1)~(9)可以觀察到當尾電流尺寸增加，總偏壓電流的上升會拉大輸出的電壓振幅，這樣的特性與前節中圖 2.19 相同，而輸出振幅的提升也連帶降低了振盪器的相位雜訊；此外在振盪頻率對電壓敏感度上，根據表 2.5 的模擬可以發現到當偏壓電流上升時，振盪頻率較不易隨著電壓飄移而變動。所以較高的偏壓電流可以降低敏感度使振盪頻率較穩定，並且可以提高相位雜訊的性能。

2. 模擬(10)將尾電流源電晶體去除，振盪器本身尺寸仍維持與表 2.2 相同，來與模擬(1)~(9)做比較。首先在偏壓電流的部分，與本節前述內容符合地，在去除尾電流後使得電晶體之  $V_{GS} - V_{TH}$  上升，而得到比(1)~(9)都高的偏壓電流與輸出電壓振幅，也使得敏感度與相位雜訊的特性皆比(1)~(9)時來的好。

3. 相對於模擬(10)只將尾電流源去除而保持其餘電晶體尺寸不變，模擬(11)除了去除尾電流源，並在 K 比值不變下(維持 4，詳見 2.2.1 節內容)將其餘電晶體尺寸做調整

，使偏壓電流與模擬(9)時相同。將模擬(11)與模擬(9)做比較，可以發現當尾電流源去除但偏壓電流相同的前提下，敏感度與相位雜訊的特性都變差了。

表 2.5 尾電流源尺寸對敏感度及相位雜訊影響

| 尾電流源<br>電晶體寬度                 | 總電流<br>(mA) | 輸出振幅<br>(Vp-p) | Frequency<br>Sensitivity<br>(GHz/V) | Phase Noise<br>(dBc/Hz<br>@3.162MHz offset) |
|-------------------------------|-------------|----------------|-------------------------------------|---------------------------------------------|
| (1) 1.5×4                     | 1.87        | 0.5065         | 0.9444                              | -114.371                                    |
| (2) 1.5×5                     | 2.26        | 0.6167         | 0.90556                             | -117.82                                     |
| (3) 1.5×6                     | 2.62        | 0.7175         | 0.7972                              | -119.25                                     |
| (4) 1.5×7                     | 2.93        | 0.7934         | 0.7667                              | -122.085                                    |
| (5) 1.5×8                     | 3.22        | 0.8622         | 0.70556                             | -123.43                                     |
| (6) 1.5×9                     | 3.47        | 0.9131         | 0.65833                             | -124.396                                    |
| (7) 1.5×10                    | 4.28        | 0.9651         | 0.4778                              | -125.217                                    |
| (8) 1.5×20                    | 4.93        | 1.169          | 0.375                               | -126.1                                      |
| (9) 1.5×40                    | 5.69        | 1.2644         | 0.31944                             | -126.7                                      |
| (10) 移除尾電流源                   | 6.6         | 1.36           | 0.2889                              | -126.8                                      |
| (11) 移除尾電流源<br>並調整其餘電<br>晶體尺寸 | 5.69        | 1.2425         | 0.3667                              | -125.943                                    |

綜合前述 3 項觀察，本文將尾電流源對於敏感度與相位雜訊的影響，分別提出以下的看法：

1. 敏感度方面，以往的看法都是認為當尾電流源存在時，供應電壓的改變較不易使振盪頻率飄移。在比較模擬(9)和(11)時，的確符合一般的看法，敏感度隨著尾電流的去除而上升；但若是比較模擬(9)與(10)，敏感度卻是隨尾電流去除而下降。造成兩者截然



不同結果的關鍵，就在於偏壓電流的不同，一般認知的看法僅適用在去除尾電流源的前後，偏壓電流維持相同的前提下；若是直接去除尾電流源，電流的增加反而使振盪器較能抵抗供應電壓的變化，降低了敏感度。

2. 相位雜訊方面，一般的說法是移除尾電流後，由於去除了大部分的雜訊源而使振盪器相位雜訊降低。將模擬(1)~(9)與模擬(10)做比較，的確在去除尾電流源後得到較好的相位雜訊；然而若比較模擬(9)與(11)，相位雜訊卻隨尾電流去除而變差。兩者的差別關鍵仍是在總偏壓電流，若是直接將尾電流源去除，由於電晶體之  $V_{GS} - V_{TH}$  上升，偏壓電流的增加自然使得相位雜訊較好；然而若是以相同偏壓電流為前提做比較，由於電晶體尺寸的下降而造成閃爍雜訊的增加，自然無法得到較好的相位雜訊。

## 2.3 鎖相迴路設計與量測 (CIC T18-94E-64b)



本章前言已提及可以使用單一的振盪器或是頻率合成器，來作為接收機的本地振盪源，其中應用於本論文接收機中的 QVCO，已經在第 2.2 節中探討其設計流程與模擬結果。為了本地振盪源研究上的完整性，本節內容將探討經由國家晶片系統設計中心(CIC)下線 T18-94E 梯次實作的 1.2GHz 鎖相迴路晶片，包含其電路設計與量測結果討論。

### 2.3.1 電路設計與模擬

鎖相迴路以振盪器為核心，並包含了相位頻率檢測器(Phase frequency detector)、充電泵(Charge pump)、除頻器及迴路濾波器；振盪器的輸出直接經由除頻器除 64 倍頻，若參考訊號源之頻率選為 18.75MHz，則射頻訊號將被鎖在 1200MHz，系統架構如圖 2.27 所示。其中振盪器電路為兩級環式振盪器，其電路原理及模擬特性已在 2.1.3 節中詳細介紹過，表 2.6 為其與相關文獻之比較，本節內容將分別介紹其餘的子電路。



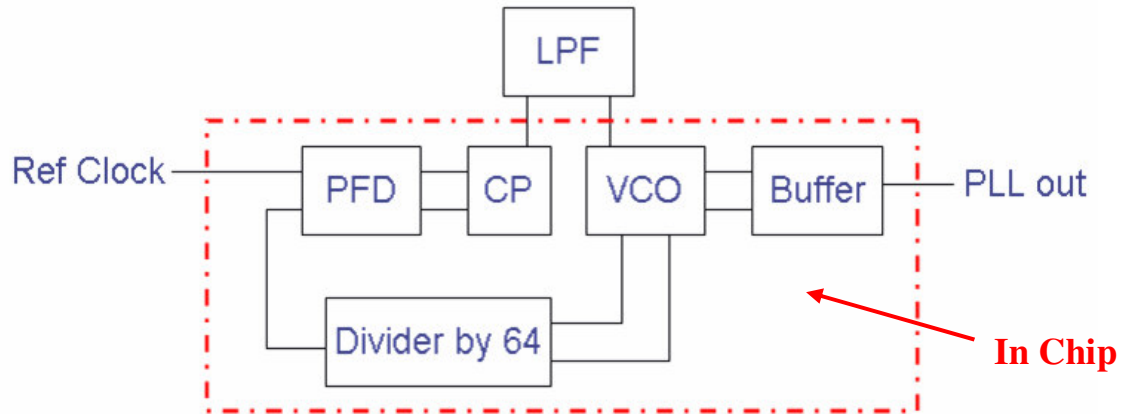


圖 2.27 鎖相迴路架構圖

表 2.6 Ring VCO 特性比較

| Specification               | [45]          | [46]            | [47]            | Proposed VCO  |
|-----------------------------|---------------|-----------------|-----------------|---------------|
| Operation range (GHz)       | 0.3-2.1       | 0.97-1.65       | 0.2-2.1         | 0.44-2.8      |
| Gain (MHz/V)                | 1500          | 348             | 1000            | 2360          |
| Power consumption (mW)      | 16.6          | 15.5            | 7.01            | <b>2.7</b>    |
| Transfer curve Linearity    | Good          | Regular         | Good            | Good          |
| Swing (V)                   | 0.9-2.4       | 3.3             | 0.75            | <b>1.5</b>    |
| Number of transistors       | 41            | 32              | 22              | <b>12</b>     |
| Maximum operation frequency | 3GHz when N=3 | 3.5GHz when N=3 | 2.9GHz when N=2 | 3GHz when N=2 |

## A. 相位頻率檢測器(PFD)

圖 2.28(a)為最常見的 PFD 架構示意圖，由兩個邊緣觸發且可重置 D 型正反器(D Flip-flop)及一個 AND 閘所組成，其輸入與輸出狀態的關係如圖 2.28(b)所示，因此偵測

範圍涵蓋 $+2\pi \sim -2\pi$ ，而可以同時偵測頻率與相位。傳統上使用一般邏輯閘來實現圖 2.28(a) 的 PFD 電路，在檢測相位上有死區(dead zone)的問題，當兩輸入端相位很接近時，與訊號被觸發後無足夠上升時間就下降。本次下線的 PFD 如圖 2.29[37]所示，以改良後之 TSPC 正緣觸發 D flip-flop 來取代傳統邏輯閘，使相位及頻率檢測範圍較不受限制；並且為了高速運作，使用 pseudo-NOR 閘作為重置機制。此 PFD 電路之動態功率損耗因內部開關的減少而降低，而速度因輸入至輸出路經的縮短而上升。

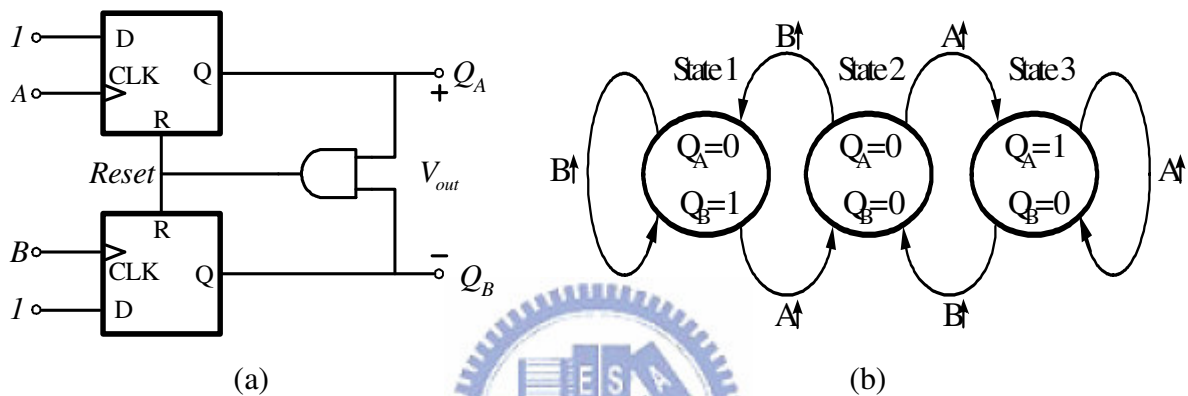


圖 2.28 三態 PFD (a)架構示意圖 (b)特性

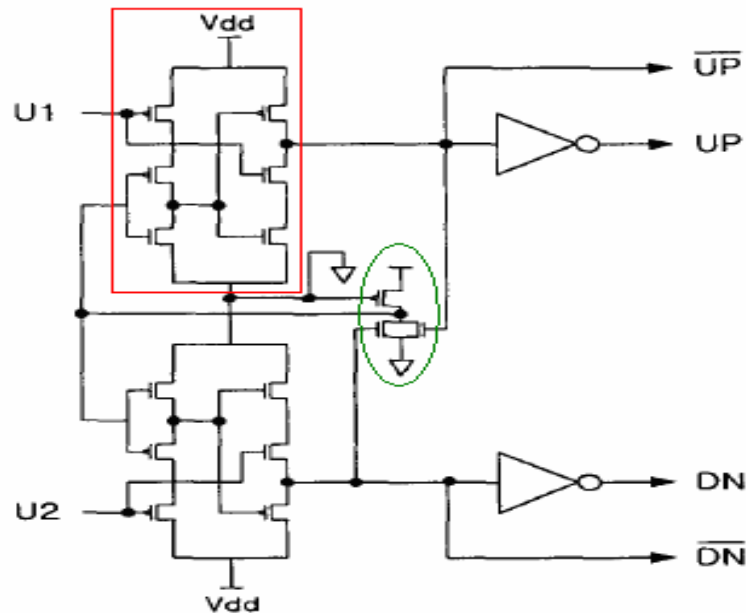
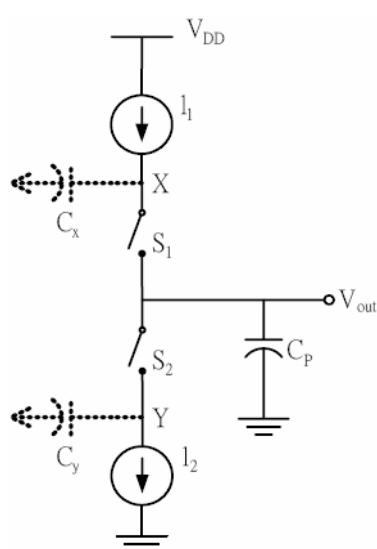


圖 2.29 本文使用之 PFD 架構

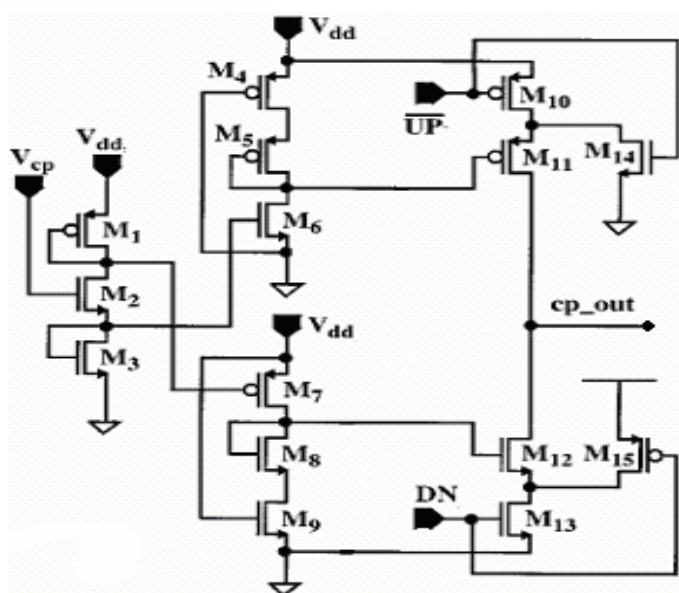
## B. 充電泵(CP)

由 PFD 所產生的 UP、DN、UP-及 DN-脈衝作為 charge pump 之切換信號，而產生電流脈衝，經過迴路濾波器得到 VCO 的控制電壓。傳統的充電泵，如圖 2.30(a)，會遭遇到：(1)輸出端直接與切換開關連接，有『charge injection』問題。(2)因為當 2 個開關都 off 時，M1 及 M2 的 drain 端電壓分別為 VDD 和 0V，當其中一個開關 on，儲存於  $C_p$  的電荷會與  $C_x$  或  $C_y$  分享，會在 CP 電流產生 glitch，導致相位雜訊的增加。

圖 2.30(b)為本次下線的充電泵[39]，首先將 current source/sink 與切換開關的電晶體互換位置，開關不直接與輸出端連接而消除 charge injection 問題；且由於 M10 及 M13 不與輸出連接，電流 glitch 現在產生於 M11 和 M12 的 source 端，當 glitch 產生時 M11 和 M12 off，不會影響充電泵的輸出電流。另外，此 CP 再額外加入 2 個開關(M14、M15)，提供充、放電路徑。M1-M3 功用為產生參考電流，其中 M2 的 gate 端電壓可以依照需要來調整，改變參考電流值。設計上要注意 CP 的電流設計與 PLL 的鎖住時間、迴路頻寬及迴路濾波器的電容大小互為相關，相互取捨後在此取 CP 的電流為  $64\mu A$ 。



(a)



(b)

圖 2.30 CP 架構 (a)傳統電路 (b)本文使用之電路

下圖是 PFD、CP 和 LF 串接的模擬，參考信號為 18.75MHz，圖 2.31 及 2.32 分別為模擬除頻器輸出信號比參考信號快/慢的情形，由上至下分別是 REFclk、DIVclk、UP、DN、Vcntl，可看出整體比較電路放/充電功能正確。

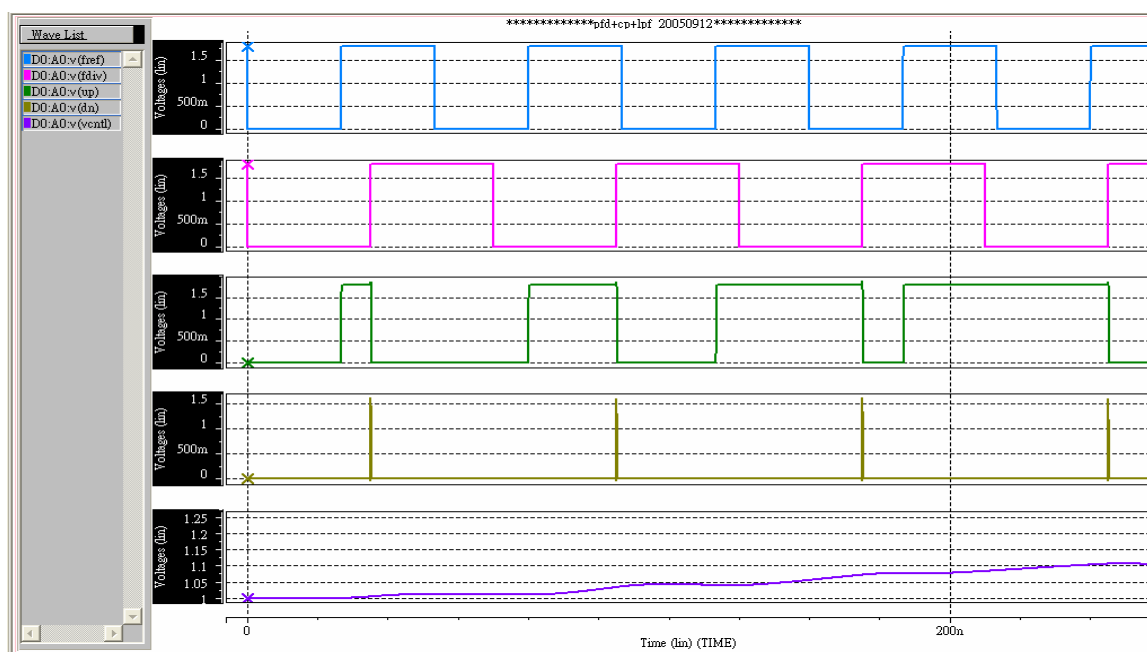


圖 2.31 PFD,CP 及 LF 之充電狀態(Vcntl 上升)

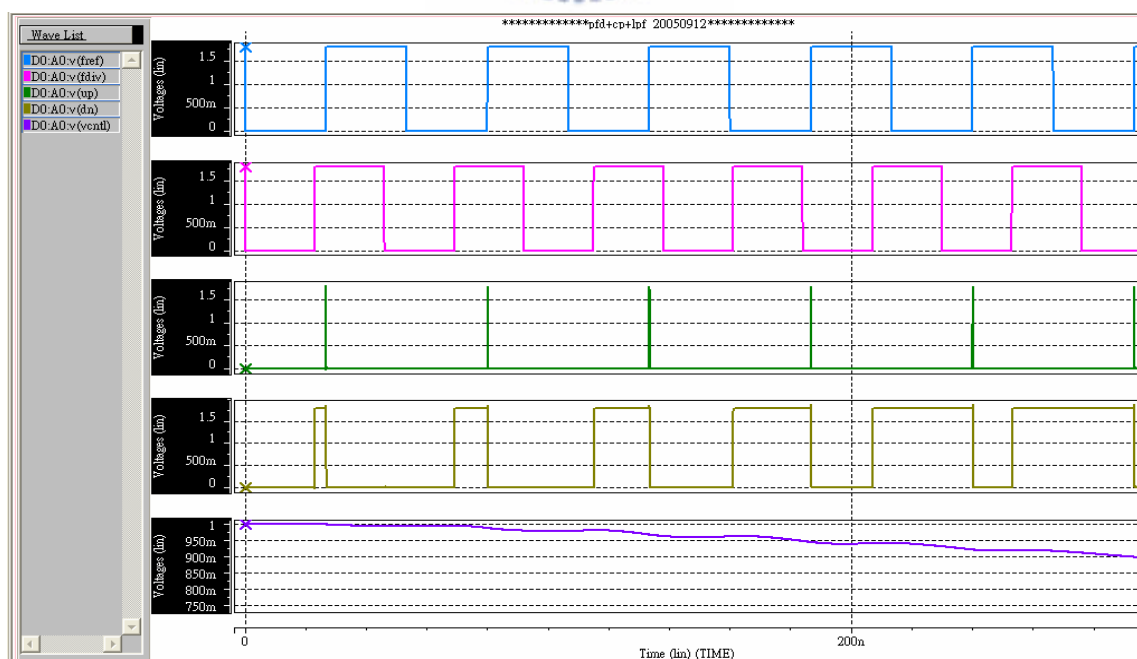


圖 2.32 PFD,CP 及 LF 之放電狀態(Vcntl 下降)

## C. 除頻器

本次下線之鎖相迴路應用於單頻的短距離裝置，為了得到 1.2GHz 的輸出，在此設計除 64 電路，參考信號源需要給 18.75MHz。鎖相迴路設計困難之一在於除頻器電路，因為 VCO 的輸出是整體電路最高頻的部分，經除頻後與 PFD 作相位檢測，由於使用靜態邏輯所設計的除頻器其邏輯閘的延遲使之無法適用於高頻率，因此為了能夠達到快速除頻的目的，本文採用動態邏輯(Dynamic Logic)來設計預除器將頻率先降到較低頻後，再用可程式除頻器選擇所要的除數達成除頻動作。

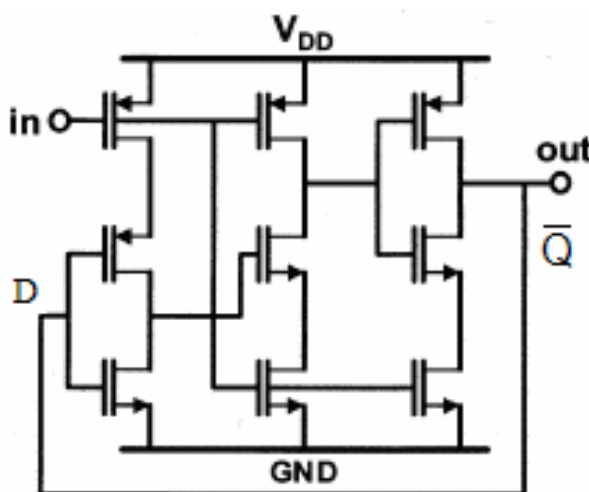


圖 2.33 TSPC 除 2 電路

因此本文除頻器採用圖 2.33 所示之 True-Single-Phase-Clock (TSPC)架構[41]，利用 D Flip-Flop 之 D 與  $\bar{Q}$  相接構成具有除 2 功能，將 6 個電路串接在一起，即形成除 64 電路。輸入信號位於靠近 power rail 之處，是為了降低 internal node 電容；而電晶體數量的減少，可以大幅降低內部連結所產生的寄生電容，使電晶體的 W/L 值可以很小。因為低的輸入端電容，TSPC divider 可以由 VCO 輸出端直接推動，不需要額外加入 buffer，大幅地減少功率的消耗以及晶片的面積。圖 2.34 為除頻器除 64 之模擬時序圖，特別注意此為模擬整個 PLL 閉迴路行為，上方為 VCO 經緩衝級後的 1.2GHz 振盪輸出訊號，

而下方為除頻器的輸出亦即 PFD 的輸入端，可以看出其電路除頻功能正確。設計上特別要注意的是，除 64 電路並非僅工作在 1.2GHz 處，必須在振盪器的頻率可調範圍內皆可正確工作，此外在模擬時要將除 64 電路整體一起模擬，若只模擬單級除 2 電路，有可能在串接 6 級後失去工作準確性，這兩者也就是設計上最具挑戰的地方。

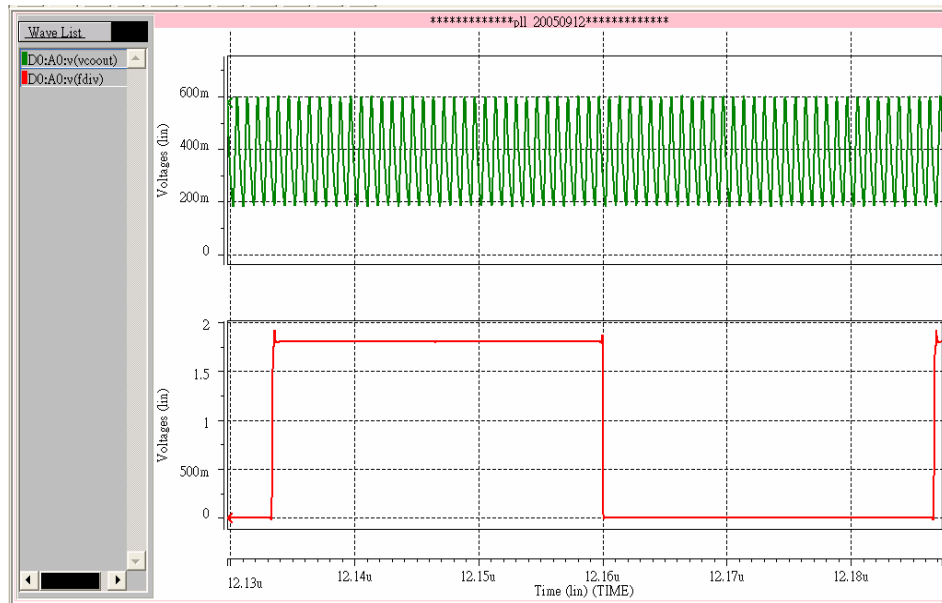


圖 2.34 除 64 電路時序圖 (上：PLL 輸出 1.2GHz 訊號，下：除頻器輸出)

#### D. 迴路濾波器(LF)

本鎖相迴路採用三階濾波器如圖 2.35[42]，藉由加入一組  $R_3$ 、 $C_3$  所產生的極點，進一步濾除在二階低通濾波器中，因 PFD/CP 之非理想效應(如 CP 電流不匹配)造成在主頻旁的參考突波(Reference spur)。設計 LF 元件值之前，必須先決定鎖相迴路的設計參數，包含除頻器除數、充電泵電流值、迴路頻寬及相位安全邊限，表 2.7 為經由 Trade off 後鎖相迴路的參數設計，其中 VCO 增益為在控制電壓於 0.9V 的量測結果(見圖 2.40)，約 2029MHz 左右；而 LF 根據表 2.7 規格所設計出元件值於表 2.8，在此並不詳細推導。最後，本迴路濾波器為外掛，目的在於可藉由調整外接的被動元件，達到不同的系統規格。

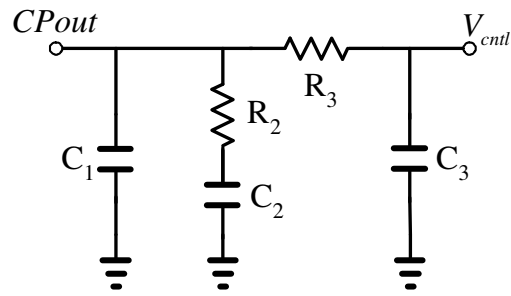


圖 2.35 三階低通濾波器

表 2.7 鎖相迴路設計參數

|                            |           |
|----------------------------|-----------|
| <i>Reference Frequency</i> | 18.75MHz  |
| <i>VCO Gain (measured)</i> | 2092MHz/V |
| <i>Divider Ratio</i>       | 64        |
| <i>CP Current</i>          | 0.064mA   |
| <i>Loop Bandwidth</i>      | 1.5MHz    |
| <i>Phase Margin</i>        | 60        |
| <i>Added Attenuation</i>   | 20dB      |

表 2.8 三階 LF 元件值列表

|       |               |
|-------|---------------|
| $C_1$ | 12pF          |
| $R_2$ | 2.2k $\Omega$ |
| $C_2$ | 330pF         |
| $R_3$ | 22k $\Omega$  |
| $C_3$ | 1.2pF         |



## E. 鎖相迴路閉迴路模擬

進行鎖相迴路系統分析前，由於電晶體層面的電路模擬需要耗費大量的時間，為了有效的利用時間成本，首先必須先對行為模式(Behavior model)作簡單的線性模擬，確認工作正確後始利用 HSPICE 及 ADS 從事系統閉迴路模擬；系統行為模式的確認可以參考本實驗室學長發表的論文[43]，利用 Matlab 內建的 Simulink 架構鎖相迴路線性系統。圖 2.36 為線性鎖相迴路模型鎖定情況，約在  $5 \mu\text{sec}$  後鎖定至 1.2GHz。

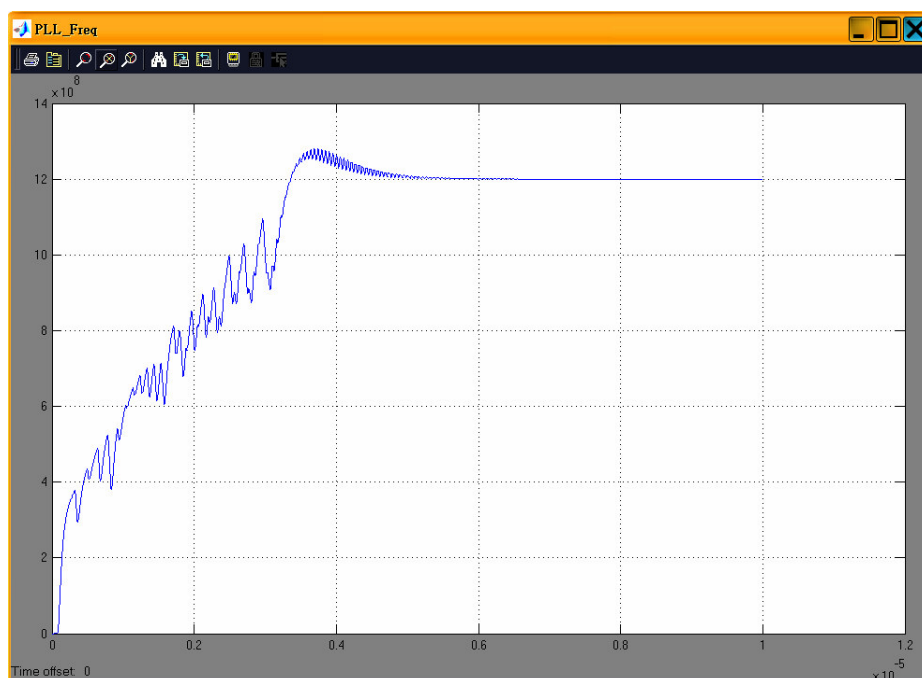
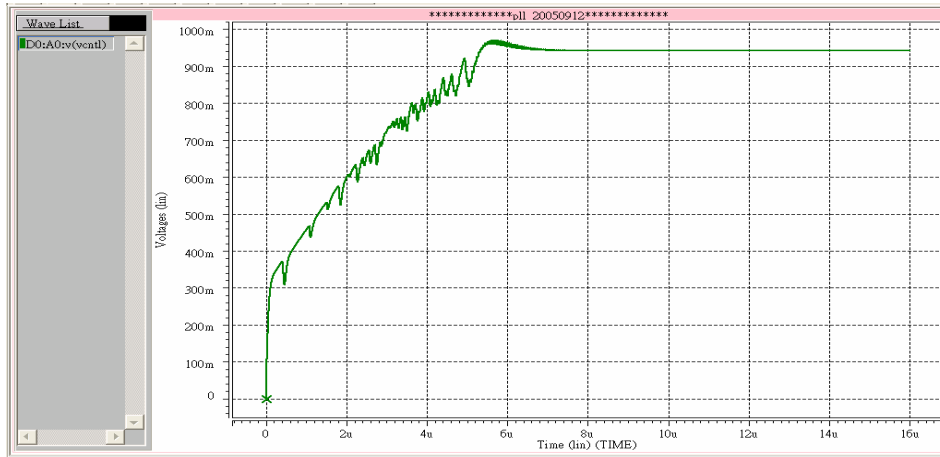
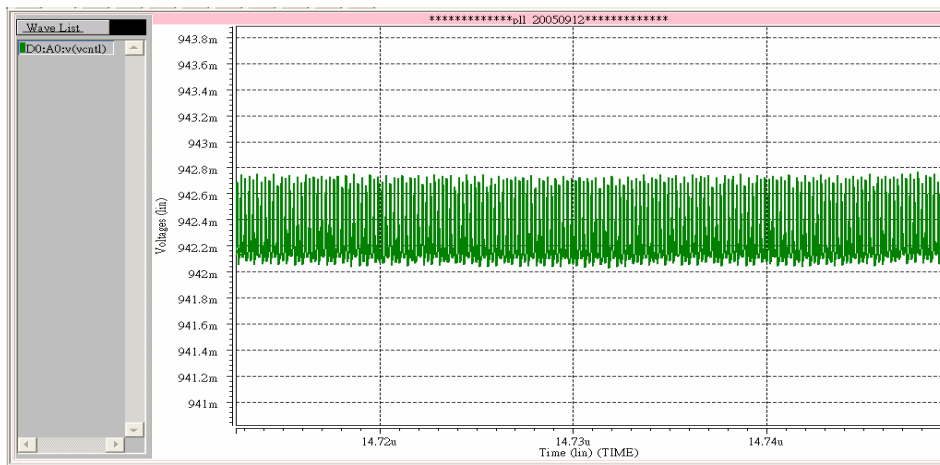


圖 2.36 鎖相迴路在  $5 \mu\text{sec}$  後鎖定到 1.2GHz

接下來是整個鎖相迴路佈局(Layout)利用 Laker 做 Post-simulation 後，使用 HSPICE 模擬的結果。圖 2.37(a)為 Vcntl 的電壓鎖定情形，約在  $7 \mu\text{sec}$  後鎖定到 0.942V 左右，由於是實際電晶體層級，因此比起圖 2.36 的線性模型鎖定時間長；鎖定後的漣漪(ripple)示於圖 2.37(b)，振幅約為 0.35mV。圖 2.38 則為鎖相迴路輸出訊號做 FFT 運算後的頻譜，以上模擬結果在 TT, FF, SS 的情況下，都滿足振盪頻率在 1.2 GHz。預計規格列於表 2.9 與量測結果一起比較。



(a)



(b)

圖 2.37 (a)Vcntl 鎖定情形 (b)鎖定後的漣漪

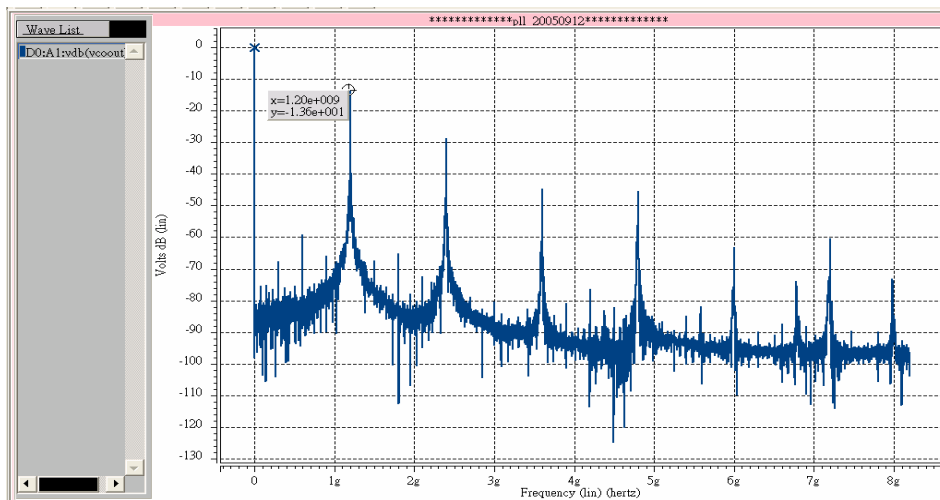
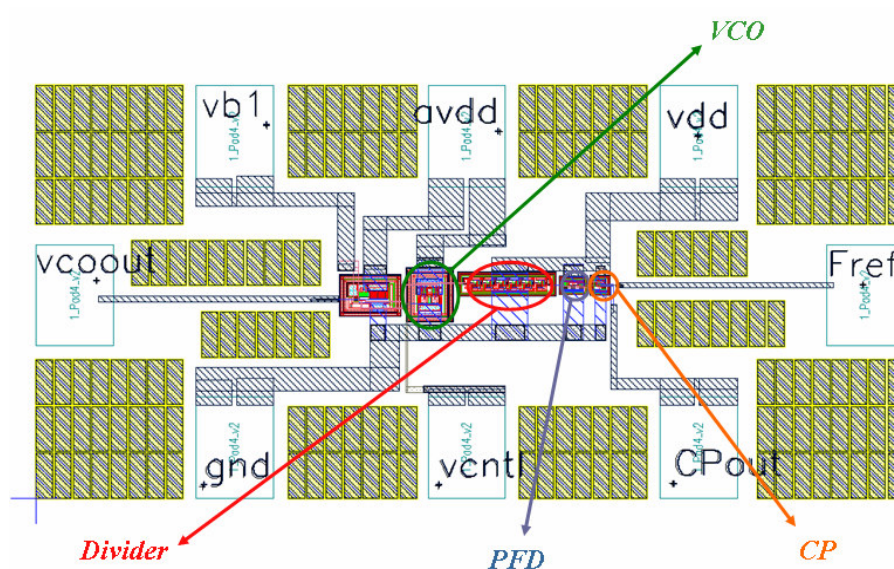


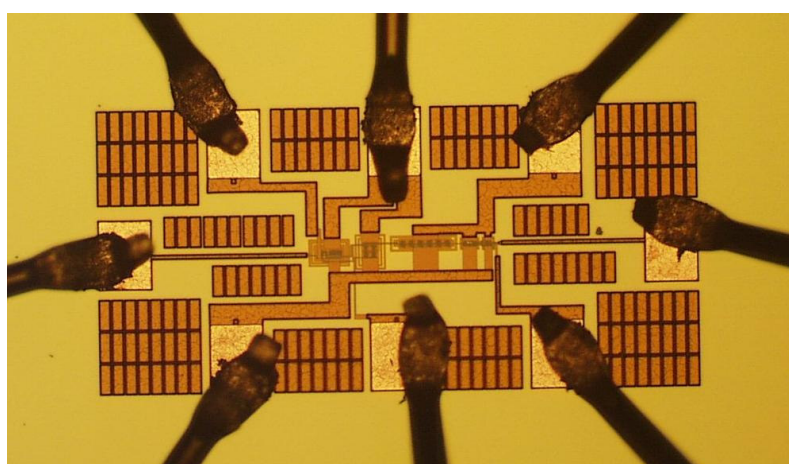
圖 2.38 鎖相迴路輸出頻譜

### 2.3.2 量測結果與討論

本晶片係經由國家晶片系統設計中心(CIC)之 T18-94E 梯次下線，圖 2.39 為晶片佈局平面圖與裸晶圖，由於迴路濾波器外接，實驗上必須先利用打線將晶片連接到 PCB 板後，再進行電路量測的動作。量測鎖相迴路前，必須先量測 VCO 的增益  $K_{vco}$ ，再來決定迴路濾波器的值，以確保迴路的穩定。



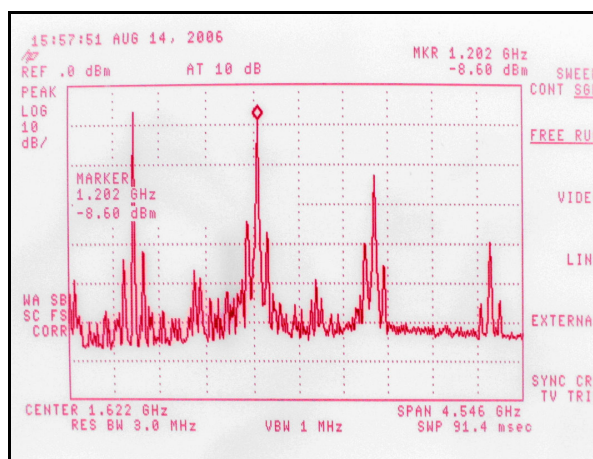
(a)



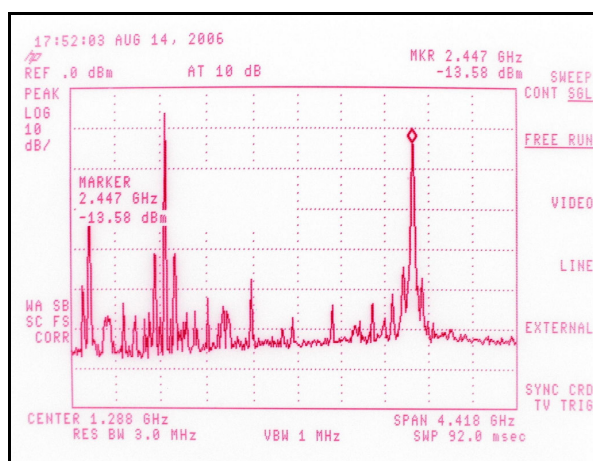
(b)

圖 2.39 鎖相迴路晶片 (a)佈局圖 (b)裸晶圖

為了單獨量測振盪器，先不接迴路濾波器而直接以 DC 電壓控制 Vcntl 點，觀察 VCO 控制電壓值與鎖相迴路輸出頻率的關係。圖 2.40 為使用 HP8596E 量測到其中兩個輸出頻譜 1202MHz 與 2447MHz，而其中兩顆晶片量測到的  $K_{vco}$  曲線示於圖 2.41 中，與電路 Post-simulation 模擬結果作比較。從圖 2.41 可以觀察到量測曲線在趨勢與高低值上，大致很符合模擬的曲線，只是在線性區間量測數值較低，這是因為電晶體以及 PCB 版上的寄生效應產生的頻率偏移，加上 VCO 電晶體在此段正處於線性區轉換成飽和區的轉態區，造成此處的  $K_{vco}$  模擬時本就較為敏感。然而鎖相迴路應用的頻率 1.2GHz 仍位於 VCO 可調範圍線性區內，因此可以確認振盪器在頻率的應用上已符合功能需求。



(a)



(b)

圖 2.40 輸出頻譜量測圖 (a)1.202GHz (b)2.447GHz



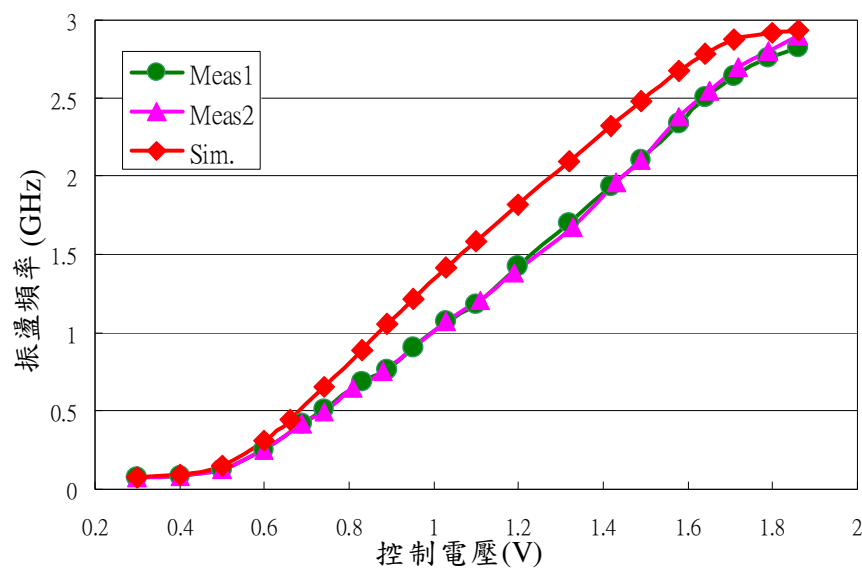
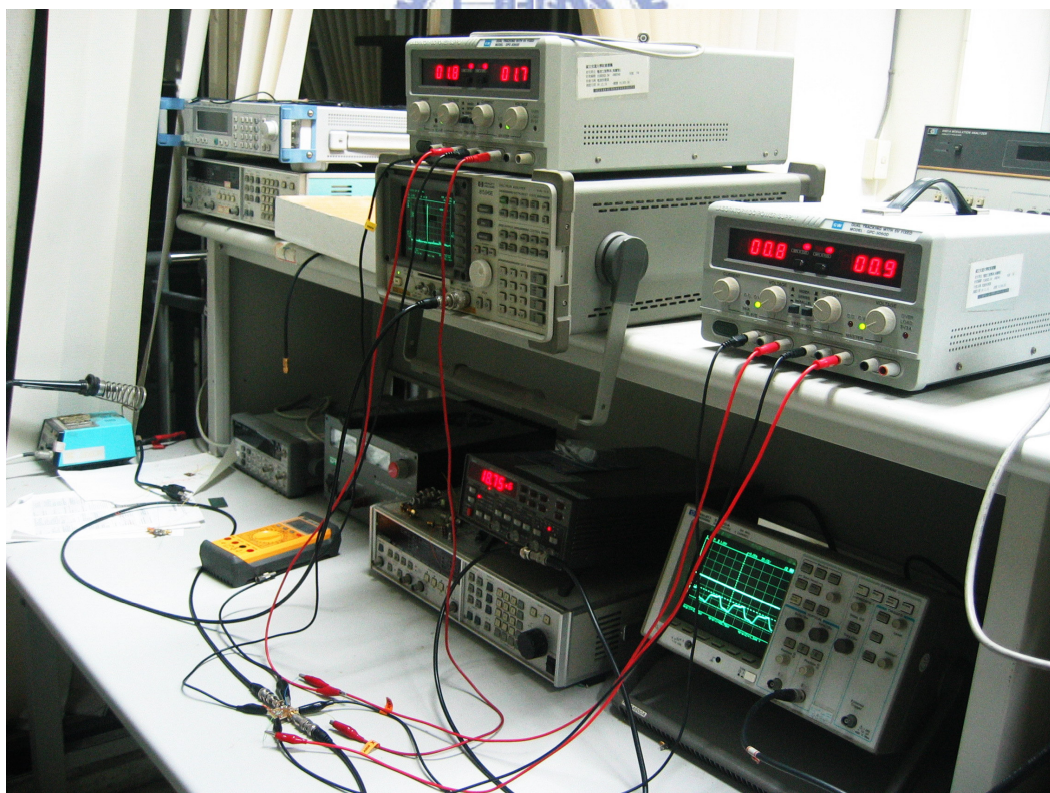
圖 2.41 振盪器  $K_{vco}$  曲線(模擬與量測)

圖 2.42 鎖相迴路之量測環境

在確認做為核心電路的 VCO 應用頻率範圍正確後，我們取  $K_{vco}$  較為線性的那一區段( $V_{ctrl}$  約 1.1V)來計算迴路濾波器的元件值，已列於表 2.8 中。量測時鎖相迴路的參考訊號源是由實驗室的信號產生器(Tabor8020)提供，由於其最高頻率為 20MHz，在應用頻率為 1.2GHz 的情況下，設計除頻器除數為 64，亦即參考訊號頻率為 18.75MHz，輸入電壓峰對峰值為 1.8V。

然而量測頻譜的結果鎖定在約 2.8GHz，亦即控制電壓鎖定在接近電源供應電壓 1.8V 處，鎖相迴路輸出頻率並非如預期地鎖定在 1.2GHz。為了探究其原因，將迴路濾波器再次由鎖相迴路中移除後，利用示波器(HP54600A)觀察 CP 輸出波型與 DC 電壓準位：發現到 CP 輸出端的 DC 電壓值與電源供應電壓(註：此為 PFD、CP、Divider 之 VDD，VCO 與 Output Buffer 之 VDDa 另接)相當接近，若微幅調整 VDD 則 CP 的輸出端電壓亦隨之改變。由前述結果可以斷定 CP 的放電路徑並無順利工作，亦即圖 2.30(b)之  $M_{13}$  恆關閉(DN 為 Low)；接著觀察圖 2.29 的 PFD 電路，發現到 DN 恆為 Low 的原因來自於  $U_2$  (除頻器輸出訊號)沒有正常的時脈訊號輸入，因此可以確認鎖相迴路鎖定頻率錯誤的因素來自於除頻器沒有正常運作。探究除頻器工作失誤的因素可能有二：1. 隨著製程的偏差，原先設計在 VCO 頻率範圍內皆可正常運作的除頻器，可能已經無法承受在高頻/低頻兩極端的輸入訊號。2. 由於除頻器的輸入訊號(VCO 輸出)的振幅若低於某個值電路將無法運作，如：1.2GHz 時不可小於 1V，寄生與製程偏移若使 VCO 輸出端的振幅強度不足，亦可能是鎖相迴路工作錯誤的因素。圖 2.43 為分析除頻器在各輸入訊號頻率下所能正常工作之所需最小輸入信號振幅。

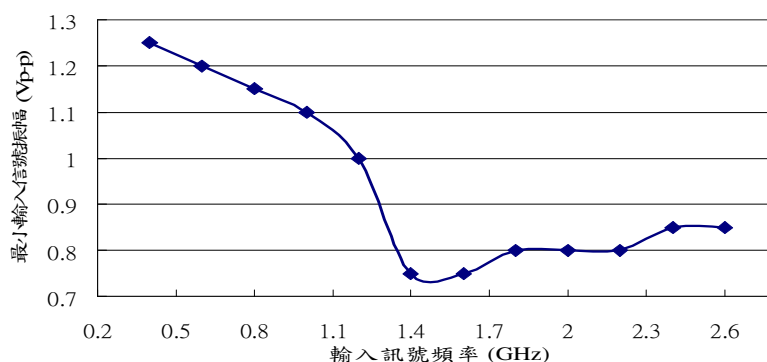


圖 2.43 除頻器各工作頻率所需最小振幅

表 2.9 所示為模擬和量測的比較。首先以圖 2.41 的量測結果來計算，在 1.2GHz 附近  $K_{vco}$  為 2092MHz/V，比模擬之 2360MHz/V 低，原因已於前述中說明。此外，頻率在 1.2GHz 附近功率消耗(含 Buffer)量測結果小於模擬結果，由圖 2.44 之 VCO 的頻率與輸出功率關係，得到功率之量測值與模擬值誤差不大，判斷 VCO 之功率消耗亦與模擬值相近，因此原因應是 Output buffer 功率消耗比模擬結果小。

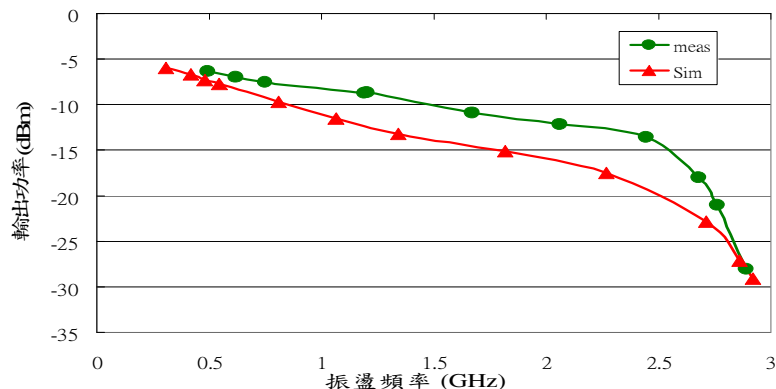


圖 2.44 振盪器的頻率與輸出功率關係

表 2.9 模擬與量測結果比較

| Specification             | Simulation                              | Measurement                 |
|---------------------------|-----------------------------------------|-----------------------------|
| Power Supply              | 1.8V                                    | 1.8V                        |
| Tuning Range              | 440 MHz ~ 2800 MHz                      | 490 MHz ~ 2600 MHz          |
| $V_{ctrl}$ Range          | 0.6v~1.6 V                              | 0.6v~1.7 V                  |
| $K_{vco}$ @ near ~1.2GHz  | 2360 MHz/V                              | 2092 MHz/V                  |
| Power consumption @1.2GHz | 24mW (此數據包含 Output buffer，VCO 本身僅為 4mW) | 18mW (包含 VCO output buffer) |



## 第三章

### 降頻電路研究

在第二章的內容中介紹了產生正交輸出訊號的方法，並實際設計了應用在接收機中的正交壓控振盪器，本章將繼續討論位於接收機前端的兩個重要元件：低雜訊放大器與混頻器。低雜訊放大器為接收路徑上的第一個增益級，其雜訊特性對於整個系統有重大的影響，除了必須壓低本身的雜訊外，還要能提供高增益以減輕本身雜訊對接收機後級的影響；混頻器接於低雜訊放大器後級，主要扮演頻率轉換的角色，必須維持良好的線性度以提升系統的接收品質。

本章將先由接收機前端的相關原理談起，接者分別根據第一章模擬所訂定的規格目標(見表 3.1)，來設計應用在接收機中的低雜訊放大器與混頻器。最後以第二章所設計的正交壓控振盪器，以及本章設計之低雜訊放大器與混頻器，來模擬、驗證整體降頻電路的特性。

表 3.1 LNA 與 Mixer 設計目標規格

|                     | LNA                    | Down-conversion Mixer                            |
|---------------------|------------------------|--------------------------------------------------|
| <b>Bandwidth</b>    | RF : 2400 ~ 2483.5 MHz | RF : 2400 ~ 2483.5 MHz<br>LO : 2402 ~ 2485.5 MHz |
| <b>Gain</b>         | 15 dB                  | 5 dB                                             |
| <b>Noise Figure</b> | 3 dB                   | 15 dB                                            |
| <b>IIP3</b>         | -5 dBm                 | 5 dBm                                            |

### 3.1 相關原理

本節中將簡單介紹兩種系統設計上的重要特性[12]：雜訊指數(Noise Figure)與線性度(Linearity)，藉由公式的推導瞭解系統前後級對其特性的影響程度。

#### 3.1.1 雜訊指數

在類比電路中，定義信號雜訊比(SNR)為信號功率與雜訊功率的比值，是電路信號品質好壞的依據；而在射頻電路設計上，當訊號由一個系統輸入到輸出時，會因為系統本身的雜訊造成訊號雜訊比降低，所以定義雜訊指數為輸入端與輸出端訊雜比的比值，作為評比系統雜訊特性的依據：

$$NF = \frac{SNR_{in}}{SNR_{out}} \quad (3-1)$$

在一個無雜訊的理想系統中，由於輸入的訊號與雜訊經過等量放大而使  $SNR_{in} = SNR_{out}$ ，亦即  $NF=1$  或  $0\text{dB}$ ；而在一般的有限雜訊系統中， $NF$  均大於 1。

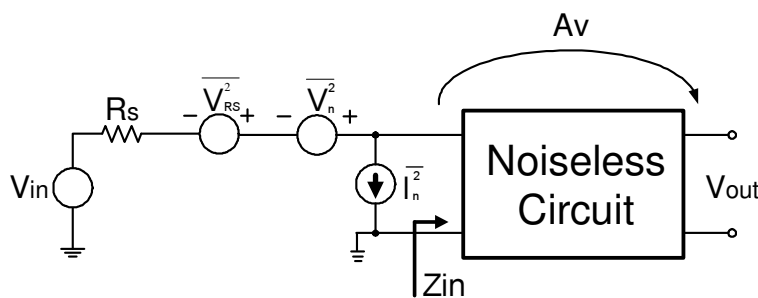


圖 3.1 單級電路的 NF 計算

接下來計算一個單級電路的雜訊指數，如圖 3.1 所示，將一個具有雜訊的電路等效成一個無雜訊電路加上輸入端雜訊：串聯雜訊電壓源  $\overline{V_n^2}$  及並聯雜訊電流源  $\overline{I_n^2}$ ， $R_s$  為電

源電阻、 $\overline{V_{RS}^2}$  為電阻產生之雜訊、 $\alpha = \frac{Z_{in}}{Z_{in} + R_S}$ ，而  $A_v$  為電壓增益。首先計算  $SNR_{in}$  與  $SNR_{out}$ ：

$$SNR_{in} = \frac{\alpha^2 V_{in}^2}{\alpha^2 \overline{V_{RS}^2}} \quad (3-2)$$

$$SNR_{out} = \frac{V_{in}^2 \cdot (\alpha A_v)^2}{\left[ \overline{V_{RS}^2} + (V_n + I_n R_S)^2 \right] \cdot (\alpha A_v)^2} \quad (3-3)$$

利用式 3-1 求得雜訊指數：

$$NF = \frac{\overline{V_{RS}^2} + (V_n + I_n R_S)^2}{\overline{V_{RS}^2}} = 1 + \frac{(V_n + I_n R_S)^2}{4kTR_S} \quad (3-4)$$

可以看出雜訊指數是電源電阻的函數，不過由於在射頻系統中大多數的電路方塊均設計在  $50\Omega$  的數入、輸出阻抗，可以避免不同電路在比較雜訊指數時的困擾。此外，雜訊指數亦可改寫成下列型式：

$$NF = \frac{4kTR_S + (V_n + I_n R_S)^2}{4kTR_S} \cdot \frac{A^2}{A^2} = \frac{V_{n,out}^2}{A^2} \cdot \frac{1}{4kTR_S} \quad (3-5)$$

其中  $V_{n,out}^2$  為輸出端總雜訊，而  $A = \alpha A_v$ 。利用輸出端總雜訊功率，以及從輸入到輸出端的電壓增益即可得到電路的雜訊指數。

圖 3.2 為兩級串接的電路，並顯示出各級的等效雜訊源、輸入/出阻抗與電壓增益，系統的雜訊指數可由各級得雜訊指數與增益推算而得：

$$NF_{tot} = NF_{1,RS} + \frac{NF_{2,Rout1} - 1}{A_p} \quad (3-6)$$

其中  $A_p = \left( \frac{R_{in1}}{R_S + R_{in1}} \right)^2 A_{v1}^2 \frac{R_S}{R_{out1}}$  為可得功率增益(Available power gain)。若欲求 N 級電路之

雜訊指數，可將式 3-6 推廣為：

$$NF_{tot} = 1 + (NF_{1,RS} - 1) + \frac{NF_{2,Rout1} - 1}{A_{p1}} + \dots + \frac{NF_{N,Rout(N-1)} - 1}{A_{p1} \cdots A_{p(N-1)}} \quad (3-7)$$

從式 3-7 中可以觀察到，若要提升整個系統的雜訊特性，愈前級的電路愈要降低自身的

雜訊及增加增益，這也說明了為何在接收機中，作為第一級電路的 LNA 必須要有低雜訊與高增益的特性。

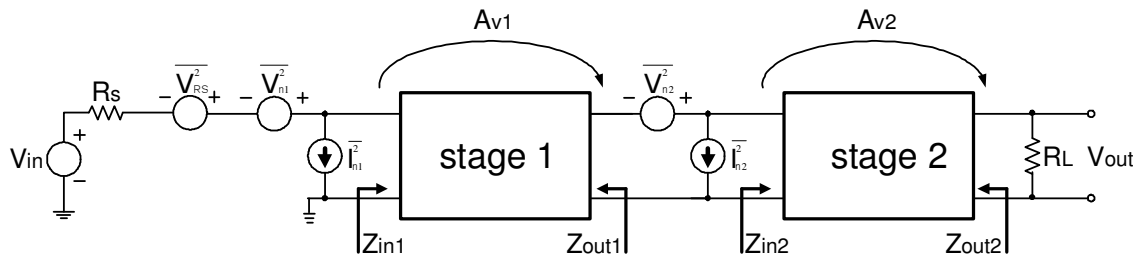


圖 3.2 兩級串接電路的 NF 計算

### 3.1.2 線性度

對一個理想的線性放大器而言，輸出與輸入訊號永遠維持一個固定比值，亦即放大器的增益為定值；然而，實際上的類比及射頻電路大多為非線性，諧波(Homonic)的產生會使增益隨著輸入訊號的增強而逐漸趨向飽和，此為增益壓縮(Gain Compression)現象。一般選取當小訊號增益減少 1dB 時的輸入信號準位(稱 1-dB 壓縮點)，作為評比系統線性度的依據。

另一個衡量線性度的方式為 Two Tones Test，當兩個不同頻率的訊號施於一個非線性系統中，輸出端會產生除了諧波外的交互調變(Intermodulation)成分，若其進入應用頻帶內會干擾接收的信號，經由這兩個輸入頻率與交互調變頻率的訊號大小可以判斷出系統的線性度。接下來考量一個單級電路的線性度，首先假設系統為弱非線性，輸出訊號為輸入訊號的三階函數，並打入兩個頻率接近的單頻信號  $X(t) = \cos \omega_1 t + \cos \omega_2 t$ ，此時輸出訊號為：

$$Y(t) = \alpha_1 X(t) + \alpha_2 X^2(t) + \alpha_3 X^3(t) \quad (3-8)$$

$$= (\alpha_1 A + \frac{9}{4} \alpha_3 A^3) [\cos \omega_1 t + \cos \omega_2 t] + \frac{3}{4} \alpha_3 A^3 [\cos(2\omega_1 - \omega_2)t + \cos(2\omega_2 - \omega_1)t]$$

當頻率為  $\omega_1$  ( $\omega_2$ ) 與  $2\omega_1 - \omega_2$  ( $2\omega_2 - \omega_1$ ) 成分之振幅相同且  $\alpha_1 A_{IP3} \square \frac{9}{4} \alpha_3 A_{IP3}^3$  時：

$$|\alpha_1| A_{IP3} = \frac{3}{4} |\alpha_3| A_{IP3}^3 \quad (3-9)$$

可得此時輸入信號振幅為

$$A_{IP3} = \sqrt{\frac{4}{3} \frac{|\alpha_1|}{|\alpha_3|}} \quad (3-10)$$

此點定義為『輸入三階截取點(IIP3)』，是系統設計時的重要特性，用來比較線性度的優劣。

圖 3.3 為兩級非線性電路串接，依照前述的方法在輸入端打入兩個頻率接近的單頻信號，可以推算出系統與各級電路之 IIP3 關係式為：

$$\frac{1}{A_{IIP3}^2} \approx \frac{1}{A_{IIP3,1}^2} + \frac{|\alpha_1^2|}{A_{IIP3,2}^2} \quad (3-11)$$

若欲求 N 級電路之 IIP3，可將式 3-11 推廣為：

$$\frac{1}{A_{IIP3}^2} \approx \frac{1}{A_{IIP3,1}^2} + \frac{|\alpha_1^2|}{A_{IIP3,2}^2} + \frac{|\alpha_1^2 \beta_1^2|}{A_{IIP3,3}^2} + \dots \quad (3-12)$$

從式 3-12 中可以觀察到，若各級電路的增益都大於 1，愈後級電路的線性度要求愈高，因為除第一級外，各級電路對於 IIP3 的貢獻，都因為要除以前面所有級數的增益而有所降低。這也說明了為何在接收機中，混頻器在線性度上的要求會比前級的低雜訊放大器相對來的高。

## 3.2 低雜訊放大器設計與量測

在無線接收機中，由於低雜訊放大器是天線接收到微小訊號之後第一個將訊號放大的電路，使其在設計上顯得相當關鍵。低雜訊放大器必須提供夠高的增益與低的雜訊，使接收機系統訊雜比降低的程度減輕，在低消耗功率及低失真的條件下能夠維持夠大的

訊號；此外，由於前級為天線或濾波器，輸入阻抗必須滿足與前級匹配而有最大功率轉換。因此，低雜訊放大器在設計上的目標為：夠高的增益、夠低的雜訊指數、好的線性度、輸入匹配及低消耗功率。本節將設計應用在藍芽系統的低雜訊放大器，及討論應用在 868MHz 歐規 ISM 頻帶的低雜訊放大器晶片量測結果。

### 3.2.1 架構探討與選擇

選取適當的架構是設計低雜訊放大器的第一步，本節將分別對幾種不同的電路做探討，並選擇最適用於本論文接收機的架構。首先，共閘極架構如圖 3.3 所示，輸入端為源極使得輸入阻抗約為  $\frac{1}{g_m + g_{mb}}$ ，藉由調整電晶體  $g_m$  值很容易使電路達到阻抗匹配，並且適用於寬頻；然而，此架構的缺點在於電晶體  $g_m$  無法設計在很高的值，導致電路在雜訊指數上有最低點限制。在只考慮電晶體通道熱雜訊(Thermal noise)的情況下，雜訊指數最小值為：

$$NF_{\min} = 1 + \gamma \quad (3-13)$$

其中  $\gamma$  為製程參數，對長通道元件而言  $\gamma = 2/3$ ，可得雜訊指數最小值為 2.2dB；若考慮來自電流源、負載阻抗的雜訊，或是短通道效應的影響( $\gamma = 1$ )，電路的雜訊指數最小值至少大於 3dB。

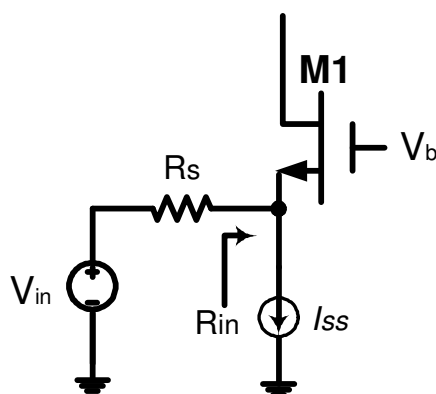


圖 3.3 共閘極架構



接著討論幾種共源極衍生架構。電阻性終端架構(Resistive Termination)如圖 3.4 所示，一個與電源電阻( $R_S$ )相等的電阻( $R_P$ )並聯放置於輸入端，當放大器需要良好的輸入阻抗匹配時，可採用這樣的架構；然而，具熱雜訊之電阻元件的使用，將使得電路之雜訊指數提高，在高頻時因需要考慮感應閘級熱雜訊，雜訊指數將表現很差。本電路的雜訊指數可表示為：

$$NF = 1 + \frac{R_S}{R_P} \quad (3-14)$$

當輸入阻抗匹配時( $R_P = R_S$ )，雜訊指數將至少大於 3dB；此外，輸入訊號在進入放大器之前，會先在並聯電阻( $R_P$ )產生功率上的消耗，而造成信號衰減。因此，電阻性終端架構很少被採用。

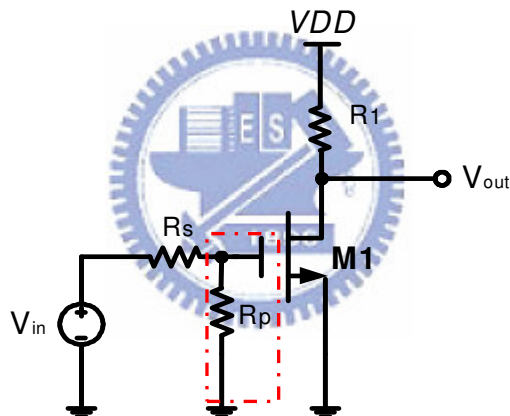


圖 3.4 電阻性終端架構

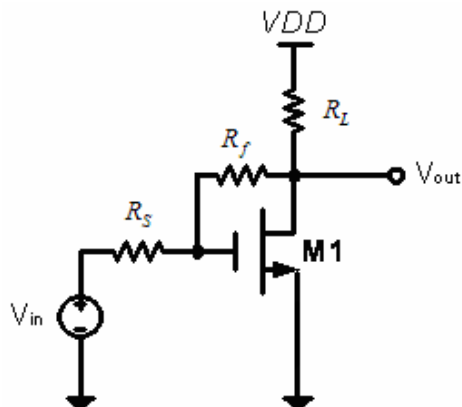


圖 3.5 並聯式回授架構

圖 3.5 為並聯-並聯式回授(Shunt-Shunt Feedback)架構，利用負回授方式提供低輸入阻抗，如式 3-15 所示，來對輸入端的電源電阻做匹配：

$$Z_{in} = \frac{R_S // R_f}{1 + (g_m / R_f)(R_S // R_f)(R_L // R_f)} \approx \frac{R_f}{g_m (R_L // R_f)} \quad (3-15)$$

由於利用電阻作阻抗匹配，此電路可應用於寬頻帶系統中。然而，此種電阻性回授架構有以下幾個缺點：首先，具熱雜訊之電阻元件的使用，將使得電路之雜訊指數提高；回授信號中可能會包含雜訊，雜訊指數亦將不預期會很好；回授式放大器在某些電源電阻或是負載阻抗下，會有電路不穩定的情況。

圖 3.6 所示為電感退化型(Inductive Degeneration)的共源極放大器，此電路的輸入阻抗經推導後描述如下：

$$Z_{in} = s(L_S + L_g) + \frac{1}{sC_{gs,t}} + \frac{g_m}{C_{gs,t}} L_S \quad (3-16)$$

其中  $C_{gs}$  為  $M_1$  的閘、源極間總電容，而  $g_m$  為  $M_1$  的轉導，為了提供與電源電阻  $R_S$  匹配之實阻抗，式 3-16 中的虛部必須為零，且實部與  $R_S$  相等：

$$\omega(L_S + L_g) = \frac{1}{\omega C_{gs,t}} \quad (3-17)$$

$$R_S = \frac{g_m}{C_{gs,t}} L_S \quad (3-18)$$

由式 3-17、3-18 可知，此架構之技巧為設計  $g_m$ 、 $C_{gs,t}$  及源極串接電感  $L_S$ ，用以產生實阻抗來做輸入匹配，而利用  $L_S$ 、 $L_g$  及  $C_{gs,t}$  可於應用頻率時將放大器之輸入虛阻抗移除；然而由於電容、電感在阻抗上的窄頻特性，此架構的匹配僅只適用於窄頻電路。

電感退化型架構最大的優勢為具有相當優越的雜訊特性。與電阻性終端及並聯回授式架構相比，不需使用具熱雜訊的電阻元件即可產生與電源電阻相等的實阻抗；相對於共閘極架構的並聯共振型輸入匹配，電感退化型架構在匹配網路上的串聯共振特性，具有較高的 Q 值，如式 3-19、3-20 所示：

$$Q_{CS-LNA} = \frac{1}{2\omega_o C_{gs,t} R_S} > 1 \quad (3-19)$$

$$Q_{CG-LNA} = \frac{\omega_o C_{gs,t} R_S}{2} < 1 \quad (3-20)$$

因此具有較低的雜訊指數。圖 3.7 為電感退化型架構的小信號雜訊分析，圖中之

$$\overline{i_{R_S}^2} = \frac{4kT\Delta f}{R_S}, \quad \overline{i_d^2} = 4kT\gamma g_{d0}\Delta f, \quad \overline{i_g^2} = 4kT\delta g_g\Delta f$$

經推導後雜訊指數為：

$$NF = \frac{\overline{i_{n,out}^2}}{\overline{i_{R_S}^2}} = 1 + \frac{\gamma}{\alpha} \frac{1}{Q} \left( \frac{\omega_o}{\omega_T} \right) \left[ 1 + \frac{\delta\alpha^2}{5\gamma} (1+Q^2) + 2|c| \sqrt{\frac{\delta\alpha^2}{5\gamma}} \right] \quad (3-21)$$

其中  $Q = \frac{1}{\omega_o C_{gs,t} R_S}$ 、 $c = \frac{\overline{i_g i_d}}{\sqrt{\overline{i_g^2} \overline{i_d^2}}} = j0.395$ ， $\alpha$ 、 $\gamma$  及  $\delta$  為與偏壓無關的參數，而  $\omega_o$  與  $\omega_T$  分

別為工作頻率及單位電流增益頻率(Unity current-gain Frequency)。

由式 3-21，此電路的雜訊主要來自三個因素：channel noise、gate noise、correlated noise，增加輸入共振電路的 Q 值可以降低 channel noise 的貢獻，但 gate noise 則會增強。因此存在一個最佳的 Q 值使雜訊指數降到最低：

$$Q_{opt} = \sqrt{1 + 2|c| \sqrt{\frac{5\gamma}{\delta\alpha^2}} + \frac{5\gamma}{\delta\alpha^2}} \quad (3-22)$$

$$NF_{min} = 1 + \frac{\gamma}{\alpha} \left( \frac{\omega_o}{\omega_T} \right) \frac{2\delta\alpha^2}{5\gamma} Q_{opt} \quad (3-23)$$

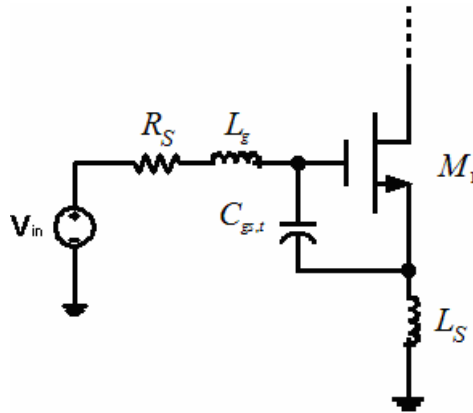


圖 3.6 電感退化型架構

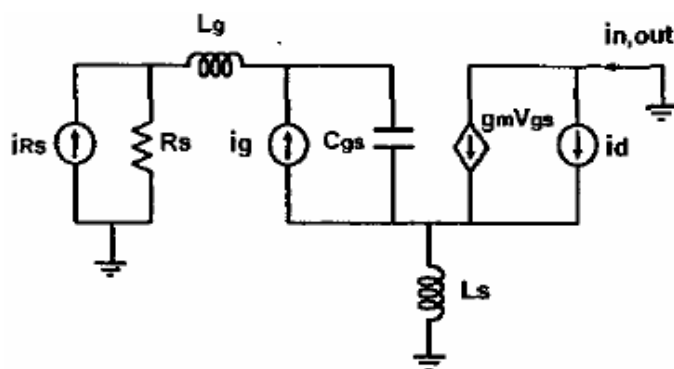


圖 3.7 電感退化型架構的小信號分析電路

基於低雜訊以及窄頻應用的考量，本論文所採用之低雜訊放大器為圖 3.8 所示的疊接(Cascode)式電感退化型架構，並曾於 CIC T18-95B-84 下線實作『應用於 868 MHz 接收機之低雜訊放大器設計』晶片及應用於 CIC T18-95D-54 下線實作的『應用於藍芽之 2.4GHz 射頻接收機前端設計』晶片中。與圖 3.6 的基本架構相同，本電路使用電感性退化( $M_1$ 、 $L_S$ 、 $L_g$ )產生實阻抗，達到阻抗匹配及雜訊匹配； $L_d$  作為負載並提供明顯的電壓增益(即使 Q 值在 on-chip 電感上不高)，避免當使用電阻性負載時，為了得到高增益而在電阻兩端產生過多電壓降的情況。

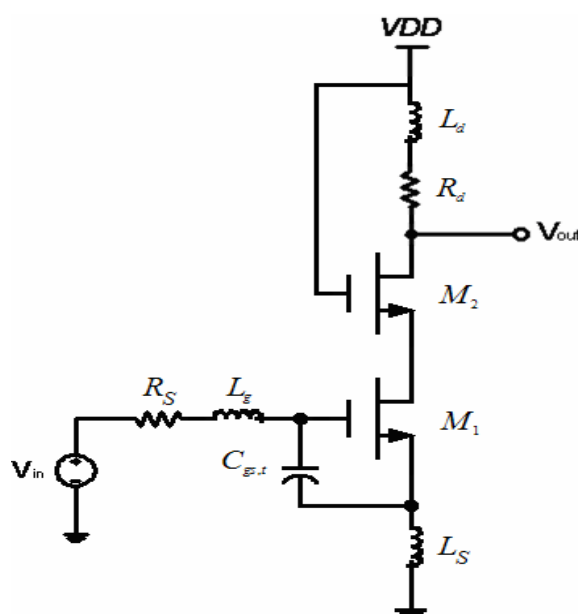


圖 3.8 本文使用之低雜訊放大器架構

由於在共源極的架構中，電晶體閘級-汲極間寄生電容( $C_{gd}$ )提供了輸入與輸出間的直接路徑，使得電路的反轉絕緣性(Inverse Isolation)與穩定性降低；相對地，由於共閘極放大器並沒有因  $C_{gd}$  而衍生的米勒效應(Miller Effect)，絕緣性與穩定度都較高，所以在基本電感退化型架構上疊接一層共閘極電晶體( $M_2$ )。 $M_2$  並不貢獻此電路的增益及輸入阻抗，主要利用來減少米勒效應而使應用頻寬增加、提高放大器線性度，以及降低了反轉絕緣性，減少由混頻器產生之本地竄流訊號。

### 3.2.2 電路設計與模擬

應用於本論文接收機中的低雜訊放大器電路，為圖 3.8 所示之疊接式電感退化型架構，選擇原因已於 3.2.1 節中描述。低雜訊放大器在設計上考量的因素包含：雜訊指數、增益、功率消耗與足夠的線性度，一般而言，雜訊的降低與增益的提高往往伴隨者較大的功率消耗。因此在設計電晶體尺寸前，必須先決定電路的總偏壓電流，因為電流大小會影響放大器的增益，也會影響雜訊指數：過小的偏壓電流會使得增益小，而無法將天線接收到的微小訊號放大到足夠的程度；另一方面，也會使雜訊指數也會過大。

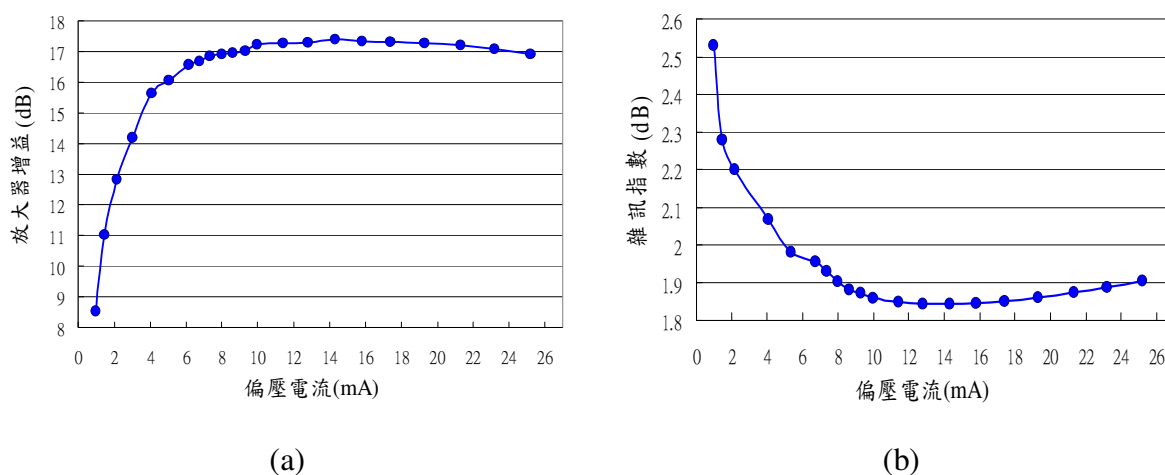


圖 3.9 偏壓電流大小對 LNA 的影響 (a)增益 (b)雜訊指數

圖 3.9(a)、(b)分別模擬本電路偏壓電流大小對增益以及雜訊指數的影響，當電流小時，放大器增益的增加量及雜訊指數壓低量大約和功率消耗量成正比，但是當電流逐漸加大，放大器的增益以及雜訊指數會慢慢趨近限制量，最後甚至反轉。因此，在希望得到較大的增益與較低的雜訊指數，又不希望浪費多餘功率的目標下，最好選擇電流的大小於圖中線性區與飽和區臨界處，在本文中選擇 4mA。

放大器的偏壓主要由電晶體 M1、M2 決定，而 M2 的寬度參考文獻[\*]可選取為 M1 的一半，在此利用前段文中決定的偏壓電流，適當地選擇電晶體 M1 的尺寸。圖 3.10(a)、(b)分別模擬在固定偏壓電流及 M1 長度( $0.18\mu m$ )的情況下，M1 的寬度對增益及雜訊指數的影響，可以看出當寬度增加時放大器增益會下降，而雜訊指數則獲得改善；本文選擇 M1 寬度  $200\mu m$ ，可以得到不錯的增益與雜訊特性。另外要注意的是，由於當電晶體偏壓於飽和區且遠離線性區時，線性度(亦即  $IIP3$ )的大小與電晶體的  $V_{gs} - V_{th}$  成正比，意味著若增加  $V_{gs}$  可改善低雜訊放大器的線性度。本論文疊接低雜訊放大器可以視作兩個方塊的连接，根據式 3-11 所示，若要維持系統良好的線性度，作為第二級子電路的  $M_2$  必須要有很好的  $IIP3_2$ ，因此電晶體  $M_2$  的偏壓選擇壓要盡可能的高，故在此設計其閘極偏壓直接連接到供應電壓  $V_{DD}$ 。

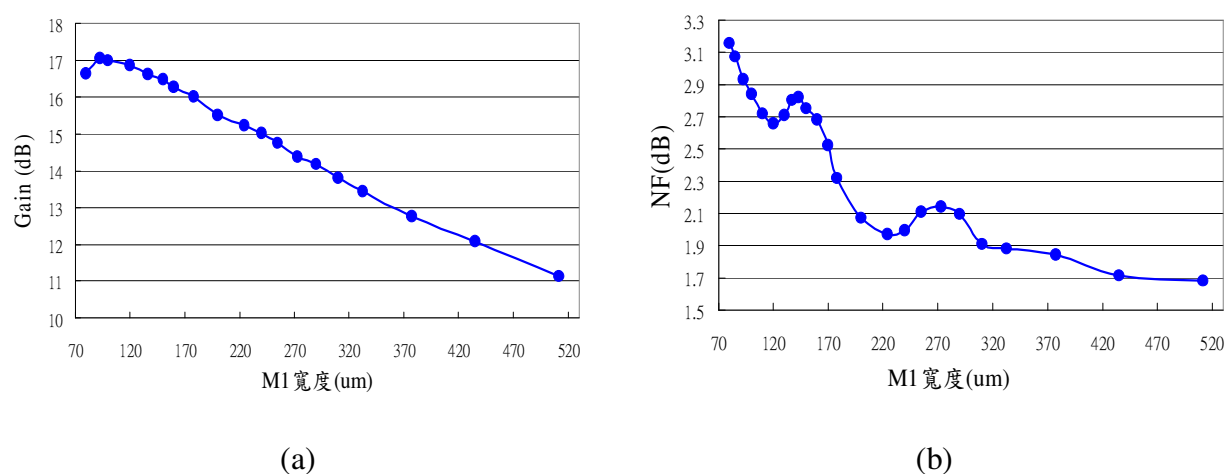


圖 3.10 電晶體尺寸對 LNA 的影響 (a)增益 (b)雜訊指數



負載電感  $L_d$  取代電阻性的負載  $R_L$  提供電路的增益，由於  $L_d$  在直流視為短路，既不會改變原先的偏壓點，亦可以避免當高增益時在負載電阻  $R_L$  消耗過多電壓降的情況；在設計上可以輕易利用較大的  $L_d$  值得到較高的電路增益，然而在設計時必須在增益與晶片面積間做取捨。最後在輸入匹配上，可以利用 3-17、3-18 選擇出所需之  $L_S$ 、 $L_g$  及  $C_{gs,t}$  值，若電晶體  $M_1$  的閘、源極間寄生電容小於  $C_{gs,t}$ ，可以在其間另外加上  $C_{gs,ext}$  使滿足匹配條件。最後，小電阻  $R_d$  目的為增加電路的穩定性，並非用以提升電路增益。經由前述的設計，本文所應用的疊接式電感退化型低雜訊放大器(圖 3.8)，各元件值列於表 3.2 中。

表 3.2 低雜訊放大器元件值列表

|              |                    |
|--------------|--------------------|
| $M_1$        | W=200um , L=0.18um |
| $M_2$        | W=100um , L=0.18um |
| $R_d$        | 2.844 $\Omega$     |
| $L_g$        | 8.26573nH          |
| $L_S$        | 0.5nH (Bond-wire)  |
| $L_d$        | 2.53684nH          |
| $C_{gs,ext}$ | 30.475fF           |

圖 3.11(a)、(b)分別為 LNA 的輸入返回損耗(Input Return Loss)及輸入匹配的情況，可以看出當輸入匹配在 50 $\Omega$  時， $S_{11}$  約在 -30dB；圖 3.12 為增益及隔離度響應圖，增益約在 15.5dB，隔離度約為 -28dB；圖 3.13 模擬電路雜訊指數，NF 約為 2.1dB；圖 3.14 利用 Two tones test 測量放大器的線性度，(a)為輸入之雙頻訊號、(b)為輸出訊號，得到 IIP3 約為  $\frac{(-19.436) - (-81.397)}{2} - (-35.186) = -4.2055dB$ 。此外，為了在放大器工作頻率

2.44GHz 附近不發生振盪，穩定係數  $\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{12} S_{21}|}$  必須大於 1，圖 3.15 模擬顯示工作頻率附近將不會發生振盪。表 3.3 列出本低雜訊放大器的所有效能規格，均符合表 3.1 中的預計目標規格。

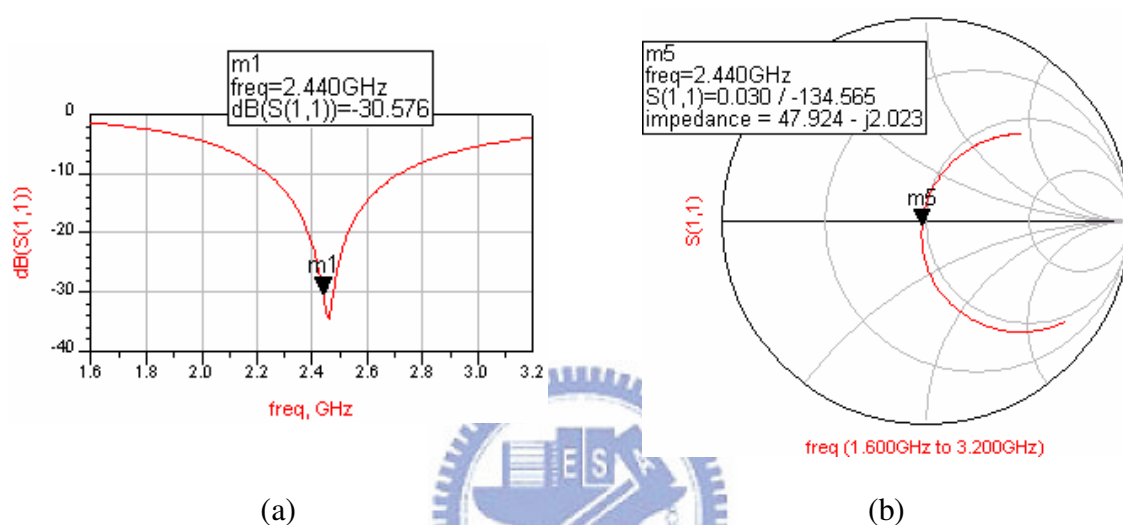


圖 3.11 低雜訊放大器 (a)  $S_{11}$  (b) 輸入阻抗

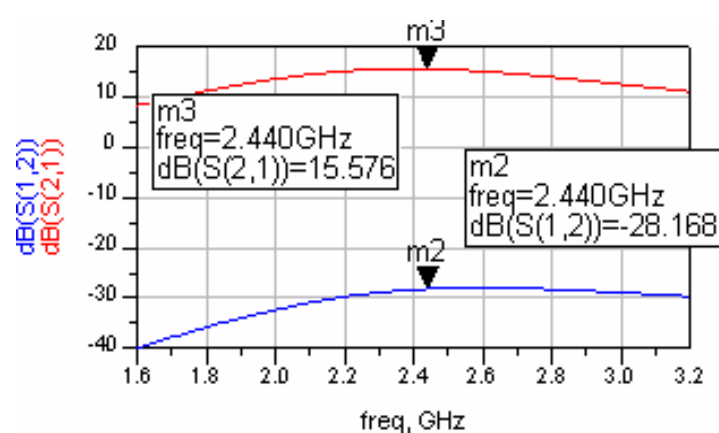


圖 3.12 低雜訊放大器增益與隔離度模擬

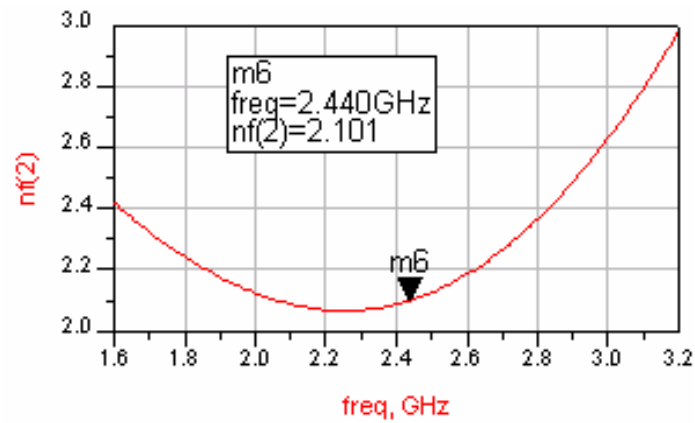


圖 3.13 低雜訊放大器雜訊指數模擬

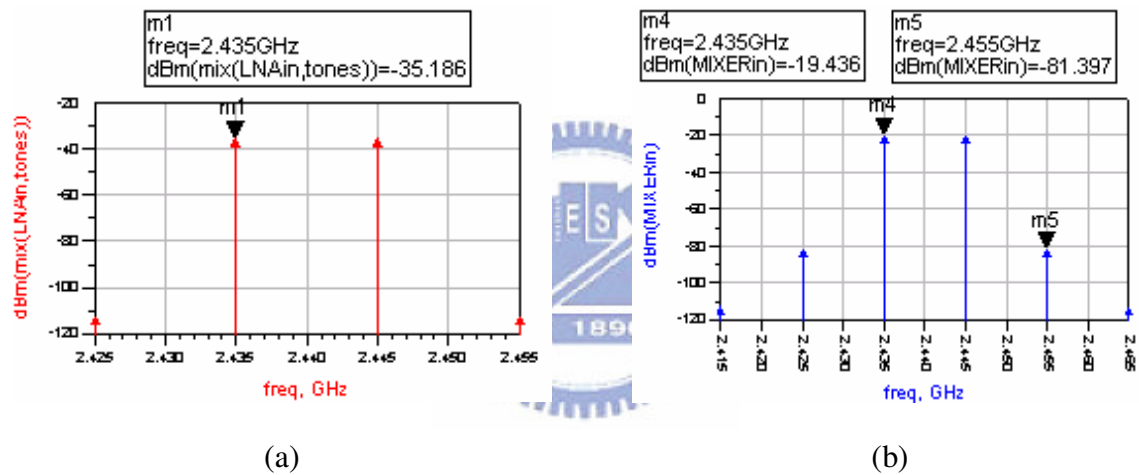


圖 3.14 低雜訊放大器 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號

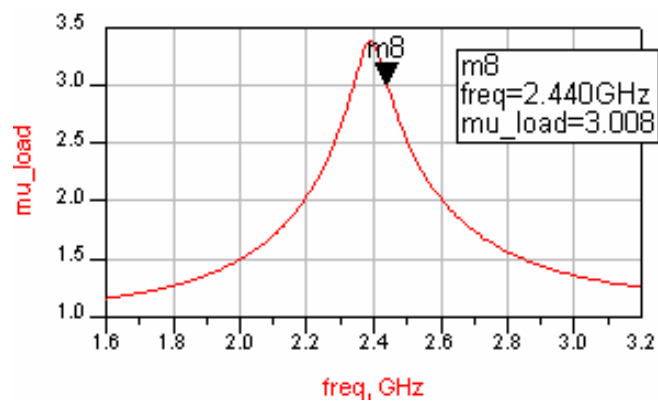


圖 3.15 低雜訊放大器穩定度模擬

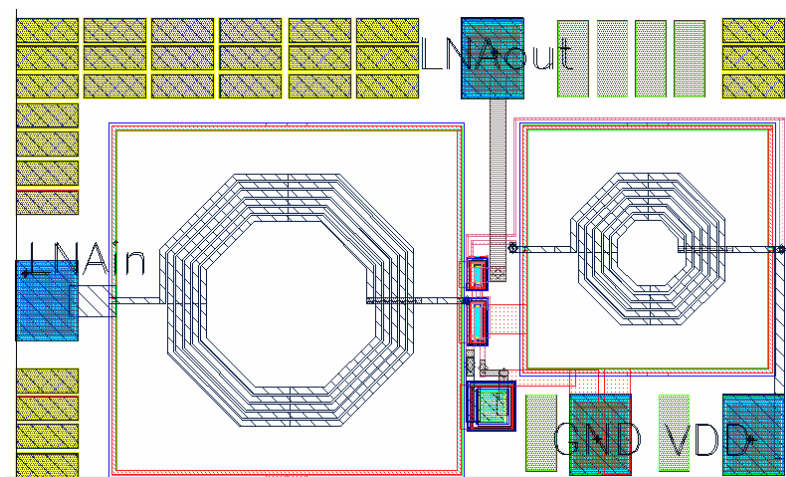
表 3.3 2.4GHz LNA 模擬規格列表

|                          |             |
|--------------------------|-------------|
| <i>Frequency</i>         | 2.44 GHz    |
| <i>Supply Voltage</i>    | 1.8 V       |
| <i>Power Consumption</i> | 7.326 mW    |
| <i>Gain</i>              | 15.576 dB   |
| <i>Noise Figure</i>      | 2.101 dB    |
| <i>IIP3</i>              | -4.2055 dBm |
| <i>S11</i>               | -30.576 dB  |
| <i>S12</i>               | -28.168 dB  |
| <i>Stability Factor</i>  | 3.008       |

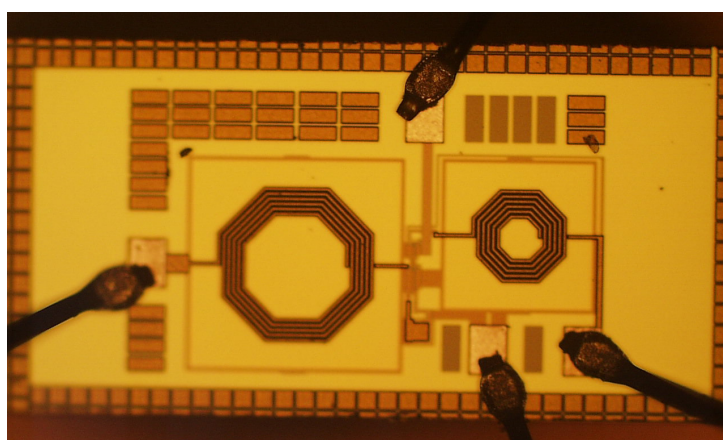
### 3.2.3 量測結果與討論 (CIC T18-95B-84)

本晶片係經由國家晶片系統設計中心(CIC)之 T18-95B 梯次下線，電路架構(圖 3.8)與設計方式與 3.2.2 節所述相同，唯一不同為此晶片應用在歐規 ISM Band 868MHz 處，因此本節並不詳述其設計流程，僅將模擬結果與量測結果並列於表 3.4。圖 3.16 為晶片佈局平面圖與裸晶圖，由於輸入與輸出匹配網路外接，實驗上必須先利用打線將晶片連接到 PCB 板後，再進行電路量測的動作。

實驗上先利用網路分析儀(E5071B)量測 LNA 電路主體 S 參數之 s2p 檔，再利用 ADS 軟體得到電路的輸入及輸出阻抗，接著搭配匹配電路的元件值，將其與主電路連結後進行量測動作。圖 3.17 為網路分析儀(HP8752C)量測之 S11 值，在頻率 868MHz 時為 -17.25dB，確認達到匹配作用；圖 3.18 為使用雜訊指數儀(HP8970B)量測之增益與雜訊指數，於 880MHz 所得之增益為 7dB，雜訊指數為 4.61dB；圖 3.19 為將雜訊指數儀與示波器連接後，量測所得增益與雜訊指數曲線圖，掃頻範圍在  $880 \pm 300$  MHz。



(a)



(b)

圖 3.16 低雜訊放大器晶片 (a)佈局圖 (b)裸晶圖

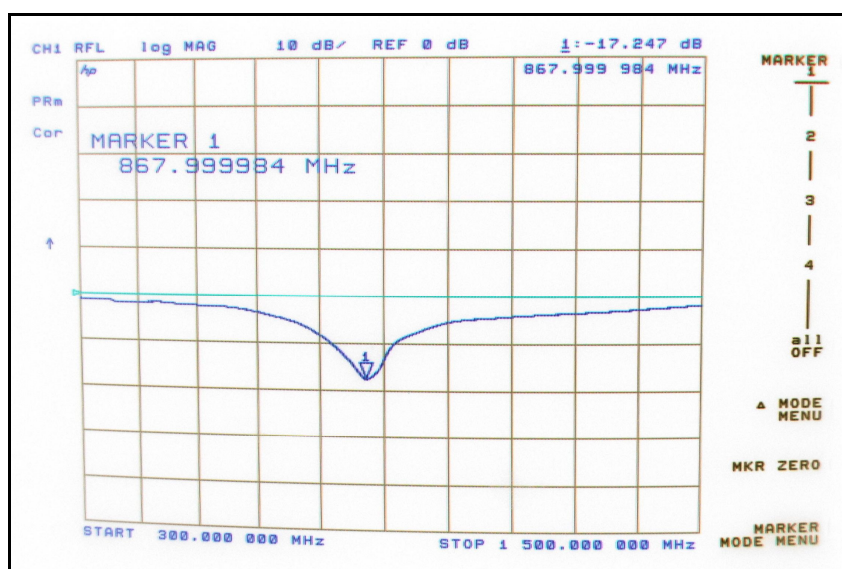


圖 3.17 低雜訊放大器之 S11





圖 3.18 放大器之增益與雜訊指數量測值(未去除匹配網路非理想效應前)

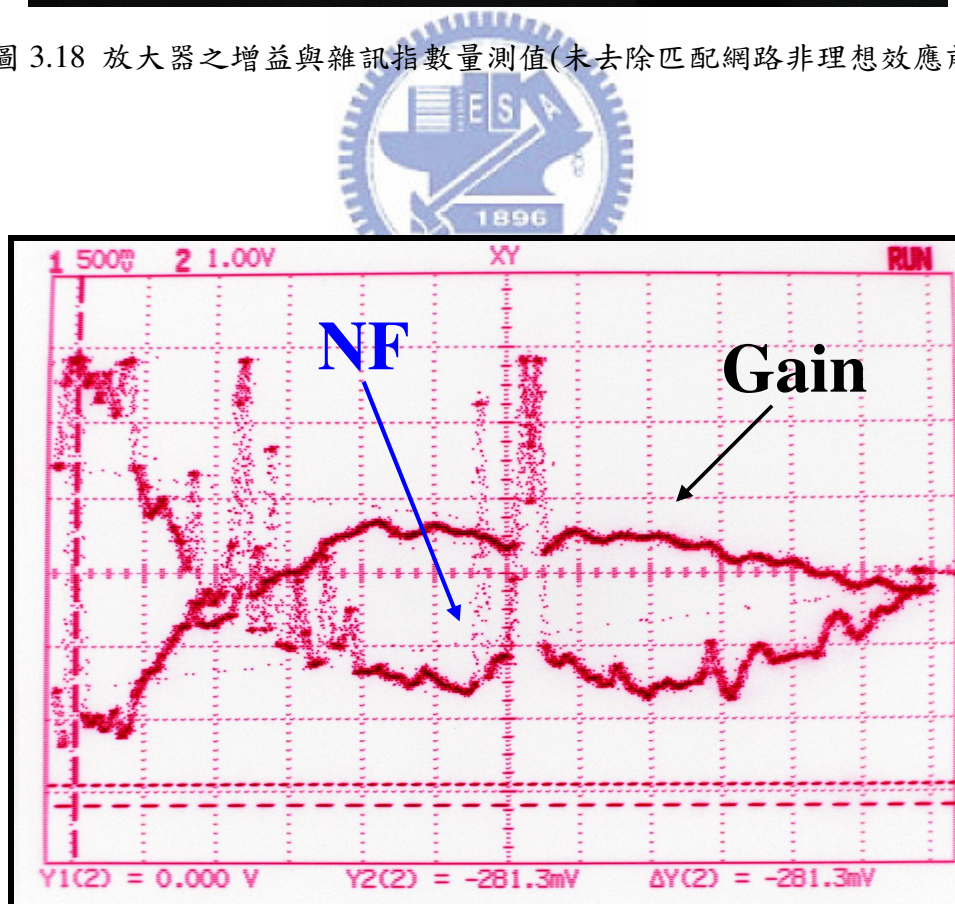


圖 3.19 增益與雜訊指數之量測曲線圖





圖 3.20 低雜訊放大器之量測環境

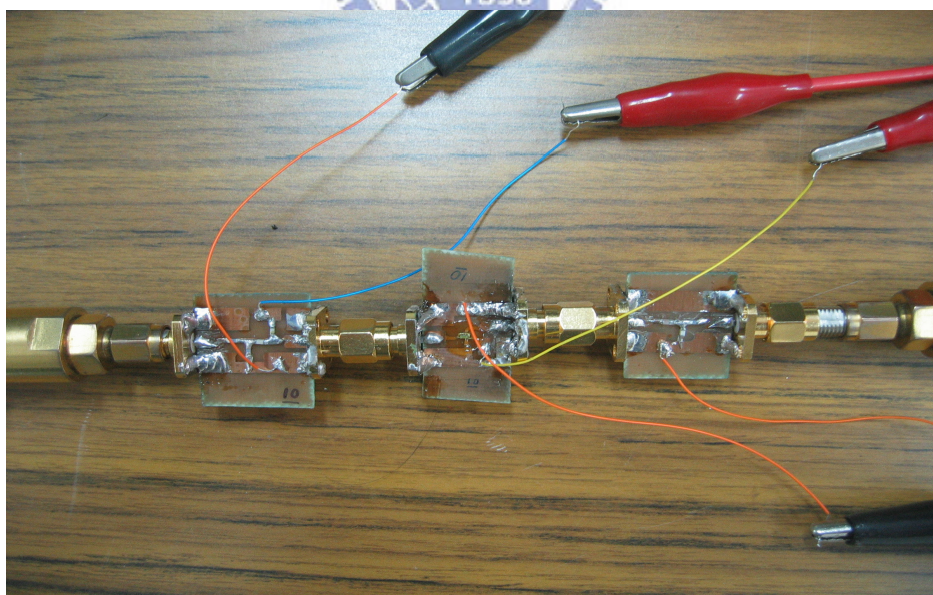


圖 3.21 放大器之待測晶片與輸入、輸出匹配網路

為了更精確地量測到放大器主電路的效能，接著使用雜訊指數儀(HP8970B)對於輸入匹配網路及輸出匹配網路進行單獨的雜訊指數與增益量測，得到輸入匹配網路量測結果：增益為-1.7dB、雜訊指數為 2.6dB；輸出匹配網路之增益量測結果為-1.9dB。最後將圖 3.18 之整個電路量測結果，去除掉輸入與輸出匹配網路的效應後，得到低雜訊放大器本身的量測結果：增益為 10.6dB、雜訊指數為 2.01dB。

表 3.4 為本放大器晶片量測與模擬結果之比較，可以看出電路的消耗電流與預估值相當，而放大器增益與雜訊指數的量測值均比模擬值稍差，產生誤差的主要原因為：由於是利用 PCB 版量測，眾多 FR4 版、Cable 線與 SMA 接頭均對訊號造成衰減，使放大器增益之量測值降低，間接使得雜訊指數量測值上升。

表 3.4 模擬與量測結果比較

| Specification              | Simulation | Measurement |
|----------------------------|------------|-------------|
| <i>Frequency</i>           | 868 MHz    | 868 MHz     |
| <i>Supply Voltage</i>      | 1.5 V      | 1.5 V       |
| <i>Current Consumption</i> | 3.76 mA    | 3.85 mA     |
| <i>Gain</i>                | 15.145 dB  | 10.6 dB     |
| <i>Noise Figure</i>        | 1.565 dB   | 2.01 dB     |
| <i>S11</i>                 | -24.226 dB | -17.247 dB  |

### 3.3 混頻器設計

混頻器在無線接收機中扮演著頻率轉換的角色，將 RF 埠接收到的載波訊號，與 LO 埠由本地振盪源產生的週期性輸出訊號進行混波，轉換至高頻(up-conversion)或低頻(down-conversion)。如同 3.1 節中所提到，混頻器作為接收機中 LNA 的後級電路，其線性度的表現直接影響了整個系統的特性，因此必須維持好的線性度是混頻器在設計上最大的限制；而在線性度允許的情況下，較高的增益與較低的雜訊指數可以使系統整體雜訊更有效的被抑制。

混頻器中每兩埠間的隔離度(isolation)也是重要的。若 LO-RF 埠間的隔離度不佳，LO 訊號會直接竄流至低雜訊放大器或是天線前端，經過放大後與 LO 訊號進行自我混波而產生直流偏移的問題；LO-IF 埠間的隔離度是相當重要的，若 LO 訊號竄流至 IF 埠，當兩者頻率接近時將難以用低階的濾波器抑制 LO 訊號，而造成中頻信號的接收敏感度降低；最後，若 RF-IF 埠間隔離度不好，則會在直接降頻接收機中產生偶次諧波失真(even-order distortion)的問題。

降低系統的功率損耗是低電壓設計的關鍵，因此混頻器在設計上的目標為：在低消耗功率的情況下，能夠提供良好的線性度與適當的轉換增益、雜訊指數，以及兩埠之間的隔離度。

#### 3.3.1 架構探討與選擇

混頻器一般可分為被動式與主動式兩類。被動式混頻器具有較高的線性度與反應速度，但是不提供增益；然而，主動式混頻器不但能夠提供轉換增益(Conversion gain)及兩埠之間的高絕緣度，並且只需較小的 LO 功率即可切換開關，因此在積體電路中較常被使用。最基本的混頻器架構如圖 3.22 所示，為一個開關(可以使用 MOS 來實現)所組成的簡單電路，週期性的 LO 訊號控制開關 S1 的打通或斷路，輸出的 IF 訊號可視為 RF

訊號與此週期性方波的乘積，使頻率獲得轉換。CMOS 主動式混頻器設計的主要根據，是由 Gilbert 於 1968 年所提出的交互耦合差動(Cross-coupled differential)架構，雙平衡混頻器(又稱 Gilbert Cell 混頻器)最具代表性，如圖 3.23 所示，射頻信號由  $M_1$  與  $M_2$  的閘極端進入，兩組交互耦合差動對( $M_3-M_6$ )則作為切換開關。

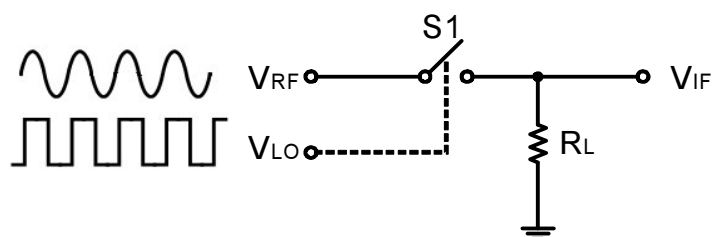


圖 3.22 以簡單開關實現的混頻器

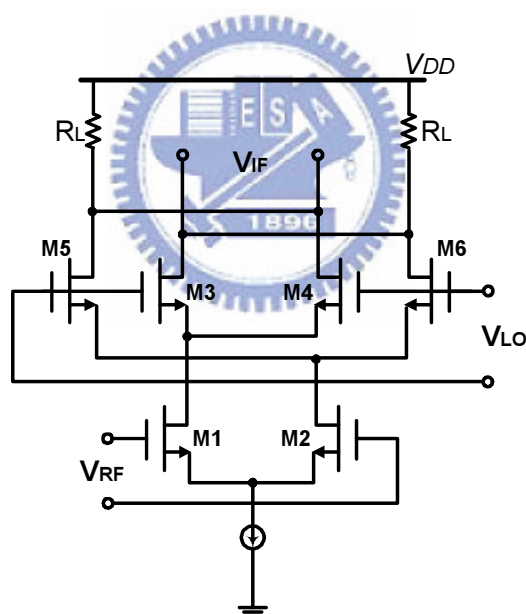


圖 3.23 Gilbert cell 混頻器

由於 CMOS 電晶體在飽和區時的電流： $I_D = K(V_{GS} - V_T)^2$ ，差動輸入轉導電晶體 ( $M_1-M_2$ ) 存在著電壓-電流間的非線性關係，如果 LO 訊號能良好地切換開關，混頻器的線性度將主要由轉導級控制；一般而言，雙平衡混頻器的轉導級因為具有差動輸入，線性度會比稍後介紹的單平衡混頻器佳。此外，由於 LO 訊號經由  $M_3-M_4$ 、 $M_5-M_6$  放



大後於輸出端呈現反相位，相加之後剛好造成一階 LO 訊號相互抵銷，使得 LO-IF 埠間的隔離度很好，並不會有存在於單平衡混頻器的 LO feedthrough 問題。

在雙平衡混頻器的設計上，因為具有偏壓尾電流源的差動電路會有高階非線性失真的問題，因此可以藉由將圖 3.23 中的  $M_1-M_2$  的源極端直接接地，不但提升線性度亦使混頻器更適於低電壓工作。另外一方面，當低雜訊放大器設計為單端輸出時，必須藉由 Balun 將單端訊號轉成雙端，才能進入具有差動輸入的 Gilbert cell 混頻器；為了避免外加 Balun 產生不必要的雜訊，設計上可將混頻器其中一輸入端用來接收射頻訊號，而另一端則為 AC 接地。

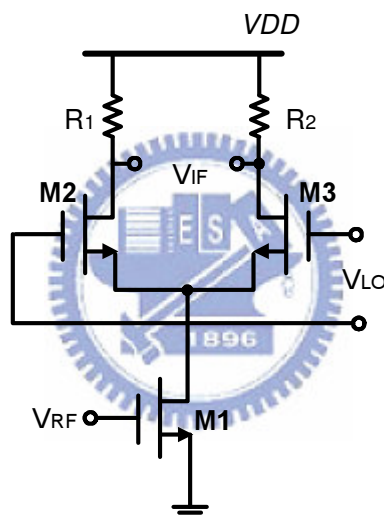


圖 3.24 單平衡混頻器

圖 3.24 為前文中曾談及的單平衡混頻器，僅具有一個輸入轉導電晶體和一對差動切換開關級： $M_1$  接收低雜訊放大器的射頻電壓訊號後，乘以  $g_{m1}$  轉變為電流訊號，而差動對 ( $M_2-M_3$ ) 則受 LO 訊號切換。當電流訊號流至  $R_1$ 、 $R_2$  時，可視為電流訊號 (RF 成分) 乘上一個方波訊號 (LO 成分) 後，轉換成具有 IF 頻率的電壓訊號輸出。由於方波的基頻大小為振幅 (peak-to-peak) 的  $\frac{2}{\pi}$ ，單平衡混頻器的電壓轉換增益可表示為：

$$A_v = \frac{V_{IF}}{V_{RF}} = \frac{2}{\pi} \cdot g_{m1} \cdot R_L \quad (3-24)$$

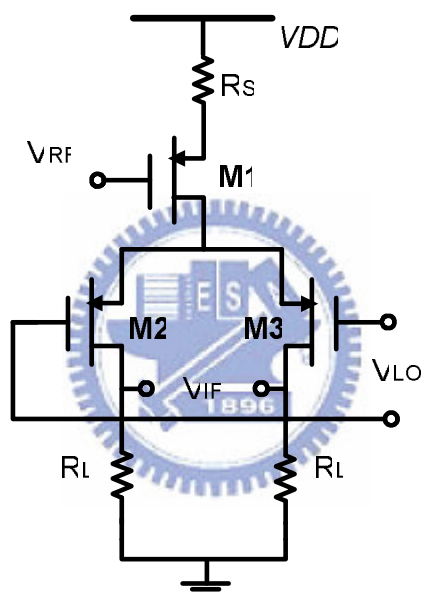


圖 3.25 本論文使用之 PMOS 單平衡混頻器(ADS 模擬架構)



### 3.3.2 電路設計與模擬

應用於本論文接收機中的混頻器電路，為圖 3.25 所示之 PMOS 單平衡架構，選擇原因已於 3.3.1 節中描述。混頻器在設計上考量的因素包含：良好的線性度、適當的轉換增益與可接受的雜訊指數，降低系統的功率損耗則是在低電壓設計上的重要關鍵。

電晶體 M1 除了接收射頻訊號外，其尺寸及閘極偏壓決定了流經混頻器的總偏壓電流，作用如同一個電流源，因此混頻器的轉換增益及線性度特性主要由 M1 所控制。在長度設定為最小值  $0.18\mu m$  的情況下，藉由調整其寬度改變偏壓電流，並選擇適當的  $R_L$  值來得到所需的轉換增益，如式 3-24 所示，偏壓電流及  $R_L$  值的增加可以提升轉換增益。在線性度的考量上，偏壓電流的增加可容許較大的射頻訊號，因此可以提升線性度，但須注意電流增加造成過高的功率消耗；此外，電阻  $R_L$  愈小也有助於提高線性度，因為當  $R_L$  愈大時電阻兩端的電壓降會過大，而使 M2、M3 進入歐姆區造成線性度的下降。

混頻器中作為一組切換開關的 M2、M3，在設計其電晶體寬度時，開關切換的能力是最主要的考量，寬度的增加可以降低電晶體飽和區時的 Threshold voltage，減少切換時能量的損失而使切換速度較快。在設計上將 M2、M3 的閘極偏壓於接近 Threshold 處，使開關的切換更接近理想，可以壓低雜訊指數。電阻  $R_S$  置於 M1 源極處作為源極退化電阻，適當的選擇可以提升混頻器的線性度，但要注意避免過大而影響電路偏壓，使轉換增益降低。

經由前述的設計，本文所應用的混頻器電路(圖 3.25)，各元件值列於表 3.5 中。圖 3.26 為模擬 LO 訊號強度對轉換增益影響，過大的 LO 訊號會造成 M1 進入線性區使增益下降，過小的 LO 訊號則會使開關電晶體 M2、M3 無法完全導通，亦造成轉換增益下降，所以設計上要適當選擇 LO 訊號位於增益最高處。由於較大的 LO power 容易導致 LO 訊號竄流至天線或低雜訊放大器的前端，形成對接收機系統的強大干擾，在本論文接收機中的因為本地振盪源頻率(2.442GHz)與接收信號相近，設計上必須藉由降低 LO power 來提升 LO-RF 埠間的隔離度；此外，雖然提高混頻器的增益，由式 3-7 可知能減

少其對 IF 端的雜訊貢獻，但是為了避免使下級電路飽和，增益也不能夠太高。基於前述的原因，本文設計當 LO 功率為-5dBm 時，輸出差動轉換增益值為 10.4dB。

圖 3.27 測試當輸入 RF 訊號增強時，因電路非線性因素造成輸出訊號增益壓縮(Gain compression)的情形，得到 P1dB 值為-7dBm。圖 3.28 利用 Two tones test 測量混頻器的線性度，(a)為輸入之雙頻訊號、(b)為輸出訊號，得到 IIP3 約為 7dBm。圖 3.29 模擬電路雜訊指數，NF 約為 12.4dB。表 3.6 列出本低雜訊放大器的所有效能規格，均符合表 3.1 中的預計目標規格。

表 3.5 混頻器元件值列表

|           |                    |
|-----------|--------------------|
| $M_{RF}$  | W=100um , L=0.18um |
| $M_{LO}$  | W=75um , L=0.18um  |
| $M_{buf}$ | W=100um , L=0.18um |
| $R_L$     | 1.3k $\Omega$      |
| $R_S$     | 0.2k $\Omega$      |

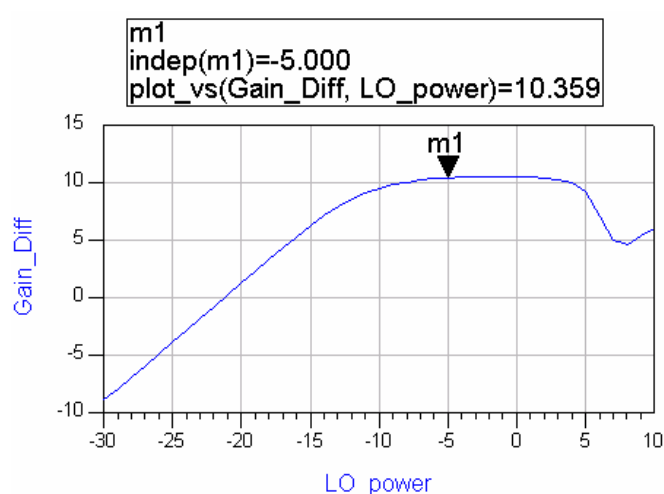


圖 3.26 混頻器 LO Power 與轉換增益的關係 @ RF\_Power = -20dBm

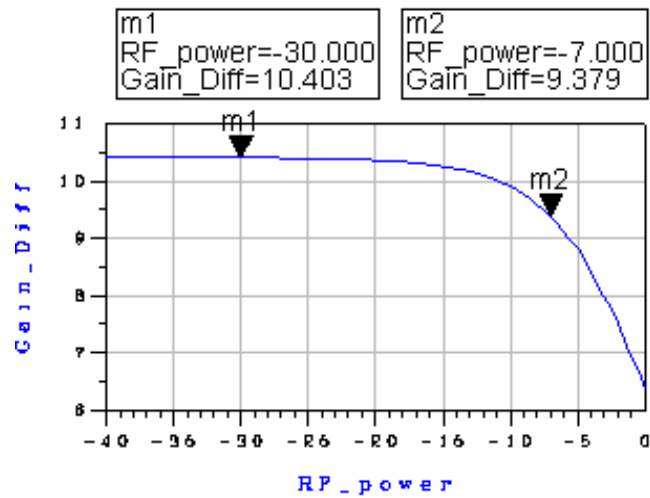


圖 3.27 混頻器 RF Power 與轉換增益的關係 @ LO\_Power = -5dBm

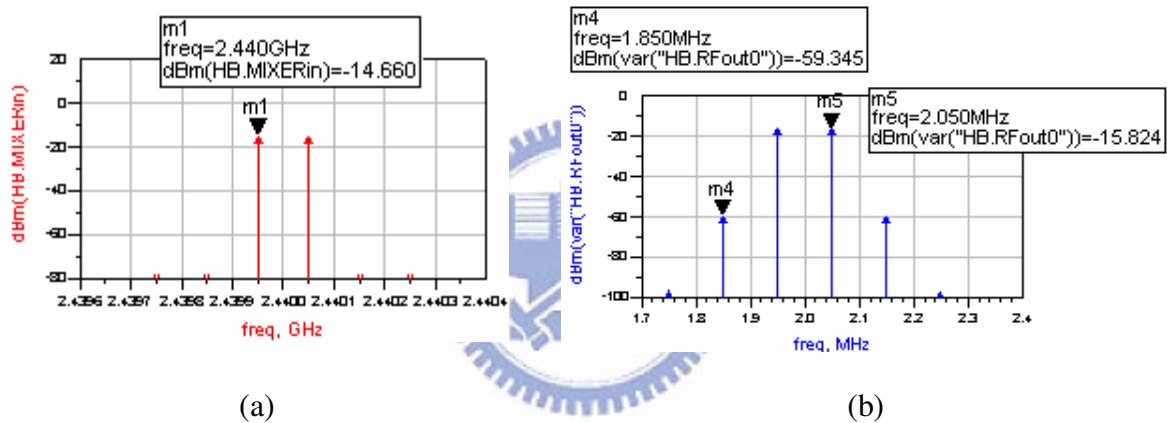


圖 3.28 混頻器 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號

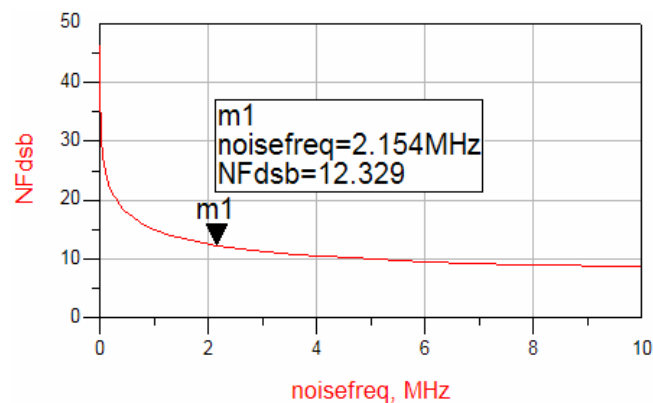


圖 3.29 混頻器雜訊指數 @ RF\_Power = -20dBm &amp; LO\_Power = -5dBm

表 3.6 混頻器規格列表

|                                       |            |
|---------------------------------------|------------|
| <i>Intermediate Frequency</i>         | 2 MHz      |
| <i>Supply Voltage</i>                 | 1.8 V      |
| <i>Power Consumption</i>              | 1.2564 mW  |
| <i>Conversion Gain (Differential)</i> | 10.359 dB  |
| <i>Noise Figure (dsb)</i>             | 12.451 dB  |
| <i>IIP3</i>                           | 7.1005 dBm |
| <i>P1dB</i>                           | -7 dBm     |

### 3.4 降頻電路系統

本節首先將本章前文設計的 LNA 與 Mixer 以實際電路連接以模擬系統的特性，低中頻架構如圖 3.30 所示，此時輸入強度為 -35dBm 的 2.44GHz 射頻訊號，以及強度為 -5dBm 的 2.442GHz 本地振盪訊號。表 3.7 為其模擬結果，以及前文所設計的 LNA、Mixer 之個別特性整理。

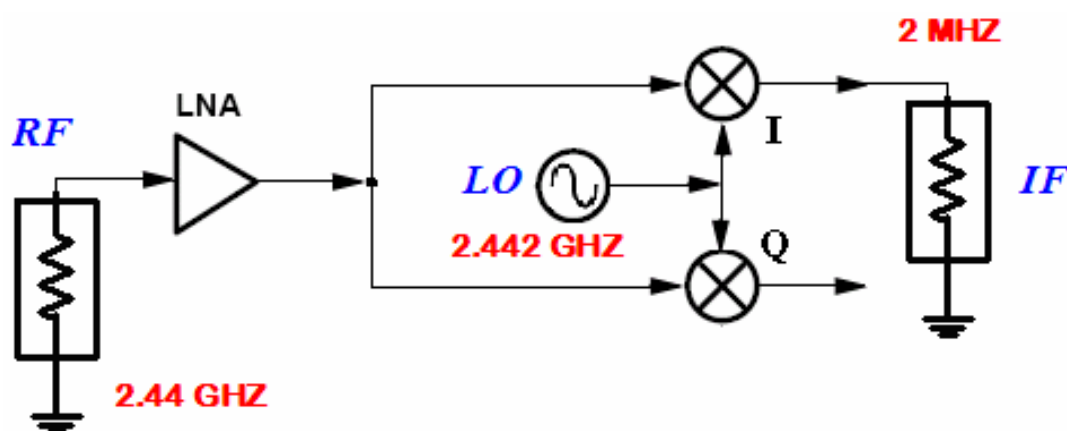


圖 3.30 降頻電路模擬架構圖

表 3.7 LNA、Mixer 與 LNA+Mixer 模擬特性整理

|                            | LNA           | Mixer                           | LNA + Mixer                     |
|----------------------------|---------------|---------------------------------|---------------------------------|
| <i>Frequency</i>           | RF : 2.44 GHz | RF : 2.44 GHz<br>LO : 2.442 GHz | RF : 2.44 GHz<br>LO : 2.442 GHz |
| <i>Current Consumption</i> | 4.07 mA       | 0.698 mA                        | 5.446 mA                        |
| <i>Gain</i>                | 15.576 dB     | 10.359 dB                       | 23.525 dB                       |
| <i>Noise Figure</i>        | 2.101 dB      | 12.451 dB                       | 5.707 dB                        |
| <i>IIP3</i>                | -4.2055 dBm   | 7.1005 dBm                      | -13.2835 dBm                    |

接著將 LO 訊號以實際正交壓控振盪器電路取代，此時仍輸入強度為 -35dBm 的 2.44GHz 射頻訊號。圖 3.31 為 IF 的單端輸出頻譜，可以推算出轉換增益為  $-18.339 - (-35.934) = 17.595$  dB。圖 3.32 測試當輸入 RF 訊號增強時，因電路非線性因素造成輸出訊號增益壓縮(Gain compression)的情形，得到 P1dB 值為-21.5dBm。圖 3.33 利用 Two tones test 測量降頻電路的線性度，(a)為輸入之雙頻訊號、(b)為 IF 單端輸出訊號，得到 IIP3 為-12.433dBm。圖 3.34 為系統雜訊指數 ADS 模擬結果，NF 約為 12.4dB。由以上模擬結果與表 3.7 比較，可以發現當系統加入非線性的振盪器電路後，整個系統規格並無明顯改變，僅因為振盪器的相位雜訊，使得雜訊指數增加。

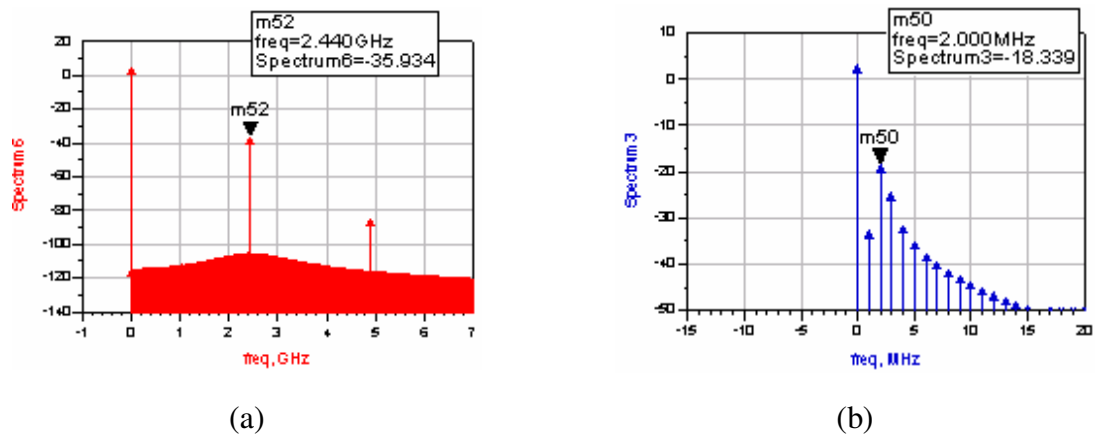


圖 3.31 降頻電路頻譜 (a) RF 端輸入訊號 (b) IF 端輸出訊號(Single-end)

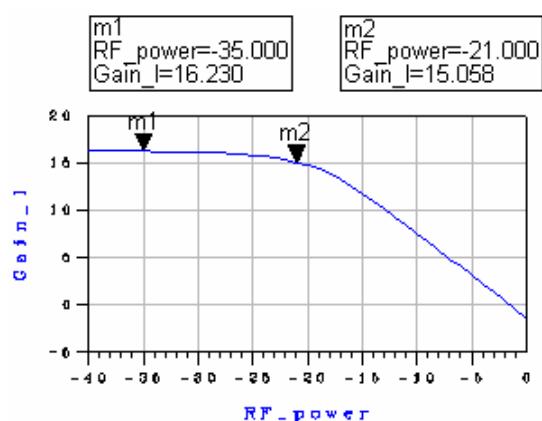


圖 3.32 降頻電路 RF Power 與轉換增益的關係

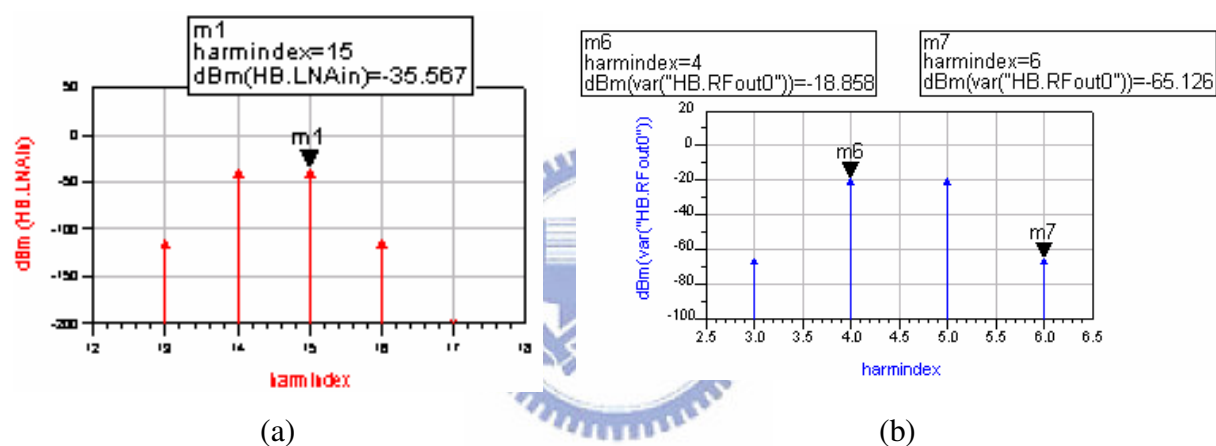


圖 3.33 降頻電路 Two tones test 模擬 IIP3 (a)輸入訊號 (b)輸出訊號

| noisefreq | NC_LSB_I.NFdsb |
|-----------|----------------|
| 2.000MHz  | 10.407         |

圖 3.34 降頻電路雜訊指數

表 3.8 列出降頻電路的所有效能規格，均滿足 1.3.1 節中訂定之藍芽系統規範，此降頻電路已透過 CIC T18-95D 下線實作，專題名稱為『應用於藍芽之 2.4GHz 射頻接收機前端設計』。圖 3.35 為降頻電路之佈局圖，晶片面積為  $0.9873 \times 0.7007 \text{ mm}^2$ 。



表 3.8 降頻電路模擬規格列表

|                            |                                       |
|----------------------------|---------------------------------------|
| <i>Frequency</i>           | RF : 2.44 GHz                         |
| <i>Supply Voltage</i>      | 1.8 V                                 |
| <i>Current Consumption</i> | 15.15 mA<br>(含 QVCO 與 Mixer 間 Buffer) |
| <i>Gain (Single-end)</i>   | 17.595 dB                             |
| <i>Noise Figure (dsb)</i>  | 10.407 dB                             |
| <i>IIP3</i>                | -12.433 dBm                           |
| <i>P1dB</i>                | -21.5 dBm                             |

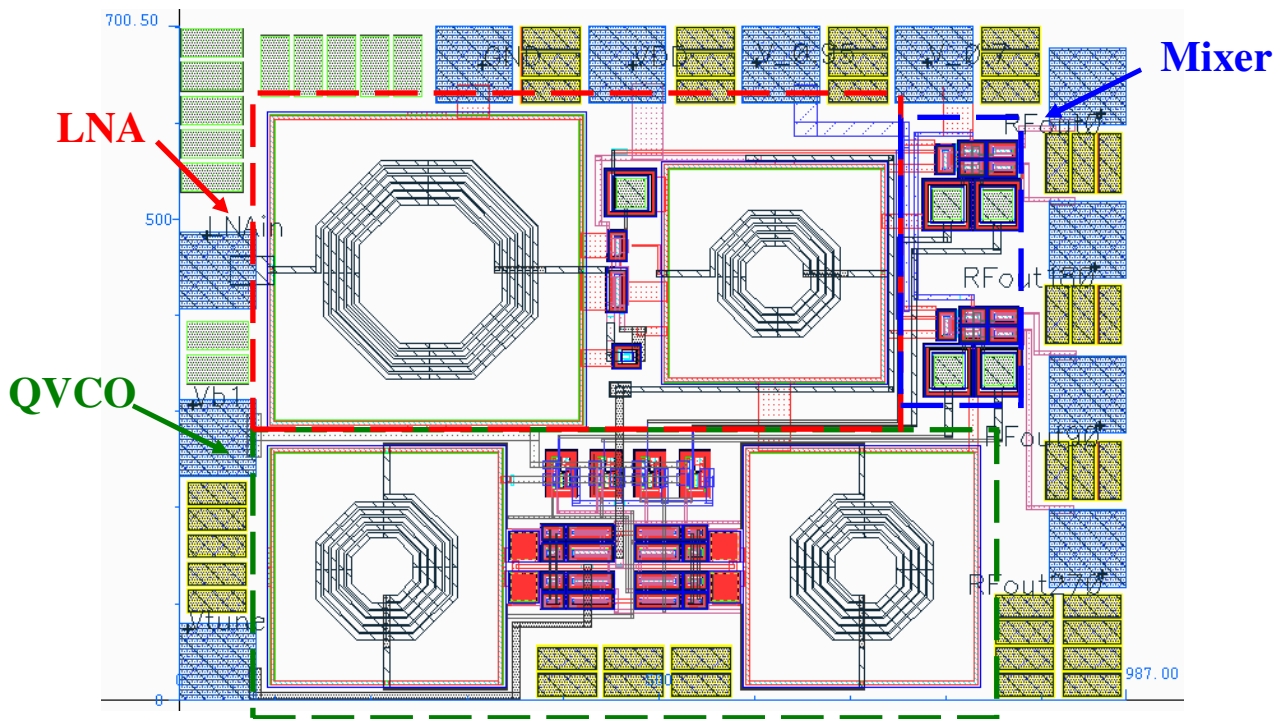


圖 3.35 降頻電路佈局圖

## 第四章

### 結論

本論文利用 TSMC 0.18um 製程實現藍芽接收機之降頻電路。在本地振盪源方面採用 Q 值較高的電感電容振盪器，並耦合兩相同振盪器直接產生正交相位輸出，其中耦合電晶體以疊接方式降低功率損耗與相位雜訊，並可提供 2.1GHz ~ 2.8GHz 的操作頻寬；以 P/N 電晶體對稱耦合方式產生 1.36V 的輸出電壓振幅與較精準的正交特性，相位誤差模擬值小於 1°。

在探討降頻電路之前，為了本地振盪源研究上的完整性，本論文亦研究以環路振盪器為核心的鎖相迴路，此電路包含壓控振盪器、相位頻率檢測器、充電泵與除頻器，其中迴路濾波器為外接，使用環路振盪器之目的為比較其與電感電容振盪器在特性上的不同。兩級環路振盪器利用交錯耦合架構，產生負電阻使單級頻率響應滿足 90° 相位移，具有優點包括：1. 輸出電壓振幅可達 1.5V。2. 頻率可調範圍相當廣，量測數值涵蓋 490MHz ~ 2600MHz。3. 功率消耗小，量測到在功率消耗在 4mW 以下即可達到 2.6GHz 的振盪頻率量。4. 具有正交相位輸出，可應用在接收機的 I/Q 路徑。

整個降頻電路部分，頻率範圍 2400MHz ~ 2483.5MHz 的射頻藍芽訊號直接由低雜訊放大器單端接收後，配合本地振盪源與混波器降至 2MHz 低中頻。其中，低雜訊放大器部分，本文採用疊接式電感退化型架構來實現，其匹配網路上的串聯共振特性具有較高的 Q 值使雜訊特性相當優越，疊接電晶體減少米勒效應而使應用頻寬增加、提高放大器線性度，以及降低了反轉絕緣性，減少由混頻器產生之本地竄流訊號。其模擬結果：電壓增益為 15.6dB、IIP3 為 -4.2dBm、雜訊指數為 2.1dB；降頻混波器電路部分，由於 LO 與 IF 頻率相隔甚遠，本文採用 PMOS 單平衡混頻器架構，具有低雜訊指數和低功率消耗的優點。其模擬結果：差動電壓增益為 10.4dB、IIP3 為 7.1dBm、雜訊指數

為 12.4dB，整體模擬規格達到預期的目標。

未來進一步的工作包含有：

1. 設計中頻可調增益放大器的可調增益範圍可使達到 30dB 左右，以使整個接收器有更大的動態範圍。
2. 設計中頻濾波器，與本文之降頻電路結合後形成完整的接收機前端電路。



## 附錄 A

### 鏡像抑制電路簡介

#### A.1 Hartley 架構

Hartley 鏡像抑制電路架構[12]如圖 A.1，使用正交的本地端訊號與輸入的射頻訊號進行混頻，混頻後加入低通濾波器將高階諧波失真與雜訊濾除，然後在其中一條路徑放置 90 度相位移電路後，最後以加法器將 2 條路徑相加，得到所要之中頻訊號。

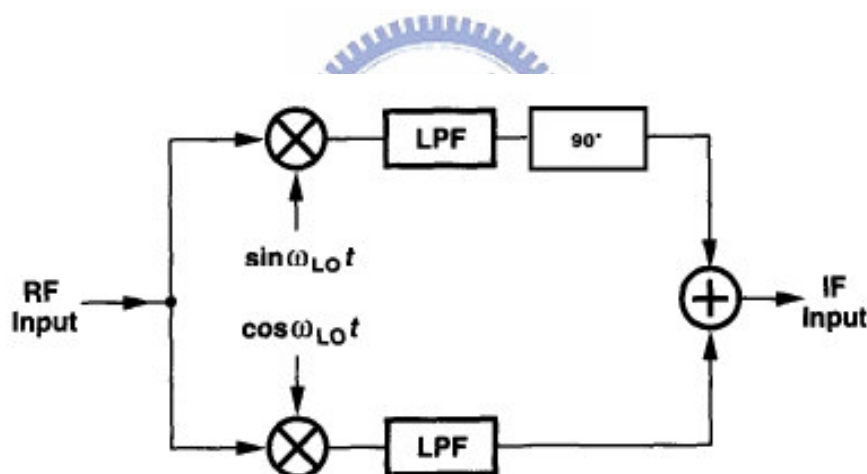


圖 A.1 Hartley 鏡像抑制架構

假設  $x(t) = A_{RF} \cos \omega_{RF} t + A_{im} \cos \omega_{im} t$  為射頻端的輸入訊號，第一項代表欲接收訊號，而第二項代表鏡像頻率訊號；此外如果本地端訊號有 I/Q 不匹配的情形，假設其訊號為  $A_{LO} \sin \omega_{LO} t$  及  $(A_{LO} + \varepsilon) \cos(\omega_{LO} t + \phi)$ ，其中  $\varepsilon$  和  $\phi$  分別為振幅與相位誤差。經混頻後的點 A、B 及經過 90 度相位移後的點 C 訊號分別為：

$$x_A(t) = A_{LO} \frac{A_{RF}}{2} \sin(\omega_{LO} - \omega_{RF})t + A_{LO} \frac{A_{im}}{2} \sin(\omega_{LO} - \omega_{im})t \quad (A-1)$$

$$x_B(t) = (A_{LO} + \varepsilon) \frac{A_{RF}}{2} \cos[(\omega_{LO} - \omega_{RF})t + \phi] + (A_{LO} + \varepsilon) \frac{A_{im}}{2} \cos[(\omega_{LO} - \omega_{im})t + \phi] \quad (A-2)$$

$$x_C(t) = A_{LO} \frac{A_{RF}}{2} \cos(\omega_{LO} - \omega_{RF})t - A_{LO} \frac{A_{im}}{2} \cos(\omega_{LO} - \omega_{im})t \quad (A-3)$$

將 B 點和 C 點訊號相加，並將欲接收之訊號與鏡像訊號分開列出：

$$x_{desired}(t) = (A_{LO} + \varepsilon) \frac{A_{RF}}{2} \cos[(\omega_{LO} - \omega_{RF})t + \phi] + A_{LO} \frac{A_{RF}}{2} \cos(\omega_{LO} - \omega_{RF})t \quad (A-4)$$

$$x_{image}(t) = (A_{LO} + \varepsilon) \frac{A_{im}}{2} \cos[(\omega_{LO} - \omega_{im})t + \phi] - A_{LO} \frac{A_{im}}{2} \cos(\omega_{LO} - \omega_{im})t \quad (A-5)$$

在此我們可以看出，如果本地端能夠提供完美的正交訊號(亦即  $\varepsilon$  和  $\phi$  皆為 0)，經由式 A-2 可以得到鏡像訊號為 0，完全去除了鏡像訊號的干擾對於低中頻接收機的干擾。接下來計算實際不理想情況下之 IRR：

$$IRR = \frac{\left(\frac{P_{image}}{P_{desired}}\right)}{\left(\frac{A_{im}^2}{A_{RF}^2}\right)} = \frac{(A_{LO} + \varepsilon)^2 - 2A_{LO}(A_{LO} + \varepsilon)\cos\phi + A_{LO}^2}{(A_{LO} + \varepsilon)^2 + 2A_{LO}(A_{LO} + \varepsilon)\cos\phi + A_{LO}^2} \quad (A-6)$$

當  $\varepsilon \ll A_{LO}$  且  $\phi \ll 1\text{rad}$  時， $\Delta A/A = \varepsilon/A_{LO}$ ，IRR 可化簡為：

$$IRR = \frac{(\Delta A/A)^2 + \phi^2}{4} \quad (A-7)$$

由式 A-7 我們可以得到，Hartley 架構所能提供的鏡像抑制量，對於 I/Q 路徑上的振幅及相位誤差非常敏感。不論是本地震盪端所提供的正交訊號不理想、90 度相位移電路中電阻電容值的飄移，甚至是 2 條路徑上混頻器或低通濾波器的不匹配，都會直接影響到最終的鏡像抑制量。

## A.2 Weaver 架構

Weaver 鏡像抑制電路架構[12]如圖 A.2，相對於前文所提之 Hartley 架構，將 90 度相位移電路以第二級正交混波器取代，其餘工作原理相同。由主動的混波器電路來取代被動的 RC 90 度相位移電路，優點在於可以避免當元件隨製程或溫度飄移時，相位移電路的振幅誤差，並且較適合於寬頻系統中使用；但是因為多了第二級的降頻電路，需要

增加第二級的本地震盪訊號，而面臨了第二個鏡像頻率的問題(頻率在  $2\omega_2 - \omega_{in} + 2\omega_1$ )，改進方式為將低通濾波器換成帶通濾波器，或是設計第二級本地震盪頻率使系統降至基頻，也就是  $\omega_1 \pm \omega_2 = \omega_{in}$ 。

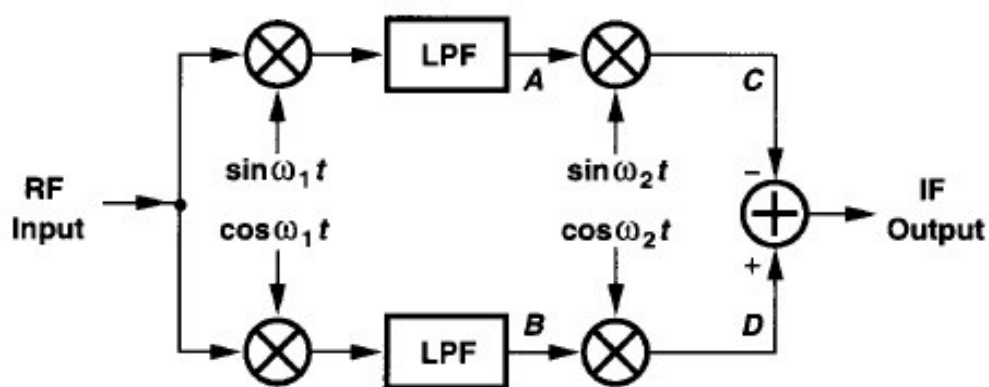


圖 A.2 Weaver 鏡像抑制架構





## 附錄 B

### 振盪器基本原理

振盪器是一種只需直流電源供應，即可產生週期性電壓變化訊號的電路，任何振盪器都可視為一個負回授系統，或是一個單端能量補償系統。目前最常使用的振盪器為環型振盪器(Ring Oscillator)及電感電容振盪器(LC-tank Oscillator)，環型振盪器在一般情況下，相位雜訊特性比電感電容振盪器差，而電感電容振盪器則因為有被動元件，在製作上需要佔用較大的晶片面積。環型振盪器是以數個反相器組成一個迴路，為了分析上的方便，通常將其以負回授系統的方式分析；而因為電感電容震盪器是由電感電容並聯產生共振，所以一般皆以單端能量補償的方式分析(或稱負電阻分析)[12]。



#### B.1 負回授系統分析

振盪器是一個沒有輸入只有輸出的電路，當我們將其視作一個負回授系統時，振盪器就如同一個設計不良的負回授放大器。以一個增益為 1 的負回授系統為例，其轉移函數為：

$$\frac{V_{out}}{V_{in}}(s) = \frac{H(s)}{1 + H(s)} \quad (\text{B-1})$$

當  $s = j\omega_0$ 、 $H(j\omega_0) = -1$  時，轉移函數在頻率  $\omega_0$  時趨近於無限大，當系統中任何的點有一些頻率在  $\omega_0$  的雜訊發生時，就會使整個系統發生震盪，使得原本的負回授系統轉為正回授，如圖 B.1 所示。這樣的情況在一般放大器設計中是不允許的，但卻正是震盪器所必須要的。

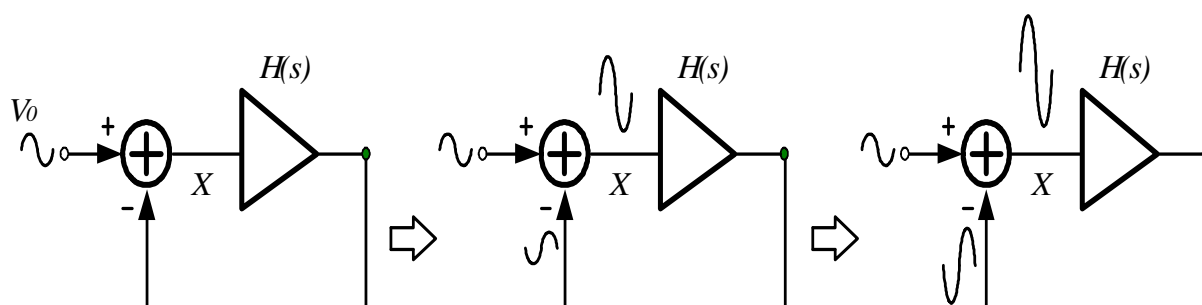


圖 B.1 系統震盪示意圖

總而言之，如果一個負回授系統能夠滿足以下 2 個巴克豪森準則(Barkhausen criteria)，電路會在頻率為  $\omega_0$  的點產生振盪：

$$|H(j\omega_0)| \geq 1 \quad (\text{B-2})$$

$$\angle H(j\omega_0) = 180^\circ \quad (\text{B-3})$$

而在實際電路設計中，為了在溫度、製程的變化及由電路非線性所造成的增益下降時，仍然能確保振盪的行為，一般迴路增益通常設計在所需值的 2 倍到 3 倍。

此外，由於信號經過系統迴路後，經由減法器會產生  $180^\circ$  相位移，總和起來就是  $360^\circ$ ，因此巴克豪森的第二準則除了可用式 B-3，亦可用總相位移  $360^\circ$  來表示，圖 B.2 為兩種不同的觀點之示意圖。因此，若將振盪器視為一個正回授系統，信號經由系統  $H(s)$  之後必須為  $0^\circ$  或是  $2n\pi$ 。

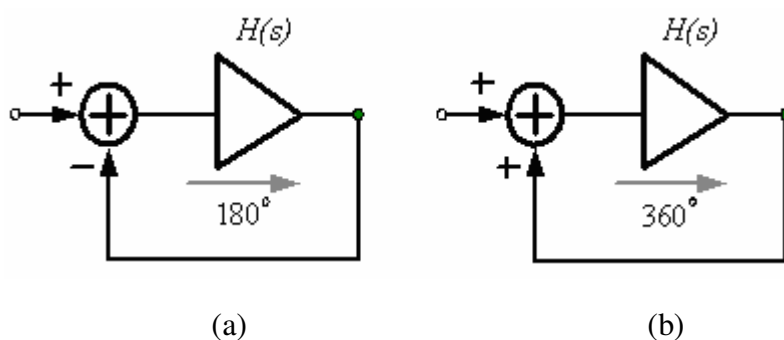


圖 B.2 振盪回授系統的不同觀點

## B.2 單端能量補償系統分析

圖 B.3(a)所示為一個理想的電感電容共振電路，在頻率為 $\omega_{res} = 1/\sqrt{LC}$ 處時，電感的阻抗 $jL\omega_{res}$ 和電容的阻抗 $1/jC\omega_{res}$ 大小相等、方向相反，使電路的總阻抗為無限大，此時電路開始振盪且品質係數 $Q$ 值為無限大；然而在實際上製作的電感及電容，如圖 B.3(b)，都分別有串聯的寄生電阻( $R_L$ 、 $R_C$ )存在。一般為了電路分析與設計上的考量，都將圖 B.3(b)轉換成圖 B.3(c)的並聯等效電路：

$$L_p = L(1 + \frac{1}{Q_L^2}), \quad C_p = C(1 + \frac{1}{Q_C^2}), \quad R_p = (1 + Q_L^2)R_L + (1 + Q_C^2)R_C \quad (B-4)$$

其中 $Q_L = \frac{\omega L}{R_L}$ 、 $Q_C = \frac{1}{\omega C R_C}$ 。

當振盪頻率 $\omega_{res} = 1/\sqrt{L_p C_p}$ 時，共振電路的等效阻抗縮減為單一電阻值 $R_p$ ，當此時有一電流脈衝打進 RLC 共振槽時，會使電路產生振盪。但由於 $R_p$ 的存在，電感電容共振產生的能量會以熱的形式損耗在電阻上，使得振盪訊號會逐漸衰減至零，如圖 B.4(a)。因此，如果能夠放置一個為 $-R_p$ 大小的電阻與 $R_p$ 並聯，使得電路共振時的阻抗沒有電阻的成分，因為不再有能量損耗在電阻上，將使得電路能夠維持振盪，如圖 B.4(b)。

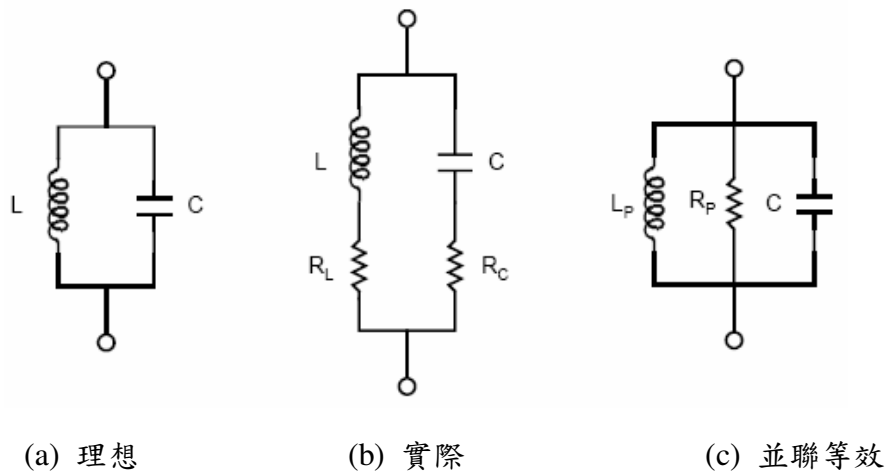


圖 B.3 電感電容共振槽

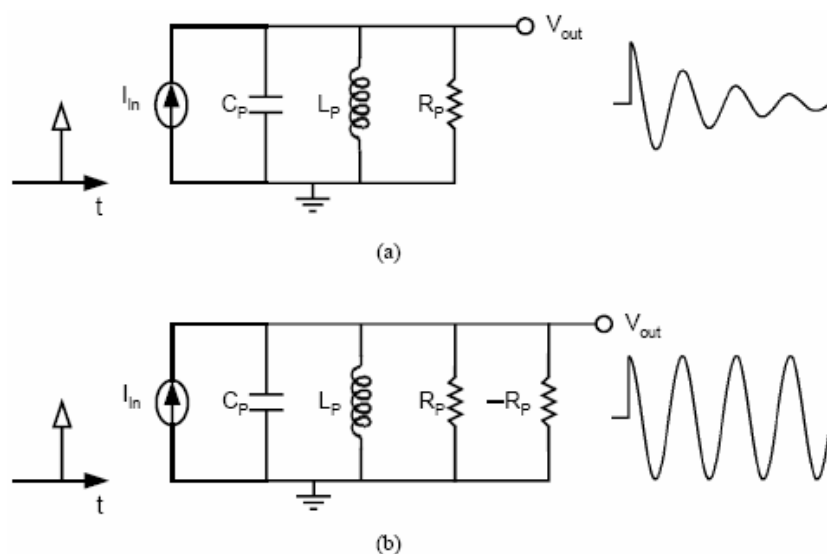


圖 B.4 能量補償示意圖

不過由於負的電阻元件並不存在，實際上皆以主動的電路來達成負電阻的效果。因為加入的阻抗有類似能量補償的效果，此法稱為單端能量補償；此外，由於加入的電阻為負值，這種方法也亦稱為負電阻分析法。『交互耦合差動對』為產生負電阻的方式之一，藉由控制電晶體的  $g_m$  值來調整等效負電阻的大小，如圖 B.5 所示。以小訊號分析：

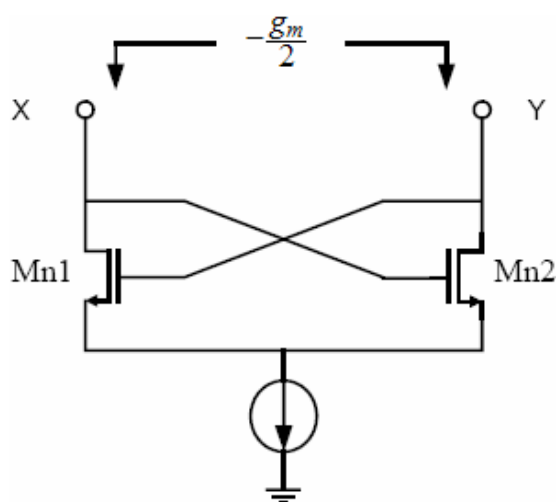


圖 B.5 交互耦合對等效負電阻

在忽略 Mn1 及 Mn2 的通道長度調變(Channel-length modulation)和基底效應(Body effect)下， $g_{m1}V_Y = -g_{m2}V_X$ 。且當 Mn1 與 Mn2 相同時  $g_{m1} = g_{m2} = g_m$ ，可得輸入阻抗為

$$Z_{in} = \frac{V_X - V_Y}{g_{m1}V_Y} = \frac{\frac{g_{m1}V_Y}{g_{m2}} - V_Y}{g_{m1}V_Y} = -\frac{g_{m1} + g_{m2}}{g_{m1}g_{m2}} = -\frac{2}{g_m} \quad (B-5)$$

### B.3 環式振盪器

環式振盪器由數個反向器組成，通常為奇數個反向增益級，若為偶數個反向增益級，則其中一級必須反接，圖 B.6 為 N 級環式振盪器示意圖。假設單一反向級的直流增益為  $A_0$ ，且具有單一極點  $\omega_0$ ，可以得到迴路增益為：

$$H(s) = -\frac{A_0^N}{(1 + \frac{s}{\omega_0})^N} \quad (B-6)$$

為了使電路形成振盪，在欲振盪的頻率  $\omega_{osc}$  時，必須滿足整個迴路相位移為  $360^\circ$ ，及迴路增益為 1 的條件：

$$N \cdot \tan^{-1} \frac{\omega_{osc}}{\omega_0} = 180^\circ \quad (B-7)$$

$$\frac{A_0^N}{\left[ \sqrt{1 + \left( \frac{\omega_{osc}}{\omega_0} \right)^2} \right]^N} = 1 \quad (B-8)$$

由(B-7)、(B-8)可以計算出振盪頻率，與每一級所需之直流增益為：

$$\omega_{osc} = \omega_0 \cdot \tan\left(\frac{180^\circ}{N}\right) \quad (B-9)$$

$$A_0 = \sqrt{1 + \left[ \tan\left(\frac{180^\circ}{N}\right) \right]^2} \quad (B-10)$$

在實際的電路上，隨著振盪的振幅增加，每一級有可能進入非線性區甚至是振幅達到飽和的現象。因此在設計環式震盪器時，往往需要讓直流增益高於式 B-9 的值 2~3 倍，

使小信號的迴路增益能夠大於 1。如此電路將會工作在飽和區較長的時間，使平均的迴路增益能夠維持在 1，而維持振盪的條件。

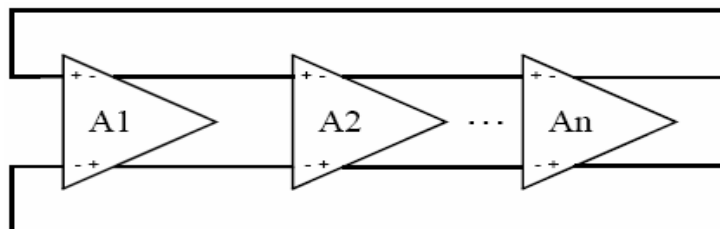


圖 B.6 環式震盪器示意圖

## B.4 電感電容振盪器

圖 B.7 為一般電感電容振盪器的示意圖，電感  $L$  與電容  $C$  組成了共振槽、 $R_p$  為電感及電容之並聯等效寄生電阻，而  $-R_p$  是為了補償在  $R_p$  上損耗的能量，由主動電路所等效的負電阻。當共振槽的  $Q$  值高時，此振盪器的中心頻率為

$$f_{osc} = \frac{1}{2\pi\sqrt{LC}} \quad (B-11)$$

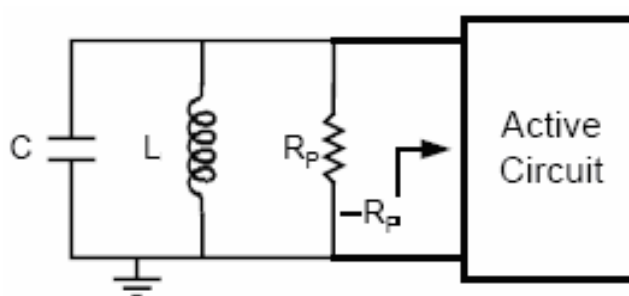


圖 B.7 主動電路等效負電阻

對於電感電容振盪器的相位雜訊，Lesson 在 1996 年提出一個概略性的描述：

$$S(\Delta f) = F \frac{kT}{V_{peak}^2} \frac{f_0^2}{Q^2 \Delta f^2} = F \frac{kT}{V_{peak}^2} \frac{R_p^3}{4\pi^2 L^2 \Delta f^2} \quad (B-12)$$



其中  $S(\Delta f)$  為  $f_0$  旁  $\Delta f$  處之相位雜訊、 $Q$  為共振槽的品質係數，而  $F$  為雜訊係數。從式 B-12 可以看出，降低相位雜訊最有效的方式為提高共振槽的  $Q$  值，亦即增加電感值或降低寄生等效電阻值。此外，在共振槽的能量損耗上，可以表示為：

$$P_{loss} = 4\pi^2 R_p C^2 f_0^2 V_{peak}^2 = \frac{R_p}{4\pi^2 L^2 f_0^2} V_{peak}^2 \quad (B-13)$$

所以若要降低能量損失，亦可從增加電感值或降低電容與寄生等效電阻值著手。

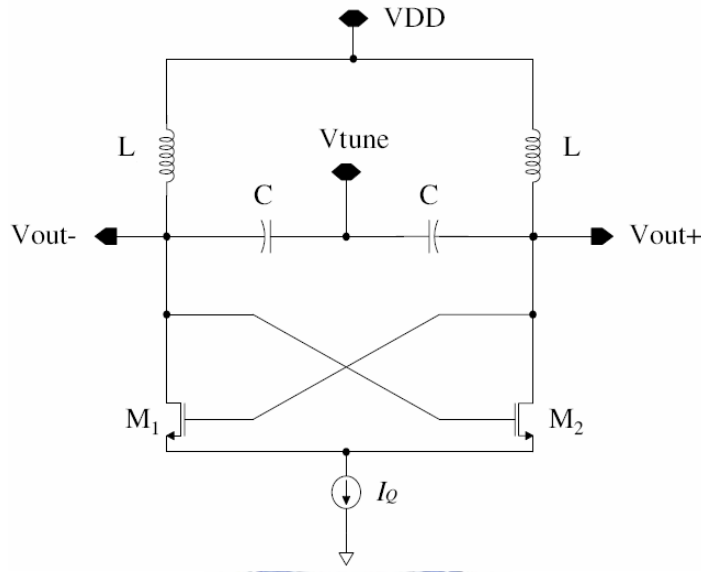


圖 B.8 基本電感電容壓控振盪器

基本的電感電容壓控振盪器如圖 B.8 所示，NMOS 電晶體  $M_1$ 、 $M_2$  為一組交互耦合對，目的是提供振盪電路所需之負電阻，同樣地，也可以用 PMOS 電晶體來實現；剛開始起振時，振盪器表現如同一個開關(switch)，而當穩定振盪後，電晶體將工作在飽和區。電感  $L$ 、可變電容  $C$ 、電感的寄生電容和電晶體各極間的寄生電容電容，大致決定了電路的振盪頻率，假設可變電容的可調範圍在  $C_{min} \sim C_{max}$ ，則由式 B-11 可得此壓控振盪器的最大及最小振盪頻率分別為

$$f_{osc,max} = \frac{1}{2\pi\sqrt{L(C_{min} + C_{par})}} \quad , \quad f_{osc,min} = \frac{1}{2\pi\sqrt{L(C_{max} + C_{par})}} \quad (B-14)$$

其中  $C_{par}$  等效所有的寄生電容效應。

## 附錄 C

### 可變電容簡介

可變電容(Varactor)作為一個重要的調整元件，廣泛應用於射頻的壓控振盪器中。一般在 CMOS 製程中，可實現的可變電容有四種結構[44]：二極體電容(p+/Nwell junction capacitance)、標準型 MOS 可變電容、反轉型(Inversion mode) MOS 可變電容，及累積型(Accumulation mode) MOS 可變電容。以下針對這四種結構，做簡單介紹。

#### C.1 二極體電容

二極體電容如圖 C.1(a)，在 Nwell 上做一個 p+而構成 PN 接面，接面的空乏區(Depletion)電容受逆偏壓(Reverse bias)而改變，形成一個壓控可變電容：

$$C_j(V_R) = \frac{C_o}{\left(1 + \frac{V_R}{V_o}\right)^m} \quad (C-1)$$

其中  $C_o$  為逆偏壓為零時的接面電容、 $V_R$  為逆偏壓、 $V_o$  為接觸電位(Contact potential)，而  $m$  表示梯度係數(gradient coefficient)，數值為 1/3~1/2。電容與逆偏壓關係曲線如圖 C.1(b)，當逆偏壓的狀況下，如果  $V_G$  接到振盪器訊號端(訊號為一個大信號)， $V_{tune}$  可調範圍將被壓縮，以避免使 PN 接面進入順偏壓區(forward bias)；原因是當順偏壓時，漏電流大量流過 PN 接面，此時  $C_j \approx 2C_o$ ，將使 PN 接面失去電容的特性。由於二極體電容在振盪訊號為大信號時，電壓可調範圍極小，若使用於電感電容振盪器中，將難以達到寬廣的頻率可調範圍。

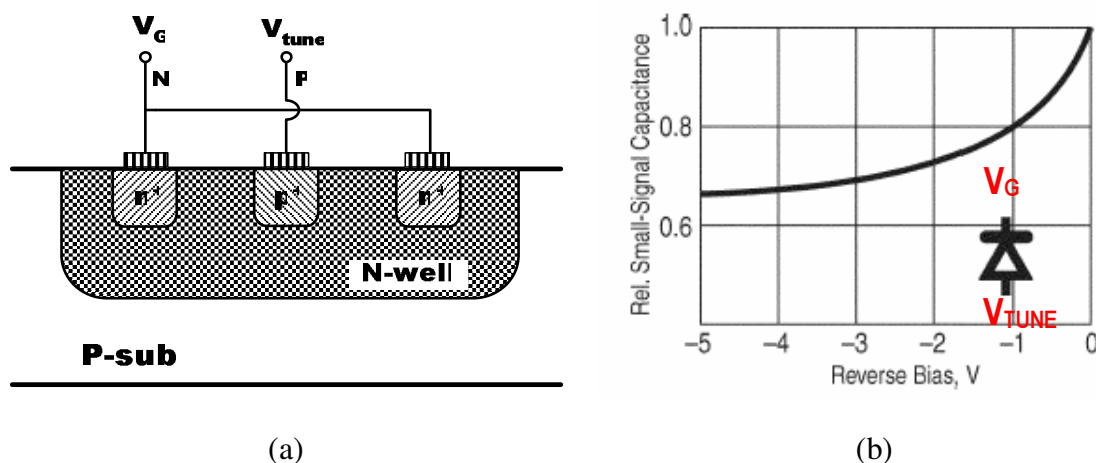


圖 C.1 p+/Nwell 接面電容 (a)製程結構 (b)電容-電壓特性

## C.2 標準型 MOS 電容

標準型 MOS 電容如圖 C.2(a)，相對於二極體可變電容，MOS 可變電容由於不存在順偏壓的情形，有較大的電壓控制與動態範圍。標準 MOS 可變電容，其汲極(Drain)、源極(Source)、基底(Bulk)三端相連接，利用與閘極(Gate)端的跨壓變化來調整可變電容值，PMOS 與 NMOS 皆能實現標準型的 MOS 可變電容。以 PMOS 為例，當  $V_{GB}$  從  $V_{DD}$  到 0 時，PMOS 可變電容的工作區間從累積區、空乏區到強反轉區，而當 PMOS 工作在累積區和強反轉區時，如圖 C.2(b)所示，可變電容為最大值  $C_{ox}$  (閘極氧化層電容)。不過在標準型 MOS 可變電容中，電容-電壓特性為非單調(nonmonotonic)曲線，使得調諧範圍受限制，如果用在鎖相迴路中的壓控振盪器內，鎖定時間(lock time)將會變長甚至無法鎖定。

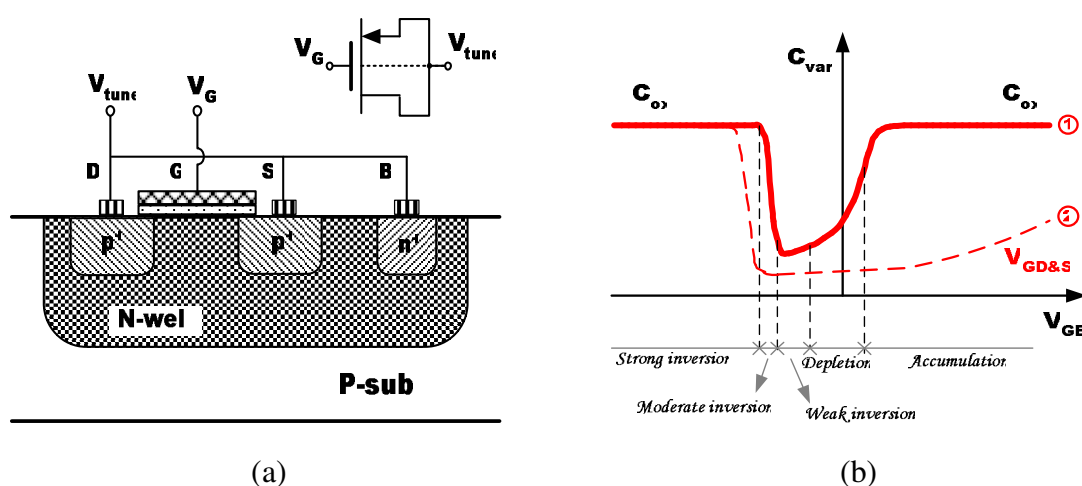


圖 C.2 標準型 MOS 可變電容 (a)P 型製程結構與電路符號 (b)電容-電壓特性

### C.3 反轉型 MOS 電容

反轉型 MOS 電容如圖 C.3，由於壓控振盪器需要單調(monotonic)特性的調諧，因此改變標準型 MOS 可變電容中的節點連接方式，汲極、源極連接，而基底接到最高電位；同樣地，NMOS 亦能實現反轉型的 MOS 可變電容，此時基底則接至最低電位。反轉型 MOS 電容由於基底端接到最正與最負電壓，只工作在強反轉區與中(弱)反轉區，而不再進入累積區，使得電容-電壓曲線稍微往外移，可調範圍比標準 MOS 電容大。

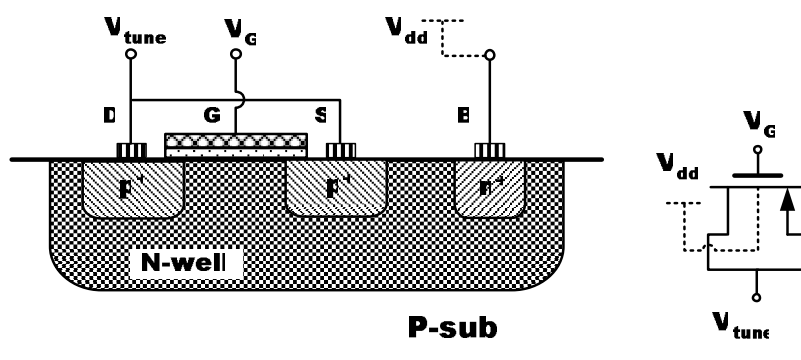


圖 C.3 反轉型 MOS 可變電容 P 型製程結構與電路符號

## C.4 累積型 MOS 電容

累積型 MOS 電容如圖 C.4(a)，也是為了達到單調的特性，而發展出來的 MOS 可變電容結構，與反轉型結構不同處，在於將 PMOS 元件中汲極、源極的參雜，由 p+ 改成 n+。優點在於可抑制少數載子電洞產生於通道中，防止進入強反轉區，而只工作在累積區與空乏區，使電容-電壓特性(圖 C.4(b))具有較緩的特性曲線；且因為在 Nwell 上的 n+ 參雜有較小的寄生電阻，Nwell 亦能隔絕基底雜訊，故此架構 Q 值比反轉型 MOS 可變電容好。

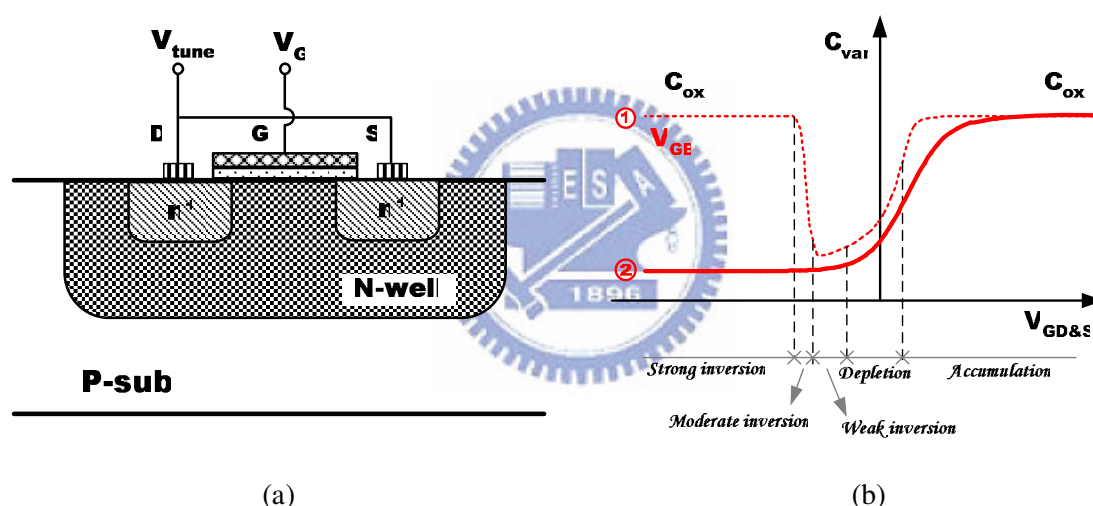


圖 C.4 累積型 MOS 可變電容 (a)製程結構 (b)電容-電壓特性

由於在壓控振盪器設計中，必須滿足其應用系統之相位雜訊及頻率可調範圍的要求，因此基於累積型的 MOS 可變電容具有較寬的電容可調範圍，與較高的 Q 值，目前在高頻的壓控振盪器中大多使用累積型的 MOS 可變電容，作為調整振盪器工作頻率的重要元件。

## 附錄 D

### 正交相位誤差推導

頻域分析相位誤差的方式，可以利用圖 D.1 的簡單架構實現[36]。欲量測之正交輸出訊號分別輸入混頻器的 RF 端，而混頻器 LO 端訊號也互為正交，特別要注意的是，由於在此應用之 LO 振盪源必須相當產生準確的正交訊號，所以設計其頻率不要太高。然後將混頻器之輸出訊號利用加法器相加後，最終接至頻譜分析儀，利用其 Upper-sideband 及 Lower-sideband 的功率比值，來得到相位誤差值。

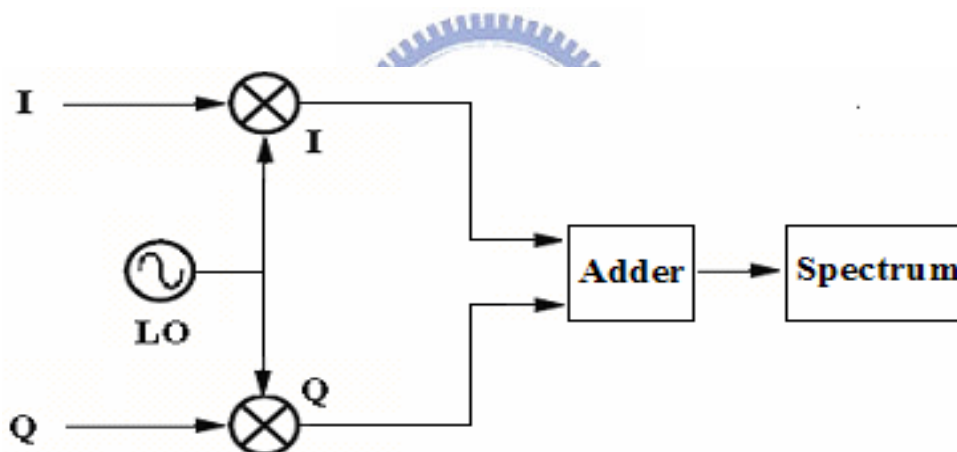


圖 D.1 正交訊號頻域分析架構

首先假設本地振盪源為理想正交訊號： $A\cos(\omega_{LO}t)$ 、 $A\sin(\omega_{LO}t)$ ，而欲量測之 I/Q 信號為： $I(t) = G \cdot B \cos(\omega t + \theta)$ 、 $Q(t) = B \cos(\omega t + 90^\circ)$ ，其中  $G$  為振幅誤差比值、 $\theta$  為相位誤差。混頻後的訊號經加法器相加後所得訊號：

$$Test(t) = G \cdot B \cos(\omega t + \theta) \cdot A \cos(\omega_{LO}t) + B \cos(\omega t + 90^\circ) \cdot A \sin(\omega_{LO}t) \quad (D-1)$$

將式 D-1 分成 USB 及 LSB 兩項：

$$USB(t) = G \cdot B \cdot A \cdot \frac{1}{2} \cos(\omega_{LO}t + \omega t + \theta) + B \cdot A \cdot \frac{1}{2} \sin(\omega_{LO}t + \omega t + 90^\circ) \quad (D-2)$$



$$LSB(t) = G \cdot B \cdot A \cdot \frac{1}{2} \cos(-\omega_{LO}t + \omega t + \theta) + B \cdot A \cdot \frac{1}{2} \sin(\omega_{LO}t - \omega t - 90^\circ) \quad (D-3)$$

將式 D-2、D-3 中 sine 換成 cosine：

$$USB(t) = G \cdot B \cdot A \cdot \frac{1}{2} \cos(\omega_{LO}t + \omega t + \theta) + B \cdot A \cdot \frac{1}{2} \cos(\omega_{LO}t + \omega t) \quad (D-4)$$

$$LSB(t) = G \cdot B \cdot A \cdot \frac{1}{2} \cos(-\omega_{LO}t + \omega t + \theta) - B \cdot A \cdot \frac{1}{2} \cos(\omega_{LO}t - \omega t) \quad (D-5)$$

再將式 D-4、D-5 改寫成：

$$USB(t) = B \cdot A \cdot \frac{1}{2} \cdot [G \cos(\omega_{LO}t + \omega t) \cos(\theta) - G \sin(\omega_{LO}t + \omega t) \sin(\theta) + \cos(\omega_{LO}t + \omega t)] \quad (D-6)$$

$$LSB(t) = B \cdot A \cdot \frac{1}{2} \cdot [G \cos(-\omega_{LO}t + \omega t) \cos(\theta) - G \sin(-\omega_{LO}t + \omega t) \sin(\theta) - \cos(\omega_{LO}t - \omega t)] \quad (D-7)$$

USB 及 LSB 之波封(Envelope)為：

$$USB_{Env} = \sqrt{B \cdot A \cdot \frac{1}{2} \cdot [(G \cos \theta + 1)^2 + (-G \sin \theta)^2]} \quad (D-8)$$

$$LSB_{Env} = \sqrt{B \cdot A \cdot \frac{1}{2} \cdot [(G \cos \theta - 1)^2 + (-G \sin \theta)^2]} \quad (D-9)$$

USB 和 LSB 比值為：

$$\frac{LSB_{Env}}{USB_{Env}} = \sqrt{\frac{G^2 - 2G \cos \theta + 1}{G^2 + 2G \cos \theta + 1}} \quad (D-10)$$

最後可以得到 USB 與 LSB 相差的 SBR：

$$SBR(dBc) = \frac{LSB_{Env}}{USB_{Env}} (dBc) = 20 \log \left( \sqrt{\frac{G^2 - 2G \cos \theta + 1}{G^2 + 2G \cos \theta + 1}} \right) \quad (D-11)$$

後得到相位誤差值：

$$\theta = \cos^{-1} \left( \frac{1 - 10^{\frac{SBR}{10}} - G^2 10^{\frac{SBR}{10}} + G^2}{2G 10^{\frac{SBR}{10}} + 2G} \right) \quad (D-12)$$

## 參考文獻

- [1] Jaap C. Haartsen, "Bluetooth : from antenna to silicon," *Solid-State Circuits Conference 2000*, p. 19-24, 19-21 Sept. 2000.
- [2] B. A. Georgescu, J. K. Nakaska, R. G. Randall, and J. W. Haslett, "A 0.18um CMOS Bluetooth Frequency Synthesizer for Integration with a Bluetooth SOC Reference Platform," *System-on-Chip for Real-Time Applications, 2003*, p. 258-263, 30 June.-2 July. 2003.
- [3] T. B. Cho, D. Kang, C. H. Heng, and B. S. Song, "A 2.4GHz Dual-Mode 0.18um CMOS Transceiver for Bluetooth and 802.11b," *IEEE Proceedings of the 2001 International Symposium on Circuits and Systems*, Vol. 4, 6-9 May 2001.
- [4] H. Darabi, S. Khorram, E. Chien, M. Pan, S. Wu, S. Moloudi, J. C. Leete, J. J. Rael, M. Syed, R. Lee, B. Ibrahim, and M. Rofougaran, "A 2.4GHz CMOS Transceiver for Bluetooth," *IEEE Proceedings of the 2001 International Symposium on Circuits and Systems*, Vol. 4, 6-9 May 2001.
- [5] Wenjun Sheng, Bo Xia, Ahmed Emira, Chunyu Xin, Sung Tae Moon, Ari Yakov Valero-Lopez, and Edgar Sanchez-Sinencio, "A Monolithic CMOS Low-IF Bluetooth Receiver," *IEEE Proceeding of the 2002 Custom Integrated Circuit Conference*, p. 247-250, 12-15 May. 2002.
- [6] Md. Mahbub Reja, Ahmed Allan, and I.M. Filanovsky, "A New CMOS Wideband RF Front-End For Multistandard Low-IF Wireless Receivers ," *IEEE Proceedings of the 2005 International Symposium on Circuits and Systems*, p. 2120-2123, Vol. 3, 23-26 May. 2005.
- [7] K. R. Rao, J. Wilson, and M. Ismail, "A CMOS RF Front-End for a Multistandard WLAN Receiver," *IEEE Microwave And Wireless Component Letters*, Vol. 15, 5 May.

- 2005.
- [8] C. Durdodt, A. Hanje, S. Heinen, and U. Langmann, "Comparison of An Inductorless Low-IF And Zero-IF Receiver for Bluetooth ," *IEEE MWSCAC-2002*, p. I-563-566, vol. 1, 4-7 Aug. 2002.
  - [9] Alan N.L. Chan, Kenneth W. H. Ng, Joseph M.C. Wong, and Howard C. Luong, "A 1-V 2.4-GHz CMOS RF Receiver Front-End for Bluetooth Application," *IEEE Proceedings of the 2001 International Symposium on Circuits and Systems*, p. 454-457, vol. 4, 6-9 May. 2001.
  - [10] F. Beffa, R. Vogt, W. Bachtold, E. Zellweger, and U. Lott, "A 6.5mW Receiver Front-End for Bluetooth in 0.18-um CMOS," *Radio Frequency Integrated Circuits (RFIC) Symposium IEEE 2002*, p. 391-394, 6-8 June. 2002.
  - [11] The Bluetooth Special Interest Group, "Bluetooth specifications v2.0", [www.bluetooth.com](http://www.bluetooth.com).
  - [12] B. Razavi, *RF Microelectronics*. Prentice Hall, 1998.
  - [13] F. Gatta, E. Sacchi, F. Svelto, P. Vilmercati, and R. Castello, "A 2-dB Noise Figure 900-MHz Differential CMOS LNA," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 10, pp. 1444-1452, Oct. 2001.
  - [14] P. Leroux, J. Janssens, and M. STeyaert, "A 0.8-dB NF ESD-Protected 9-mW CMOS LNA Operating at 1.23 GHz," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 760-765, 2002.
  - [15] Yuan-Kai Chu, Che-Hong Liao, and Huey-Ru Chuang, "5.7GHz 0.18um CMOS Gain-Controlled LNA and Mixer For 802.11a WLAN Application," *Radio Frequency Integrated Circuits (RFIC) Symposium*, p. 221-224, 2003.
  - [16] Brian A. Floyd and Dicle Ozis, "Low-Noise Amplifier Comparison at 2GHz in 0.25um RF-CMOS and SiGe BiCMOS," *Radio Frequency Integrated Circuits (RFIC) Symposium*, p. 185-188, 6-8 June. 2004.

- [17] Vojkan Vidojkovic, Johan van der Tang, Eric Hanssen, Arjan Leeuwenburgh, and Arthur van Roermund, "Fully-Integrated DECT/Bluetooth Multi-Band LNA in 0.18  $\mu\text{m}$  CMOS," *IEEE Proceedings of the 2004 International Symposium on Circuits and Systems* , Vol. 1, 23-26 May 2004.
- [18] M. Shouxian, M. Guo, Y. K. Seng, and D. M. Anh, "A Modified Architecture Used for Input Matching in CMOS Low-Noise Amplifiers," *IEEE Transactions on Circuits and Systems-II: Express Briefs*, vol. 52, no. 11, Nov. 2005.
- [19] David J. Allstot, Xiaoyong Li, and Sudip Shekhar, "Design Considerations for CMOS Low-Noise Amplifiers," *Radio Frequency Integrated Circuits (RFIC) Symposium*, p. 97-100, 6-8 June. 2004.
- [20] Gulin Tulunay and Sina Balkir, "Design automation of single-ended LNAs using symbolic analysis," *IEEE Proceedings of the 2005 International Symposium on Circuits and Systems* , Vol. 2, 23-26 May 2005.
- [21] F. Svelto, M. Conta, V. Della Torre, and R. Castello, "A Low-Voltage Topology for CMOS RF Mixers," *Consumer Electronics, IEEE Transactions on*, vol. 45, no. 2, pp. 299-309, May 1999.
- [22] Toby Kwok-Kei Kan, Kin-Chung Mak, Dongsheng Ma, and H.C. Luong, "A 2-V 900-MHz CMOS Mixer for GSM Receivers," *IEEE International Symposium on*, vol. 1, pp. 327-330, 2000.
- [23] V. Geffroy, G. De Astis, and E. Bergeault, "RF Mixers Using Standard Digital CMOS 0.35  $\mu\text{m}$  Process," *Microwave Symposium Digest, IEEE MTT-S International*, vol. 1, 2001.
- [24] R. F. Salem, M. S. Tawfik, and H. F. Ragaie, "A New RF CMOS Mixer With A High Performance In 0.18 $\mu\text{m}$  Technology," *Circuits and Systems, Midwest Symposium on*, vol. 2, 4-7 Aug. 2002.
- [25] T. Chouchane and M. Sawan, "A 5GHz CMOS RF Mixer In 0.18 CMOS

- Technology,” *IEEE CCECE*, pp. 1905-1908, 2003.
- [26] Wang-Chi Cheng, Cheong-Fat Chan, Chiu-Sing Choy, and Kong-Pang Pun, “A 900 MHz 1.2 V CMOS Mixer with High Linearity,” *Circuits and Systems, Asia-Pacific Conference on*, vol. 1, pp. 1-4, 2002.
- [27] H. Darabi and A. Abidi, “Noise in RF-CMOS Mixers : A Simple Physical Model,” *IEEE J. Solid-State Circuits*, vol. 35, no. 1, Jan. 2000.
- [28] F. Tillman and H. Sjoland, “A Polyphase Filter based on CMOS Inverters,” *NORCHIP*, vol. 1, pp. 12-15, 21-22 Nov. 2005.
- [29] William Shing Tak Yan and Howard Cam Luong, “A 900-MHz CMOS Low-Phase-Noise Voltage-Controlled Ring Oscillator,” *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 48, no. 2, Feb. 2001.
- [30] Daniel Pacheco Bautista and Monico Linares Aranda, “A Low Power And High Speed CMOS Voltage-Controlled Ring Oscillator,” *IEEE Proceedings of the 2004 International Symposium on Circuits and Systems*, Vol. 4, 23-26 May 2004.
- [31] Ahmadreza Rofougaran, Jacob Rael, Maryam Rofougaran, and Asad Abidi, “A 900MHz CMOS LC-Oscillator with Quadrature Outputs,” *IEEE International Solid-State Circuits Conference 1996*, p. 392-393, 10 Feb. 1996.
- [32] Jae-Hong Chang and Choong-Ki Kim, “A Symmetrical 6-GHz Fully Integrated Cascode Coupling CMOS LC Quadrature VCO,” *IEEE Microwave And Wireless Component Letters*, Vol. 15, no. 10, Oct. 2004.
- [33] M. Nielsen and T. Larsen, “A 4.2GHz CMOS Quadrature VCO using Injection Locking for WLAN 802.11a,” *Research in Microelectronics and Electronics, 2005PHD*, Vol. 1, pp. 121-124, 25-28 July 2005.
- [34] Pietro Andreani, Andrea Bonfanti, Luca Romano, and Carlo Samori, “Analysis and Design of a 1.8-GHz CMOS LC Quadrature VCO,” *IEEE Journal of Solid-State Circuits*, vol. 37, no. 12, Dec. 2002.

- [35] Hyoung Chul Choi, So Bong Shin, and Sang-Gug Lee, "A Low-Phase Noise LC-QVCO in CMOS Technology ," *IEEE Microwave And Wireless Component Letters*, Vol. 14, no. 11, Nov. 2004.
- [36] 吳丕安, "具正交相位輸出的 CMOS 射頻頻率合成器," 碩士論文, 指導教授 高曜煌, 交通大學電信系碩士班, 2002.
- [37] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector," *IEEE J. Solid-State Circuits*, vol. 33, no. 2, Feb. 1998.
- [38] C. M. Hung and Kenneth K. O, "A Fully Integrated 1.5-V 5.5-GHz CMOS Phase-Locked Loop," *IEEE J. Solid-State Circuits*, vol. 37, no. 4, April 2002.
- [39] W. H. Lee, J. D. Cho, and S. D. Lee, "A High Speed and Low Power Phase-Frequency Detector and Charge-pump," *IEEE Proceedings of the ASP-DAC '99. Asia and South Pacific Design Automation Conference*, 18-21 Jan 1999.
- [40] Bortecene Terlemez and John P. Uyemura, "The Design of A Differential CMOS Charge Pump for High Performance Phase-Locked Loops," *IEEE Proceedings of the 2004 International Symposium on Circuits and Systems* , Vol. 4, 23-26 May 2004.
- [41] S. Pellerano, S. Levantino, C. Samori, and A. L. Lacaita, "A 13.5-mW 5-GHz Frequency Synthesizer with Dynamic-Logic Frequency Divider ," *IEEE J. Solid-State Circuits*, vol. 39, no. 2, Feb. 2004.
- [42] W. O. Keese, "An Analysis and Performance Evaluation of a Passive Filter Design Technique for Charge Pump PLL's," *National Semiconductor Application Note 1001*, July 2001.
- [43] 連崇安, "新型環路振盪器及其在短距離通訊之應用," 碩士論文, 指導教授 高曜煌, 交通大學電信系碩士班, 2005.
- [44] 謝銘鴻, "壓控石英振盪器精準頻率控制之研究," 碩士論文, 指導教授 高曜煌, 交通大學電信系碩士班, 2005.
- [45] J. Maneatis and M. Horowitz, "Precise delay generation using coupled oscillators,"



- IEEE J. Solid-State Circuits*, vol. 28, No. 12, pp. 1273-1282, Dec 1992.
- [46] Chan-Hong Park and Beomsuo Kim, "A Low-Noise, 900MHz VCO in 0.6 $\mu$ m CMOS," *IEEE J. Solid-State Circuits*, vol. 34, pp. 586-591, May 1999.
- [47] Daniel Pacheco Bautista and Monico Linares Aranda, "A Low Power And High Speed CMOS Voltage-Controlled Ring Oscillator," *IEEE Proceedings of the 2004 International Symposium on Circuits and Systems*, Vol. 4, May 2004.



# 簡歷

姓 名：黃勇鈞

居 住 地：桃園縣中壢市

出生日期：民國七十年九月二十六日

學 經 歷：

清華大學電機工程學系 (88年9月~93年6月)

交通大學電信工程學系碩士班 (93年9月~95年11月)

