

第三章

應用 3-10-GHz 共閘極超寬頻低雜訊放大器

3.1 概要

第二章使用回授技巧達到寬頻帶的效果，此章為了驗證寬頻濾波器也有放大頻寬的效果，提出共閘極低雜訊放大器的架構，在電晶體的輸入端設計一個巴特伍斯帶通濾波器 [16]，達到寬頻帶，低功率，低雜訊指數的效果，對於高頻的寄生電效應也有一定的改善。電路設計的原理是根據第一章所介紹的方法。電路設計原理、電路模擬結果、佈局考量在以下都有詳細地敘述。



3.2 電路設計

共源極 (CS) 和共閘極 (CG) 是窄頻低雜訊放大器設計兩個很常用的方法。共源極方法能藉著源極退化達到阻抗匹配，使用無雜訊的元件，達到較小的雜訊指數。共閘極方法本身就具有寬頻帶的特性，好的線性度，好的輸出輸入隔絕度[17]，但是電晶體的寄生電容會使共閘極低雜訊放大器高頻的表現打了折扣。但是只要在輸入端加入濾波器，就可以解決寄生效應的問題和達到寬頻帶的效果，同時原本不錯的特性也還保持著。

基本的共閘極低雜訊放大器如圖 3.1 所示，它的輸入阻抗的一般式表示如下：

$$Z_{in} = \frac{1}{g_m + j\omega C_{gs}} \quad (3-1)$$

在低頻的時候，輸入阻抗可以近似如 $Z_{in} = \frac{1}{g_m}$ ，必須匹配到 50 歐姆。隨著頻率的增加，

寄生電容 C_{gs} 的效應越來越大，也就會使高頻的響應受到影響而變壞。

在窄頻放大器的設計中，通常是和 C_{gs} 並聯一個電感，在所需要的工作頻率達到好的阻抗匹配。與共源極低雜訊放大器差別的地方，在於它是並聯共振網路。因為這個並聯共振網路有較低的品質因素，對於製程和電壓的偏移有很強的抵抗力[17]。從輸入端到輸出端沒有 C_{gd} 這條路徑，所以共閘極低雜訊放大器具有較好的隔絕度和穩定度（和共源極低雜訊放大器比較）。從參考文獻[17]，在共閘極低雜訊放大器中，雜訊指數相

對於 $\frac{\omega_0}{\omega_T}$ 比值保持為一定值。在共源極低雜訊放大器中，雜訊指數和 $\frac{\omega_0}{\omega_T}$ 比值呈現線性

關係。共閘極低雜訊放大器在高頻的表現優於共源極低雜訊放大器。為了使共閘極低雜訊放大器能工作在超寬頻接收機系統，需要寬頻帶的阻抗匹配。設計上，在輸入端的電晶體寄生電容 C_{gs} 要去小心考慮，分佈放大器電路是一個解決的方法，但是因為電路的面積太大，消耗的功率太大，並不符合超寬頻低雜訊放大器設計的要求。可以在輸入端設計一個帶通濾波器，吸收寄生電容 C_{gs} 效應，而且又保持共閘極本身的優點。和文獻 [4] [14] 不一樣的是，在本章所提出的電路，使用三階巴特伍思（**Butterworth**）濾波器。

三階巴特伍思（**Butterworth**）濾波器：

濾波器理論應用在超寬頻低雜訊放大器的阻抗匹配在文獻[6] [7]。有幾種濾波器可以達到寬頻帶阻抗匹配的目標，因為共閘極低雜訊放大器的輸入端是並聯共振網路，所以巴特伍思濾波器這個設計上比較容易去實現寬頻阻抗匹配的效果。

濾波器的電路如圖 3.2 所示，設計者先把所要的工作頻帶決定好，經由濾波器軟體模擬的協助[15]，可以得到合理的電容電感值。增益和回來損耗（**return loss**）如圖 3.3 和圖 3.4 所示，從圖 3.3 和圖 3.4 可以得知在本章所要設計的頻帶 3-10-GHz 中，增益是

保持平坦的，回來損耗小於-10dB。

本章的超寬頻共閘極低雜訊放大器如圖 3.6 所示，輸入電容 C_{gs} 被吸收到濾波器的一部份，三階巴特伍思濾波器作為寬頻輸入阻抗匹配網路。 L_1 、 C_1 、 L_2 、 C_2 、 L_3 還有 $M1$ 的輸入阻抗構成如圖 3.2 所示的三階巴特伍思濾波器。 C_3 的功能是讓 $M1$ 尺寸的選取上更有彈性。

輸入阻抗是並聯的 LC 濾波器和實部阻抗的 $\frac{1}{g_m}$ 。從圖 3.3 可以得知在頻帶內的增益為一，頻帶外的增益較小，輸入阻抗大概是 $\frac{1}{g_m}$ ，所以設計 $M1$ 的轉導為 20mA/V ， $M1$ 尺寸的選擇要考慮輸入阻抗的匹配和所設計的電流損耗去著手，電容 C_3 讓在 $M1$ 尺寸的選取上更有彈性，使我們在設計上更容易達到我們的要求。根據模擬的結果，如圖 3.17， $M1$ 的尺寸 $\frac{\text{mW}}{L} = \frac{60 \cdot 5}{0.18} \mu\text{m}$ ， C_3 電容值為 450fF 。

$M2$ 尺寸上的選取有下列幾點的考量：寄生電容的效應（所以尺寸取的越小，效應較不明顯），輸入和輸出的隔絕度（S12），整個系統的雜訊指數[6]。我們要從我們的電路的模擬過程中，從這三項中取得一個平衡點，根據模擬的結果， $M2$ 尺寸大約設計在 $\frac{\text{mW}}{L} = \frac{12 \cdot 7}{0.18} \mu\text{m}$ 。讓在所設計的頻帶增益保持平坦也是超寬頻低雜訊放大器設計重點，隨著操作頻率的提高，電容性的負載阻抗會持續減少，造成增益在高頻時的衰減，為了補償在高頻的衰減，在放大器的負載端串聯一個電感和電阻，會隨著頻率的提高而等效的阻抗變大，使增益不會衰減，這就是 inductance peaking，如圖 3.20 所示。電阻 R_D 可以增加放大器在低頻時的增益，如圖 3.19 所示，不過電阻值的考慮有上限，還要考慮到電壓空間的效果（Voltage Headroom），根據模擬的結果， R_D 選擇 115 歐姆， L_D 選擇 3nH 。信號經由 $M1$ 從電壓轉換到電流， $M1$ 寄生電容 C_{gd1} 和 $M2$ 寄生電容 C_{gs2} 提供一個信號路徑地，這樣會影響整個放大器的響應，從圖 3.18 我們可以知道當 L_c 拿掉，整個高頻的增益都掉下來了，表示信號在途中就被寄生電容的路徑傳到地而消失了，所以選取適當的 L_c 值，可以和 C_{gd1} ， C_{gs2} 形成 π 網路，而使高頻的響應更好。根據模擬的結果，

L_c 選擇 **1.48nH**。 $M3$ 和 $M4$ 當做輸出的緩衝器，主要功能是為了要量測使用，設計上要考慮電晶體本身的寄生電容效應和 PAD 寄生電容效應，所以在設計 $M3$ 和 $M4$ 的尺寸時，模擬時要掛一個等效於 PAD 的電容到地，主要目的是要設計輸出阻抗要匹配到 **50** 歐姆，根據模擬的結果， $M3$ 和 $M4$ 的尺寸 $\frac{mW}{L} = \frac{43.2}{0.18} \mu m$ ，偏壓在 **5mA**。

電路設計流程：先設計 **LC** 濾波器，設計所需要的工作頻帶都能達到阻抗匹配，再把它放進實體電路裡，使用真實的 **LC model** 經過微調來達到阻抗匹配，再來決定 **M1** 的尺寸，使整體電路的雜訊指數能降到最低為我們設計 **M1** 的主要目標，**M2** 設計經由雜訊指數、隔離度、寄生效應下去考量。輸出級設計先決定 **M4** 尺寸決定輸出級電流，再來設計 **M3** 尺寸達成輸出阻抗匹配。

3.3 佈局考量



由於佈局時考慮到信號線和電源線的不同，還有流經電流的大小不同，所以走線的寬度大小也有所差別，在 **RF Signal** 的路徑走線佈局上，盡量採用最短的路徑，避免信號大小的損耗，同時也全部採用 **Metal 6**，避免 **substrate noise** 影響信號。走線的角度也都採用 **45** 度角，使流經的電流密度能均勻。

電感和其他 **device** 的距離，保持著最小距離為 **50 um**，避免互相受到影響。PAD 使用台積電和工研院所共同開發，適用於 **TSMC 0.18 um Logic, Mixed-Signal/RF 1P6M**，以及 **1P6M+ Salicide 1.8V/3.3V CMOS Processes**。

On Wafer 量測，要到 **NDL** 高頻量測中心(**HFTC**)量測，所以 **PAD** 的擺放位置要依照他那邊所給的 **Layout Rule [15]** 來擺放，否則探針無法擺放，無法量測。

3.4 測量考量

量測是 on wafer 量測，所以不需要考慮 bond wire 效應，所以模擬時只要把 PAD 效應考慮進去模擬，大約估計是 150fF 到地的電容效應，因為量測儀器的負載為 50 歐姆，所以在模擬時已經加入 50 歐姆模擬。

3.5 模擬結果

電路模擬的模型是晶圓廠提供的 BSIM3v3 模型，使用的模擬軟體是安捷倫所提供的 Advanced Design System。

圖 3.7 是模擬 S 參數的四個參數，分別是功率增益 (S21)、輸入損耗 (S11)、輸出損耗 (S22)、隔絕度 (S12)。從圖 3.7 我們可以知道輸入損耗在頻帶 3 到 10GHz 都小於負 9dB。輸出損耗在頻帶 3 到 10GHz 皆小於負 10dB。功率增益的最大值為 11.1dB 在頻帶 3 到 10GHz。隔絕度在頻帶 3 到 10GHz 皆小於負 33dB。工作頻帶是 3.7 到 11.2GHz。圖 3.8 和圖 3.9 是兩個模擬穩定度參數： K 、 M_u ，由圖我們可以知道在工作的頻帶，兩個係數皆大於 1，所以整個電路架構是無條件的穩定，不會振盪。

圖 3.10 是史密斯圖，從圖我們可以知道工作頻率和輸入阻抗的關係，還有沒有達到阻抗匹配的趨勢。

圖 3.11 是模擬輸出功率對輸入功率，由圖我們知道模擬 6GHz，一分貝壓縮點 (1dB compression point) 是負 19.9dBm 在 6GHz。圖 3.12 是模擬 IIP3，使用 two-tone 信號，分別是 5.995GHz 和 6.005GHz，可以得到 IIP3 是負 7.79dBm。

圖 3.13 是模擬雜訊指數和雜訊指數最小值，從圖我們可以知道雜訊指數最小值為 3.99dB 在 5.8GHz。在頻帶 3 到 10GHz，雜訊指數約在 4 到 5dB。

圖 3.14 是 IIP3、一分貝壓縮點、雜訊指數最小值、功率增益最大值對溫度變化的變動性。由圖我們可以知道除了一分貝壓縮點較大，其他變動不大。

圖 3.13 是模擬群體延遲，由圖我們可以知道在 3GHz 到 10GHz，群體延遲大約在 1×10^{-10} 。

此電路的佈局是使用 **Cadence**，如圖 3.16 所示，晶片面積為 1.21 mm^2 。本電路的功率損耗只考慮主電路方面，偏壓電路和輸出緩衝級不予考慮。表 3 為此電路和一些先前的電路模擬和測量結果的比較表。

3.6 測量結果

從量測的結果來分析，增益比模擬的結果掉了 2 到 3dB，因為是 **substrate loss** 的影響。雜訊指數比模擬高的原因可能是電晶體雜訊模型不夠準確。因為輸入和輸出匹配的情況很好，所以有達到寬頻的效果，**IIP3** 和 **P1dB** 是用羅德史瓦茲訊號產生器和 **Agilent E8254A** 量測，量測頻率是 **6GHz**。

3.7 模擬修正

考慮溫度效應：當初模擬溫度為 17 度，調高到 30 度、走線效應：**RF** 和 **DC GROUND** 因為是拉在一起，所以實際上接地時並不是單純的接地，而是外拉一個等效小電感到一個共同的地，萃取的結果大概是 **0.5 nH**、**Probe** 非理想的寄生效應：由 **Probe** 外接到輸出輸入信號時，並不是直接接到 **DC block** 後接到信號源，而是會經過一小段的小電感，大概估計 **1nH**，當我們把以上的因素考慮進去，得出的圖形跟我們量測會比較接近，可以得到圖 3.28、圖 3.29、圖 3.30。非理想效應如圖 3.31 所示

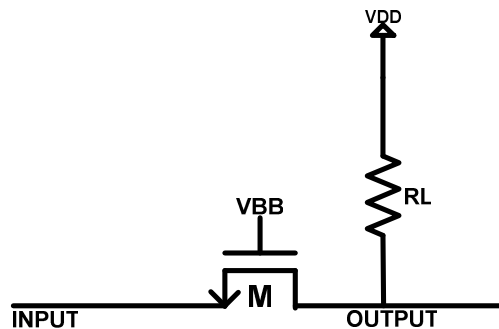


Fig. 3.1 Typical Common Gate LNA

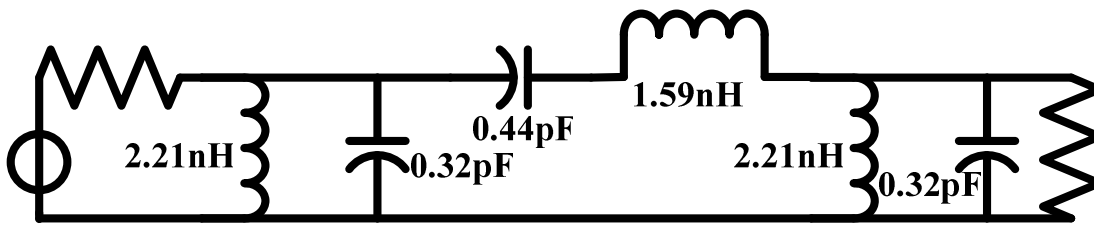


Fig. 3.2 3rd order band pass butterworth filter

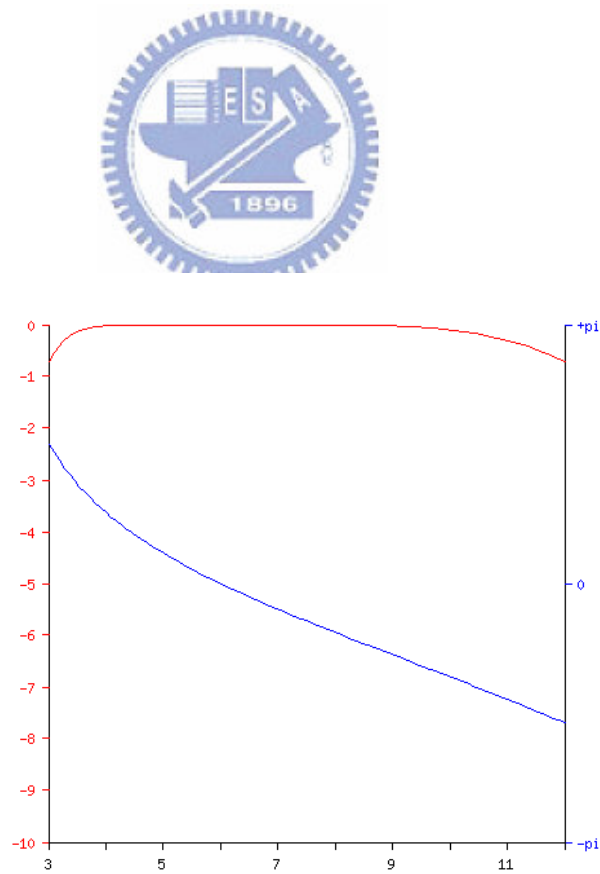


Fig. 3.3 Gain response of the Butterworth filter

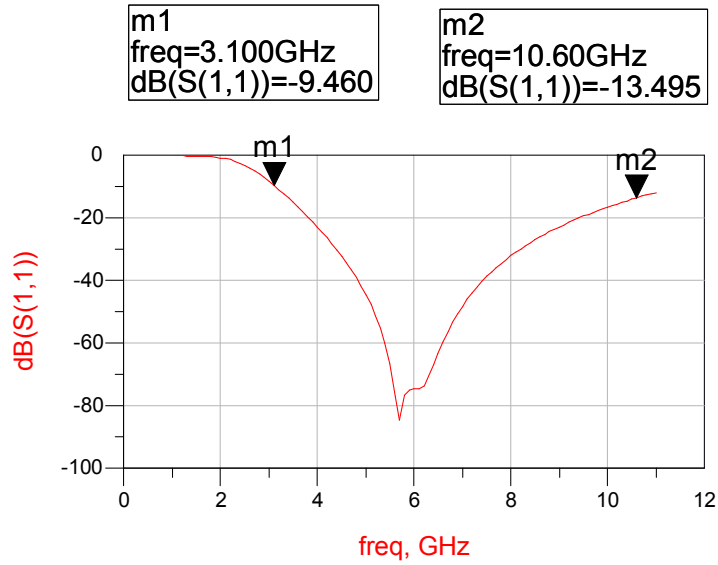


Fig. 3.4 Return loss of the Butterworth filter

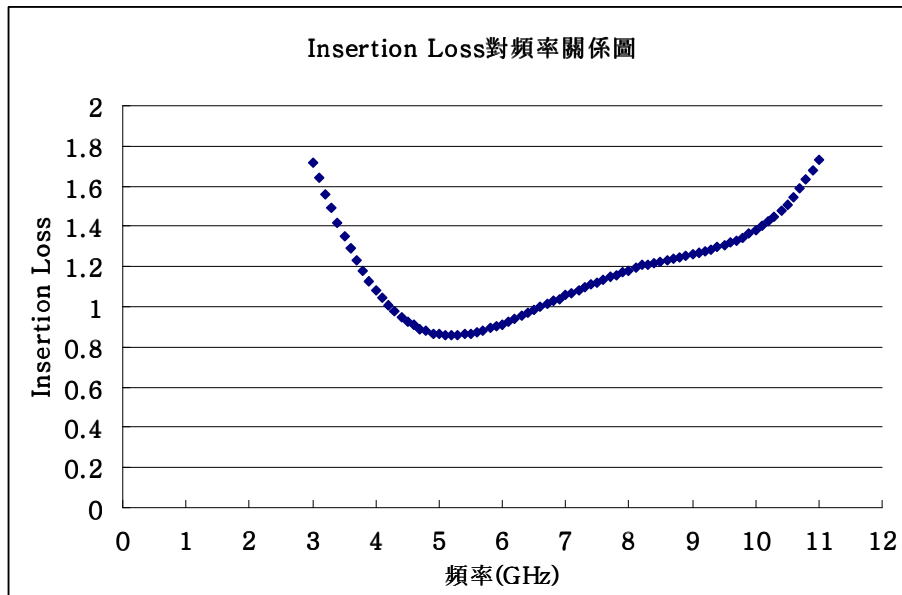


Fig. 3.5 Insertion Loss 與頻率關係圖

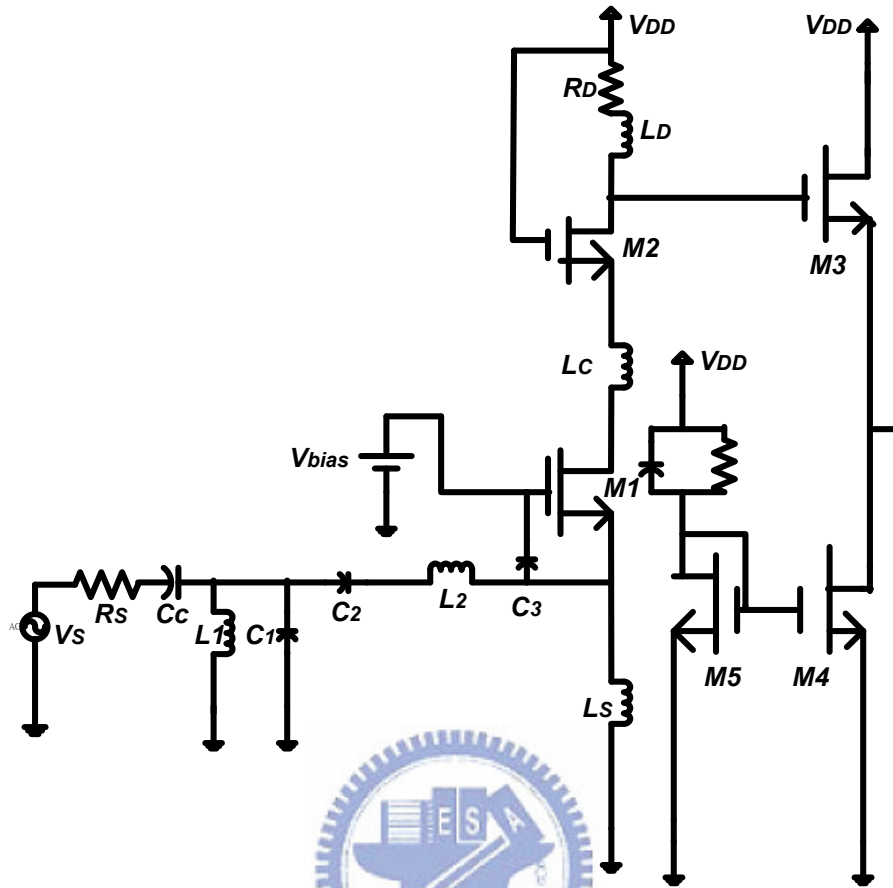


Fig. 3.6 Proposed Common Gate UWB LNA

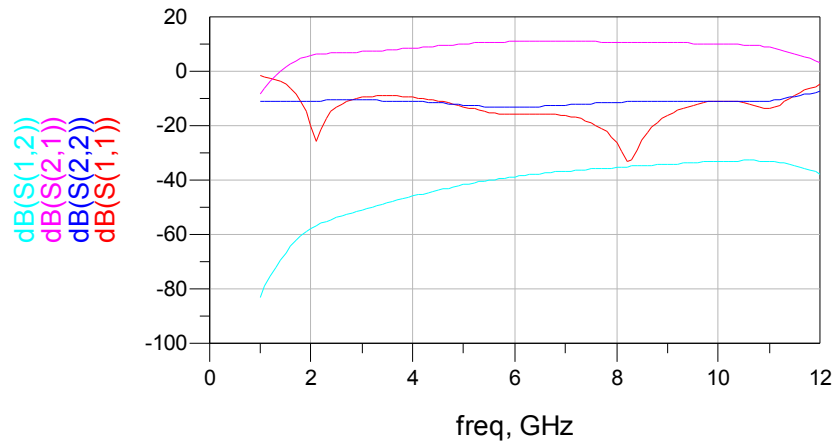


Fig. 3.7 S-parameter of the LNA

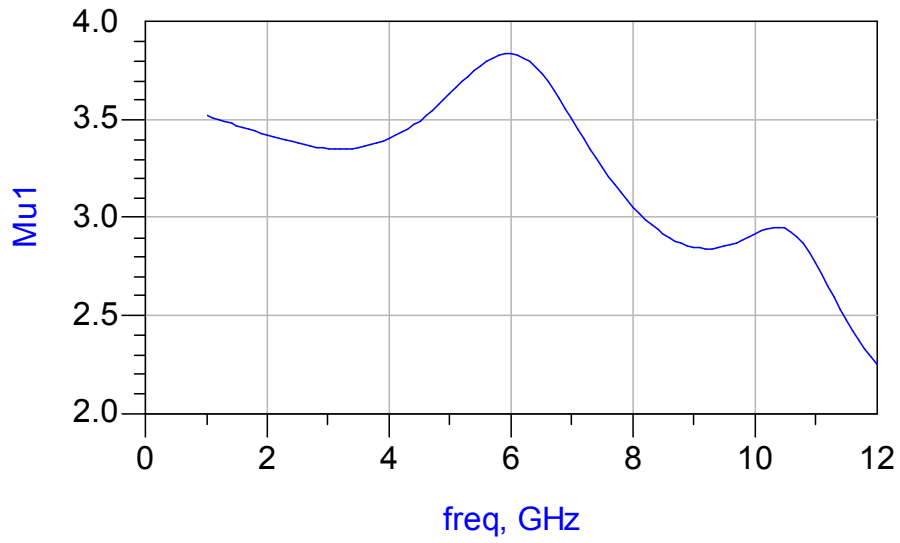


Fig. 3.8 Stability Factor $M_u > 1$

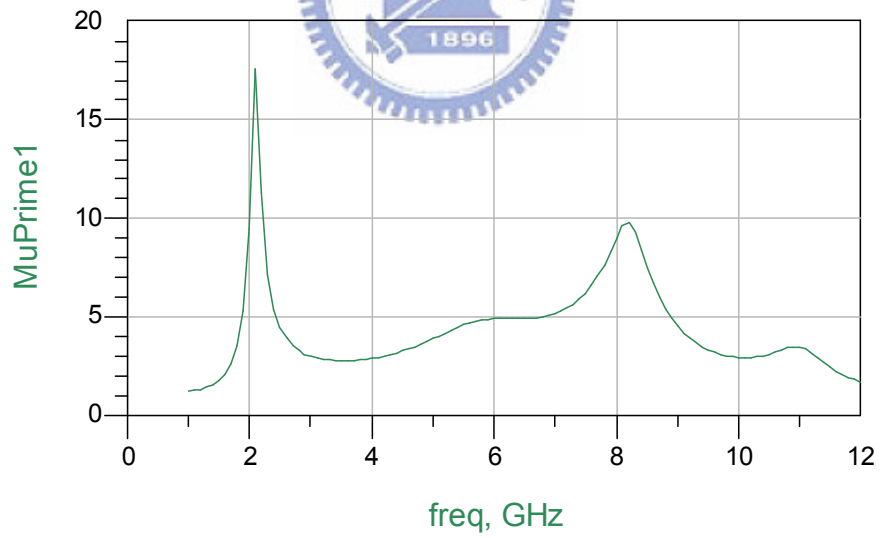
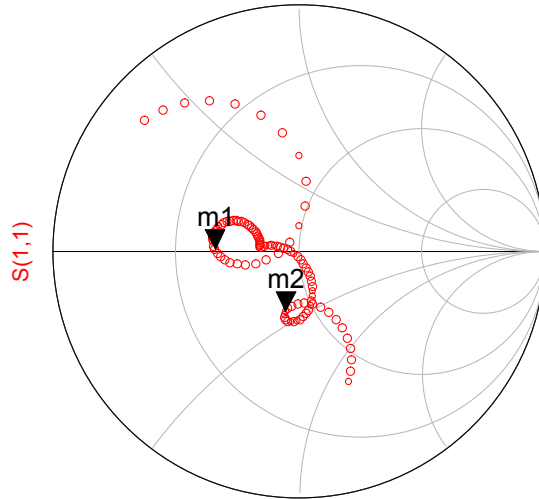


Fig. 3.9 Stability Factor $K > 1$

m1 freq=3.100GHz $S(1,1)=0.341 / 178.876$ impedance = $24.575 + j0.37$	m2 freq=10.60GHz $S(1,1)=0.251 / -102.229$ impedance = $40.050 - j20.99$
---	---



freq (1.000GHz to 12.00GHz)

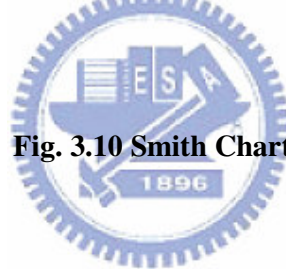


Fig. 3.10 Smith Chart

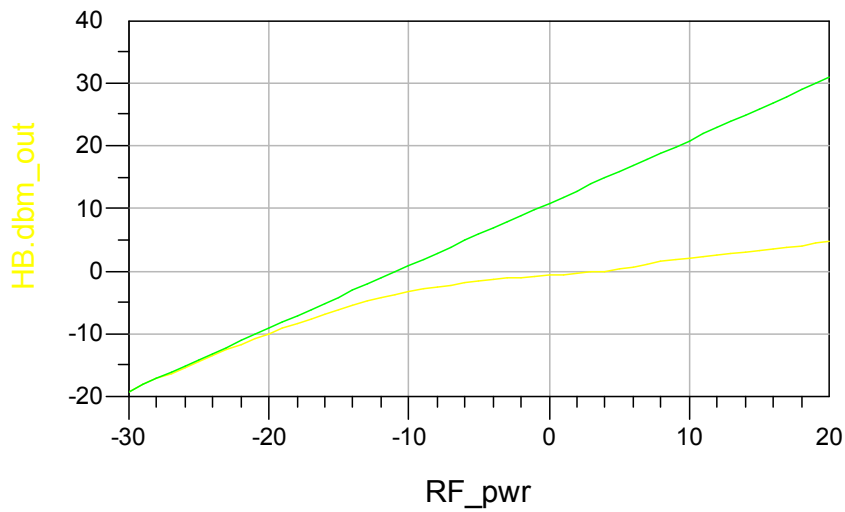


Fig. 3.11 Output power versus Input power

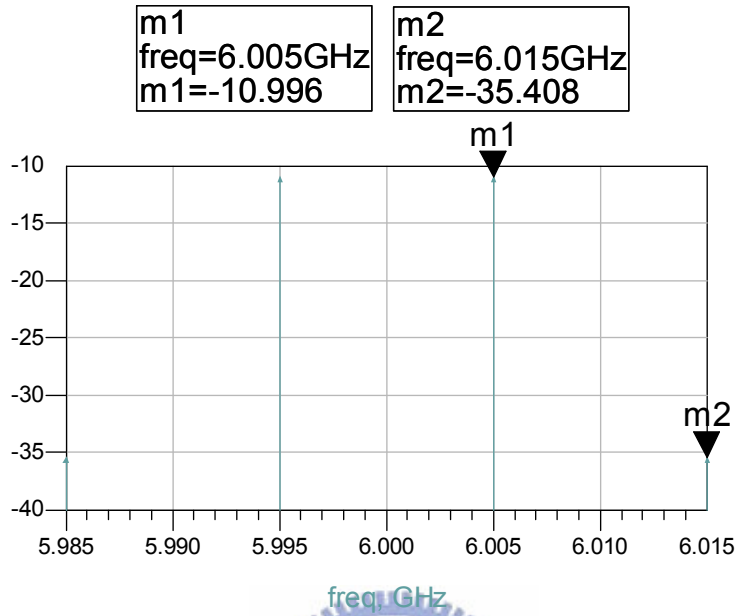


Fig. 3.12 Two-tone test Simulation

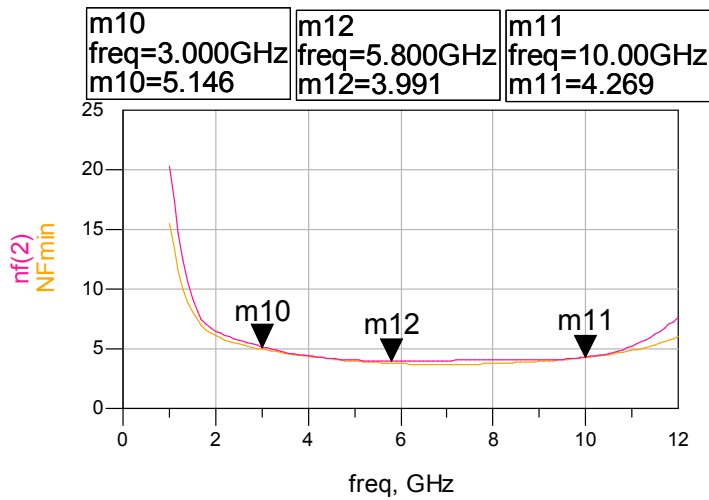


Fig. 3.13 Simulated NF of the UWB LNA

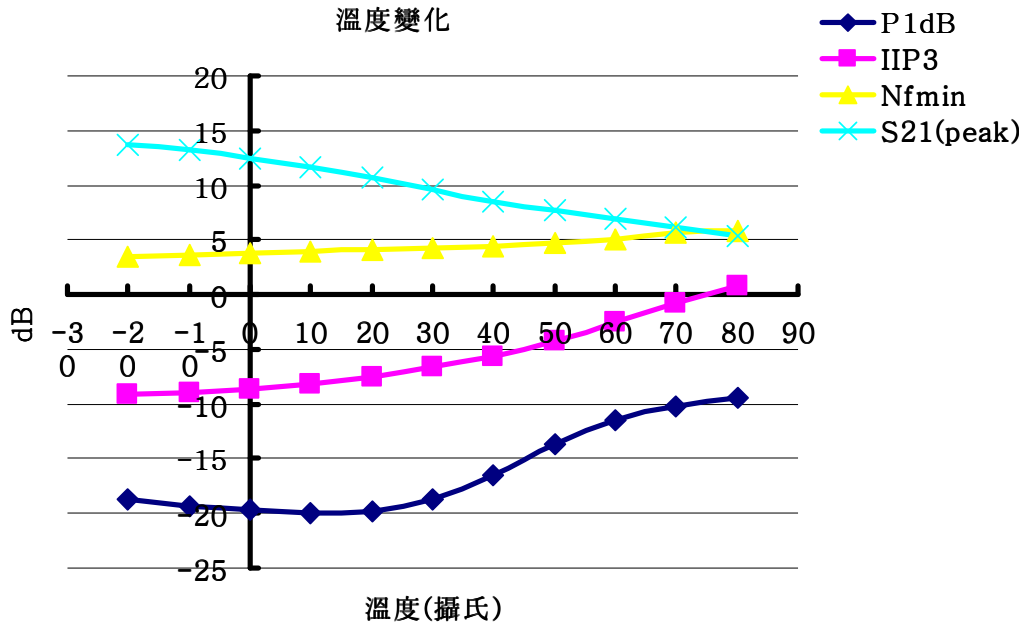


Fig. 3.14 P1dB,IIP3,Nfmin,S21(peak) versus temperature

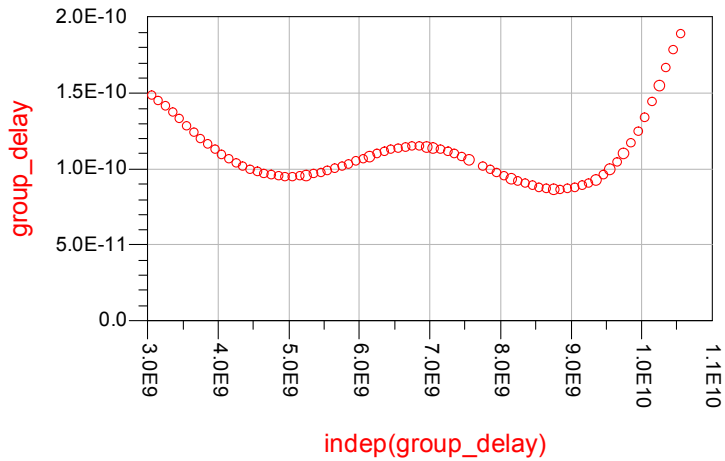


Fig. 3.15 Group Delay

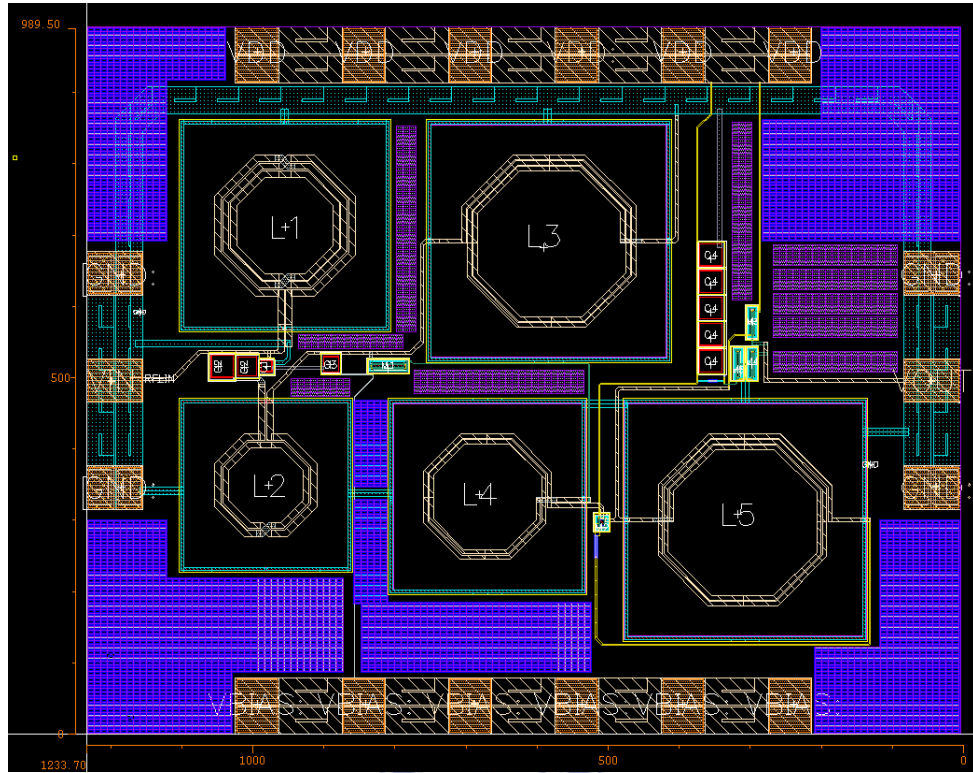


Fig. 3.16 Layout of the UWB LNA chip

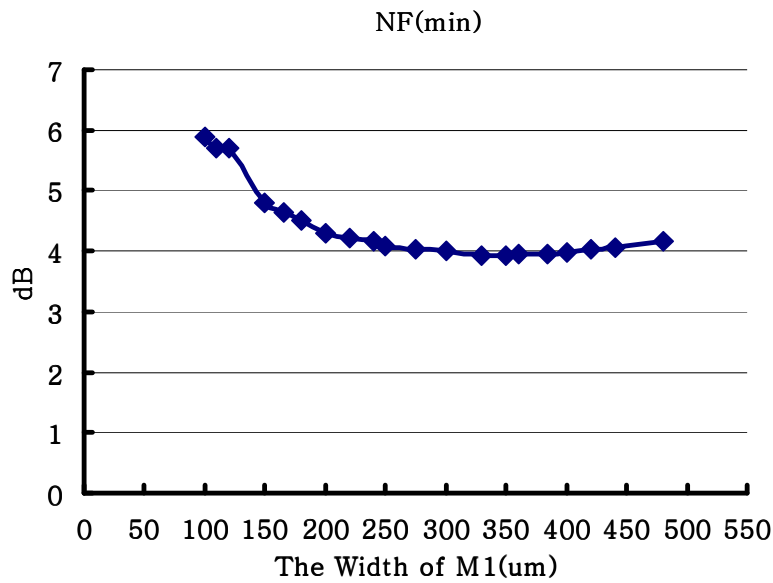


Fig. 3.17 The Width of M1 versus NFmin

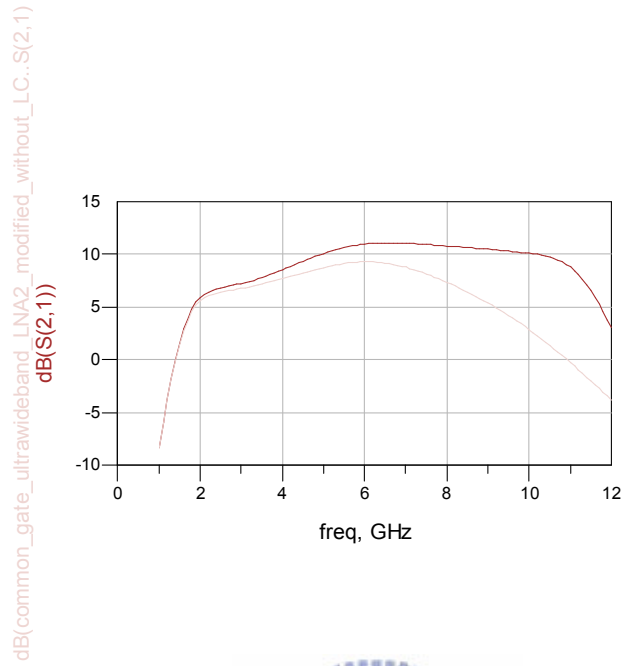


Fig. 3.18 Comparison S21 with L_C and without L_C

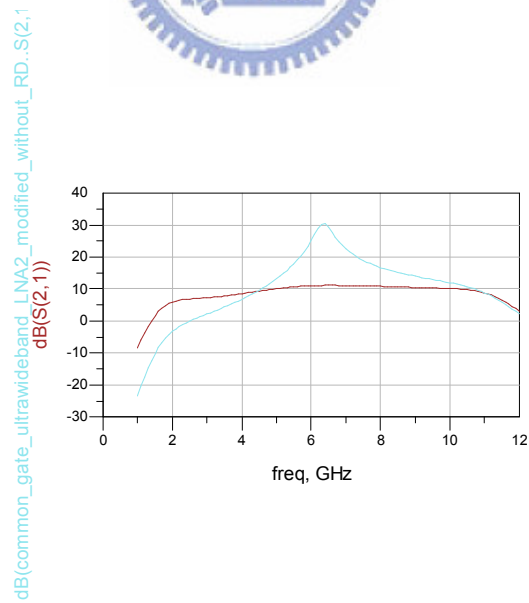


Fig. 3.19 Comparison S21 with R_D and without R_D

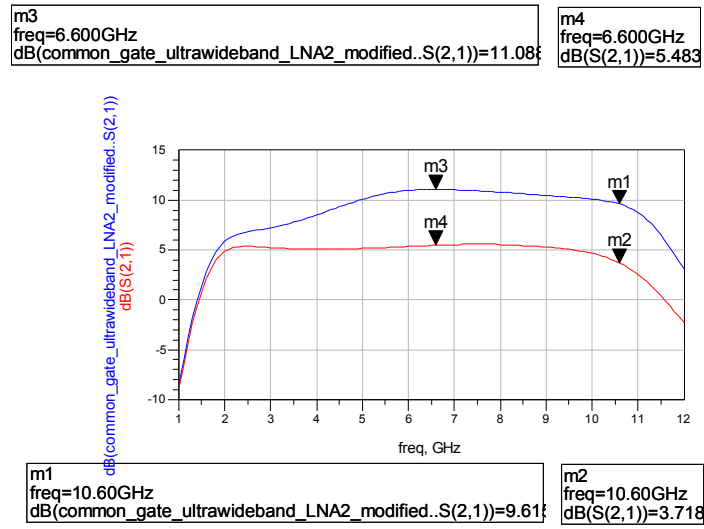


Fig. 3.20 Comparison S21 with L_D and without L_D

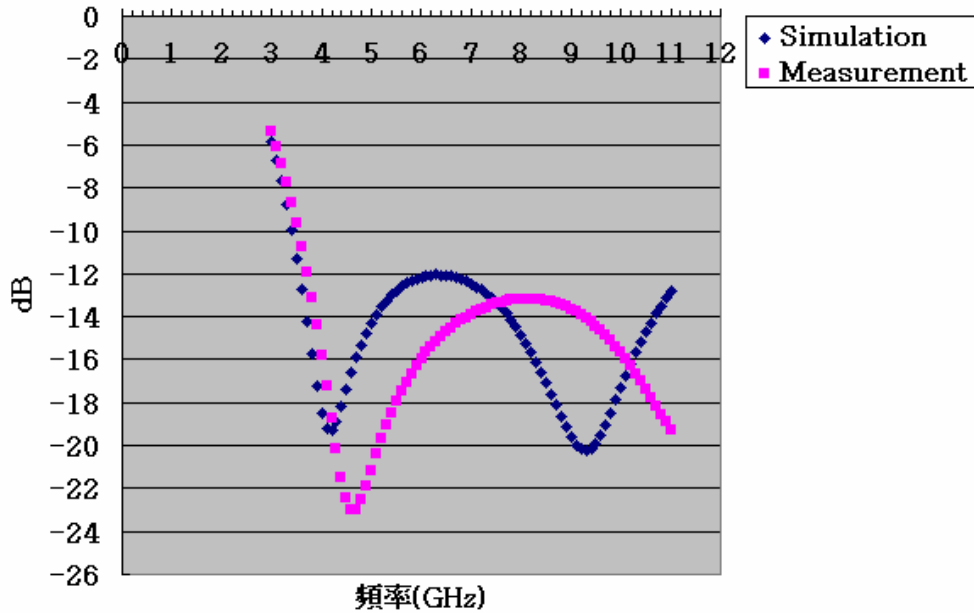


Fig. 3.21 S11

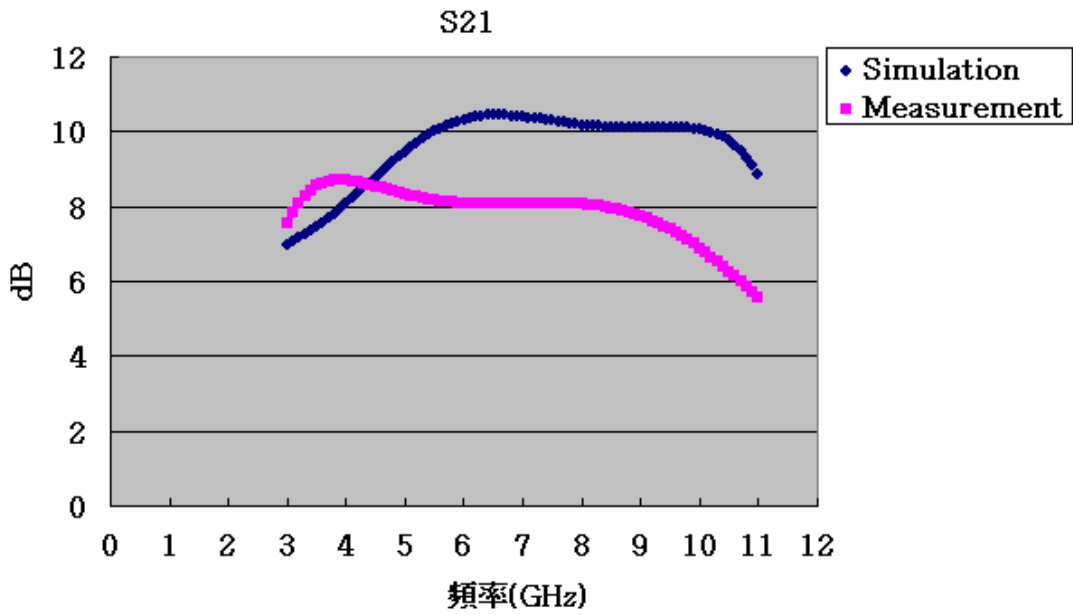


Fig. 3.22 S21

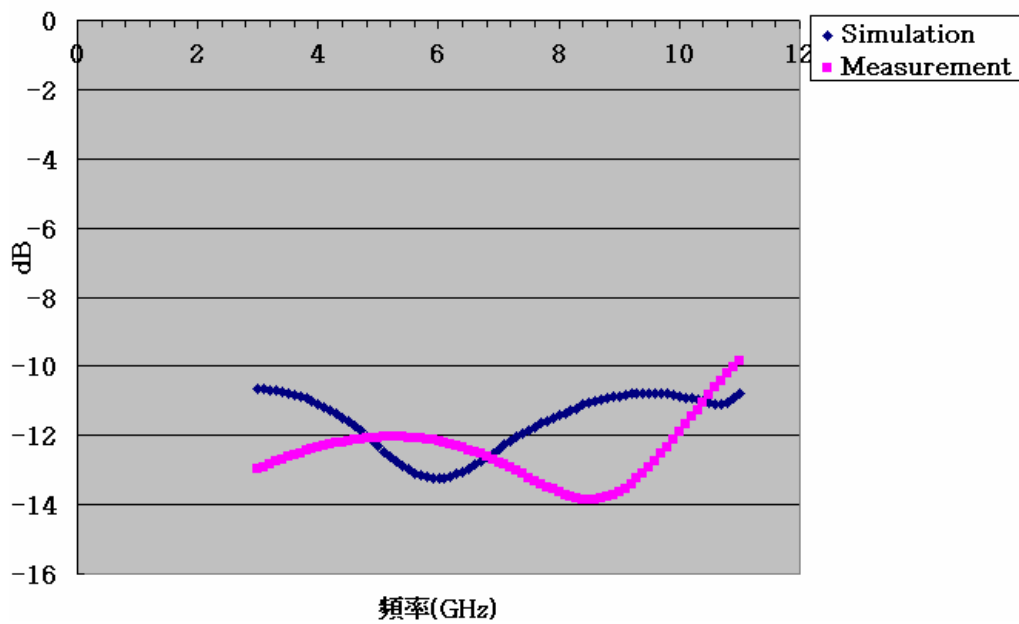


Fig. 3.23 S22

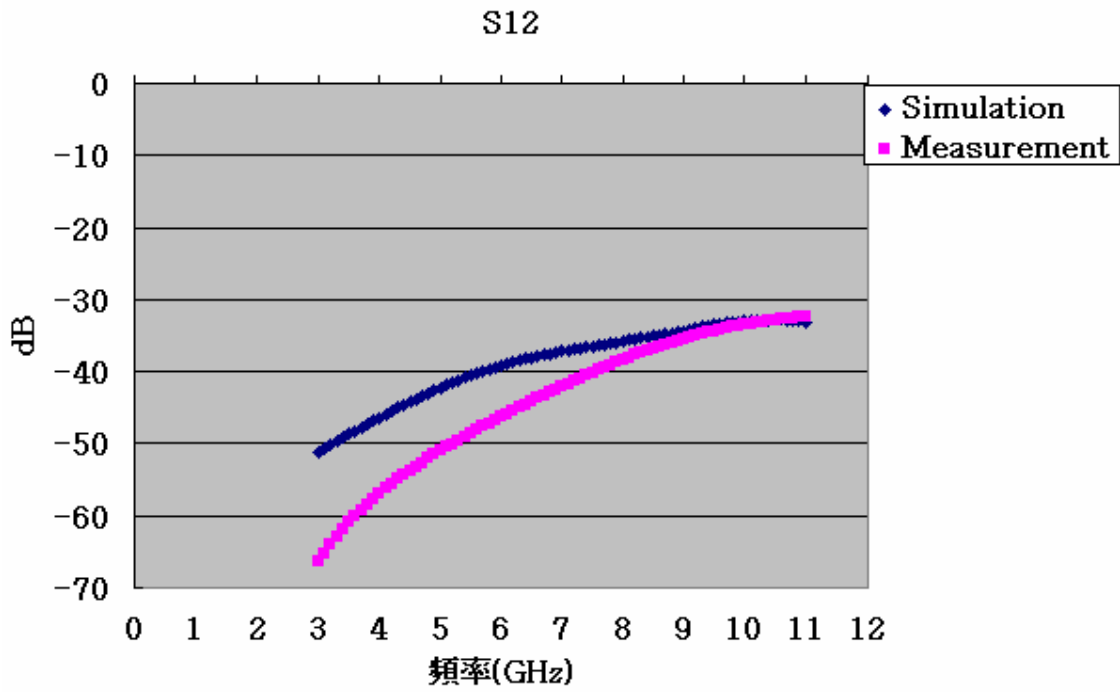


Fig. 3.24 S12

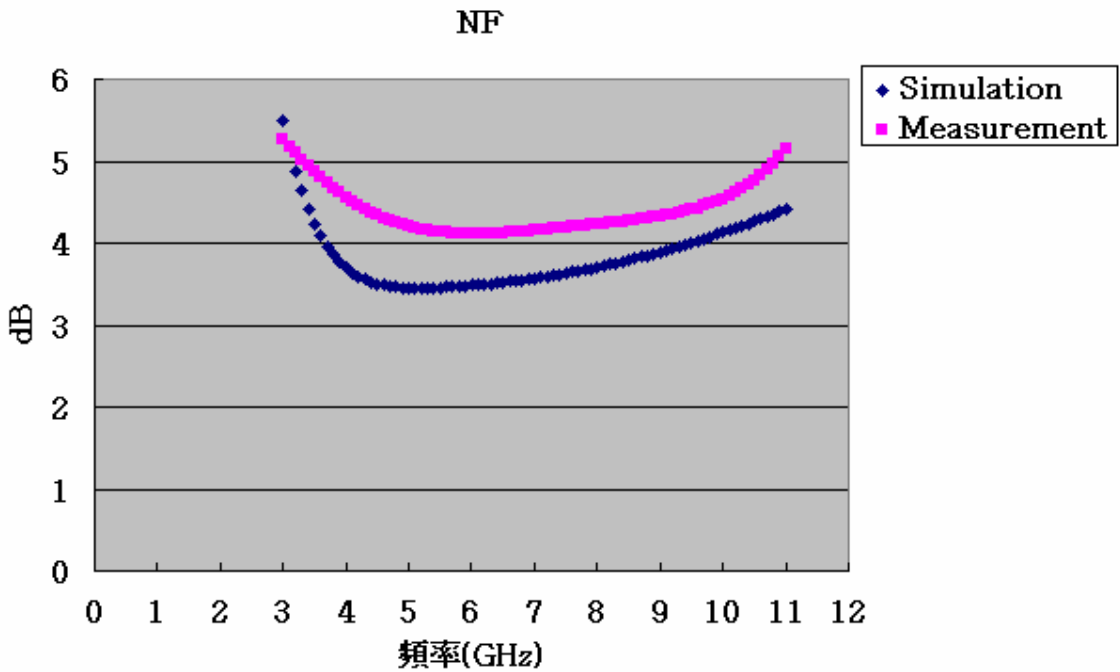


Fig. 3.25 Noise Figure

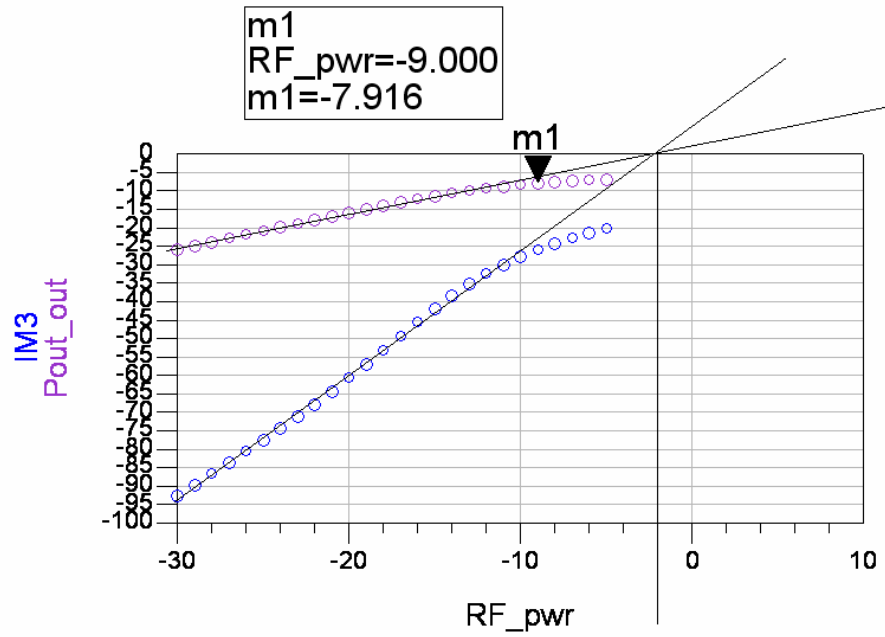


Fig. 3.26 IIP3 and P1dB

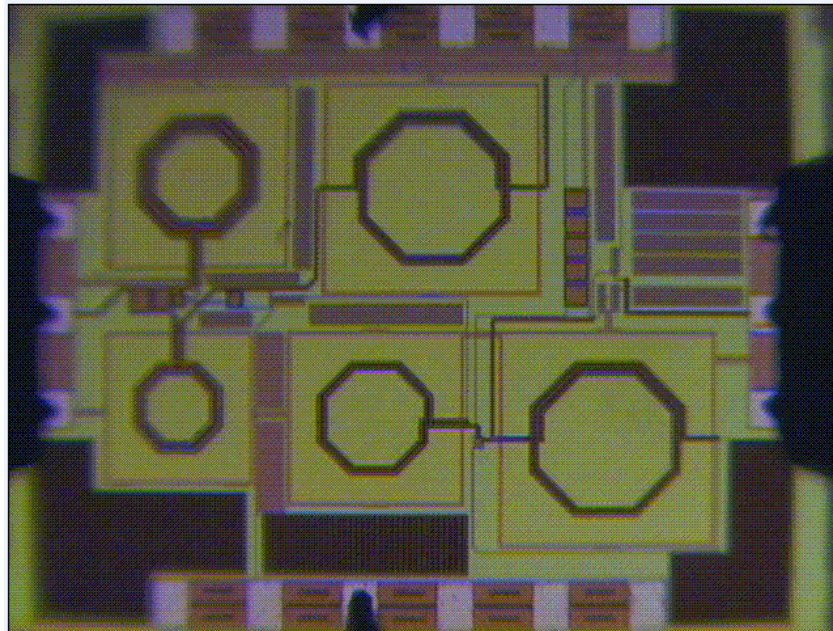
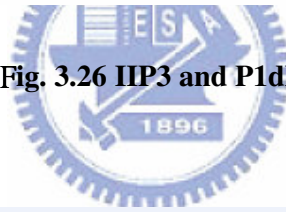


Fig. 3.27 Die Photo

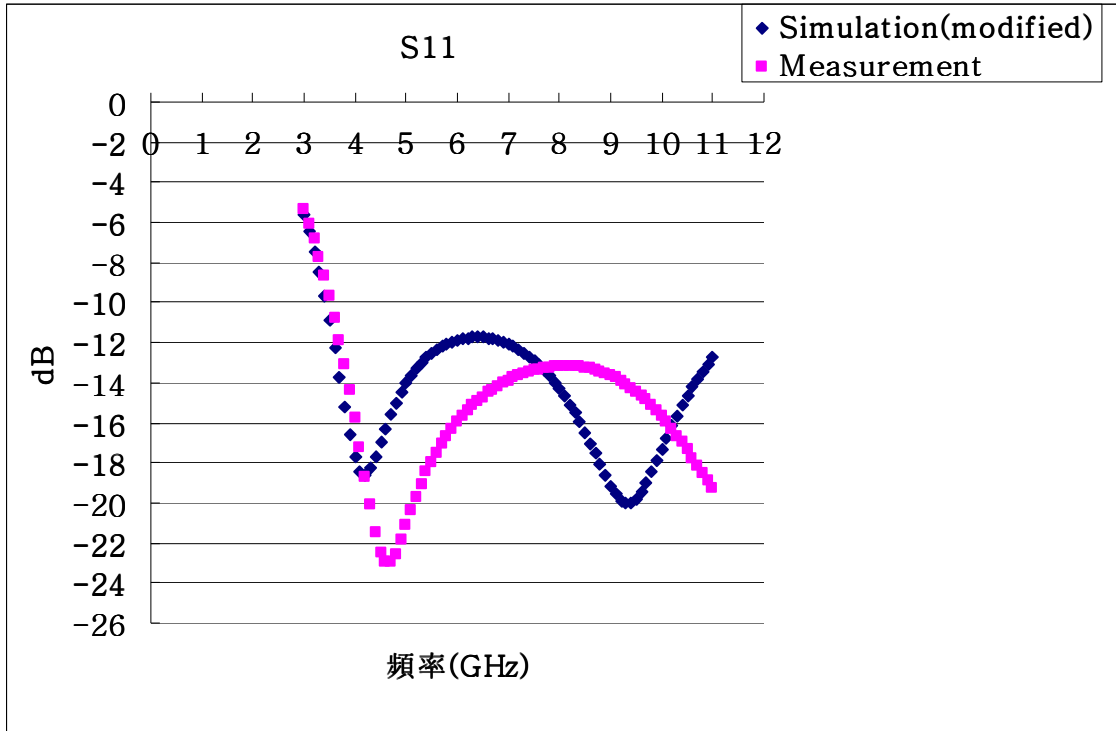


Fig. 3.28 S11(修正)

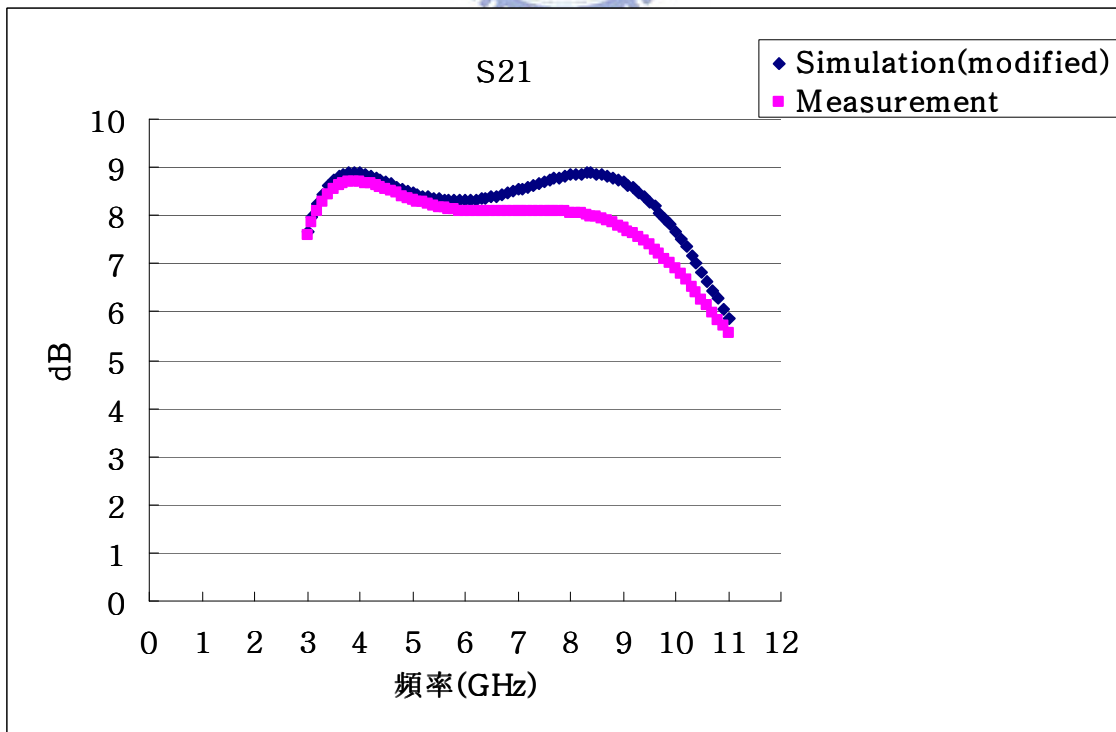


Fig. 3.29 S21(修正)

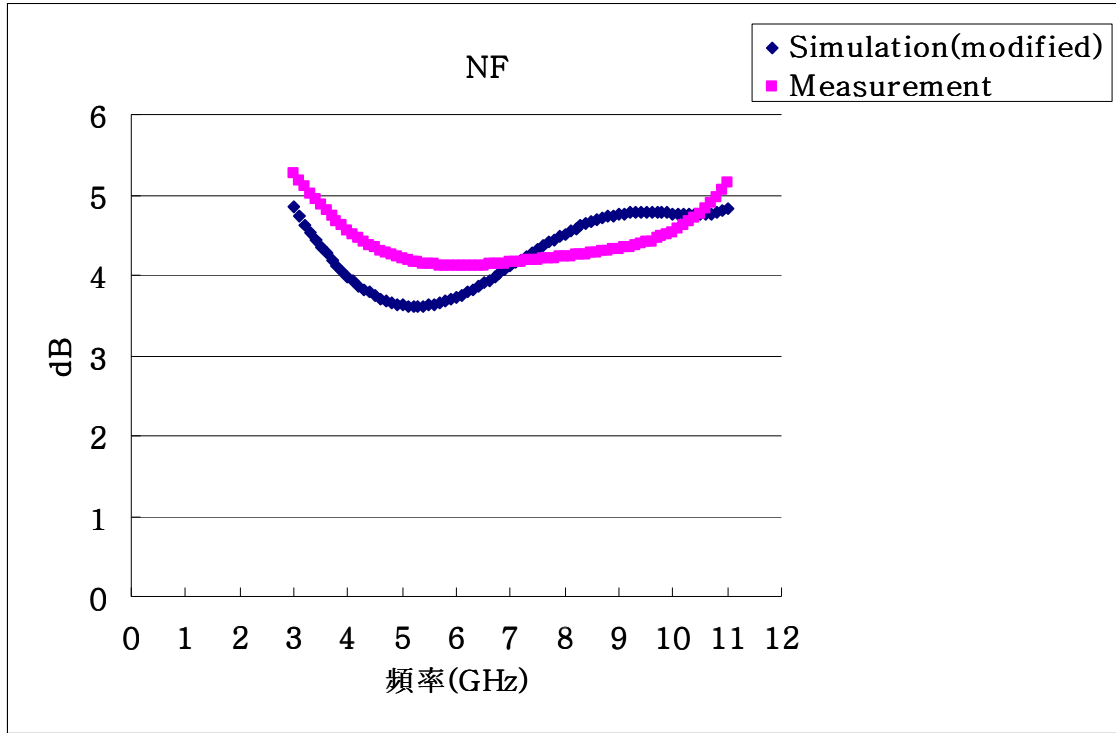


Fig. 3.30 NF(修正)

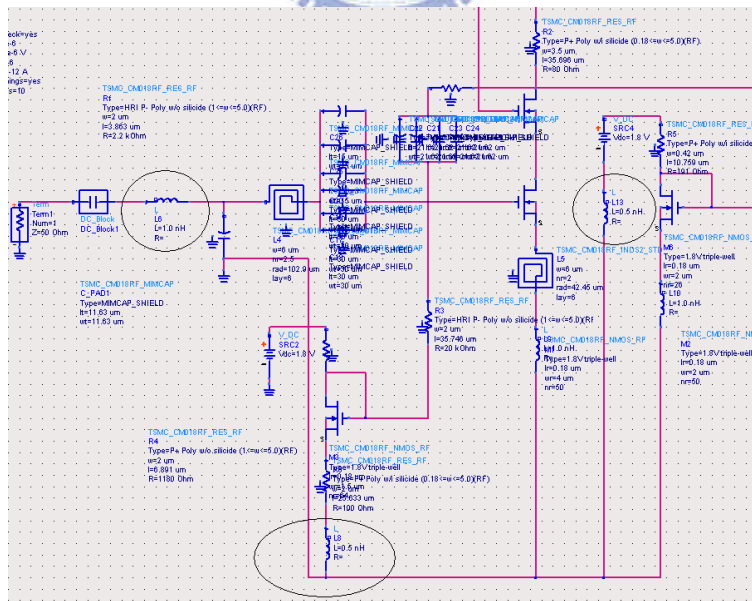


Fig. 3.31 非理想效應

	[4]	[14]	This work
Frequency (GHz)	2.4-9.5	2-10	3-10
S11 (dB)	<-9.9	<-10	<-9
S21 (dB)	6.3-9.3	17-21	6.1-7.8
NF (dB)	4-9	2.5-4.5	4-5
IIP3 (dB)	-6.7	-5.5	-2
Power (mW)	9	27	7.6
Supply (V)	1.8	3	1.8
Technology	0.18 μ m CMOS	0.18 μ m SiGe	0.18 μ m CMOS
Topology	Chebyshev filter based(CS)	LC ladder filter based(CE)	Butterworth filter based(CG)

Table 3.1 Comparison of Wideband LNA Performance

