

第二章

3-5-GHz 超寬頻系統低雜訊放大器的設計

2.1 概要

本章提出了一個低功率、低雜訊，結合窄頻低雜訊放大器和電阻並聯回授的寬頻放大器，適用的頻帶是 3-5GHz 的超寬頻系統。使用的製程是台積電 0.18um 互補金屬氧化半導體製程。電路設計的原理是根據第一章所介紹的方法。製程、電路設計原理、電路模擬結果、佈局考量在以下都有詳細地敘述。

2.2 場效電晶體的雜訊源

1. 通道熱雜訊：此雜訊是由電子的熱運動所產生，和絕對溫度成正比，一般等效成輸出並聯雜訊電流，其功率頻譜密度： $\overline{(i_d^2 / \Delta f)} = 4kT\gamma g_{d0}$ ，其中 g_{d0} 為零偏壓時的汲極電導值 [11]。

2. 分佈閘極電阻雜訊：在電晶體的閘極佈局時，必須使用多晶矽層，故存在有閘極多晶矽電阻，所產生的雜訊可視為一般電阻性熱雜訊，電阻值為： $R_g = R_H W / 3n^2 L$ 其中 R_H 為多晶矽片電阻， n 為 multi-finger 的數目，可以利用佈局技巧降低雜訊指數 [11]。

3. 誘導閘極電流雜訊：當電晶體受到偏壓而使通道反轉時，通道內部擾動的電荷會經由電容耦合到閘極產生感應雜訊電流，雜訊功率頻譜密度： $\overline{(i_g^2 / \Delta f)} = 4kT\Delta g_g$ 在短通道效應下 $\delta = 2\gamma$ ， $g_g = (w^2 C_{gs}^2) / 5g_{d0}$ 經研究發現 i_g 和 i_d 有關，因此閘極感應電流可以表示為： $\overline{(i_g^2 / \Delta f)} = 4kT\delta g_g (1 - |c|^2) + 4kT\delta g_g |c|^2$ [11]。

4. 顫抖雜訊：當電晶體在低頻時，主要呈現的雜訊為顫抖雜訊，由於雜訊頻譜密度與 $1/f$ 成正比，又叫做 $1/f$ noise。其發生的原因在於電晶體閘極氧化層與矽基板介面有不連續懸吊的鍵結，當電荷載子於介面移動時，某些載子將被隨機捕捉，然後以此能階釋放，使得汲極電流產生閃爍雜訊。這並無法像熱雜訊一樣輕易地被預測出來，這與氧化層兩矽介面的清潔度有關，隨著不同的 CMOS 製程技術變化。一般而言，顫抖雜訊在頻率大於 1MHz 以上，其影響將遠小於通道熱雜訊，因此在射頻電路製作上往往忽略對整體雜訊的影響 [11]。

2.3 低雜訊放大器基本設計方法

低雜訊放大器的設計目標有三項：雜訊指數的最小化，有足夠的線性度提供所需要的增益，提供穩定的 50 歐姆阻抗匹配從天線端到放大器。以下有幾種常見低雜訊放大器設計架構。

1. Resistive Termination [12] 50 歐姆直接接到共源極放大器輸入端端點，電路架構如圖 2.1 (a) 所示。此種匹配方法最直接，但是會把輸入信號的強度降低、電阻的熱雜訊也會耦合到整個放大器裡面。因為有相當高的雜訊指數，應用在低雜訊放大器設計上相當少。

2. $1/g_m$ Termination 電路架構如圖 2.1 (b) 所示，設計共閘極放大器的轉導 $1/g_m$ 等於輸入阻抗。此種電路架構非常簡單，非常容易達到阻抗匹配。此種設計方法對寬頻系統是個好的選擇因為轉導只受到系統工作頻帶影響。為了設計 $1/g_m = 50$ 歐姆， g_m 的值必須固定在 20 ms。這就意味著電晶體的尺寸必須固定，低雜訊放大器的增益被固定在沒有增加輸出阻抗情況下，通常會再增加一級來拉高整個系統的增益。

共閘極組態的雜訊指數可以表示如下：[12]

$$F = 1 + \frac{\gamma}{\alpha} \quad (2-1)$$

其中 γ 是通道熱雜訊係數、 α 可以表示如下：

$$\alpha = \frac{g_m}{g_{d0}} \quad (2-2)$$

其中 g_m 是轉導、 g_{d0} 是零偏壓的汲極電導。對於長通道裝置， γ 值等於 $\frac{2}{3}$ 、 α 值等於 1。

對於短通道裝置， γ 值大於 $\frac{2}{3}$ 。根據以上的數據再加上 2-1 式，雜訊指數大於 2.2 dB。

因此此架構有兩個缺點，第一有較大的雜訊指數、第二增益無法達到較高。優點是輸入阻抗匹配能夠達到相當寬的頻帶。

3.Shunt-Series Feedback 電路架構如圖 2.1 (c) 所示，輸入端的偏壓點會繫緊輸出端的電壓。由於這個機制，我們無法將整個系統的偏壓點調整到最佳化的情況，增加額外的功率損耗，為了達到所需要的增益。另外，此種架構還有穩定度的問題。

我們可以使用 S 參數矩陣來分析此電路，數學表示式如下：

$$[S] = \frac{1}{\Delta} \begin{pmatrix} \frac{R_f}{Z_0} - \frac{g_m Z_0}{1 + g_m R_S} & 2 \\ 2\left(1 - \frac{g_m R_f}{1 + g_m R_S}\right) & \frac{R_f}{Z_0} - \frac{g_m Z_0}{1 + g_m R_S} \end{pmatrix} \quad (2-3)$$

其中 $\Delta = 2 + \frac{R_f}{Z_0} + \frac{g_m Z_0}{1 + g_m R_S}$ 。理想的匹配情況是 $S_{11} = S_{22} = 0$ ，串聯電阻 R_S 可以推導出來

如下：

$$R_S = \frac{Z_0^2}{R_f} - \frac{1}{g_m} \quad (2-4)$$

把 2-4 式帶回 2-3 式可以得到 S 矩陣如下：

$$[S] = \frac{1}{\Delta} \begin{pmatrix} 0 & \frac{Z_0}{R_f + Z_0} \\ 1 - \frac{R_f}{Z_0} & 0 \end{pmatrix} \quad (2-5)$$

從 2-4 式和 2-5 式，只要調整 R_f 和 R_S 到適當的值，系統可以達到非常寬的頻帶和非常平坦的增益。需要注意的地方是 R_S 值不能為負值，否則整個系統會發生震盪。我們可以從 R_S 這個條件推導出 g_m 的最小值如下：

$$g_m \geq g_{m_{\min}} = \frac{R_f}{Z_0^2} = \frac{1 - S_{21}}{Z_0} \quad (2-6)$$

因此一個電晶體滿足 2-6 式必須使用負回授的型式，以上的分析在低頻中是成立的，忽略所有電抗性的效應。在超寬頻系統中，寄生電容、電感效應必須要考慮進去，因為這些寄生效應在高頻會把增益降低、雜訊指數會拉高。除此之外，因為回授的效應，會把整個系統從穩定變到不穩定。必需改進他在高頻增益和雜訊指數的表現，不會去影響整個系統的穩定度。此架構對於超寬頻系統而言，可以提供相當寬的頻帶，但是由於回授的關係，系統的偏壓點並不是最佳的工作點，必須增加額外的功率損耗來換取系統的增益。

4. Inductive Degeneration 電路架構如圖 2.1 (d) 所示，運用源極電感性衰減，在輸入電阻產生一個實部項，可以在雜訊指數上有相當好的表現，但是此設計方法適合在窄頻帶方面，以下有詳細的推導說明。

基本低雜訊放大器串疊架構如圖 2.2 所示，輸入阻抗可以推導如下：

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{g_{m1}}{C_{gs}}\right)L_s = \omega_T L_s \quad (\text{共振時}) \quad (2-7)$$

選取適當的源極電感值和設計適當的截止頻率，可以達到輸入端的阻抗匹配。我們可以

分析圖 2.2 的小信號電路，如圖 2.3 所示， R_g 是閘極電阻、 $\overline{i_d^2}$ 是通道熱雜訊、 $\overline{i_g^2}_{,c}$ 、 $\overline{i_g^2}_{,u}$

分別代表相關和無相關汲極雜訊的閘極雜訊。雜訊因素可以定義如下：

$$F = \frac{\text{Total_output_noise}}{\text{Total_output_noise_due_to_source}} \quad (2-8)$$

為了估計來自電源端的輸出雜訊，我們要先計算輸入級的轉導。輸入端為一個串聯共振網路，轉導可以推導如下：

$$G_m = g_m Q_{in} = \frac{g_m}{\omega_0 C_{gs} (R_s + \omega_T L_s)} = \frac{\omega_T}{2\omega_0 R_s} \quad (2-9)$$

關於 R_s 輸出雜訊的功率密度可以表示如下：

$$S_{a,src}(\omega_0) = S_{src}(\omega_0) \cdot G_{m,eff}^2 = \frac{4kT\omega_T^2}{\omega_0^2 R_s (1 + \frac{\omega_T L_s}{R_s})^2} \quad (2-10)$$

關於 R_f 、 R_g 輸出雜訊的功率密度可以表示如下：

$$S_{a,R_l,R_g}(\omega_0) = \frac{4kT(R_l + R_g)\omega_T^2}{\omega_0^2 R_s^2 \left(1 + \frac{\omega_T L_s}{R_s}\right)^2} \quad (2-11)$$

和汲極雜訊相關的閘極雜訊功率密度可以表示如下：

$$S_{a,i_d,i_g,c}(\omega_0) = \kappa S_{a,i_d}(\omega_0) = \frac{4kT\gamma\kappa g_{d0}}{\left(1 + \frac{\omega_T L_s}{R_s}\right)^2} \quad (2-12)$$

$$\text{其中 } \kappa = \frac{\delta\alpha^2}{5\gamma} |c|^2 + [1 - |c| Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}}]^2, \quad Q_L = \frac{\omega_0(L_s + L_g)}{R_s} = \frac{1}{\omega_0 R_s C_{gs}}, \quad \alpha = \frac{g_m}{g_{d0}} \quad (2-13)$$

和汲極雜訊無相關的閘極雜訊功率密度可以表示如下：

$$S_{a,i_{g,u}}(\omega_0) = \xi S_{a,i_d}(\omega_0) = \frac{4kT\gamma\xi g_{d0}}{\left(1 + \frac{\omega_T L_s}{R_s}\right)^2} \quad (2-14)$$

$$\text{其中 } \xi = \frac{\delta\alpha^2}{5\gamma} (1 - |c|^2)(1 + Q_L^2) \quad (2-15)$$

電晶體 **M1** 的汲極雜訊和 $S_{a,i_d}(\omega_0)$ 成正比，數學式可以表示如下：

$$S_{a,M_1}(\omega_0) = \chi S_{a,i_d}(\omega_0) = \frac{4kT\gamma\chi g_{d0}}{\left(1 + \frac{\omega_T L_s}{R_s}\right)^2} \quad (2-16)$$

$$\text{其中 } \chi = \kappa + \xi = 1 - 2|c| \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma} (1 + Q_L^2) \quad (2-17)$$

修正後的雜訊指數可以表示如下：

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \gamma\chi g_{d0} R_s \left(\frac{\omega_0}{\omega_T}\right)^2 \quad (2-18)$$

$$g_{d0} Q_L = \frac{g_m}{\alpha} \frac{1}{\omega_0 R_s C_{gs}} = \frac{\omega_T}{\alpha \omega_0 R_s} \quad (2-19)$$

把 **2-19** 式代入 **2-18** 式可得：

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \frac{\gamma}{\alpha} \frac{\chi}{Q_L} \left(\frac{\omega_0}{\omega_T}\right) \quad (2-20)$$

由 **2-19** 式可以知道 χ 和 Q_L^2 成正比，如果要得到較小的雜訊因素，我們可以設計特定的

Q_L 值。

2.4 電路設計

圖 2.4 是典型的窄頻串疊式低雜訊放大器，源極端電感用來輸入阻抗還有雜訊的匹配，開極端電感用來阻抗匹配於電源電阻和放大器輸入兩端 [13]。圖 2.5 是低雜訊放大器輸入端的等效小信號模型，是一個串聯共振電路，設計適當的工作點和取適當的電感值，即可以在想要的工作頻率下達到阻抗匹配，即 $R_s = \omega_f L_s$ ，其中 ω_f 是電晶體 $M1$ 的截止頻率， $M1$ 輸入端串聯共振的品質因素可以推導出如下 [11]：

$$Q_{NB} = \frac{1}{(R_s + \omega_f L_s) \cdot \omega_0 \cdot C_{gs}} \quad (2-21)$$

其中 ω_0 代表共振頻率。在典型的低雜訊放大器中，品質因素要高、增益要大、雜訊要低、功率損耗要小。 RLC 串聯共振電路中的品質因素和三分貝頻寬是呈現反比關係，數學式表示如下：

$$BW_{-3dB} = \frac{\omega_0}{Q_{NB}} \quad (2-22)$$

所以圖 2.4 的電路架構並不適合超寬頻系統的設計。

圖 2.6 是本章所提出的寬頻低雜訊放大器架構， R_f 當作並聯回授的電阻， L_{load} 在輸出端當作並聯峰值電感 [14]，電容 C_f 用來交流耦合， $M3$ 和 $M4$ 當作源極隨耦器，用來提供輸出阻抗匹配還有量測使用。 C_1 和 C_2 是交流耦合電容。

圖 2.7 是圖 2.6 輸入端的等效小信號電路， $R_{fM} \left[= \frac{R_f}{1 - A_v} \right]$ 代表 R_f 在輸入端的密勒等效電阻， A_v 是圖 2.6 低雜訊放大器的開迴路電壓增益。從圖 2.6 和圖 2.7 中， R_f 的電阻值比起傳統的電阻並聯回授的電阻值大很多。在傳統的並聯電阻回授中，因為 R_{fM} 決定了輸入電阻，所以 R_f 的電阻值也就被限制住了。但是本章所提出的電路架構，輸入

阻抗是由 $\omega_r L_s$ 所決定。因此回授電阻 R_f 在窄頻低雜訊放大器的一個關鍵作用，就是降低品質因素。圖 2.7 電路的品質因素數學式可以進似如下：

$$Q_{WB} = \frac{1}{[R_s + \omega_r L_s + \frac{(\omega_0 L_g)^2}{R_{fM}}] \cdot \omega_0 \cdot C_{gs}} \quad (2-23)$$

因此可以把窄頻放大器轉換為寬頻放大器。

想要設計一個寬頻放大器涵蓋到我們想要的頻段，我們必須把放大器中心頻率最佳化，選取適當的 R_f 值來決定我們所要的三分貝頻寬，當然 R_f 值還可以作微調，因為會影響到雜訊指數。圖 2.8 和圖 2.9 是模擬寬頻放大器的 S11 史密斯圖，圖 2.8 是有回授電阻 R_f ，圖 2.9 是沒有回授電阻 R_f 。從圖 2.8 圖 2.9 我們可以比較出來，有加了回授電阻 R_f 它的軌跡比較接近史密斯圖的中心，因為史密斯圖的中心點代表 50 歐姆，也就達到了寬頻帶放大器的效果。回授電阻 R_f 也使要在的頻段內讓增益更加平坦和較小的雜訊指數。

2.5 互補金屬氧化半導體製程

本電路所使用的製程是台積電深層 N 型井 0.18 μm ，物理結構如圖 2.11 所示，此製程有一層 poly 層、六層金屬層、使用低 k 值的介電係數。此製程提供了 mim 電容、高 poly 電阻、多重臨界電壓裝置，可以給設計者使用在電源 1.8V 或 3.3V 所使用，適合數位電路、混合信號、射頻電路設計 [3]。

本章所提出的寬頻放大器是應用在 3.1-5-GHz 的頻帶，使用的製程是台積電 0.18 μm 1P6M RFCMOS 製程。把中心頻率最佳化在 3.6GHz 藉由選取適當的 L_s 和 L_g 值，圖 2.6 中 M_1 ($\frac{\text{mW}}{\text{L}} = \frac{50 \cdot 4}{0.18} \mu\text{m}$) 偏壓在 6.87 mA，可以從圖 2.10 中來瞭解為何選取此大小。 M_2 ($\frac{\text{mW}}{\text{L}} = \frac{50 \cdot 2}{0.18} \mu\text{m}$) 尺寸的選取要在功率增益和三分貝頻寬做個適當的選取，

源極隨耦器 M_3 ($\frac{mW}{L} = \frac{48 \cdot 2}{0.35} \mu m$) M_4 ($\frac{mW}{L} = \frac{26 \cdot 2}{0.18} \mu m$) 偏壓在 **4.44 mA**。回授電阻 R_f 模擬的結果取的值為 **2.7K** 歐姆，為了保證能在要的頻帶輸入能夠阻抗匹配，把值微調到 **2.2K** 歐姆。 L_s 、 L_g 、 L_{load} 全部積體化到電路裡面，電感值分別為 **0.886nH**、**3.12nH**、**4.2245nH**。其他元件值如下： $C_1=4.3$ pF、 $C_2=4$ pF、 $C_f=2$ pF、 $R_{load}=80$ Ω 。PAD 效應也有加在輸出輸入端模擬，大概是 **150Ff** 到地。

電路設計流程：先決定 **M1** 尺寸，因為 **M1** 決定了整體電路的雜訊指數，給定初始值 R_{bias} 、 R_f 、 C_f 找出 **M1** 最佳尺寸和偏壓點，再來決定 **M2** 尺寸，由三分貝頻寬和增益來決定 **M2** 的尺寸，決定好 **M2** 尺寸，再來決定 R_f 、 C_f 、 C_1 的值達成輸入阻抗匹配，輸出級設計先決定 **M4** 尺寸決定輸出級電流，再來設計 **M3** 尺寸和 C_2 值達成輸出阻抗匹配。



2.6 模擬結果

電路模擬的模型是晶圓廠提供的 **BSIM3v3** 模型，使用的模擬軟體是安捷倫所提供的 **Advanced Design System**。

圖 2.12 是模擬 **S** 參數的四個參數，分別是功率增益 (**S21**)、輸入損耗 (**S11**)、輸出損耗 (**S22**)、隔絕度 (**S12**)。從圖 2.13 我們可以知道輸入損耗在頻帶 **3** 到 **5 GHz** 都小於負 **10dB**。輸出損耗在頻帶 **3** 到 **5GHz** 皆小於負 **11dB**。功率增益的最大值為 **15.1dB** 在三分貝頻帶 **2.4** 到 **5.2GHz**。隔絕度在頻帶 **3** 到 **5GHz** 皆小於負 **30dB**。工作頻帶是 **2.4** 到 **5.2GHz**。圖 2.13 和圖 2.14 是兩個模擬穩定度參數： K 、 M_u ，由圖我們可以知道在工作的頻帶，兩個係數皆大於 **1**，所以整個電路架構是無條件的穩定，不會振盪。

圖 2.16 是模擬輸出功率對輸入功率，由圖我們知道模擬 **4GHz**，一分貝壓縮點 (**P1dB compression point**) 是負 **23dBm** 在 **4GHz**。圖 2.16 是模擬 **IIP3**，使用 **two-tone** 信號，分別是 **3.995GHz** 和 **4.005GHz**，可以得到 **IIP3** 是負 **9.56dBm**。

圖 2.17 是模擬雜訊指數和雜訊指數最小值，從圖我們可以知道雜訊指數最小值為 2.6dB 在 3GHz，到 4.3GHz 的雜訊指數都小於 3dB，但是到了 5GHz 的雜訊指數升到了 3.8dB，原因是在 4.3GHz 以後頻段的功率增益掉下，造成雜訊指數的上升。

圖 2.18 是 IIP3、一分貝壓縮點、雜訊指數最小值、功率增益最大值對溫度變化的變動性。由圖我們可以知道除了功率增益變化較大，其他變動不大。

圖 2.19 是模擬群體延遲，由圖我們可以知道在 3GHz 到 5GHz，群體延遲大於 2×10^{-10} 。

此電路的佈局是使用 Cadence，如圖 2.20 所示，晶片面積為 0.95 mm^2 。本電路的功率損耗只考慮主電路方面，偏壓電路和輸出緩衝級不予考慮。

2.7 佈局考量

由於佈局時考慮到信號線和電源線的不同，還有流經電流的大小不同，所以走線的寬度大小也有所差別，在 RF Signal 的路徑走線佈局上，盡量採用最短的路徑，避免信號大小的損耗，同時也全部採用 Metal 6，避免 substrate noise 影響信號。走線的角度也都採用 45 度角，使流經的電流密度能均勻。

電感和其他 device 的距離，保持著最小距離為 50 um，避免互相受到影響。PAD 使用台積電和工研院所共同開發，適用於 TSMC 0.18 um Logic，Mixed-Signal/RF 1P6M，以及 1P6M+ Salicide 1.8V/3.3V CMOS Processes。

On Wafer 量測，要到 NDL 高頻量測中心(HFTC)量測，所以 PAD 的擺放位置要依照他那邊所給的 Layout Rule [15] 來擺放，否則探針無法擺放，無法量測。

2.8 測量考量

量測是 on wafer 量測，所以不需要考慮 bond wire 效應，所以模擬時只要把 PAD 效應考慮進去模擬，大約估計是 150fF 到地的電容效應，因為量測儀器的負載為 50 歐姆，所以在模擬時已經加入 50 歐姆模擬。

2.9 測量結果

圖 2.21 是量測 S 參數和雜訊指數的儀器，圖 2.22 是探針位置圖，其中左右兩端的藍色端是 RF 信號輸入輸出端，上下兩端是直流探針提供 VDD 和偏壓，圖 2.23 是量測 P1dB 和 IIP3 的儀器，在使用這些儀器都要先校正過，根據量測者的工作頻率去校正適當的頻率範圍，結果才會準確。

從量測的結果來分析，增益比模擬的結果掉了 3 到 4dB，因為是 substrate loss 的影響。雜訊指數比模擬高的原因可能是電晶體雜訊模型不夠準確。因為輸入和輸出匹配的情況很好，所以有達到寬頻的效果，IIP3 和 P1dB 是用羅德史瓦茲訊號產生器和 Agilent E8254A 量測，量測頻率是 4GHz。



2.10 模擬修正

考慮溫度效應：當初模擬溫度為 17 度，調高到 30 度、走線效應：RF 和 DC GROUND 因為是拉在一起，所以實際上接地時並不是單純的接地，而是外拉一個等效小電感到一個共同的地，萃取的結果大概是 0.5 nH、Probe 非理想的寄生效應：由 Probe 外接到輸出輸入信號時，並不是直接接到 DC block 後接到信號源，而是會經過一小段的小電感，大概估計 1nH，當我們把以上的因素考慮進去，得出的圖形跟我們量測會比較接近，可以得到圖 2.35、圖 2.36、圖 2.37、圖 2.38。非理想效應如圖 2.39 所示

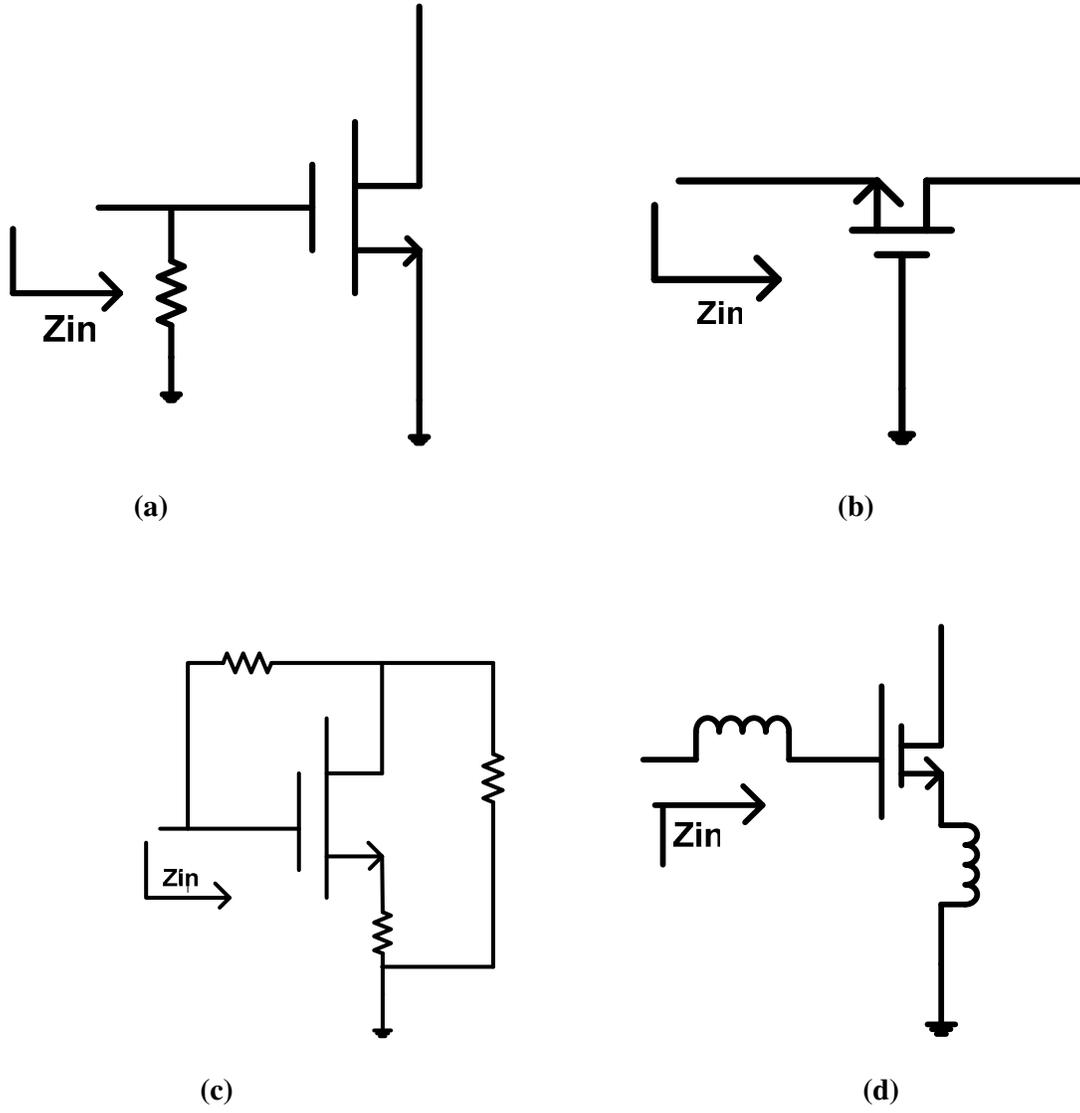


Fig. 2.1 LNA topologies: (a)Resistive Termination (b) $1/g_m$ Termination
(c)Shunt-series Feedback (d)Inductive degeneration

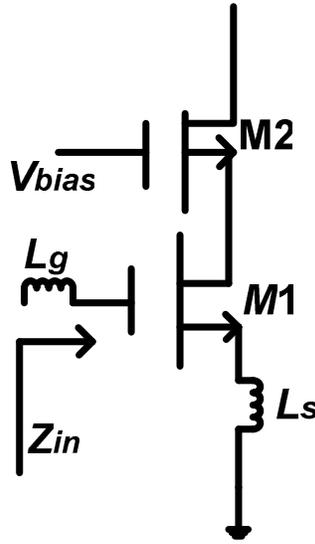


Fig. 2.2 Cascode LNA architecture

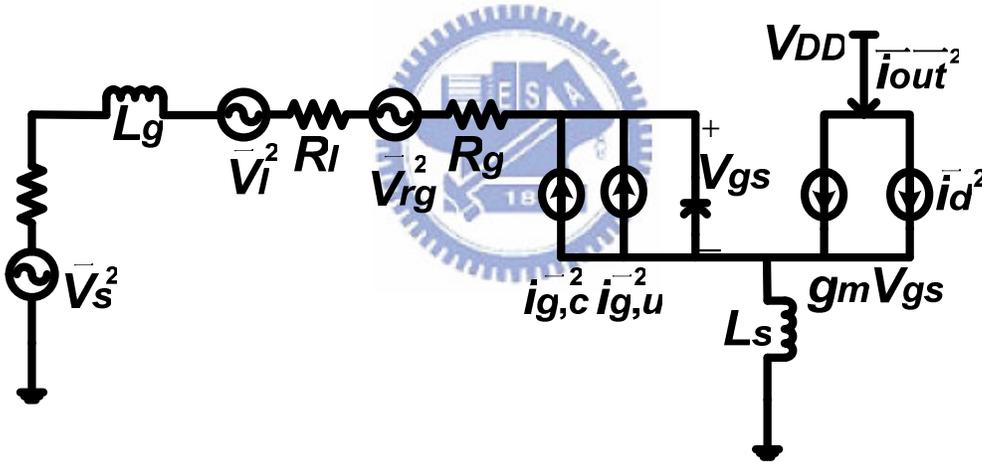


Fig. 2.3 Small-signal model for LNA noise model[12]

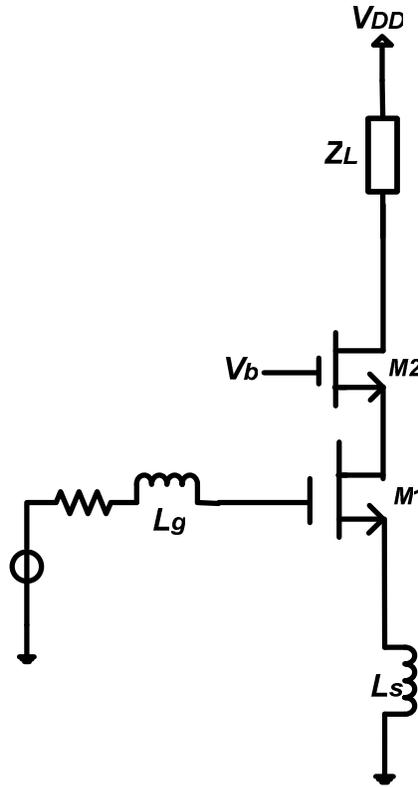


Fig. 2.4 Narrowband LNA Topology[13]

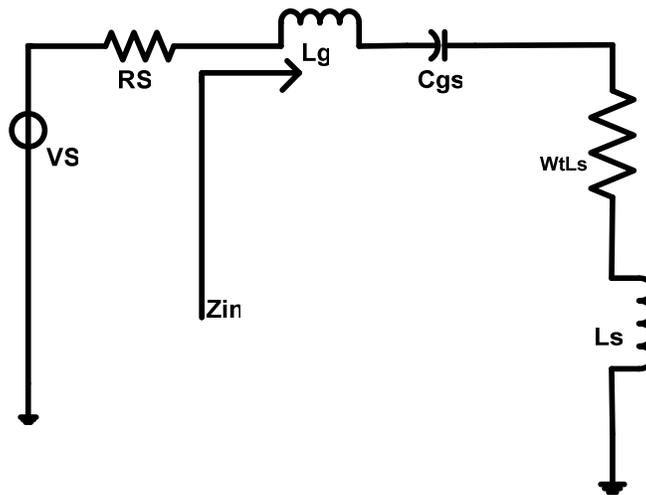


Fig. 2.5 Small-signal equivalent circuit at the input

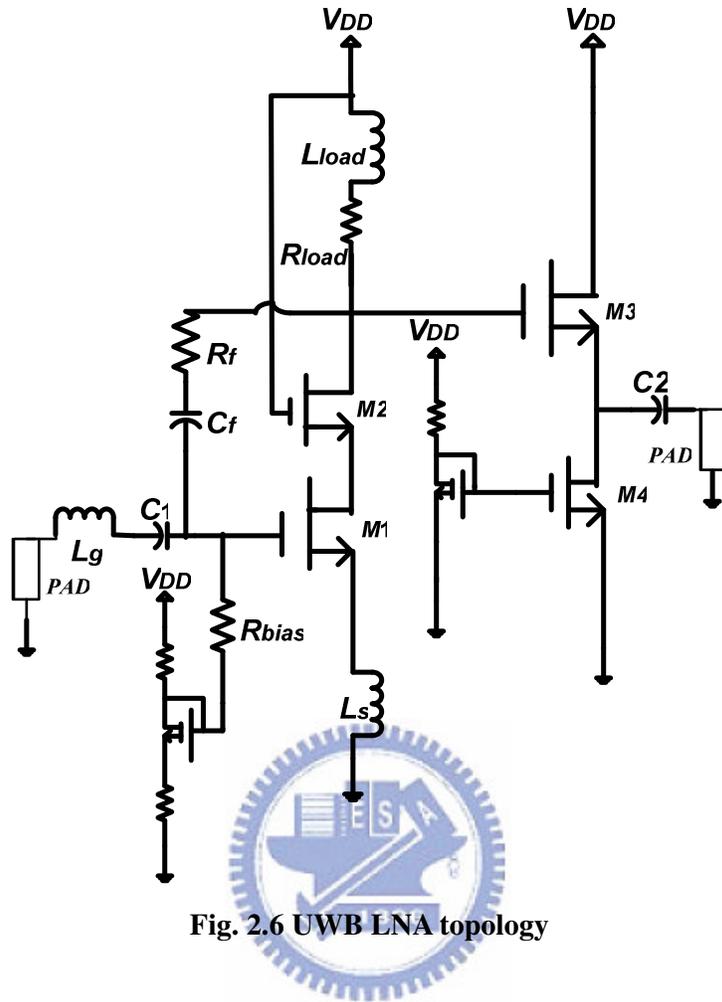


Fig. 2.6 UWB LNA topology

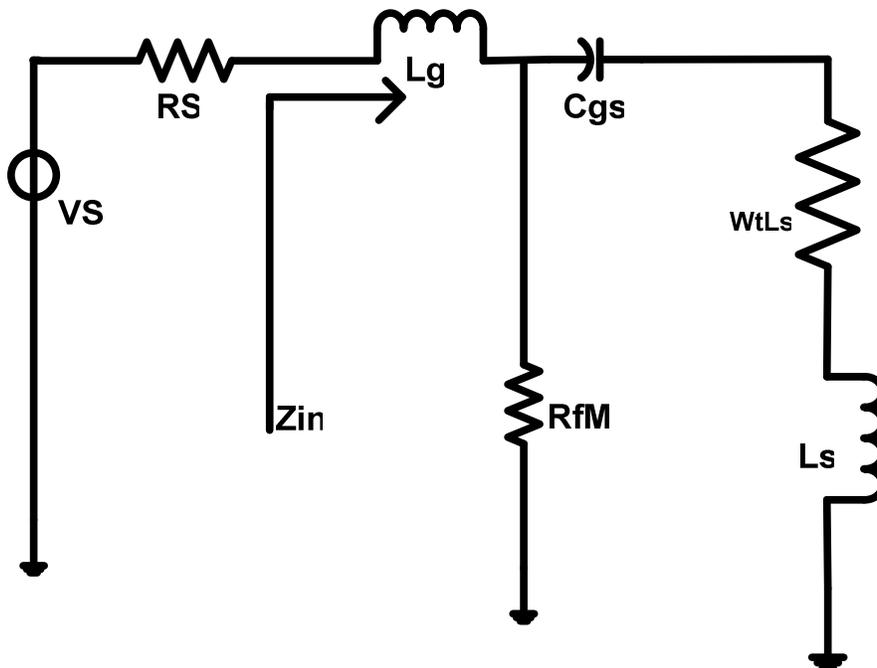


Fig. 2.7 Small-signal equivalent circuit at the input

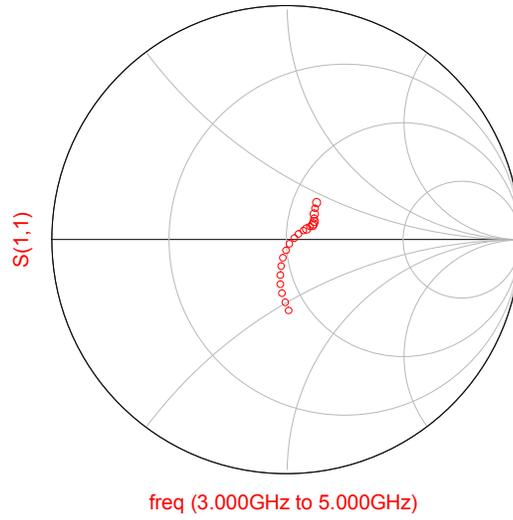


Fig. 2.8 With feedback Resistor R_f

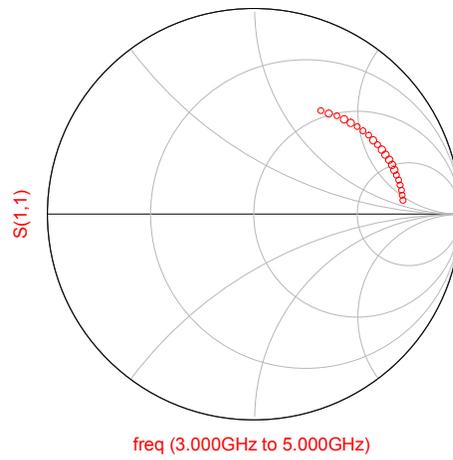


Fig. 2.9 Without feedback Resistor R_f

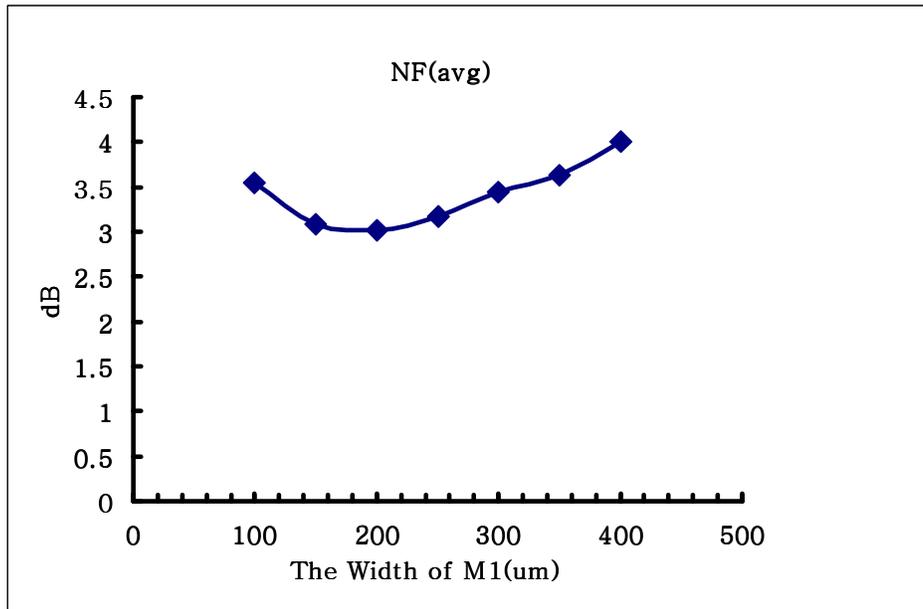


Fig. 2.10 NF (avg) versus the width of M1

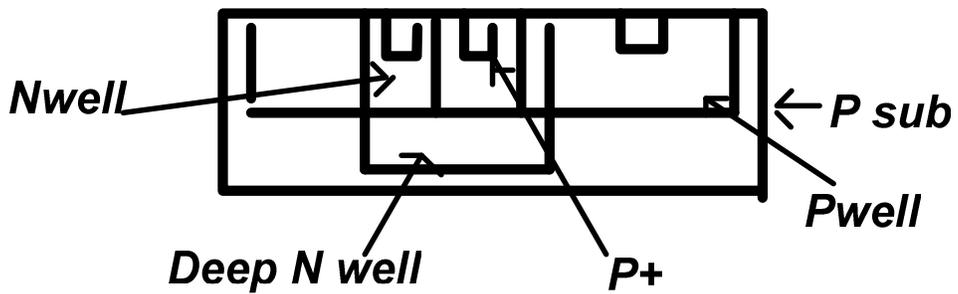


Fig. 2.11 The Deep N-well structure

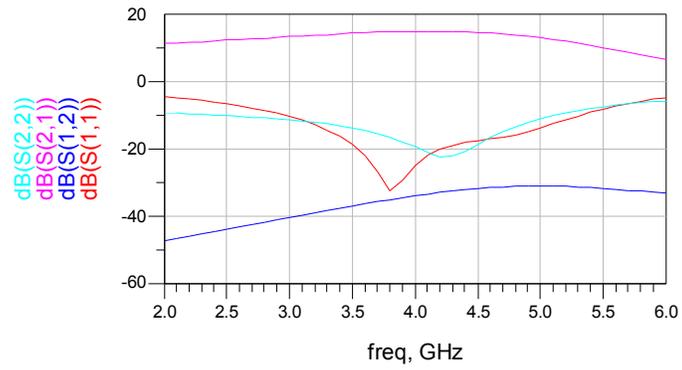


Fig. 2.12 Simulated power gain , input/output return loss , and reverse isolation of the UWB LNA

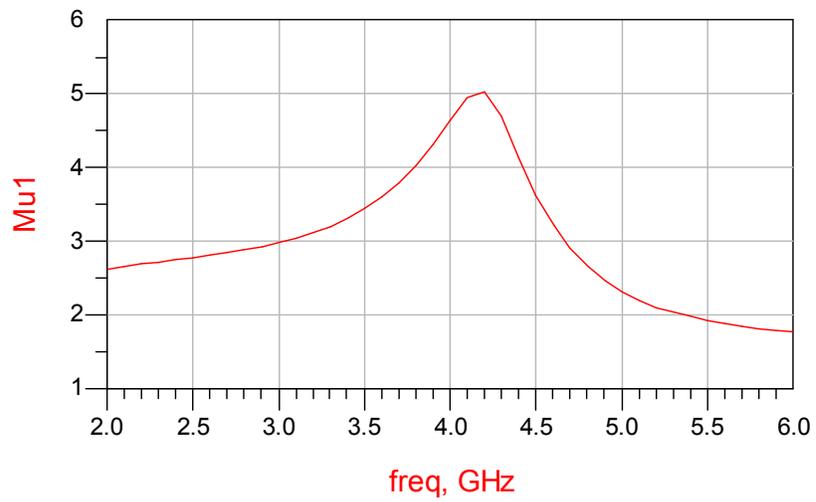


Fig. 2.13 Stability Factor $M_u > 1$

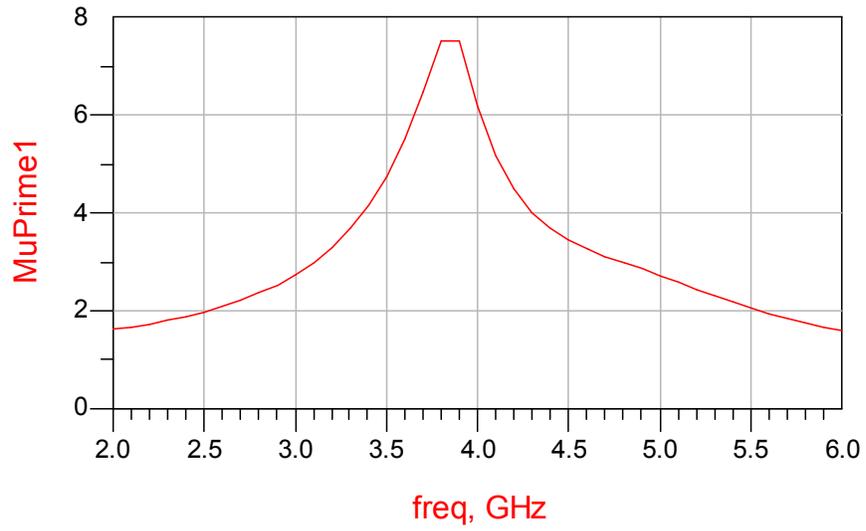


Fig. 2.14 Stability Factor $K > 1$

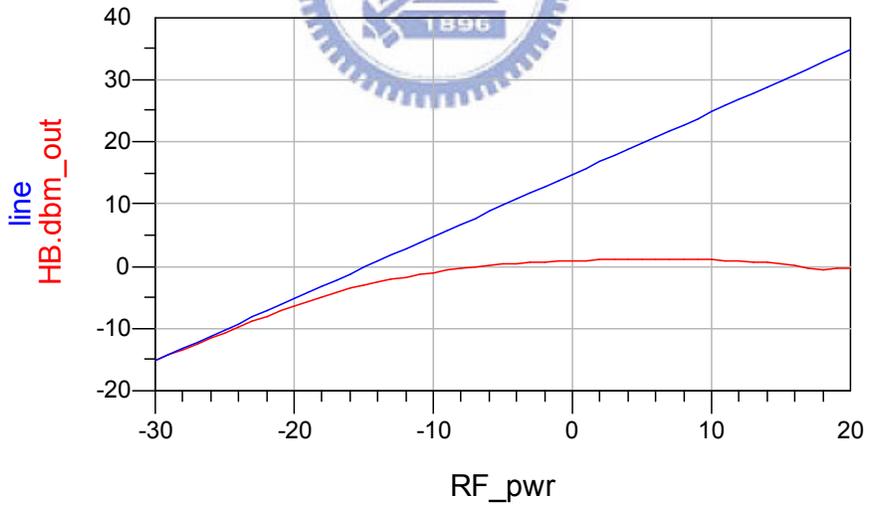


Fig. 2.15 Output power versus Input power

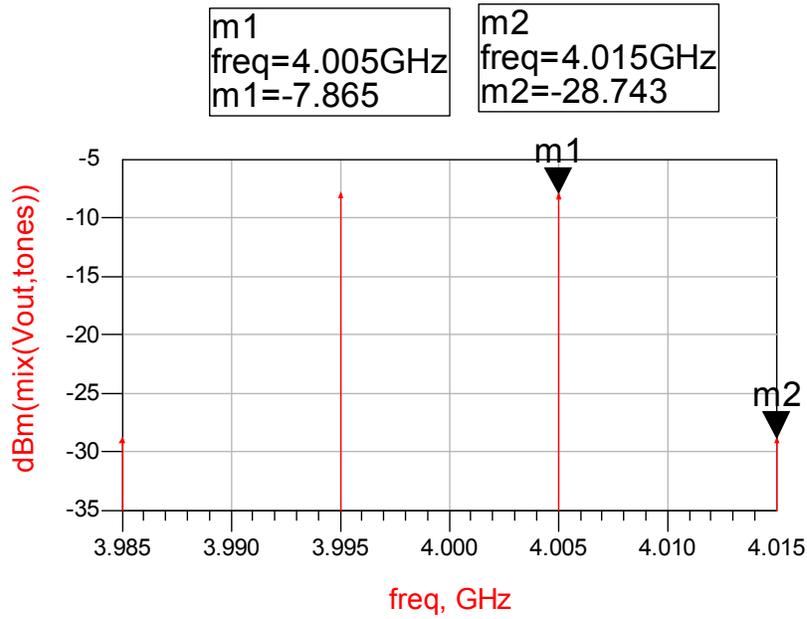


Fig. 2.16 Two-tone test Simulation

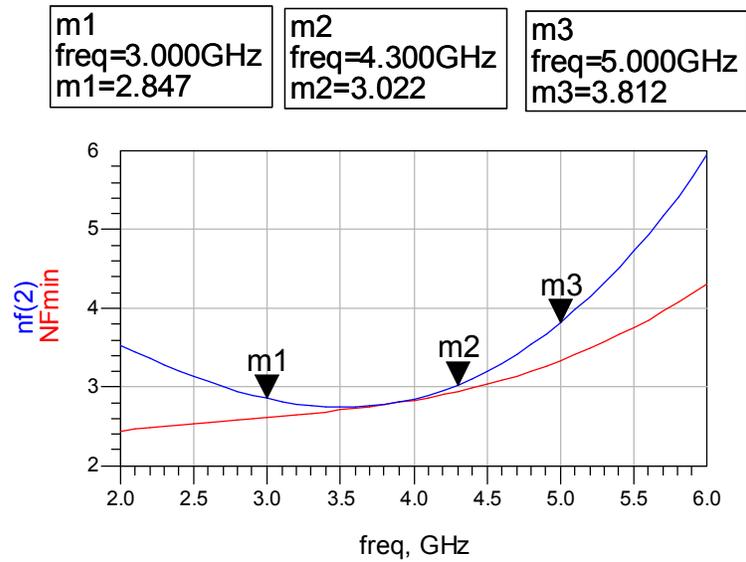


Fig. 2.17 Simulated NF of the UWB LNA

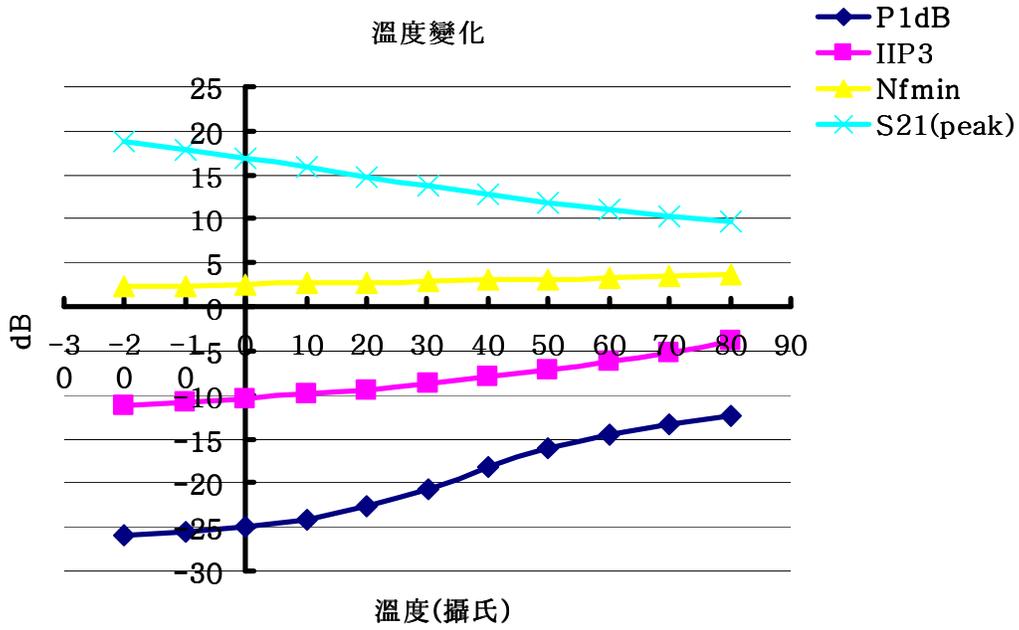


Fig. 2.18 P1dB,IIP3,Nfmin,S21(peak) versus temperature

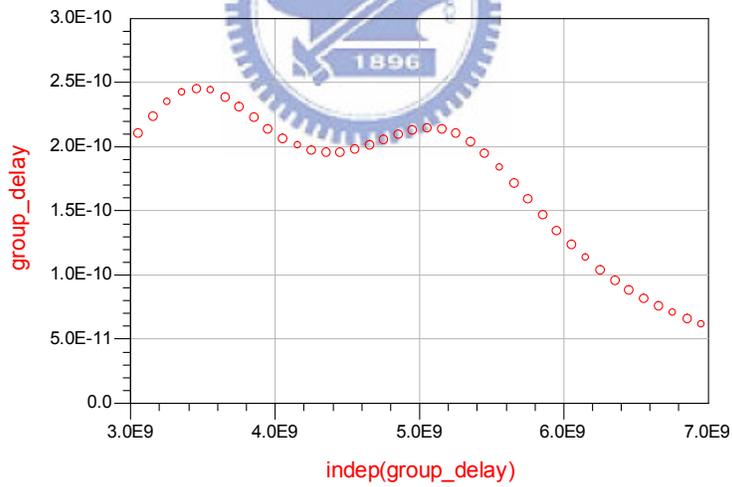


Fig. 2.19 Group Delay

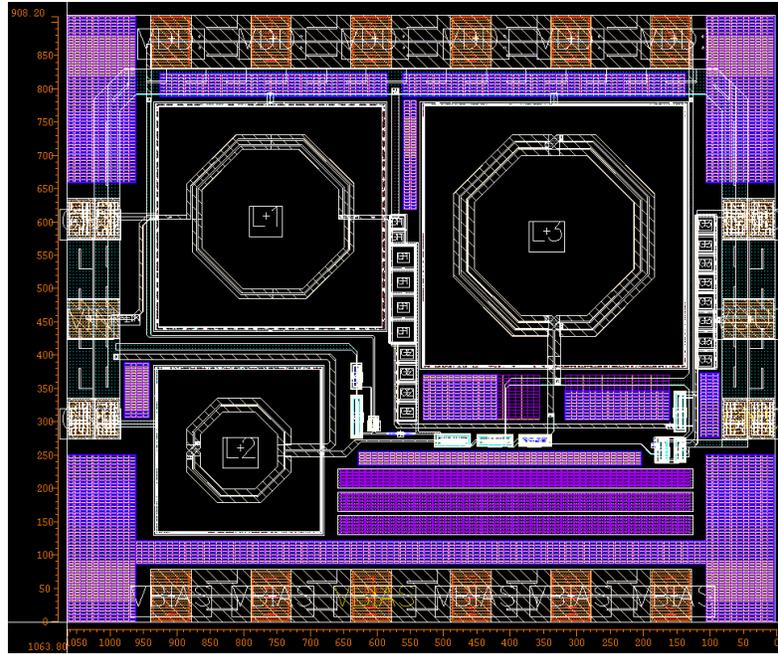


Fig. 2.20 Layout of the UWB LNA chip



Fig. 2.21 Agilent 8510C

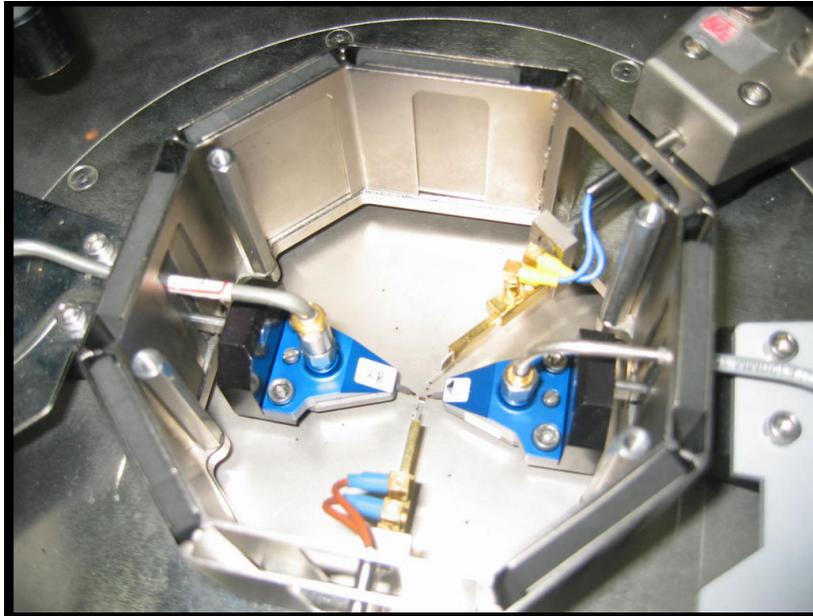


Fig. 2.22 Probe Location



Fig. 2.23 Agilent E8254A

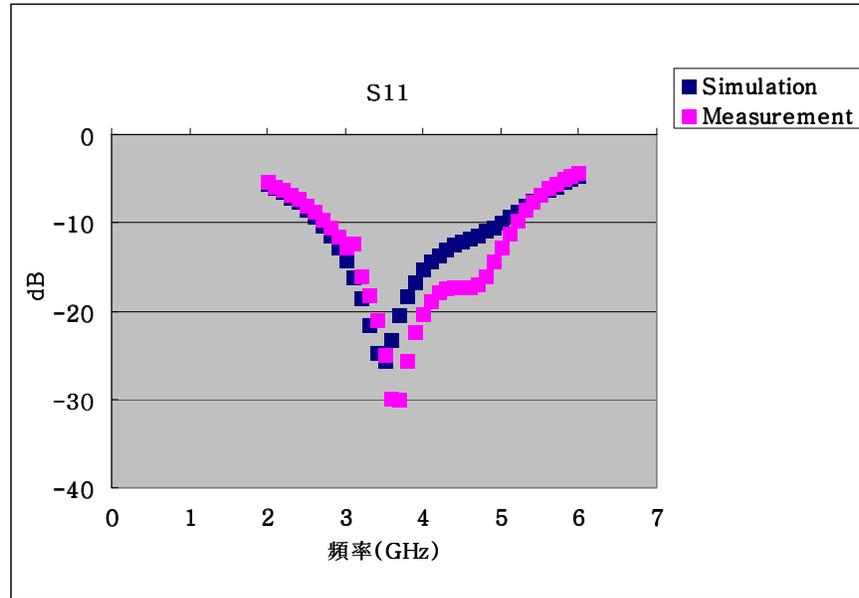


Fig. 2.24 S11

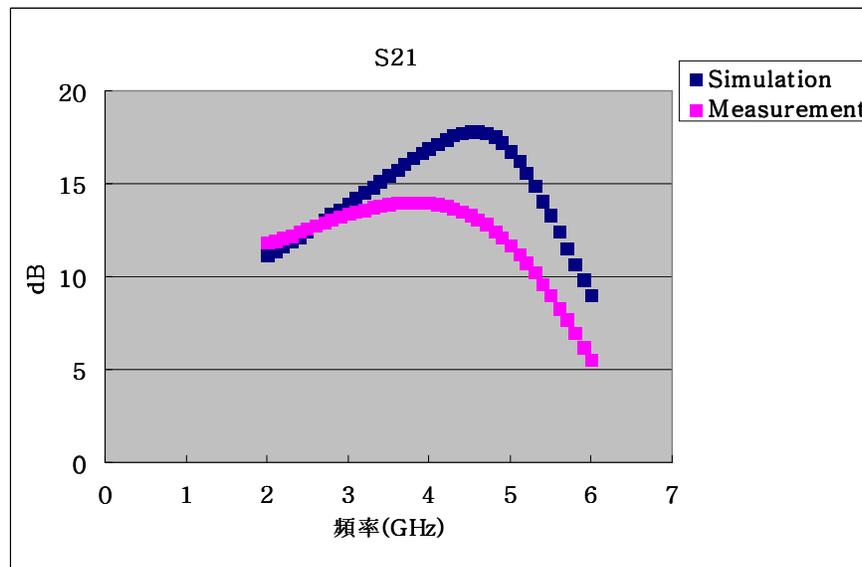


Fig. 2.25 S21

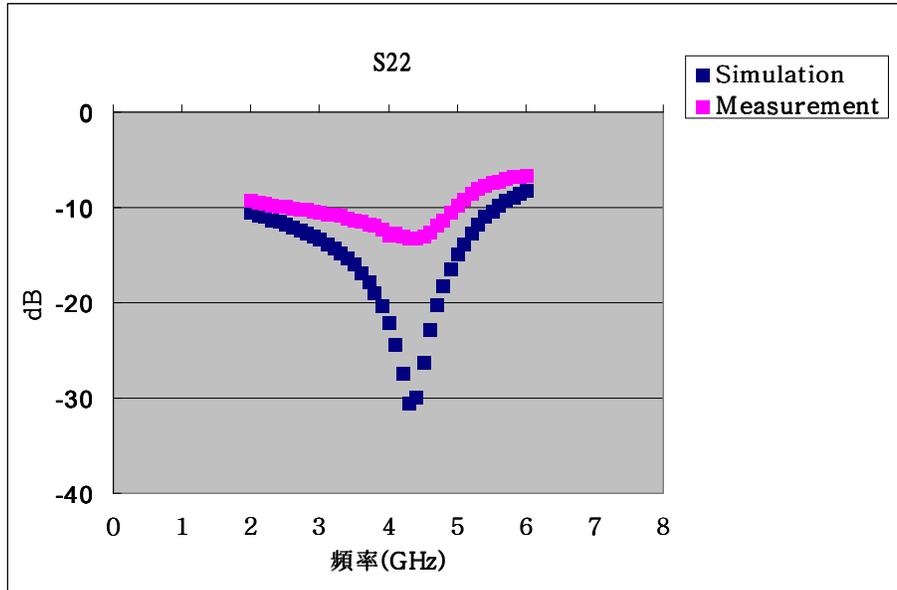


Fig. 2.26 S₂₂

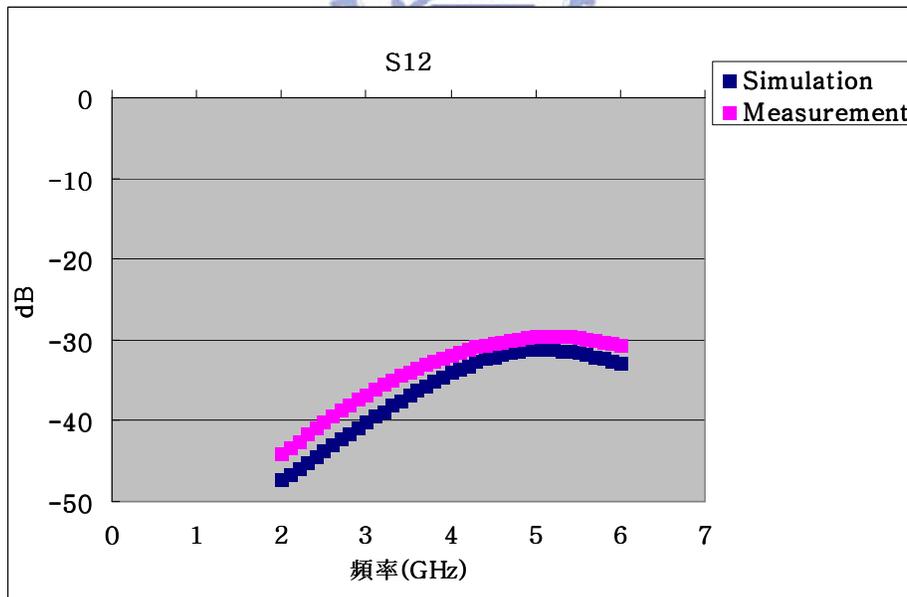


Fig. 2.27 S₁₂

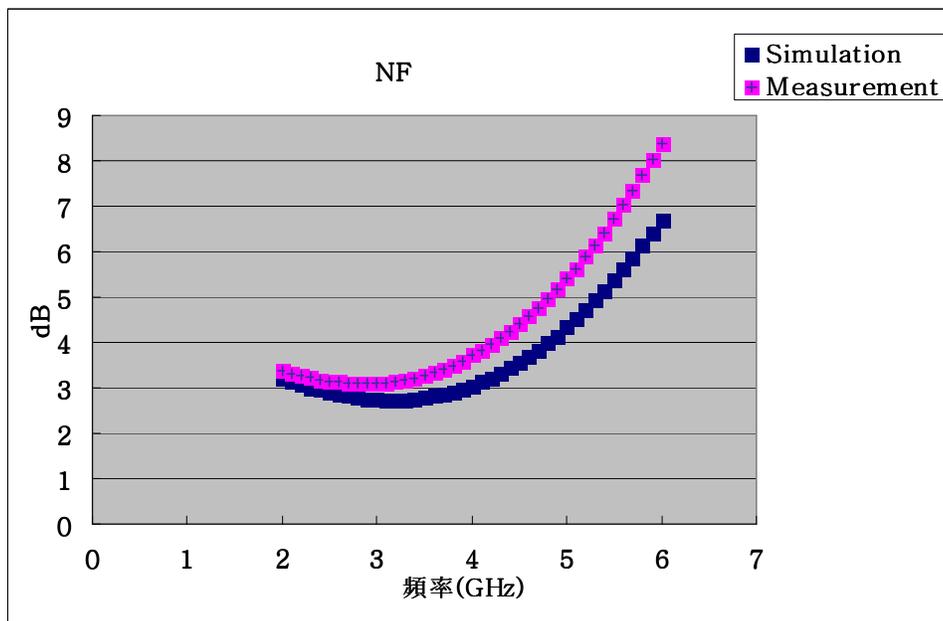


Fig. 2.28 Noise Figure

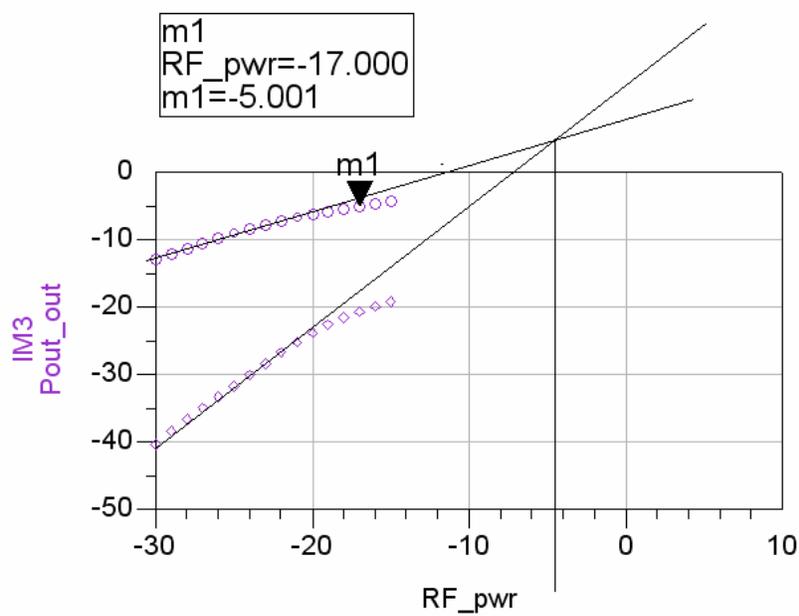


Fig. 2.29 IIP3 and P1dB

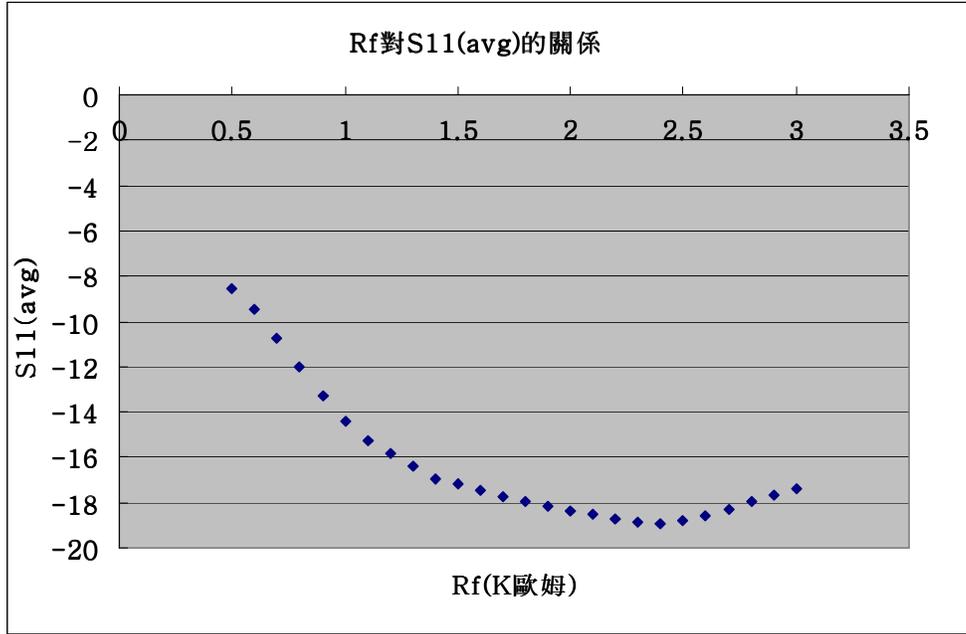


Fig. 2.30 R_f 對 S₁₁ 關係圖

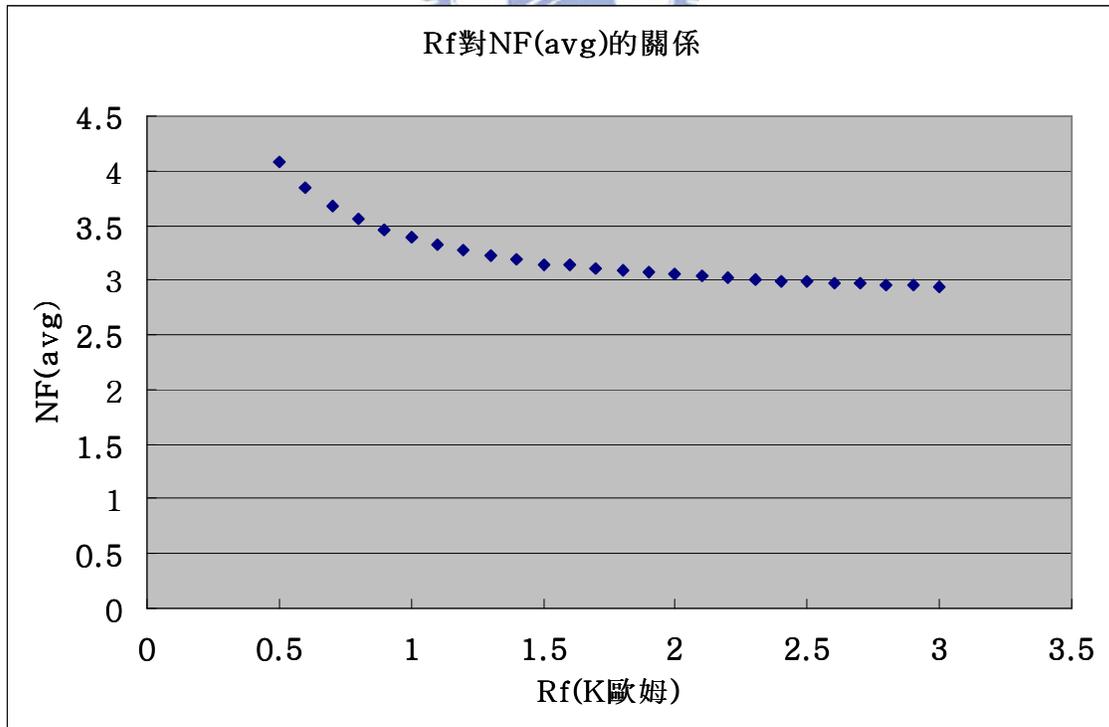


Fig. 2.31 R_f 對 NF 關係圖

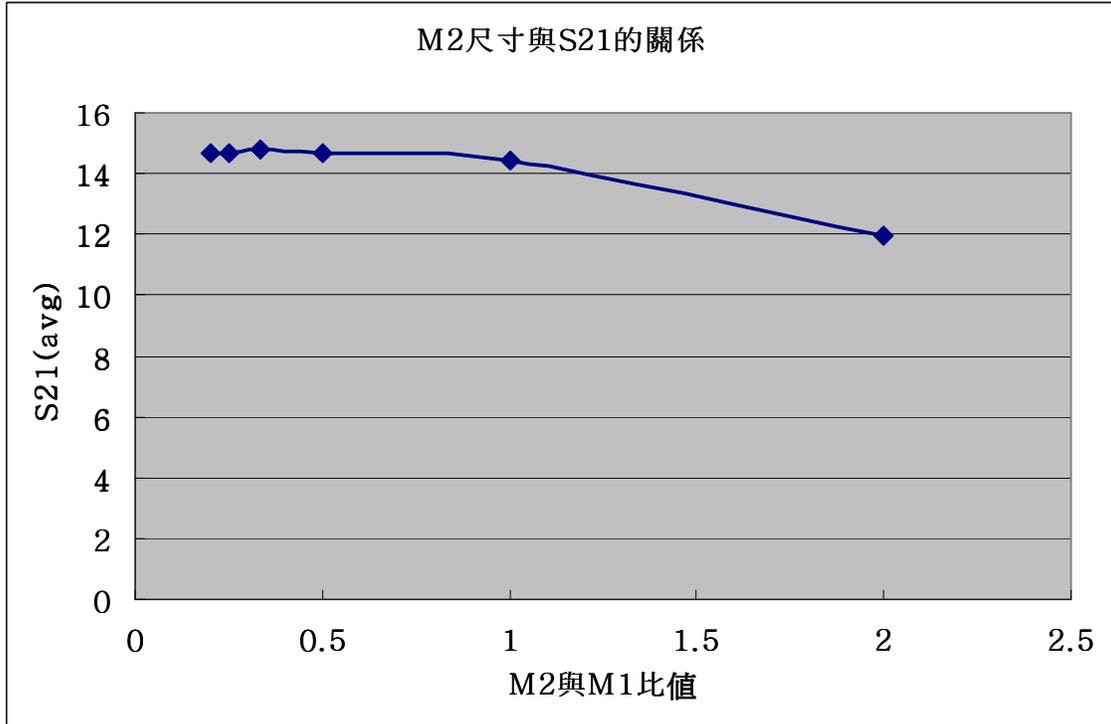


Fig. 2.32 M2 尺寸對 S21 關係圖

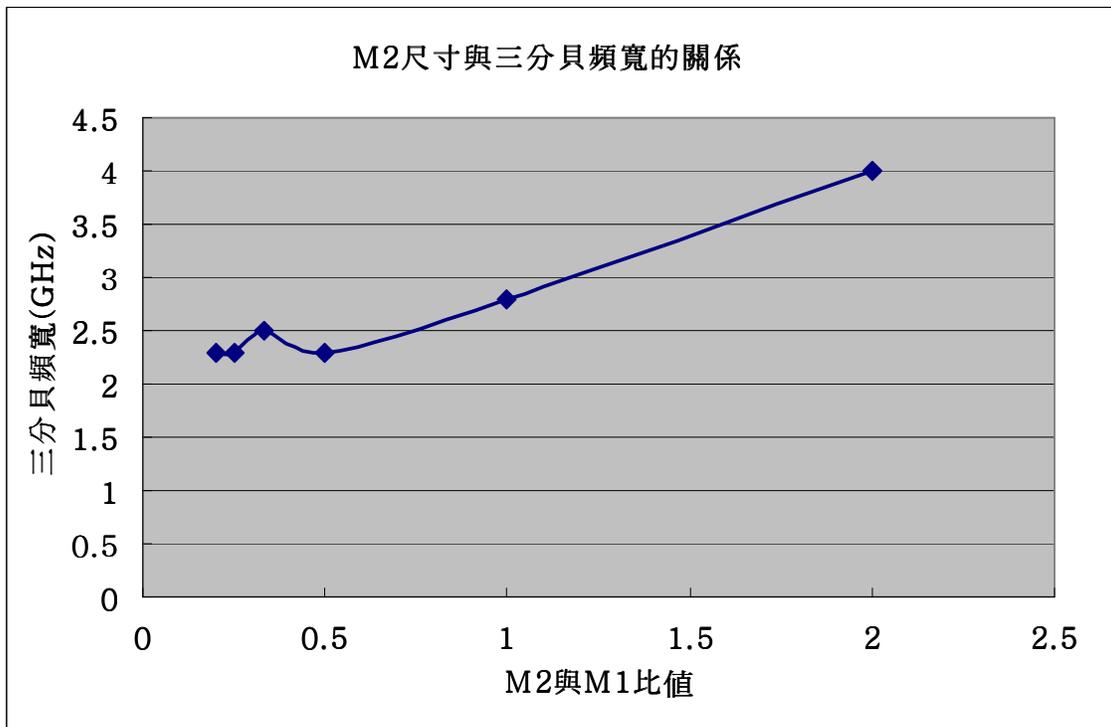


Fig. 2.33 M2 尺寸對三分貝頻寬關係

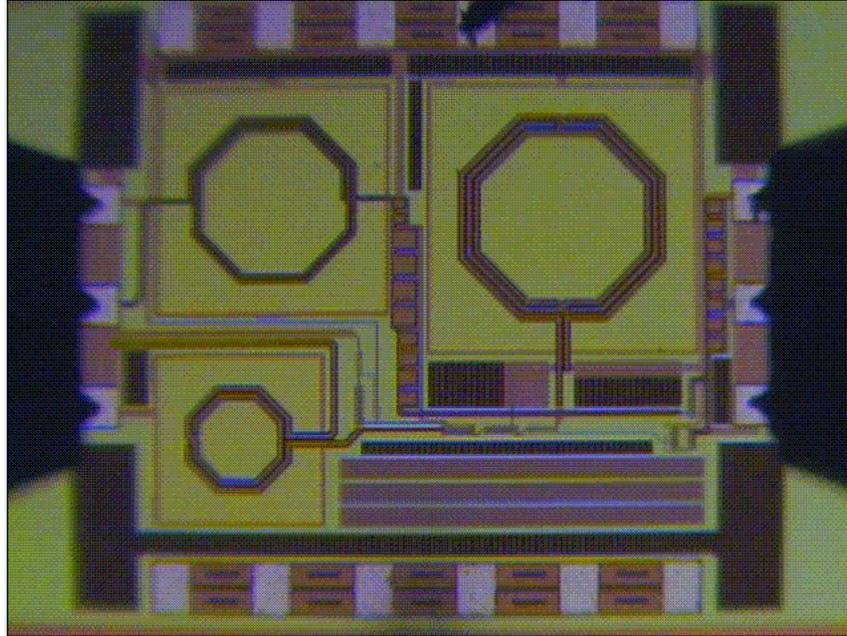


Fig. 2.34 Die Photo

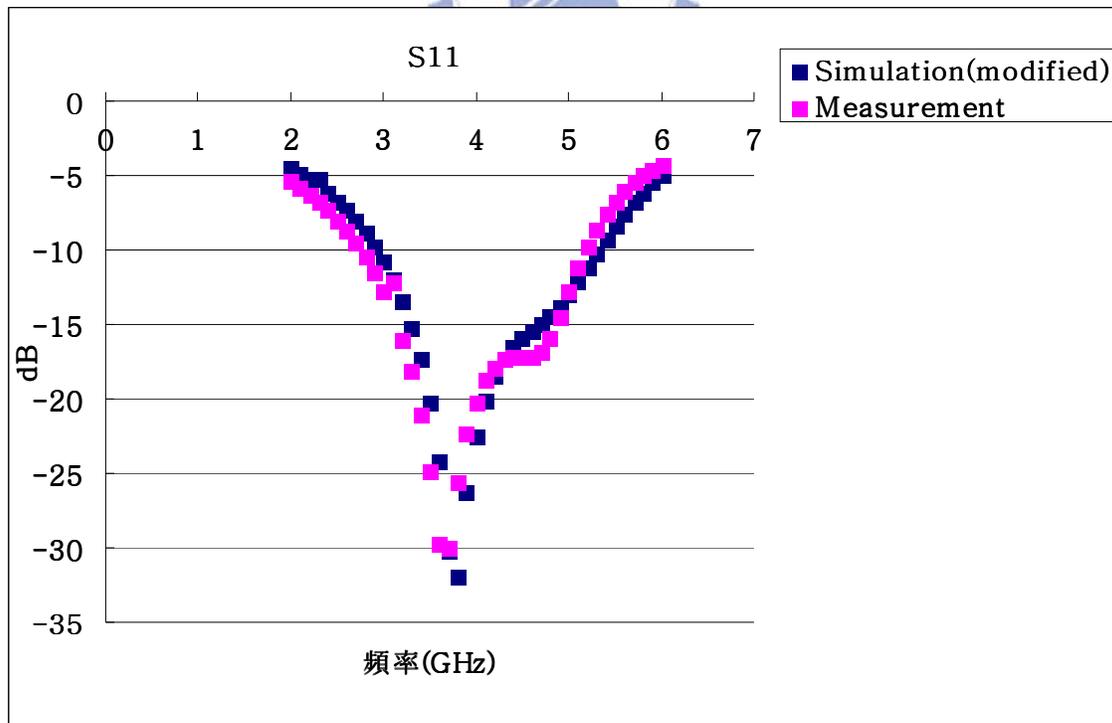
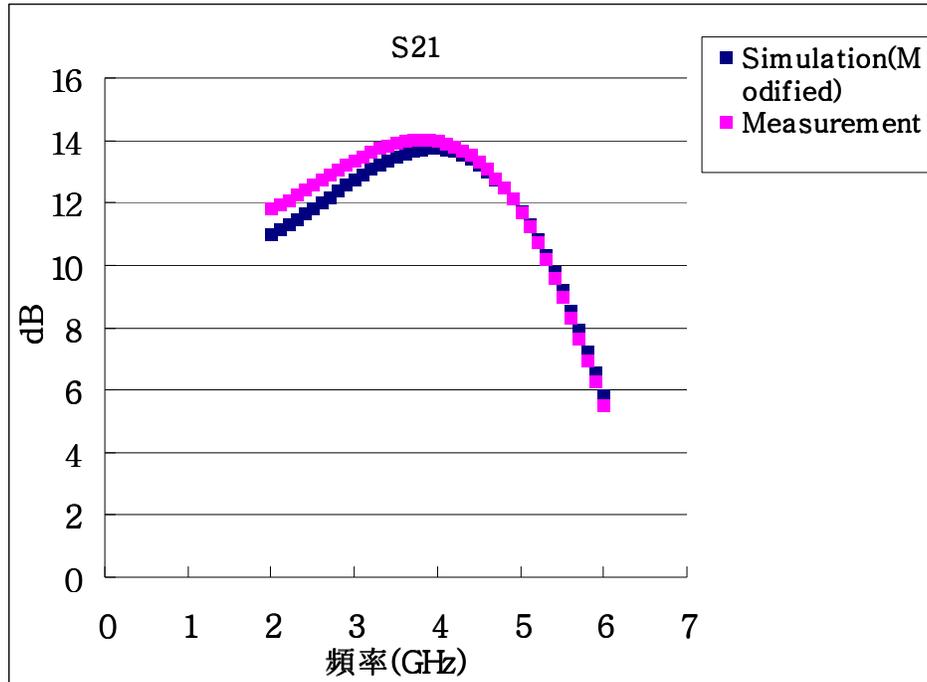
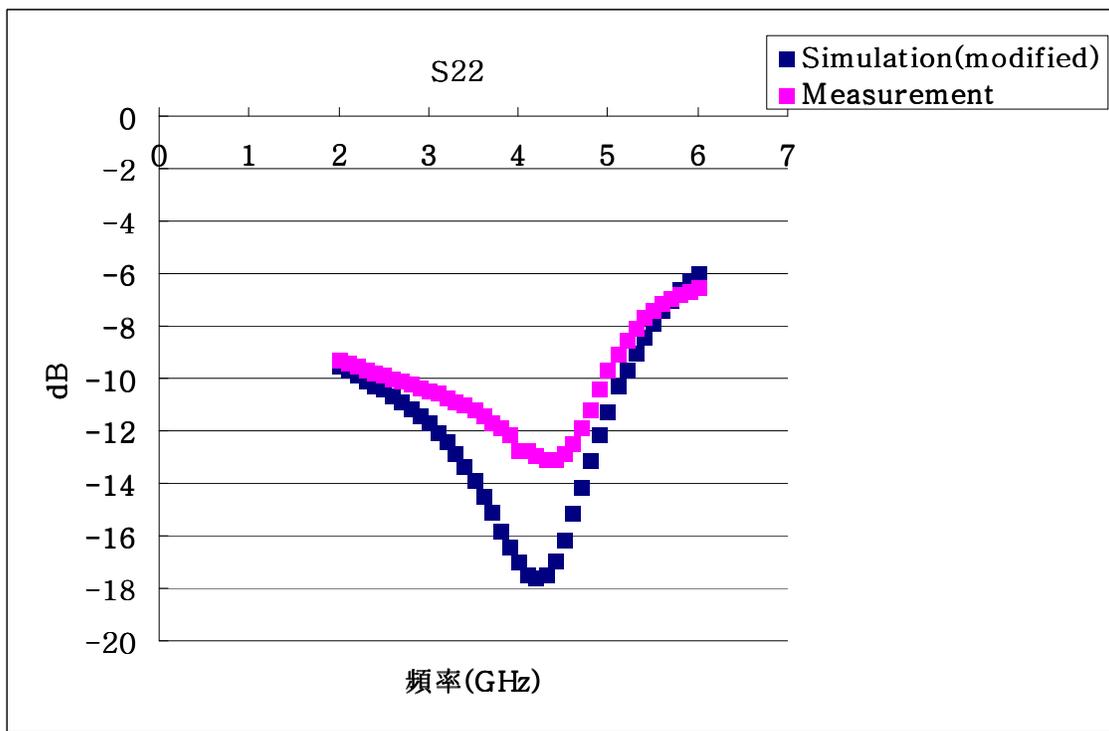


Fig. 2.35 S11(修正)

Fig. 2.36 S_{21} (修正)Fig. 2.37 S_{22} (修正)

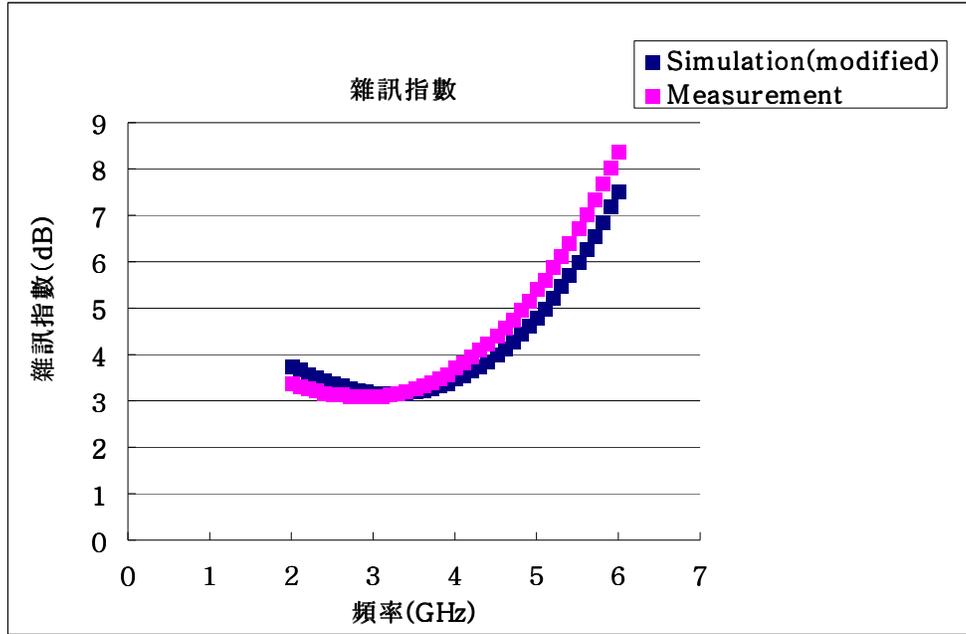


Fig. 2.38 NF(修正)

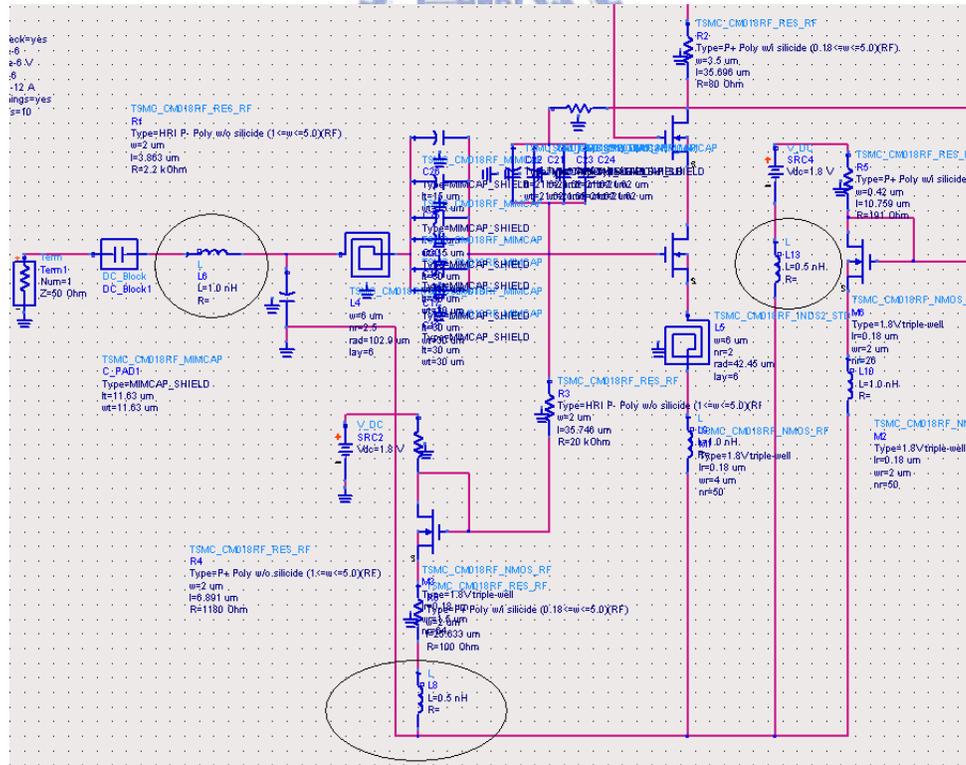


Fig. 2.39 非理想效應

Ref	BW(3-dB) (GHz)	S11 (dB)	S21 (dB)	NFmin* (dB)	IIP3 (dB)	Power (mW)	Topology	Technology
[10]	0.5-5.5	<-7	6.5	5.7	N/A	83.4	Distributed (single-ended)	0.6 μ m CMOS
[11]	0.6-22	<-8	8.1	4.3	N/A	52	Distributed (single-ended)	0.18 μ m CMOS
[12]	0.02-1.6	<-8	13.7	1.9	0	35	Feedback (single-ended)	0.25 μ m CMOS
[13]	1-7	<-7.2	13.1	3.3	-4.7	75	Feedback (differential)	0.18 μ m CMOS
[4]	2.4-9.5	<-9.9	9.3	4	-6.7	9**	LC-filter (single-ended)	0.18 μ m CMOS
[14]	2-10	<-10	21	2.5	-5.5	27**	LC-filter (single-ended)	SiGe
This work	2.4-5.6	<-10	12	3.1	-4.5	14**	Proposed (single-ended)	0.18 μm CMOS

* In pass band **Only core LNA

Table2.1 Comparison of Wideband LNA Performance