

# 第四章

利用 *PHEMT*

與

*MHEMT* 製程

之混頻器設計



## 4.1 前言

在射頻晶片製程技術上，由於 CMOS 製程技術的成本較低且有極佳的系統整合能力，使用 CMOS 製程技術在單一晶片上同時實現射頻前端電路及基頻電路已是最新的趨勢。因此 CMOS 製程技術在無線通信的電路設計中一直佔有很重要的角色，但在各種電路之中，PHEMT 與 MHEMT 製程所具有的「高截止頻率、高電流」等等的特色，是 CMOS 無法取代的，所以在本章中將利用 PHEMT 與 MHEMT 製程設計一些比較高頻率的混頻器。

在本章節中先討論次諧波混頻器的設計[1-6]，次諧波混頻器有兩種 (1)stacked-LO sub-harmonic mixer(2)leveled-LO sub-harmonic mixer。這兩種架構各有優缺點，leveled-LO 架構頻率響應比較好，可是需要比較大的 LO pumping power；stacked-LO 架構頻率響應比較差，但 LO pumping power 比較小。在本章中將使用 stacked-LO 的架構去設計次諧波混頻器。次諧波混頻器是利用 LO 級產生 2LO 頻率的訊號，所以再利用類似的架構去設計頻率倍頻器 (Frequency Doubler)[7]。接著討論利用 MHEMT 製程設計的微混頻器 (Micromixer)，因為是負壓操作，所以電路和一般的微混頻器有所不同。最後討論單正交四相位降頻器 (Single Quadrature Down Converter) 與雙正交四相位降頻器 (Double Quadrature Down Converter)。

## 4.2 實作，Compensated Sub-Harmonic Mixer(PHEMT 0.15 $\mu\text{m}$ )

### 4.2.1 研究動機

在本章中將使用 stacked-LO 的架構去設計次諧波混頻器。除了自我混頻外，訊號路徑的不一致也會造成直流準位偏移(DC offset)所以在此將會利用補償電路去抵消掉 IF 埠的 DC 項，更可進一步解決直流準位偏移的問題。

### 4.2.2 電路架構與設計

補償式次諧波混頻器電路圖如圖4.1所示。此電路總共包括幾個部份(1)正交訊號產生器(2)Marchand Balun(3)stacked-LO 混頻器架構(4)補償電路(5)輸出緩衝級。

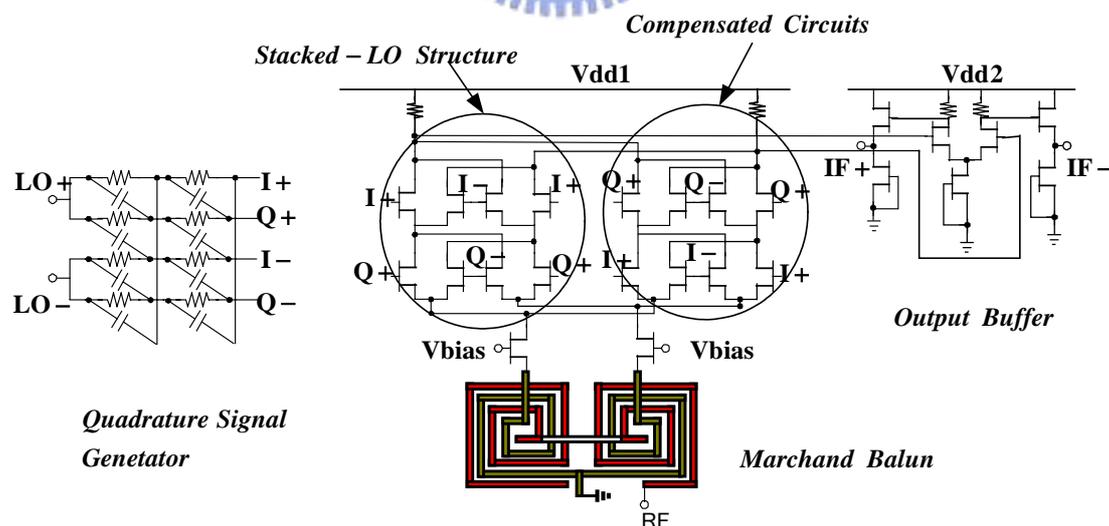


圖4.1 補償式次諧波混頻器

#### (1)正交訊號產生器

LO 級需要 I、Q 訊號，故使用兩級的 RC-CR 多相位濾波器當作正交訊號產生器，因為分別接到 stacked-LO 上下兩級所以必須先接 DC block 再接到主電路，此外還要加上額外的偏壓電路到主電路。

## (2) Marchand Balun

在這裡利用 Marchand Balun 產生 RF 的差動訊號。因為是單端輸入，將使得量測較為簡單。必須將 Marchand Balun 其中的一端接到地當作整個電路的地。因為 RF 輸入級採用被動的 Marchand Balun，因此可以省下一至兩級的電壓壓降(voltage drop)剛好可以彌補 stacked-LO 架構需要比較多電壓壓降的缺陷，也可以達到加快整體電路速度的效果。而在 Marchand Balun 之上要使用一級的共閘極(common gate)電晶體將輸入訊號轉為電流訊號以供 LO 級使用。

## (3) stacked-LO 混頻器架構

如圖 4.2 所示，在直接轉換接收機架構的應用中很在乎 LO 漏到 RF 的訊號，因為 LO 訊號頻率過於接近 RF 訊號頻率，自我混頻將對 IF 埠造成干擾。

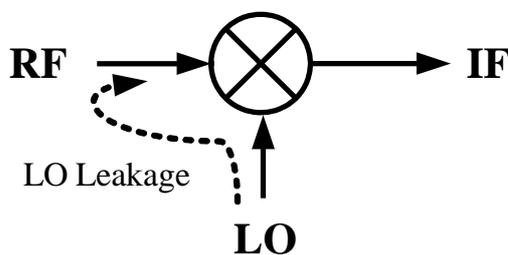


圖 4.2 LO 埠訊號漏到 RF 埠

當使用次諧波混頻器，LO 的頻率只要 RF 頻率的一半，因為 2LO 到 RF 埠隔離度(Isolation)的表現會比 LO 到 RF 埠隔離度好很多，所

以自我混頻的影響自然會變的較小。而且因為 LO 頻率變成一半所以 LO 級也比較容易做電流的切換(current switching)。

stacked-LO 架構如圖 4.1 所示，Gilbert cell 上下兩級疊接在一起，分別輸入 Q+/Q-及 I+/I-於上下兩級 Gilbert cell，利用電流切換(current switching)的操作原理而產生兩倍頻(或是看成  $\sin(\omega t) \cdot \cos(\omega t) = \frac{1}{2} \cdot \sin(2\omega t)$ )，所以 IF 埠訊號的頻率等於 RF 埠訊號頻率減掉兩倍 LO 埠訊號的頻率。

#### (4)補償電路

傳統乘法器如圖 4.3 所示，假設輸入訊號為完美的  $I(\cos(\omega t))$ 、 $Q(\sin(\omega t))$ 訊號，因為兩組訊號在乘法器中的路徑不相等，所以假設路徑比較長的訊號多了相位延遲(Phase Delay= $\phi$ )，所以，

$$\begin{aligned} Z &= \sin(\omega t - \phi) \times \cos(\omega t) \\ &= \frac{1}{2} \sin(2\omega t - \phi) - \frac{1}{2} \sin(\phi) \end{aligned} \quad (4.1)$$

發現輸出端 Z 會因為 X 及 Y 輸入訊號的不對稱而造成輸出端有 DC 項，將使得輸出波形有準位偏移(level shift)。如果準位偏移太大，將可能造成輸出波形被截去而失真。尤其在直接轉換架構其輸出訊號的頻率接近 DC，將會造成輸出訊號的錯誤。

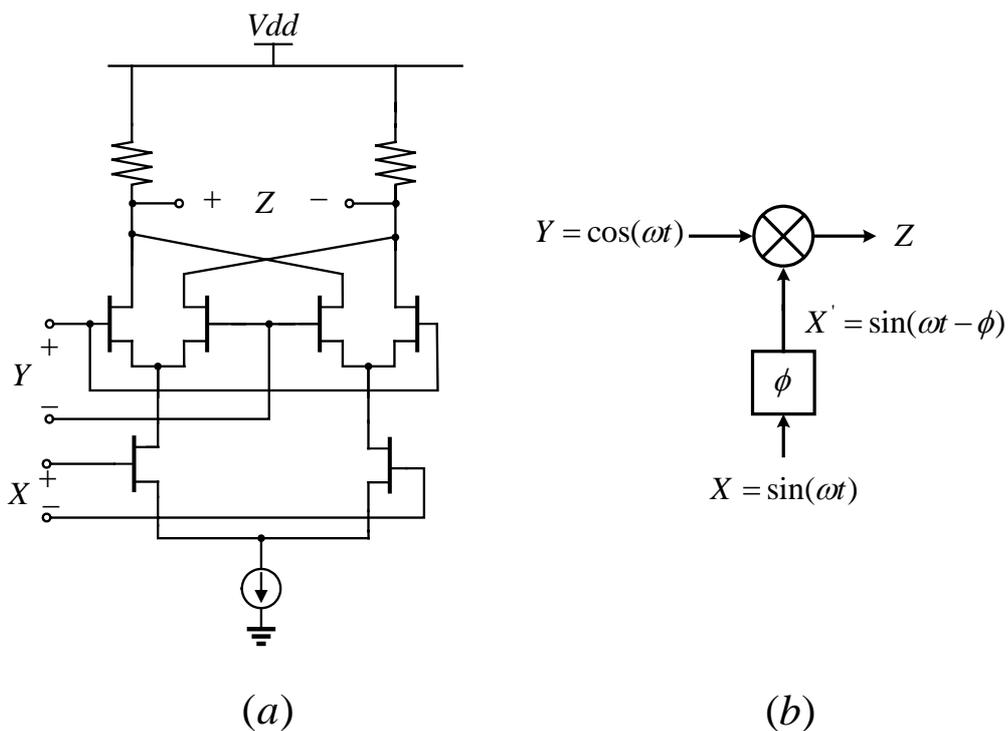


圖 4.3 傳統乘法器(a)電路圖(b)模型

為了解決此問題，所以多採用了一組補償電路，兩組完全對稱的電路將可抵抗相位不一致所造成的直流準位偏移(DC offset)。

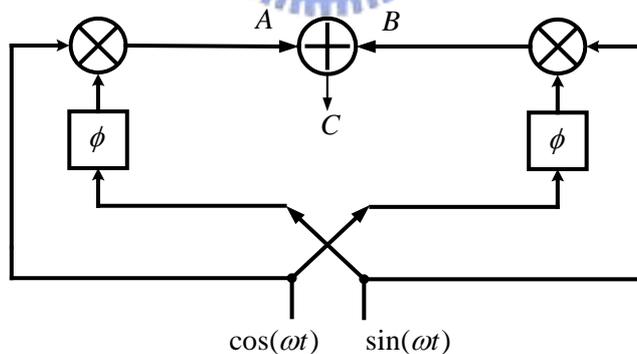


圖 4.4 改良式乘法器模型

將乘法器改良成如圖 4.4 所示，則：

$$\begin{aligned}
 A &= \cos \omega t \cdot \sin(\omega t - \phi) \\
 &= \frac{1}{2}[\sin(2\omega t - \phi) - \sin(\phi)]
 \end{aligned}
 \tag{4.2}$$

$$\begin{aligned}
 B &= \sin(\omega t) \cdot \cos(\omega t - \phi) \\
 &= \frac{1}{2}[\sin(2\omega t - \phi) + \sin(\phi)]
 \end{aligned} \tag{4.3}$$

$$C = A + B = \sin(2\omega t - \phi) \tag{4.4}$$

本來 A 和 B 端分別有 DC 項，可是剛好差一個負號，因此可以抵消掉。如此一來輸出端就不會受到直流準位偏移的干擾。

最後 IF 埠的訊號輸出如式 4.5 所示。

$$\begin{aligned}
 &\cos \omega_{RF} t \times \sin(2\omega_{LO} t - \phi) \\
 &= \frac{1}{2} \sin(\omega_{RF} t + 2\omega_{LO} t - \phi) - \frac{1}{2} \sin(\omega_{RF} t + \phi)
 \end{aligned} \tag{4.5}$$

### (5)輸出緩衝級

因為在 RF 輸入級使用了 Marchand Balun 產生差動訊號，訊號經過 Marchand Balun 會有轉換增益的損失，所以在電路最後面加上輸出緩衝級，以增加轉換增益，此輸出緩衝級是利用簡單的差動放大器完成之。根據 PHEMT 電晶體的特性，將當作電流源的電晶體源極 (Source) 與閘極 (Gate) 接在一起。為了增加整體電路對外的驅動能力所以在輸出端接共汲極 (common drain) 電晶體。

### 4.2.3 晶片量測結果

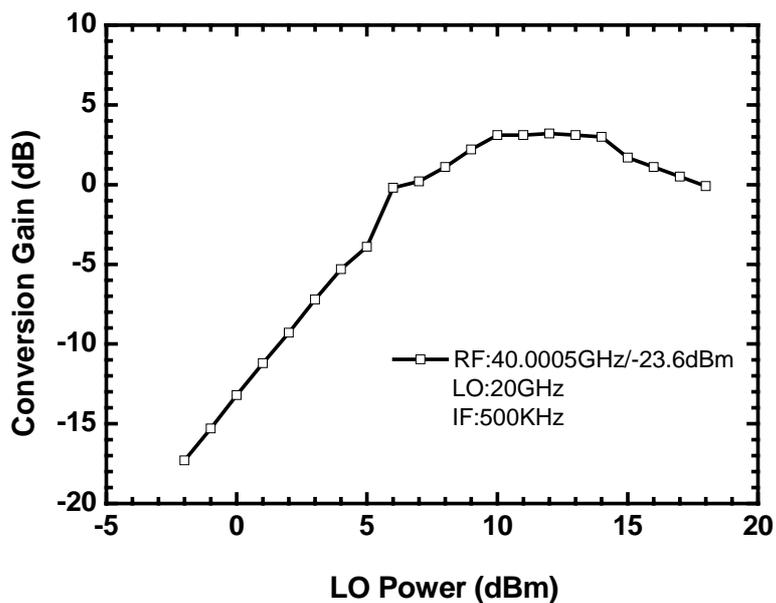


圖4.5 轉換增益對 LO 功率

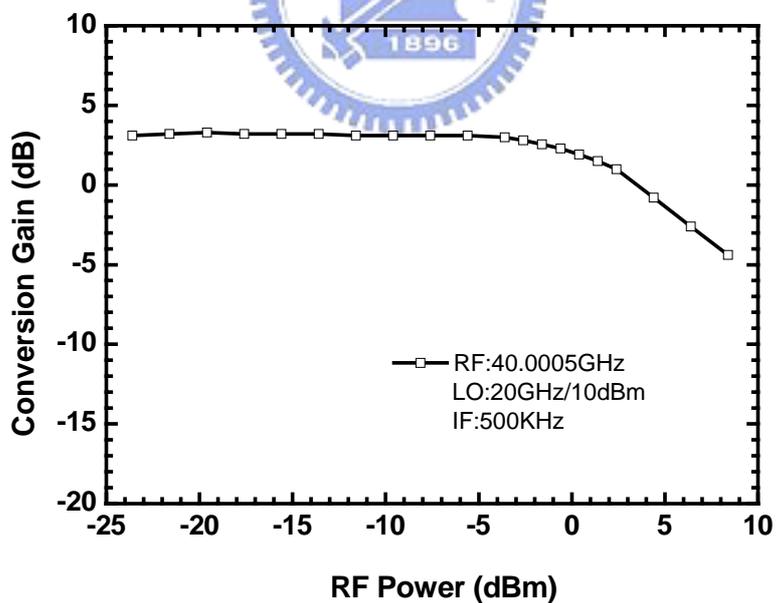


圖4.6 轉換增益對 RF 功率

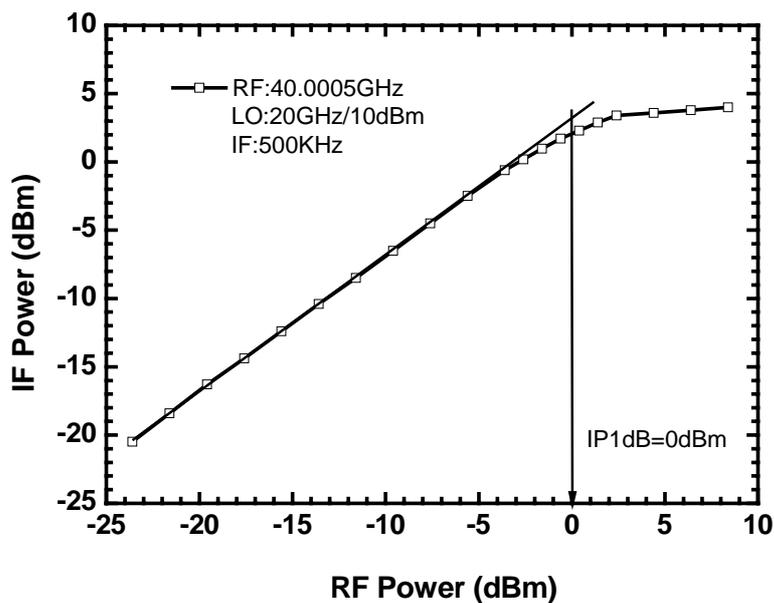


圖4.7 IP1dB 量測結果

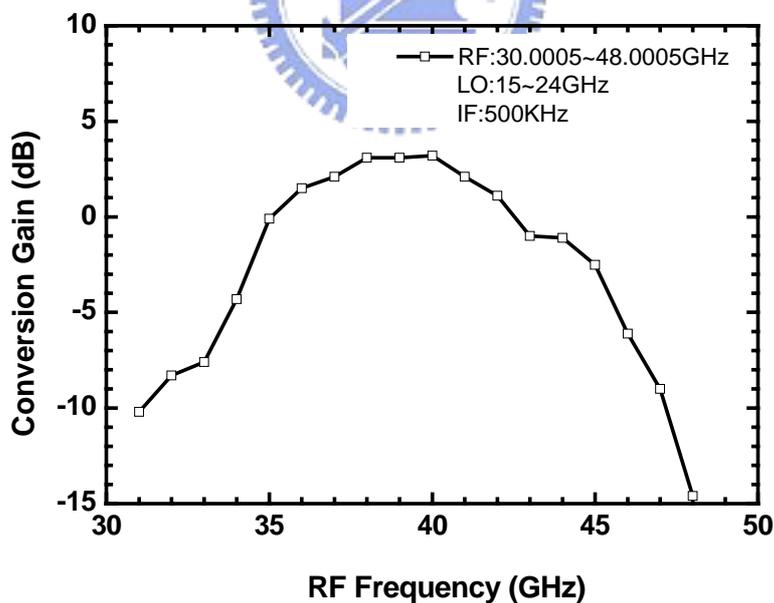


圖4.8 轉換增益對 RF 頻率

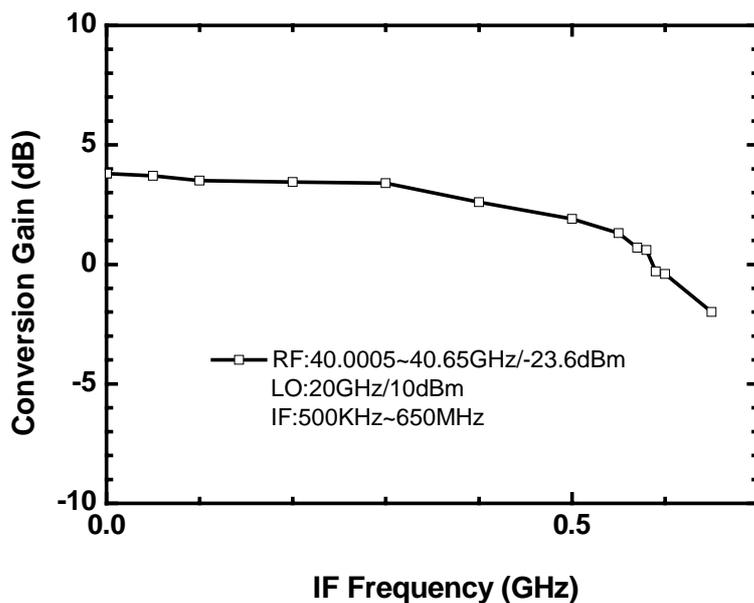


圖4.9 轉換增益對 IF 頻率

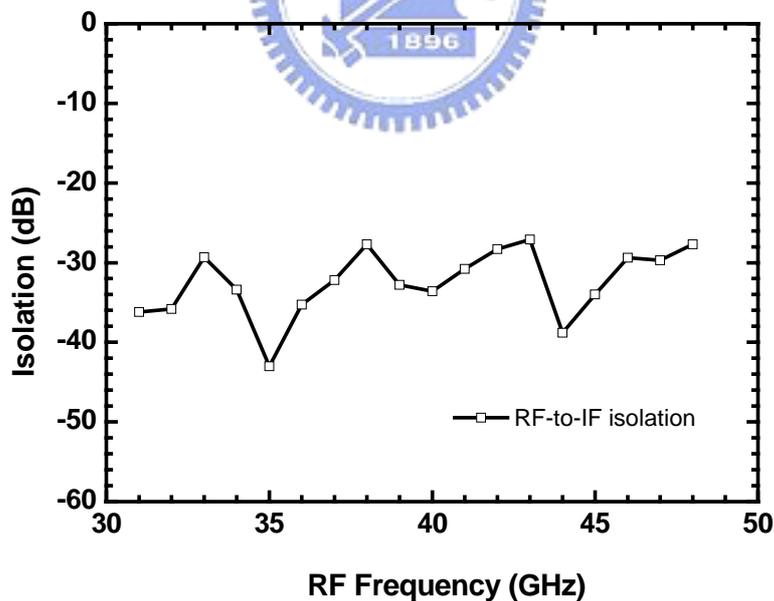


圖4.10 RF 埠到 IF 埠隔離度

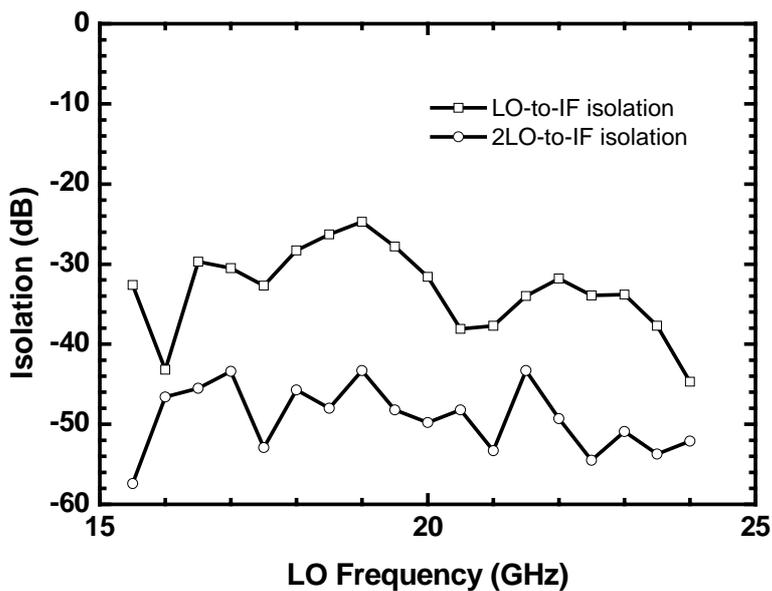


圖4.11 LO、2LO 頻率從 LO 埠到 IF 埠隔離度

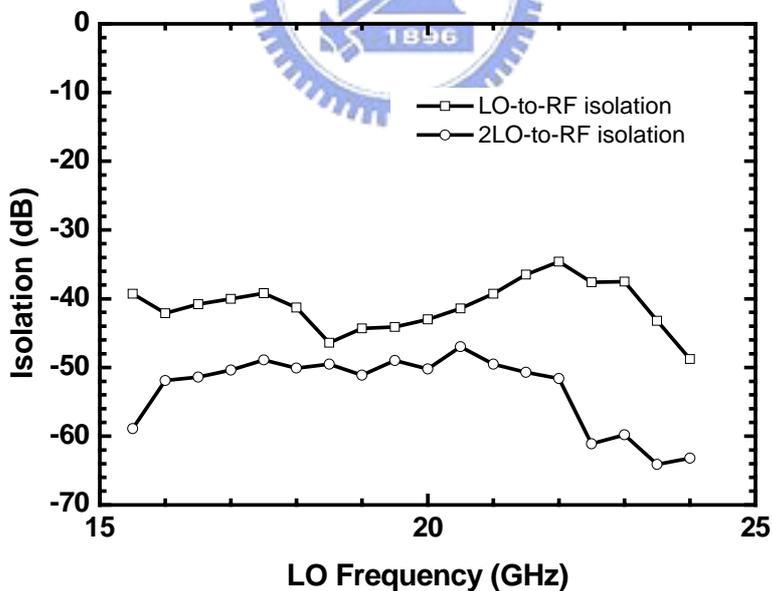


圖4.12 LO、2LO 頻率從 LO 埠到 RF 埠隔離度

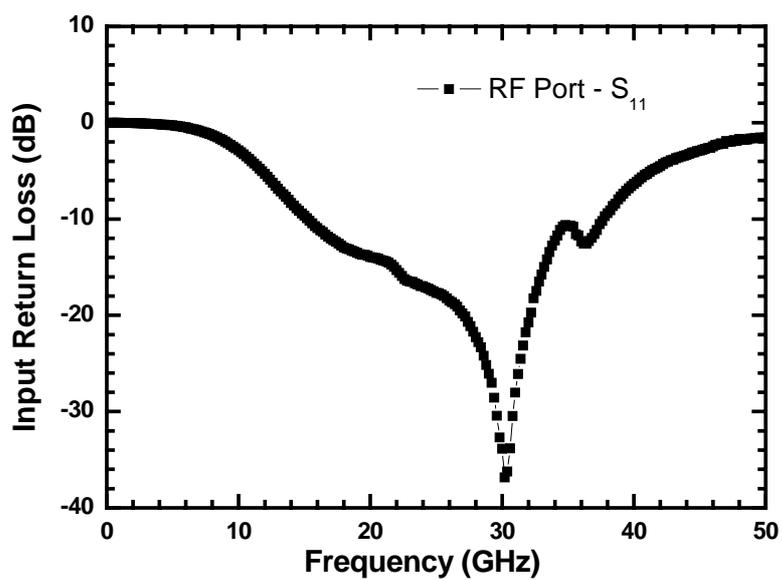


圖4.13 RF 埠輸入返回損耗

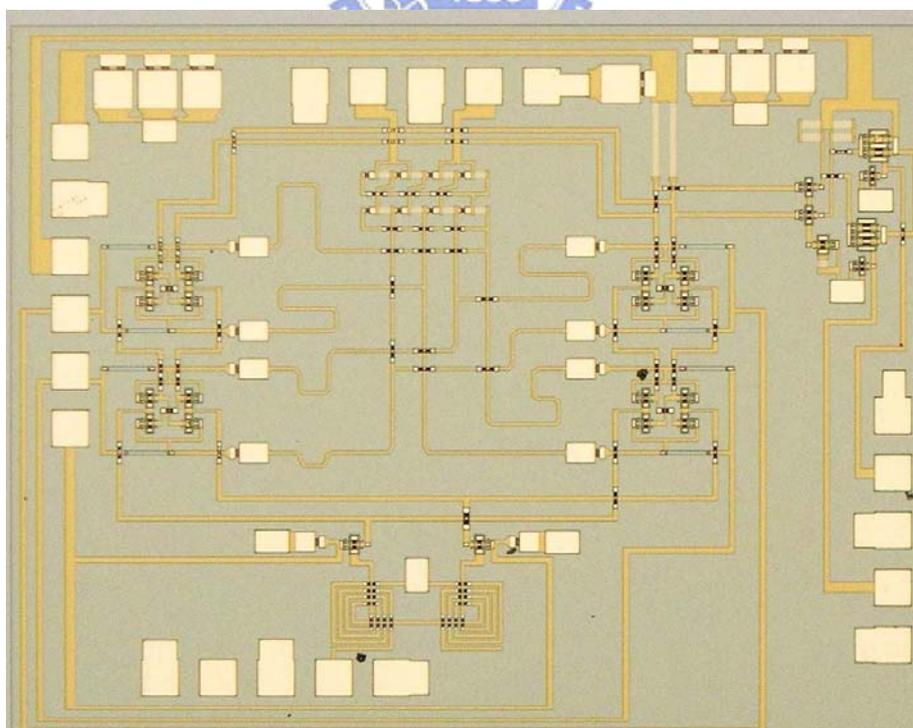


圖4.14 Die Photo

#### 4.2.4 結果與討論

本電路採用 PHEMT 製程。晶片照片如圖 4.14 所示，此晶片的面積為  $2.5 \times 2 \text{ mm}^2$ 。RF 輸入頻率為 40GHz，LO 的頻率為 20GHz，IF 的頻率為 500KHz。輸入級電晶體的  $V_{gs} = -0.77 \text{ V}$ ；LO 級下面的閘極 (Gate) 電壓為 0.1V，上面的閘極 (Gate) 電壓為 2V；主電路的  $V_{dd} = 10 \text{ V}$ ，電流為 40 mA；輸出緩衝級  $V_{dd} = 8.5 \text{ V}$ ，電流為 12 mA。總共功率消耗為 502 mW，本電路因為採用 PHEMT 製程，而且操作頻率很高，所以功率消耗很大。

如圖 4.5 所示，此電路在 LO 功率為 10dBm 時轉換增益最大約為 3.2dB，本電路因為設計的頻率高達 40GHz，所以導致轉換增益略小，但是已經足夠。

如圖 4.7 所示，這張圖可清楚的看到  $IP1dB$  為 0dBm，可見此電路的線性度很好。

如圖 4.8 所示，可看出 RF 的 3dB 頻寬約從 35GHz 到 42.5GHz，此乃因為被 RF 輸入級的 Marchand Balun 和 LO 正交訊號產生器的頻寬限制住。

如圖 4.9 所示，可看出 IF 的頻寬約為 650MHz，此頻寬相當大，可見輸出緩衝級設計的不錯。

由圖 4.10、4.11 與 4.12 可看到 RF-to-IF、LO-to-IF、LO-to-RF 的隔離度皆在 -20dB 以下。特別注意的是 2LO-to-IF、2LO-to-RF 的隔離度皆在 -40dB 以下，甚至接近 -60dB，可見此電路相當對稱，也可以

知道自我混頻(self mixing)相當輕微，直流準位偏移(DC offset)的值應該會很小。

RF 埠輸入返回損耗如圖 4.13 所示，在頻率為三十幾 GHz 時有不錯的表現。

表 4.1 Compensated Sub-Harmonic Mixer ( PHEMT 0.15um )

Summary

Item	Value
RF/LO/IF Frequency (GHz)	40.0005/20/0.0005
Conversion Gain (dB)	3.2
Power Consumption (mW)	502
IP <sub>1dB</sub> (dBm)	0
Input S <sub>11</sub> (dB)	-6.3
RF-to-IF Isolation (dB)	<-25
LO-to-IF Isolation (dB)	<-25
2LO-to-IF Isolation (dB)	<-40
LO-to-RF Isolation (dB)	<-34
2LO-to-RF Isolation (dB)	<-47
Chip Size (mm×mm)	2.5×2

### 4.3 實作，Compensated Frequency Doubler(PHEMT $0.15\mu\text{m}$ )

#### 4.3.1 研究動機

對於現今高度積體化的射頻電路而言，訊號源必須能更夠供給混頻器足夠高的功率，以及足夠高的諧波壓抑，且本地震盪器直接產生很高頻率的訊號，有一定的困難性，所以往往會在本地震盪器後面先接一個頻率乘法器(frequency multiplier)或其它頻率合成器，然後再將訊號提供給混頻器使用。

#### 4.3.2 電路架構與設計

本電路的輸入頻率為10GHz，而輸出頻率為20GHz。

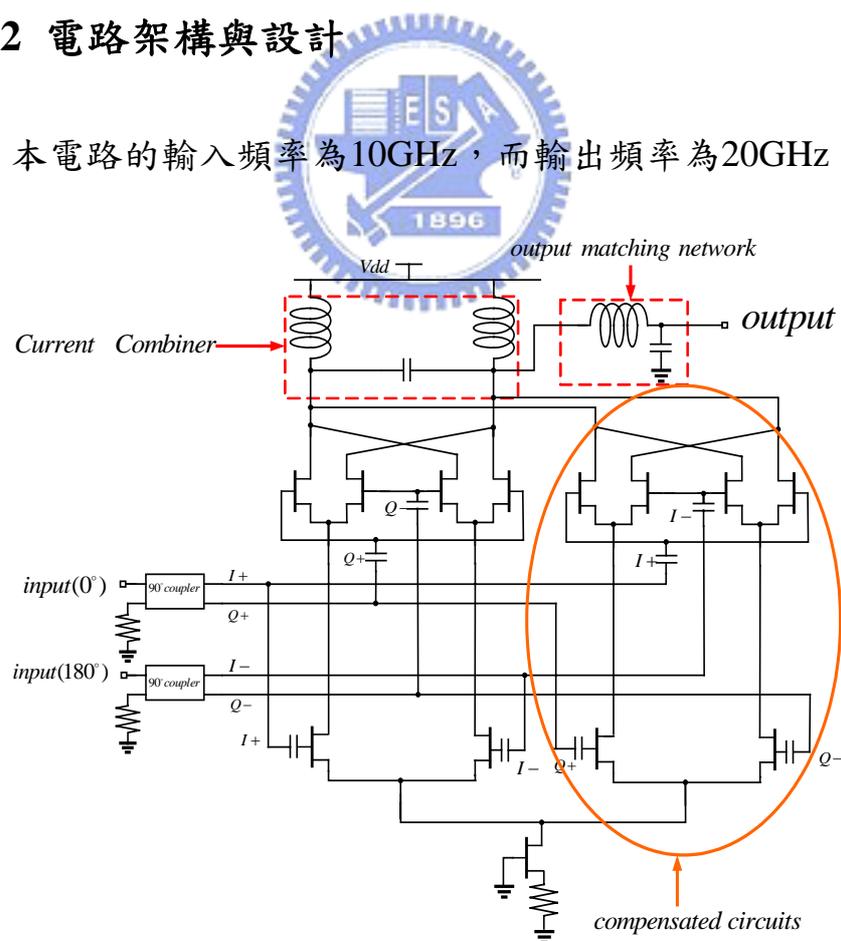


圖4.15 補償式頻率倍頻器

整體電路架構如圖 4.15 所示，總共包括三個部份(1) 輸入端  $90^\circ$  coupled line coupler (2) 頻率倍頻器 (3) LC 電流合成器。

PHEMT 的元件是在負壓下操作，加上想利用自我偏壓(self biasing)去操作電晶體，所以最下面的那一個電晶體的汲極(Drain)端放一個電阻再接到地，而閘極(Gate)端直接接到地。

### (1) 輸入端 $90^\circ$ coupled line coupler

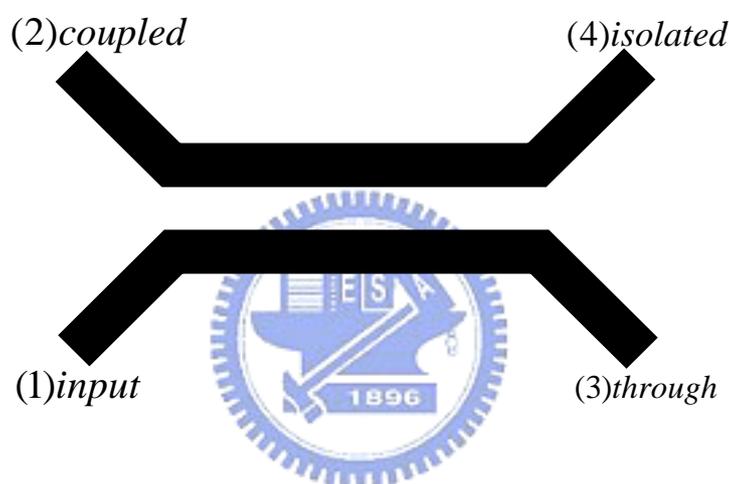


圖 4.16 coupled line coupler

本電路設計中需要 4 個分別相差  $90^\circ$  度相位的輸入訊號，差動的訊號直接由外部提供， $90^\circ$  度的訊號則利用 coupled line coupler 提供。如圖 4.16 的示意圖，將 2 段  $\frac{1}{4}$  波長的金屬線放的很近，使之互相耦合，則 port2 和 port3 將可得相差  $90^\circ$  度的訊號，而 port4 為 isolated port。

實做方面利用 EM 模擬軟體(Sonet)去模擬，由於  $\frac{1}{4}$  波長的金屬線所佔面積過大，所以使用變壓器(Transformer)的形式將之完

成，coupled line coupler 的實際繞線如圖 4.17 所示。

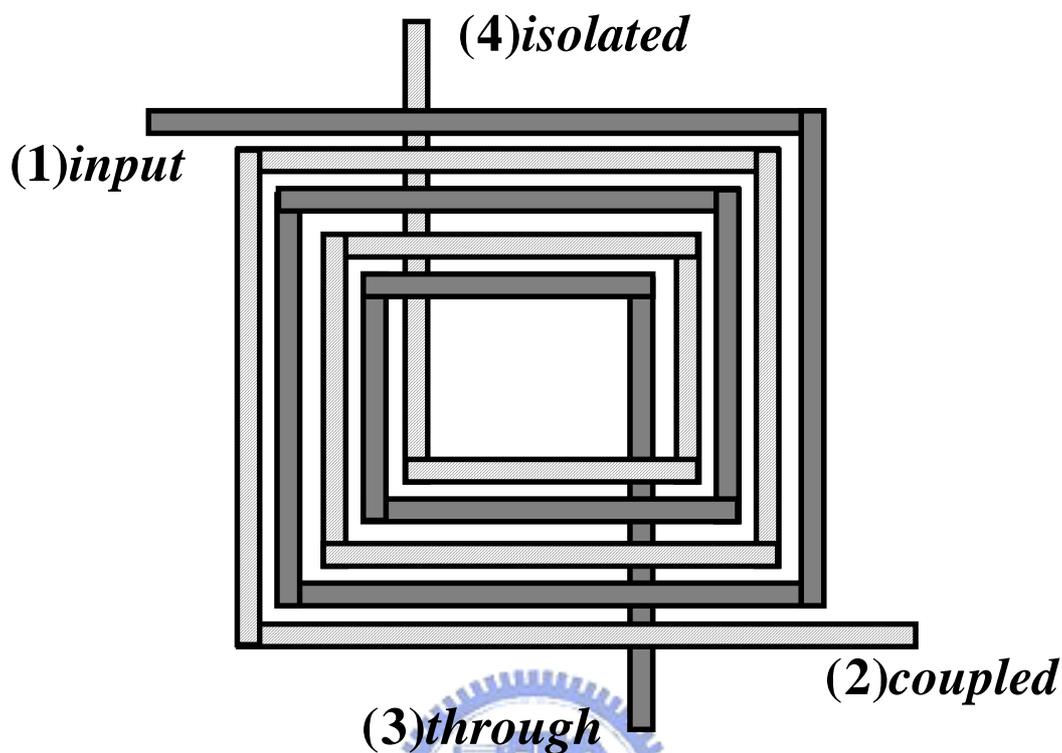


圖 4.17 coupled line coupler 實際繞線

四個端點分別為 port1:input，port2:coupled，port3:through，port4:isolated。port1 到 port3 為順時針繞線，port2 到 port4 也是順時針繞線，如此一來便可得一個 coupler。

## (2) 頻率倍頻器

設計原理和 4.2.2 相同，依舊使用 stacked-LO 的架構去產生兩倍頻的訊號，如圖 4.15 所示。輸入的訊號包括  $I(\cos(\omega t))$ 、 $Q(\sin(\omega t))$  訊號，利用電流切換 (current switching) 的操作原理得到  $\sin(\omega t) \cdot \cos(\omega t) = \frac{1}{2} \cdot \sin(2\omega t)$ 。因為在這裡不是混頻器的應用，所以少了 RF 輸入級的電路。

在這仍然會因為 I、Q 訊號的路徑不一致導致直流準位偏移(DC offset)，所以和上一節的電路一樣，多加一組補償電路去克服這個問題。

### (3) LC 電流合成器

本電路的輸出訊號為 20GHz，為一個相當高頻率的訊號，如果採用電晶體當輸出級，電晶體的速度可能不夠快，所以輸出級採用被動的 LC 電流合成器，LC 電流合成器如圖 4.18 所示。

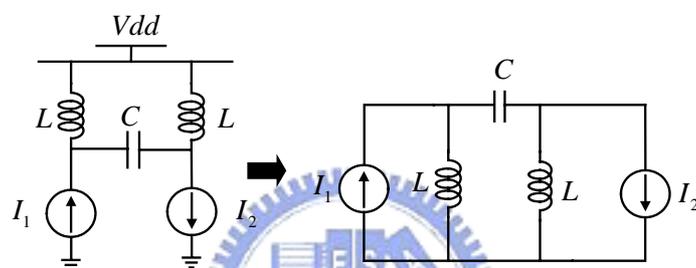


圖 4.18 電流合成器

如圖 4.19 所示，其表現了 LC 電流合成器的工作原理。電感和電容如果串聯，在共振頻率會變成短路；電感和電容如果並聯，在共振頻率會變成開路。簡單來說就是當操作在所設計的共振頻率時 ( $\omega = 1/\sqrt{L \times 2C}$ )，電感、電容將互相化簡，並使得反向之兩個電流源變成 2 個同向之電流源流出。當設計 LC 電流合成器的共振頻率為倍頻器的輸出頻率時，將可把差動訊號(Differential Signal)轉成單端輸出。由於將差動訊號組合成單一訊號，所以可比只取一端當作輸出的情況多出 3dB 的轉換增益，而且使得量測較為方便。實做時由於輸出為 20GHz，製程所附之電感 Q 值不夠，所以直接使用一段傳輸線代替電感使用。

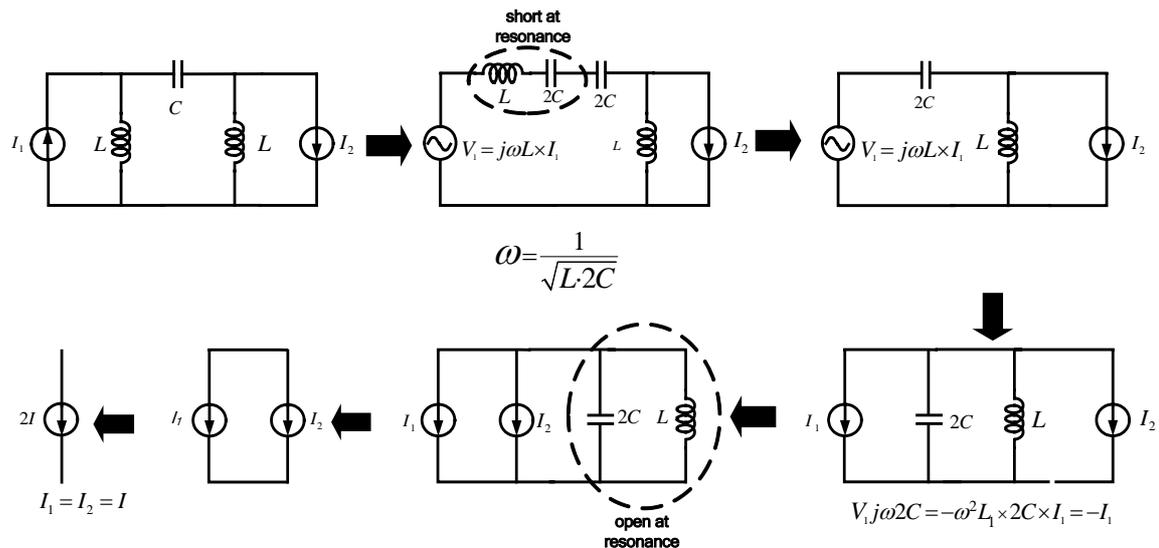


圖 4.19 電流合成器工作原理

### 4.3.3 晶片量測結果

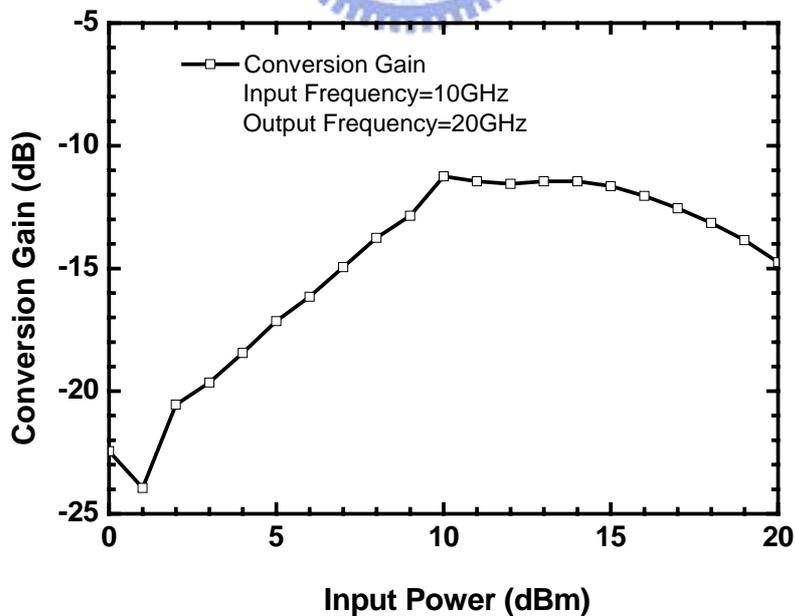


圖 4.20 轉換增益對輸入功率

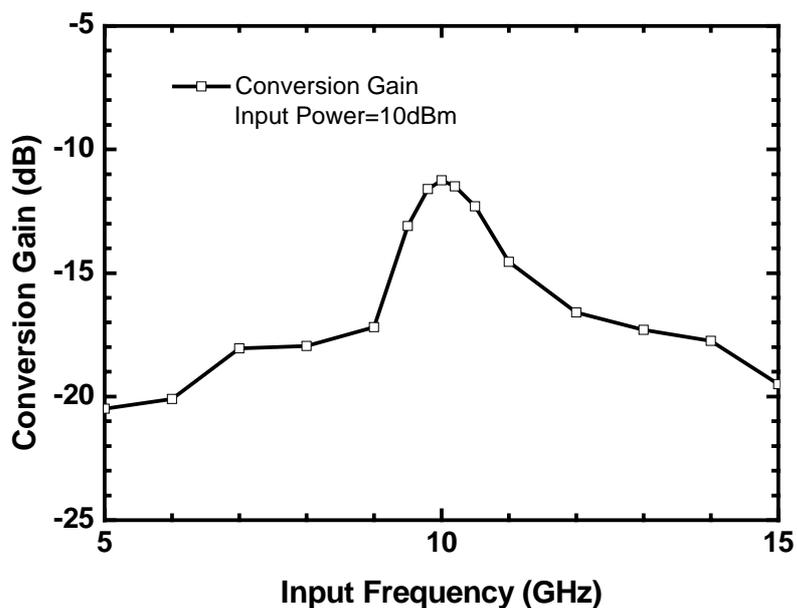


圖 4.21 轉換增益對輸入頻率

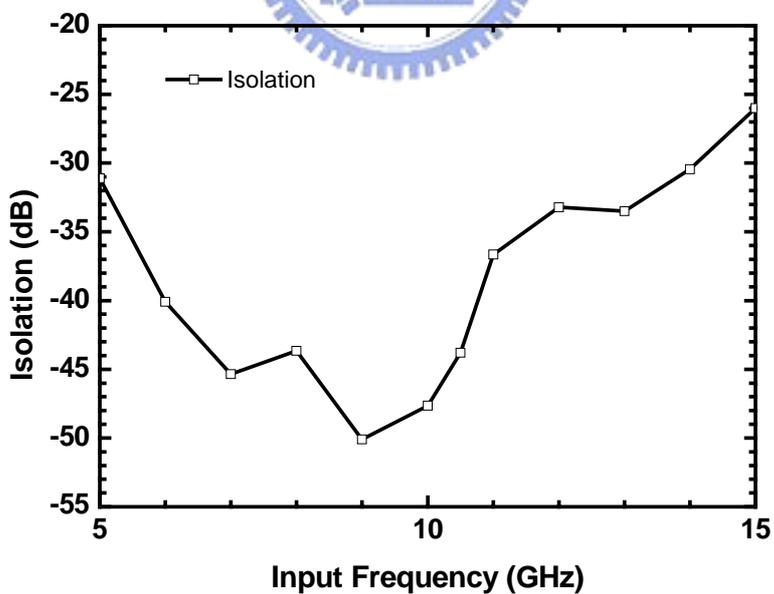


圖 4.22 隔離度

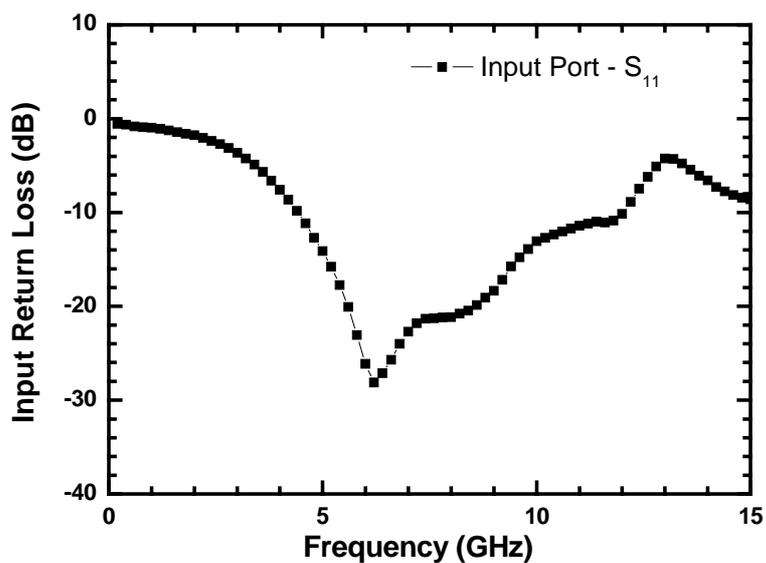


圖 4.23 輸入返回損耗

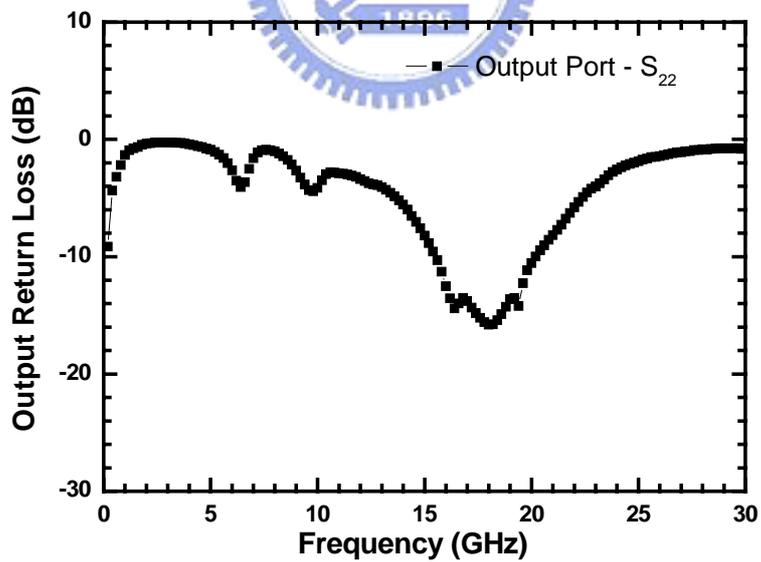


圖 4.24 輸出返回損耗

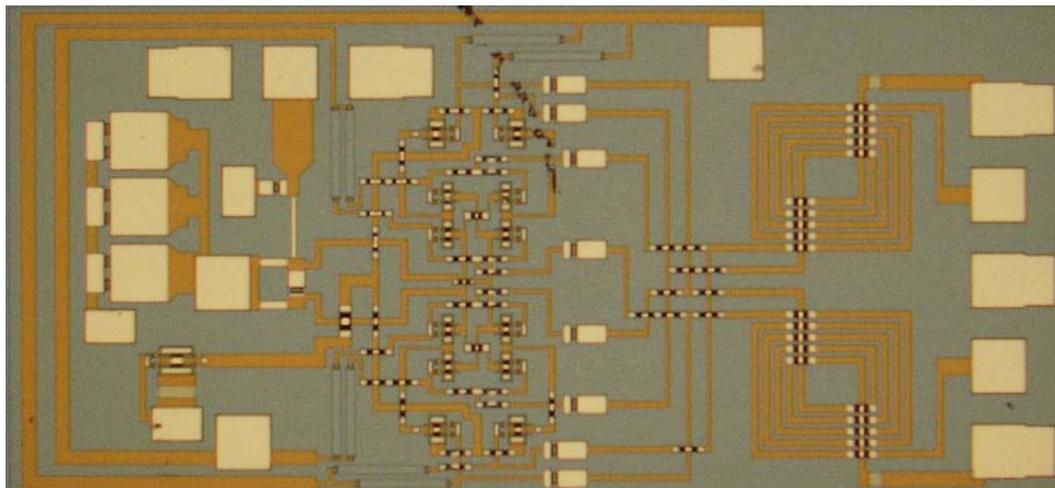


圖 4.25 Die Photo

#### 4.3.4 結果與討論

本電路採用 PHEMT 製程。此晶片的面積為  $2 \times 1 \text{ mm}^2$ ，晶片照片如圖 4.25 所示。輸入頻率為 10GHz，輸出的頻率為 20GHz。電路的  $V_{dd}=3.8 \text{ V}$ ，電流為 15 mA。總共功率消耗為 57 mW，以 PHEMT 製程來講，功率消耗很低。

如圖 4.20 所示，此電路在輸入功率為 10dBm 時轉換增益最大約為 -11.2dB，而且輸入功率從 10~15dBm 時轉換增益幾乎為平的。

圖 4.21 是轉換增益對輸入頻率掃頻的量測結果，可看出在輸入頻率為 10GHz 時轉換增益最大，因為被輸入端 90 度 coupler 限制住所以輸入頻寬不大。

圖 4.22 表現出隔離度掃頻的情形，在輸入中心頻率附近輸入到輸出的隔離度皆小於 -40dB，為不錯的表現。

輸入返回損耗如圖 4.23 所示，在輸入頻率為 10GHz 時，輸入返回損耗約為-13dB；輸出返回損耗如圖 4.24 所示，在輸出頻率為 20GHz 時，輸出返回損耗約為-10.5dB。

經過實地的量測發現之前的設計無誤，不過設計的中心頻率從原本的 14GHz 掉到 10GHz，可能的原因為提供 I、Q 訊號的 coupler 或者輸出阻抗匹配沒做好，下次設計要特別注意這些部分。

表 4.2 Compensated Frequency Doubler ( PHEMT 0.15 $\mu$ m ) Summary

Item	Value
Input/Output Frequency(GHz)	10/20
Conversion Gain (dB)	-11.2
Power Consumption (mW)	57
Input-to-Output Isolation (dB)	<-40
Input $S_{11}$ (dB)	-13
Output $S_{22}$ (dB)	-10.6
Chip Size (mm $\times$ mm)	2 $\times$ 1

## 4.4 實作，Compensated Sub-Harmonic Mixer(PHEMT 0.15 $\mu$ m )

### 4.4.1 研究動機

本節中將使用 stacked-LO 的架構去設計次諧波混頻器。電路架構與 4.2 節中的電路類似，但 LO 級的架構略有不同。

### 4.4.2 電路架構與設計

本電路 RF、LO、IF 頻率分別為 60.0001GHz、30GHz、100kHz。補償式次諧波混頻器電路如圖 4.26 所示。此電路總共包括幾個部份(1)正交訊號產生器(2)Marchand Balun(3)stacked-LO 混頻器架構(4)補償電路(5)輸出緩衝級。電路設計原理與 4.2 節相同。

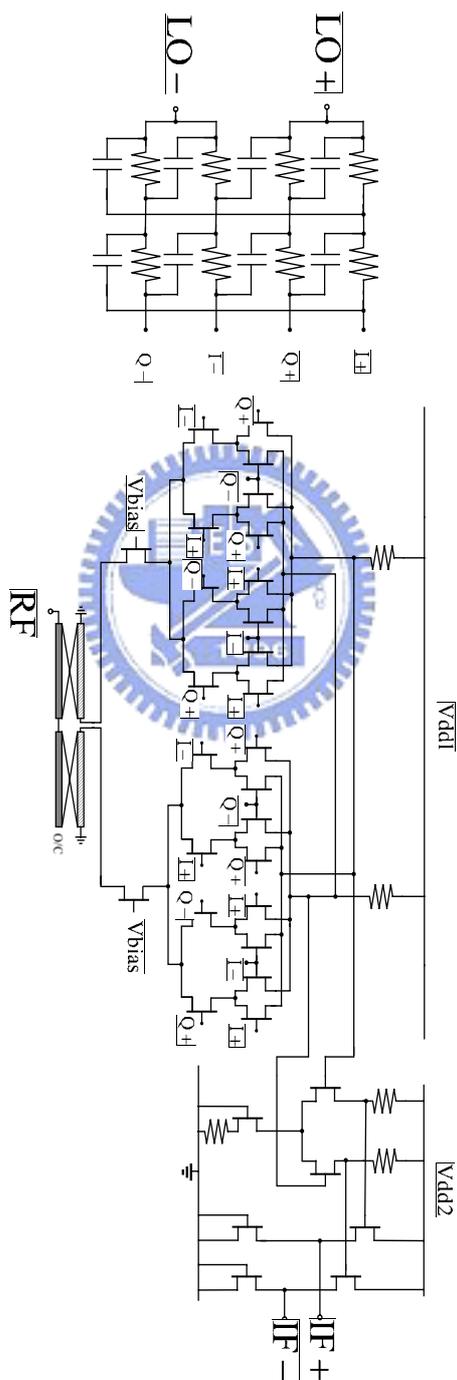


圖 4.26 補償式次諧波混頻器

### 4.4.3 電路模擬結果



圖4.27 轉換增益對 LO 功率

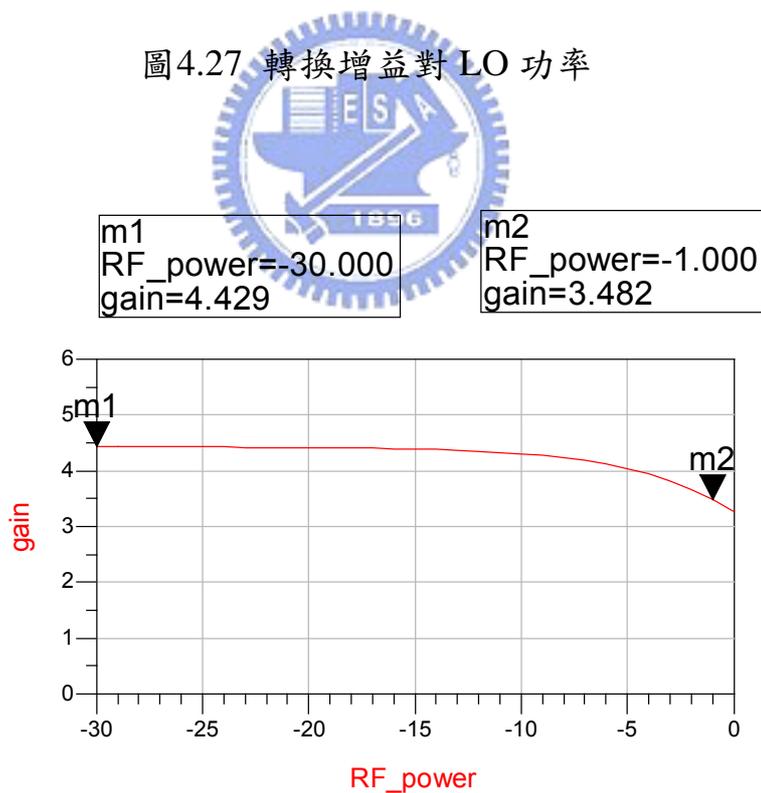


圖4.28 轉換增益對 RF 功率

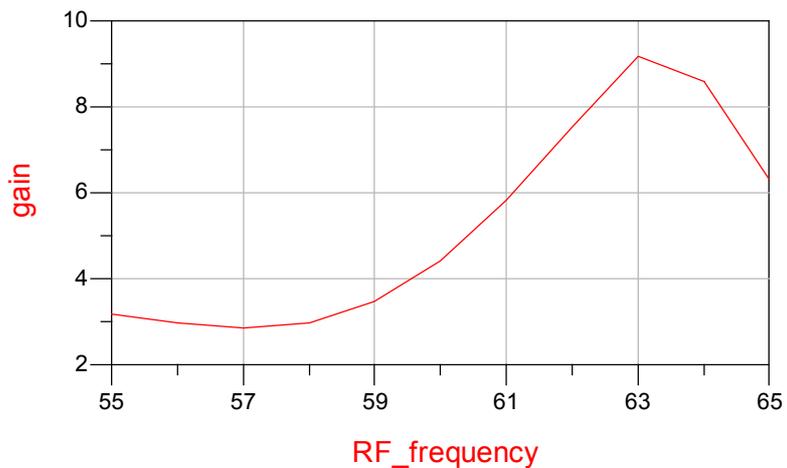


圖4.29 轉換增益對 RF 頻率

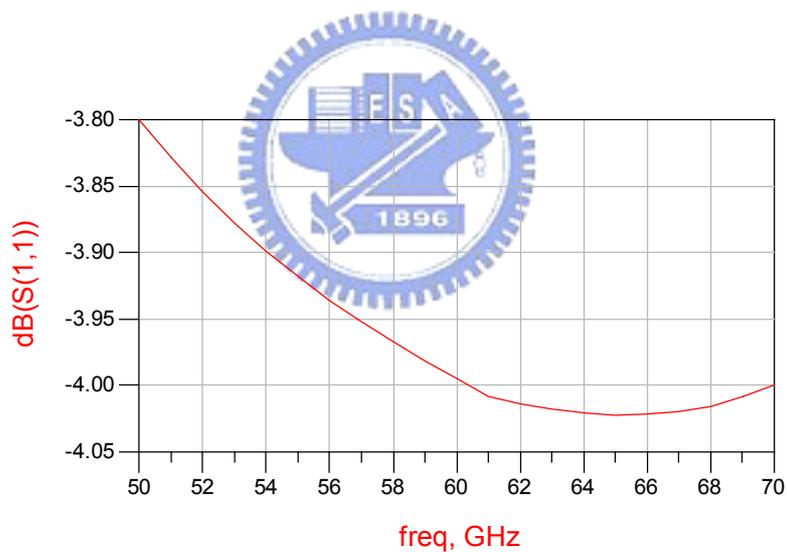


圖4.30 RF 埠輸入返回損耗

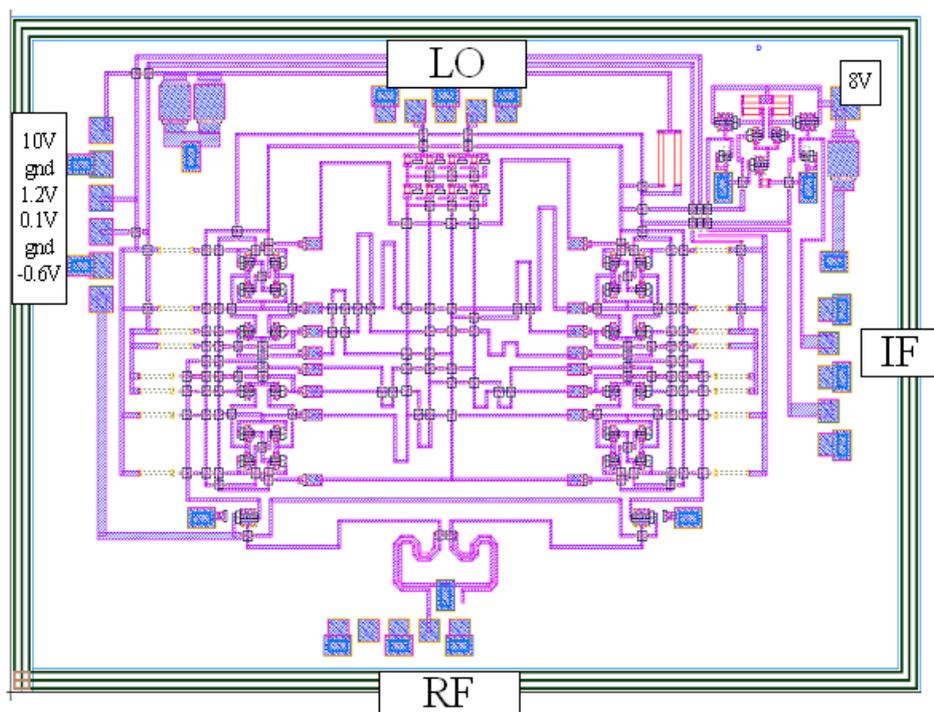


圖4.31 Layout

#### 4.4.4 結果與討論

本電路採用 PHEMT 製程。晶片佈局如圖 4.31 所示，此晶片的面積為  $3 \times 2 \text{ mm}^2$ 。RF 輸入頻率為 60GHz，LO 的頻率為 30GHz，IF 的頻率為 100KHz。輸入級電晶體的  $V_{\text{bias}} = -0.6 \text{ V}$ ；LO 級下面的閘極 (Gate) 電壓為 0.1V，上面的閘極 (Gate) 電壓為 1.2V；主電路的  $V_{\text{dd}} = 10 \text{ V}$  (31.6 mA)；輸出緩衝級  $V_{\text{dd}} = 8 \text{ V}$  (39.5 mA)。總共功率消耗為 632 mW。

如圖 4.27 所示，此電路在 LO 功率為 24dBm 時轉換增益最大約為 4.4dB。

如圖 4.28 所示，可清楚的看到 IP1dB 為 -1dBm，可見此電路的線性度很好。

如圖 4.29 所示，可以得到轉換增益對 RF 頻率的結果。

RF 埠輸入返回損耗如圖 4.30 所示，從 RF 頻率 50~70GHz 輸入返回損耗大概等於-4dB。

表 4.3 Simulation :Compensated Sub-Harmonic Mixer ( PHEMT  
0.15um ) Summary

Item	Value
RF/LO/IF Frequency (GHz)	60.0001/30/0.0001
Conversion Gain (dB)	4.4
Power Consumption (mW)	632
IP <sub>1dB</sub> (dBm)	-1
Input S <sub>11</sub> (dB)	-4
Chip Size (mm×mm)	3×2

## 4.5 實作，Micromixer( MHEMT 0.15μm )

### 4.5.1 研究動機

傳統的吉伯特混頻器(Gilbert Mixer)做輸入阻抗匹配不易，所以去修改 RF 輸入級的電路架構，使之可以達到寬頻的阻抗匹配，此外還可以得到簡化量測的好處。

### 4.5.2 電路架構與設計

本電路 RF、LO、IF 中心頻率分別設為 17.1GHz、17GHz、100MHz，電路架構如圖 4.32 所示。

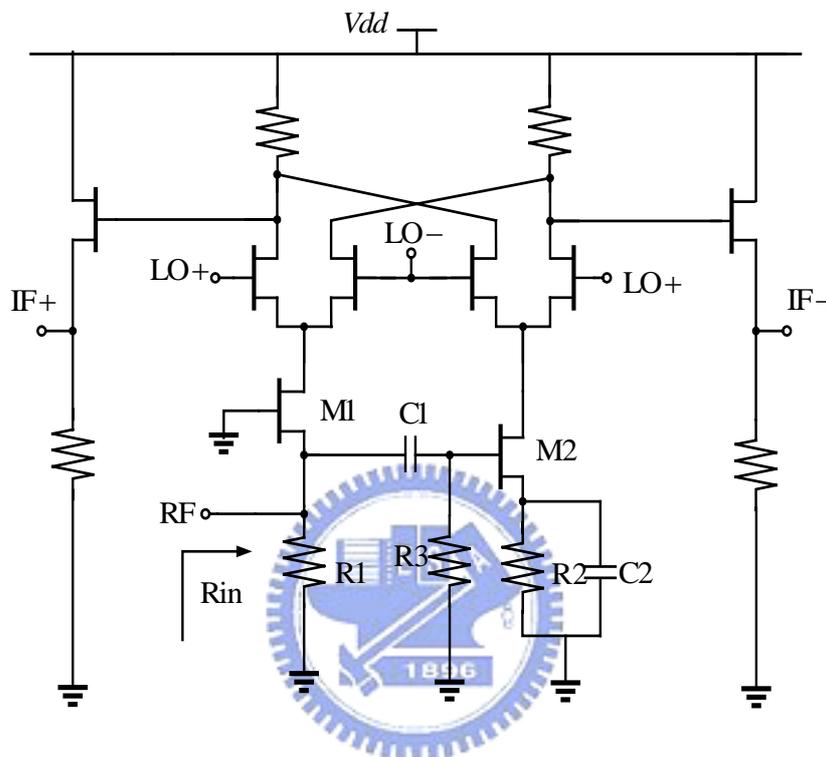


圖 4.32 微混頻器(Micromixer)

M1 為共閘極(common gate)，M2 為共源極(common source)，其目的是讓 RF 訊號經由 M1 和 M2 形成差動訊號使之能與 LO 訊號混頻。C1 的電容值要大一點，讓 RF 訊號傳到 M2 時的損耗近乎於零。C2 的電容值也要大一點，讓小訊號看到 M2 的源極是接到地。R3 的值愈大愈好，讓 M2 的閘極偏壓為 0V，R1 與 R2 的電阻值必需相等，如此一來 M1 與 M2 的偏壓才會一致。調整 R1、R2、M1 與 M2 的值使得 Rin 接近  $50\Omega$ ，達到寬頻的輸入阻抗匹配。

### 4.5.3 電路模擬結果

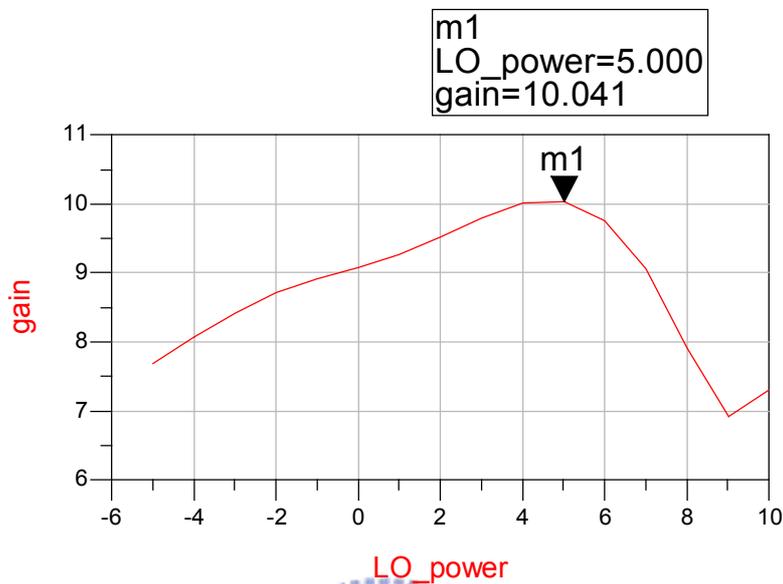


圖 4.33 轉換增益對 LO 功率

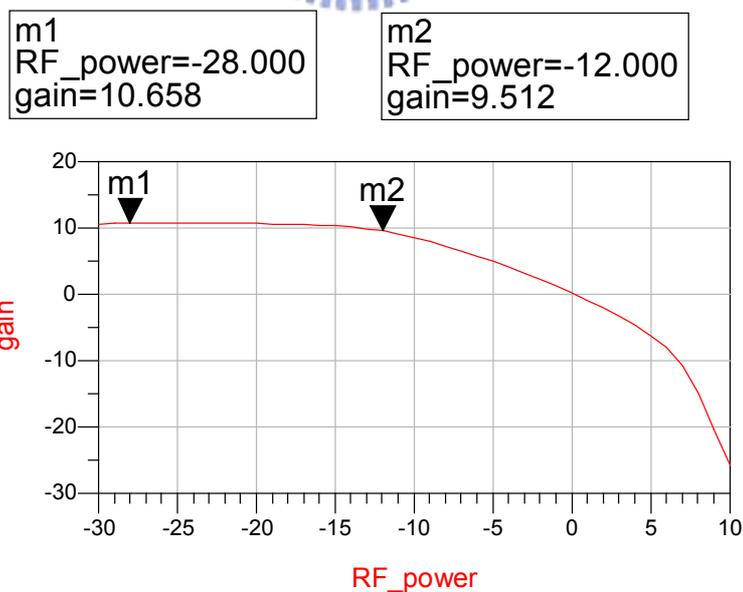


圖 4.34 轉換增益對 RF 功率

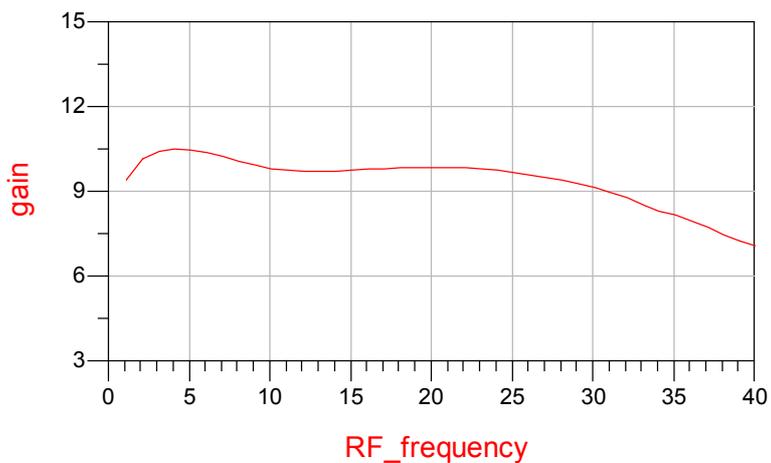


圖 4.35 轉換增益對 RF 頻率

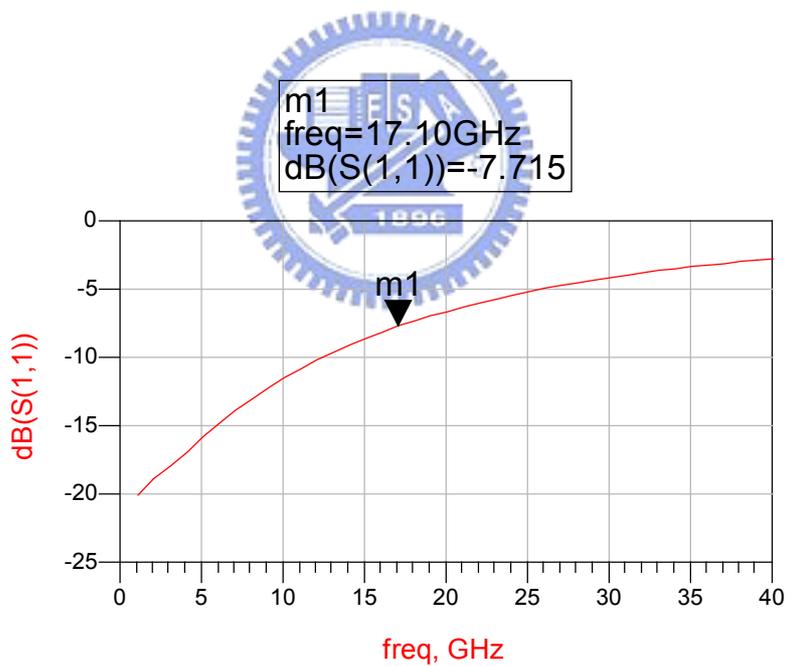


圖 4.36 RF 埠輸入返回損耗

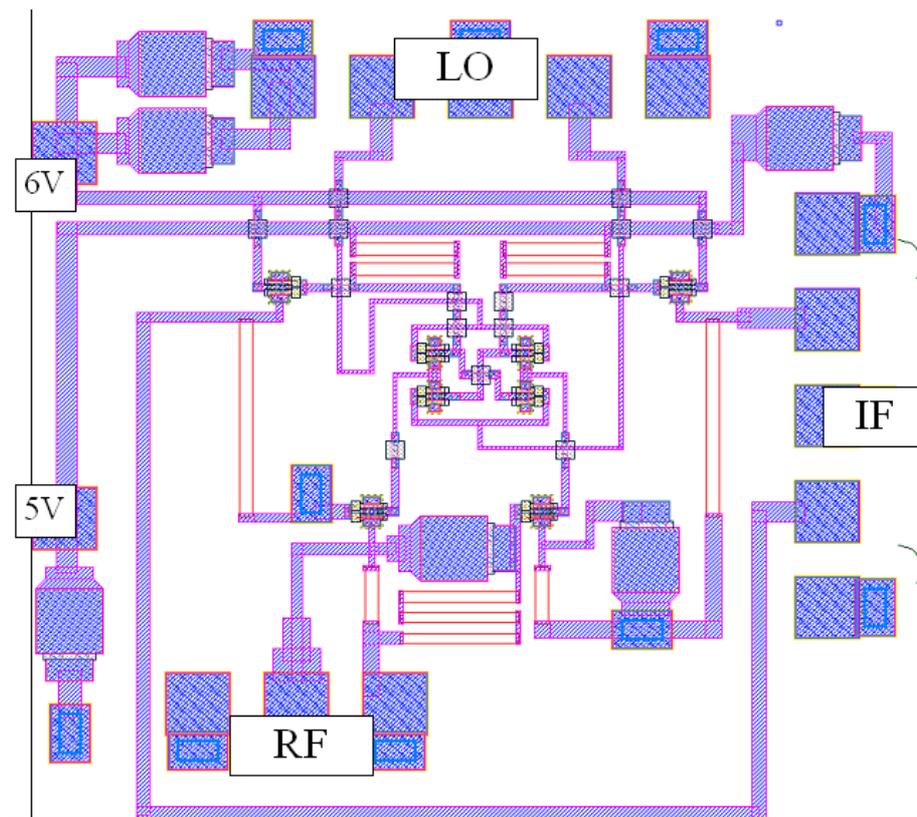


圖4.37 Layout

#### 4.5.4 結果與討論

本電路採用 MHEMT 製程。晶片佈局如圖 4.37 所示，此晶片的面積為  $1.35 \times 1.3 \text{ mm}^2$ 。RF 輸入頻率為 17.1GHz，LO 的頻率為 17GHz，IF 的頻率為 100MHz。主電路的  $V_{dd1}=5 \text{ V}$  (5.4 mA)，輸出緩衝級  $V_{dd2}=6\text{V}$  (9.4 mA)。總共功率消耗為 83.4mW。

如圖 4.33 所示，此電路在 LO 功率為 5dBm 時轉換增益最大約為 10dB。

如圖 4.34 所示，可清楚的看到 IP1dB 為 -12dBm。

如圖 4.35 所示，可以得到轉換增益對 RF 頻率的結果，因為電路本身為寬頻的架構，所以 RF 的頻寬相當大。

RF 埠輸入返回損耗如圖 4.36 所示，當 RF 頻率為 17.1GHz 時輸入返回損耗大概等於-7.7dB。

表 4.4 Simulation :Micromixer( MHEMT 0.15um ) Summary

Item	Value
RF/LO/IF Frequency (GHz)	17.1/17/0.1
Conversion Gain (dB)	10
Power Consumption (mW)	83.4
IP <sub>1dB</sub> (dBm)	-12
Input S <sub>11</sub> (dB)	-7.7
Chip Size (mm×mm)	1.35×1.3

## 4.6 實作，Single Quadrature Down Converter ( PHEMT 0.15 $\mu$ m )

### 4.6.1 研究動機

設計一個使用在接收器中可以消除鏡像訊號的混頻器，這裡將使用的架構稱之為單正交四相位降頻器，又可稱之為哈特利降頻器。

### 4.6.2 電路架構與設計

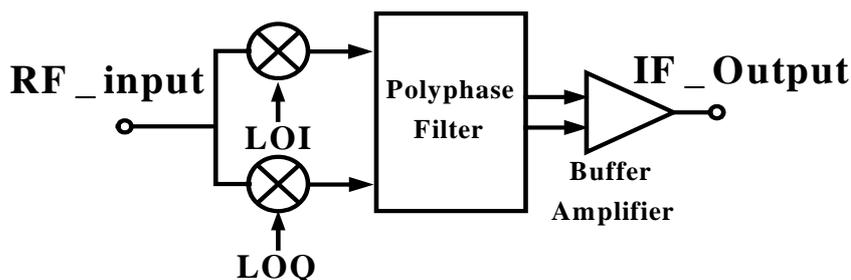


圖4.38 單正交四相位降頻器系統分析圖

單正交四相位降頻器為可消除鏡像訊號的混頻器，如圖 4.38 所示。輸入頻率稱之為  $\omega_{RF}$ ，本地震盪訊號的輸入頻率稱之為  $\omega_{LO}$ ，輸出頻率為  $\omega_{IF}$ ，鏡像訊號的頻率則為  $\omega_{IM}$ 。其關係如下：

$$\begin{aligned}\omega_{IF} &= \omega_{RF} - \omega_{LO} \\ \omega_{RF} - \omega_{LO} &= \omega_{LO} - \omega_{IM}\end{aligned}\quad (4.6)$$

現在  $\omega_{RF} = 25.03\text{GHz}$ 、 $\omega_{LO} = 25\text{GHz}$ ，所以  $\omega_{IF} = 30\text{MHz}$ ，則  $\omega_{IM} = 24.97\text{GHz}$ 。

頻譜分析圖如圖 4.39 所示，經過移頻動作後需要訊號(Desired Signal)跑到 30MHz 而鏡像訊號跑到 -30MHz，需要訊號和鏡像訊號於頻譜上位於相同的位置上，因此無法直接使用低通率波器濾除鏡像訊號。此時必需使用複數濾波器濾掉負頻率(鏡像訊號)，並保存正頻率的部分(需要訊號)，在本電路中將使用到的複數濾波器稱之為多相位濾波器(Polyphase Filter)。

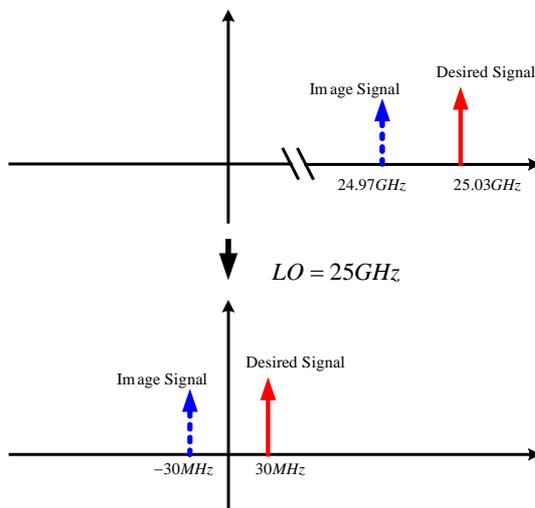


圖 4.39 頻譜分析圖

詳細電路圖如圖 4.40 所示。

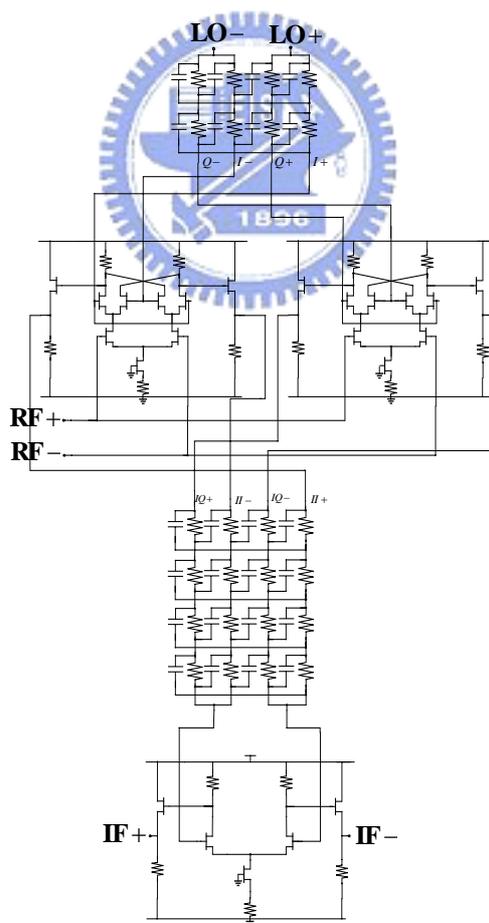


圖 4.40 單正交四相位降頻器

### 4.6.3 電路模擬結果

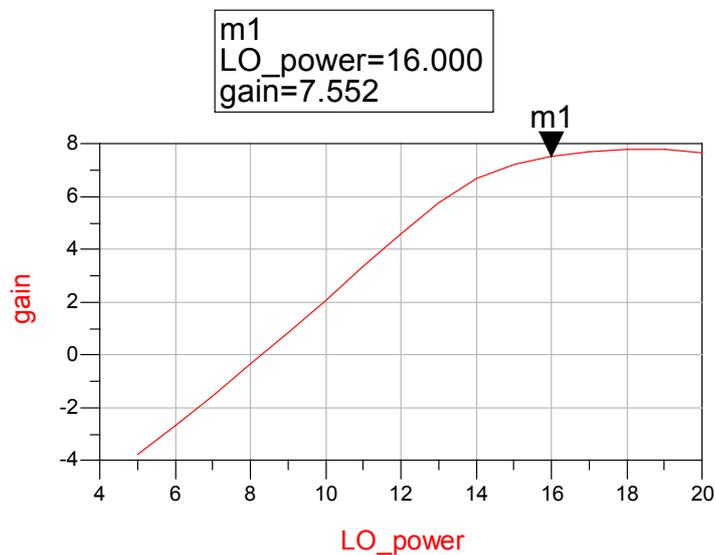


圖 4.41 轉換增益對 LO 功率

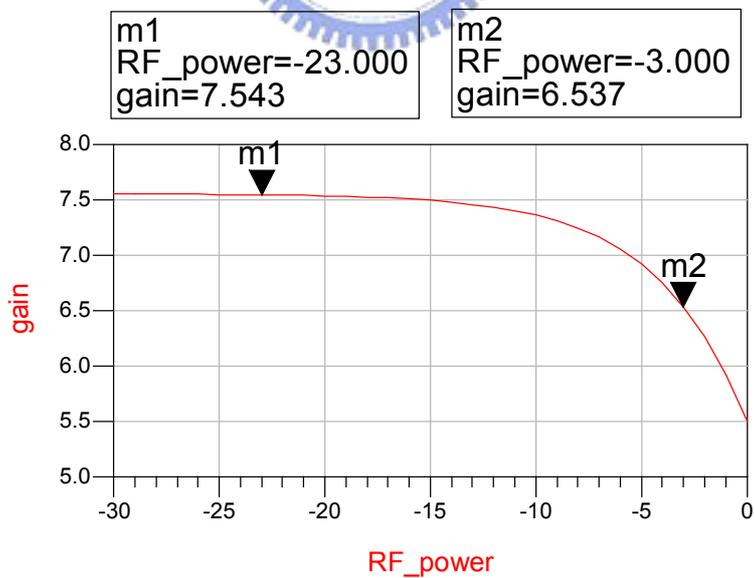


圖 4.42 轉換增益對 RF 功率

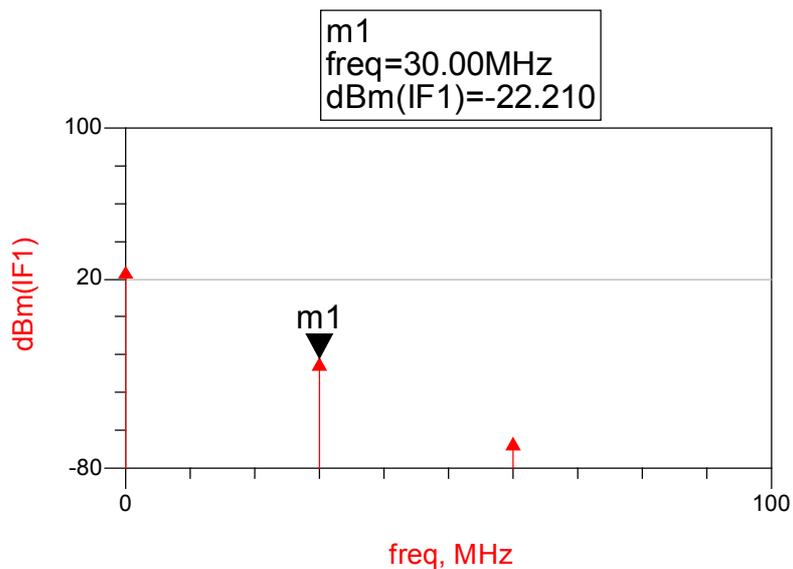


圖 4.43 輸入需要訊號頻率(RF=25.03GHz)所得到的 IF 頻譜

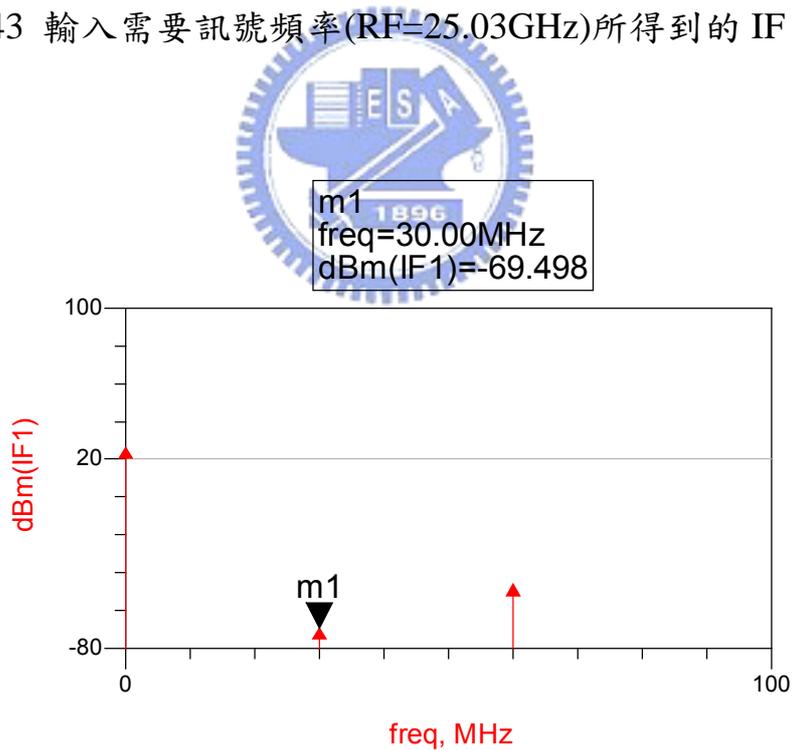


圖 4.44 輸入鏡像訊號頻率(RF=24.97GHz)所得到的 IF 頻譜

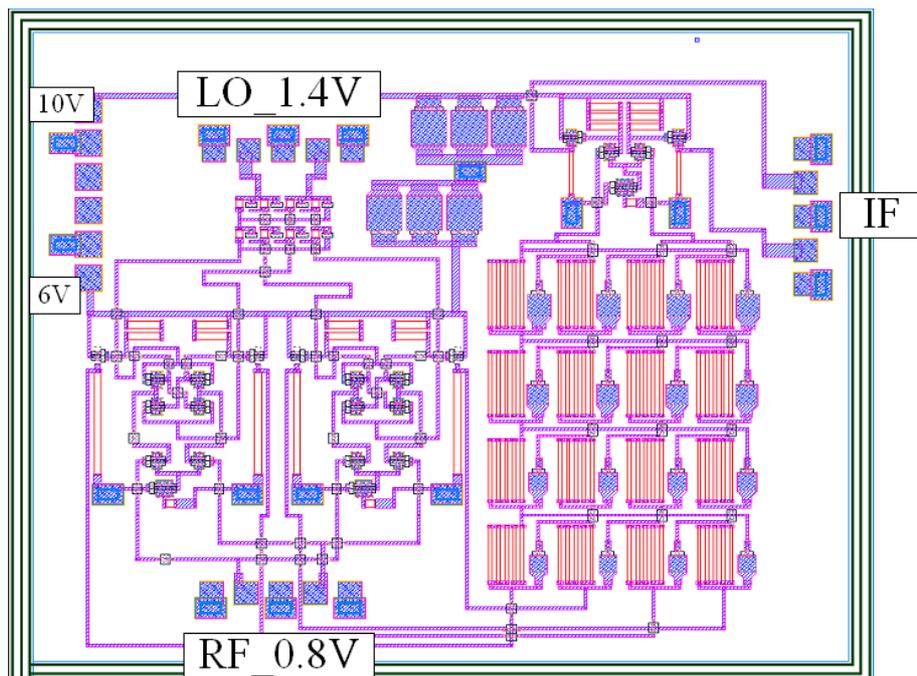


圖 4.45 Layout

#### 4.6.4 結果與討論

本電路採用 PHEMT 製程。晶片佈局如圖 4.45 所示，此晶片的面積為  $2.5 \times 2 \text{ mm}^2$ 。RF 輸入頻率為 25.03GHz，LO 的頻率為 25GHz，IF 的頻率為 30MHz。主電路的  $V_{dd1}=6 \text{ V}$  (44 mA)，輸出緩衝級  $V_{dd2}=10\text{V}$  (34mA)。全部功率消耗為 604mW。

如圖 4.41 所示，此電路在 LO 功率為 16dBm 時轉換增益最大約為 7.5dB。

如圖 4.42 所示，可清楚的看到  $IP_{1dB}$  為 -3dBm，此電路不僅轉換增益夠大，而且線性度也不錯。

對照圖 4.43 與 4.44 可以得到鏡像消除比值(Image Rejection Ratio)約為 47.3dB。

表 4.5 Simulation : Single Quadrature Down Converter ( PHEMT  
0.15 $\mu\text{m}$  ) Summary

Item	Value
RF/LO/IF Frequency (GHz)	25.03/25/0.03
Conversion Gain (dB)	7.5
Power Consumption (mW)	604
IP <sub>1dB</sub> (dBm)	-3
Image Rejection Ratio (dB)	47.3
Chip Size (mm $\times$ mm)	2.5 $\times$ 2

## 4.7 實作，Double Quadrature Down Converter ( MHEMT 0.15 $\mu\text{m}$ )

### 4.7.1 研究動機

設計一個使用在接收器中可以消除鏡像訊號的混頻器，這裡將使用的架構稱之為雙正交四相位降頻器。

### 4.7.2 電路架構與設計

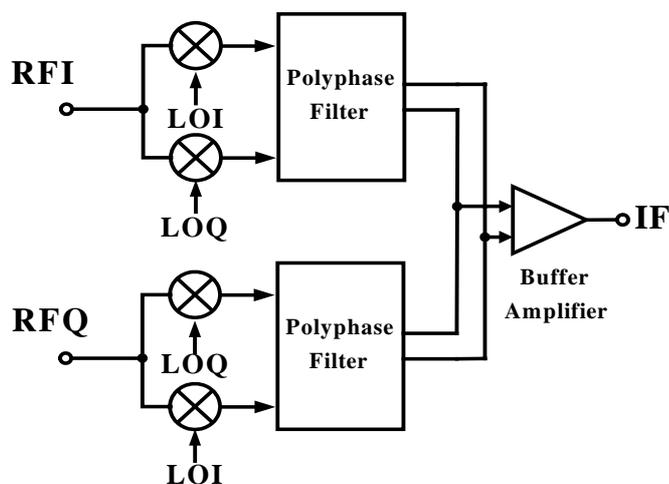


圖4.46 雙正交四相位降頻器系統分析圖

雙正交四相位降頻器為可消除鏡像訊號的混頻器並且比單正交四相位降頻器受到不理想因素所造成的影響小，如圖 4.46 所示。

現在  $\omega_{RF} = 17.03\text{GHz}$ 、 $\omega_{LO} = 17\text{GHz}$ ，所以  $\omega_{IF} = 30\text{MHz}$ ，則  $\omega_{IM} = 16.97\text{GHz}$ 。

此電路鏡像消除原理與 4.6 節的單正交四相位降頻器相同，詳細電路圖如圖 4.47 所示。

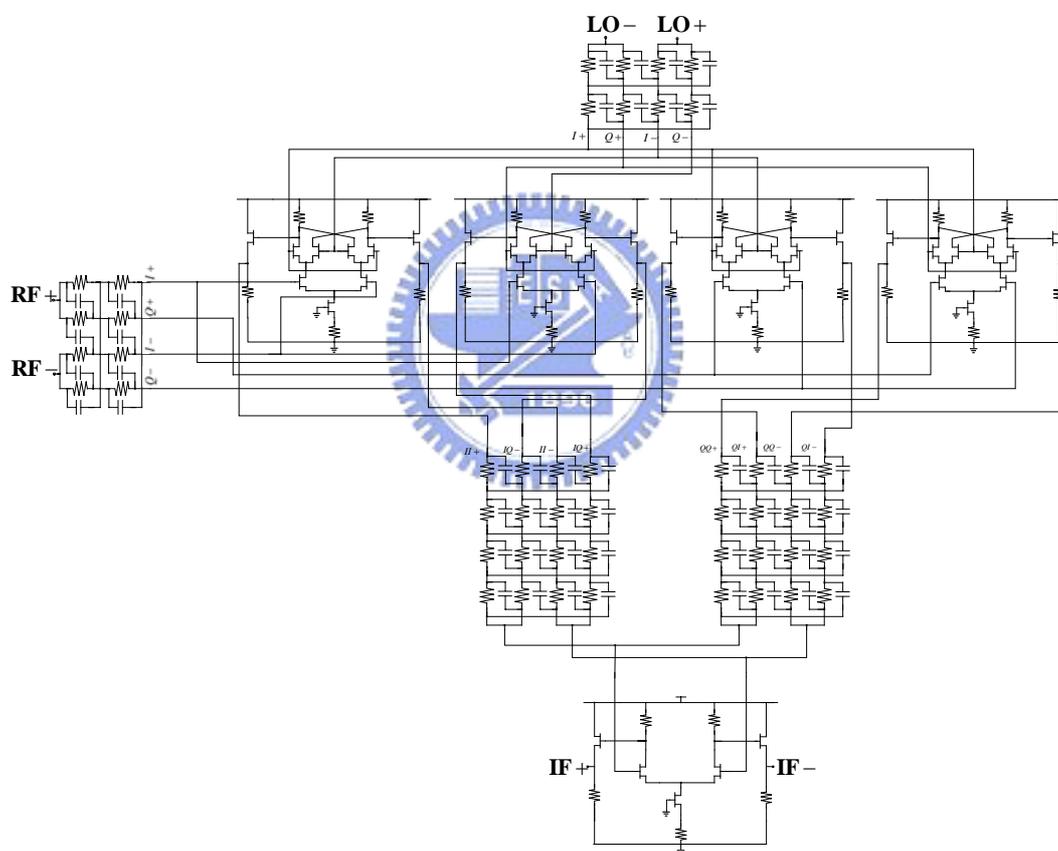


圖 4.47 雙正交四相位降頻器

### 4.7.3 電路模擬結果

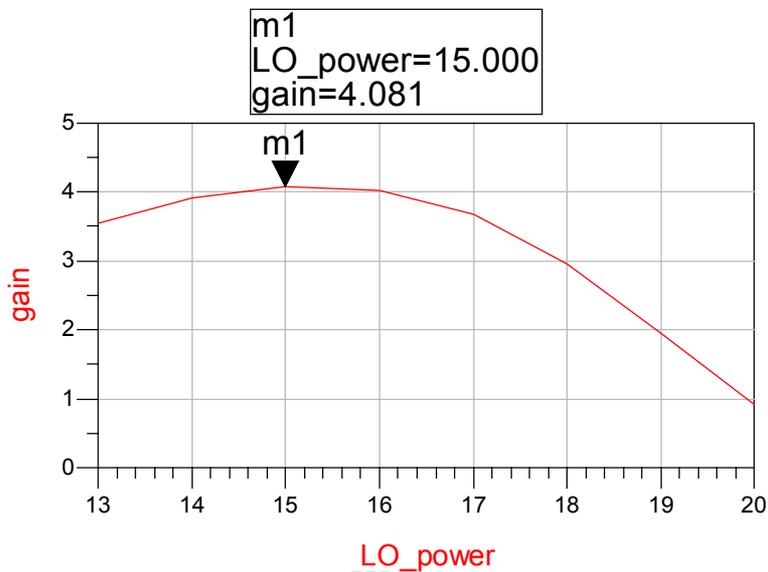


圖 4.48 轉換增益對 LO 功率

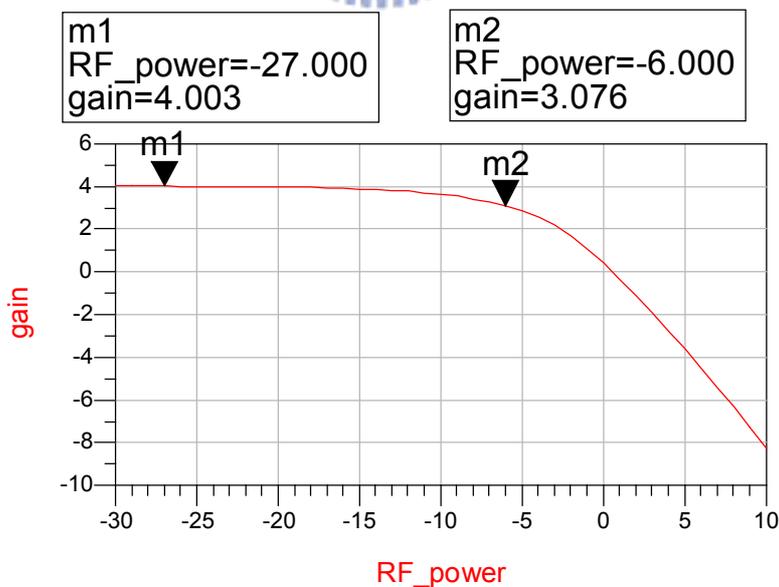


圖 4.49 轉換增益對 RF 功率

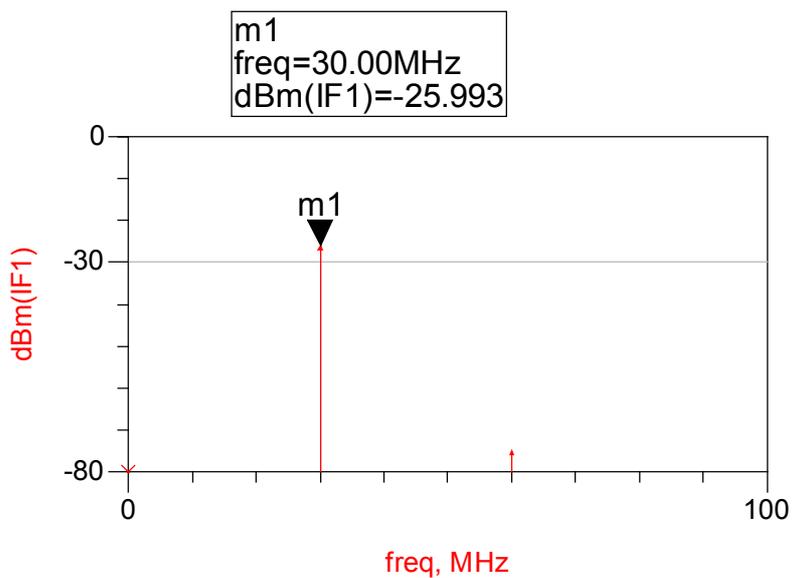


圖 4.50 輸入需要訊號頻率(RF=17.03GHz)所得到的 IF 頻譜

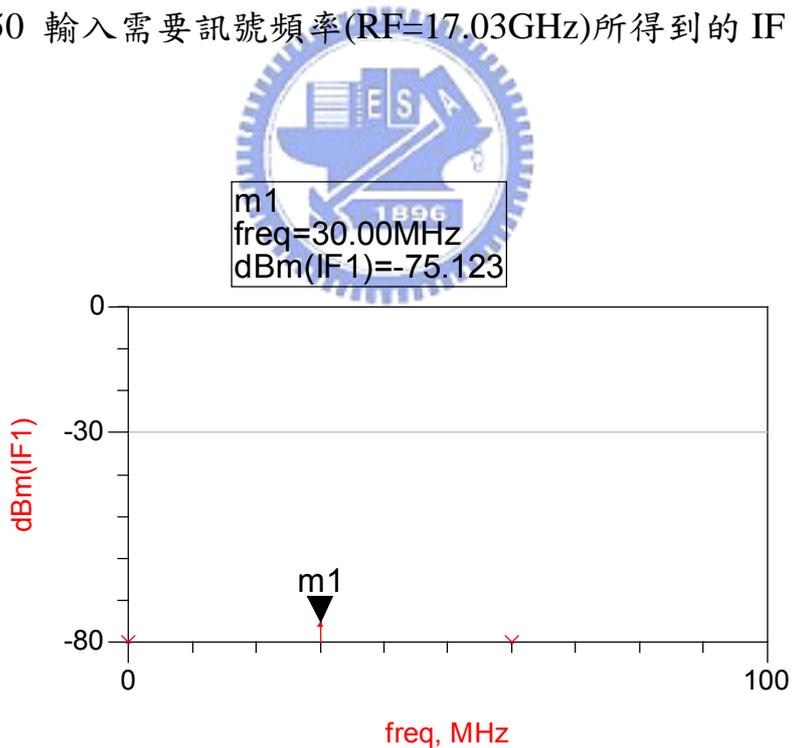


圖 4.51 輸入鏡像訊號頻率(RF=16.97GHz)所得到的 IF 頻譜

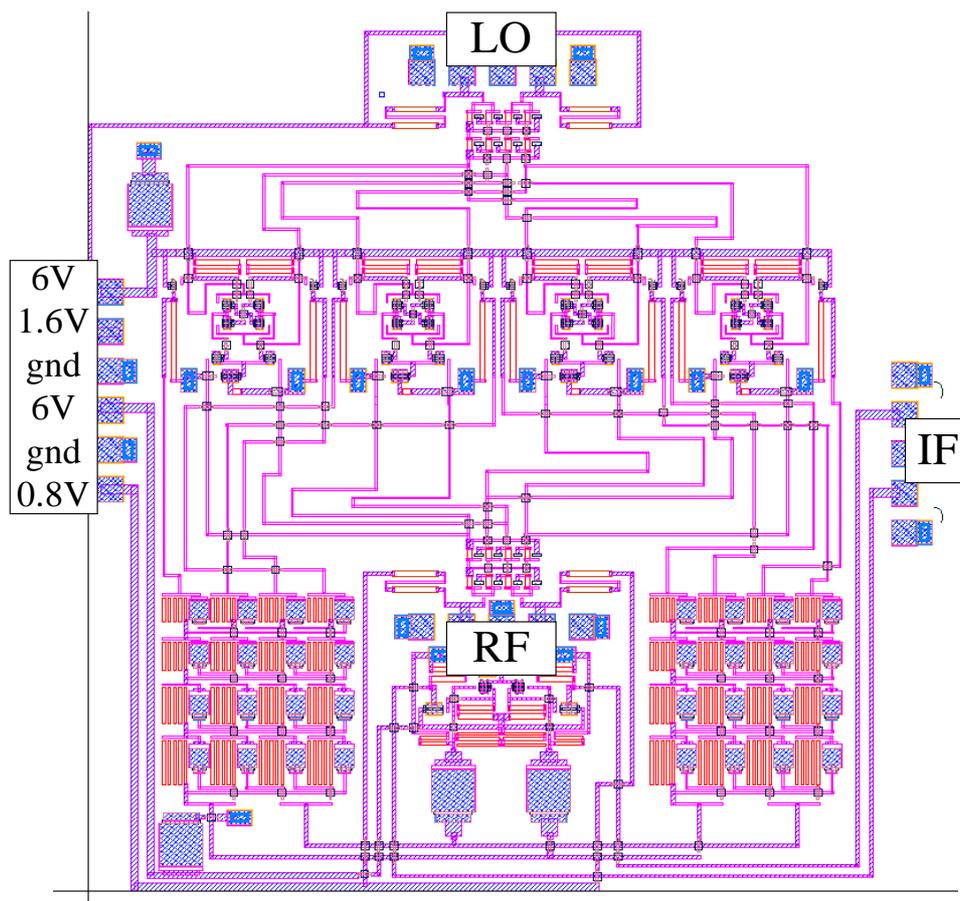


圖 4.52 Layout

#### 4.7.4 結果與討論

本電路採用 MHEMT 製程。晶片佈局如圖 4.52 所示，此晶片的面積為  $3.2 \times 3.3 \text{ mm}^2$ 。RF 輸入頻率為 17.03GHz，LO 的頻率為 17GHz，IF 的頻率為 30MHz。主電路的  $V_{dd1}=6 \text{ V}$  (66.3 mA)，輸出緩衝級  $V_{dd2}=6 \text{ V}$  (24.7mA)。全部功率消耗為 546mW。

如圖 4.48 所示，此電路在 LO 功率為 15dBm 時轉換增益最大約為 4dB。

如圖 4.49 所示，可清楚的看到 IP1dB 為 -6dBm。

對照圖 4.50 與 4.51 可以得到鏡像消除比值(Image Rejection Ratio) 約為 49.1dB。

表 4.6 Simulation : Double Quadrature Down Converter ( MHEMT 0.15um ) Summary

Item	Value
RF/LO/IF Frequency (GHz)	17.03/17/0.03
Conversion Gain (dB)	4
Power Consumption (mW)	546
IP <sub>1dB</sub> (dBm)	-6
Image Rejection Ratio (dB)	49.1
Chip Size (mm×mm)	3.2×3.3

