

## 一. 緒論

### 1.1 前言

隨著時代的進步與平面顯示器的興起，具備高效能、高解析等特點的低溫多晶矽-顯示器產品已經運用在各種的產品上，像是數位相機、數位攝影機、筆記型電腦、行動電話、PDA 等等需要輕、薄、低耗電的產品。低溫多晶矽-薄膜電晶體(Low Temperature Poly Silicon Thin Film Transistor)已經成為高畫質顯示器的代名詞。

### 1.2 低溫多晶矽薄膜電晶體

低溫多晶矽薄膜電晶體最主要的優點是在於可以利用低廉的價格製作驅動電路和高解析度的液晶顯示器。由於多晶矽薄膜電晶體有比非晶矽薄膜電晶體高上好幾百倍的電子遷移率，所以驅動電路可以直接設計在玻璃基板上，降低了驅動電路的貼附成本，也降低了面板和 PCB 間電路接點數目，如圖 1-1 所示。而驅動電路在非晶矽薄膜液晶顯示器當中是僅次於彩色濾光片的高單價零件。因此多晶矽薄膜電晶體可以有效的改善非晶矽薄膜電晶體的反應速度慢、解析度低、成本高等等問題。

因為受限於玻璃基板的溫度，製程溫度不可超過 600°C。而目前的技術來說大致可分為四種方法，分別為直接沈積複晶矽、固相結晶法、準分子雷射退火法、和金屬誘發結晶和金屬側向誘發結晶等方法。

#### 1.2.1 直接沉積多晶矽

這個方法是利用 PECVD、HDPCVD 或 UHVCVD，在低於玻璃軟化溫度的情形下，直接沈積複晶矽在玻璃基板上。這是製造複晶矽最便宜也是最快速的方式，並且製成溫度可以被降到 350°C 以下。這指出了這個方式也可以適用於塑膠基板。利用這個方法製作複晶矽的晶粒比較小，並且電性上比利用 MILC 或是 ELA 差。

#### 1.2.2 固相結晶法 (SPC)

固相結晶法是將已沈積好的非晶矽放入石英爐管中，其結晶溫度大約在

550~600°C之間，而退火時間約 24~72 小時不等。要產生結晶必須經過二個步驟，分別為成核和成長。成核又可分為均質成核和異質成核，以固相結晶法來說，由於非晶矽裡含有缺陷，缺陷自由能較高，較容易吸附溶質原子造成原子聚集，形成異質成核，進而成長；也有部分的成核是以均質成核進行，然後再進行成長。但是一般的固相結晶法退火時間太長，且最後所得到的晶粒較小，晶界多，缺陷多，因此最後所做出的薄膜電晶體特性並不好。

### 1.2.3 準分子雷射退火 (Excimer Laser crystallization)

近來，有一個關鍵技術被研發出來製作高品質複晶矽薄膜電晶體。這各技術便是準分子雷射退火。準分子雷射發射在的短的脈衝週期時 (10~30ns) 雷射波段在紫外線區域 (輸出波長有 193、248、308 奈米，分別對應於 ArF、KrF、XeCl 氣體)。由於矽對於紫外線波段的光源有很強的吸收能力 ( $\alpha > 10^6 \text{cm}^{-1}$ )，再加上熱的擴散距離短，所以在使用脈衝雷射退火時，可以對矽晶圓的表面造成加熱效果，造成非晶矽融化，而不會對基板造成破壞。這樣一個方法使的準分子雷射退火適合玻璃基板，甚至是塑膠基板。準分子雷射還有其他的優點，例如可以成長出結晶性非常好的複晶矽並且缺陷非常少。根據雷射能量的不同，結晶方式可以被分為三種[2.3]。

#### 低能量密度 (部分熔融):

低能量密度的方式是指說脈衝雷射的入射光能量大於最低結晶能量，但是仍太低，只能夠熔融薄膜表層部分的非晶矽，而留下一層非晶矽結構 (亦即說熔融的厚度 < 薄膜厚度)。因此，這個能量範圍是屬於部分熔融。其成長機制如圖 1-2，當冷卻時，會以下層的非晶矽為核往上成長並側向成長，而晶粒將彼此互相侷限大小，此時得到的晶粒為垂直薄膜的長條型晶粒，雷射的能量越大，晶粒尺寸越大。

#### 高能量密度 (完全熔融):

高能量密度的方式指入射的雷射能量很高，足以將整層的非晶矽熔融。冷卻後形成小晶粒的複晶矽，此時屬於均質成核，結晶顆粒為不規則的多方形。在圖 1-3 中可以看到他的機制。

### 接近完全熔融：

在情況介於上述兩者之間的一種情形，這種方法會形成比膜厚大很多倍的晶粒。此方法是降低雷射能量，使非晶矽層不會被完全熔融，會在玻璃基板上留下一些非晶矽的顆粒。當冷卻成長時，會以非晶矽顆粒為晶種往外成長而得到很大的晶粒。在圖 1-4 中可以清楚的看的這個機制。

準分子雷射退火這個方式，如果在適當能量之下，可以得到晶粒非常大的複晶矽，並且在電性表現上很好，但是仍有其某些缺點，如設備昂貴，或是均勻性不佳。所以同期也有其他技術被提出跟研究。



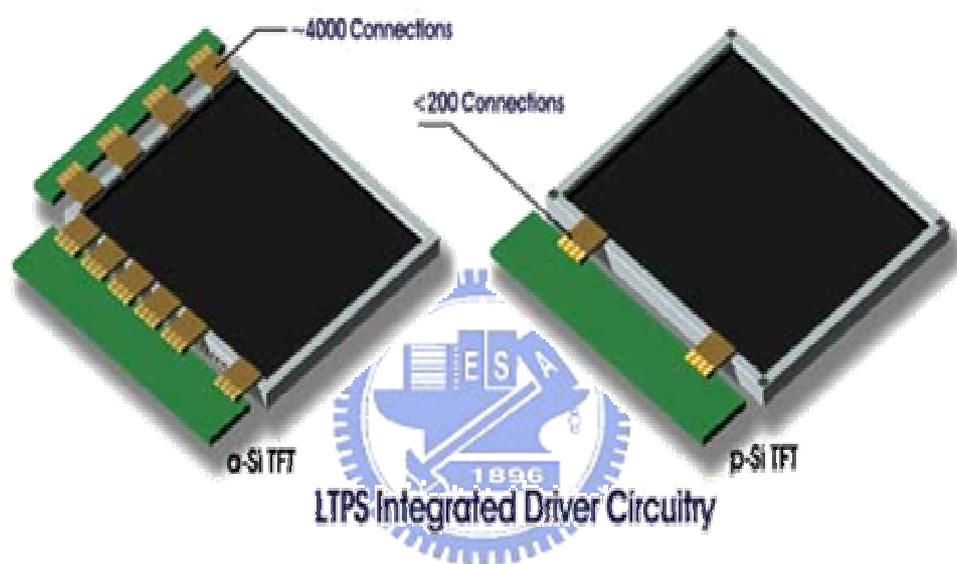
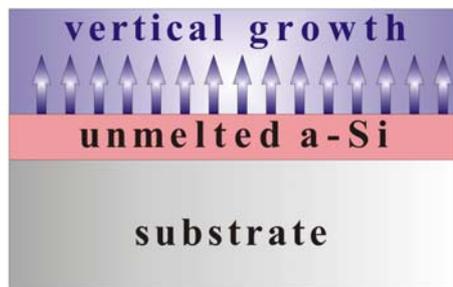
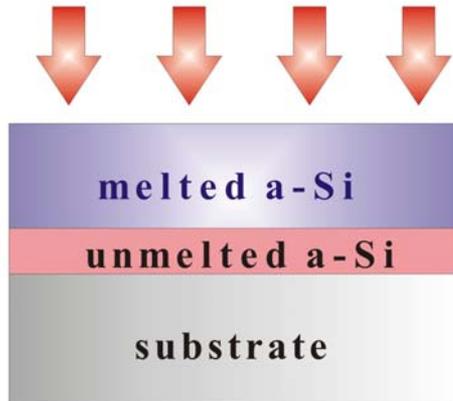


圖 1-1 利用 LTPS 技術可以減少面板與 PCB 版的接點數目示意圖[1]

**excimer laser irradiation**



**small poly-Si grain**

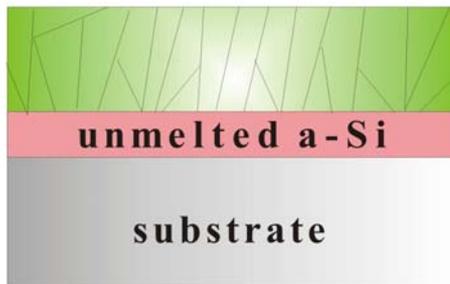


圖 1-2 部分熔融過程

## excimer laser irradiation

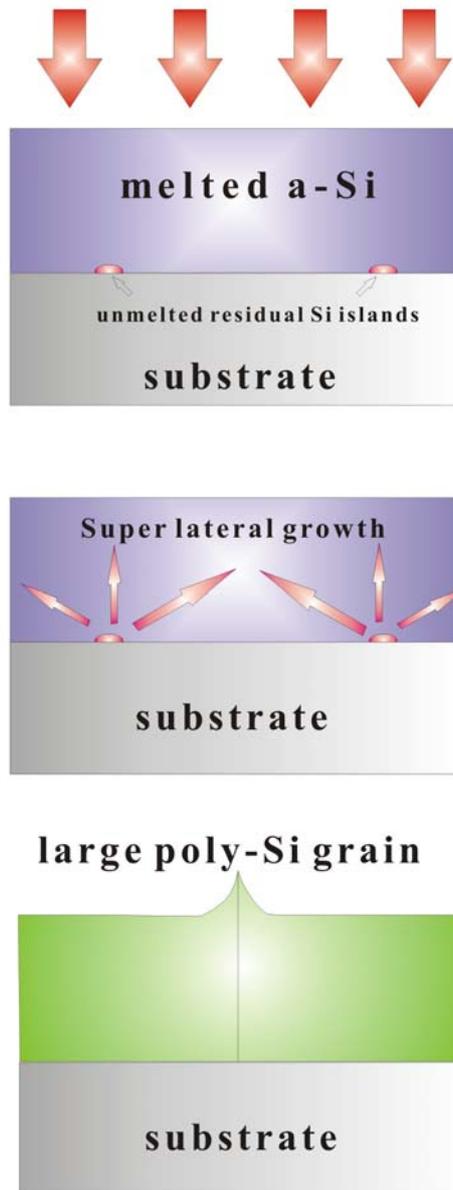
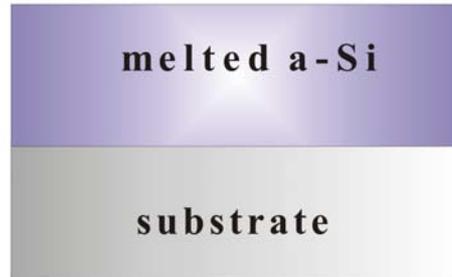
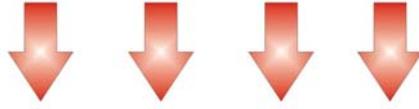
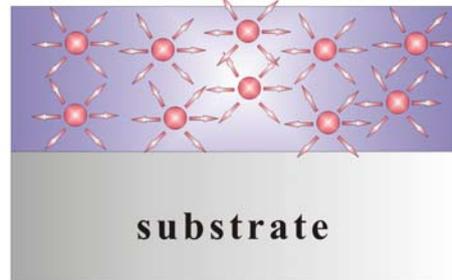


圖 1-3 接近完全熔融過程

**excimer laser irradiation**



**homogeneous nucleation**



**small poly-Si grain**

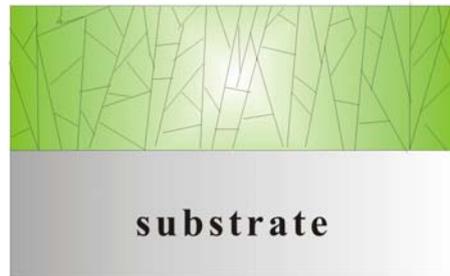


圖 1-4 完全熔融過程

#### 1.2.4 金屬誘發結晶/金屬側向誘發結晶 (MIC/MILC)

Wagner 和 Ellis[4]在 1963 年發現少量的特定金屬可以幫助矽結晶。依照不同誘發結晶的方式可以分成兩類：一種是與矽產生共晶反應(例如：Al[5]、Au[6]等)，由於共晶點的溫度通常比一般單相結晶的溫度低，所以可以在低溫下產生結晶。以 Al 為例，M. S. Haque[5]在研究中指出 Al 與 Si 的共晶溫度在 577°C，但在 200°C 左右便開始與 a-Si 層反應產生結晶。金屬向內擴散時不僅使 a-Si 結晶，同時因為金屬摻雜的關係導致 Si 層轉變成 p 型。

另一種低溫結晶的方式是利用金屬與矽反應成介穩定的矽化物(例如：Ni[7.8]、Pd[8.9]等)，在矽化物移動的過程中，金屬原子的自由電子與 Si-Si 共價鍵發生反應，降低 a-Si 結晶所需的能障，使得結晶溫度降低。以 Ni 為例，Ni 會先與 Si 反應成多種矽化物[8]，在靠近 a-Si 區域的地方會產生富 Si 的 NiSi<sub>2</sub>。由圖 1-5 的 Ni-Si 反應自由能圖[10]中可知，在 NiSi<sub>2</sub> 中的 Ni 原子在 NiSi<sub>2</sub> 與 a-Si 界面的自由能比在 NiSi<sub>2</sub> 與 poly-Si 界面處低，這個自由能差會使 Ni 原子往 a-Si 層移動；反之，在 NiSi<sub>2</sub> 中的 Si 原子在 NiSi<sub>2</sub> 與 a-Si 界面的自由能比在 NiSi<sub>2</sub> 與 poly-Si 界面處高，使得 Si 原子會往 poly-Si 的方向擴散。這結果會使得 NiSi<sub>2</sub> 持續的往 a-Si 延伸，而所經之處產生 Si 結晶。

我們簡單的敘述一下金屬誘發結晶/金屬側向誘發結晶(MIC/MILC)，如圖 1-6，首先在非晶矽上面鍍上一層鎳金屬，在適當溫度(350°C~550°C)退火數小時，在非晶矽與鎳金屬介面處會形成一層薄薄的 NiSi<sub>2</sub>，由於熱力學上的驅動力，NiSi<sub>2</sub> 向下移動，形成金屬誘發結晶 (MIC)，接著 NiSi<sub>2</sub> 向旁移動，形成金屬側向誘發結晶 (MILC)。在 MIC 區域形成的多晶矽晶粒較小，結晶品質較差且金屬污染較嚴重。而 MILC 的區域形成的多晶矽晶粒較大，結晶品質較好且金屬污染比 MIC 區域較不嚴重。所以一般 TFT 通道都作在 MILC 區域。圖 1-7 為 NiSi<sub>2</sub> 與 Si 的晶體結構[11]。NiSi<sub>2</sub> 屬於螢石結構、晶格常數 5.406Å；而 Si 為鑽石結構、晶格常數為 5.430Å，兩者因晶格常數不同所產生的晶格不匹配僅有 0.44%，因此 NiSi<sub>2</sub> 相當適合做為誘發結晶的核。故我們在實驗中將以 Ni 為誘發結晶的金屬，在此對 Ni 與其矽化物反應過程作一探討。

Ni 在結晶或非晶矽中都屬於快速擴散源，擴散主要是藉著空隙間的跳躍所造成的。在此機制中，擴散係數(D)會遵守 Arrhenius 方程式：

$$D_i = D_{i,0} \exp\left(-\frac{H_i^M}{KT}\right) \quad (2)$$

其中  $H_i^M$  為焓的變化量， $D_{i,0}$  為指數係數， $T$  為溫度。以 Ni 而言，在 a-Si 中的擴散係數大概是  $3 \times 10^3 \exp[-1.3(\text{eV})/KT]$   $\text{cm}^2/\text{s}$ [12]，這約為在 p-Si 中擴散的十萬分之一，縮減的量可以從式(2)中得到，這主要是 a-Si 中阻礙空穴濃度較大且空穴擴散在低溫下具有較高的焓的關係。

$$D_{Ni}(a-Si) = D_{Ni}(a-Si) / [1 + \alpha C^t \exp(H_{Ni}^B / KT)] \quad (3)$$

其中  $\alpha = Z_{Ni}(\theta^0 / \theta^*) \exp(S_{Ni}^B / KT)$ ， $C^t$  為被阻礙的原子比例、 $H^B(S^B)$  為焓  $Z_{Ni}$  阻礙的空穴數以及  $\theta$  代表空穴被佔據的比例。

在 Ni-Si 的反應中，主要是藉由 Ni 原子的擴散。在約 200°C 時開始產生  $\delta$ -Ni<sub>2</sub>Si，之後隨著退火溫度的提高，在 500°C 時 Ni<sub>2</sub>Si 逐漸被 NiSi 相所取代，在 650°C 左右慢慢形成 NiSi<sub>2</sub>。NiSi<sub>2</sub> 的形成主要是由成核機制所控制的，需要在高溫下才能形成。但在退火的過程中 Ni 並不會直接與矽反應形成 NiSi<sub>2</sub>，而會先反應形成 NiSi 的介穩定相[13]，再由 NiSi 與 Si 反應而得到 NiSi<sub>2</sub>。在 NiSi 與 Si 的反應機制裡，NiSi 與 a-Si 反應形成 NiSi<sub>2</sub> 是屬於擴散控制在 350°C 左右就可以形成 NiSi<sub>2</sub>；而 NiSi 與 c-Si 反應形成 NiSi<sub>2</sub> 則是屬於成核控制，所以需要高溫度下才能得到。所以就金屬誘發而言，Ni 與 a-Si 薄膜反應形成 NiSi<sub>2</sub> 來誘發結晶並不需要很高的溫度[14]。

接下來討論 MILC 方向性的優勢，我們知道 NiSi<sub>2</sub> (111) 平面跟 Si (111) 平面的晶格常數只有 0.44% 的不匹配，所以當 c-Si 在 NiSi<sub>2</sub>{111} 平面上產生磊晶時，並不會有介面差排的出現，所以在 MILC 的過程中，{111} 為其 c-Si 的優選方向[10]。而我們可以從圖 1-8 中看出，在軸向為 <110>- 的情況下，c-Si 八面體結構的四個 {111} 方向將會平行薄膜的上下表面，但是如果軸向為 <100>- 或 <111>- 的情況下，{111} 方向並不會平行薄膜表面，所以 c-Si 的成長將會被薄膜上下表面所限制。所以 c-Si 的成長的優選軸向為 <110>- 而優選成長方向為 <111>-。由於 MILC 有上述的優選方向，所以以此方法成長的複晶矽會有其方向性，這也成為 MILC 方法最大的優點。

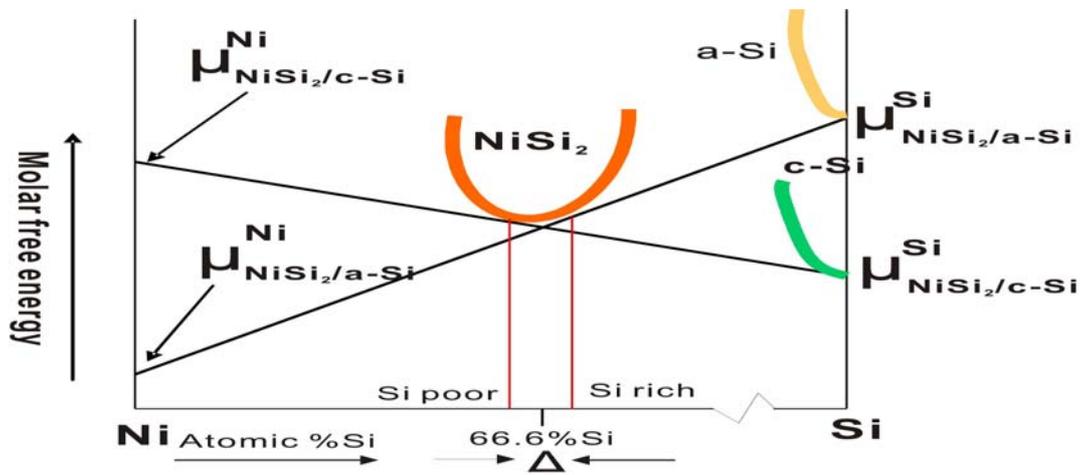


圖 1-5 Ni-Si 反應自由能圖[10]

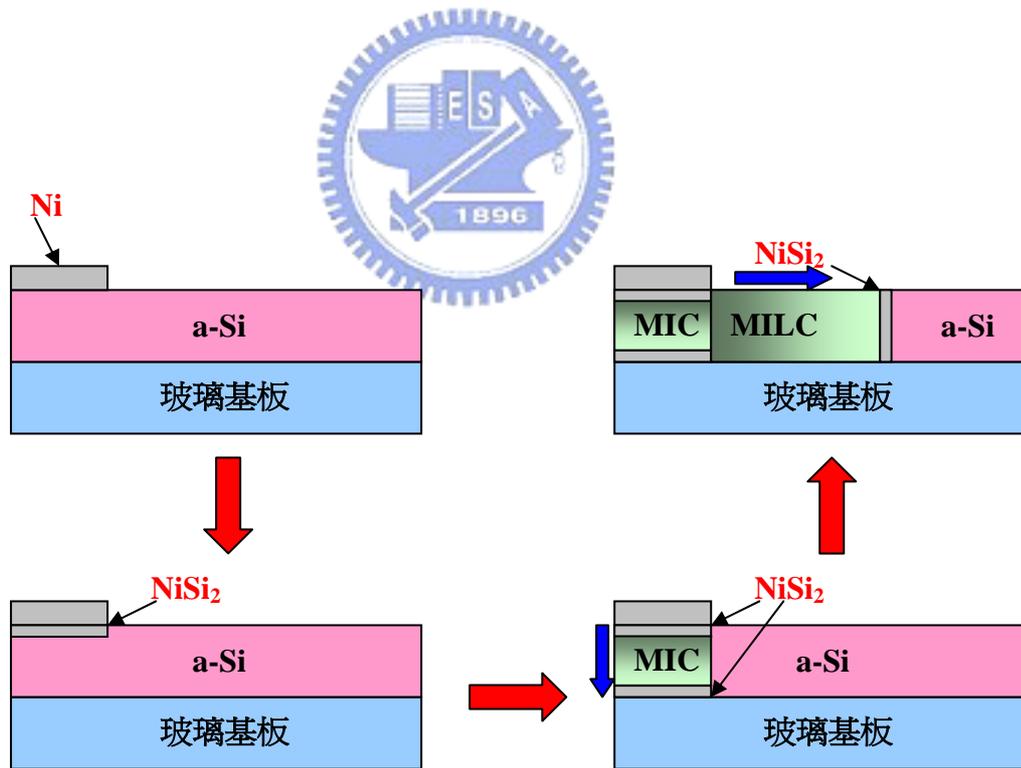


圖 1-6 MIC/MILC 的流程

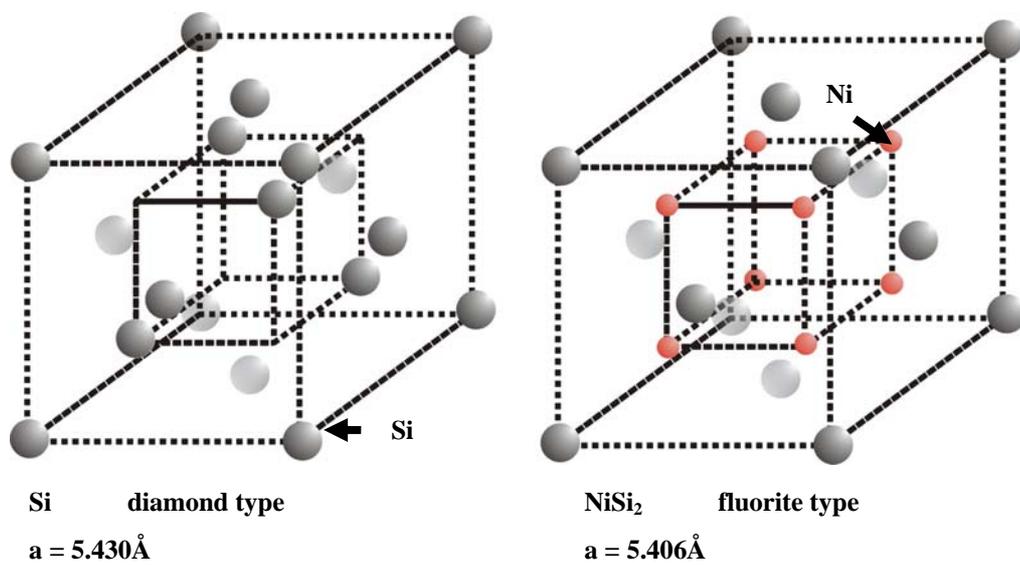


圖 1-7 Si 與 NiSi<sub>2</sub> 的晶體結構[11]

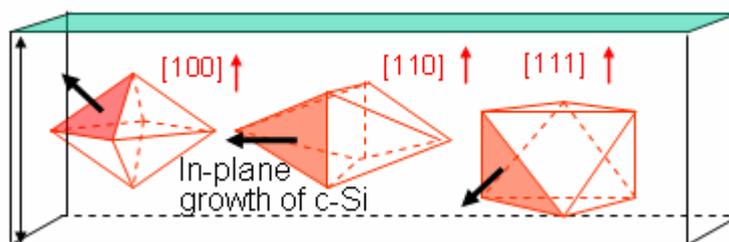


圖 1-8 MILC 的優選成長方向[10]

鎳誘發結晶技術是一種可以得到高品質的多晶矽薄膜的技術，因此鎳誘發結晶技術目前被熱烈的研究中。鎳誘發技術的研究一直以來朝著如何加快結晶速率、改善結晶品質及增大晶粒尺寸與減少鎳污染的目標進行，因此有各種的新方法被提出，接下來簡述一下兩種增大晶粒尺寸的方法。

在 2002 年由 Kim 等人[15]提出增大晶粒尺寸的方法，利用濺鍍的方式控制鍍覆在非晶矽薄膜上的鎳含量，然後在 20V/cm 的電場下退火 5 分鐘，結果發現當鎳的濃度等於  $2.5 \times 10^{13}$  atom/cm<sup>2</sup> 時，其平均晶粒尺寸為 20  $\mu$ m(如圖 1-9)而當鎳的濃度大於  $1 \times 10^{14}$  atom/cm<sup>2</sup> 時，在非晶矽上形成高密度的 NiSi<sub>2</sub> 而導致形成小的晶粒。此文獻中另外有提到，當 Ni 的濃度小於  $1 \times 10^{13}$  atom/cm<sup>2</sup> 時，無法將非晶矽完全結晶。

另外，在 2003 年由 Choi 等人[16]提出另一種方法稱之 MICC(Metal Induced lateral Crystallization of amorphous Silicon through a Silicon Nitride Cap layer)，即將非晶矽薄膜鍍覆在玻璃基材上接著將氮化矽 (SiN<sub>x</sub>) 薄膜沈積在非晶矽薄膜上如圖 1-10 所示，再用濺鍍的方式鍍覆 0.5nm 鎳膜在氮化矽上，最後將此試片在快速退火爐(RTA)中進行退火，結果發現得到的平均晶粒尺寸為 20~90  $\mu$ m 的晶粒，文獻中提到利用氮化矽當作過濾器(filter)能有效的過濾鎳原子的數目，而控制鎳在非晶矽中的濃度，進而減少鎳誘發結晶的成核點，因而得到較大尺寸的鎳誘發結晶的晶粒。在另一文獻中[17]更指出利用氮化矽當作過濾器(filter)能有效的過濾鎳原子，僅有 1/3 的鎳原子穿過氮化矽來到非晶矽，如圖 1-11 所示。

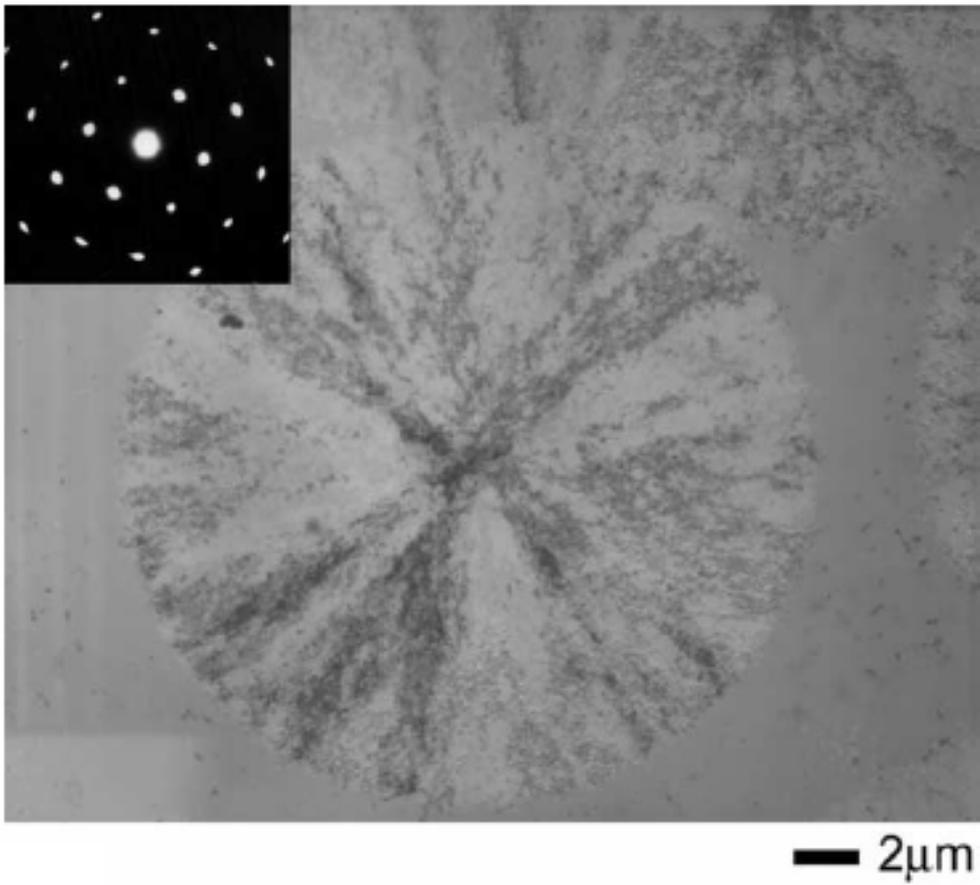


圖 1-9 控制鎳濃度得到大晶粒的多晶矽[15]

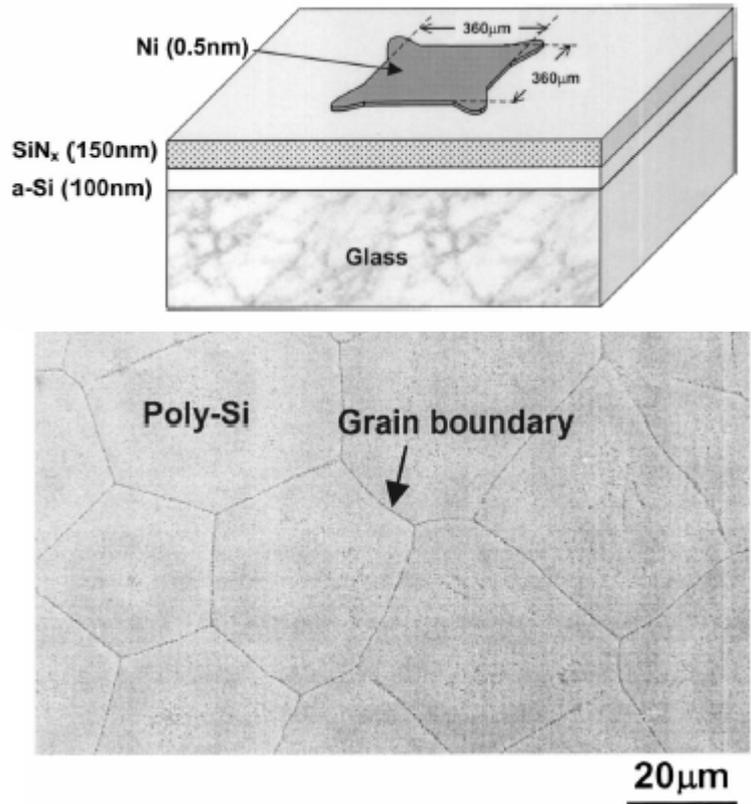


圖 1-10 Choi 等人所提出的大晶粒的製作示意圖及其 SEM 結果[16]

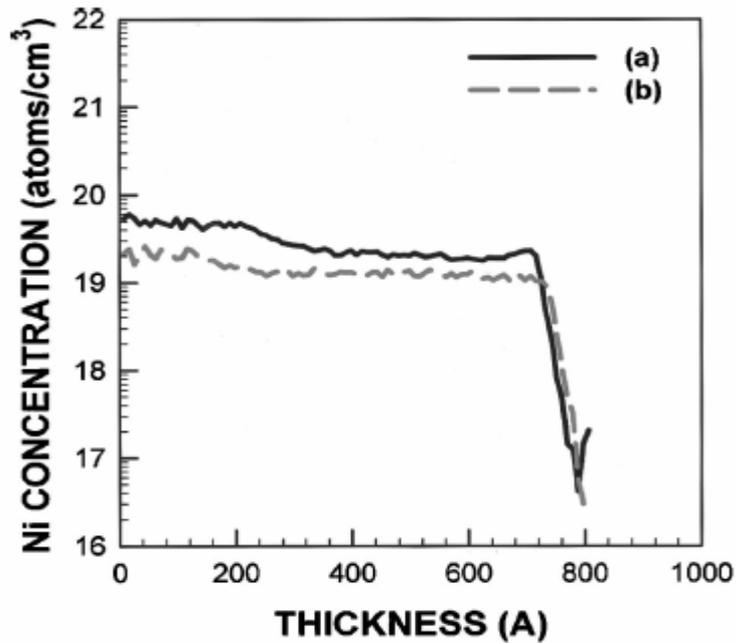


圖 1-11 利用 FE-SMC 方法退火 500°C 10 分鐘所得覆晶矽的 SIMS depth profile (a)沒有蓋 SiNx film (b)有蓋 SiNx film(150nm) [17]

### 1.3 實驗動機

利用固相結晶法 (SPC) 製造出來的多晶矽晶粒小、缺陷多，在電性表現上很不好；準分子雷射退火 (Excimer Laser crystallization) 則因為雷射能量控制上的困難，儀器設備昂貴，並且最大的問題是其均勻性不佳。而金屬誘發側向結晶 (MILC) 剛好可以解決以上這些問題，但亦有金屬殘留問題；而由 Choi 等人[15]提出 MICC (Metal Induced lateral Crystallization of amorphous Silicon through a Silicon Nitride Cap layer) 方法可以有效減少金屬殘留的問題，不過為了得到大晶粒還是必須將鎳濃度控制在  $10^{13}$  atom/cm<sup>2</sup>~ $10^{14}$  atom/cm<sup>2</sup>。而以我們現有的機台無法控制得當，所以我們提出利用無電鍍方法，只要控制鍍覆時間，就可以得到我們想要的濃度，再加上無電鍍方式是簡單又方便，只要準備無電鍍液及鍍槽即可進行鍍覆，不需要真空設備，是節省成本的方式。另外，MICC 這方法多了一層氮化矽薄膜，那對金屬誘發側向結晶 (MILC) 有沒有影響呢？這也是我們想要探討的。所以本實驗利用無電鍍的方式鍍覆金屬來探討 MICC 和氮化矽對 MILC 成長速率的影響。



## 二. 實驗步驟

### 2.1 利用無電鍍鎳法探討 MICC

先介紹此實驗試片的製備。首先在(100)的四吋矽晶圓成長 5000Å 的二氧化矽層，此步驟是為了要模擬 TFT 的玻璃基板，在成長氧化層之前，我們會用傳統的 RCA clean 清洗矽晶圓，其流程如表 2-1。

而在成長完氧化層之後，利用低壓化學沉積系 (LPVCD)，成長 1000 Å 的非晶矽，其 LPCVD 的參數如表 2-2。

在沈積完非晶矽層之後，利用 PECVD 來沉積 500Å 的氮化矽，並利用無電鍍鎳將鎳原子鍍覆在氮化矽上，接著利用爐管進行退火的動作，成長多晶矽。

接下來我們介紹無電鍍鎳實驗的流程，在 2000ml 的燒杯中加入表 2-3 的配方，再加入 1000ml 的去離子水(DI water)，利用磁石攪拌器將無電鍍鎳溶液攪拌均勻後，在加熱器(Hot plate)上加熱至 68~70°C，再用氨水(NH<sub>4</sub>OH)將無電鍍液 PH 值控制在 6.9~7.2，無電鍍鎳鍍覆的設備如圖 2.1 所示。將試片放入無電鍍鎳液浸置數分鐘後取出。用去離子水(DI water)沖洗，再用氮氣槍將試片吹乾，接著放入通有氮氣氣氛的爐管中在 550°C 下退火數小時。將退火過的試片先用 BOE 去除氮化矽，再經 secco etching[18]後去做 OM 和 SEM 觀察；利用” Silicide etch” 溶液(HNO<sub>3</sub>+NH<sub>4</sub>F+H<sub>2</sub>O)只吃矽化物不吃非晶矽的特性，觀察多晶矽中的金屬殘留量的多寡。無電鍍鎳其方程式如 2-1：



我們可以從圖 2-2 看到整個流程圖。

本實驗利用無電鍍的方式取代 PVD 鍍覆金屬的方式，這種技術是利用無電鍍液與鍍覆基材之間的電位差使鍍液中的金屬離子還原，還原的金屬進而自行析鍍於基材上。其優點在於：一、可控制鍍覆時間進而使鍍覆金屬量少，二為批次製程，其設備比其他金屬化製程所需之真空設備、準分子雷射設備成本為低、技術

複雜度低，不但可以與傳統 TFT 製程相互整合，而且更適合用於未來大型基板的低溫複晶矽再結晶製程，用以提供大面積系統或面板之多晶矽 TFT 的矽基材。而且利用無電鍍鎳誘發結晶的方式所得到 TFT 元件特性與 PVD 所製作 TFT 元件特性相差無幾[19]。

## 2.2 氮化矽對金屬誘發側向結晶之影響

首先在(100)的矽晶圓上成長二氧化矽層，用 LPVCD 沉積 1000 Å 的非晶矽之後，我們再利用 PECVD 來沉積 500Å 或 1000Å 的氮化矽或二氧化矽，並利用黃光開出我們的圖案，再用 e-gun 鍍覆 20Å Ni，以爐管分別在 550°C、565°C、600°C 進行退火的動作，成長多晶矽。利用 OM 觀察側向結晶成長的情形，並利用 image pro 的軟體進行側向結晶的量測。利用 SEM 進行為結構的觀察並比較差異性。利用薄膜應力量測儀分析氮化矽與二氧化矽所造成的應力。整個流程圖如圖 2.3 所示。

## 2.3 元件製備

TFT 元件製作的流程圖如圖 2-4 所示。首先將只有 a-Si 與蓋有二氧化矽 500Å 和氮化矽 1000Å 的兩層結構的試片，開黃光鍍鎳再用爐管 550°C 退火 24 小時進行金屬誘發側向結晶，將我們需要的多晶矽製備好，做為我們元件的主動層 (active layer)。所以元件的製備上我們要先定義出主動層的位置，接著我們以 PECVD 在 385°C 的條件下沉積 1000Å 的 oxide 作為 gate oxide，接下來以 LPCVD 在 550°C 下利用 SiH<sub>4</sub> 沉積 2000Å 的非晶矽作為 ploy gate。接下來以自我對準的方法來形成源極/汲極部分。再以磷做離子佈值，以  $5 \times 10^{15} \text{cm}^{-2}$  的劑量，形成 N<sup>+</sup> 的源極/汲極。接著以爐管 600°C 在氮氣的氣氛下 24 小時做活化的動作。再以 PECVD 成長 SiO<sub>2</sub> 厚 4500Å 的鈍化層 (passivation layer)。最後，以黃光做出接觸窗 (contact hole)，再以 thermal coat 鍍上 5000Å 的鋁作為電極。為了減少電極和源極/汲極的阻值，我們在最後再做 sintering 的動作。我們製備完整個 TFT 元件之後，以 Keithley 4200 量測兩組元件的電性，並做比較。

表 2-1 RCA clean

1. 去離子水沖洗五分鐘
2. 硫酸：雙氧水 = 3：1 (75~85°C) 10~15 分鐘
3. 去離子水沖洗五分鐘
4. 氟氟酸：去離子水 = 1：100 (dip 15 秒)
5. 去離子水沖洗五分鐘
6. 氨水：雙氧水：去離子水 = 1/4：1：5 (75~85°C) 10~15 分鐘
7. 去離子水沖洗五分鐘
8. 鹽酸：雙氧水：去離子水 = 6：1：1 (75~85°C) 10~15 分鐘
9. 去離子水沖洗五分鐘
10. 氟氟酸：去離子水 = 1：100 (dip 15 秒)
11. 氮氣吹乾

表 2-2 LPCVD 沉積非晶矽的參數

通入氣體	操作溫度 (°C)	壓力 (mtorr)	流量 (sccm)
SiH4	550°C	100	40

表 2-3 無電鍍鎳的參數

Chemical	Concentration (g/L)
NiCl <sub>2</sub> · 6H <sub>2</sub> O	15
NH <sub>4</sub> Cl	25
NaH <sub>2</sub> PO <sub>3</sub> H <sub>2</sub> O	5
C <sub>6</sub> H <sub>5</sub> Na <sub>3</sub> O <sub>7</sub> H <sub>2</sub> O	21

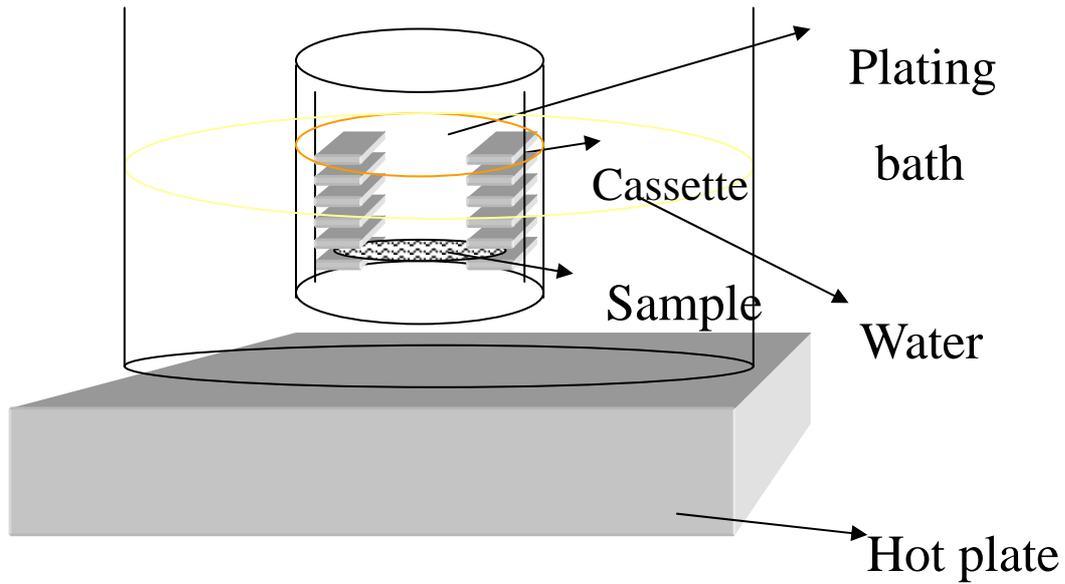


圖 2-1 無電鍍鎳鍍覆的設備

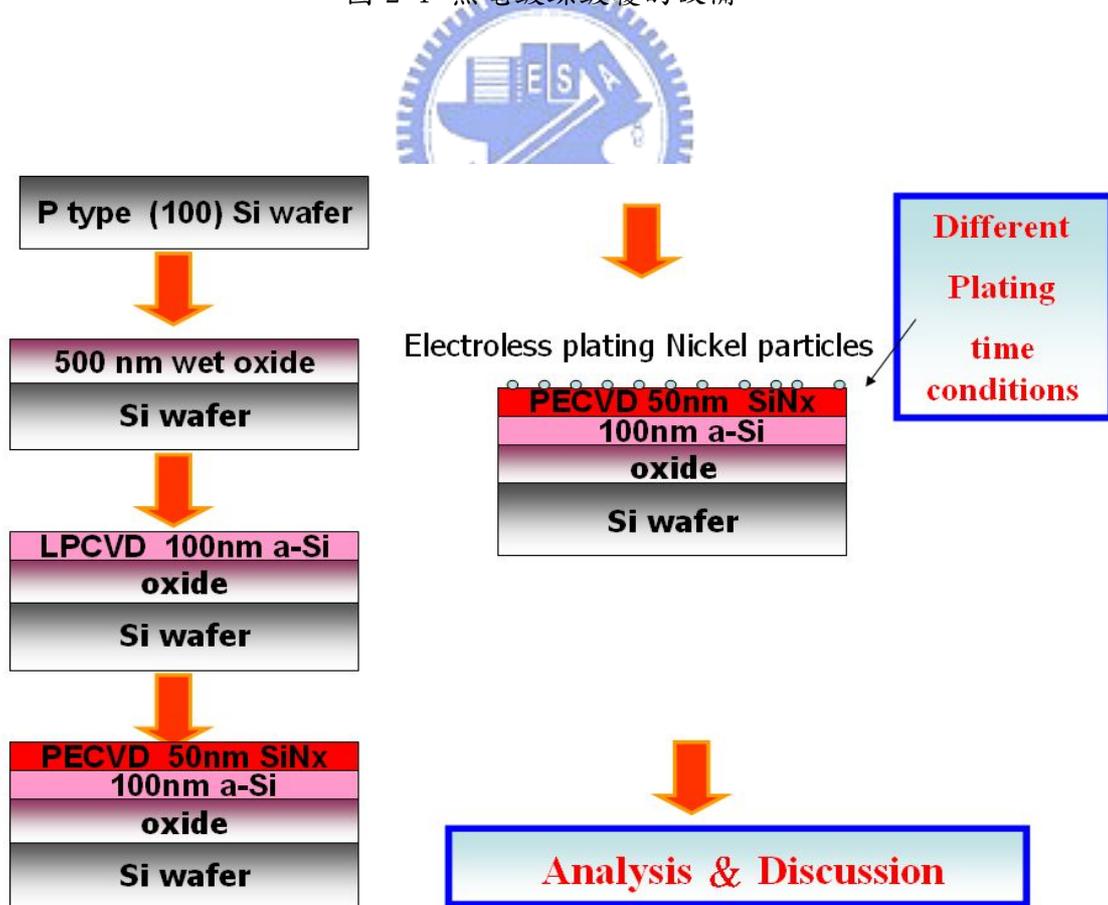


圖 2-2 實驗流程圖

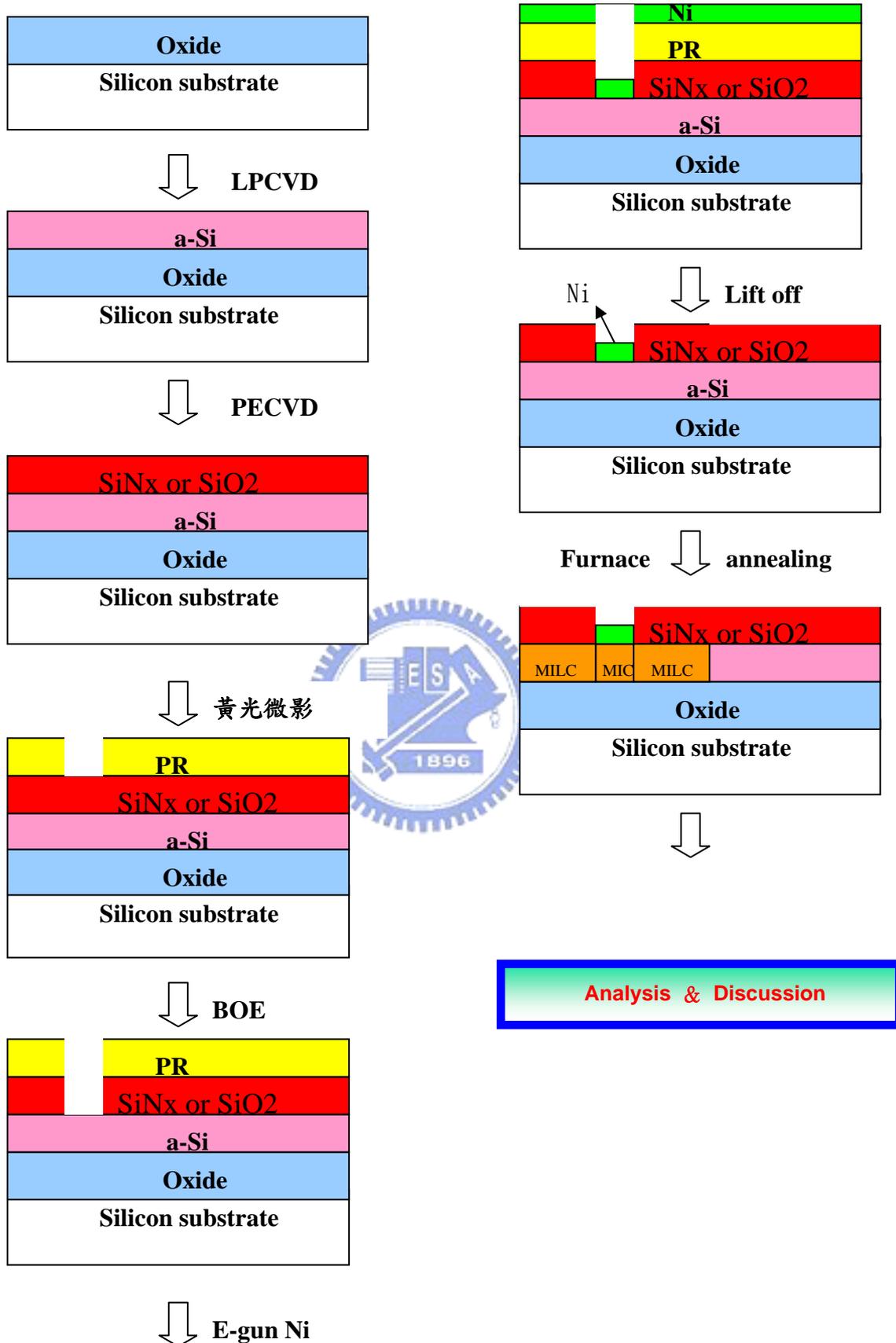


圖 2-3 實驗流程圖

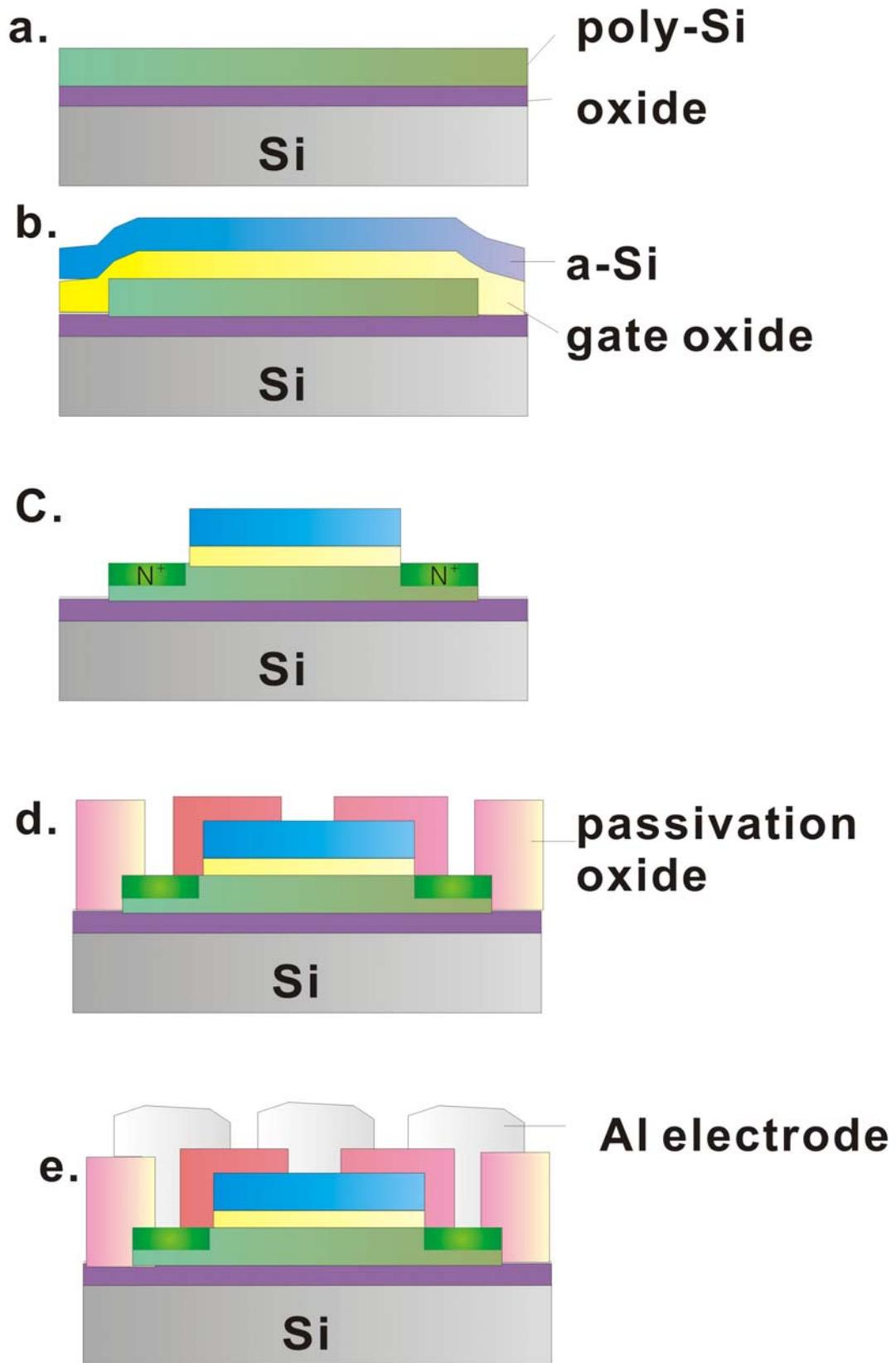


圖 2-4 TFT 元件製成流程圖

### 三. 結果與討論

#### 3.1 利用無電鍍鎳方法探討 MICC

##### 3.1.1 不同鍍覆時間的比較

為了知道鎳的濃度對於 MICC 的影響，我們用無電鍍法鍍覆了不同時間，發現了隨著鍍覆時間的增加，成核的數目也增加，如圖 3-1 所示。

當鍍覆時間由 7 分鐘增加到 9 分鐘，其晶粒大小由  $14.53\mu\text{m}$  增加到  $17.32\mu\text{m}$ ，我們可以由從 Choi[20]所提出的 MICC 機制來解釋(如圖 3-2 所示)。MICC 機制是鎳穿過氮化矽到達非晶矽，因為氮化矽可以有效過濾鎳，所以到達非晶矽的鎳的含量很少，而與非晶矽反應形成  $\text{NiSi}_2$  的量也相對少，無法立即進行誘發結晶， $\text{NiSi}_2$  必須聚集到一定的濃度才會開始進行誘發結晶動作，形成多晶矽。所以鍍覆 9 分鐘的試片穿過氮化矽到達非晶矽的鎳含量比較多，形成  $\text{NiSi}_2$  也比較多，相對而言，要達到誘發結晶的臨界濃度所需的時間較短，所以在初期相同時間退火下(晶粒還未碰在一起)，鍍覆時間越久，其晶粒越大。

當鍍覆時間少於 7 分鐘，退火時間到達 40 小時，仍無法使非晶矽完全結晶，如圖 3-3 所示，這是因為鍍覆的鎳含量不足。

當鍍覆的時間等於 7 分鐘，我們發現在爐管  $550^\circ\text{C}$  退火 40 小時下，非晶矽可以完全結晶，晶粒大小約  $40\sim 120\mu\text{m}$ 。圖 3-4 是無電鍍鎳鍍覆 7 分鐘的結晶過程，隨著退火時間增加，晶粒會一直側向成長，直到兩兩的晶粒碰撞在一起，形成晶界。

利用” Silicide etch” 溶液只吃矽化物而不吃非晶矽的特性，在 SEM 下觀察完全結晶後的微結構，發現有大量的  $\text{NiSi}_2$  聚集在晶粒的中心點與晶界，如圖 3-5 所示。

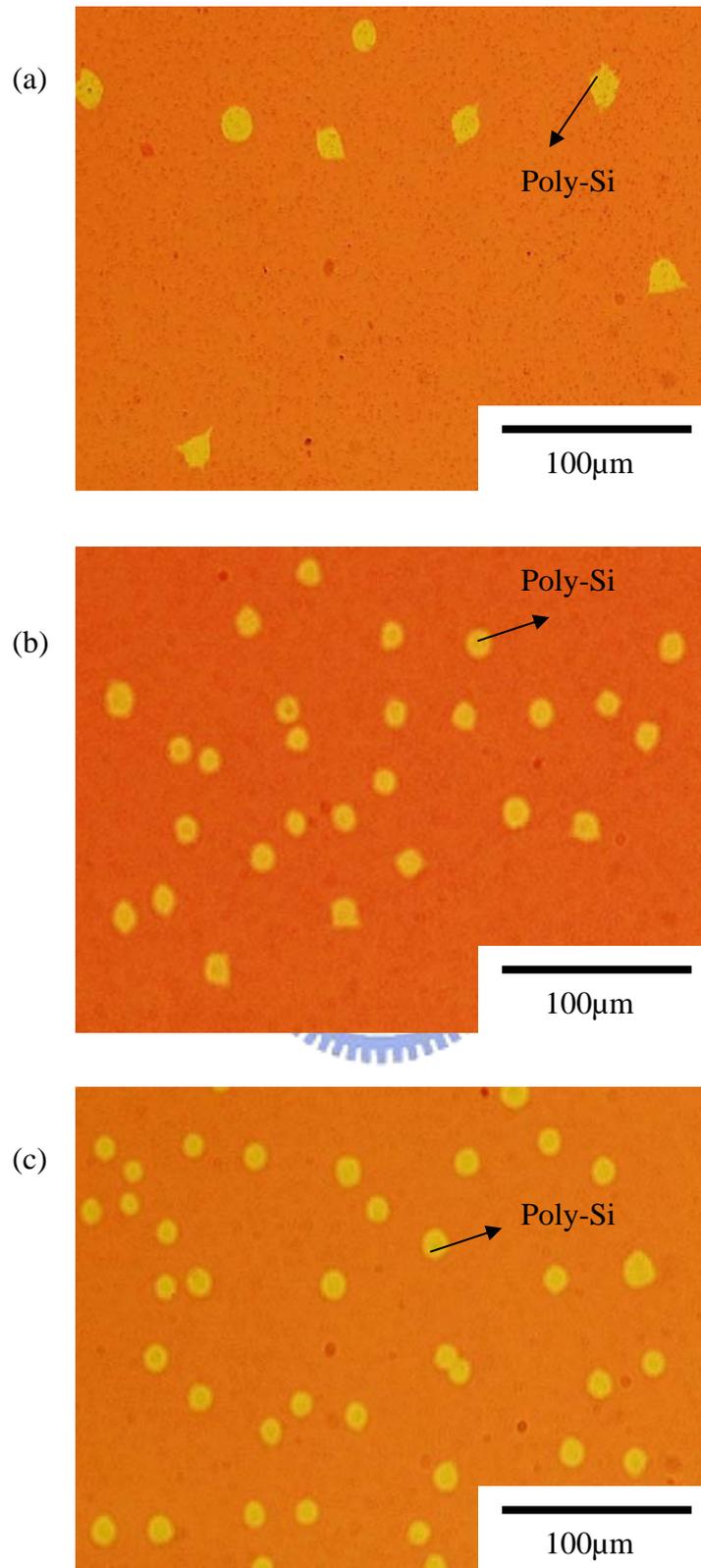


圖 3-1 無電鍍鎳鍍覆(a)7 分鐘 (b)8 分鐘 (c)9 分鐘 爐管 550°C 退火 3 小時

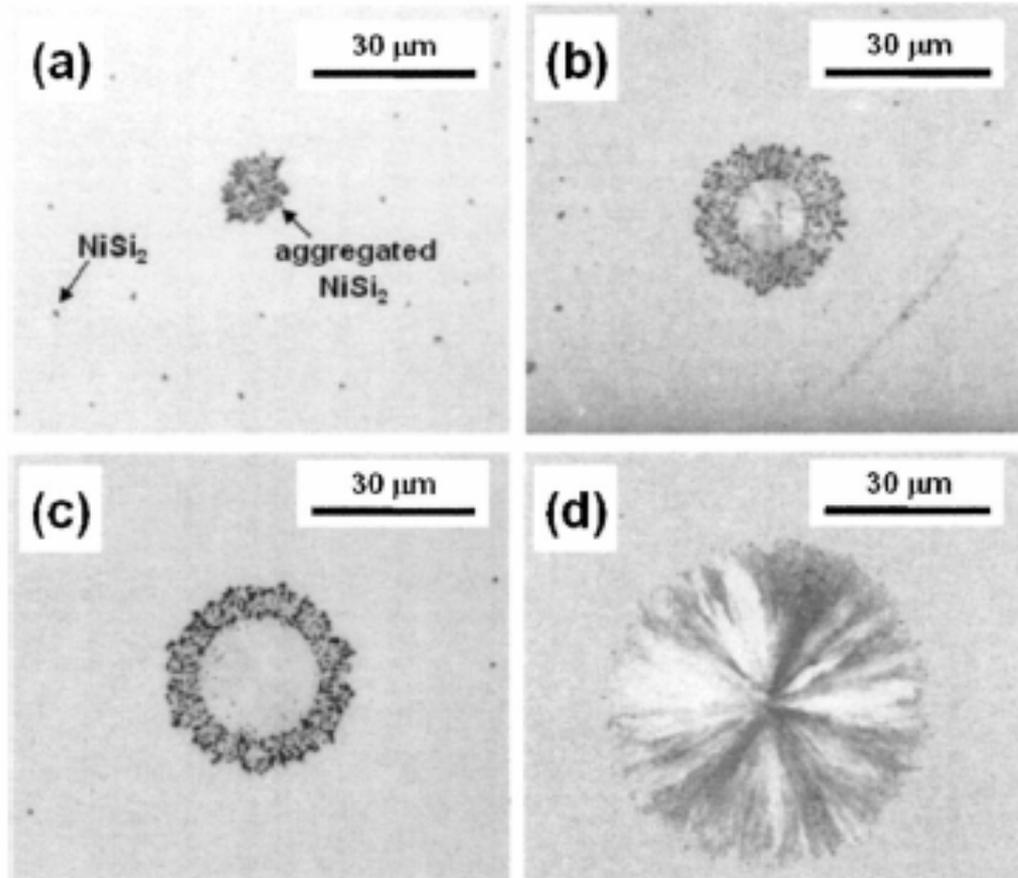


圖 3-2 Choi 所提出的 MICC 成長機制[20]  
 (a)形成  $\text{NiSi}_2$  的聚集(b) $\text{c-Si}$  在  $\text{NiSi}_2$  成核 (c)晶粒成長(d)形成 disk-like 的晶粒

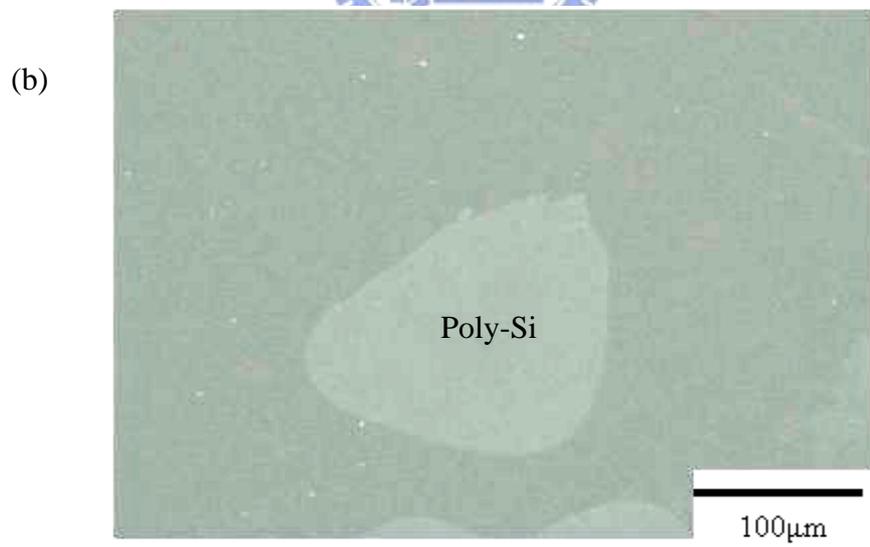
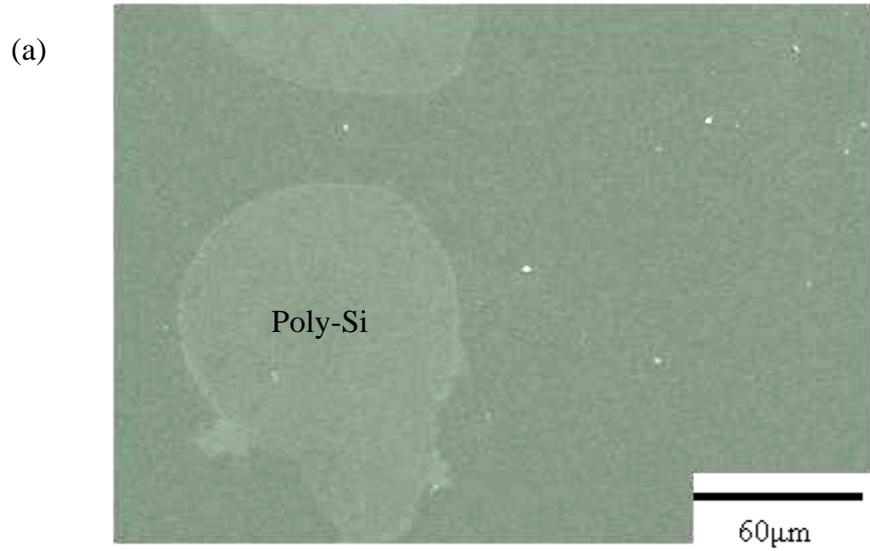
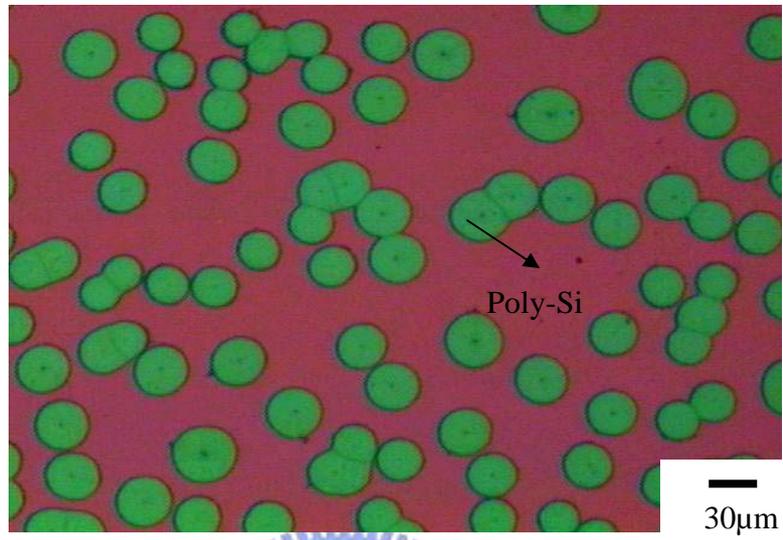
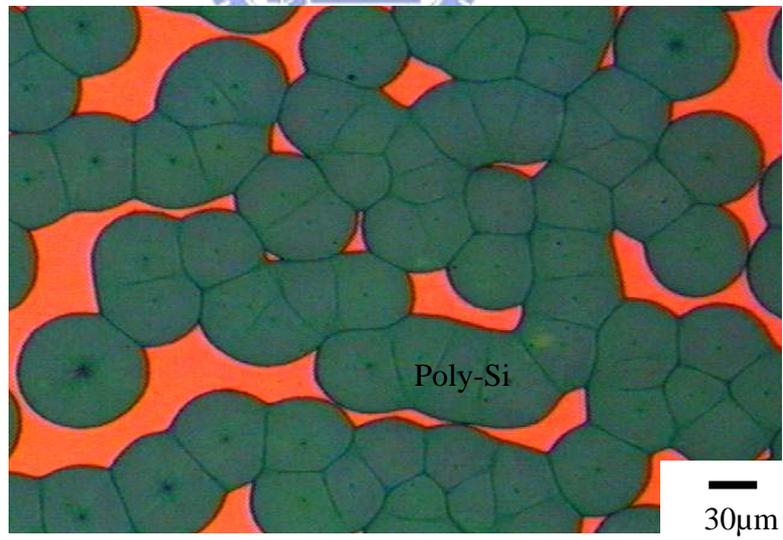


圖 3-3 無電鍍鎳鍍覆(a)3 分鐘 (b)5 分鐘 爐管 550 $^{\circ}$ C 退火 40 小時

(a)



(b)



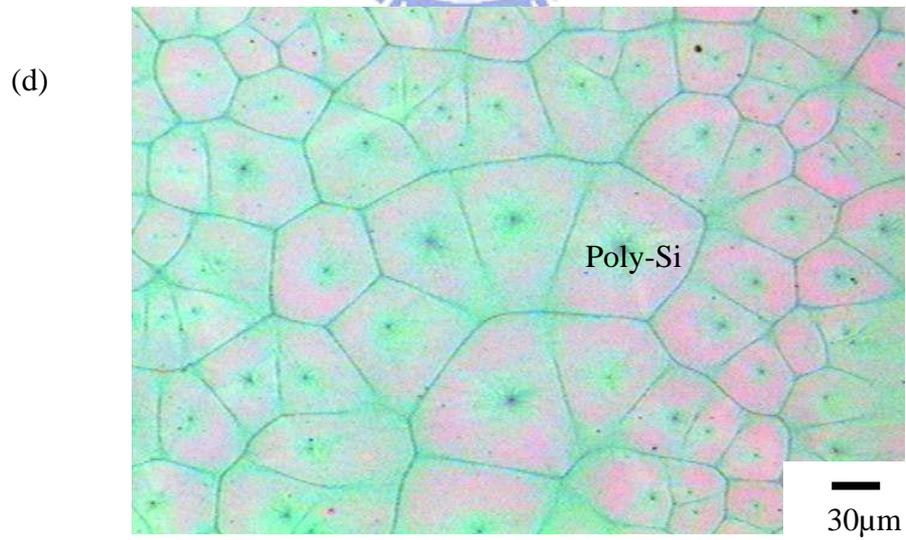
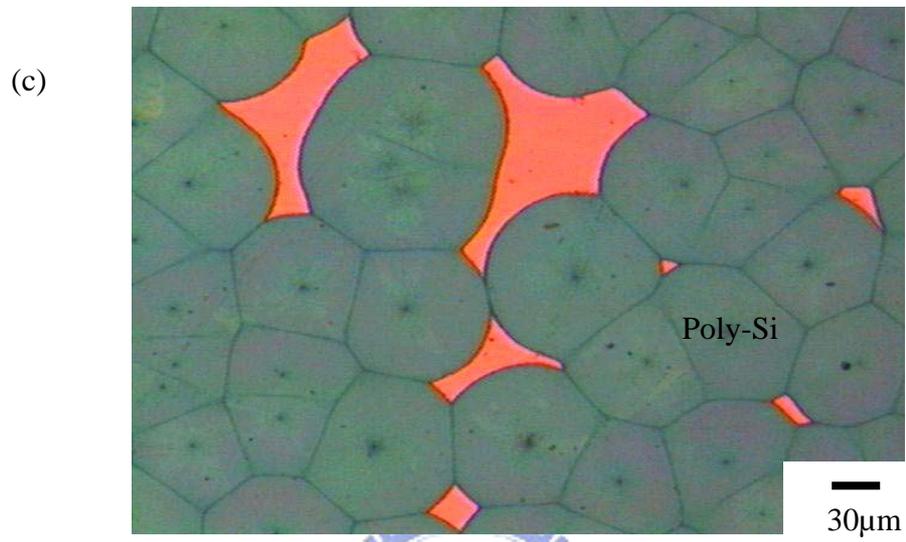
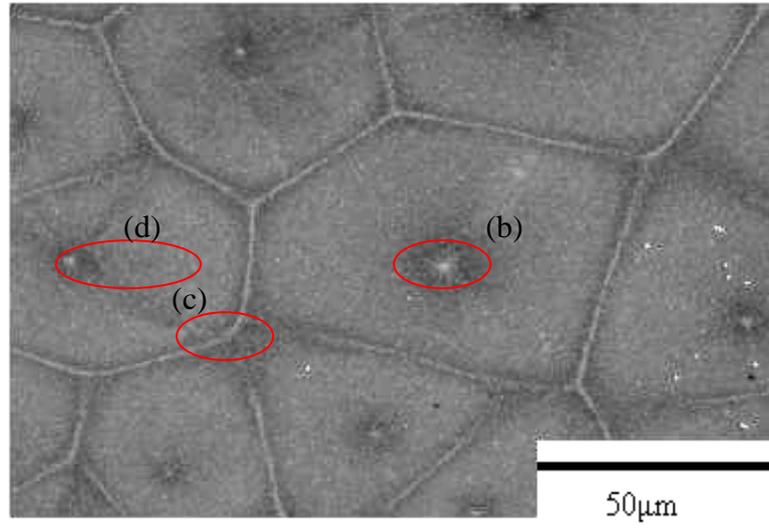
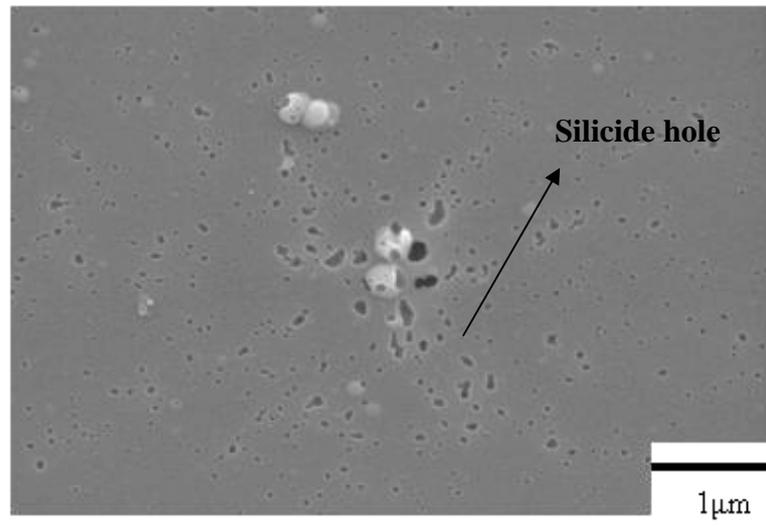


圖 3-4 無電鍍鎳鍍覆 7 分鐘爐管 550°C 退火(a)9 (b)20 (c)30 (d)40 小時

(a)



(b)



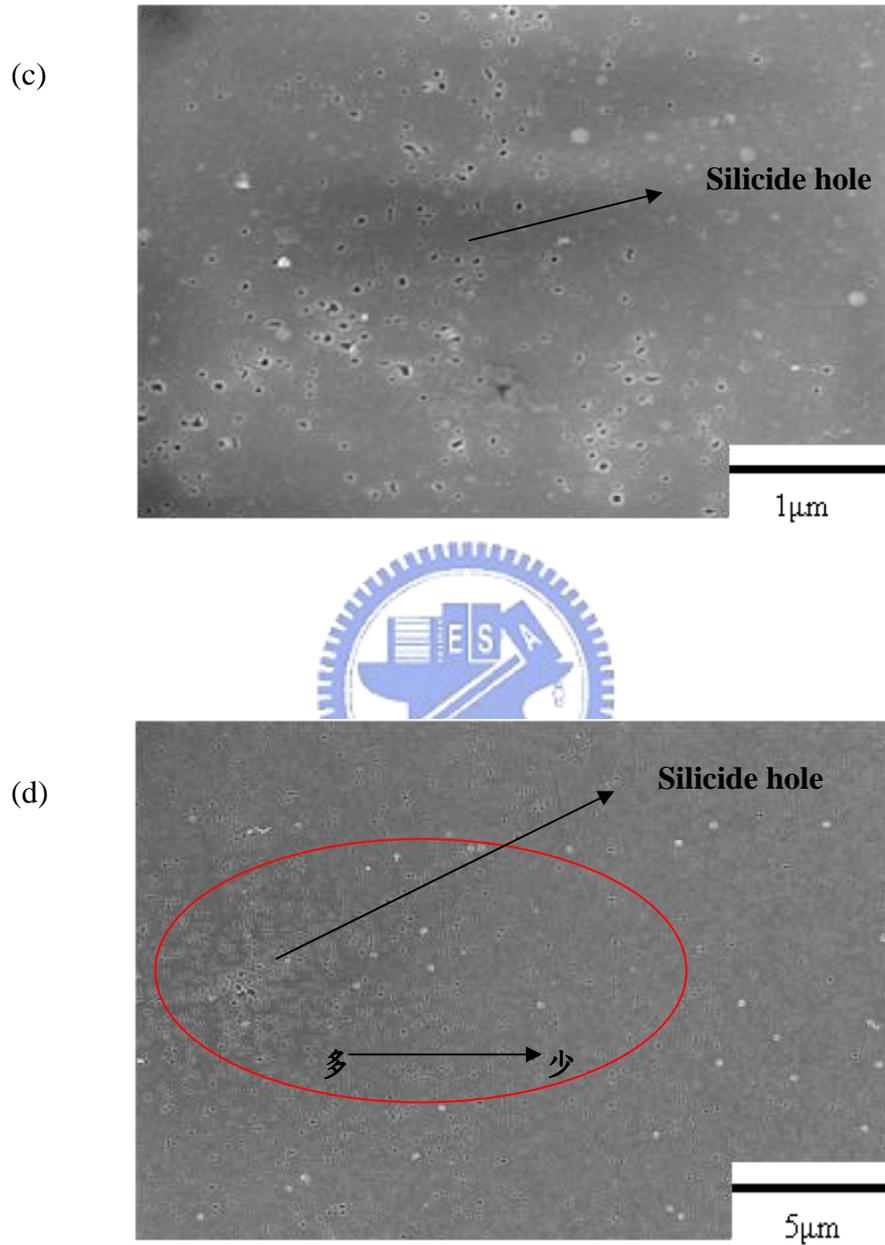


圖 3-5 無電鍍鎳鍍覆 7 分鐘爐管 550°C 退火 40 小時 (a)SEM 照片 (b)中心點 (c)晶界 (d)NiSi<sub>2</sub>的分佈

### 3.1.2 二次退火

過多的  $\text{NiSi}_2$  殘留會影響之後的元件特性，由前一節敘述可以知道無電鍍鎳鍍覆 7 分鐘參數造成大量的  $\text{NiSi}_2$  殘留，是不是鍍覆 7 分鐘的鎳含量仍大於完全結晶所需的臨界值，才會造成這樣的結果，但是我們發現，在低的鍍覆時間，非晶矽無法完全結晶的試片，仍然發現到多晶矽裡面一樣殘留大量的  $\text{NiSi}_2$ ，如圖 3-6 所示。

那是不是因為蓋有氮化矽所造成的影響？我們利用二次退火再檢視多晶矽的微結構。圖 3-7 是二次退火實驗步驟的流程圖。先在蓋有氮化矽的試片做無電鍍鎳鍍覆數 6 或 15 分鐘，退火數小時後，讓鎳穿過氮化矽與非晶矽形成  $\text{NiSi}_2$ ，進行誘發結晶的動作，接著我們利用 BOE 將氮化矽蝕刻掉，再退火 12 小時，使後續退火時不會有鎳補充。

圖 3-8 是一次退火與二次退火的比較，經由二次退火後的試片，以一次退火所形成的多晶矽為中心，側向成長再形成一圈多晶矽結構；圖 3-9 是無電鍍鎳鍍覆 6 分鐘進行二次退火的照片，即使是無法完全結晶的試片（鎳含量不足）亦有類似的結構。

圖 3-10 是二次退火後的 SEM 分析照片，我們發現二次退火是不連續的結晶，大量的  $\text{NiSi}_2$  停留在界面，只有少數的  $\text{NiSi}_2$  繼續進行誘發結晶，我們猜想這或許是二次退火成長速率慢的原因之一（ $1\text{hr}/\mu\text{m}$ ），另一原因是沒有鎳繼續填補形成  $\text{NiSi}_2$ ，因為氮化矽已經被蝕刻掉，鍍覆在上面的鎳也被洗掉。內圈的多晶矽是第一次退火所形成的，與我們之前所觀察到的是一樣的結果，多晶矽裡面殘留大量的  $\text{NiSi}_2$ ，而經過二次退火所形成的多晶矽沒有大量  $\text{NiSi}_2$  的殘留，而前端處也類似一般傳統 MILC 所觀察到的現象，針狀結構的結晶。

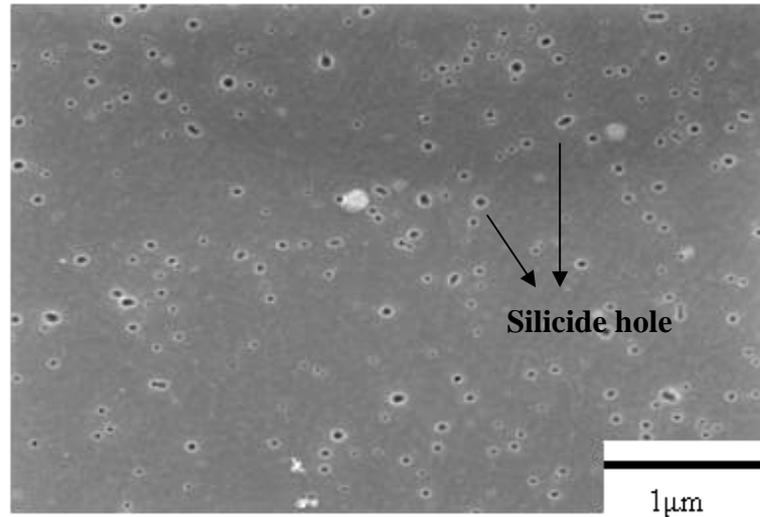


圖 3-6 無電鍍鎳鍍覆 5 分鐘 爐管 550°C 退火 40 小時的多晶矽內部微結構照片

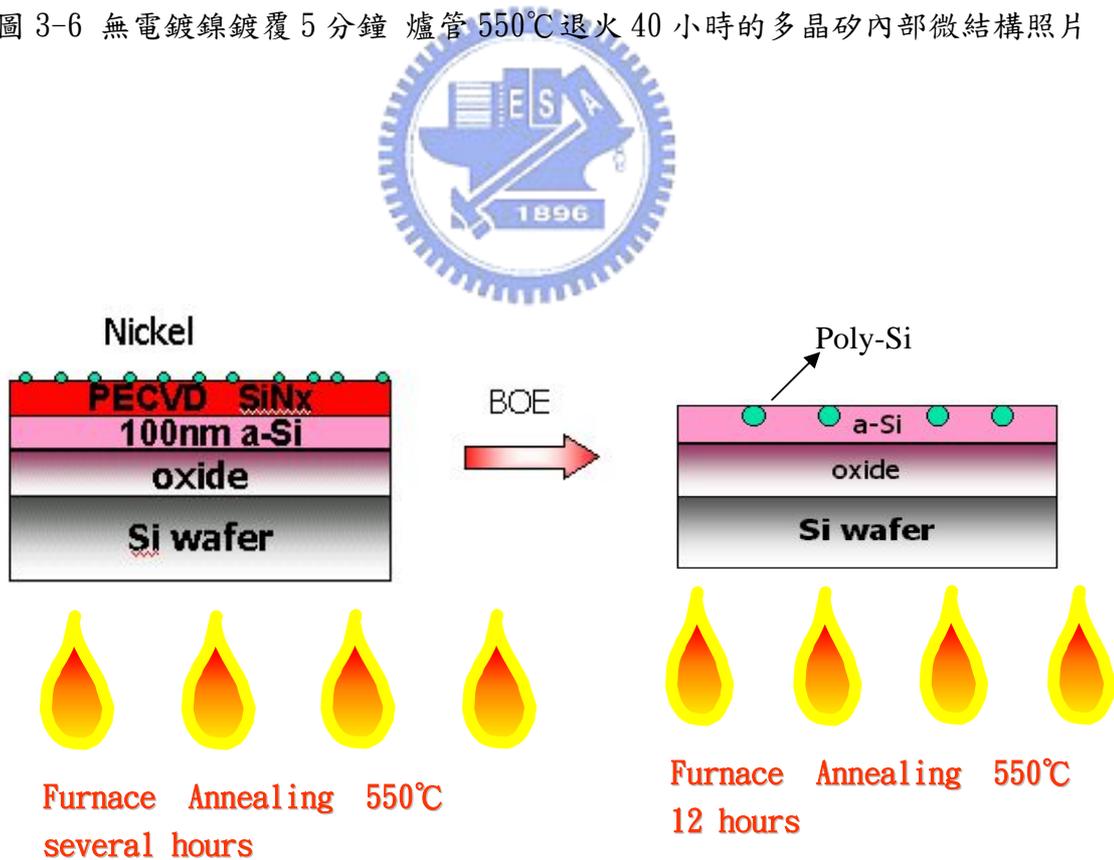


圖 3-7 二次退火流程圖

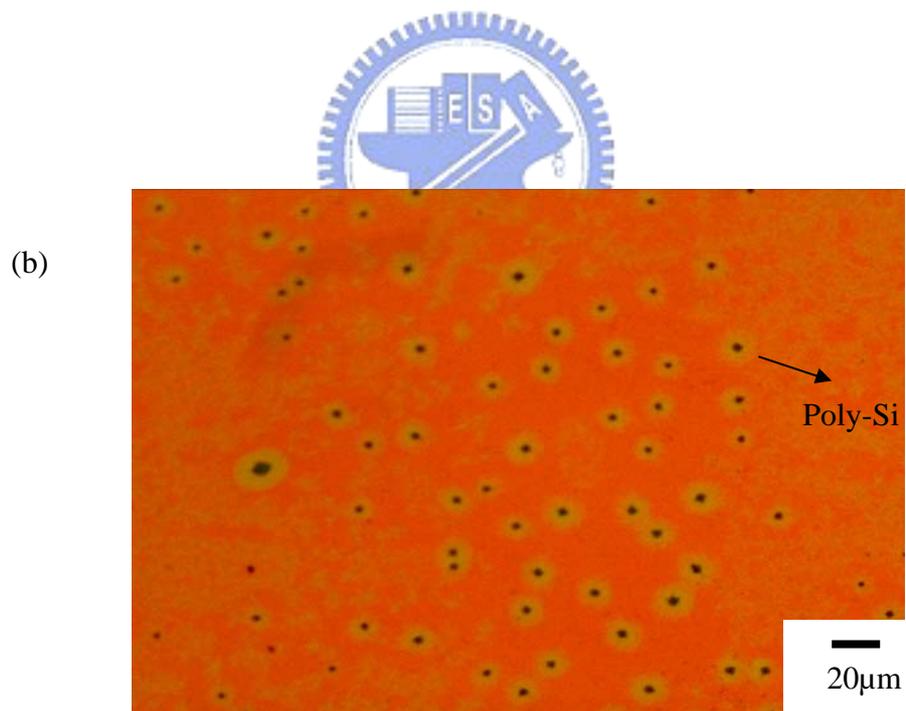
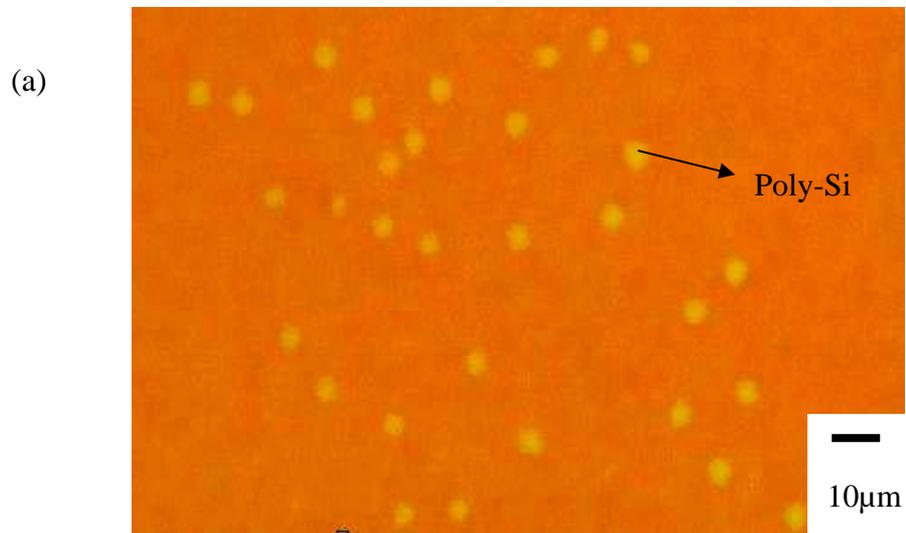


圖 3-8 一次退火與二次退火比較，(a)無電鍍鎳鍍覆 15 分鐘 550°C 退火 1 小時(一次退火) (b)二次退火 1+12 小時

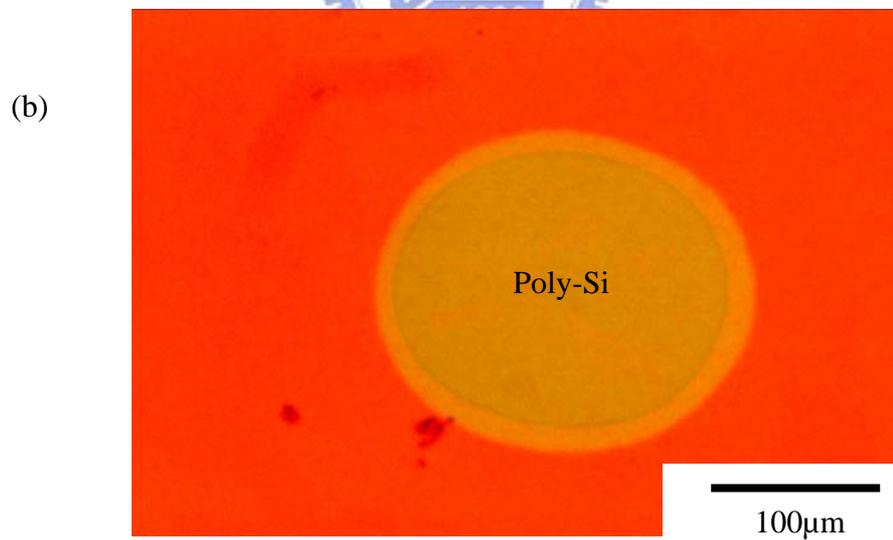
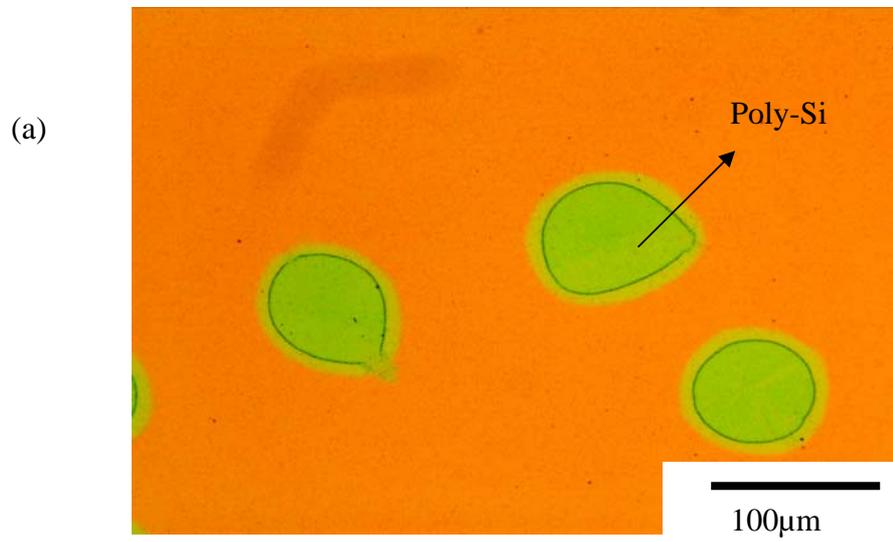


圖 3-9 二次退火，(a)無電鍍鎳鍍覆 6 分鐘 550°C退火 20+12 小時 (b) 無電鍍鎳鍍覆 6 分鐘 550°C退火 50+12 小時

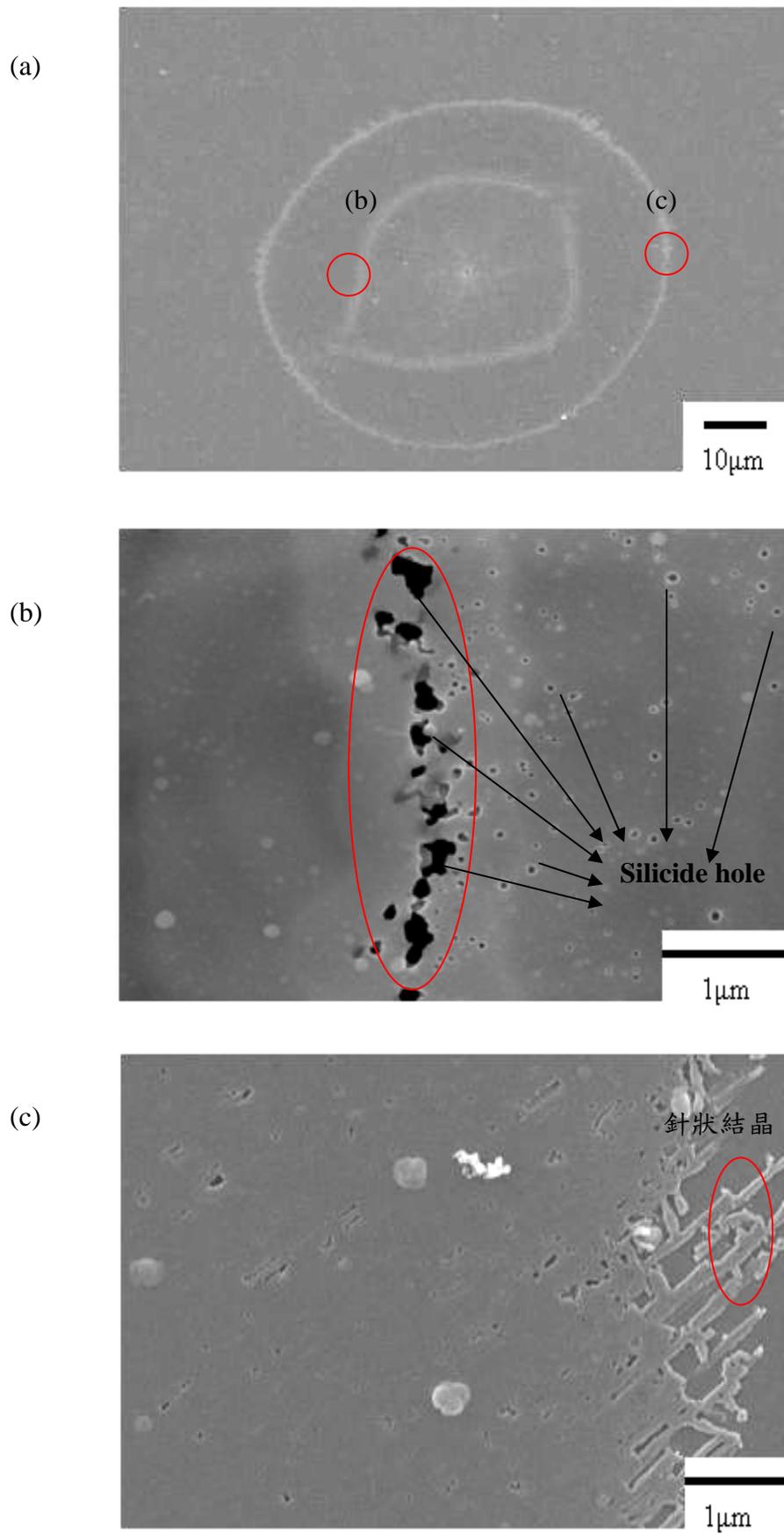


圖 3-10 二次退火 SEM 照片，(a)無電鍍鎳鍍覆 6 分鐘 550°C 退火 20+12 小時  
(b)界面 (C)前端

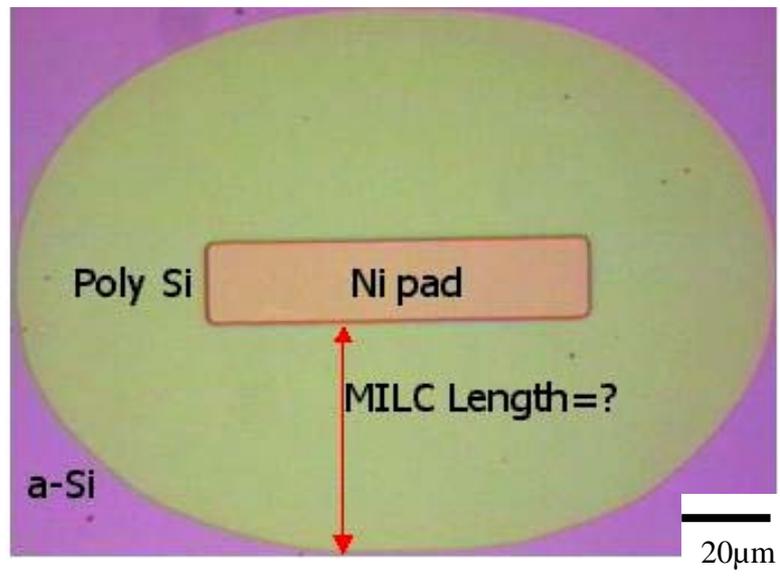
### 3.2 氮化矽對 MILC 的影響

這實驗有五組試片，一是標準片，沒有蓋氮化矽或二氧化矽，只有非晶矽 (a-Si)，以” No<sub>cap</sub>” 標示之；一是在非晶矽上蓋氮化矽 500Å or 1000Å，以” N500” 、” N1000” 標示之；另一是在非晶矽上蓋二氧化矽 500Å or 1000Å，以” OX500” 、” OX1000” 標示之。

為了製作 MILC 長度與時間關係圖，利用光學顯微鏡來觀察退火過的 MILC 試片，如圖 3-11(a)所示。我們可以看到有一長方形的圖案，是擇區鍍覆上去的 Ni pad，也是在這實驗中所要觀察的，都是以 Ni pad 長寬分別為 100 μm 及 20 μm 的圖案作觀察。而橢圓形部分則是成長出的 MILC 多晶矽。我們測量長度，是以 Ni pad 往外算的最長長度，就是我們在後面實驗所用以測量長度的方法。而在 MILC 多晶矽區域外的地方，圖 3-11(a)中的四個角落的區域是還沒結晶的非晶矽部分。

在長時間的退火之後，這個非晶矽區域也會形成多晶矽和 MILC 多晶矽的區域可能難以分別，因為這時非晶矽部分也會形成 SPC 多晶矽，使我們在光學顯微鏡下難以分辨，這時候如果要測量 MILC 的長度可能有些困難，所以我們會先浸泡選擇性蝕刻溶液(secco etching)數秒[18]，因為這個溶液可以侵蝕掉非晶矽、缺陷和晶界部分，增加對比以利我們觀察。經過 secco etching 的試片如圖 3-11(b)，可以看到非晶矽的部分被侵蝕掉了，露出下層的二氧化矽層，而這時有了一個高度差，所以可以很清楚的看出二氧化矽層和 MILC 多晶矽之間的差別，這時我們在做 MILC 長度的觀察時也比較容易。

(a)



(b)

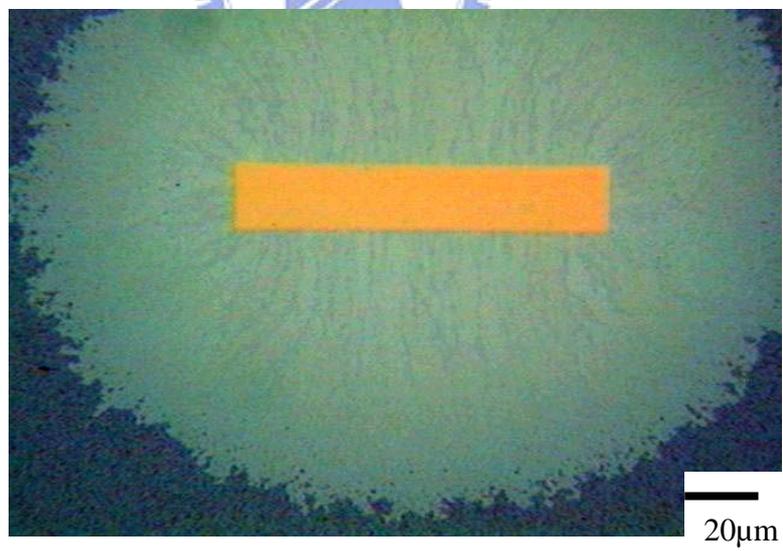


圖 3-11 退火過的 MILC 試片 (a) 未 etching (b) secco etching

### 3.2.1 不同退火溫度的比較

為了知道在不同溫度下退火，氮化矽對 MILC 的結晶速率的影響，因此做了三組不同退火溫度 550°C、565°C、600°C，隨時間的改變，觀察其結晶長度的變化，如圖 3-12 所示。我們發現到在不同的退火溫度下都有著共同的趨勢，一開始 MILC 速率都一樣，有蓋氮化矽的試片的飽和長度都比較長，且”N1000”的飽和長度大於”N500”，而”No<sub>cap</sub>”與”OX500”、”OX1000”的曲線都是一樣的。

我們取 MILC 速率改變的時間點去照 SEM，觀察 MILC 前端。分別是 600°C 1 小時、2 小時；565°C 7 小時、11.5 小時；550°C 11.5 小時、24 小時，如圖 3-13~3-18。我們發現 MILC 前端形成許多顆粒，而且顆粒數量”N1000”最少，”N500”次之，”OX1000”則是最多。

而且從這些 SEM 照片中知道是這些顆粒造成了 MILC 速率減緩，那這些顆粒是什麼呢？我們利用 Raman 去分析退火 600°C 的試片（其中非晶矽的 Raman peak 是 480cm<sup>-1</sup> 而結晶矽的 Raman peak 是 520cm<sup>-1</sup>），如圖 3-19 所示。發現”OX500”與”OX1000”試片在退火 1 小時後，480cm<sup>-1</sup> 的 peak 有衰弱的現象，當退火時間到達 2 小時時，已經沒有 480cm<sup>-1</sup> peak 的訊號，這代表著當退火 1 小時，試片中的非晶矽已經有些變成了 SPC 多晶矽，當退火 2 小時，大部分的非晶矽都變成了 SPC 多晶矽。而”N500”與”N1000”試片在退火 3 小時後才發現沒有 480cm<sup>-1</sup> peak 的訊號。（ps: 因為機台的關係，Raman 會穿過非晶矽進而偵測到矽基材的 520cm<sup>-1</sup> peak，所以為了避免誤差的產生，我們觀察的是非晶矽的 480cm<sup>-1</sup> Raman peak 的變化。）

藉由 Raman 的分析，我們知道原來是 SPC 多晶矽出現，造成了 MILC 速率的改變。我們用一張示意圖來解釋此現象，如圖 3-20。之前 1.2.4 節我們介紹過 MILC 的成長機制是靠 NiSi<sub>2</sub> 的前進進而誘發結晶，所以當 NiSi<sub>2</sub> 前端的非晶矽在長時間退火下開始轉變成 SPC 多晶矽時，鎳在 SPC 多晶矽與 MILC 多晶矽的驅動力會比在非晶矽與 MILC 多晶矽間小，正因為鎳誘發結晶的驅動力降低了，造成了結晶速率變慢，而 NiSi<sub>2</sub> 前端的非晶矽完全轉變成 SPC 多晶矽時，MILC 長度就達到飽和。

因為”N1000”的 MILC 前端有著最少的 SPC 多晶矽，”N500”次之，”OX1000”則是最多。所以”N1000”的 MILC 速率被 SPC 多晶矽影響的最少，因此”N1000”的飽和長度最長，”N500”次之，”OX1000”則是最短。

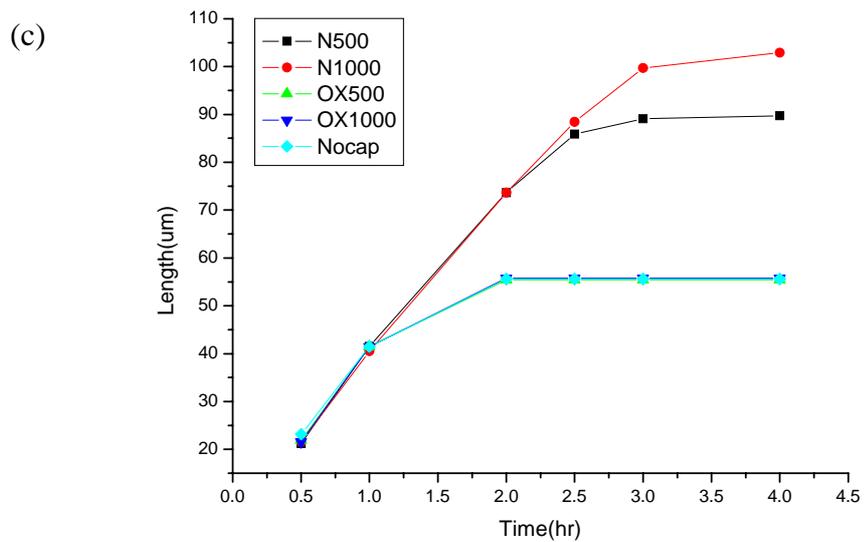
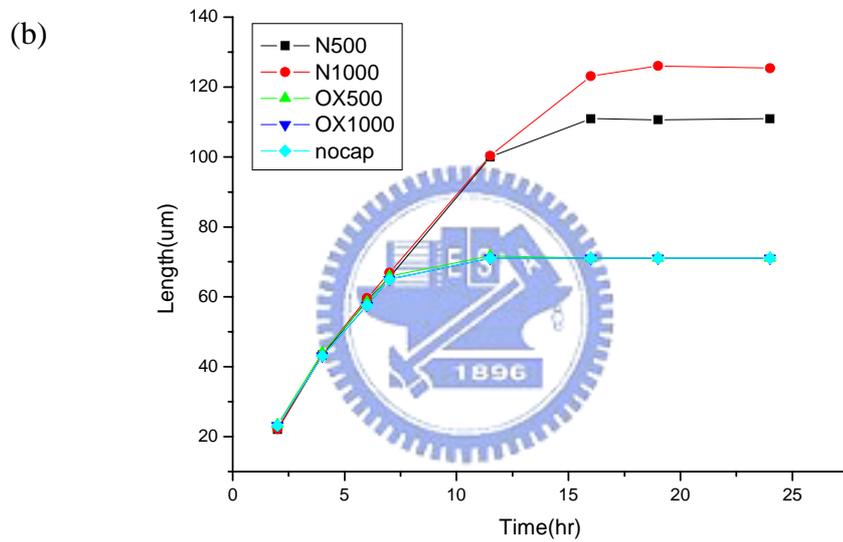
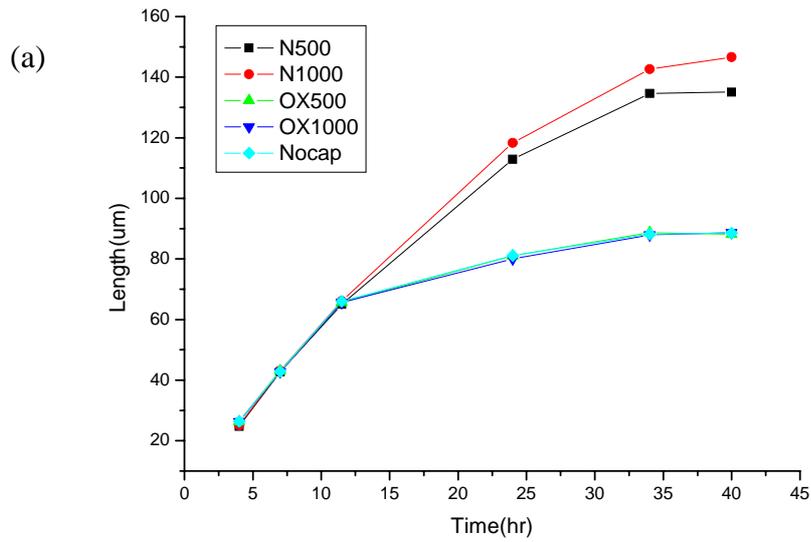


圖 3-12 不同溫度下 MILC 長度與時間關係圖(a)550°C (b)565°C (c)600°C

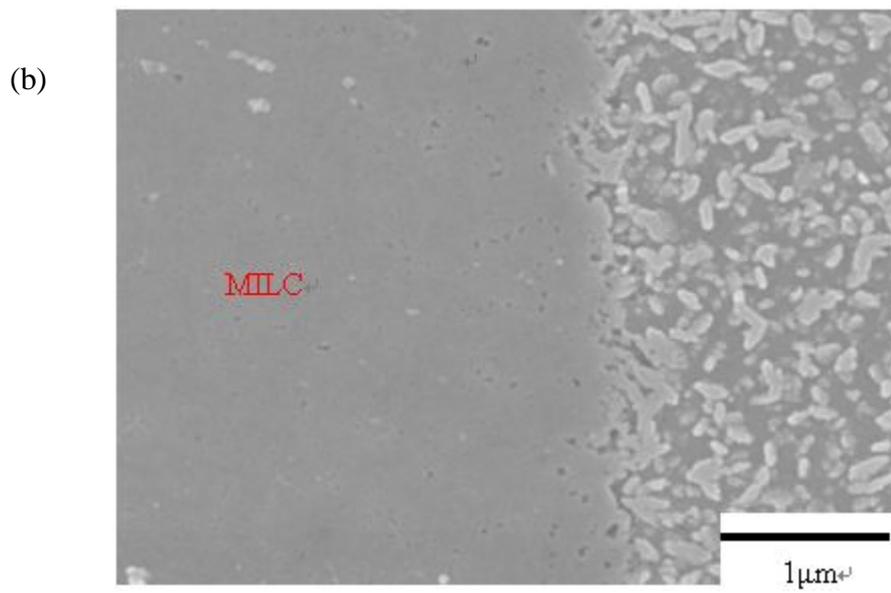
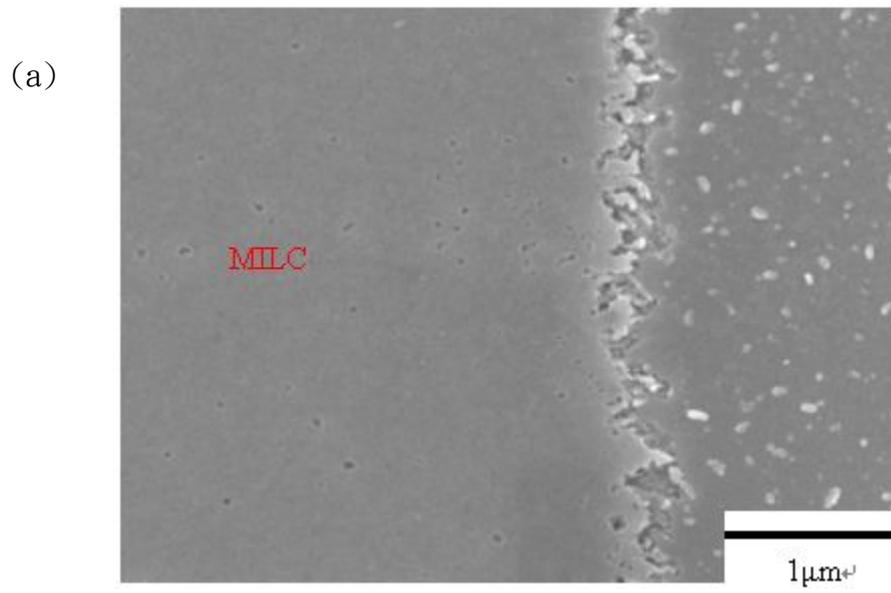


圖 3-13 爐管 600°C 退火 1 小時，MILC 前端的 SEM 照片 (a) N1000 (b) OX1000

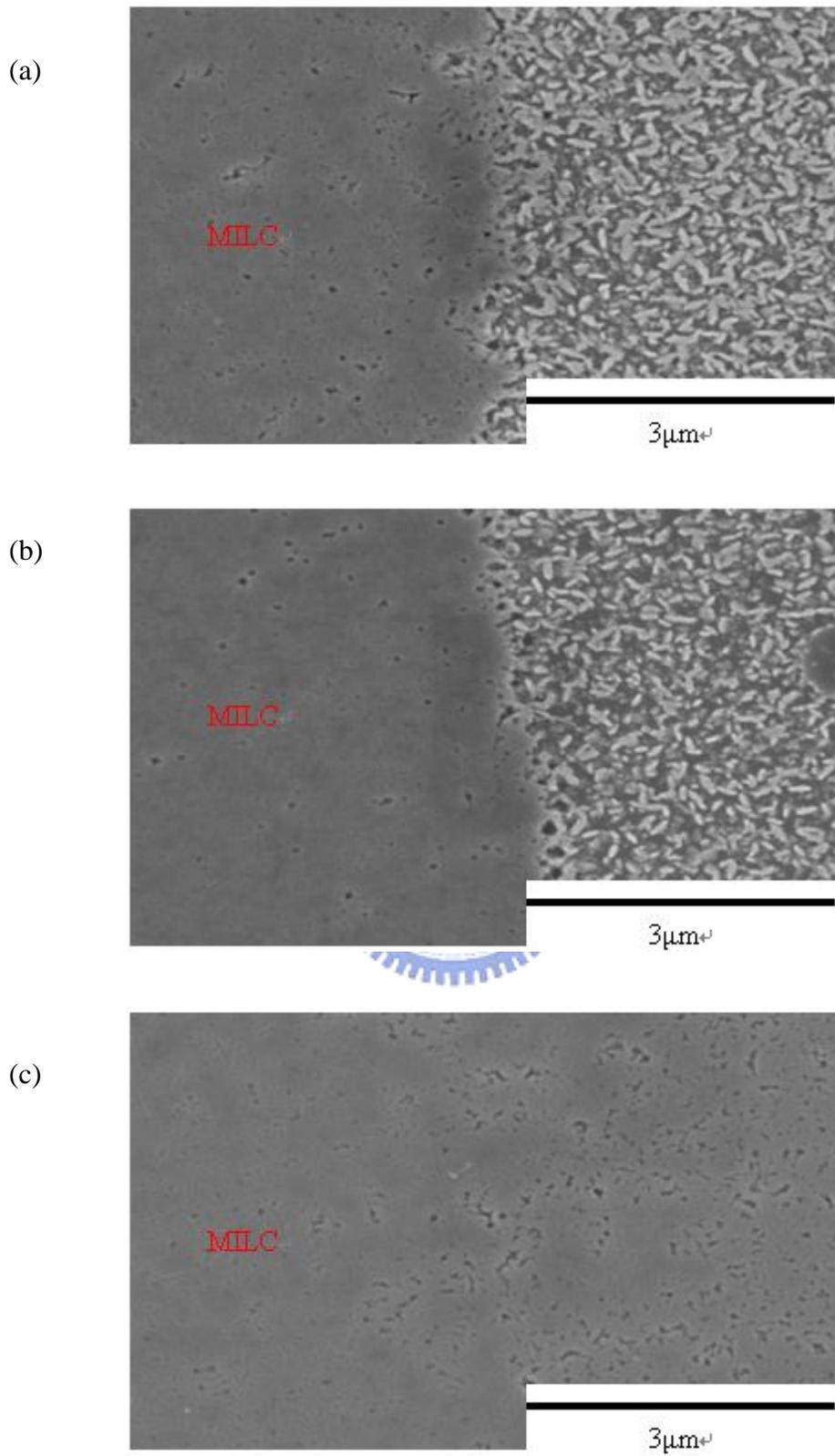


圖 3-14 爐管 600°C 退火 2 小時，MISC 前端的 SEM 照片 (a)N500 (b)N1000 (c)OX1000

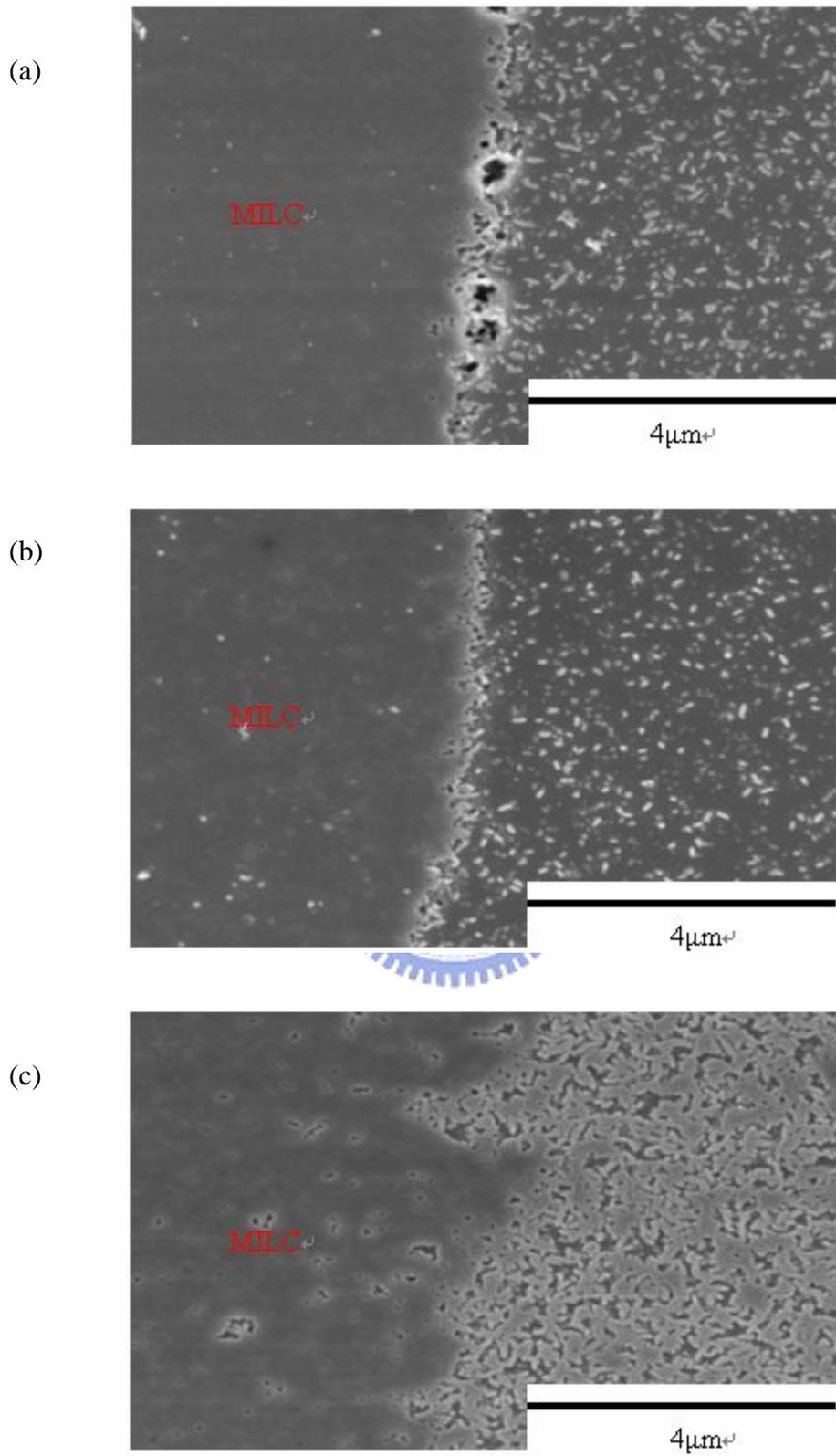


圖 3-15 爐管 565°C 退火 7 小時，MILC 前端的 SEM 照片 (a)N500 (b)N1000 (c)OX1000

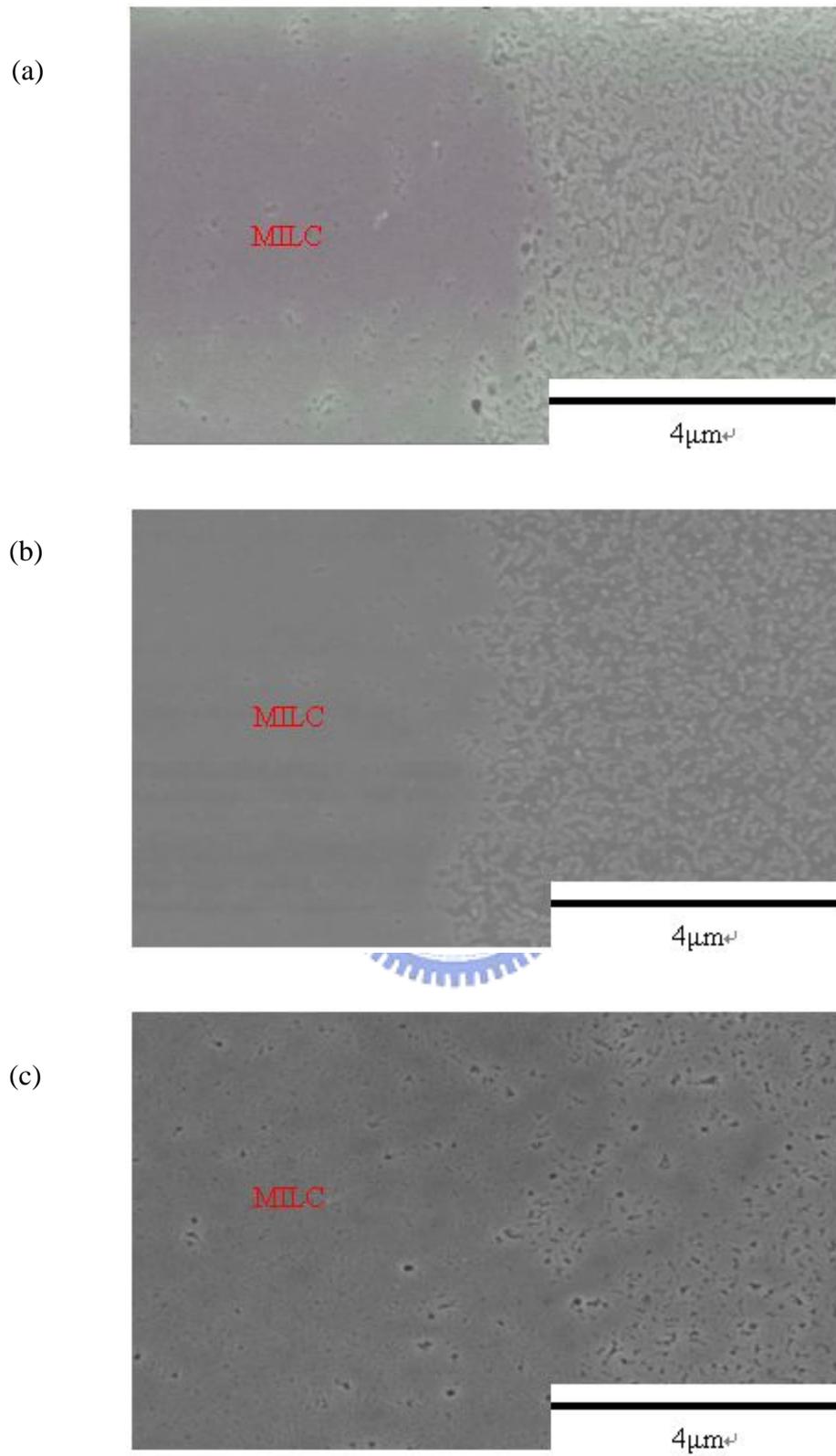


圖 3-16 爐管 565°C 退火 11.5 小時，MILC 前端的 SEM 照片 (a)N500 (b)N1000 (c) OX1000

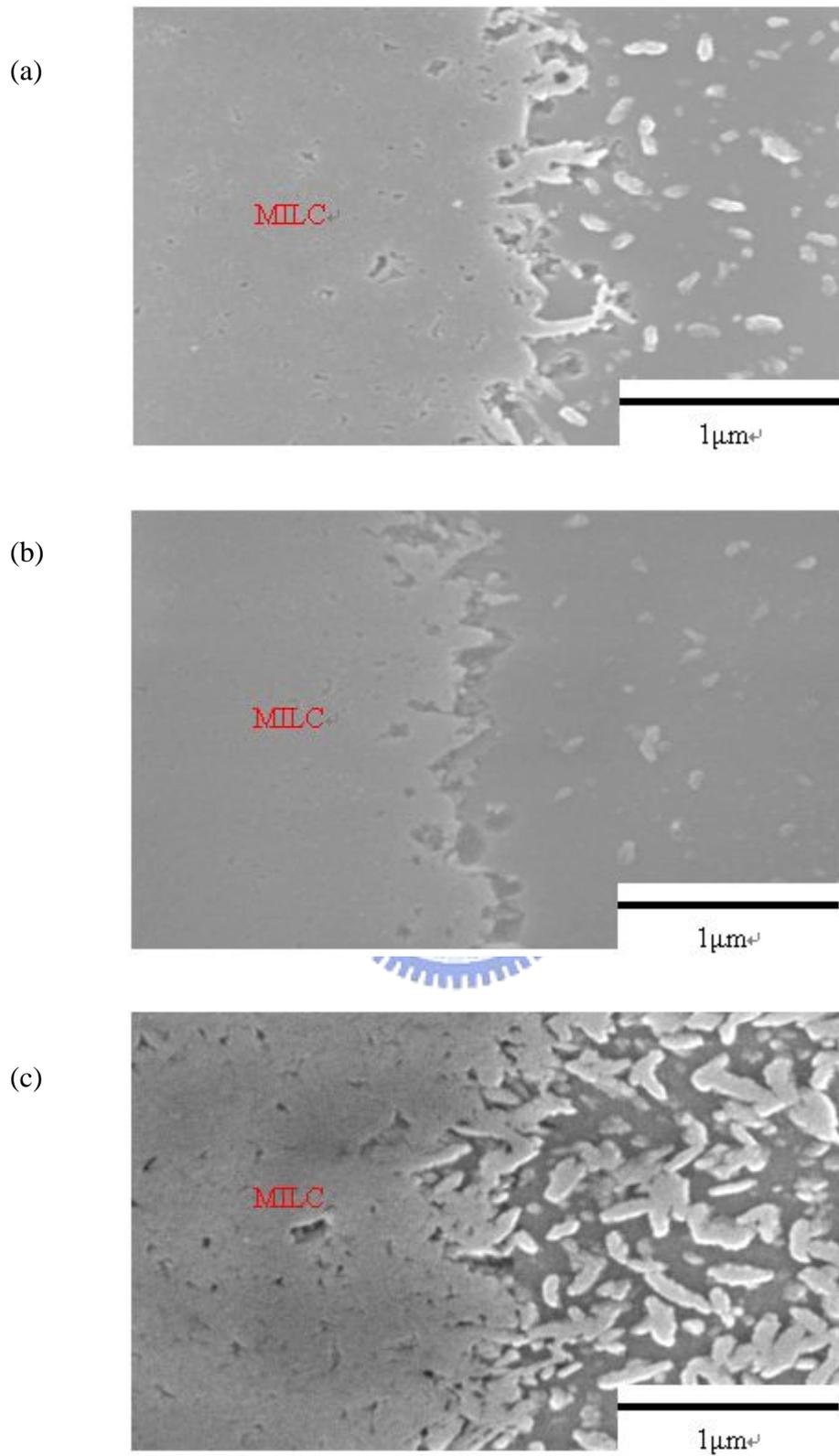


圖 3-17 爐管 550°C 退火 11.5 小時，MILC 前端的 SEM 照片 (a)N500 (b)N1000 (c)OX1000

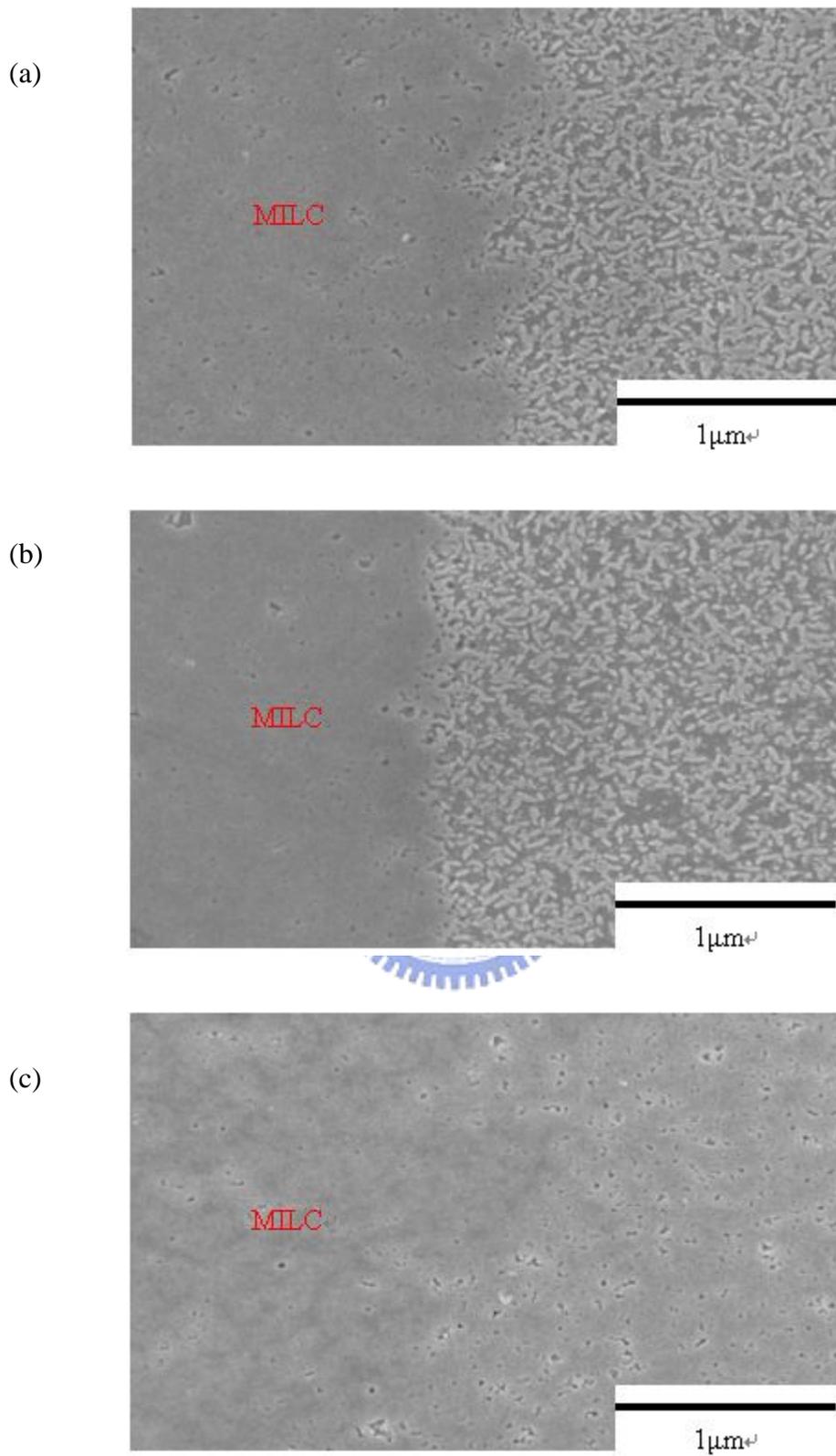
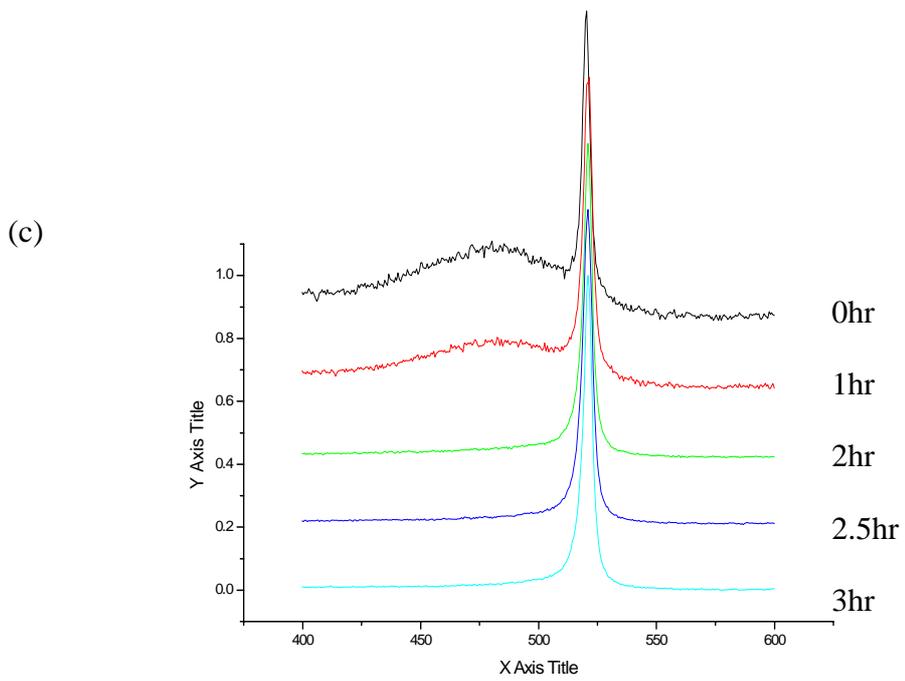
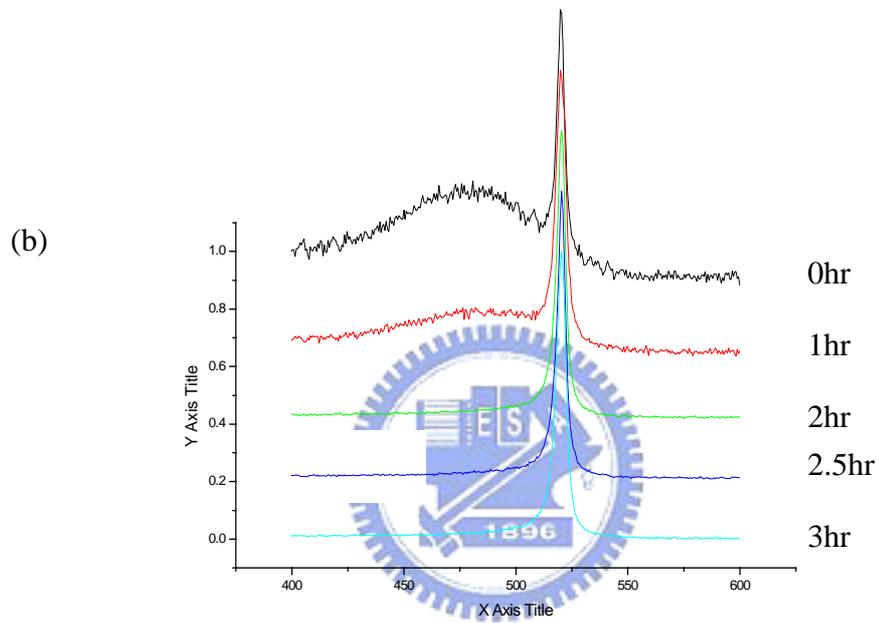
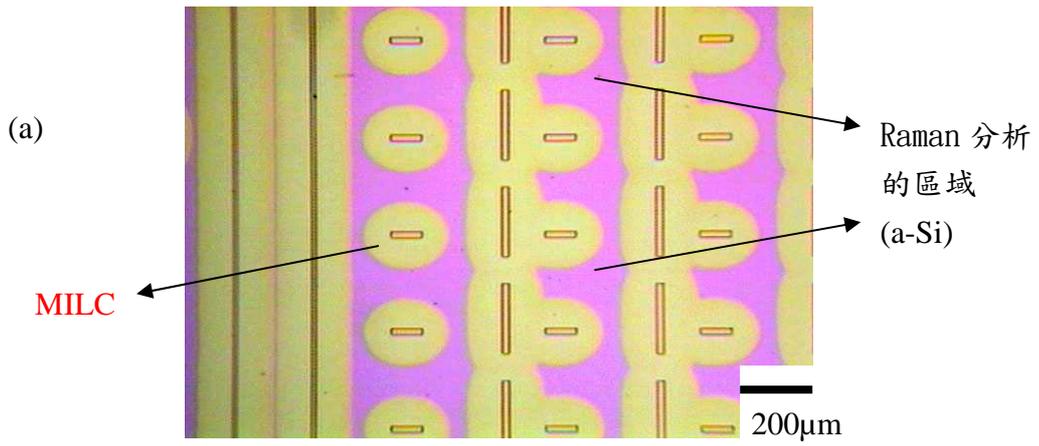
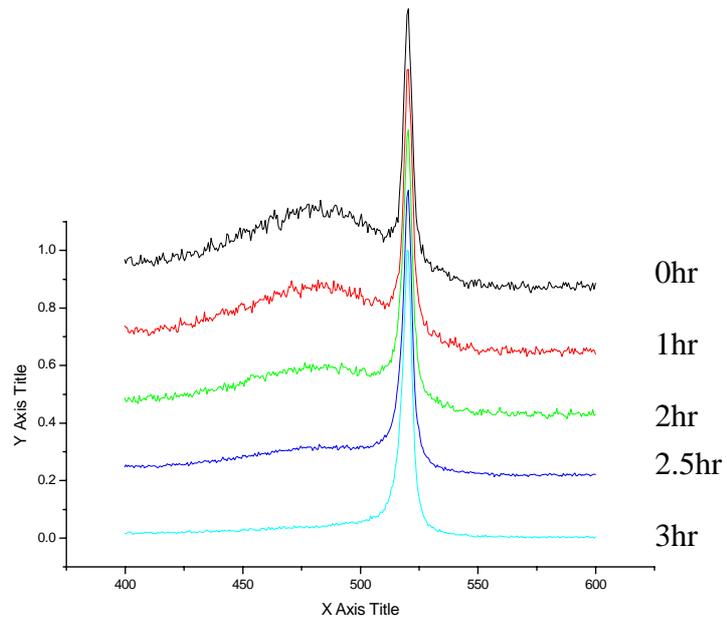


圖 3-18 爐管 550°C 退火 24 小時，MILC 前端的 SEM 照片 (a)N500 (b)N1000 (c)OX1000



(d)



(e)

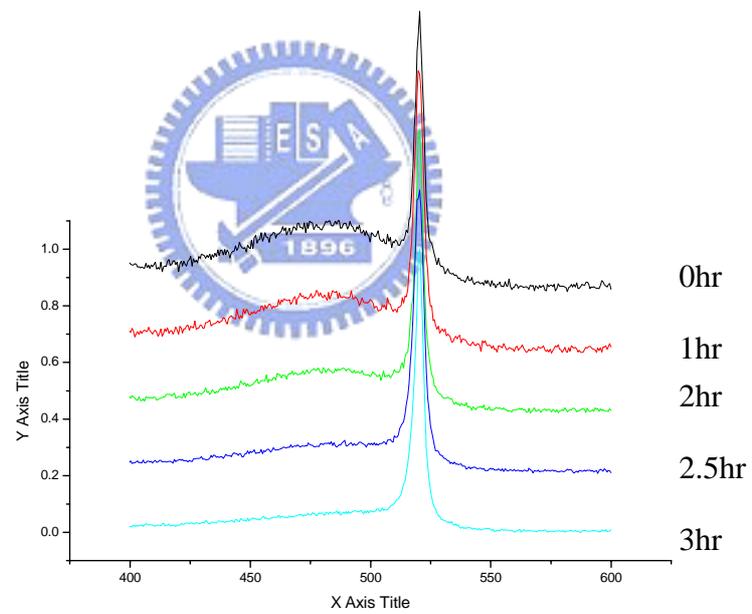


圖 3-19 Raman 分析 (a)選取非晶矽位置的示意圖 (b)OX500 (c)OX1000 (d)N500 (e)N1000

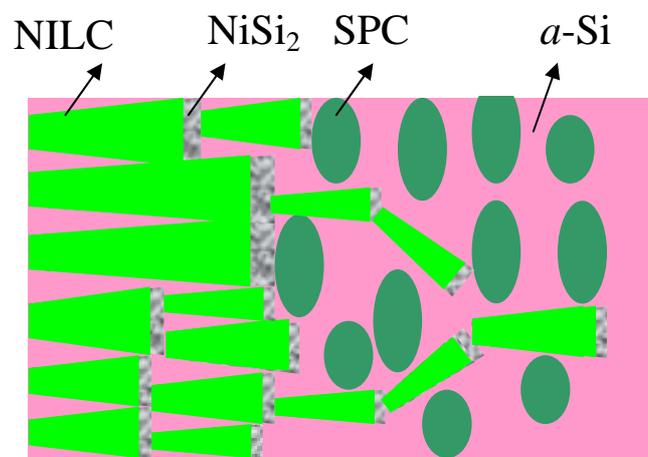


圖 3-20 SPC 多晶矽形成阻礙 MILC 結晶示意圖

### 3.2.2 應力分析

為什麼有蓋氮化矽的試片可以抑制 SPC 多晶矽出現而有蓋二氧化矽的試片卻沒有？Kimura 等人[21]曾經報導過氮化矽對非晶矽結晶的影響，他們指出沉積氮化矽時會造成很大的壓應力，可以抑制 SPC 多晶矽出現。另外 Jin 等人[22]在他們的研究中，使用兩種結構來進行 MILC 成長速率的研究，一種是只沉積 1000Å 的非晶矽，另一種是在非晶矽上再沉積一層低溫氧化層(LTO)薄膜，厚度也為 1000Å，結果發現經過 500°C 70 小時的退火後，兩組試片的結晶速率是一樣的，如圖 3-21 所示。

我們以為蓋二氧化矽 500Å 或 1000Å 所造成的應力很小，不足以抑制 SPC 多晶矽的出現，而且蓋氮化矽 1000Å 所造成的應力大於蓋氮化矽 500Å，我們利用 Tencor FLX-2320 薄膜應力量測儀量出試片的曲率半徑，根據 Stoney's equation[23]  $\sigma_f = \{E_s / (1-\nu)\} \cdot \{d_s^2 / (6d_f \cdot R_{CALC})\}$ ,  $R_{CALC} = \{(R_1 \cdot R_2) / (R_1 - R_2)\}$  算出薄膜所造成的應力，示意圖如圖 3-22 所示。我們可以在"N1000"的試片知道氮化矽所受到的應力，"OX1000"的試片可以知道二氧化矽所受到的應力，"No<sub>cap</sub>"的試片可以知道非晶矽所受到的應力。

然而 Tencor FLX-2320 薄膜應力量測儀的升溫系統只能到 450°C，雖無法確切的得知我們試片在 550°C 以上所受到的熱應力，但我們可以推測其大概的趨勢，參數設定是：

1. 24°C 到 450°C --- 100 分鐘
2. 450°C 持溫 ----- 420 分鐘

應力與溫度關係如圖 3-23，3-24 所示。我們將曲線分為兩部分。室溫升溫到 450°C 這一段我們稱為線性區，主導著二氧化矽所受到的應力；450°C 持溫這一段我們稱為非線性區，主導著氮化矽所受到的應力。

我們先從非線性區開始說明。在非線性區(持溫區)，"N1000"、"OX1000"應力值持續的向上攀升，這是因為利用 PECVD 沉積氮化矽或是二氧化矽，薄膜中含有氫原子，而在氮化矽中含有 15~30 at% 的氫與矽或是氮鍵結；二氧化矽則是約有 2~9 wt% 的氫[24]。在高溫下，這些 Si-H 或是 N-H 的鍵結會被破壞進而形成 Si-Si 鍵與 Si-N 鍵和釋放出氫氣，如圖 3-25[25]，我們知道 Si-H 的鍵結長度較大(Si-H 鍵結強度比 Si-Si 或 Si-N 弱)，當形成 Si-Si 鍵與 Si-N 鍵時，整個鍵結長度要縮小，但是因為矽基材的關係使得氮化矽與二氧化矽會受到一拉應力[26]。這拉應力是因為矽基材所造成的，相對的矽基材會受到一等值且相反的壓應力。而且因為 Si-O 鍵結強度夠強，我們可以將矽基材、buffer oxide、非晶

矽視為一體，當矽基材受到一壓應力，也代表著非晶矽亦受到一壓應力。

在線性區，我們可以發現“OX1000”升溫的時候，“OX1000”應力上升比較快而“N1000”應力上升則是很緩慢。二氧化矽的熱膨脹係數是  $0.5 \text{ ppm}/^\circ\text{C}$ ，矽是  $2.6 \text{ ppm}/^\circ\text{C}$ ，氮化矽因為與製程參數有關，通常是介於  $2.5\sim 3.5 \text{ ppm}/^\circ\text{C}$  之間。因為二氧化矽 ( $0.5 \text{ ppm}/^\circ\text{C}$ ) 與矽 ( $2.6 \text{ ppm}/^\circ\text{C}$ ) 之間的熱膨脹係數差異較大，所以在升溫的過程中，“OX1000”應力上升比較快而且主導著二氧化矽所受到的應力。

從圖 3-23 知道氮化矽受到的拉應力最大(“N1000”的試片)，二氧化矽受到的拉應力次之(“OX1000”的試片)。所以實際作用在非晶矽的應力是“N1000”  $\gg$  “OX1000”  $\gg$  “No<sub>cap</sub>”，而且“N1000”與“OX1000”試片中非晶矽是受到一壓應力。

我們可以解釋為什麼“N1000”可以抑制 SPC 多晶矽的產生，因為對非晶矽產生了很大的壓應力。但是從圖 3-23 我們也發現“OX1000”也產生了一個不小的壓應力。為什麼無法抑制 SPC 多晶矽呢？我們已經知道線性區主導著“OX1000”所受到的應力。應力的由來是因為材料間的熱膨脹係數差異所造成的，與溫度有關。Kimura 等人[27]曾經報導過 a-Si/Silica 熱膨脹係數差異所造成的應力對 SPC 多晶矽的影響(如圖 3-26 所示)，因為非晶矽的熱膨脹係數較 Silica 大，所以在升溫的過程中非晶矽會受到一壓應力。在  $1000^\circ\text{C}$  下，熱膨脹係數差異所造成的應力會聚集在 a-Si/Silica 界面並且抑制 SPC 多晶矽的形成，而在  $700^\circ\text{C}$  下所產生的應力不足以抑制 SPC 多晶矽的形成。所以我們以為是因為“OX500”、“OX1000”即使在  $600^\circ\text{C}$  下所產生的應力值仍然不夠大，所以無法抑制 SPC 多晶矽的產生。

另外“N1000”的飽和長度大於“N500”，我們已經知道非線性區主導著氮化矽的應力而且應力的由來是 Si-H 鍵被打斷而形成 Si-Si 鍵所造成的。氮化矽中含有 15~30 at% 的氫與矽或是氮鍵結。當氮化矽的厚度由  $500\text{\AA}$  變成  $1000\text{\AA}$ ，相對的 Si-H 鍵含量也會增加。在高溫退火下，“N1000”試片中被打斷的 Si-H 鍵比“N500”多，所造成的應力應是“N1000”  $>$  “N500”。從圖 3-24 中我們卻發現“N1000”與“N500”在  $450^\circ\text{C}$  下應力分佈沒有多大的差異。我們以為在  $450^\circ\text{C}$  下退火不足以分辨兩者的差異，需更高的退火溫度才可以分辨其差異。

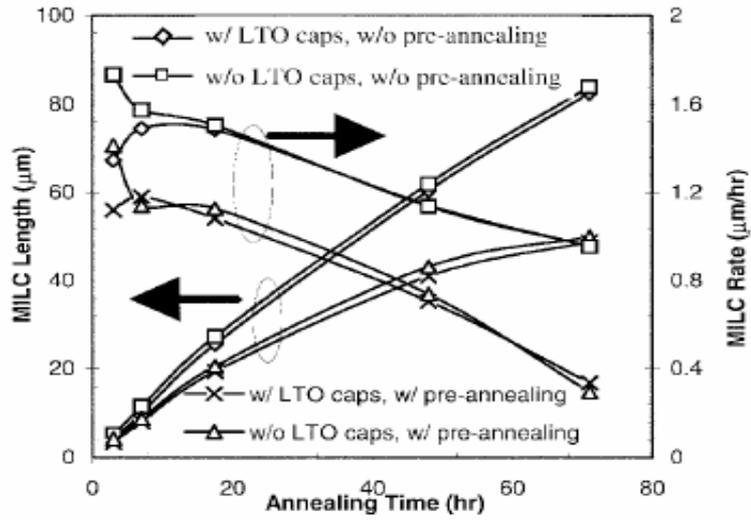


圖 3-21 MILC 長度與時間的關係圖，有無沈積 LTO 及有無預先退火對結晶速率的影響[22]

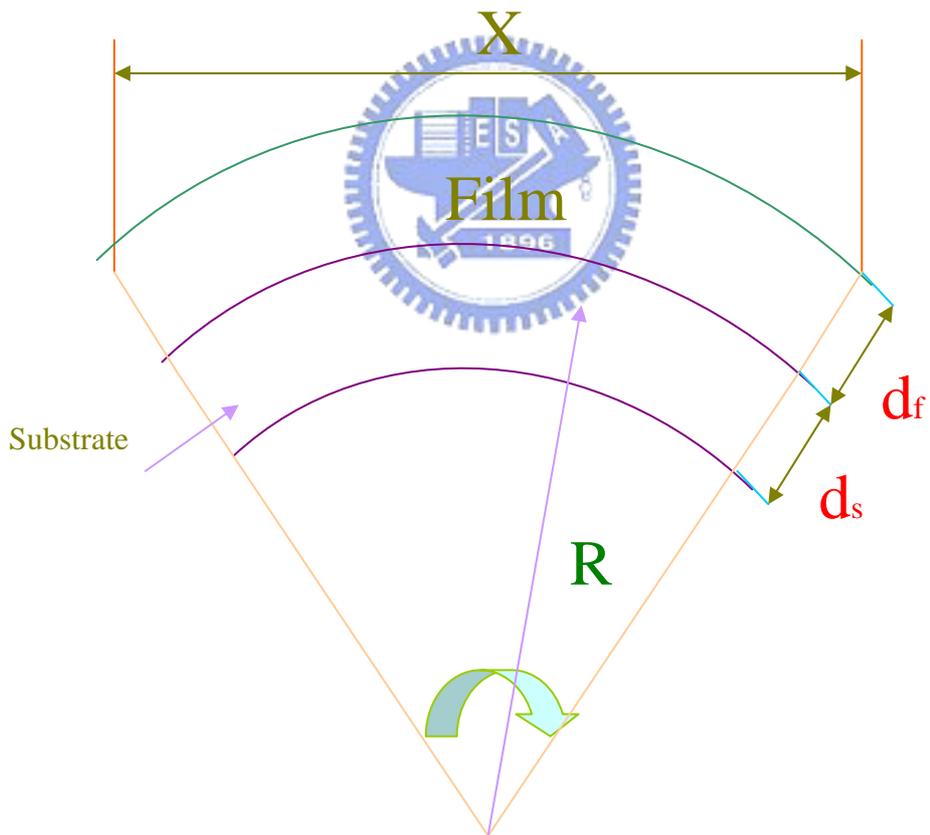


圖 3-22 應力量測示意圖

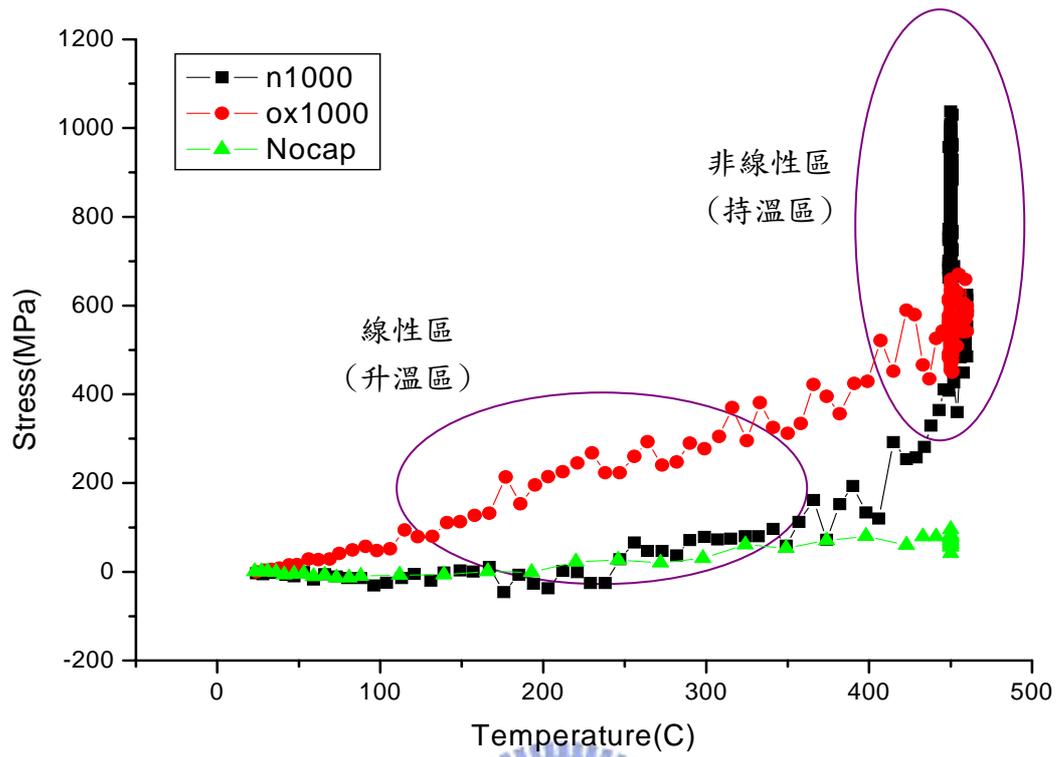


圖 3-23 應力與溫度關係圖

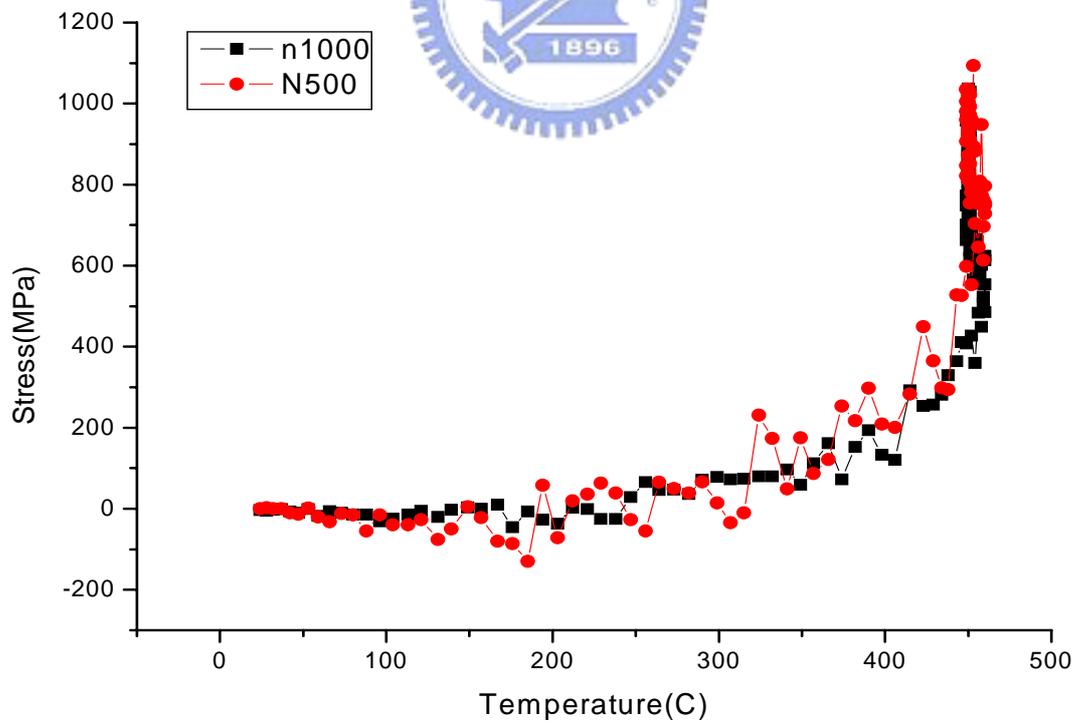


圖 3-24 應力與溫度關係圖 N1000 與 N500 的比較

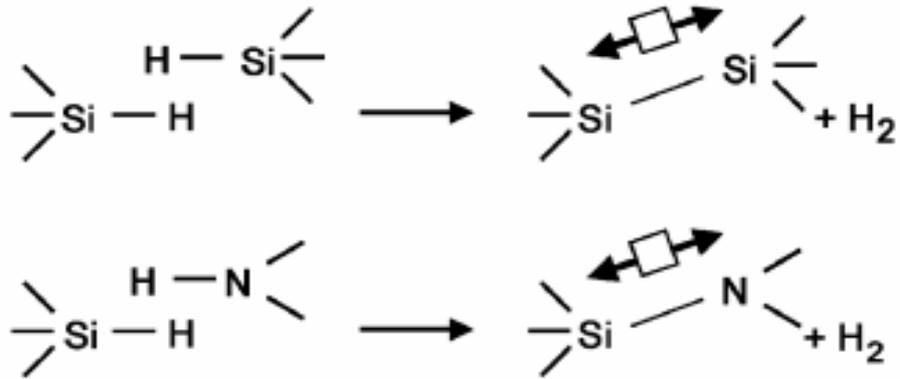


圖 3-25 PECVD 沉積的薄膜釋放出氫氣進而產生拉應力的示意圖[25]

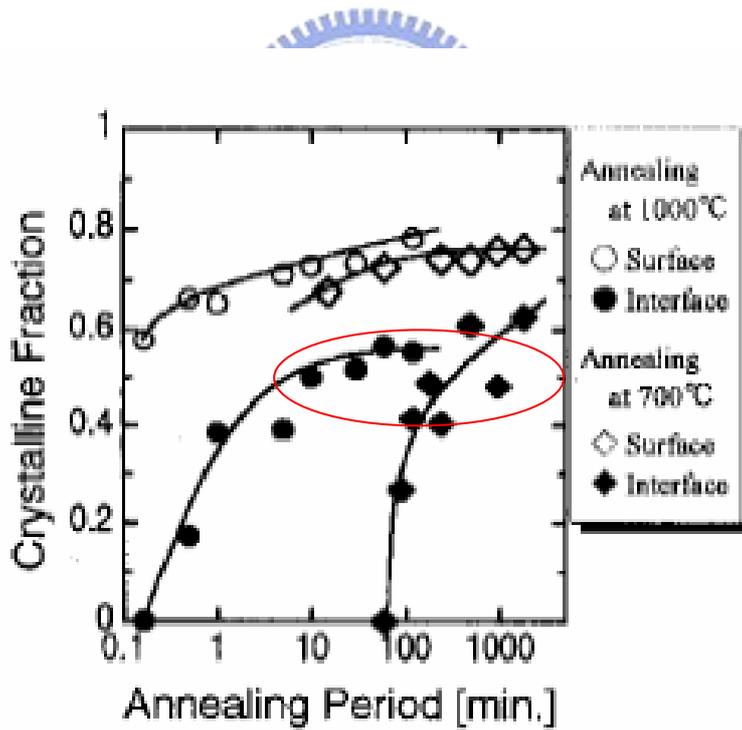


圖 3-26 在高溫下，SPC 多晶矽被抑制的情形[27]

我們透過一些簡單的運算可以得知為什麼應力可以抑制 SPC 多晶矽，我們外加一應力於非晶矽時，非晶矽會產生一應變，其公式如 3-1：

$$\sigma = Y_{a-Si} \times \Delta \varepsilon \dots\dots\dots(3-1)$$

其中 Y 是楊氏係數。當非晶矽相轉換成多晶矽，那需要多大的應力才可以達到相同的應變。因為非晶矽 ( $d=2.29\text{g/cm}^3$ ) 與多晶矽 ( $d=2.33\text{g/cm}^3$ ) 密度差異很小 [28]，在相轉換過程中體積變化是很小，所以我們假設非晶矽在相轉換成多晶矽時體積沒有改變。其公式如 3-2：

$$\sigma' = Y_{c-Si} \times \Delta \varepsilon \dots\dots\dots(3-2)$$

兩式相減，如 3-3：

$$\sigma' - \sigma = (Y_{c-Si} - Y_{a-Si}) \times \Delta \varepsilon \dots\dots\dots(3-3)$$

因為多晶矽 ( $13\sim 18.75 \text{ E11 dyne/cm}^2$ ) 的楊氏係數大於非晶矽 ( $6\sim 6.45 \text{ E11 dyne/cm}^2$ ) [29, 30]，所以 (3-3) 式其值大於零。這代表著在非晶矽有一外加應力時做相轉換，會使整個能量提高，這是不被允許的，因此 SPC 多晶矽會被抑制。

依照上面所推導的，只要外加一應力，無論拉應力或是壓應力都可以抑制 SPC 多晶矽，但我們以為壓應力才可以抑制 SPC 多晶矽。因為非晶矽密度 ( $d=2.29\text{g/cm}^3$ ) 小於多晶矽 ( $d=2.33\text{g/cm}^3$ ) [28]，所以當非晶矽相轉換成 SPC 多晶矽的時候，體積要收縮，但是由於矽基材的關係會使得非晶矽受到一拉伸應力，因此當我們外加的應力是壓應力就可以抵銷這拉伸應力進而抑制 SPC 多晶矽的形成。

那為什麼 MILC 多晶矽沒有被壓應力所影響呢？對壓應力而言，MILC 與 SPC 都是多晶矽，他不希望非晶矽轉換成多晶矽，MILC 應該也會受到抑制才對。Hou 等人 [31] 曾經報導過壓應力對 MILC 成長速率的影響，利用夾具外施加一壓力於非晶矽，發現壓應力對 MILC 成長速率沒有影響，這與我們觀察的結果是一樣的。

首先我們已經知道 MILC 與 SPC 成長機制是不同的，在 1.2.4 節我們已經介紹過 MILC 成長的機制，有三個階段，一是形成  $\text{NiSi}_2$  的成核，二是多晶矽在  $\text{NiSi}_2$  處成核，三是多晶矽的成長，從文獻 [32] 上知道，因為鎳原子在多晶矽中的擴散很快，所以在多晶矽成長的步驟中，決定速率的因素是來自於鎳擴散過去 MILC

前端的  $\text{NiSi}_2$ 。我們知道非晶矽( $d=2.29\text{g/cm}^3$ )與多晶矽( $d=2.33\text{g/cm}^3$ )密度是很相近，在這麼高的原子密度下，所施加的壓應力可能無法改變太多原子間的空間大小，所以施加的壓應力可能無法改變鎳在  $\text{NiSi}_2$  的擴散係數，因此自然無法影響 MILC 多晶矽的成長。

### 3.2.3 界面影響

上一節我們都在探討是應力造成抑制 SPC 多晶矽的主要因素，那會不會是氮化矽與非晶矽的界面所造成的呢？而不是我們所說的應力？我們設計了以下的實驗，我們先是非晶矽上沉積  $500\text{\AA}$  二氧化矽再沉積  $1000\text{\AA}$  氮化矽，然後開 pattern 鍍鎳做金屬誘發結晶，如圖 3-27 所示，我們以”0500N1000”標示之。

我們利用二氧化矽隔開氮化矽與非晶矽的界面，使得氮化矽與非晶矽的界面影響可以忽略，然後探討應力是不是抑制 SPC 多晶矽的主要因素。我們在  $600^\circ\text{C}$  下做 MILC 長度與時間關係圖，看 SPC 多晶矽有無被抑制，如圖 3-28 所示。

我們一樣發現到 SPC 多晶矽被抑制，所以我們可以確信是應力所影響而不是氮化矽與非晶矽的界面影響，而且從飽和長度來看，我們可以知道”0500N1000”所受到的應力約小於”N1000”而大於”N500”。



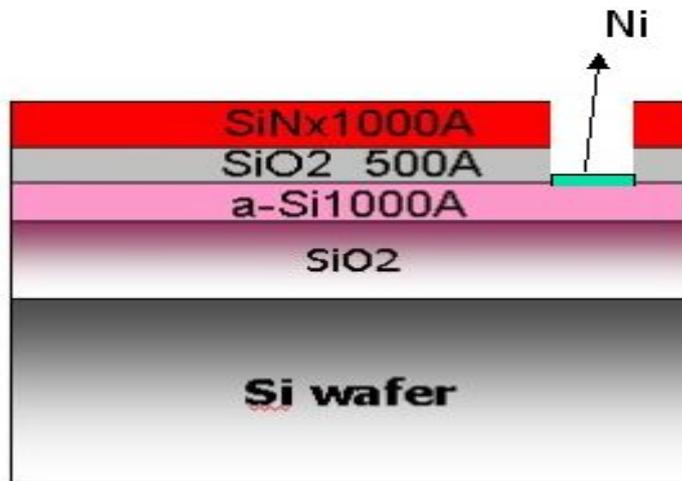


圖 3-27 探討界面影響的實驗示意圖

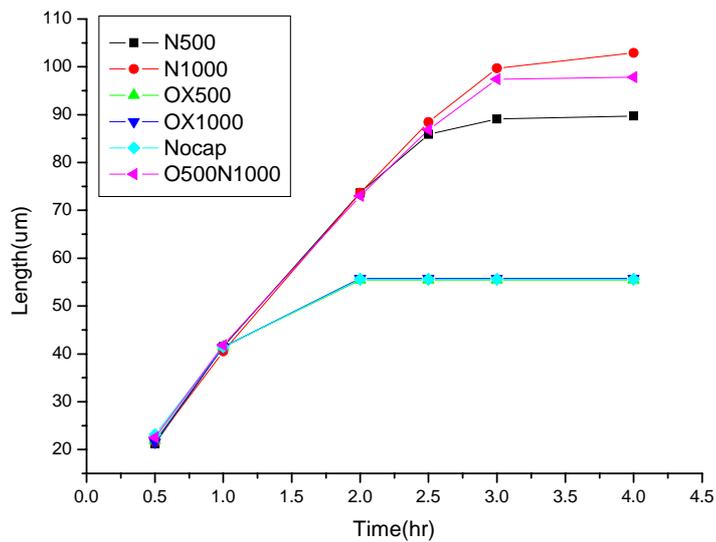


圖 3-28 600°C 下 MILC 長度與時間關係圖

### 3.3 電性分析與探討

我們已經證實是壓應力抑制 SPC 多晶矽的出現。我們選擇兩個條件來製作元件。一是標準片(非晶矽上沒有沉積任何薄膜)，以” No<sub>cap</sub>” 標示之。另一是實驗組(在非晶矽上先後沉積二氧化矽 500Å 與氮化矽 1000Å)，以” 0500N1000” 標示之。試片都在爐管 550°C 氮氣氣氛中退火 24 小時，製作元件主動層所需的多晶矽。

我們先介紹一些參數的量測。在開/關電流比和最小電流/通道寬度這兩個數據部份，我們是以操作電壓 ( $V_d=5V$ ) 的狀態下去做量測，而其他的三個參數(電子遷移率、臨界電壓、次臨界斜率)部分是以  $V_d=0.1V$  的狀態下去量測。而其中電子遷移率的公式如 3-4：

$$\mu_{fe} = \frac{L}{W} \times \frac{g_m}{C_{oxide} V_D} \dots\dots\dots (3-4)$$

而臨界電壓的計算方法如下，在  $V_D=0.1V$  的狀況下，選取一  $I_D$  值，其  $I_D$  值計算方式如 3-5，再將此值對應到相對的  $V_G$ ，此對應的  $V_G$  即所謂的  $V_{th}$ 。

$$I_d = \frac{W}{L} \times 10nA \dots\dots\dots (3-5)$$

而開/關電流比(on/off ratio)的部分，on的部分是看  $V_d=5V$  的最大電流，而 off 部分是看最小電流，漏電流部分我們也是看  $V_d=5V$  的最小電流。

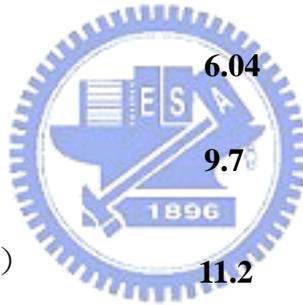
從表 3-2 和圖 3-29 可以看到兩組元件電性上的比較，我們選擇的是  $W=10\mu m$ 、 $L=10\mu m$  的元件部分。發現到” 0500N1000” 元件在電子遷移率、開/關電流比、最小電流/通道寬度都優於” No<sub>cap</sub>” 元件。由圖 3-30~3-31 可以知道沉積二氧化矽 500Å 與氮化矽 1000Å 兩層結構在爐管 550°C 退火下一樣可以抑制 SPC 多晶矽的產生，而且” No<sub>cap</sub>” 試片在退火 11.5 小時時發現 MILC 前端已經形成了許多 SPC 多晶矽，意指的是我們元件製作參數 550°C 退火 24 小時，” No<sub>cap</sub>” 元件混雜著許多這些 SPC 多晶矽。而 SPC 多晶矽的結構與 MILC 多晶矽相比，存在著許多的缺陷，而且也沒有 MILC 多晶矽的優選方向性。電子在移動的時候可能就會遇到許多的晶界。缺陷在能帶上來說是一個能障，會阻礙電子的移動，使得電子遷移率下降。缺陷亦會抓住 Ni 或是 NiSi<sub>2</sub> 使得元件漏電流增加。另外” 0500N1000” 元件在次臨界斜率與臨界電壓值偏高，因為我們在形成 MILC 多晶矽之後用 BOE 將鍍覆在非晶矽上的氮化矽與二氧化矽去除，會造成我們 MILC

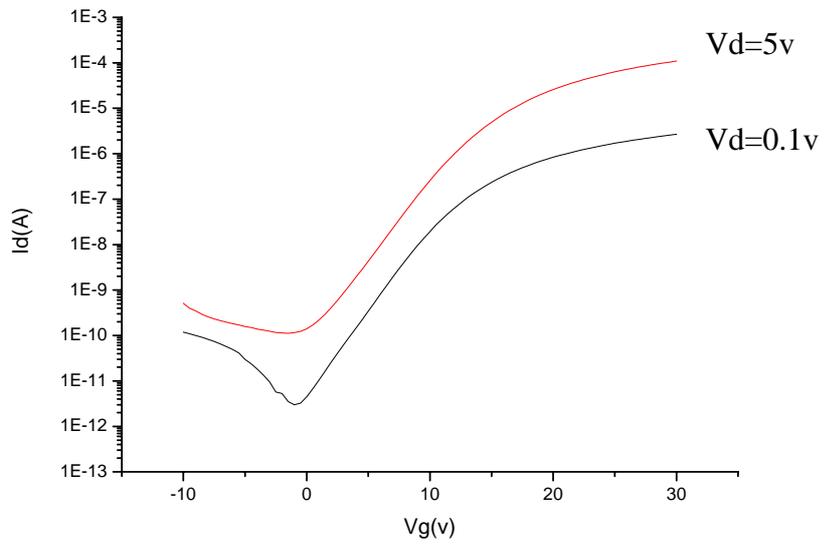
多晶矽表面粗糙度變高，使得在 Gate oxide 與 Poly-Si 的界面產生了很多 trap state 進而造成次臨界漂移偏高而使臨界電壓值變大。



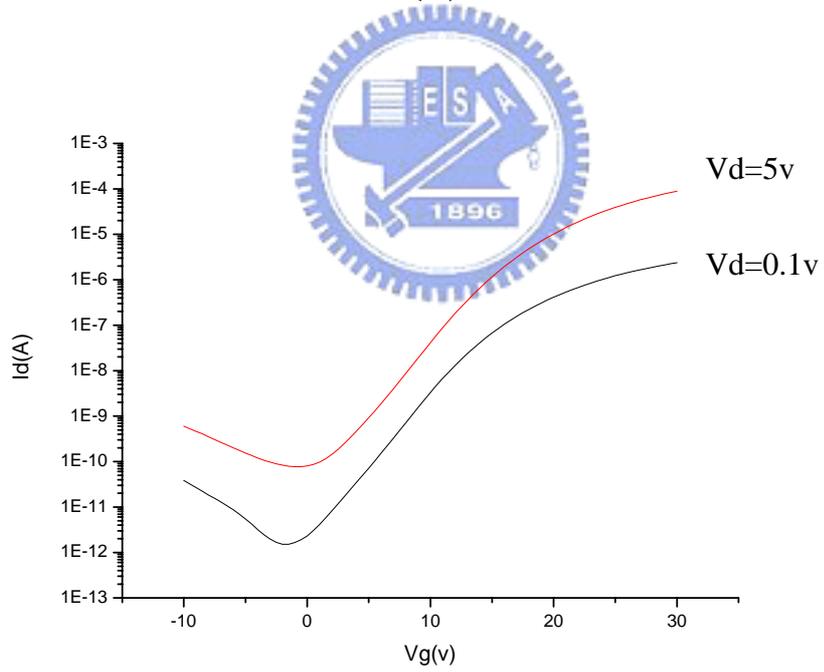
表 3-1  $N_{\text{ocap}}$  與 O500N1000 電性的比較

實驗參數 W=10 L=10	$N_{\text{ocap}}$	O500N1000
電子遷移率( $\text{cm}^2/\text{Vs}$ )	57.13	70.47
次臨界斜率(V/dec)	1.19	1.33
臨界電壓(V)	6.04	9.14
開/關電流比( $\times 10^5$ )	9.78	11.5
最小電流/通道寬度( $\text{pA}/\mu\text{m}$ )	11.2	7.72





(a)



(b)

图 3-29  $I_d$ - $V_g$  curve (a)  $No_{cap}$  (b) O500N1000

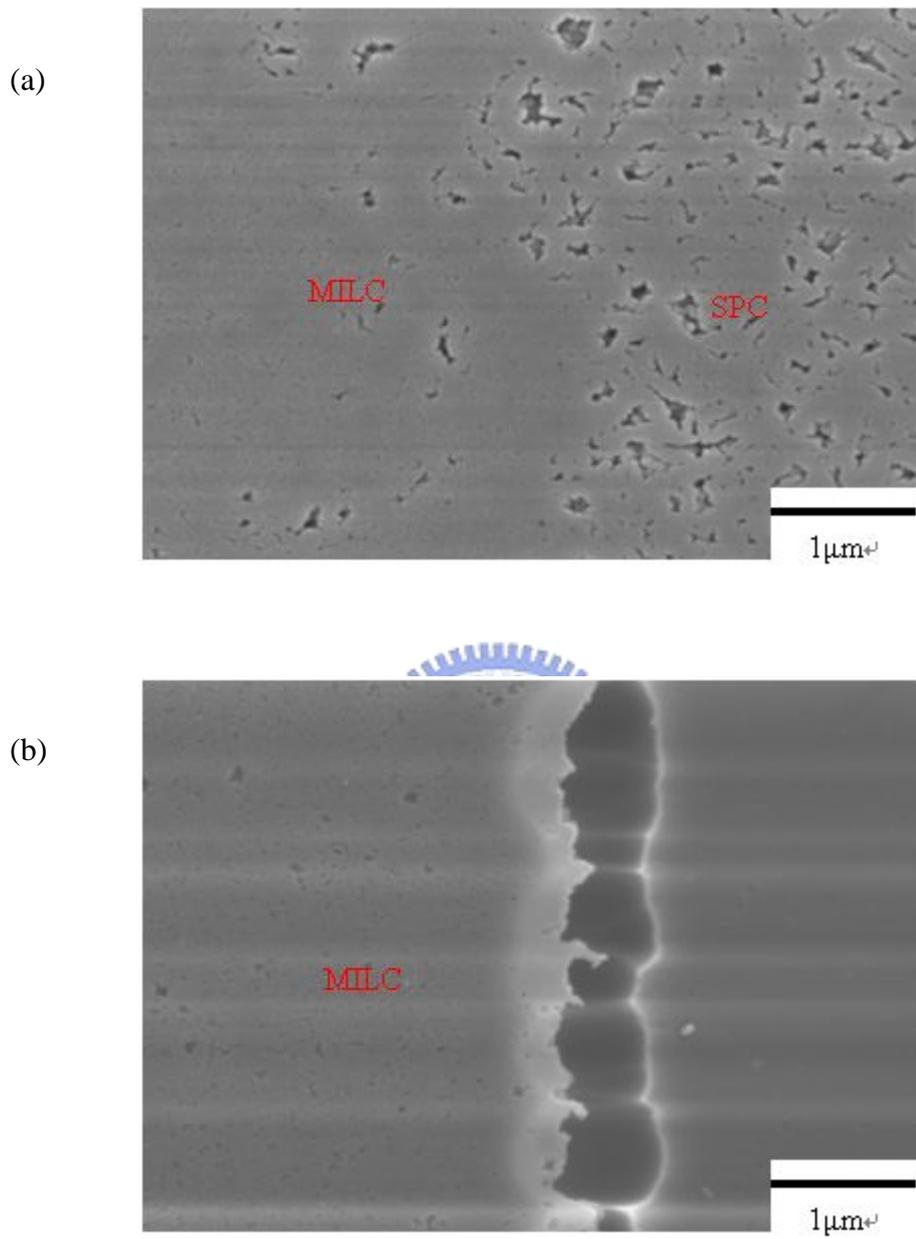


圖 3-30 爐管 550°C 退火 11.5 小時，MILC 與 SPC 界面的 SEM 照片 (a)No<sub>cap</sub>  
(b)0500N1000

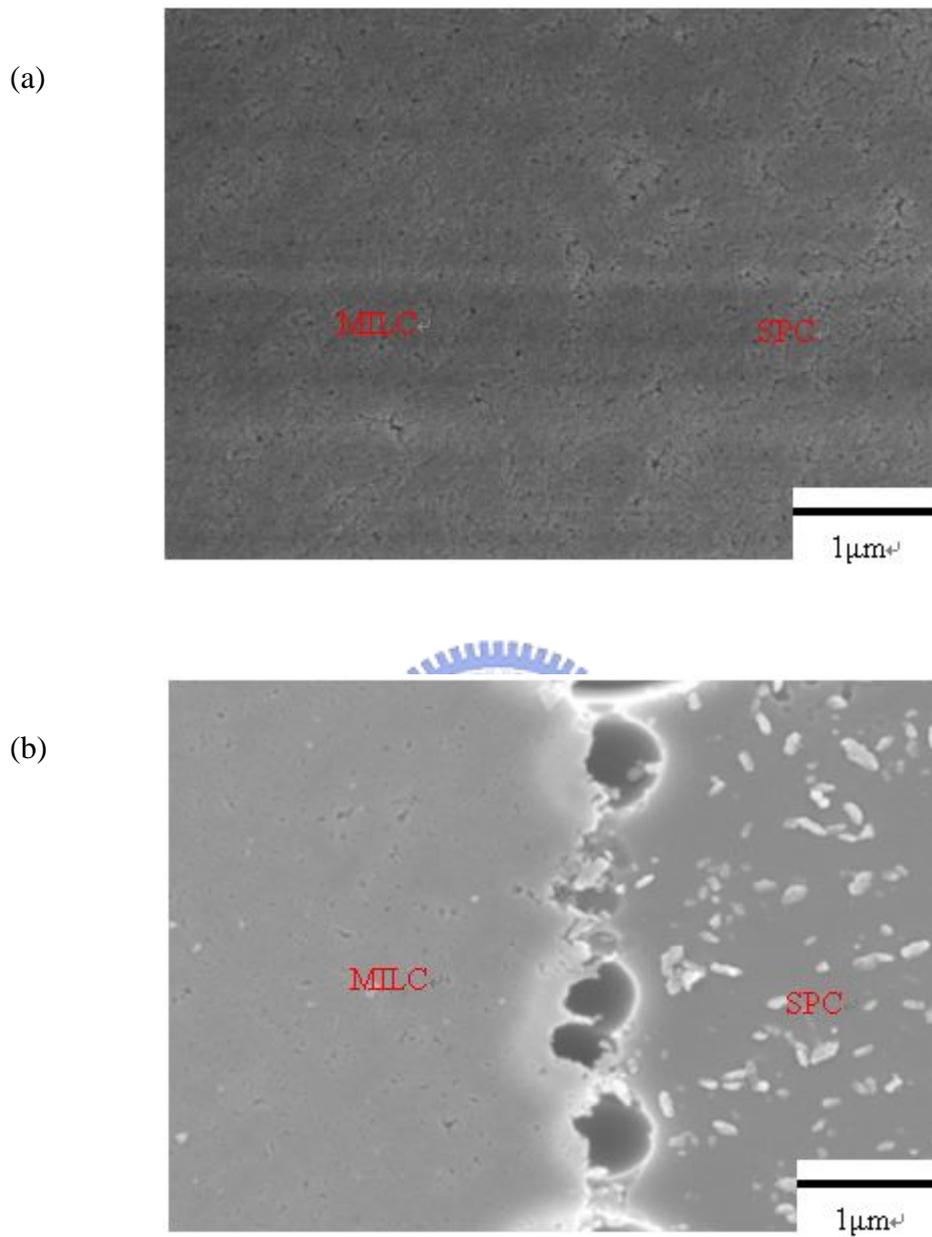


圖 3-31 爐管 550°C 退火 24 小時，MILC 與 SPC 界面的 SEM 照片 (a)No<sub>cap</sub>  
(b)0500N1000

### 3.4 結論

我們已經分析了利用 MICC 方法所得到的多晶矽，雖然利用 MICC 方法可以得到將近  $120\ \mu\text{m}$  大的晶粒，但是仍然有大量的  $\text{NiSi}_2$  的殘留在晶粒中，而利用二次退火技術，發現結晶行為是不連續，大量的  $\text{NiSi}_2$  停留在界面，只有少數繼續進行誘發結晶而且所形成的多晶矽有較少金屬污染，我們猜想是氮化矽的因素所造成的，是如何造成的還有待研究。

我們也探討了氮化矽與二氧化矽對 MILC 成長速率有何影響，發現沉積氮化矽或是二氧化矽的試片對於 MILC 成長速率並沒有任何影響；有影響的是氮化矽的沉積可以得到較長的飽和長度而且沉積 1000Å 的氮化矽比 500Å 的氮化矽有較長的飽和長度，我們已經證實了是因為氮化矽對於非晶矽產生了一巨大的壓應力足以抑制 SPC 多晶矽的形成；然而二氧化矽對於非晶矽所產生的壓應力不夠大所以無法抑制 SPC 多晶矽的形成，在 MILC 長度與時間關係圖中曲線與標準片(沒有沉積氮化矽或二氧化矽)是一樣的；由於氮化矽產生了一巨大的壓應力足以抑制 SPC 多晶矽的形成，為何沒有抑制 MILC 成長速率呢？在 MILC 多晶矽成長的步驟中，決定速率的因素是來自於 Ni 擴散過去 MILC 前端的  $\text{NiSi}_2$ ，而在這麼高的原子密度下，所施加的壓應力可能無法改變太多原子間的空間大小，所施加的壓應力可能無法改變 Ni 在  $\text{NiSi}_2$  的擴散係數，因此自然無法影響 MILC 多晶矽的成長。

在電性表現上我們也發現到施以壓應力抑制 SPC 多晶矽產生的元件有著較高的電子遷移率，較低的漏電流。這是因為 SPC 多晶矽存在著許多的缺陷，而且晶粒沒有方向性，容易造成晶界的產生，這些缺陷會造成電性表現上的劣化。當元件中的 SPC 多晶矽被減少了，也就是缺陷減少了，自然電性表現就變好了。

#### 4. 未來工作

用煮磷酸的方式取代 BOE 來去除氮化矽，以得到較小的表面粗糙度，減少 Gate oxide 與 Poly-Si 界面的 trap state。重做元件，看臨界斜率與臨界電壓值是否降低，得到更佳的元件特性。

從文獻得知[33]利用 RTA 成長 SPC 多晶矽，從原本爐管退火需要數十個小時的時間，縮短到數分鐘，然而這對於 MILC 利用 RTA 退火技術縮短製程時間，額外產生不好的影響因素，藉由我們實驗已經證實沉積氮化矽所造成的壓應力可以抑制 SPC 多晶矽，那應用在 RTA 上會不會有明顯抑制 SPC 多晶矽效果進而可以達到我們理想的目標，快速的 MILC 成長速率而且飽和長度很長。

再者我們的研究都是利用成長一層 wet oxide 做為玻璃基板的模擬，實際在玻璃基板上，是否氮化矽亦有抑制 SPC 多晶矽的效果。

氮化矽的應力可以經由製程的參數的改變而改變[34][35]，我們也許可以得到很大的拉應力進而達到提升 MILC 成長速率，也可以觀察拉應力是否也可以抑制 SPC 多晶矽。



## 五. 文獻回顧

1. [http://www.toppoly.com/Toppoly/tw/Technology/LTPS\\_Tech.ASP](http://www.toppoly.com/Toppoly/tw/Technology/LTPS_Tech.ASP)
2. James S. Im, H.J.Kim, Michael O. Thompson, Appl. Phys. Lett, vol. 63, p1969(1993)
3. James S. Im,H.J.Kim , Appl. Phys. Lett, vol. 64,p.2303(1994)
4. R.S. Wanger, W.C. Ellis, J. Appl. Phys. ,vol. 4, pp. 89, 1964
5. M. S. Haque, H. A. Naseem, and W. D. Brown, J. Appl. Phys., vol. 79, pp. 7529-7536, 1996
6. L. Hultman, A. Robertsson, H. T. G. Hentzell, I. Engström, and P. A. Psaras, J. Appl. Phys., vol 62, pp. 3647-3655, 1987
7. SY Yoon, KH Kim, CO Kim, JY Oh and J. Jang, J. Appl. Phys., vol. 82, pp. 5865-5867, 1997
8. F. A. Quli and J. Singh, Materials Science and Engineering, vol. B67, pp. 139-144 , 1999
9. S.-W. Lee, Y.-C. Jeon and S.-K. Joo, Appl. Phys. Lett., vol. 66, pp. 1671-1673, 1995
10. C. Hayzelden , J. L. Batstone, J. Appl. Phys. Vol. 73, pp. 8279-8289, 1993
11. Jin Jang, Soo Young Yoon, International Journal of High Electronics and systems, vol. 10, pp. 13-23, 2000
12. S.Y. Yoon, S.K. Kim, J.Y. Oh, Y.J. Choi, W.S. Shon, C.O. Kim and J. Jang, Jpn. J. Appl. Phys., vol. 37, pp. 7193-7197, 1998
13. C.F. Cheng et al. , IEEE trans Electron Devices,vol.51 No. 12 (2004)

14. 陳文照，鍍金屬薄膜與矽晶之界面反應研究，國立清華大學博士班論文
15. K.H.Kim, S.J.Park, Ah Young Kim, Jin Jang , Journal of Non-Crystalline Solid 229-302 (2002) 83-86
16. J.H.Choi, D.Y.Kim, B.K.Choo, W.S.Sohn, Jin Jang, Electrochemical and solid-state letters, 6(1) G16-G18 (2003)
17. W.S.Sohn, J.H. Choi, K.H.Kim, Jin Jang, Journal of applied physics, vol.94,No.7, 1 October 2003
18. F. Secco d' Aragano:J. Electro. Soc. 119(1972)948
19. C.W.Chao, Y.C.Sermon Wu, G.R.Hu, Ming-Shian Feng, Jpn.J.Appl.Phys. Vol.42 (2003)pp.1556-1559
20. J.H.Choi, S.S.Kim, J.H.Cheon, S.J.Park, Jin Jang, Journal of The Electrochemical Society, 151(7) G448-G451 (2004)
21. Yasuo Kimura, Masato Kishi, Takashi Katoda, Journal of applied physics, vol. 86, no. 4 (1999)
22. Z.Jin et al, IEEE Transactions on electron devices, vol. 46, p78 (1999)
23. A.M. Haghiri-Gosnet, F.R. Cadan, C.Mayeux, and H. Lannois: *Appl Surf. Sci.* 38, 295 (1989)
24. Stephen M. Rosnagel, Jerome J. Cuomo, William D. Westwood, "Handbook of plasma processing technology", p272
25. M.P. Hughey, R.F. Cook, Thin Solid Film 460 (2004) 7-16
26. M.P. Hughey, R.F. Cook, Journal of applied physics 97, 114914 (2005)
27. Yasuo Kimura, Takashi Katoda, Applied Surface Science 117/118(1997) 790~793

28. Z. Remes, M. Vanecek, P. Torres, U. Kroll, A. H. Mahan and R.S. Crandall, J. Non-Cryst. Solids 227-230 (1998) 876
29. W.A.Brantley, J. Appl. Phys. 44, 534 (1973)
30. Y. Tatsumi, M. Shigi, and M.Hirata, Jpn. J. Appl. Phys. 17, 1465(1978)
31. C.-Y. Hou and Y.S. Wu, Jpn. J. Appl. Phys., vol.44. no.10 (2005)
32. C. Klinke , J.M. Bonard , K.Kern , Sur. Sci. , 492 , 191(2001)
33. R. Kakkad, J. Smith, W.S. Lau, S.J Fonash, J.Appl. Phys. Vol. 65, pp.2069~2072(1989)
34. J.Electrochem. Soc.: Solid-State Science and Technology, April 1985 vol. 132, No.4 , p893~898
35. Journal of Micromechanics and Microengineering 16 (2006) 869–874

