

# 國立交通大學

## 材料科學與工程學系

### 碩士論文



低介電常數奈米孔洞二氧化矽薄膜的乾式蝕刻特性  
研究

Studies on Dry Etch of Low Dielectric Constant Nanoporous Silica  
Thin Films

研究生：劉吉峰

指導教授：潘扶民 博士

中華民國九十五年七月

低介電常數奈米孔洞二氧化矽薄膜的乾式蝕刻特性研究

Studies on Dry Etch of Low Dielectric Constant Nanoporous Silica

Thin Films

研 究 生：劉吉峰

Student: Ji-Feng Liu

指導教授：潘扶民

Adviser: Fu-Ming Pan

國立交通大學

材料科學與工程學系



Submitted to Department of Materials Science and Engineering

College of Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Materials Science and Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

# 低介電常數奈米孔洞二氧化矽薄膜的乾式蝕刻特性研究

研究生：劉吉峰

指導教授：潘扶民 博士

國立交通大學材料科學與工程學系

## 摘要

超大型積體電路(ULSI)在高電晶體容量與運算速度的需求快速增加下，使得元件尺寸縮小，內連線尺寸也必須相對縮小。因此晶片的運作速度不再受限於元件的操作速度，而是取決於其導線間之訊號傳遞速度。因此，當導線的線寬逐漸縮小後，晶片的效能將主要受限於後段製程的內連線延遲與耗損。為了改善這些問題，使用低介電常數材料作為導線間的介電層為必要選擇。



本研究中所使用的低介電常數材料為奈米孔洞二氧化矽薄膜。然而，由於高孔隙率的關係，衍生出許多製程上的問題，增加實際導入生產製程上的困難，如吸水性、蝕刻氣體滲入孔洞等。有鑑於此，我們提出蝕刻後移除模板分子的概念來改善上述之問題，並於蝕刻製程完成後，採用 $O_3$  氧化法同時進行模板分子及光阻移除，而達到製程簡化的效果。於研究中，我們已成功地利用模板分子於蝕刻後才進行臭氧煅燒移除的方式來改善原先於蝕刻製程上所衍生出薄膜性質劣化的問題。

另外，本研究亦探討奈米孔洞二氧化矽薄膜的乾蝕刻特性，並進行溝

渠引洞結構圖案之蝕刻。藉由改變蝕刻條件，如反應氣體、F/C 比例、電漿功率、偏壓(bias)以及系統壓力等，來了解其對於奈米孔洞薄膜的影響。於研究中，我們發現奈米孔洞二氧化矽薄膜之蝕刻率會隨著電漿功率、偏壓以及 F/C 比例的增加而增加。另一方面，經 HMDS 疏水化改質處理的薄膜，其蝕刻率會比未經處理的薄膜慢，顯示蝕刻速率與薄膜本身的碳含量有很大的關係。



# Studies on Dry Etch of Low Dielectric Constant Nanoporous Silica Thin Films

Student: Ji-Feng Liu

Adviser: Fu-Ming Pan

Department of Materials Science and Engineering

National Chiao Tung University

## Abstract

Due to the rapid increase in transistor density and the operation speed of an IC chip, the ultralarge-scale integrated circuit (ULSI) has an urgent demand for scaling down the device size, and thus the dimension of the interconnect accordingly. Consequently, the performance of the chip is no longer solely limited by the operation speed of the transistors, but also depends on the speed of the signal propagating through the interconnect. As the line width of the metal interconnect reduces, the performance of an IC chip can be degraded by interconnect RC delay and power consumption. In order to alleviate the problems, low dielectric constant ( $k$ ) materials are used to replace the conventional intermetal dielectric (IMD),  $\text{SiO}_2$ .

In this thesis, low- $k$  nanoporous silica dielectrics used as the IMD material for ULSI applications is reported. Because of the high porosity, implementation of the nanoporous silica in the IC process will result in many integration problems, such as water uptake on the pore surface, impurity permeation thorough the pores, mechanical deficiency, etc. In this work, we propose a post-etch pore formation method to mitigate impurity diffusion in the nanoporous dielectric during the etch process and improve hydrophobicity of the low- $k$  dielectric. Instead of conventional way to remove the organic template from the silica matrix by calcination before IMD patterning, nanopores of the

low-k silica dielectric are formed in-situ as the photoresist is stripped by ozone ashing after the reactive-ion-etch process.

In the study, we compared the etch characteristics of HMDS treated nanoporous silica thin film with pristine nanoporous thin film. We found little difference in surface morphology and microstructure between the two nanoporous thin films after reactive-ion etch. But the etch rate was significantly affected by the amount of carbon present in the silica matrix. This can be explained in terms of the dependence of the etch rate on the fluorine/carbon (F/C) ratio. The etch rate of the nanoporous silica thin film increases with the F/C ratio, plasma power and bias. For the post-etch pore formation process, the etch rate of the organic surfactant templated silica thin film was found to be comparable to that of a dense silica thin film.



## 致謝

碩士論文的完成，首先我要感謝我的家人，在這兩年來默默地在背後支持我，成為我最大的後盾，得以無後顧之憂並且埋首學業，在此致上最高敬意。

其次，我要感謝潘扶民博士在碩士修業期間對我的諄諄善誘，使得我對半導體材料及奈米科技有了更進一步的認知，如沐春風的教導更令我開拓視野。

我的學長一致宇－感謝你這段期間在研究工作上對我的幫助，引領懵懂的我逐漸進入狀況，我會永遠記住這段一齊奮鬥的歲月。

還有宜芳、協宗、大憲、智傑，以及實驗室的其他成員，同樣感謝你們無論在實驗方面或者生活上熱心的協助，讓我感受到實驗室的溫馨。

最後，感謝郭正次教授、許鉦宗教授、謝嘉民博士，以及莫啟能博士於學位考試期間對我的指教與批評，使本論文得以畫下完美的句點。

## 目錄

摘要.....	i
Abstrate.....	iii
致謝.....	v
目錄.....	vi
表目錄.....	ix
圖目錄.....	x
一、緒論.....	1
1.1 超大型積體電路技術現況及未來發展趨勢.....	1
1.2 研究動機及目的.....	5
二、文獻回顧.....	8
2.1 低介電常數薄膜材料.....	8
2.1.1 基本特性與要求.....	9
2.1.2 各種低介電材料介紹.....	10
2.2 奈米孔洞二氧化矽薄膜製備.....	21
2.2.1 溶膠-凝膠 (Sol-Gel) 原理.....	21
2.2.2 有機模板分子之自組裝.....	22
2.3 電漿蝕刻製程.....	25
2.3.1 電漿技術簡介.....	25
2.3.2 蝕刻製程簡介.....	26
2.3.3 傳統二氧化矽介電材料蝕刻.....	28
2.3.4 多孔性二氧化矽薄膜蝕刻.....	30
2.3.5 光阻剝除.....	31
三、實驗.....	33
3.1 試片製備.....	33



3.1.1	矽晶片清洗.....	33
3.1.2	奈米孔洞二氧化矽薄膜前驅物配製.....	34
3.1.3	奈米孔洞二氧化矽薄膜試片的製備.....	35
3.1.4	HMDS 疏水化改質處理.....	37
3.1.5	利用反應性離子蝕刻系統(RIE)作薄膜的蝕刻.....	37
3.1.6	利用 Fusion ozone 光阻去除系統進行薄膜上光阻的移除.....	38
3.2	利用微影-蝕刻製程製備高深寬比之溝渠.....	40
3.3	儀器分析原理.....	43
3.3.1	傅立葉轉換紅外線光譜儀.....	43
3.3.2	膜厚與折射率量測儀 (n&k analyzer).....	44
3.3.3	原子力顯微鏡(AFM).....	44
3.3.4	場發射掃描式電子顯微鏡(SEM).....	46
3.3.5	X 光繞射儀 (XRD).....	47
3.3.6	奈米壓痕儀 (Nanoindenter).....	48
四、	結果與討論.....	51
4.1	不同的煅燒方式對製備奈米孔洞二氧化矽薄膜之影響....	51
4.1.1	以爐管加熱煅燒方式製備奈米孔洞二氧化矽薄膜.....	51
4.1.2	以臭氧電漿氧化煅燒方式製備奈米孔洞二氧化矽薄膜...	59
4.1.3	結論.....	65
4.2	光阻移除對奈米孔洞二氧化矽薄膜性質之影響.....	66
4.2.1	利用臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻 對其薄膜性質之影響.....	66
4.2.2	光阻移除對三甲基矽化改質後之奈米孔洞二氧化矽薄膜 的性質影響.....	71
4.2.3	利用臭氧電漿氧化法同時移除模板分子及光阻來製備奈米 孔洞二氧化矽薄膜.....	76

4.2.4	結論.....	79
4.3	反應性離子蝕刻製程(RIE)對薄膜性質之影響.....	82
4.3.1	奈米孔洞二氧化矽薄膜於乾式蝕刻後之薄膜性質研究....	82
4.3.2	三甲基矽化奈米孔洞二氧化矽薄膜於蝕刻後之薄膜性質研究.....	87
4.3.3	有機模板分子於蝕刻後移除對二氧化矽薄膜的影響.....	90
4.3.4	結論.....	95
4.4	高密度電漿反應性離子蝕刻(HDP-RIE)製程之探討.....	97
4.4.1	探討不同的蝕刻參數對蝕刻性質之影響.....	97
4.4.1.1	感應耦合式電漿功率(ICP power)對蝕刻的影響.....	97
4.4.1.2	偏壓功率(Bias power)對蝕刻的影響.....	99
4.4.1.3	系統壓力對蝕刻的影響.....	99
4.4.1.4	蝕刻氣體配比( $\text{CHF}_3/\text{Ar}$ )對蝕刻的影響.....	101
4.4.1.5	蝕刻氣體配比( $\text{CF}_4/\text{CHF}_3$ )對蝕刻的影響.....	102
4.4.2	製備厚膜以蝕刻出高深寬比之溝槽.....	106
五、	結論.....	110
	參考文獻.....	113

## 表目錄

表 1-1	ITRS 為未來超大型積體電路的系統需求研擬的趨勢.....	3
表 2-1	低介電材料中常見官能基的極化率及鍵能.....	9
表 2-2	aerogel 與 xerogel 製備方式之差異.....	19
表 2-3	各種低介電材料之性質比較.....	20
表 3-1	奈米孔洞二氧化矽薄膜前驅物溶液的成分以及莫耳比.....	35
表 3-2	氧化矽乾蝕刻系統製程參數.....	38
表 3-3	Fusion ozone 光阻去除系統的製程參數.....	39
表 4-1	各種薄膜於光阻塗佈前以及光阻移除後其表面粗糙度比較表.....	81
表 4-2	各種薄膜於電漿蝕刻前及電漿蝕刻後其表面粗糙度比較表.....	95
表 4-3	HDP-RIE 之蝕刻參數.....	109



## 圖目錄

圖 1-1	超大型積體電路採用多層內連線的結構示意圖.....	2
圖 1-2	訊號延遲時間與技術節點的關係圖.....	3
圖 2-1	SSQ 結構.....	12
圖 2-2	HSQ 薄膜經熱處理步驟之結構變化.....	13
圖 2-3	兩種氟化聚醯亞胺膜 FPI-45 及 FPI-136 結構圖.....	14
圖 2-4	(a) FLARETM 1.0 、(b) FLARETM 2.0 結構圖.....	15
圖 2-5	SiLK 經熱處理步驟之結構變化.....	16
圖 2-6	BCB 之單體結構.....	17
圖 2-7	介電常數值與孔隙率的關係.....	18
圖 2-8	有機分子模板作用示意圖.....	24
圖 2-9	F/C 比、直流偏壓與聚合作用之關係圖.....	30
圖 2-10	多孔性二氧化矽薄膜之 $ER_{norm}$ 與一般二氧化矽蝕刻率之關係.....	31
圖 3-1	奈米孔洞二氧化矽薄膜製備流程圖.....	36
圖 3-2	蝕刻流程圖.....	38
圖 3-3	光阻灰化流程圖.....	39
圖 3-4	製備高深寬比溝渠之流程圖.....	42
圖 3-5	AFM 量測原理.....	45
圖 3-6	AFM 探針的操作模式.....	46
圖 3-7	FE-SEM 量測原理.....	47
圖 3-8	負荷—壓痕位移關係圖.....	50
圖 4-1	以爐管加熱煅燒製備奈米孔洞二氧化矽薄膜 (a)AFM (b)SEM 平面圖.....	54
圖 4-2	以爐管加熱煅燒製備之奈米孔洞二氧化矽薄膜 (a)膜厚與折射指數 (b)孔隙率	

的變化情形.....	55
圖 4-3 以爐管加熱煅燒製備奈米孔洞二氧化矽薄膜之 FTIR 光譜圖.....	56
圖 4-4 以 (1)爐管加熱煅燒、(2)臭氧電漿煅燒製備的奈米孔洞二氧化矽薄膜之 X 光繞射圖譜.....	57
圖 4-5 利用奈米壓痕儀量測以爐管加熱煅燒製備的奈米孔洞二氧化矽薄膜 (a) 楊氏係數 (b)硬度.....	58
圖 4-6 利用臭氧電漿煅燒製備奈米孔洞二氧化矽薄膜之表面粗糙度.....	60
圖 4-7 以臭氧電漿煅燒製備之奈米孔洞二氧化矽薄膜 (a)膜厚與折射指數 (b)孔隙率的變化情形。.....	61
圖 4-8 利用臭氧電漿煅燒製備奈米孔洞二氧化矽薄膜之 FTIR 光譜圖.....	63
圖 4-9 利用奈米壓痕儀量測以臭氧電漿煅燒製備的奈米孔洞二氧化矽薄膜之 (a)彈性係數、(b)硬度.....	64
圖 4-10 以 AFM 觀察經臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面.....	67
圖 4-11 以臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻，其膜厚與折射指數的變化情形.....	67
圖 4-12 奈米孔洞二氧化矽薄膜在經由臭氧電漿氧化處理前及處理後之 FTIR 光譜圖.....	69
圖 4-13 (1)奈米孔洞二氧化矽薄膜、(2)三甲基矽化奈米孔洞二氧化矽薄膜、(3)尚未移除模板分子的二氧化矽薄膜，在經過臭氧電漿氧化處理移除薄膜上光阻後之掠角 X 光繞射圖.....	69
圖 4-14 奈米孔洞二氧化矽薄膜在經由臭氧電漿移除薄膜上光阻後 (a)彈性係數、(b)硬度.....	70
圖 4-15 以 AFM 觀察經臭氧電漿移除三甲基矽化奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面.....	73
圖 4-16 三甲基矽化奈米孔洞二氧化矽薄膜在經由臭氧電漿處理前及處理後之 FTIR 光	

譜圖.....	73
圖 4-17 以臭氧電漿氧化法移除三甲基矽化奈米孔洞二氧化矽薄膜上之光阻，其膜厚與 折射指數的變化情形.....	74
圖 4-18 三甲基矽化奈米孔洞二氧化矽薄膜在經由臭氧電漿移除薄膜上光阻後 (a)彈性 係數、(b)硬度.....	75
圖 4-19 臭氧電漿氧化法同時移除模板分子及光阻所製備之奈米孔洞二氧化矽薄膜的原 子力顯微鏡影像.....	77
圖 4-20 同時移除模板分子及光阻後的奈米孔洞二氧化矽薄膜，其膜厚與折射指數的變 化情形.....	78
圖 4-21 同時移除二氧化矽薄膜內的有機模板分子以及上層光阻之 FTIR 光譜 圖.....	78
圖 4-22 同時移除模板分子及光阻後的奈米孔洞二氧化矽薄膜 (a)彈性係數、(b)硬 度.....	80
圖 4-23 蝕刻後的奈米孔洞二氧化矽薄膜之表面形貌(a)AFM 與 (b)SEM 平面 圖.....	83
圖 4-24 奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情形.....	84
圖 4-25 電漿蝕刻前及蝕刻後的奈米孔洞二氧化矽薄膜之 FTIR 光譜圖.....	85
圖 4-26 (1)奈米孔洞二氧化矽薄膜、(2)三甲基矽化奈米孔洞二氧化矽薄膜、(3)尚未移除 模板分子的二氧化矽薄膜經過電漿蝕刻後之低掠角 X 光繞射 圖.....	86
圖 4-27 以 AFM 觀察蝕刻後的三甲基矽化奈米孔洞二氧化矽薄膜之表面形貌.....	89
圖 4-28 三甲基矽化奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情 形.....	89
圖 4-29 電漿蝕刻前及蝕刻後的三甲基矽化奈米孔洞二氧化矽薄膜之 FTIR 光譜 圖.....	90
圖 4-30 以 AFM 觀察模板分子蝕刻後移除的奈米孔洞二氧化矽薄膜之表面形	

貌.....	91
圖 4-31 尚未移除模板分子之奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情形.....	92
圖 4-32 尚未移除模板分子之奈米孔洞二氧化矽薄膜在經電漿蝕刻前及電漿蝕刻後之 FTIR 光譜圖.....	93
圖 4-33 模板分子蝕刻後移除的 SEM 影像 (a) Trench、(b) Via.....	94
圖 4-34 各種薄膜之蝕刻速率比較圖.....	96
圖 4-35 改變電漿功率對薄膜蝕刻率之關係.....	98
圖 4-36 改變偏壓功率對薄膜蝕刻率之關係.....	100
圖 4-37 改變系統壓力對薄膜蝕刻率之關係.....	100
圖 4-38 蝕刻氣體配比( CHF <sub>3</sub> /Ar )對薄膜蝕刻率之關係.....	101
圖 4-39 蝕刻氣體配比(CF <sub>4</sub> /CHF <sub>3</sub> )對薄膜蝕刻率之關係.....	103
圖 4-40 奈米孔洞二氧化矽薄膜經 CF <sub>4</sub> /CHF <sub>3</sub> 為蝕刻氣體之蝕刻製程後 FTIR 光譜圖.....	104
圖 4-41 奈米孔洞二氧化矽薄膜經 CF <sub>4</sub> /CHF <sub>3</sub> 為蝕刻氣體之蝕刻製程後 ESCA 能譜圖.....	105
圖 4-42 以 SEM 觀察厚的奈米孔洞二氧化矽膜的試片斷面.....	107
圖 4-43 以 AFM 觀察厚的奈米孔洞二氧化矽膜的表面形貌.....	107
圖 4-44 經 HDP-RIE 蝕刻出具高深寬比 (a) Trench、(b) Via 的 SEM 影像.....	108



# 第一章 緒論

## 1.1 超大型積體電路技術現況及未來發展趨勢

超大型積體電路(ULSI)，如圖1-1所示，在高電晶體容量與運算速度的需求快速增加下，使得元件尺寸縮小，內連線尺寸也必須相對縮小，積體電路目前的線徑尺寸製作技術已由 $0.18\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$ 下縮至 $90\ \text{nm}$ ，現在最先進的製程技術將探討 $65\ \text{nm}$ 以下的尺寸範疇。不過隨著元件尺寸的縮小，晶片的運作速度不再受限於元件的操作速度，而是取決於其導線間之訊號傳遞速度<sup>[1]</sup>。如圖1-2所示，元件閘極層次的速度增益，將因增加RC時間常數所引起之內連線傳導延遲而抵銷。舉例而言，當閘極長度為 $250\ \text{nm}$ 或更小時，高達50%的時間延遲是肇因於較長之內連線<sup>[2]</sup>。因此ULSI電路中，內連線的連結網路將成為影響如元件速度、信號串音(cross talk)、及ULSI電路中的功率耗損等晶方性能的限制因素。解決這些問題的方法，早期是以線路設計的方式來增加層數及關鍵部分的線徑與空間，然而如此將增大積體電路尺寸而造成產率與成本的負擔，故有效的改善方式仍須從材料的電阻及電容部份來著手。在電阻方面，由於銅的電阻係數只有 $1.67\ \mu\Omega\text{-cm}$ ，遠小於鋁的 $2.66\ \mu\Omega\text{-cm}$  與鎢的 $5.65\ \mu\Omega\text{-cm}$ ，而且其抗電遷移能力佳，故以銅金屬取代鋁做為主要的導線材料，已經是產業界的共同的发展趨勢<sup>[3]</sup>。另一方面，在低電容材料部分，諸多人力已試著研發比傳統製程技術所使用之二氧化矽(其介電常數約為3.9)介電常數值低的材料。此材料的使用可降低因



為線寬變小所造成的訊號傳遞時間的延遲，內連線電容增加，以及金屬導線間訊號相互干擾及能量消耗(power consumption)等問題的出現<sup>[4]</sup>。如表1-1所示，根據2004年國際半導體技術藍圖(International Technology Roadmap for Semiconductors, ITRS)估計當邏輯電路進入90 nm技術時，金屬間介電層的有效介電常數( $k_{eff}$ )必須在3.1-3.6之間，因此low- $k$ 材料的體介電常數( $k_{bulk}$ )必須小於2.7<sup>[5]</sup>。但是當IC製程技術到達65 nm線寬要求時，金屬間介電質的 $k_{eff}$  值必須在2.7-3.0之間，這表示所採用的低介電材料的介電常數必須不可大於2.4。

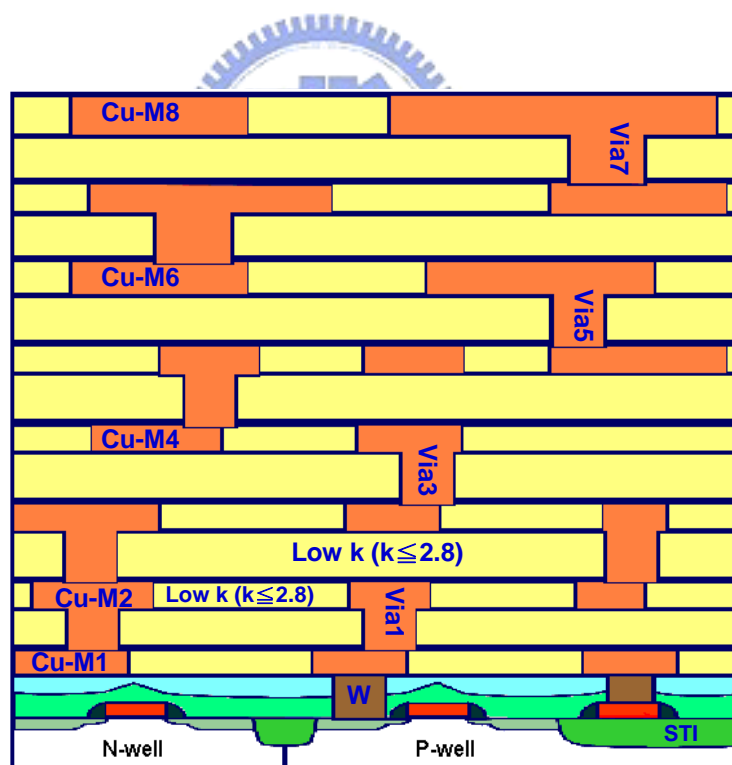


圖1-1 超大型積體電路採用多層內連線的結構示意圖

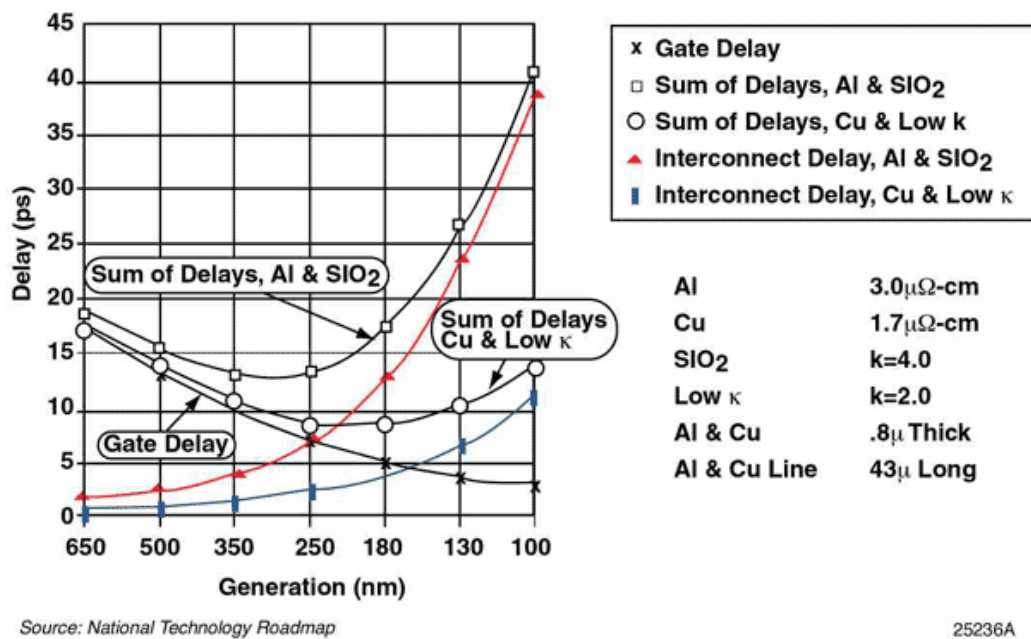


圖 1-2 訊號延遲時間與技術節點的關係圖

<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
DRAM $1/2$ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC $1/2$ Pitch (nm)	120	107	95	85	76	67	60
No. of metal levels	9	10	11	11	11	12	12
Barrier/Cladding thickness (nm)	12	10	9	8	7	6	6
Intermetal insulator - $k_{eff}$	3.3-3.6	3.1-3.6	3.1-3.6	3.1-3.6	2.7-3.0	2.7-3.0	2.7-3.0
Intermetal insulator - $k_{bulk}$	<3.0	<2.7	<2.7	<2.7	<2.4	<2.4	<2.4

表 1-1 ITRS為未來超大型積體電路的系統需求研擬的趨勢。

(*The International Technology Roadmap for Semiconductors (ITRS)*, Interconnect Chap., Semiconductor Industry Association, 2004.)

金屬導線間所產生的電阻-電容之時間延遲(RC time delay)，基本上可用

簡易的一階方程式來做初步的估算：

$$R = \rho L_m / W t_m .$$

$$C = 2(C_L + C_V) = 2\varepsilon\varepsilon_0 \left( \frac{L_m t_m}{W} + \frac{L_m W}{t_m} \right) .$$

$$\tau = RC = 2\rho\varepsilon\varepsilon_0 \left( \frac{L_m^2}{W^2} + \frac{L_m^2}{t_m^2} \right) .$$

$$\begin{aligned} P &\propto 2\pi f V^2 \varepsilon\varepsilon_0 \tan \delta \\ &\propto 2\pi f V^2 C \end{aligned} .$$

其中， $R$ 為導線電阻， $C$ 為金屬間介電層的電容， $\rho$ 為電阻率， $L_m$ 為內連線長度， $t_m$ 為金屬層厚度， $W$ 為線寬， $\varepsilon$ 及 $\varepsilon_0$ 分別為介電層與真空的介電常數， $P$ 則為功率損。由以上方程式可知，影響RC時間延遲因素不外有二：其一為材料本身的特性(電阻或電容率)，另一則為內金屬導線的幾何結構(如內層連接線長度、線寬及金屬層厚度等)。

## 1.2 研究動機及目的

本研究主要在探討奈米孔洞二氧化矽薄膜的乾蝕刻特性，並進行溝渠引洞結構圖案之蝕刻，以做為後續金屬鑲嵌結構及CMP等整合研究之基礎。在此，我們將利用反應性離子蝕刻系統(RIE)來進行奈米孔洞二氧化矽薄膜挖蝕接觸窗及引洞。一般而言，蝕刻氧化矽薄膜的反應氣體，大多以氟化碳的氣體為主，如早期的 $\text{CF}_4$ 以及現在半導體製程常使用的 $\text{CHF}_3$ 。為了與現有之半導體製程相容，因此這些氣體均為本研究主要採用之蝕刻氣體。由於影響蝕刻的因素包括反應氣體、F/C比例、電漿功率、偏壓(bias)以及系統壓力等，因此這些都將於本研究中進行探討。然而，本研究所製備的奈米孔洞二氧化矽薄膜具有高孔隙率，且孔洞結構具有規則的排列結構，因此蝕刻過程中因離子轟擊所造成孔洞規則排列的破壞以及蝕刻氣體經由孔洞進入薄膜內部的可能性等，皆是我們欲了解的重點，以確定奈米孔洞二氧化矽薄膜與傳統微影技術的相容性。我們將以I-line光學步進機定義出0.35-1.0  $\mu\text{m}$ 寬度，高深寬比(aspect ratio, AR)的溝渠引洞圖案。研究的重點包括：

1. 利用HDP-RIE蝕刻出具高深寬比的溝渠圖案。
2. 探討蝕刻對奈米孔洞薄膜的化學性質、密度與機械特性影響。
3. 蝕刻殘留物污染分析及光阻脫除對薄膜材質的影響。
4. 蝕刻前後奈米孔洞薄膜親疏水性的變化與改善。

奈米孔洞二氧化矽薄膜的孔洞形成，主要是藉由有機模板分子，自行組裝排列，加熱移除後所得到之高孔隙率、高規則性排列的孔洞結構。而由於高孔隙率的關係，衍生出許多製程上的問題，增加實際導入生產製程上的困難，如吸水性、蝕刻氣體滲入孔洞等。有鑑於此，我們提出蝕刻後移除模板分子的概念來改善上述之問題。於本研究中我們已成功地利用O<sub>3</sub>氧化法來移除有機模板分子，且所得到的奈米孔洞二氧化矽薄膜之介電特性與機械性質均有很好的結果。此外，利用此方式移除模板分子，其製程時間只需短短幾分鐘，且製程可在低溫下進行，比起利用高溫加熱煅燒移除，更能符合半導體製程快速與低溫的需求。而於蝕刻後才進行模板分子的移除，有幾項優點：(1) 由於蝕刻前孔洞處為模板分子所佔據，因此水分子與蝕刻氣體分子不易進入奈米孔洞二氧化矽薄膜內部，故在此之前較無薄膜吸水與蝕刻氣體滲入等問題。(2) 蝕刻製程完成後，一般皆採用O<sub>3</sub>氧化法來移除光阻，而模板分子亦可經由此方式來移除，因此可藉由此步驟同時進行模板分子及光阻移除，而達到製程簡化的效果。此外，模板分子的存在對蝕刻製程所造成的影響，亦是我們急欲了解的部分。因此，我們的研究重點包括：

1. 模板分子的存在對於蝕刻率以及漕渠引洞形貌的影響。
2. 利用O<sub>3</sub>氧化法同時移除模板分子與光阻的效果。
3. 蝕刻後O<sub>3</sub>氧化法移除模板分子對薄膜特性的影響。

上述研究的結果將有助於了解奈米孔洞二氧化矽薄膜於現有之微影蝕刻製程中的整合性，以此為參照，可利於與後續金屬化製程(metallization)研究上之結合與進行。



## 第二章 文獻回顧

### 2.1 低介電常數薄膜材料

隨著半導體製作技術的進步，元件尺寸已進入深次微米的領域。因此，一般用於金屬導線間之介電層(IMD)，必須使用低介電材料來因應RC delay所造成的問題。通常有兩種主要的方法被用來降低材料的介電常數，第一種方法是設法降低材料本身的極性(polarization)，而發生極化的機制可分為三種<sup>[6,7]</sup>，分別是電子極化(electron polarization)，即原子內的電子雲因外加電場作用而偏離原子的電荷中心。第二是離子極化(ionic polarization)，其產生的原因為陽離子和陰離子彼此間的相對位移。第三種是材料本身含永久性電偶極，其會順著施加的電場方向平行排列，造成所謂的方向極化(orientation polarization)。

表2-1列出低介電材料中常見的一些官能基(functional groups)的極化率及鍵能<sup>[8]</sup>。由表可知，C-F以及C-C其鍵結極性最低，且隨著鍵數增加其極性越強，因此在材料中添加氟原子以及減少雙鍵，參鍵的鍵結數目能有效的降低材料的極性。介電常數與極化率的關係可經由 Clausius-Mossotti equation 來表示<sup>[7]</sup>，

$$\frac{\epsilon_r - 1}{\epsilon_r + 2} = \frac{N}{3\epsilon_0}(\alpha_e + \alpha_i + \alpha_o),$$

其中， $\epsilon_r$ 及 $\epsilon_0$ 分別為介電層與真空的介電常數， $N$ 為每立方公尺的分子數， $\alpha_e$ ,  $\alpha_i$ ,  $\alpha_o$ 分別為分子的電子極化率，離子極化率及方向極化率。由此方程式



Bond	Polarizability* (Å <sup>3</sup> )	Ave. Bond Energy# (kcal/mole)
C-C	0.531	83
C-F	0.555	116
C-O	0.584	84
C-H	0.652	99
O-H	0.706	102
C=O	1.020	176
C=C	1.643	146
C≡C	2.036	200
C≡N	2.239	13

表2-1低介電材料中常見官能基的極化率及鍵能<sup>[8]</sup>

可知，材料中的極性分子越少，則此材料的介電常數值就越低。

另一種降低介電常數的方法，是將介電材料的結構變得較為鬆散以增加薄膜內的自由空間(free space)，而空氣的介電常數定義為1，因此能藉由這種方式降低材料的介電常數。

### 2.1.1 基本特性與要求

目前產學界已研發出的多種低介電常數材料，與傳統介電層材料SiO<sub>2</sub>相較，都具有較低的介電常數。然而作為一個好的低介電常數材料，除了要具備有低的介電常數之外，尚需具備一些特性<sup>[9]</sup>：

(1) 好的電特性：低介電常數、低漏電流、高崩潰電壓、低殘餘電荷、高介電強度及高可靠性。

(2) 好的化學性質：抗水性、化學安定性、低釋氣(out-gassing)性質、



高蝕刻選擇性、耐環境安定性、保存期(storage life)長。

(3) 好的熱性質：高熱穩定性、高玻璃轉移溫度、高傳導性質、低受熱收縮性、低熱膨脹係數。

(4) 好的機械性質：良好接著性、低薄膜應力、抗壓性、硬度佳、低針孔(pin hole)密度。

### 2.1.2 各種低介電材料介紹

傳統介電材料 $\text{SiO}_2$ 的介電常數約 3.8-4.2，因此介電常數小於 4 的介電材料就可定義為低介電常數材料。目前已有許多低介電常數材料被廣泛研究以用來取代傳統介電材料 $\text{SiO}_2$ ，依其組成分類，可分為有機與無機兩類；其沉積方式又可分為化學氣相沉積(chemical vapor deposition, CVD)及旋轉塗佈法(spin-on)。

#### (1) 氟化二氧化矽 (fluorinated $\text{SiO}_2$ , FSG)

為了降低傳統介電材料 $\text{SiO}_2$ 的介電常數值，首先發展的是利用高密度電漿化學氣相沉積(HDP-CVD)成長摻氟的二氧化矽[siliconoxyfluoride ( $\text{F}_x\text{SiO}_y$ ), FSG]。由於氟具有很大的陰電性，因此摻雜氟在二氧化矽的Si-O結構中，除了可有效降低電子極化的效應，也使得Si-O鍵結從 $\text{sp}^3$ 變成 $\text{sp}^2$ ，讓結構變得較為鬆散，導致 $\text{SiO}_2$ 的介電常數降低。大約摻雜 10-15 at.%的氟於 $\text{SiO}_2$ 可使的介電常數降低 20%，大約為 3.3。然而並不是摻氟量越多，介

電常數就越低，當摻氟量超過 10 at.% 會使得薄膜密度降低，增加水氣吸附的位置，導致薄膜容易吸水，進而提高薄膜的介電常數(水的介電常數為 78)及漏電流值<sup>[10,11]</sup>。而水分子中之H原子又會與Si-F鍵結中的氟原子形成HF，對於後段製程有著非常嚴重的傷害。由先前研究發現若以N<sub>2</sub>O或NH<sub>3</sub>電漿來處理FSG薄膜，可以有效抑制其水氣吸附量<sup>[12]</sup>，加強其阻擋水氣的能力，使介電常數值保持穩定。FSG另一缺點為其熱穩定性差(<450°C)，無法符合當今世代的需求。

## (2) SSQ介電材料 (silsesquioxane)

SSQ為有機-無機化合物，分子式為(R-SiO<sub>1.5</sub>)，R可以為H，烷基，烷氧基和芳基<sup>[13,14]</sup>。最常見的結構為梯狀結構以及由8個矽原子位於立方體頂點所構成的籠狀結構，如圖2-1所示<sup>[13]</sup>。由於SSQ較低的薄膜密度以及Si-R鍵結的極化性不如Si-O鍵結強，故其具有較低的介電常數。而依據官能基R的不同，SSQ主要可分為氫化SSQ(HSQ, hydrogen-silsesquioxane, Dow Corning 公司)以及甲基SSQ(MSQ, methyl-silsesquioxane, Allied Signal 公司)，皆藉由旋轉塗佈的方式成膜，有良好的填洞能力及局部平坦化特性。

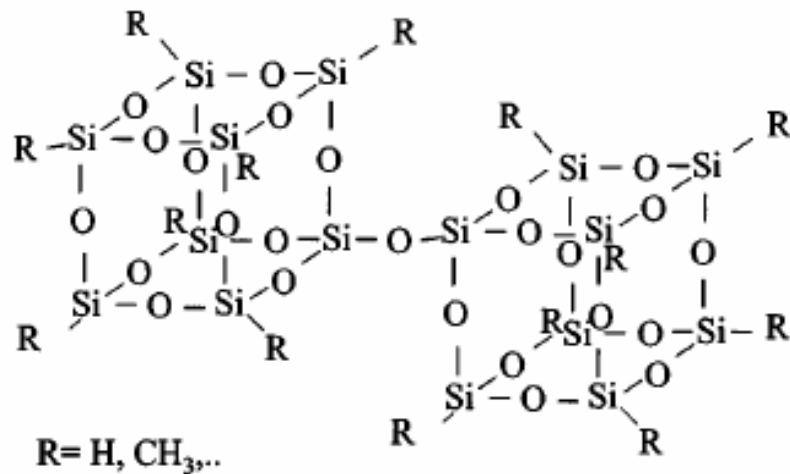


圖2-1 SSQ結構<sup>[13]</sup>

HSQ分子式為( $HSiO_{1.5}$ )，可溶於異丁基甲烷酮(methylisobutyl ketone，MIBK)中。藉由旋塗的方式，將溶液塗佈於晶片表面，接著必須經由烘烤(bake)及固化(curing)的步驟，使薄膜結構從籠狀(cage-like)結構轉變為網狀(network)結構，由於Si-H終端鍵結的存在使得膜材結構變得較為鬆散，如圖2-2所示。而由於Si-H鍵結的極化性不如Si-O鍵結強，因此HSQ薄膜具有低的介電常數( $k=3.0-3.2$ )。HSQ缺點為熱穩定性不佳，當溫度大於 $400^{\circ}C$ ，薄膜的Si-H鍵會被破壞，使得薄膜緻密化，轉變為類似於 $SiO_2$ 的薄膜。

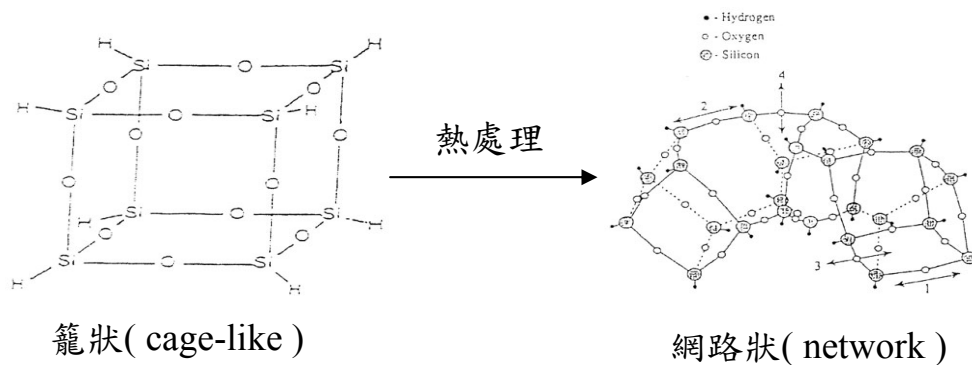


圖2-2 HSQ薄膜經熱處理步驟之結構變化

MSQ其薄膜結構與HSQ非常相似，其分子式為 $(\text{CH}_3\text{-SiO}_{1.5})$ ，是以矽為主並具有甲基鍵結 $(\text{-CH}_3)$ 所組成的化合物，如圖2-1所示。主要差別是以甲基來取代HSQ中氫原子的位置<sup>[15,16]</sup>。由於 $\text{Si-CH}_3$ 比 $\text{Si-H}$ 鍵結的極性來的小，且甲基分子比氫原子大，藉此增加分子間的立體障礙，進而降低原子或分子排列的密度，使得膜材結構變得較為鬆散，因此具有比HSQ薄膜還低的介電常數特性( $k \sim 2.7$ )。

### (3) 有機高分子介電材料

有機高分子的電子極化較小，具有低的介電常數。其優點為介電常數低，良好的填洞能力，平整度高以及殘留應力小；缺點為熱穩定性差，導熱率低，與無機物黏著性差，易吸水及釋氣，非等向性的熱、電及機械性質，與傳統介電材料 $\text{SiO}_2$ 製程相容性低。上述之缺點使得有機薄膜很難在短期內應用到實際中，然而隨著銅製程

的推廣，積體電路的製程溫度將進一步降低，為有機薄膜的應用提供有利條件。因此仍有許多旋塗式有機高分子介電材料較受注目，其中較適用於積體電路製程整合上的主要有：FPI, PAE, FLARE, SiLK, BCB等。這些有機高分子包含大量的苯或氟，因此具有較低的介電常數( $k=2.5-3.0$ )以及較佳的熱穩定性，然而其機械性質及黏著性仍然不佳。以下將分別介紹這些高分子介電材料。

氟化聚亞醯胺 (fluorinated polyimide, FPI)：

氟化聚亞醯胺是由DuPont 所研發出來的有機高分子介電材料。圖2-3是兩種氟化聚亞醯胺膜FPI-45及FPI-136的結構<sup>[17]</sup>。其優點為具有高的耐熱性質( $450-500^{\circ}\text{C}$ )，機械強度以及低的介電常數( $k=2.6-2.8$ )。但是其填洞能力及附著力並不佳，且氟於高溫製程下會有嚴重的釋氣現象而使薄膜破裂，因此影響後段製程的整合性。

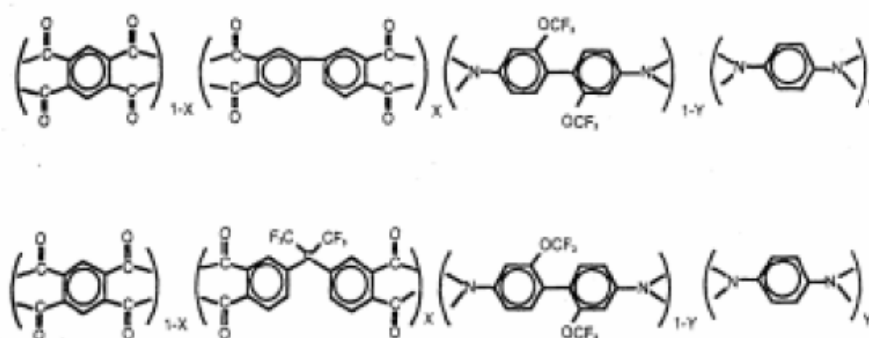


圖2-3 兩種氟化聚亞醯胺膜 FPI-45 及 FPI-136 結構圖<sup>[17]</sup>

聚亞芳香醚(Polyarylene ethers, PAE)：

此材料應用於低介電材料有PAE (Schumacher公司)、FLARE<sup>TM</sup> 1.0 及 FLARE<sup>TM</sup> 2.0 (AlliedSignal公司，結構如圖2-4所示)，前者為聚亞芳香醚高分子，後兩者主要的差別在於FLARE<sup>TM</sup> 1.0 為氟化聚亞芳香醚高分子，而 FLARE<sup>TM</sup> 2.0 則不含氟原子。

PAE與FLARE 2.0 兩種材料因具有許多低極性之芳香族結構，故不須將其氟化，即能擁有低的介電常數值( $k=2.4-2.8$ )。由於此兩種材料不具有氟原子，不易吸附水氣，而不易產生腐蝕性的氫氟酸，有利於製程的整合<sup>[18,19]</sup>。

反觀FLARE 1.0，雖具有低的介電常數( $k=2.4-2.6$ )、低的水吸附量( $<0.2\%$ )，但由於結構中含有氟原子，所以在高溫製程下會有嚴重的釋氣現象<sup>[20]</sup>，造成金屬連線腐蝕等問題，且其熱穩定性只到 $280^{\circ}\text{C}$ ，填洞能力差，所以並不適合於半導體製程的應用。

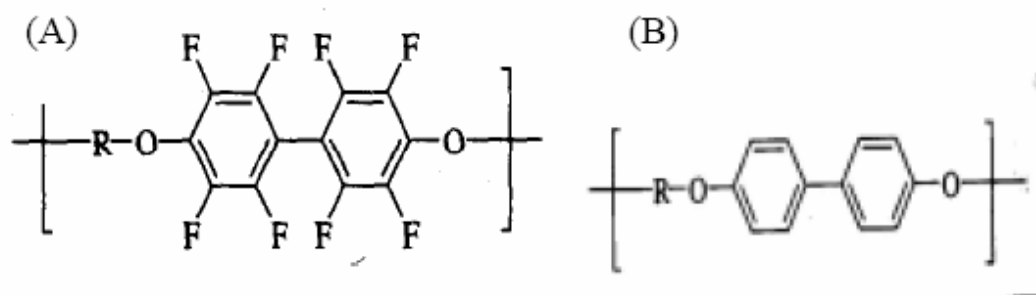


圖2-4 (a) FLARE<sup>TM</sup> 1.0 、(b) FLARE<sup>TM</sup> 2.0 結構圖



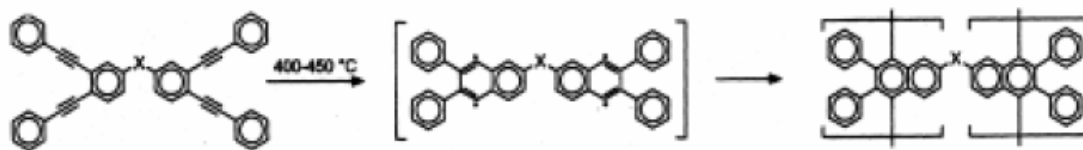


圖2-5 SiLK經熱處理步驟之結構變化

SiLK [21,22]：

SiLK是Dow Chemical公司所發展出來的材料，是一種低分子量芳香族的熱固型有機高分子樹脂，其固化溫度大於400°C，薄膜於固化後具有等向性。完全硬化的SiLK，反應式如圖2-5所示，其玻璃轉換溫度在490°C以上，具有很好的化學性質、機械性質與電氣性質( $k=2.6$ )，是一頗具潛力的低介電材料。



苯并環丁烷(Benzocyclobutane；簡稱BCB)<sup>[23]</sup>：

圖2-6為BCB之單體，為DuPont所研發，因其分子結構中具有苯環、芳香族及二甲基矽氧烷等疏水性官能基，故不易吸附大氣中之水氣，介電常數約為2.7。其單體在加熱條件下會進行分子內重排，因此所製備之薄膜會因不同碳氫鍵的排列而有不同的電氣性質。BCB的熱穩定性並不好，在空氣中受熱到150-300°C時，就會導致薄膜破裂。

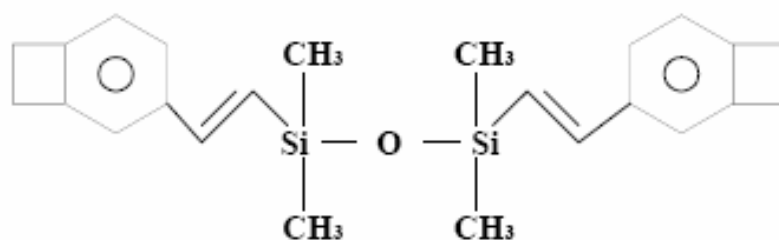


圖2-6 BCB之單體

#### (4) 奈米孔洞性二氧化矽介電材料(porous silica) <sup>[24-27]</sup>

為了使得材料的介電常數小於2.3，導入孔洞於介電材料內是最有效的方式。一般而言，孔洞性材料其孔隙率介於0.2-0.95之間。依其孔洞大小的不同，國際純粹與應用化學聯合會(International Union of Pure and Applied Chemistry, IUPAC)定義直徑小於2nm的孔洞為微孔(micropore)，直徑在2-50nm的孔洞為介孔(mesopore)，直徑大於50nm的孔洞為大孔(macropore)，而介孔材料以及一部分的微孔材料都可稱為奈米孔洞材料。

Porous silica是一種多孔性之介電材料，因材料內部包含許多孔洞，而孔洞中有空氣(空氣的介電常數為1)，所以材料密度非常低且擁有極低之介電常數(密度在 $0.2 \sim 1.0 \text{ g/cm}^3$ ,  $k=1.1-2.4$ )。因此理論上超低介電常數可藉由調節介電材料的孔隙率達成，如圖2-7所示。



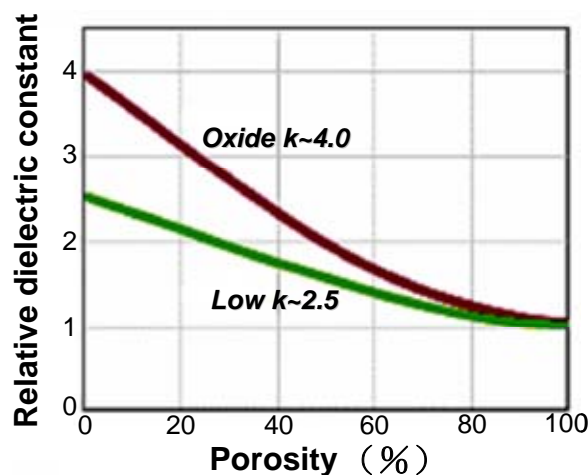


圖2-7 介電常數值與孔隙率的關係

除此之外，以孔洞性二氧化矽作為低介電材料尚具有以下優點：

高熱穩定性：高達900°C且具有極低的熱膨脹係數(CTE)。

孔洞尺寸小：一般都小於20nm，亦可調整至更低。

材料普遍性高：所使用材料有矽源(TEOS)、水、醇類以及酸鹼溶液。

沉積方式簡單：以旋轉塗佈方式沉積，相似於SOG(spin-on glass) 製

程，因此與現今製程設備相容性高。

而依其製備方式，大致可分為三種：

(1) 氣凝膠(aerogel)/乾凝膠(xerogel)方法<sup>[28-31]</sup>：

兩種方式都是利用矽源、水及醇類相互混合，經由酸或鹼的催化合成二氧化矽溶膠凝膠，於時效後旋塗於基材表面，在旋塗過程中溶膠黏滯度迅速增大而轉變為凝膠，最後再以熱處理的方式除去溶劑後獲得奈米孔洞二氧化矽薄膜。這兩種製備方式主要的差異在其乾燥的方法，如表 2-2 所示。

	乾燥方法	條件	優點	缺點
氣凝膠 (aerogel) [32,33]	超臨界萃取 (supercritical extraction)	1.高溫高壓 2.通入液態 CO <sub>2</sub>	1.薄膜收縮程度小 2.可達極大孔隙度 (~90%， $k \sim 1.3$ )	成本、危險性高 不易整合於半導體製程中
乾凝膠 (xerogel) [34-36]	自然乾燥 (air drying)	放在空氣中	成本低 不具危險性	薄膜容易收縮 較小的孔隙度 (~80%)

表 2-2 aerogel 與 xerogel 製備方式之差異

由表 2-2 可知，經由此方式所製備的孔洞性二氧化矽薄膜，雖然可以達到高孔隙率與超低介電常數( $k=1.1-1.5$ )的要求，但是在熱處理過程中有收縮與殘留應力等問題，使得孔洞尺寸不一及不規則的孔洞排列，導致機械性質不佳，不利於製程上之應用。高孔隙率為超低介電特性的必要條件，然而卻得犧牲結構的機械強度，使孔洞性二氧化矽薄膜在低介電特性與結構強度中尋求妥協。



(2) 微泡沫法(nanofoam):

在二氧化矽溶膠凝膠中添加有機物以形成微泡沫，再經由煅燒製程將有機物去除以形成孔洞，以此方式雖然可以製備出均勻的孔洞尺寸，但是其孔洞排列不規則，會影響孔洞二氧化矽薄膜的機械性質與電學性質。

(3) 在二氧化矽溶膠凝膠中添加兩相(amphiphilic)分子:

於此方法中所添加的兩相分子是用來作為模板(template)分子，模板分子會在塗佈過程中進行自組裝(self-assembly)以形成特定相，進而造成規則

的結構分佈，接著再利用煅燒製程將模板分子去除，便能形成具規則排列之孔洞。而利用此方式所製備出的多孔性二氧化矽薄膜，其孔洞密度可達45-75%，孔洞尺寸一致(20-90Å)且呈規則性排列<sup>[37,38]</sup>。因此以這種方式所製備的孔洞性二氧化矽薄膜，具有較佳機械性質與電學性質，故現在多利用此種方式製備孔洞性二氧化矽薄膜。

綜合以上所介紹之low  $k$  材料，將其性質歸納於表2-3。我們發現高分子薄膜其介電常數較低，但熱穩定性差；無機薄膜其熱穩定性較佳，但介電常數較高；而多孔性二氧化矽除了具有極低介電常數及不錯的熱穩定外，其材料性質與傳統介電材料( $\text{SiO}_2$ )相近，這對於製程設備之相容性高。因此多孔性二氧化矽為目前最具潛力的低介電材料，而本研究即選用此材料作為研究對象。



介電材料	介電常數	沉積方式	熱穩定性(°C)
二氧化矽( $\text{SiO}_2$ )	3.9~4.9	CVD 或 PECVD	>500
氟化二氧化矽( $\text{SiOF}$ )	2.8~3.75	PECVD	>500
Porous Silica	1.1~2.4	Sol-gel	900
無機矽氧烷類高分子			
HSQ	2.7~3.8	Spin on	>400
MSQ	~2.7	Spin on	>400
Benzocyclobutene(BCB)	2.7	Spin on	>350
聚亞芳香醚高分子			
PAE	2.4~2.8	Spin on	450
FLARE™ 1.0	2.4	Spin on	280
FLARE™ 2.0	2.75	Spin on	450
聚亞醯胺(PI)	3.2~3.6	Spin on	450
氟化聚亞醯胺(FPI)	2.6~2.8	Spin on	450
Parylene	2.2~2.3	CVD	450
氟化非結晶性碳膜(a-C:F)	2.3~2.5	PECVD	>400

表2-3 各種低介電材料之性質比較

## 2.2 奈米孔洞二氧化矽薄膜製備

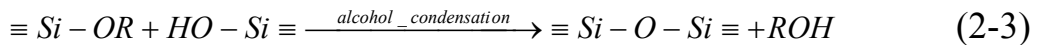
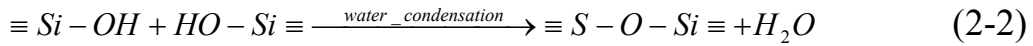
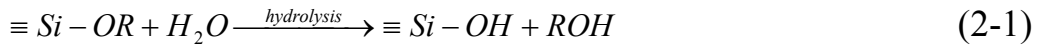
本研究中奈米孔洞二氧化矽薄膜的製備是在適當溫度與pH條件下，經由溶膠-凝膠反應將四氧烷基矽(TEOS)水解後，混合界面活性劑，塗佈此凝膠溶液於矽晶圓上，乾燥並煅燒後，即可形成奈米孔洞薄膜<sup>[39,40]</sup>。在此過程中，界面活性劑扮演著模板分子的角色，它們在乾燥時會因溶劑的揮發而連帶產生自組裝排列<sup>[41]</sup>，並於煅燒的過程中分解揮發，最後在SiO<sub>2</sub> 薄膜內留下具規則排列的孔洞結構。因此製備奈米孔洞二氧化矽薄膜之前，必須要先了解溶膠-凝膠法與模板分子自組裝的原理。

### 2.2.1 溶膠-凝膠(Sol-Gel)原理

溶膠-凝膠是兩種化學狀態間的轉化過程，為一種溼式化學合成技術。所謂溶膠(sol)，是指溶液中的膠體粒子均勻分佈在溶液之中，並且一直保持相當的活性，能夠繼續聚合形成更大的膠體。而膠體(colloid)是一種兩相共存之狀態，粒徑大小通常只有10-100 Å 之間，所以可忽略其重力效應。這些粒子經由本身的布朗運動以及粒子表面電雙層作用而不至於沈降。凝膠(gel)是類似固體但含有固、液兩相的物質，固相是由交聯聚合物形成的三維網狀結構，而液相則填充在固相的自由空間中。其經過水解(hydrolysis)及縮合(condensation)反應之後，分子單體會經由鍵結逐漸形成大分子之凝膠狀態。

基本上，溶膠-凝膠法牽涉到在酸或鹼催化的環境下，水解與縮合反應

(包含水縮合與醇縮合)<sup>[42]</sup>。可用下列三個化學方程式來表示：



其中R為烷系官能基。如式(2-1)所示，水解反應利用水的氫氧基取代TEOS的烷氧基，生成矽醇基(silanol group)。而所生成之矽醇基(-Si-OH)，其氫氧基會繼續與矽烷氧化之氧基或氫氧基進行水縮合和醇縮合反應，生成矽氧烷鍵(Si-O-Si)，並釋出醇類或水，如方程式(2-2)和(2-3)所示。通常縮合反應在水解反應尚未完成時即開始進行。此外，由於TEOS與水不互溶，因此添加乙醇作為均質劑(homogenizing agent)來調和分離的兩相，同時在水解以及醇縮合反應中將不斷釋放醇類，可確保均質化的效果。

整體來說，溶膠凝膠法具有廣泛的應用範圍，而選擇溶膠凝膠法必然有其他製備方法所不及之處，此法具有以下的優點：(1) 可在常溫下進行製備、(2) 成本低、(3) 化學均勻性好、(4) 製程簡單，不需要真空系統成長薄膜、(5) 可多成分合成，(6) 精確的化學計量比。

### 2.2.2 有機模板分子之自組裝(self-assembly)

自組裝為系統之構成元素，如分子在不受外力介入下，自行聚集、網織成規則結構的現象。其程序的發生通常會將系統從一個無序(disorder)的

狀態轉變成一個有序(order)的狀態。

高分子塊體共聚物(block copolymer)係利用塊體間化學成分的不同，造成不互容效應，最終將往最低自由能的方向，以自組裝的方式形成穩定的有序微結構，如圓球體心立方堆積(body center cubic, BCC)結構、六角圓柱堆積(hexagonal cylinder, HC)結構、層板(lamellae, L)結構、或是雙螺旋體結構(bicontinuous或gyroid)、穿孔層板(perforated layer, HPL)結構。由於其結構排列方式的多樣化，兼具一維、二維、三維之排列整齊性，且藉由其聚合度(degree of polymerization)調控，可控制其排列結構之尺寸大小。

在本研究中我們使用三塊狀共聚高分子EO<sub>20</sub>PO<sub>70</sub>EO<sub>20</sub>(P-123)做為模板分子。利用EO區塊為親水性，PO區塊為疏水性的特性，在前驅物中匯聚成微胞(micell)，進一步形成微胞桿(micellar rod)。當前驅物旋塗於矽晶片表面時，藉由溶劑的揮發，誘導有機模板分子在數秒內完成自組裝，生成具六角對稱(hexagonal symmetry)形式規則排列的孔洞陣列特定相，稱為揮發誘導自組構(evaporation-induced self-assembly)<sup>[41]</sup>，如圖2-8所示。



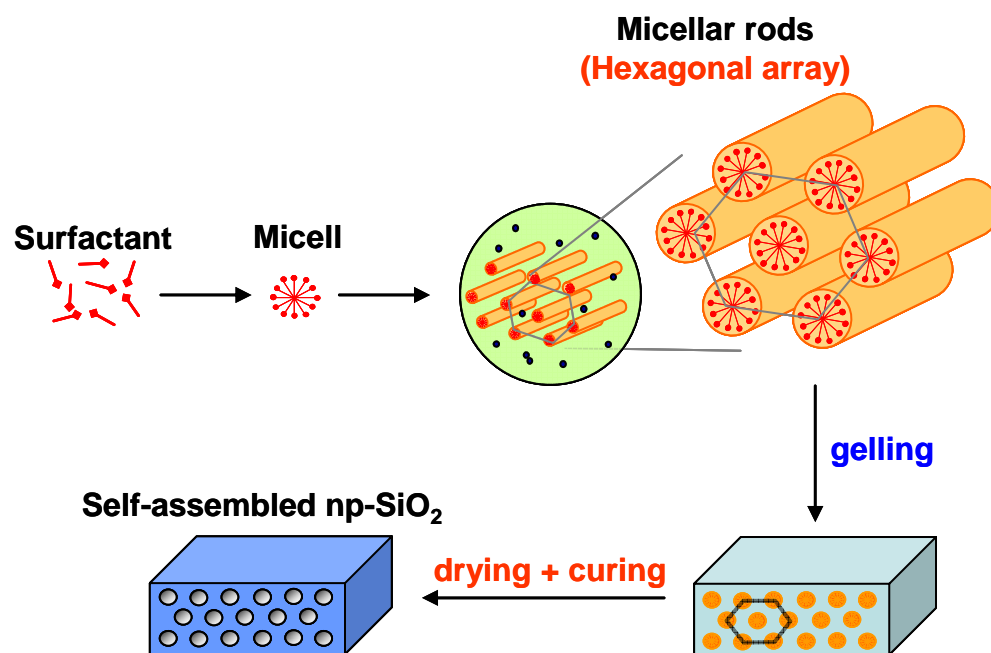


圖2-8 有機分子模板作用示意圖

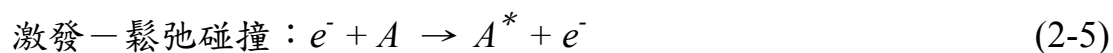


## 2.3 電漿蝕刻製程

### 2.3.1 電漿技術簡介<sup>[43-45]</sup>

在半導體工業上，電漿被廣泛的定義為具有等量的正電荷和負電荷的離子氣體。更進一步地來說，電漿就是有著帶電與中性粒子之準中性的氣體，電漿本身就是這些粒子的集體行為。而電漿亦可解釋為一群完整與破碎的分子集合，這些破碎的分子不論是否帶電，其活性皆很強，故可以在低溫下沉積薄膜或蝕刻薄膜。

當施加於氣體的電場(如 DC、AC、RF、microwave)強度足夠大時，造成氣體崩潰而游離化，於是就產生了電漿。電漿是由因某種方式而釋出的自由電子所誘發，例如從負偏壓電極之場發射所釋放的自由電子。這些自由電子從電場中獲得動能，在它們穿越氣體的過程中，將會與氣體分子碰撞而損失能量。就使用在半導體製程中的電漿而言，有三種碰撞是最重要的：



當電子與一個原子或一個分子相碰撞時，它會將部分能量傳遞至受到原子核或分子核所束縛的軌道電子上，如果軌道電子獲得的能量而足以脫



離核子的束縛，它就會變成自由電子(如式 2-4)，這個過程稱為電子碰撞游離(Electron-impact Ionization)。然而，有時軌道電子無法從撞擊電子中獲得足夠的能量來逃脫原子核的束縛，只是使軌道電子躍遷到能量更高的軌道層時(如式 2-5)，這個過程稱之為激發(Excitation)。激發狀態既不穩定而且短暫。在激發態軌道的電子無法在此能量較高的軌道層中停留太久，它會掉回到最低的能階或基態，並且以光子的型態把它從電子撞擊中所獲得的多餘能量釋放出來(如式 2-6)，便產生了電漿獨特的輝光放電(glow discharge)現象，此一過程稱為鬆弛(Relaxation)。另外，當電子和分子碰撞時，如果因撞擊而傳遞到分子的能量比分子的鍵結能量要高時，就能打斷化學鍵並且產生自由基(如式 2-7)，這個過程稱之為分解(Dissociation)。以上這些在碰撞中能量的轉換使得氣體分子離子化，這些釋放出來的自由電子再從電場獲得動能，此步驟一再重複產生。因此，當外加的電壓大過於崩潰位能時，一個持續的電漿就會形成在整個反應腔體中。

### 2.3.2 蝕刻製程簡介<sup>[43-45]</sup>

隨著超大積體電路之技術發展，元件縮小化成為製程發展趨勢。為使線寬持續往更狹細的目標邁進，蝕刻技術扮演著非常重要的角色，因為它必須將微影(Micro-lithography)後所產生的光阻圖案忠實地轉印至光阻下的材質上，以形成積體電路的複雜架構。因此蝕刻技術在半導體製造過程中佔有極重要的地位。

蝕刻技術主要可分為濕式蝕刻(wet etching)及乾式蝕刻(dry etching)兩種，早期蝕刻製程以濕式蝕刻為主，主要是利用化學溶液來溶解晶圓表面的材料，具有非常好的選擇性和高蝕刻速率。然而化學反應沒有特定方向性，屬於等向性 (isotropic) 蝕刻，此性質會造成嚴重的底切(undercut)現象。因此當圖形尺寸縮小到3微米以下之後，要繼續使用濕式蝕刻來作為圖案化蝕刻製程就變得非常困難。為了解決這嚴重的底切問題，除了化學反應的應用外，加入物理作用於蝕刻製程中是必需的，因此乾式電漿蝕刻就逐漸地取代了濕式蝕刻。而濕式蝕刻則因其高選擇性而被用來剝除晶圓表面上的整面全區薄膜。

乾式蝕刻製程是使用氣態的化學蝕刻劑來與材料產生反應，藉此來蝕刻材料並形成可從基片表面上移除的揮發性副產物。隨著製程參數及電漿狀態的改變，可以區分為兩種極端的性質的蝕刻方式，即純化學性蝕刻與純物理蝕刻。

純化學蝕刻製程是利用電漿產生化學活性極強的自由基，此自由基擴散至待蝕刻物質的表面，並與待蝕刻物質反應產生揮發性之反應生成物，並被真空設備抽離反應腔。因此沒有物理轟擊的效果，僅只藉由化學反應來移除物質。所以擁有類似於濕式蝕刻的優點及缺點，即高選擇比及等向性蝕刻，故無法進行薄膜圖案化的蝕刻工作，通常是應用在剝除製程上。

純物理性蝕刻可視為一種物理濺鍍(sputtering)方式，它是利用輝光放

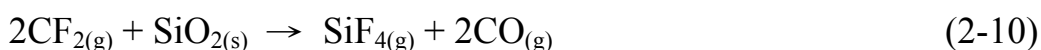
電，將氣體如Ar，解離成帶正電的離子，再利用偏壓將離子加速，濺擊在被蝕刻物的表面，而將被蝕刻物質原子擊出。此種蝕刻方式的蝕刻速率通常很低，主要是取決於離子轟擊的流通量和能量。因為離子轟擊可移除任何與其接觸之材料，因此其選擇性很低。另外，離子轟擊方向通常和晶圓表面互相垂直，所以它是一種非等向性的蝕刻製程。

由以上的論點可知，純物理性蝕刻與純化學性蝕刻各有其優缺點，因此最好的方法便是結合物理性蝕刻與化學性蝕刻，即所謂的活性離子蝕刻(RIE, Reactive Ion Etch)。此種蝕刻方式的蝕刻速率是可受控制的，其蝕刻輪廓是非等向性且可控制的。而為了得到更好的非等向性蝕刻輪廓，一種能在低壓下產生高密度電漿的電漿源是必須的。對蝕刻製程而言，低壓的環境能夠增加平均自由路徑(mean free path)並且減少離子的散射，進而增進對蝕刻輪廓的控制。而ICP (inductively coupled plasma)和ECR (electron cyclotron resonance)這兩種方式都能夠在低壓下產生高密度的電漿，並能獨立控制電漿密度和離子轟擊的能量，進而增大製程參數之調變範圍與彈性，且可降低電漿造成之元件損害。

### 2.3.3 傳統二氧化矽介電材料蝕刻<sup>[43,45]</sup>

大多數的二氧化矽介電材料蝕刻最常使用的氣體是碳氟氣體，如CF<sub>4</sub>、CHF<sub>3</sub>、C<sub>2</sub>F<sub>6</sub>、C<sub>3</sub>F<sub>8</sub>。在電漿環境中，碳氟氣體會分解而產生具高度反應性的氟自由基(式2-8)，這些自由基在蝕刻二氧化矽時，會取代氧而與矽反應

形成具揮發性的四氟化矽(tetrafluoride)並將氧脫離出來(式2-9)。而氧會與碳氟氣體中的碳反應生成CO、CO<sub>2</sub>，並釋放部分的氟自由基以維持蝕刻過程時的F/C比。



對氧化矽介電層蝕刻製程而言，F/C比在蝕刻選擇性上扮演著相當重要的角色。當F/C比小於2時，可能會有聚合反應(polymerization)的發生，導致類似鐵弗龍的聚合物沉積在製程反應室內。舉例來說，若使用CF<sub>4</sub>作為蝕刻氣體，F/C比在剛開始時為4:1，接著CF<sub>4</sub>會分解成CF<sub>3</sub>和F，而CF<sub>3</sub>會繼續分解成CF<sub>2</sub>，進而降低製程反應室內的F/C比。當許多CF<sub>2</sub>分子互相連結成鏈狀時，就會形成聚合的情形。然而，可以藉由直流偏壓來控制離子轟擊的強弱，進而抑制聚合反應以達到蝕刻的效果。圖2-9顯示了F/C比、直流偏壓與聚合作用之關係。一般而言，介電層蝕刻經常使用氬氣來增加離子轟擊的效果，有助於增加蝕刻速率並達到非等相性的蝕刻輪廓。

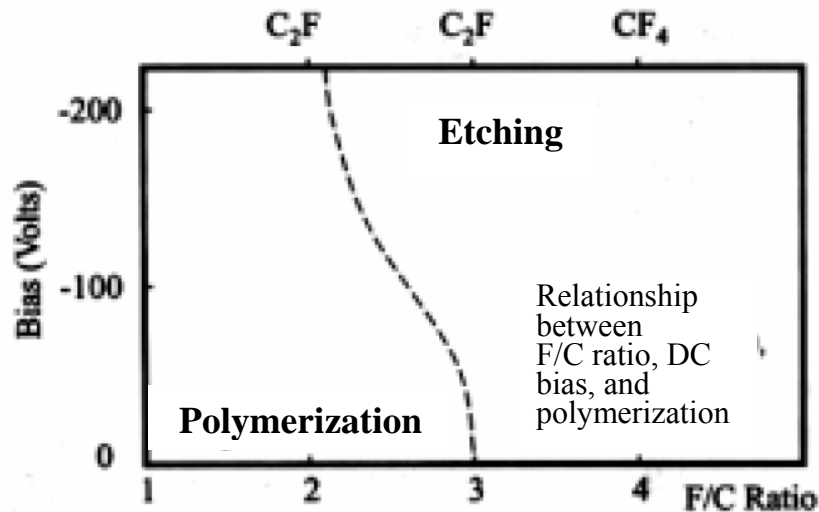


圖2-9 F/C比、直流偏壓與聚合作用之關係圖

### 2.3.4 多孔性二氧化矽薄膜蝕刻

多孔性二氧化矽是一以Si成份為主的低介電材料，所以通常以蝕刻二氧化矽之碳氟氣體為主要的蝕刻氣體，藉以產生具揮發性的四氟化矽而達到蝕刻效果。而在圖案(pattern)定義上，薄膜孔隙率以及於蝕刻過程中所殘留的碳氟膜將扮演著相當重要的角色。根據Standaert等人的研究指出<sup>[46-49]</sup>，多孔性二氧化矽薄膜於蝕刻過程中，由於較少的物質被移除，故其蝕刻率會比一般緻密的二氧化矽來的快。因此蝕刻率的計算必須經由式2-11加以修正：

$$ER_{norm} = (1 - \Pi) ER \quad (2-11)$$

其中， $ER$  為所測得之蝕刻率， $\Pi$  為薄膜孔隙率。而經修正過的多孔性二氧化矽薄膜之蝕刻率( $ER_{norm}$ )大多會比一般二氧化矽之蝕刻率來得慢。然而此



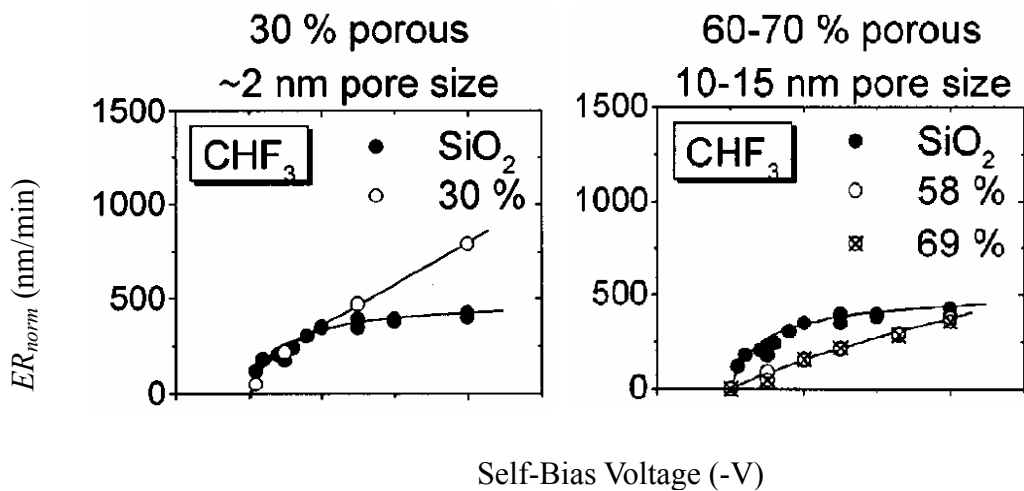


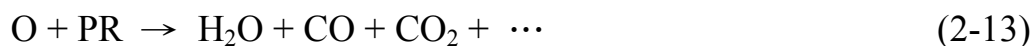
圖2-10 多孔性二氧化矽薄膜之 $ER_{norm}$ 與一般二氧化矽蝕刻率之關係

與所選用的蝕刻氣體以及薄膜孔隙率有很大的關係。若使用低聚合性的蝕刻氣體(如 $\text{CHF}_3$ )對多孔性二氧化矽薄膜行蝕刻製程，則對於低孔隙率薄膜，其修正過的蝕刻率( $ER_{norm}$ )仍會比一般二氧化矽之蝕刻率來得快。相反地，對於高孔隙率薄膜，其修正過的蝕刻率( $ER_{norm}$ )就會比一般二氧化矽之蝕刻率來得慢，如圖2-10所示。這是因為於蝕刻過程中，會有較多的碳氟聚合物在多孔性二氧化矽薄膜表面以及孔洞內聚合，因此抑制了多孔性薄膜之蝕刻率，尤其是對於高孔隙率以及孔洞尺寸較大的多孔性薄膜。

### 2.3.5 光阻剝除

蝕刻製程結束後，光阻必須被剝除。剝除光阻使用濕式和乾式製程皆可。乾式剝除光阻製程中通常使用氧氣，其基本的化學反應如式2-13所示。





根據Park等人的研究指出<sup>[50]</sup>，多孔性二氧化矽薄膜在經氧電漿處理時，會有雙方面效應(double-sided effects)的產生。首先，氧電漿環境中所產生的氧自由基會與薄膜孔洞表面的Si-CH<sub>3</sub>鍵結及C-H鍵結反應並消除這些有機官能基。此時由於存在於孔洞表面的巨大甲基分子的減少，將會導致薄膜孔隙率增加。然而在另一方面，薄膜內的Si-OH官能基彼此間亦會發生縮合反應，進而降低孔隙率以及減少膜厚。





## 第三章 實驗

### 3.1 試片製備

試片的製備包含基材的前處理、前驅物的配製、奈米孔洞二氧化矽薄膜的沉積、反應性離子蝕刻系統作薄膜的蝕刻，以及 Fusion ozone 光阻去除系統進行薄膜上光阻的灰化(ashing)、疏水化改質處理等程序。

#### 3.1.1 矽晶片清洗

基材所使用的六吋p-type(100)矽晶片，必須經過化學清洗蝕刻工作站(wet bench)標準清洗流程(RCA clean)的清潔，此一程序包含：(1) 浸入 120℃ 的硫酸水溶液( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O} = 3 : 1$ )10 分鐘，氧化並去除矽晶片表面殘留的有機物及無機物；(2) 浸入常溫的氫氟酸水溶液( $\text{HF} : \text{H}_2\text{O} = 1 : 50$ )直至晶背不沾水，去除原生的二氧化矽(native oxide)；(3) 浸入 75℃ 的氨水與過氧化氫水溶液( $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 0.25 : 1 : 5$ )10 分鐘，去除矽晶片表面殘留的細微顆粒、氧化有機物以及溶解金屬離子；(4) 浸入 75℃ 的鹽酸與過氧化氫水溶液( $\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6$ )10 分鐘，溶解鹼金及鹼土族金屬離子；(5) 再次浸入常溫的氫氟酸水溶液( $\text{HF} : \text{H}_2\text{O} = 1 : 50$ )直至晶背不沾水，去除因前述步驟所產生的二氧化矽。另外，由於 $\text{H}_2\text{O}_2$ 在高溫製程中易被分解而無法有效被利用，因此，在每次使用前須再加入些許的 $\text{H}_2\text{O}_2$ 。而上述五項步驟，在每一項結束後皆需以去離子水浸泡清洗(rinse)七次循

環，最後置入旋乾機將六吋矽晶片旋乾，完成標準清洗流程。

### 3.1.2 奈米孔洞二氧化矽薄膜前驅物配製

本實驗所用之二氧化矽前驅物溶液，是在酸催化二氧化矽溶膠－凝膠內添加兩相高分子(amphiphilic copolymer) P123 來當作模板分子。因此，前驅物的配製可分為兩個部份：

#### (1) 酸催化二氧化矽溶膠－凝膠：

此溶液之配製係以溶膠-凝膠的方式進行，先分別加入 TEOS 與乙醇作為矽源以及主要的溶劑，再加入水促使 TEOS 水解，最後以滴定的方式加入鹽酸以製造酸催化環境。將上述溶液以特定比例混合後，置於 70°C 的水浴進行 90 分鐘的回流(reflux)。

#### (2) 兩相高分子 P123 的乙醇溶液：

由於 P123 在室溫下為膠狀固體，因此我們必須先將 P123 依特定比例溶到乙醇中。

把上述這兩種溶液充份混合均勻，在室溫下靜置四小時進行時效(aging)處理。奈米孔洞二氧化矽薄膜前驅物溶液組成與莫耳比如表 3-1 所示。

成分	莫耳比
TEOS (tetraethyl orthosilicate)	1
P123 (triblock copolymer)	0.008~0.03
H <sub>2</sub> O	3.5~5
HCl	0.003~0.03
EtOH	10~34

表 3-1 奈米孔洞二氧化矽薄膜前驅物溶液的成分以及莫耳比。

### 3.1.3 奈米孔洞二氧化矽薄膜試片的製備

奈米孔洞二氧化矽薄膜的製備方式係採以旋塗法(spin-coating)將薄膜沉積於矽晶片基材上。首先，將矽晶片置於富含乙醇氣氛的旋塗機(spin coater)上，開啟真空幫浦以吸著矽晶片。滴入適量的前驅物佈滿矽晶片表面，將前驅物溶液旋轉塗佈於矽晶片上。設定旋塗機轉速為 1600 rpm，時間為 26 秒。而在旋轉塗佈過程中，矽晶片表面上的溶液中的溶劑(EtOH)不斷揮發，最後含有機模板分子的二氧化矽薄膜在矽晶片表面上形成薄膜，但其結構並不穩定。所以塗佈後的樣品需靜置於烘箱中進行 40°C 兩小時的乾燥(drying)，使旋塗於晶片上的薄膜有充分的時間進行反應並以不破壞薄膜內部結構的方式緩慢揮發薄膜內的溶劑乙醇。接著升溫至 110°C，進行一小時的烘烤步驟(baking)，加速薄膜內溶劑的揮發，使溶質密度增加並讓薄膜內部 Si-OH 鍵結進行交聯(crosslink)反應，形成以 Si-O-Si 鍵結為主的骨架結構，讓結構更加穩固。此時，薄膜已初步固化，但模板分子尚存於薄膜內部，因此必須經過煅燒製程(calcination)，移除薄膜內部的有機模板分

子，讓原本被微胞所佔據的空間被空氣取代，形成具奈米尺寸的孔洞。經過上述步驟，可製得奈米孔洞二氧化矽薄膜(as-calcined)，並且擁有有序性排列的微結構特性。奈米孔洞二氧化矽薄膜的製備流程如圖 3-1 所示。

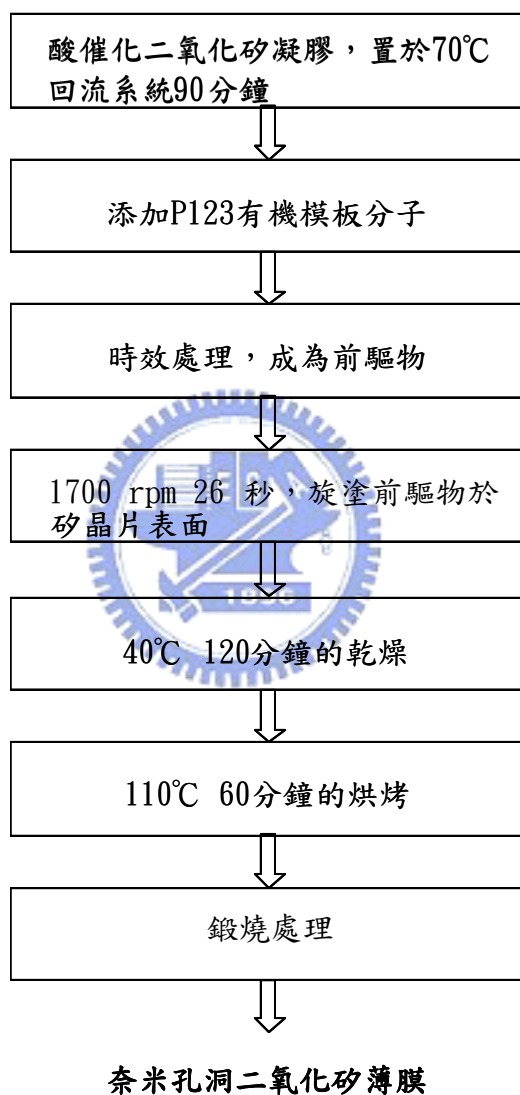


圖 3-1 奈米孔洞二氧化矽薄膜製備流程圖

煅燒製程將分成兩種方式進行:

(1) 爐管加熱方式:

將試片送入常壓退火爐管中，通入流量為 10 L/min 的氮氣，在 400°C 的溫度下煅燒 30 分鐘，利用高溫移除薄膜內部的有機模板分子。

(2) 臭氧電漿氧化的方式(Fusion ozone 光阻去除機):

將試片放入 Fusion ozone 光阻去除機中，利用臭氧電漿的強氧化性質，快速氧化並移除薄膜內有機模板分子。製程時間為 3 分鐘。

### 3.1.4 HMDS 疏水化改質處理

煅燒後的奈米孔洞二氧化矽薄膜其孔洞表面具有許多矽醇基，很容易與水氣結合(水的介電常數值為 78)，導致薄膜的介電常數大幅提升，因此為了控制介電常數的穩定性，必須藉由 HMDS 的三甲基矽化作用，將疏水性的有機官能基接枝(grafting)至孔洞表面，把具親水性表面的奈米孔洞二氧化矽薄膜轉換成疏水性表面，以符合實際應用之需要。其處理方式為將液態的 HMDS 倒入密閉容器中，並加熱至 165°C 揮發以形成充分的 HMDS 氛圍，對奈米孔洞二氧化矽薄膜進行 60 分鐘的 HMDS 蒸氣處理。

### 3.1.5 利用反應性離子蝕刻系統(RIE)作薄膜的蝕刻

利用氧化矽乾蝕刻系統(TEL oxide etcher)分別蝕刻未移除模板分子之二氧化矽薄膜(as-baked)、奈米孔洞二氧化矽薄膜(as-calcined)以及三甲基矽

化奈米孔洞二氧化矽薄膜(as-HMDS-treated)，探討其蝕刻特性、薄膜微結構等性質。實驗流程與蝕刻參數分別如圖 3-2 以及表 3-2 所示。

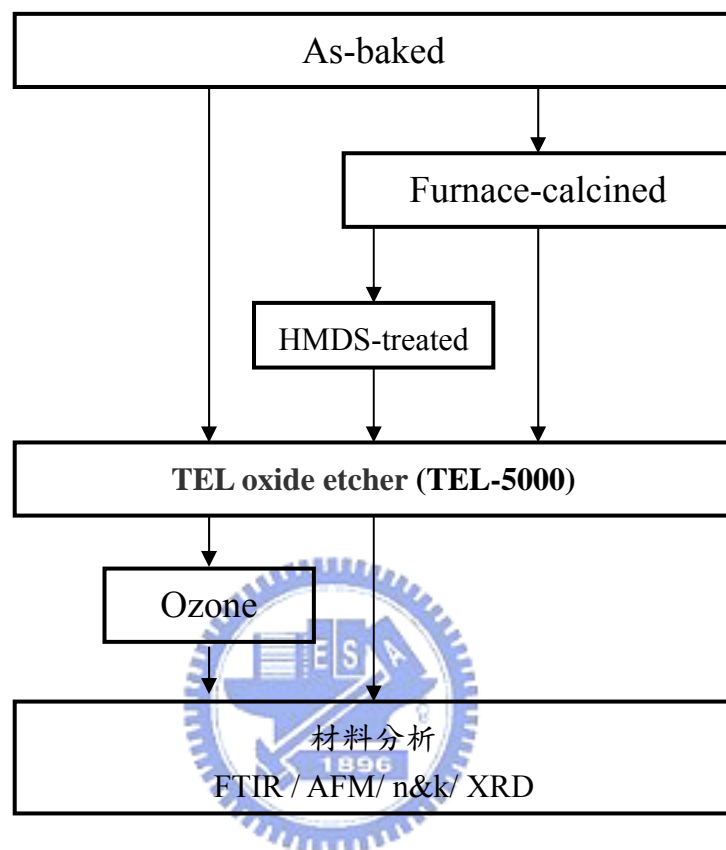


圖 3-2 蝕刻流程圖

RF Power (W)	500
Pressure (mtorr)	200
CHF3 (sccm)	20
CF4 (sccm)	20
Ar (sccm)	400
Time (s)	10

表3-2 氧化矽乾蝕刻系統製程參數

### 3.1.6 利用 Fusion ozone 光阻去除系統進行薄膜上光阻的移除

利用 Fusion ozone 分別移除烘烤後之二氧化矽薄膜(as-baked)、奈米孔洞二氧化矽薄膜(as-calcined)以及三甲基矽化奈米孔洞二氧化矽薄膜(as-HMDS-treated)上之光阻，探討光阻的去除對薄膜性質的影響。實驗流程與製程參數分別如圖 3-3 以及表 3-3 所示。

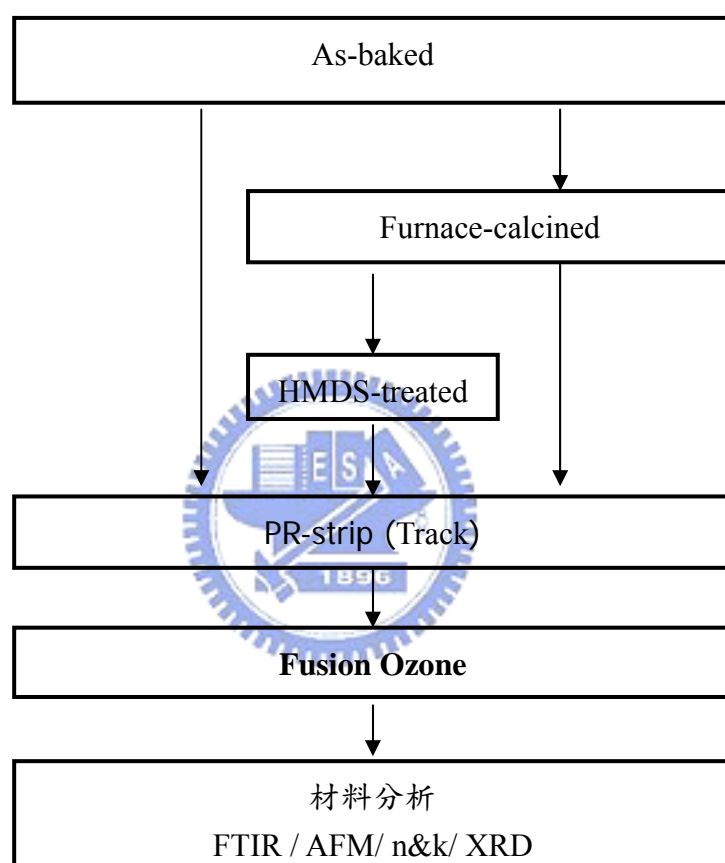


圖 3-3 光阻灰化流程圖


Temperature (°C)	300
O2 (slm)	22
N2O (slm)	0.8
Time (s)	60

表3-3 Fusion ozone光阻去除系統的製程參數



### 3.2 利用微影-蝕刻製程製備高深寬比之溝渠

藉由微影製程來定義蝕刻圖案於矽晶片上，其方式為直接沉積奈米孔洞二氧化矽薄膜於矽晶片上，接著送入自動化光阻塗佈及顯影系統(track)進行光阻塗佈，再經由I-line光學步進機進行曝光，最後再送回自動化光阻塗佈及顯影系統(track)進行圖案顯影以定義蝕刻圖案。所以track的主要功能為塗佈光阻於晶圓表面及曝光後圖案之顯影，以求將光罩的圖案精準的轉印於光阻上，以利於後續的蝕刻製程。其標準流程如下<sup>[43]</sup>：

1. 預烤(Prebake): 去除吸附在晶圓表面上的濕氣。
2. 底漆層塗佈(Priming): 所使用的底漆層為HMDS，其目的為增進有機的光阻和無機的矽或矽化合物晶片表面間的附著力，使光阻能很均勻的塗佈於晶圓表面。
3. 冷卻: 若不先將晶圓冷卻至室溫即將光阻塗佈於晶圓表面，則會使得光阻內的溶劑揮發過快且同時造成晶圓冷卻，進而影響光阻的黏滯度以及厚度的均勻性。
4. 光阻塗佈: 所使用的光阻劑為 I-line Resist，轉速為 3435 rpm。
5. 軟烤(soft bake): 製程溫度90℃，時間90 sec。目的為去除光阻內大部分溶劑，並將光阻從液態轉變為固態，增加與晶圓間的附著力。軟烤後的光阻厚度約為8300 Å。
6. 對準與曝光(exposure): 使用的曝光機為 I-line 光學步進機，其中 I-line 波

長為 365 nm，最常用於定義 0.35  $\mu\text{m}$  的圖案。

7. 曝後烤(post exposure bake): 製程溫度為 110°C，時間為 60 sec。當 I-line 從光阻與晶圓的界面反射時，會與入射進來的 I-line 在不同深度產生建設性及破壞性干涉，造成駐波效應(Standing wave effect)。而曝後烤的目的即用來降低駐波效應。

8. 冷卻至室溫。

9. 顯影(Develop): 所使用的顯影劑為 AD-10 (2.38%四甲基銨氫氧化物 tetramethylammonium hydroxid, TMAH)，顯影時間為 60 sec。此步驟之目的為移除不必要的光阻，並形成由光罩所定義的圖案。

10. 硬烤(hard bake): 製程溫度為 120°C，時間為 90 sec。其目的為去除光阻內殘餘溶劑，增進光阻與晶圓間的附著力，並藉由聚合作用改善光阻抵抗蝕刻的能力。

經由上述的微影製程把光罩上的圖案定義在晶圓表面的光阻層後，再經由蝕刻製程把光阻上的圖案轉移到晶圓上，最後使用Fusion ozone光阻去除系統來灰化光阻材料中大部分的碳氫元素，再浸泡於120°C的硫酸溶液中10分鐘，將殘餘在表面的光阻去除。實驗流程如圖3-4所示。

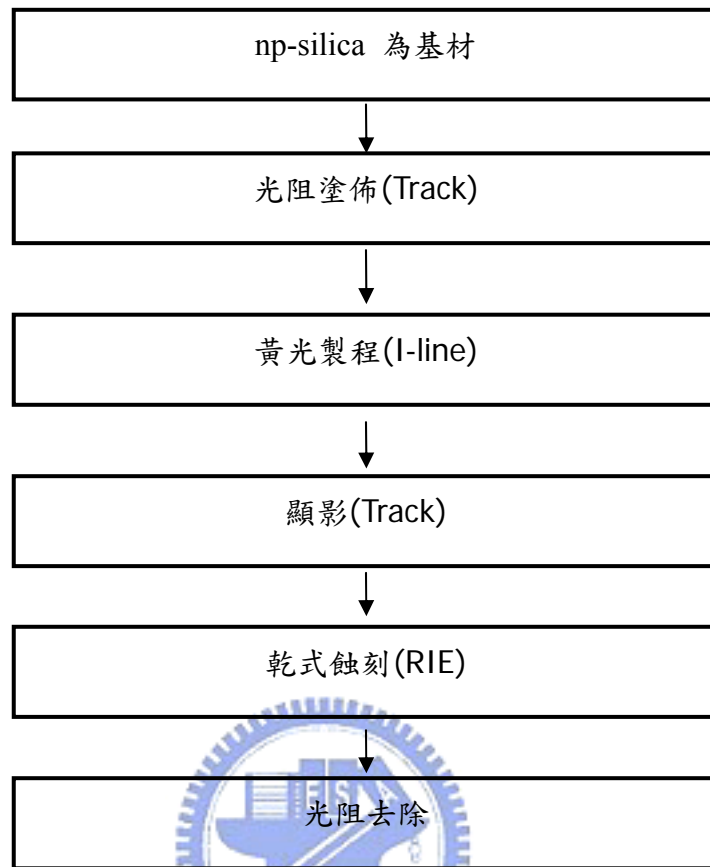


圖3-4 製備高深寬比溝渠之流程圖

### 3.3 儀器分析原理

試片的分析包含利用傅立葉轉換紅外線光譜儀(FTIR)對試片進行化學結構分析；n&k analyzer 系統測量薄膜的光學特性以及薄膜厚度；原子力顯微鏡(AFM)與場發射掃描式電子顯微鏡(FE-SEM)作形貌觀察及膜厚鑑定；X 光繞射儀來鑑定奈米孔洞二氧化矽薄膜內孔洞排列的規則性；奈米壓痕儀量測薄膜的機械性質等。

#### 3.3.1 傅立葉轉換紅外線光譜儀<sup>[51]</sup>

型號為美國ASTeX PDS-17 System，主要是研究某一化學分子或化學物種因吸收(或發射)紅外線輻射而在某些振動(vibrational mode)下產生振動或振動—轉動能量的變化。然而並非所有的基本振動都能出現於紅外線光譜中，振動模式必須伴隨偶極矩的改變，否則無法呈現於紅外線光譜中。而其定性分析方法通常可由特性頻率光譜區(characteristic-group frequency region:  $4000-1300\text{cm}^{-1}$ )的特性吸收頻率來判定分析物可能含有哪些官能基，以便獲得可能的分子結構。然後在進一步對分析物的光譜與可能結構的分子紅外線光譜加以鑑定。此時指紋區(finger-print region:  $1300-400\text{cm}^{-1}$ )的光譜對分子的鑑定就特別有用，若此區的光譜非常吻合，則幾乎可以確認是由相同的分子或物質所產生。因此，藉助於紅外線光譜的分析，化合物的鑑定與含量得以決定。

與傳統的紅外線光譜儀比較，傅立葉轉換紅外線光譜儀擁有高輸出能

量，因此在分析時可獲得較強的訊號雜訊比(signal to noise ratio)，並具備高解析度、頻率再現性等優點。

### 3.3.2 膜厚與折射率量測儀 (n&k analyzer)

型號為n&k analyzer 1200，掃瞄波長涵蓋紫外光至可見光波長範圍(190 nm-900 nm)，可量測半導體、介電層、透明導體、光阻及高分子薄膜等物質之膜厚、折射率(Refractive Index,  $n$ )、光消散係數(Extinction Coefficient,  $k$ )以及能帶間隙(Energy Band-gap)等數據。它的工作原理主要是在基材上的薄膜垂直照射可見光，這時光的一部分在薄膜的表面反射，另一部分透進薄膜，然後在薄膜與基材(wafer或glass)之間的介面反射。這時薄膜表面反射的光和薄膜底部反射的光產生干涉現象。n&k analyzer就是利用這種干涉現象來測量薄膜厚度的儀器。本研究係利用此系統，測量奈米孔洞二氧化矽薄膜的折射率 $n_f(\lambda)$ 以及膜厚，應用折射率概略估算孔洞性二氧化矽材料的孔隙率<sup>[56]</sup>。其關係式為： $\pi = (1.458 - n)/0.458$ 。其中， $\pi$ 為奈米孔洞二氧化矽薄膜的孔隙率， $n$ 為折射率。

### 3.3.3 原子力顯微鏡(AFM)<sup>[51]</sup>

型號為 Veeco Dimension 5000 Scanning Probe Microscope (D5000)，其量測原理如圖 3-5 所示。探針貼近試片表面時，探針與試片之間的作用力大小反應於懸臂的形變上，藉由導入雷射光束並探測懸臂形變量，將訊號送至

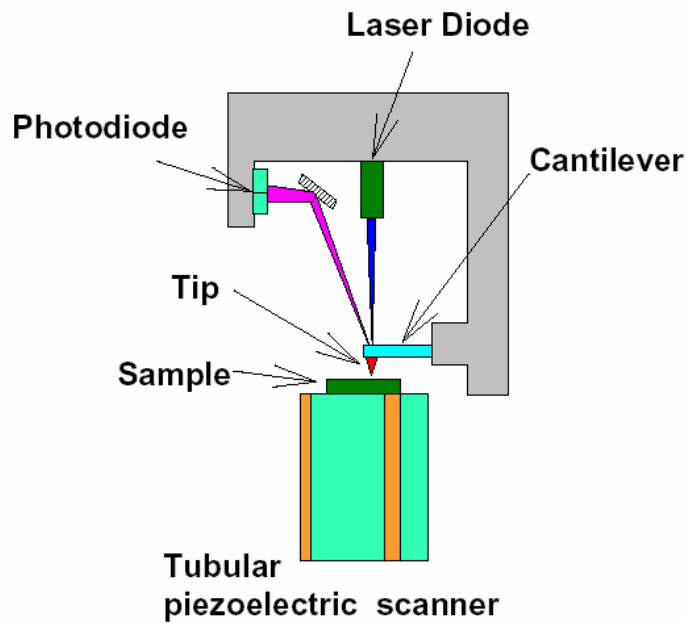


圖 3-5 AFM量測原理<sup>[52]</sup>

回饋控制電路處理並輸出至 Z 掃描器，可以得到等作用力的高度輪廓，加以 X-Y 掃描器做探針-試片間相對性位移，即描繪出試片微區的表面形貌。經由表面形貌數據的統計，可以得到表面粗糙度、粒徑大小等參數。

探針的操作模式如圖3-6所示，可區分為接觸式(contact mode)、非接觸式(non-contact mode)以及敲觸式(tapping mode)。所謂接觸式是探針在掃描時，接觸著材料表面，探針與試片表面作用力為排斥力，對距離變化非常敏銳，最容易獲得原子尺度的解析度。但由於探針與試片直接接觸，容易破壞試片表面或探針。為解決接觸式AFM容易破壞試片的缺點，而發展出非接觸式AFM，原理是將探針與試片表面保持一定之距離，由凡得瓦力來偵測表面起伏。雖然解決破壞表面的問題，但解析度不佳。輕敲式AFM 是

## AFM operational modes

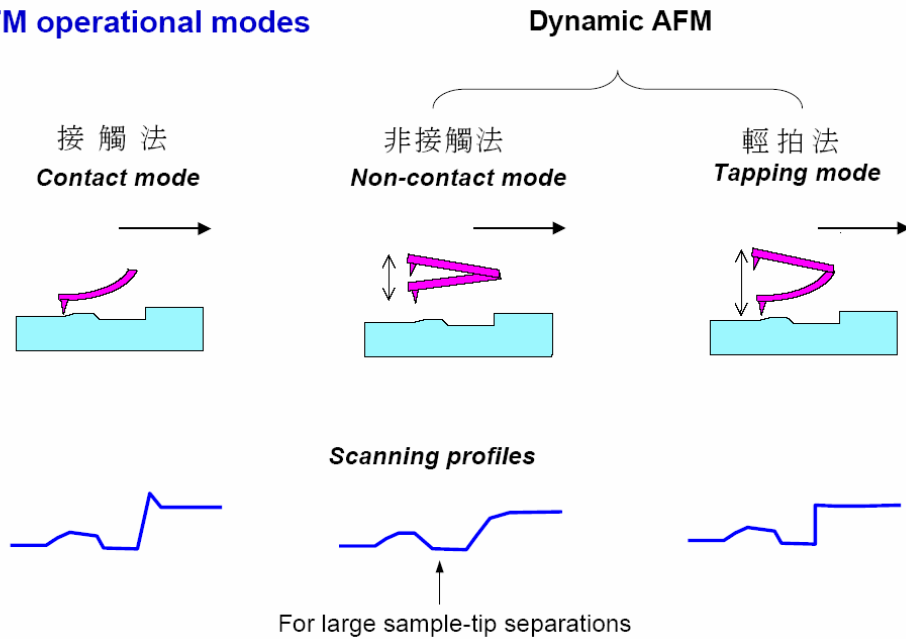


圖3-6 AFM探針的操作模式<sup>[52]</sup>

由非接觸式AFM 演變過來的，其振幅較非接觸式為小，在每一次振動週期中，探針在震盪底部和樣品表面輕觸一次。由於探針仍定時地接觸試片表面，所以解析度幾乎和接觸式相同。此種模式因綜合以上的優缺點，為目前最為廣泛使用的AFM。

### 3.3.4 場發射掃描式電子顯微鏡(SEM)

型號為JOEL JSM 6500-F。掃描式電子顯微鏡是利用電子槍產生電子束後，經電子光學系統，使電子束聚焦於試片表面，而激發二次電子，如圖3-7所示。這些二次電子被偵測器偵測後，再經由訊號處理放大送到CRT，即可看到表面形貌。因此，SEM主要用來觀察物體的表面狀態，其影像解



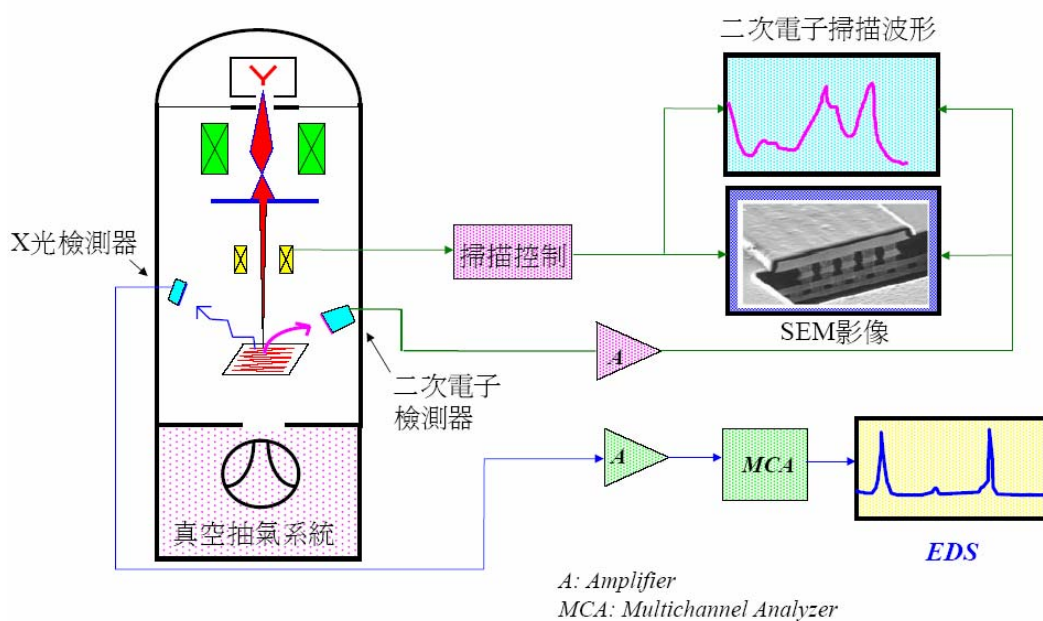


圖 3-7 FE-SEM量測原理<sup>[52]</sup>

析度極高，放大倍率可達一萬倍以上，並具有景深長的特點，可以清晰的觀察起伏程度較大的物體，如破斷面等。

本機台所使用的電子槍系統是熱場發射式的，其操作溫度為 1800K，避免大部份的氣體分子吸附在針尖表面，所以不需要定時短暫加熱針尖至 2500K(此一過程稱為 flashing)，以去除所吸附的氣體分子。因此能增加電子槍的使用壽命，維持較穩定的發射電流，並能在較差的真空度下操作。

### 3.3.5 X光繞射儀 (XRD)<sup>[51]</sup>

型號為Bade，D1。XRD是相當有利於進行材料結構的分析技術之一，由於X光的波長在0.01-100 Å之間，相當於晶格中原子間的距離，因此X光會對晶體產生繞射，此繞射現象可以視為入射光被晶面反射。此種反射如

同鏡面反射，入射角( $\theta$ )等於反射角。在某些散射角下，相鄰晶面散射波彼此相位相同，光程差為波長( $\lambda$ )的整數倍( $n$ )，因而產生建設性干涉。滿足此條件便可產生繞射，並可用來量測結晶性材料的原子平面間距( $d$ )。此一繞射現象可以布拉格定律(Bragg's law)來描述：

$$2d\sin\theta = n\lambda$$

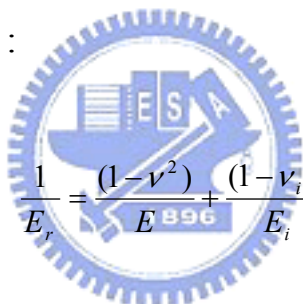
然而，繞射的發生除了必須滿足布拉格定律外，亦會受晶體對稱性的影響。當晶胞內所含原子數目不只一個時，由於這些原子彼此的對稱關係，而限制了某些繞射的發生，稱為消光條件。所以當X光照射晶體時，只有在某些特定的入射角才會出現繞射訊號。

對於薄膜的結構分析，通常使用低掠角X光繞射法(Glancing Incident X-ray Diffraction, GIXD)。由於X光入射光束與試片表面的夾角很小，所以在進入試片內部時，X光的行徑路線主要在表面的薄層內，因此會得到較顯著的薄膜繞射訊號。而於本研究中，我們是利用此法來鑑定奈米孔洞二氧化矽薄膜內孔洞排列的規則性。

### 3.3.6 奈米壓痕儀 (Nanoindenter)<sup>[53-55]</sup>

型號為美國MTS公司Nano Indenter XP System。我們利用此機台來量測奈米孔洞二氧化矽薄膜的硬度(Hardness)以及彈性模數(Elastic modulus)。方式為利用修正面積後之壓子(Indenter)，以特定速度、

逐步增加力量的方式(0.5~20mN)壓入試片，壓入深度為 150 nm。為了避免基材影響測試結果，我們取膜厚的前 10%的數據結果進行硬度與彈性模數的計算。圖 3-8 為奈米壓痕測試標準的負荷—壓痕位移關係圖[1]，其中負載曲線和釋放曲線的穿透深度差異為 $h_f$ ，係由於量測過程所引起的薄膜塑性變形所致。由負荷—壓痕深度關係圖中的初始釋放曲線斜率，可計算薄膜的折合彈性模數(reduced modulus)和硬度，其中 $P$ 為負荷， $S$ 為薄膜的剛度(stiffness)， $h$ 為壓痕深度， $E_r$ 為折合彈性模數， $A$ 為壓子和薄膜的接觸面積。折合彈性模數與薄膜的彈性模數的關係為：



$$\frac{1}{E_r} = \frac{(1-\nu^2)}{E} + \frac{(1-\nu_i^2)}{E_i},$$

其中 $E$ 、 $\nu$ 分別為薄膜的彈性模數及波松比(Poisson's ratio)， $E_i$ 、 $\nu_i$ 分別為壓子的彈性模數(1141 GPa)及波松比(0.07)。對均質材料而言，波松比為 1/3。

薄膜的硬度( $H$ )與最大負荷( $P_m$ )以及壓子和薄膜間的接觸面積( $A$ )有關：

$$H = \frac{P_m}{A},$$

而接觸面積主要決定於壓痕的幾何形狀和接觸深度( $h_c$ )，由於本機台所使用的壓子為Berkovich，其接觸面積與接觸深度的關係為：

$$A(h_c) = 24.5h_c^2$$

此外，為了增加量測結果的可靠度，對於每一試片均施予十次的量測，並取其平均值。

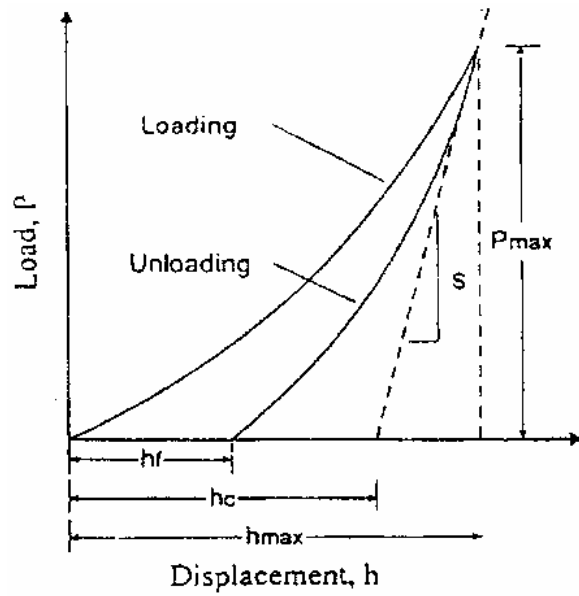


圖 3-8 負荷—壓痕位移關係圖[55]

## 第四章 結果與討論

奈米孔洞二氧化矽薄膜，由於高孔隙率的關係，衍生出許多製程上的問題，如吸水性、蝕刻氣體滲入孔洞等。於此章節中，我們將探討利用蝕刻後移除模板分子的方式來改善上述問題之可行性，並於蝕刻製程完成後，採用O<sub>3</sub> 氧化法同時進行模板分子及光阻移除，進而達到製程簡化的效果。另外，本研究亦探討奈米孔洞二氧化矽薄膜的乾蝕刻特性，並進行溝渠引洞結構圖案之蝕刻。藉由改變蝕刻條件來了解其對於奈米孔洞薄膜的影響。

### 4.1 不同的煅燒方式對製備奈米孔洞二氧化矽薄膜之影響



在本節中，我們將分別利用爐管加熱以及臭氧電漿氧化的方式來移除薄膜內的模板分子，以製備奈米孔洞二氧化矽薄膜，並分別探討兩種煅燒方式的優缺點及可行性。

#### 4.1.1 以爐管加熱煅燒方式製備奈米孔洞二氧化矽薄膜

將添加模板分子的二氧化矽前驅物溶液以旋轉塗佈的方式沉積於矽晶片上，接著經過乾燥、烘烤等步驟移除薄膜內的溶劑。此時薄膜內的模板分子尚未被移除，因此可經由加熱煅燒的方式，以較高的溫度將薄膜內的模板分子移除，如此原本被模板分子所佔據的空間將被空氣所取代，形成

具有多孔特性的二氧化矽薄膜。然而經由溶膠-凝膠法所製備的二氧化矽薄膜，在經過水解與縮合反應後會產生許多矽醇基(Si-OH)，因此煅燒後的奈米孔洞二氧化矽薄膜，其孔洞表面充滿著大量未產生交聯反應的矽醇基。這些表面的矽醇基可藉由氫鍵等物理性吸附，使得孔洞薄膜極易吸附環境中的水氣。由於水的介電常數值為 78，因此一旦薄膜吸附水氣，將嚴重地破壞其低介電的特性。在本研究中，我們將利用 HMDS 蒸氣進行薄膜的疏水化改質處理，藉由三甲基矽化作用(trimethylsilylation)將親水性的矽醇基由斥水性的甲基所取代，以有效達成薄膜疏水化改質的目的。

如圖 4-1 所示，利用原子力顯微鏡(AFM)以及掃描式電子顯微鏡(SEM)觀察煅燒後奈米孔洞二氧化矽薄膜，以鑑定薄膜經煅燒後的表面形貌與粗糙度。結果顯示煅燒後的奈米孔洞二氧化矽薄膜表面相當平整，擁有良好的平坦度(Rms $\sim$ 11 Å)，將有利於後續半導體製程的需求。

圖 4-2 為奈米孔洞二氧化矽薄膜經過烘烤、爐管加熱煅燒(thermal calcined)以及HMDS蒸氣處理等製程之膜厚、折射率與孔隙率的變化趨勢。就膜厚變化方面而言，剛烘烤後的薄膜厚度為 3659 Å。接著以爐管於 400 °C 的溫度下加熱煅燒 30 分鐘，薄膜厚度減少為 2751 Å，其薄膜收縮率約為 25%。造成薄膜急遽收縮的現象，係由於大量有機模板分子的去除所形成的體積收縮。之後經由HMDS蒸氣處理後，薄膜厚度增加為 2873 Å。由於二氧化矽薄膜的孔道內，佔據著大量排列擁擠且體積龐大的三甲基矽化官能

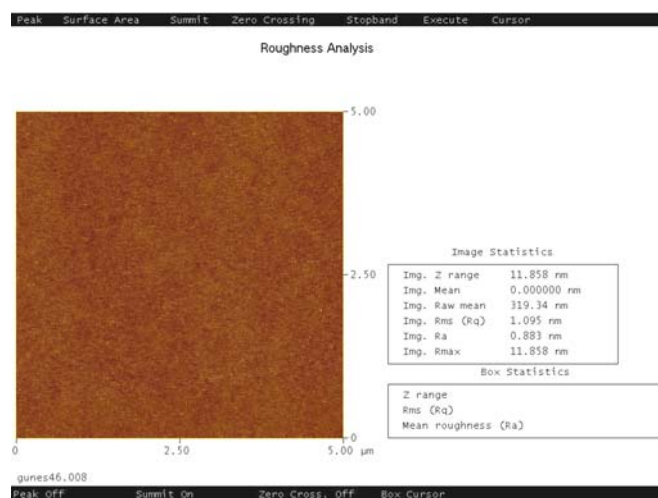


基( trimethylsilyl groups )，造成薄膜的體膨脹，並使得薄膜厚度增加。

就折射率變化方面而言，剛烘烤後薄膜的折射率為 1.457，與一般經由熱氧化方式所製備之二氧化矽薄膜的折射率相近(thermal oxide, 1.47)。由於此時僅部分溶劑與水份的移除，模板分子仍存在於薄膜內部，因此薄膜結構仍屬相當緻密。經由 400°C 爐管加熱煅燒後，折射率大幅度減少為 1.252，顯示薄膜內模板分子的移除使得薄膜密度降低。之後再經由 HMDS 蒸氣處理後，折射率上升至 1.301。造成折射率提升的原因，係由於孔洞內佔據大量體積龐大的三甲基矽化官能基，使得薄膜結構變得較為緻密。此外，在孔隙率方面，可藉由下式： $\pi = (1.458 - n) / 0.458$ ，來估算孔隙率<sup>[56]</sup>。其中， $\pi$  為奈米孔洞二氧化矽薄膜的孔隙率， $n$  為折射率。如圖 4-2(b)所示，剛烘烤過的薄膜由於模板分子尚未移除，其孔隙形成非常有限，僅由溶劑揮發後所形成的微小孔洞來形成孔隙。接著經由爐管加熱煅燒移除巨大有機模板分子後，孔隙率大幅上升為 45%。經由 HMDS 蒸氣處理後，此時孔洞內佔據大量體積龐大的三甲基矽化官能基，導致孔洞尺寸縮小，孔隙率下降為 34%。



(a)



(b)

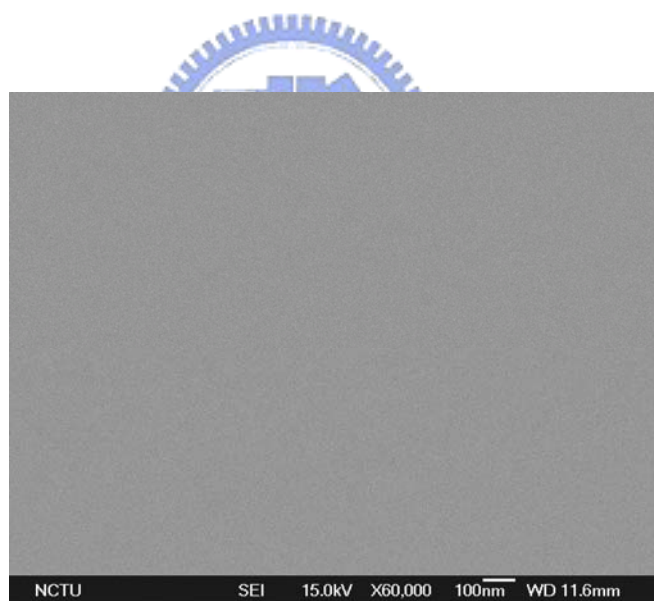
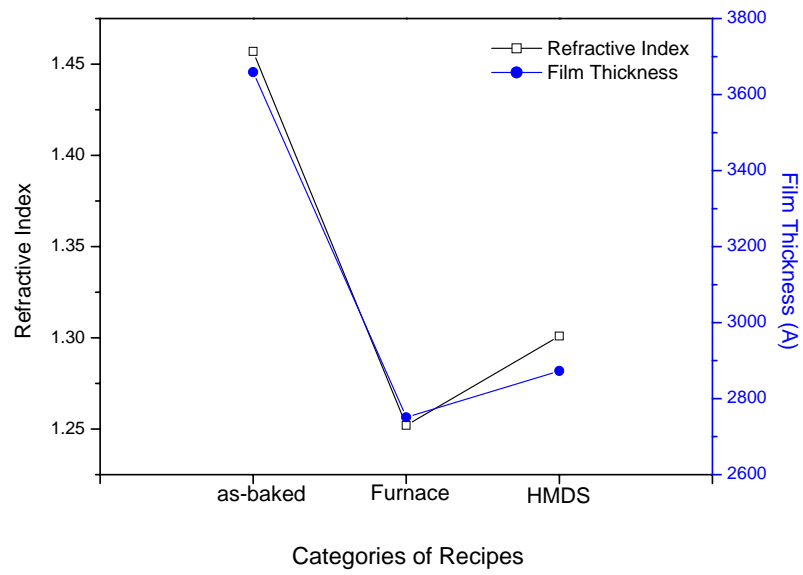


圖 4-1 以爐管加熱煅燒製備的奈米孔洞二氧化矽薄膜 (a)AFM 與 (b)SEM 平面圖。

(a)



(b)

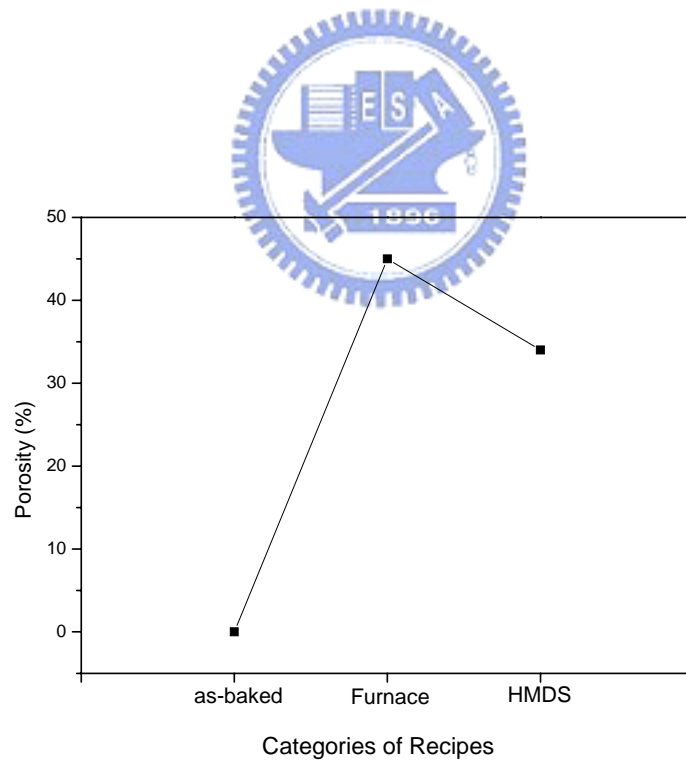


圖 4-2 以爐管加熱鍛燒製備之奈米孔洞二氧化矽薄膜 (a)膜厚與折射指數、(b)孔隙率的變化情形。

圖 4-3 的FT-IR光譜中，位於  $1080\text{--}1280\text{ cm}^{-1}$  的寬廣訊號帶為Si-O-Si非對稱伸展模式( asymmetric stretching mode )<sup>[57-58]</sup>， $1270\sim 1500\text{ cm}^{-1}$ 與  $2820\sim 3050\text{ cm}^{-1}$ 之訊號峰是來自薄膜內的有機模板分子，而  $3200\sim 3600\text{ cm}^{-1}$ 的寬廣訊號帶則為水氣之吸收光譜。後兩者之訊號於  $400^\circ\text{C}$  的爐管加熱煅燒處理後消失，顯示薄膜內的有機模板分子以及水分子皆被移除，並於  $3750\text{ cm}^{-1}$ 出現Si-OH ( isolated silanol groups )的紅外光吸收訊號<sup>[31,59]</sup>。經過HMDS蒸氣處理後，可觀察到原本位於  $3750\text{ cm}^{-1}$ 的Si-OH訊號峰於強度上明顯地減弱許多，同時在  $1258\text{ cm}^{-1}$ 以及  $2965\text{ cm}^{-1}$ 處分別出現Si-(CH<sub>3</sub>)<sub>3</sub>與C-H的伸展振動模式( stretching vibration mode )吸收訊號，顯示三甲基矽化作用的疏水化改質效果。由於甲基具有疏水性，因此可減少薄膜吸附環境中的水氣。

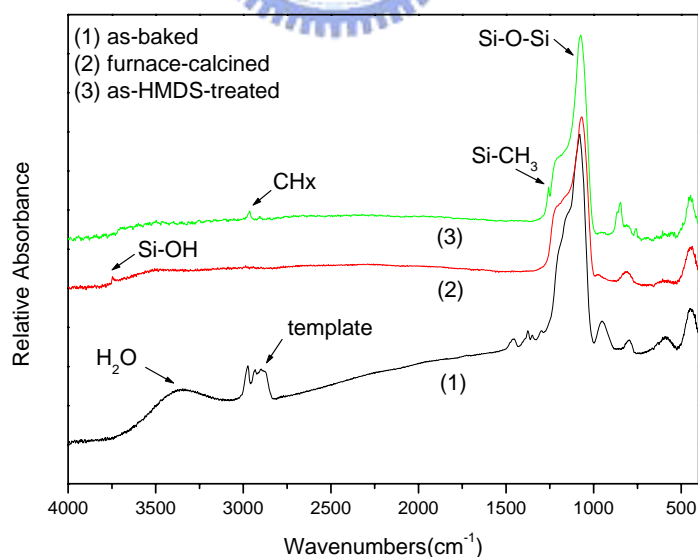


圖 4-3 以爐管加熱煅燒製備奈米孔洞二氧化矽薄膜之FTIR光譜圖

圖 4-4-1 為奈米孔洞二氧化矽薄膜在經過 400°C 的爐管加熱煅燒後之低掠角X光繞射圖譜，其分析方式為固定入射角為 0.5°，改變 2θ 角( 0.8°~3° )。結果顯示在 2θ=1.07°的位置有一明顯的(100)繞射峰，顯示此薄膜具有高規則性的孔洞排列結構。而孔洞縱向的平面間距( d-spacing )，可經由布拉格定律： $2d\sin\theta = n\lambda$  來求得，其中  $\lambda$  為銅靶的X光波長( 1.54 Å )。經由公式計算，求得孔洞縱向的平面間距為 82.5 Å。此外，由於薄膜內的孔洞具六角對稱排列，因此孔洞間的距離(pore-to-pore distance,  $a_0$ )可經由下式： $a_0 = 2 \times d_{100} / \sqrt{3}$  求得，經計算求得孔洞間的距離為 95 Å。

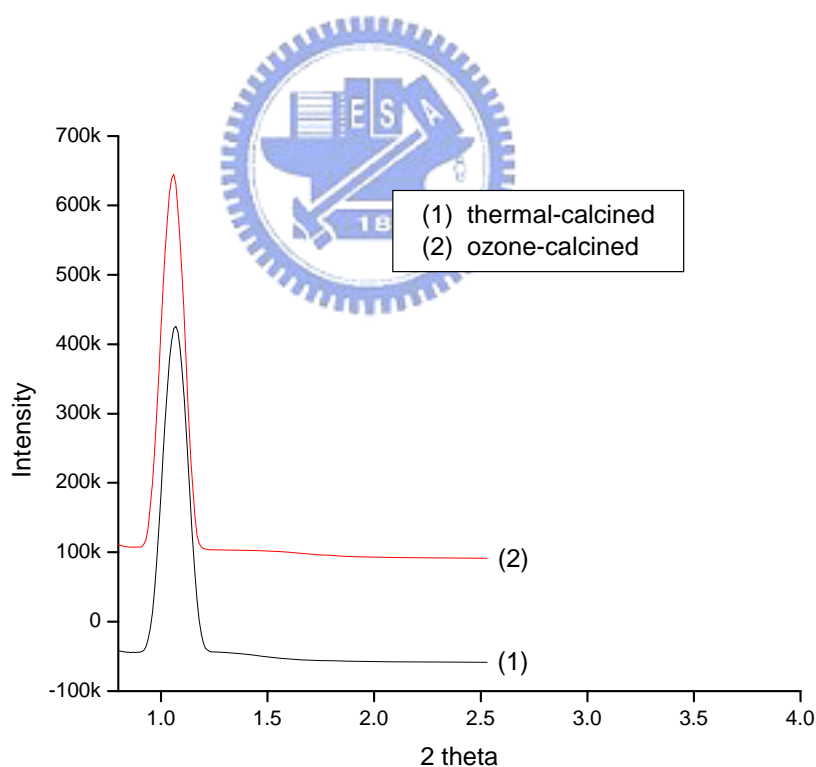


圖 4-4 以 (1)爐管加熱煅燒、(2)臭氧電漿煅燒製備的奈米孔洞二氧化矽薄膜之X光繞射圖譜

我們亦利用奈米壓痕儀( nanoindenter )量測煅燒後奈米孔洞二氧化矽薄膜的彈性係數( elastic modulus )及硬度( hardness )，其結果如圖 4-5 所示。根據量測的結果，薄膜煅燒後的彈性係數與硬度分別為 8.85 GPa及 0.77 GPa。一般的有機低介電材料，如SiLK，其彈性係數及硬度值分別為 2.4 GPa及 0.3 GPa<sup>[60]</sup>。因此，在機械性質方面，我們所製備的奈米孔洞二氧化矽薄膜明顯地優於一般有機低介電材料。

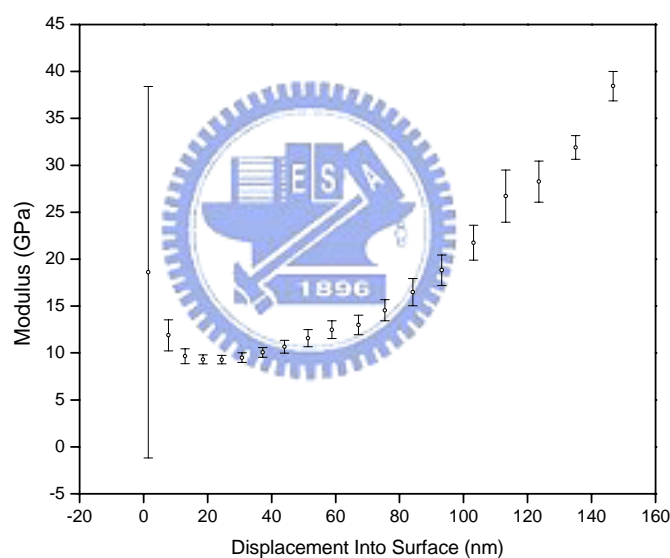


圖 4-5(a) 利用奈米壓痕儀量測以爐管加熱煅燒製備的奈米孔洞二氧化矽薄膜之彈性係數

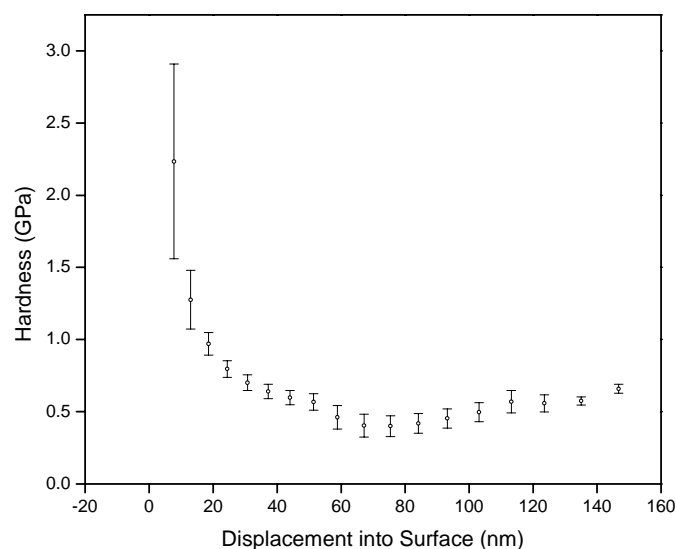


圖 4-5(b) 利用奈米壓痕儀量測以爐管加熱鍛燒製備的奈米孔洞二氧化矽薄膜之硬度



#### 4.1.2 以臭氧電漿氧化煅燒方式製備奈米孔洞二氧化矽薄膜

一般的爐管加熱煅燒製程是一種利用高溫( $>400^{\circ}\text{C}$ )裂解的方式來移除二氧化矽薄膜內的有機模板分子，其製程時間往往需要耗費數十分鐘至數小時，因此其製程成本較高、效率較低，並不符大量生產之需求。而利用臭氧電漿氧化處理作為煅燒方式來移除二氧化矽薄膜內的有機模板分子，其製程時間僅需數分鐘，使得製程效率提高，且同樣具有平整的薄膜表面，如圖4-6所示，其表面粗糙度約為 $9\text{\AA}$ 。

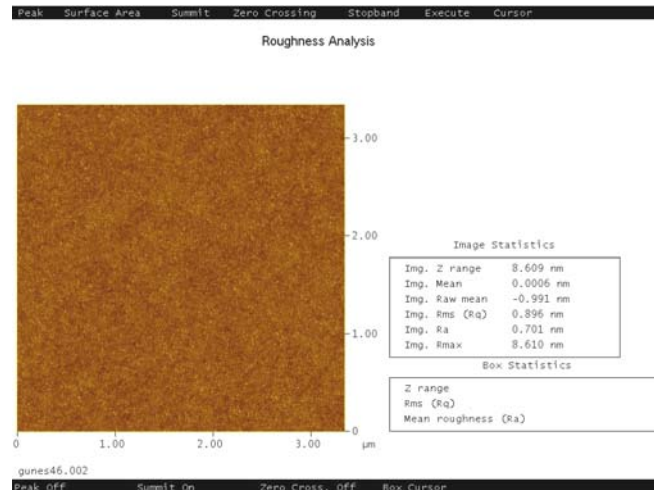
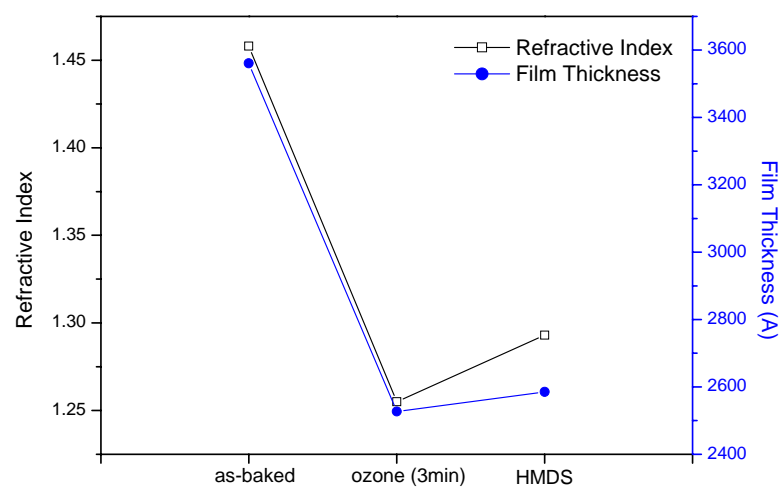


圖 4-6 利用臭氧電漿煅燒製備奈米孔洞二氧化矽薄膜之表面粗糙度

圖4-7為試片經過烘烤、臭氧電漿氧化煅燒(ozone calcined)以及HMDS蒸氣處理等製程之膜厚、折射率以及孔隙率的變化趨勢。就膜厚變化方面而言，剛烘烤後的薄膜厚度為3561 Å，接著經臭氧電漿氧化作煅燒處理後，薄膜厚度即減少為2527 Å。此一結果係由於氧自由基會氧化有機模板分子而生成揮發性產物，因此模板分子得以從薄膜內移除，造成薄膜體積的收縮。此外，在折射率方面，利用臭氧煅燒處理所製備之薄膜，其折射率為1.255，換算成孔隙率約為45%，與利用爐管加熱煅燒所製備之薄膜相似，因此臭氧煅燒法在薄膜的孔隙形成方面，程度上等同於爐管加熱煅燒法，但就時間成本而言，卻具有相對上的優勢。



(a)



(b)

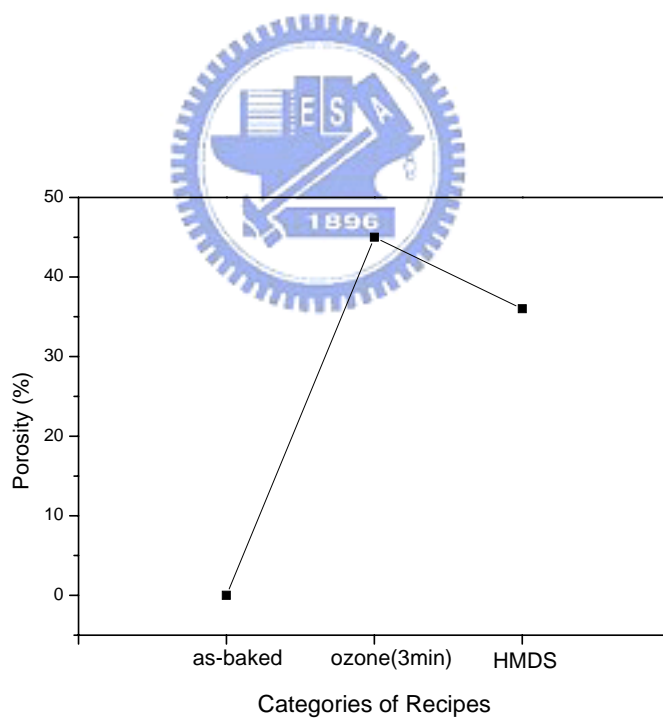


圖 4-7 以臭氧電漿煅燒製備之奈米孔洞二氧化矽薄膜 (a)膜厚與折射指數、(b)孔隙率的變化情形。

圖4-8為利用臭氧電漿氧化的方式，移除二氧化矽薄膜內有機模板分子之FTIR光譜圖。由IR的光譜圖可觀察到原本位於 $1270\sim 1500\text{ cm}^{-1}$ 與 $2820\sim 3050\text{ cm}^{-1}$ 的模板分子IR吸收訊號，經過3分鐘的臭氧煅燒處理後已消失，顯示二氧化矽薄膜只需一很短時間的臭氧電漿氧化處理，即可有效地移除薄膜內的有機模板分子。然而相對的，以 $400^{\circ}\text{C}$ 爐管加熱煅燒處理則至少需要耗費30分鐘之久，為臭氧煅燒法的10倍時間。造成此一明顯差距的結果，主要是因為在臭氧電漿環境中所產生的氧自由基，可迅速擴散至二氧化矽薄膜內部，氧化並移除薄膜內的有機模板分子，形成奈米孔洞二氧化矽薄膜。但是，此時由於薄膜表面及孔壁上含有許多具親水性的Si-OH，因此同樣仍需對奈米孔洞二氧化矽薄膜進行疏水化的改質處理，以減少薄膜對於水氣的吸附，維持較低且穩定的介電常數。有鑑於此，我們將同樣利用HMDS的蒸氣處理來對薄膜進行疏水化改質，以符合實際應用之需要。

圖 4-4-2 為奈米孔洞二氧化矽薄膜在經由臭氧電漿煅燒後之低掠角 X 光繞射圖譜，結果顯示在  $2\theta=1.07^{\circ}$  的位置有一明顯的(100)繞射峰，顯示薄膜內的孔洞同樣具有高規則性的排列結構。

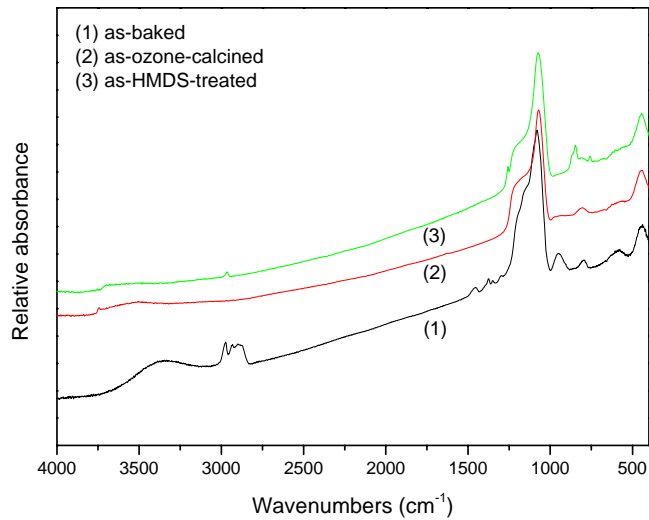
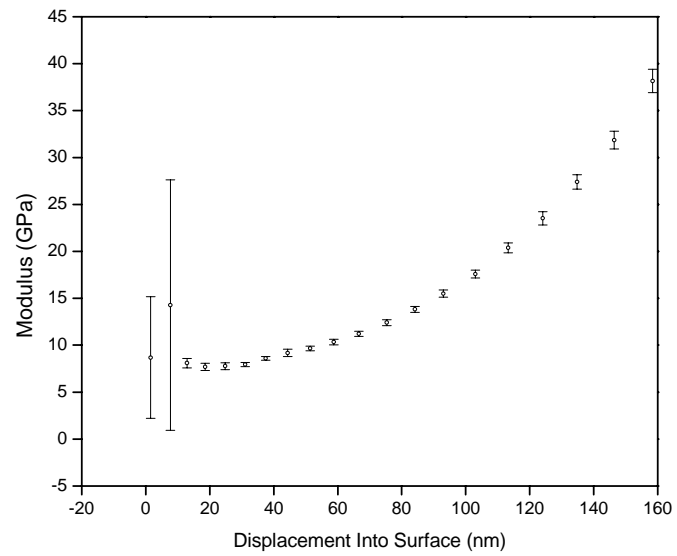


圖 4-8 利用臭氧電漿煅燒製備奈米孔洞二氧化矽薄膜之 FTIR 光譜圖

如圖 4-9 所示，利用奈米壓痕儀( nanoindenter )量測經由臭氧電漿煅燒後之奈米孔洞二氧化矽薄膜的機械性質。結果顯示薄膜的彈性係數及硬度分別為 8.2 GPa 及 0.75 GPa，此結果與利用爐管加熱煅燒所製備之薄膜相似。由於 X 光繞射檢測的結果(圖 4-4-2)顯示臭氧煅燒後的二氧化矽薄膜亦具有高規則性的孔洞排列結構，因此依此法所製備的奈米孔洞二氧化矽薄膜，同樣也具有不錯的機械特性。

(a)



(b)

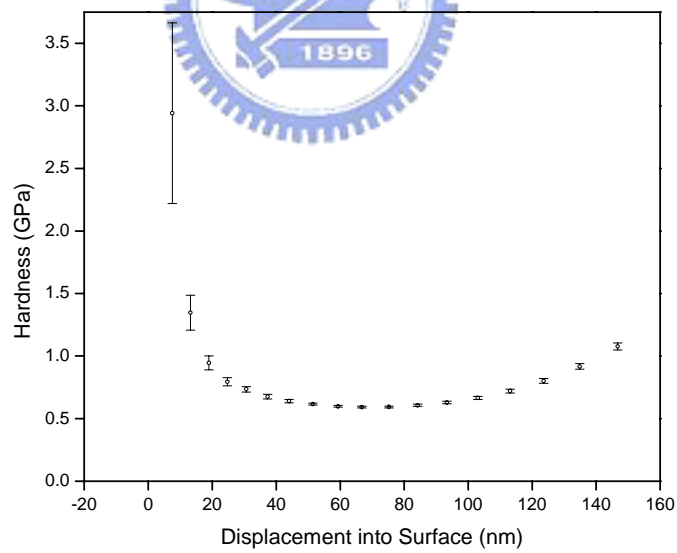


圖 4-9 利用奈米壓痕儀量測以臭氧電漿煅燒製備的奈米孔洞二氧化矽薄膜之 (a)彈性係數、(b)硬度

### 4.1.3 結論

由上述結果顯示利用臭氧電漿氧化處理取代傳統的爐管加熱煅燒製程所製備的奈米孔洞二氧化矽薄膜，其薄膜的性質皆與經由爐管加熱煅燒製程所製備的薄膜相似，仍具有良好的特性，然而整體的製程時間將可大幅縮短為數分鐘，且製程可在低溫下進行，更能符合半導體製程快速與低溫的需求。



## 4.2 光阻移除對奈米孔洞二氧化矽薄膜性質之影響

在積體電路製造技術中，通常是利用 $O_3$  氧化法的處理方式，將光阻中的碳氫成分氧化分解，以達到光阻移除之目的<sup>[43]</sup>。因此臭氧電漿氧化移除光阻對奈米孔洞二氧化矽薄膜性質的影響是本章節所要探討的議題。於研究中，我們利用track分別塗佈光阻於烘烤後之二氧化矽薄膜(as-baked)、奈米孔洞二氧化矽薄膜(as-calcined)以及三甲基矽化奈米孔洞二氧化矽薄膜(HMDS-treated)，並藉由Fusion ozone 移除薄膜上之光阻。

### 4.2.1 利用臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻 對其薄膜性質之影響

如圖 4-10 所示，以臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面，仍擁有良好的平坦度( $R_{ms} \sim 9.3 \text{ \AA}$ )，顯示臭氧電漿處理對於多孔性薄膜的表面粗糙度影響並不大。

圖 4-11 顯示奈米孔洞二氧化矽薄膜在經由臭氧電漿處理 1 分鐘以移除光阻後，其薄膜厚度從  $2434 \text{ \AA}$  減少至  $2213 \text{ \AA}$ 。膜厚的減少可能是因為在經臭氧電漿處理時，薄膜內的Si-OH官能基彼此間進行縮合反應，使得薄膜收縮形成較緻密的結構。因此在折射率方面，奈米孔洞二氧化矽薄膜在經由臭氧電漿處理 1 分鐘以移除光阻後，其薄膜折射率從 1.247 增加至 1.28，薄膜較為緻密而孔隙率亦較光阻移除前稍微的降低一些<sup>[50]</sup>。

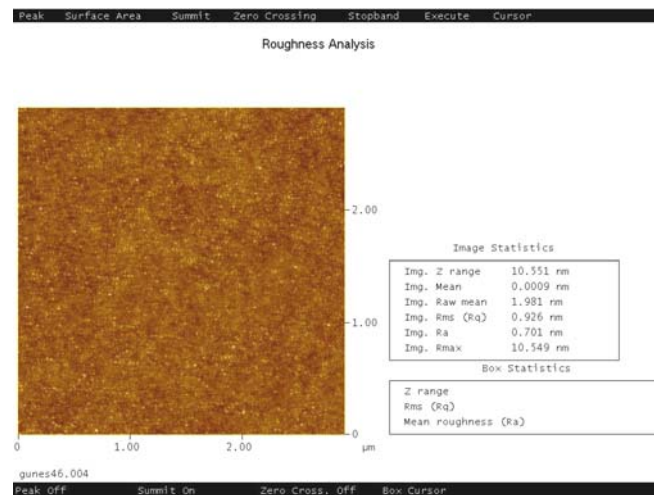


圖 4-10 以 AFM 觀察經臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面

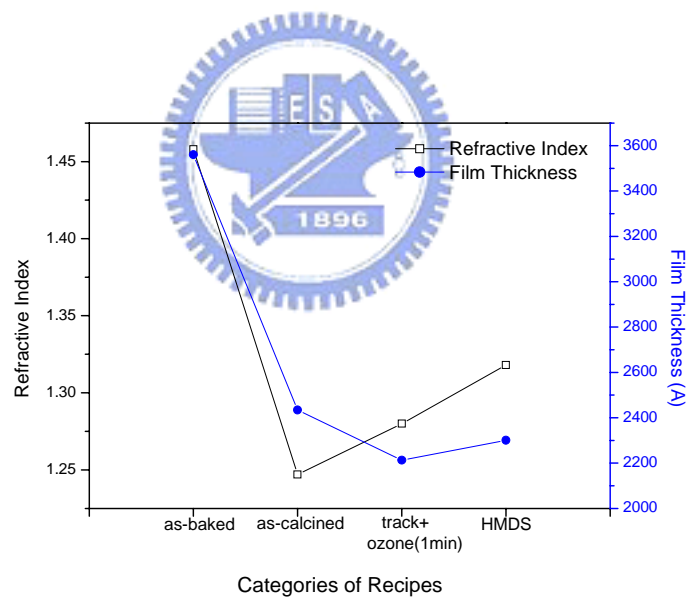


圖 4-11 以臭氧電漿氧化法移除奈米孔洞二氧化矽薄膜上之光阻，其膜厚與折射指數的變化情形。



圖 4-12 為奈米孔洞二氧化矽薄膜，在經由臭氧電漿氧化處理前及處理後之FTIR光譜圖。經過臭氧電漿處理後，可發現  $3200\sim3600\text{ cm}^{-1}$  的吸收訊號強度增加，由於此訊號範圍為水氣之IR吸收頻率，因此經過臭氧電漿處理後的奈米孔洞二氧化矽薄膜容易吸附環境中的水氣。而此現象的發生可能是由於臭氧電漿氧化處理會對奈米孔洞二氧化矽薄膜造成損害 (damage)，因而產生一些鍵結不完全之懸鍵(dangling bonds)於薄膜中，使薄膜變得較不安定。因此，同樣必須藉由HMDS蒸氣處理來對薄膜進行疏水化改質，使薄膜由親水性轉變為疏水性。

圖 4-13-1 為奈米孔洞二氧化矽薄膜經過臭氧電漿氧化處理，移除薄膜上光阻後之低掠角 X 光繞射圖譜，可發現在  $2\theta=1.02^\circ$  的位置有一明顯的 (100) 繞射峰，顯示光阻經臭氧電漿移除對薄膜內的孔洞排列結構影響不大，光阻移除後其孔洞排列仍具有規則性。

如圖 4-14 所示，奈米孔洞二氧化矽薄膜在經由臭氧電漿移除薄膜上光阻後，薄膜的彈性係數及硬度分別為 9.2 GPa 與 0.9 GPa，比剛煅燒後之奈米孔洞二氧化矽薄膜的彈性係數多了約 1 GPa，硬度則多了約 0.15 GPa。造成此一結果的原因，可能是由於光阻在經臭氧電漿移除時，奈米孔洞二氧化矽薄膜會收縮形成較緻密的結構，進而增強薄膜的機械性質。

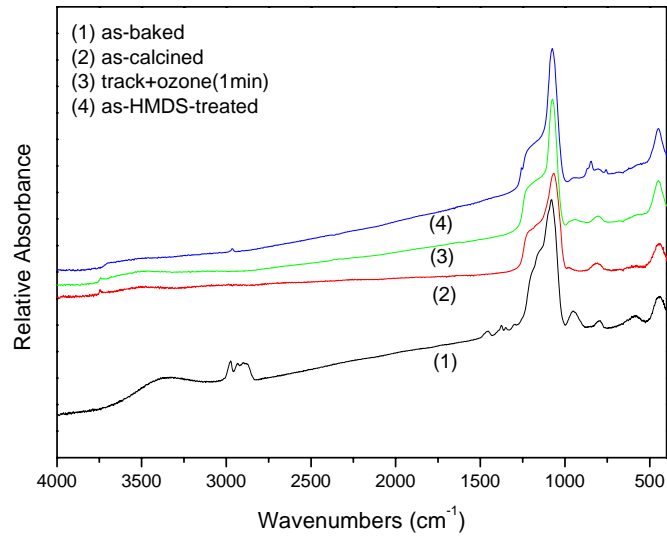


圖 4-12 奈米孔洞二氧化矽薄膜在經由臭氧電漿氧化處理前及處理後之 FTIR 光譜圖

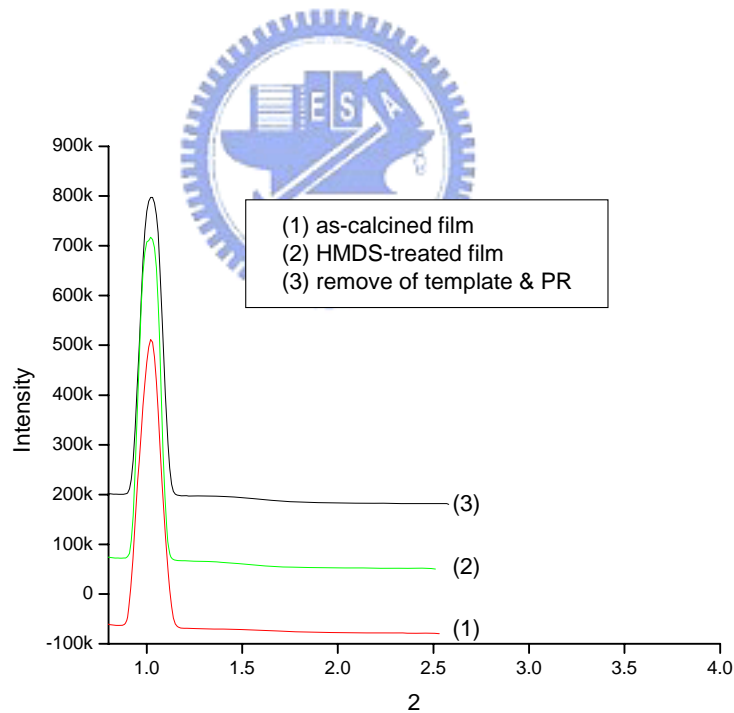
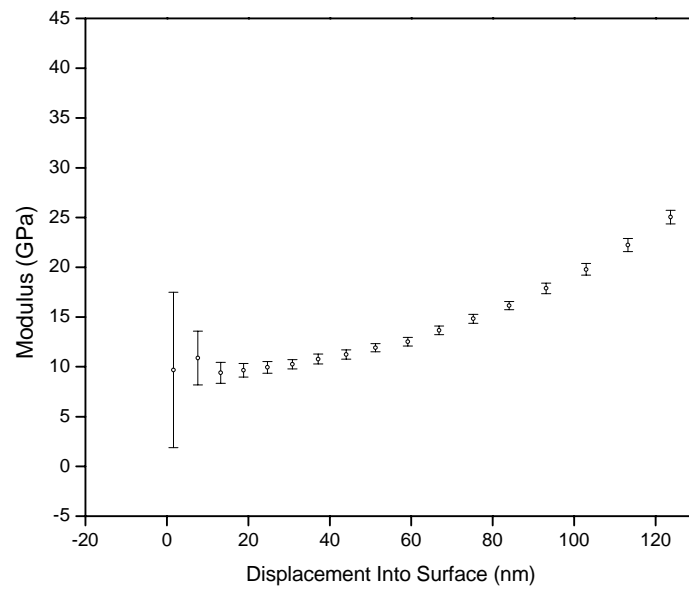


圖 4-13 (1)奈米孔洞二氧化矽薄膜、(2)三甲基矽化奈米孔洞二氧化矽薄膜、(3)尚未移除模板分子的二氧化矽薄膜，在經過臭氧電漿氧化處理移除薄膜上光阻後之低掠角 X 光繞射圖。

(a)



(b)

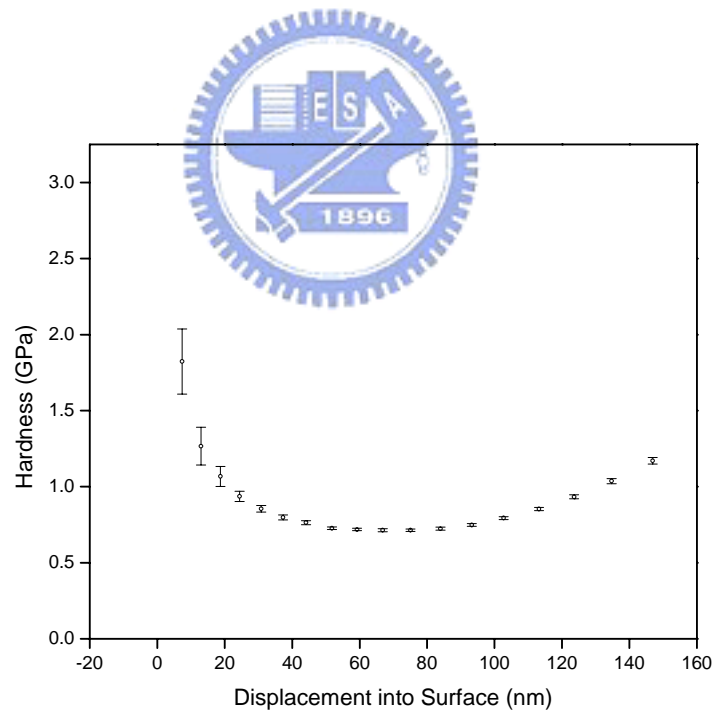


圖 4-14 奈米孔洞二氧化矽薄膜在經由臭氧電漿移除薄膜上光阻後(a)彈性係數、(b)硬度。

#### 4.2.2 光阻移除對三甲基矽化改質後之奈米孔洞二氧化矽薄膜的性質影響

奈米孔洞二氧化矽薄膜經過 HMDS 疏水化改質處理後，其孔洞表面具有大量的三甲基矽化官能基，於此，我們稱之為三甲基矽化奈米孔洞二氧化矽薄膜。根據先前研究探討，在臭氧電漿環境中所產生的氧自由基，會有效分解碳氫物種。因此存在於孔洞表面的三甲基矽化官能基，亦極有可能於光阻移除的過程中遭受破壞，而失去薄膜改質後的疏水特性，甚至影響其他薄膜性質。在導入微影蝕刻前，我們將先對於利用臭氧電漿移除光阻，所造成三甲基矽化奈米孔洞二氧化矽薄膜的性質變化，作一初步的探討。

以原子力顯微鏡觀察經臭氧電漿移除三甲基矽化奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面，結果如圖 4-15 所示，可發現薄膜仍擁有良好的平坦度 ( $R_{ms} \sim 7.64 \text{ \AA}$ )，光阻的移除對於疏水化處理後的薄膜表面粗糙度影響並不大。

圖 4-16 為三甲基矽化奈米孔洞二氧化矽薄膜在經由臭氧電漿處理前及處理後之 FTIR 光譜圖。在經臭氧電漿處理後，可發現  $1258 \text{ cm}^{-1}$  以及  $2965 \text{ cm}^{-1}$  處的  $\text{Si}-(\text{CH}_3)_3$  與  $\text{C-H}$  訊號峰消失了，並且在  $3750 \text{ cm}^{-1}$  處的  $\text{Si-OH}$  訊號峰又再次出現。由此可知，臭氧電漿確實會破壞孔洞表面的三甲基矽化官能基，並同時形成水氣之吸附。然而若再一次對二氧化矽薄膜實施 HMDS 疏水

化的改質處理，由FTIR光譜圖可發現，位於  $1258\text{ cm}^{-1}$  以及  $2965\text{ cm}^{-1}$  的  $\text{Si}-(\text{CH}_3)_3$  與 C-H 訊號峰再次出現，顯示奈米孔洞二氧化矽薄膜的孔洞表面，再次由親水性轉變為疏水性，其疏水特性是可回復的。

在薄膜孔隙率與折射率方面，經過 1 分鐘臭氧電漿移除光阻後，三甲基矽化奈米孔洞二氧化矽薄膜的折射率從 1.297 減少至 1.286，如圖 4-17 所示，減少的幅度並不大。此一結果的形成，可由兩方面來說明<sup>[50]</sup>。首先，根據FTIR的結果可知，在臭氧電漿環境中所產生的氧自由基會與薄膜孔洞表面的  $\text{Si}-\text{CH}_3$  鍵結及 C-H 鍵結反應並消除這些有機官能基。此時由於存在於孔洞表面的巨大甲基分子的減少，將會導致薄膜孔隙率增加以及折射率變小。然而在另一方面，薄膜內的  $\text{Si}-\text{OH}$  官能基彼此間亦會發生縮合反應，進而降低孔隙率並使折射率增加。此雙方面的影響結果，使得薄膜孔隙率互有增減，因此雖然薄膜內的有機官能基亦會在臭氧電漿移除光阻的處理過程中同時被移除，但折射率仍無法減少至 1.248（鍛燒後的奈米孔洞二氧化矽薄膜之折射率）。

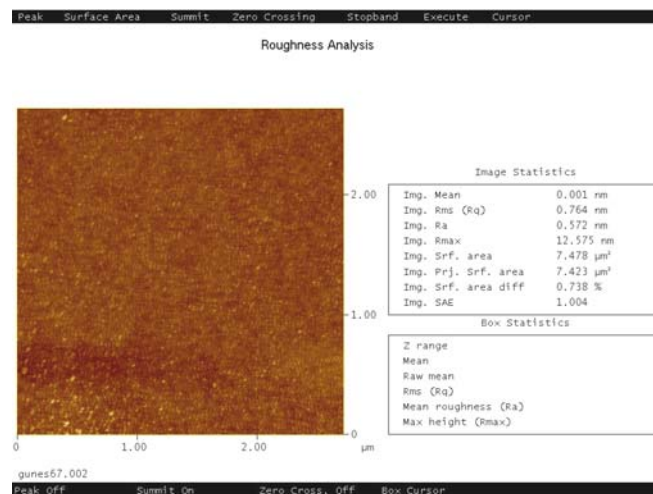


圖 4-15 以 AFM 觀察經臭氧電漿移除三甲基矽化奈米孔洞二氧化矽薄膜上之光阻後的薄膜表面

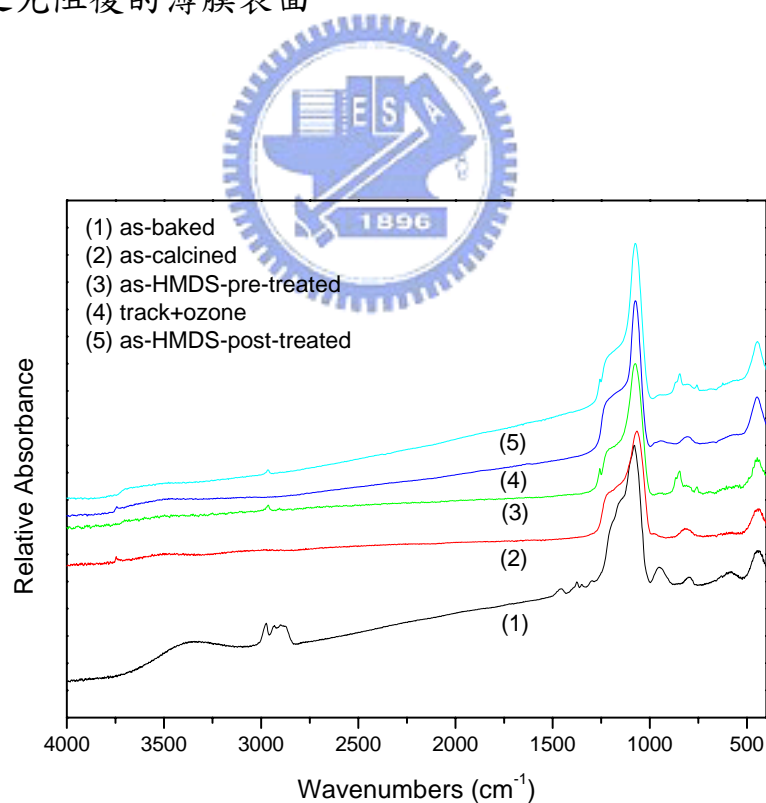


圖 4-16 三甲基矽化奈米孔洞二氧化矽薄膜在經由臭氧電漿處理前及處理後之 FTIR 光譜圖

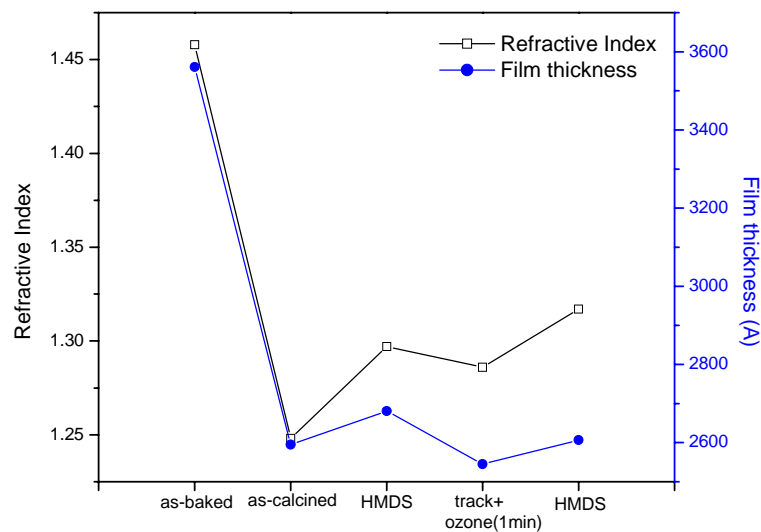


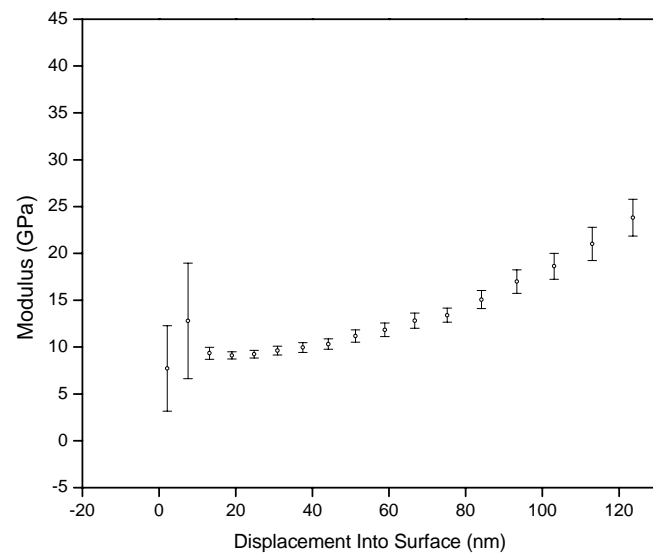
圖 4-17 以臭氧電漿氧化法移除三甲基矽化奈米孔洞二氧化矽薄膜上之光阻，其膜厚與折射指數的變化情形。

圖 4-13-2 為三甲基矽化奈米孔洞二氧化矽薄膜在光阻移除後之低掠角 X 光繞射圖譜，可發現在  $2\theta=1.02^\circ$  的位置有一明顯的(100)繞射峰，顯示臭氧電漿移除光阻的過程對薄膜內的孔洞排列結構影響不大，其孔洞排列同樣仍具有高規則性。

三甲基矽化奈米孔洞二氧化矽薄膜經過臭氧電漿移除光阻後，其薄膜彈性係數及硬度如圖 4-18 所示，分別為 9.5 GPa 與 0.85 GPa。如同之前的討論，薄膜在經過臭氧電漿處理後，會因收縮而形成較緻密的結構，因此導致薄膜具有良好的機械強度。



(a)



(b)

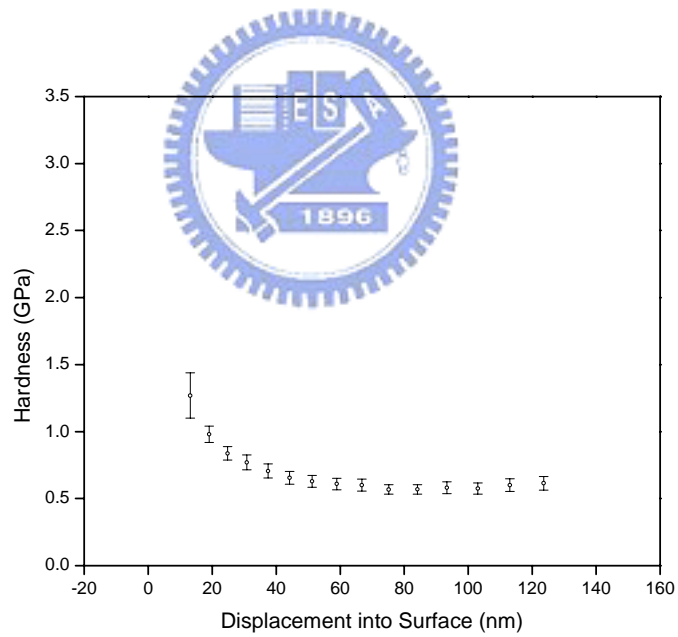


圖 4-18 三甲基矽化奈米孔洞二氧化矽薄膜在經由臭氧電漿移除薄膜上光阻後 (a)彈性係數、(b)硬度。

### 4.2.3 利用臭氧電漿氧化法同時移除模板分子及光阻來製備奈米孔洞二氧化矽薄膜

從上述的結果顯示奈米孔洞二氧化矽薄膜在經臭氧電漿處理後，其薄膜內的Si-OH官能基間會進行縮合反應，使得薄膜收縮形成較緻密的結構，進而降低薄膜孔隙率及膜厚。另一方面，三甲基矽化奈米孔洞二氧化矽薄膜在經臭氧電漿處理後，薄膜內的Si-CH<sub>3</sub>鍵結及C-H鍵結將會消失，使薄膜失去經甲基矽化改質後的疏水性。上述問題的發生是由於在經臭氧電漿處理移除光阻時，其薄膜本身已具有孔洞性結構，因此若使薄膜於移除光阻後，接著在移除薄膜內的模板分子使薄膜具有孔洞性結構，應該就能改善這方面的問題。於4-1-2節中，我們已成功地利用臭氧電漿氧化法來移除有機模板分子，且所得到的奈米孔洞二氧化矽薄膜之各種特性均有很好的結果。在IC製造過程裡，一般亦採用臭氧電漿氧化法來移除光阻，因此可藉由此一製程同時進行模板分子及光阻移除，而達到製程簡化的效果並改善上述之問題。

圖4-19為利用臭氧電漿氧化法同時移除模板分子及光阻所製備之奈米孔洞二氧化矽薄膜的原子力顯微鏡影像，其薄膜表面的粗糙度約只有7.2Å，因此同時移除模板分子及光阻後，奈米孔洞二氧化矽薄膜仍可維持良好的平坦度。

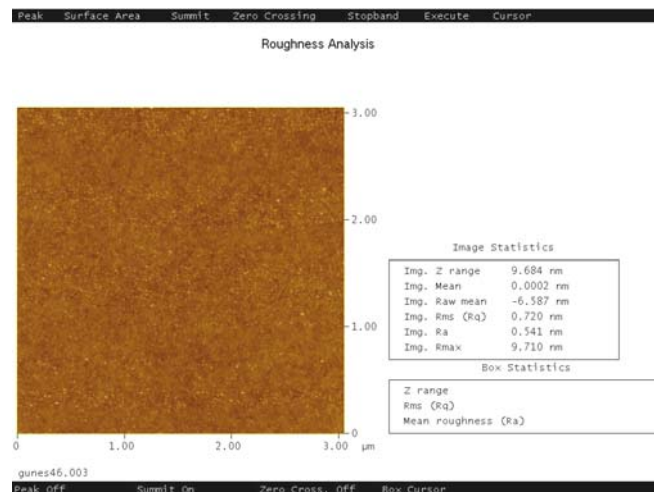


圖 4-19 臭氧電漿氧化法同時移除模板分子及光阻所製備之奈米孔洞二氧化矽薄膜的原子力顯微鏡影像

此外，同時移除模板分子及光阻後的奈米孔洞二氧化矽薄膜，其薄膜折射率及膜厚分別為 1.251 與 2643Å，如圖 4-20 所示。此值與一般煅燒後的奈米孔洞二氧化矽薄膜相似，顯示薄膜在經此方式移除光阻後，仍能維持其高孔隙率及膜厚，並不會造成薄膜的緻密化。

圖 4-21 為同時移除二氧化矽薄膜內的有機模板分子以及上層光阻之 FTIR 光譜圖。同樣可發現代表有機模板分子的吸收訊號消失，顯示在移除薄膜內有機模板分子的同時，其表面雖覆蓋著一層光阻，但仍可利用一極短時間(3 min)的臭氧電漿處理，即可順利地同時將二氧化矽薄膜內的有機模板分子以及薄膜表面上的光阻移除。而此 FTIR 光譜圖的變化趨勢與圖 4-8 相似，顯示此製程之可行性。

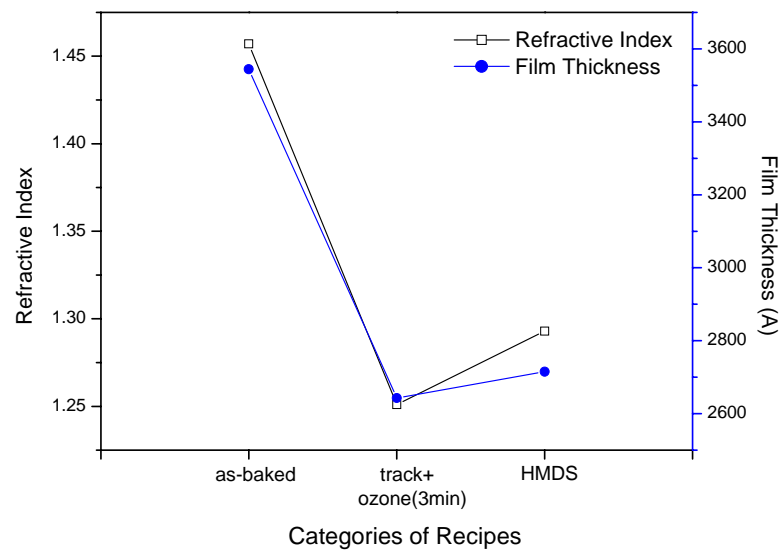


圖 4-20 同時移除模板分子及光阻後的奈米孔洞二氧化矽薄膜，其膜厚與折射指數的變化情形。

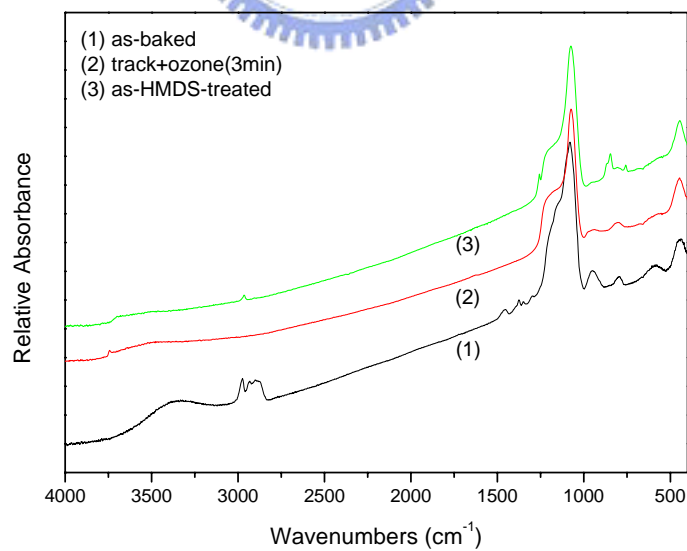


圖 4-21 同時移除二氧化矽薄膜內的有機模板分子以及上層光阻之 FTIR 光譜圖

如圖 4-13-3 所示，以低掠角 X 光繞射分析二氧化矽薄膜於同時移除模板分子及光阻後的孔洞排列結構，可發現在  $2\theta = 1.02^\circ$  的位置有一明顯的 (100) 繞射訊號，因此利用此一方式所製備的奈米孔洞二氧化矽薄膜，其孔洞排列仍具有規則性，有機模板分子的自組裝排列並未受到臭氧氧化過程的影響，而失去其有序排列的特性。

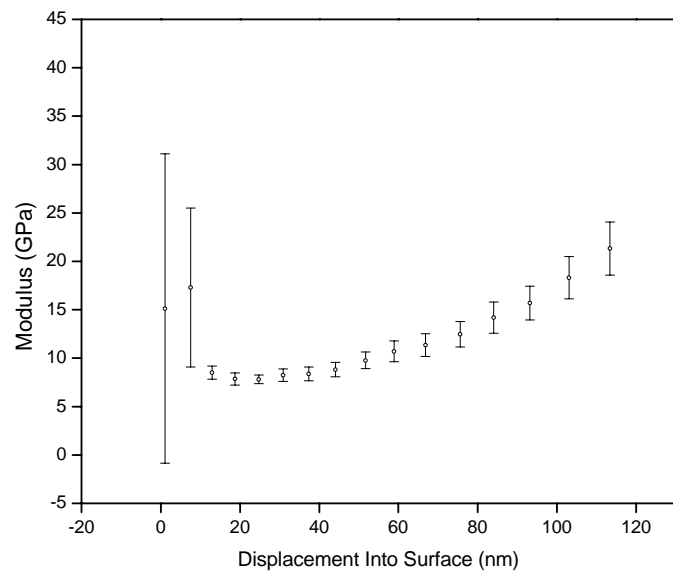
為了驗證以臭氧電漿同時移除模板分子及光阻的方式，亦能保有二氧化矽薄膜良好的機械強度，我們利用奈米壓痕儀量測臭氧處理後薄膜的彈性係數與硬度，其結果如圖 4-22 所示。奈米孔洞二氧化矽薄膜的彈性係數及硬度分別為 8.5 GPa 與 0.74 GPa，此一結果與一般煅燒後的奈米孔洞二氧化矽薄膜相似，所以利用此方式製備的奈米孔洞二氧化矽薄膜，在機械性質方面依然能保持其優越性。



#### 4.2.4 結論

由以上的實驗分析結果可知，臭氧電漿處理對於多孔性二氧化矽薄膜的表面粗糙度(表 4-1)及孔洞排列的規則性影響不大，但會使得薄膜收縮形成較緻密的結構，降低其薄膜孔隙率及膜厚。並且由於臭氧電漿處理會對多孔性薄膜造成破壞而產生一些鍵結不完全之懸鍵於薄膜中，因此使得多孔性薄膜變得較不安定，易吸附環境中之水氣。然而，於 4-2-3 節中，我們已成功地利用  $O_3$  氧化法同時進行模板分子及光阻移除，並且改善上述之缺點，進而達成製程簡化的目的。

(a)



(b)

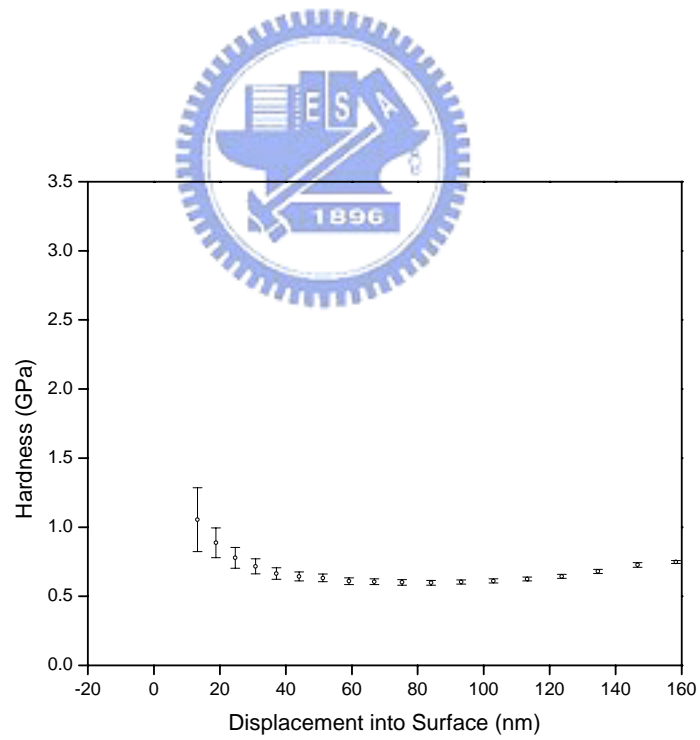


圖 4-22 同時移除模板分子及光阻後的奈米孔洞二氧化矽薄膜 (a)彈性係數、(b)硬度

	光阻塗佈前	光阻移除後
As-calcined film	11	9.3
HMDS-treated film	10	7.64
As-baked film	X	7.2

單位:Å

表 4-1 各種薄膜於光阻塗佈前以及光阻移除後其表面粗糙度比較表





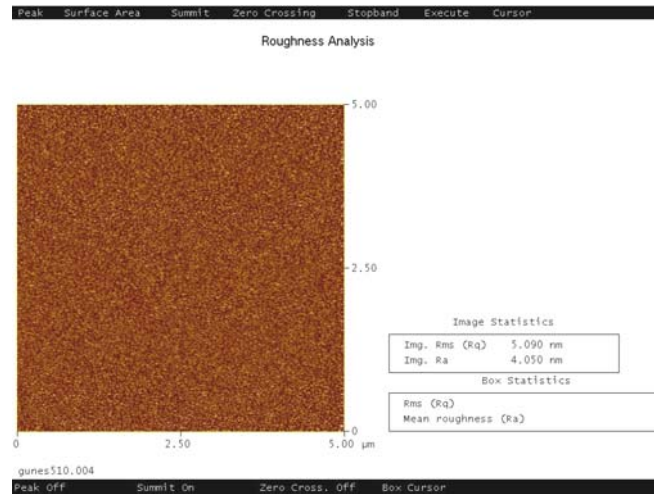
### 4.3 反應性離子蝕刻製程( RIE )對薄膜性質之影響

在現今的積體電路製造技術中，利用反應性離子蝕刻系統(RIE)於蝕刻SiO<sub>2</sub>介電層已是相當成熟的製程技術。而本研究所製備的奈米孔洞二氧化矽薄膜，其材料本質亦為SiO<sub>2</sub>，因此我們將利用氧化矽乾式蝕刻系統(TEL-5000)，分別對烘烤後、煅燒後以及經HMDS疏水化處理後之奈米孔洞二氧化矽薄膜進行蝕刻製程方面的研究。一般而言，用來作為乾蝕刻氧化矽薄膜的反應氣體，大都以氟化碳類的氣體為主，如早期的CF<sub>4</sub>以及現在半導體製程上常使用的CHF<sub>3</sub>。為與現今的半導體製程相結合，本研究中所採用的蝕刻氣體亦以CF<sub>4</sub>、CHF<sub>3</sub>為主，其蝕刻條件如表3-2所示。

#### 4.3.1 奈米孔洞二氧化矽薄膜於乾式蝕刻後之薄膜性質研究

如圖 4-23 所示，奈米孔洞二氧化矽薄膜的表面於蝕刻後變得較為粗糙 ( Rms ~ 51Å )，顯示在蝕刻過程中薄膜表面會受到離子轟擊 (Ion bombardment)的效果，因而破壞薄膜表面，使得薄膜表面的粗糙度增加。

(a)



(b)

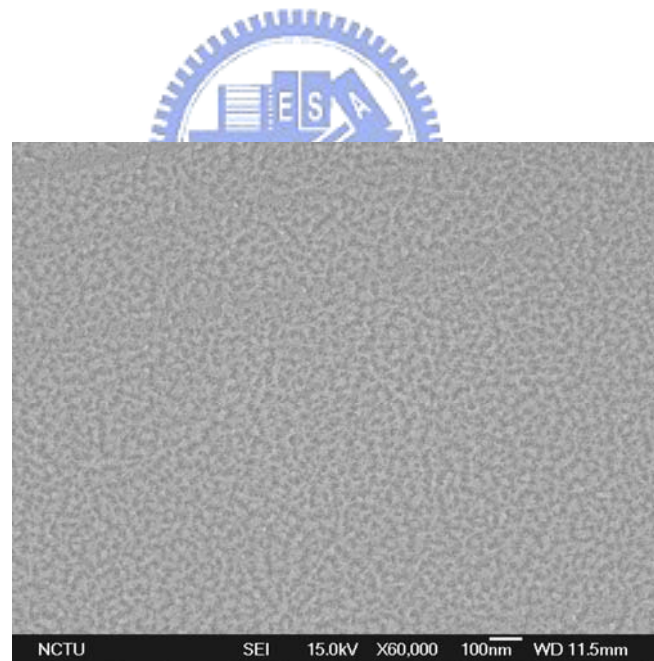


圖 4-23 蝕刻後的奈米孔洞二氧化矽薄膜之表面形貌 (a)AFM 與 (b)SEM 平面圖。

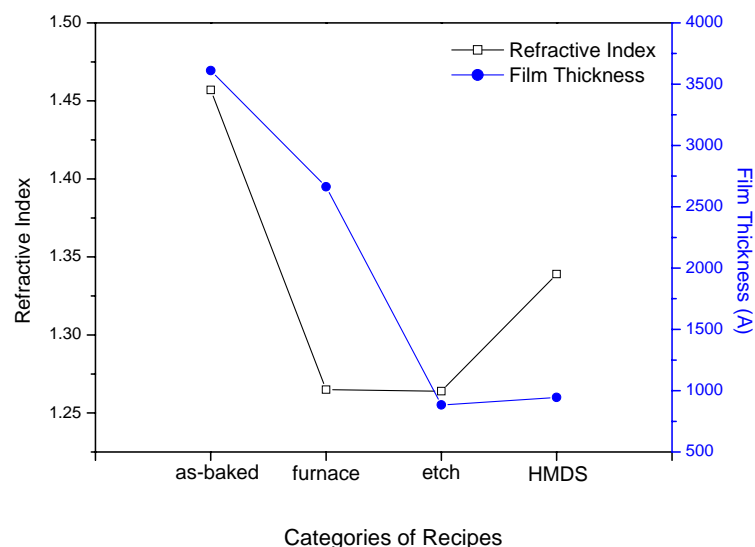


圖 4-24 奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情形

圖 4-24 顯示奈米孔洞二氧化矽薄膜在經電漿蝕刻 10 秒後，其薄膜厚度從 2663Å 減少至 884Å，換算成蝕刻率為 10674 Å / min。而一般使用 PECVD 所沉積的 SiO<sub>2</sub>，其蝕刻率為 3452 Å / min。相較之下，奈米孔洞二氧化矽薄膜之蝕刻率明顯地比一般緻密的 SiO<sub>2</sub> 薄膜快了 3 倍以上。造成此現象的原因係由於奈米孔洞二氧化矽薄膜本身為多孔性材料，其薄膜結構鬆散、密度較低，因此表面原子間的化學鍵結，在受到離子轟擊而形成懸鍵的機率較高。這些表面上帶有懸鍵的矽原子要比其他沒有產生斷鍵的矽原子更易與氟自由基形成氣態的四氟化矽，進而導致蝕刻速率的增加。

圖 4-25 為奈米孔洞二氧化矽薄膜於電漿蝕刻前及蝕刻後之 FTIR 光譜

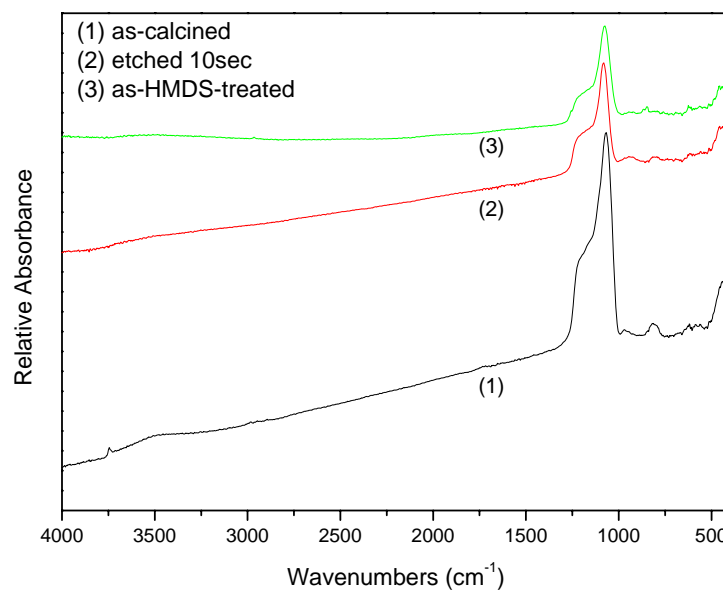
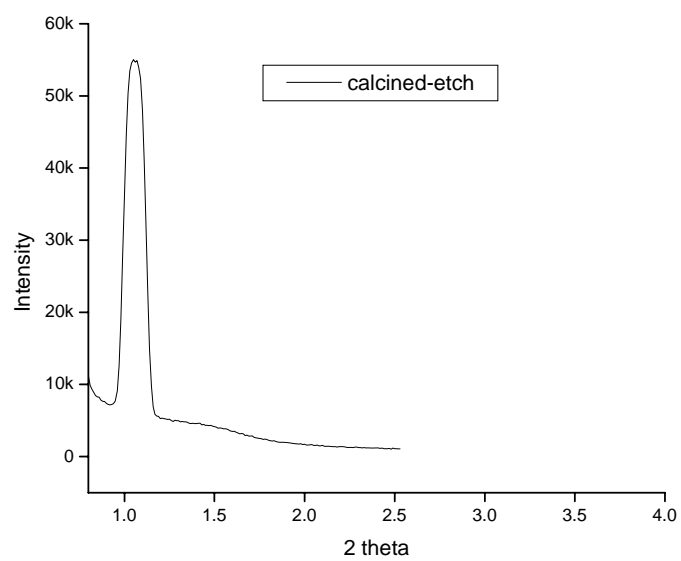


圖 4-25 電漿蝕刻前及蝕刻後的奈米孔洞二氧化矽薄膜之 FTIR 光譜圖

圖。經電漿蝕刻後，可發現  $3750\text{ cm}^{-1}$  處的 Si-OH 訊號峰消失，顯示離子轟擊亦會破壞 Si-OH 的化學鍵結。接著經由 HMDS 蒸氣處理來對薄膜進行疏水化改質，可發現  $1258\text{ cm}^{-1}$  以及  $2965\text{ cm}^{-1}$  處的  $\text{Si}-(\text{CH}_3)_3$  與 C-H 訊號峰出現，但其強度非常微弱。IR 的結果顯示薄膜內若無 Si-OH 存在，則 HMDS 分子的三甲基矽官能基  $[\text{Si}-(\text{CH}_3)_3]$  將無法有效地進行置換反應。

圖 4-26-1 為奈米孔洞二氧化矽薄膜經過電漿蝕刻後之低掠角 X 光繞射圖，可發現其訊號強度減弱且訊號峰相對變寬，顯示高規則性的孔洞排列結構已受到破壞。造成此現象的原因可能有兩種，一為氫離子轟擊試片表面，進而破壞薄膜的孔洞結構；另一種可能是蝕刻氣體滲入孔洞內而先行蝕刻孔壁，造成孔洞尺寸及形狀的改變，進而破壞孔洞的規則性排列。

(1)



(2)

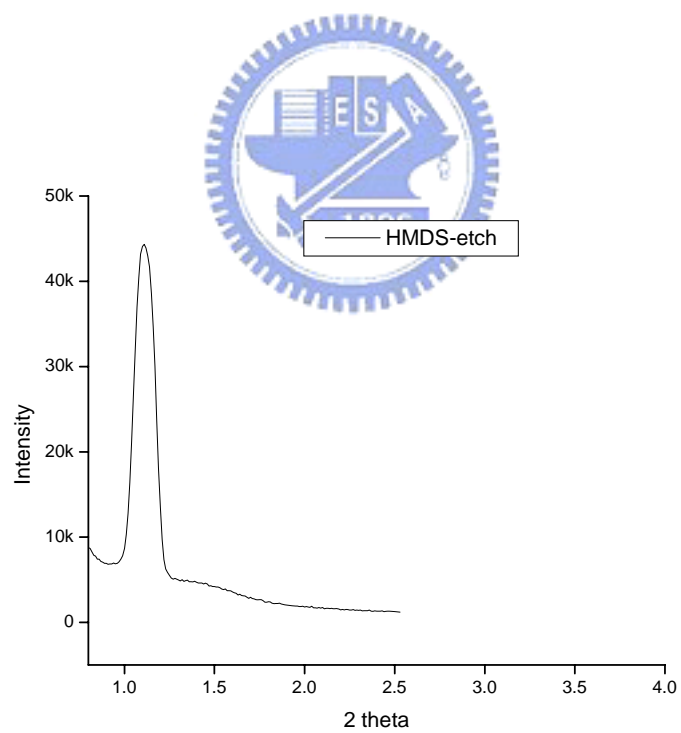


圖 4-26 (1)奈米孔洞二氧化矽薄膜、(2)三甲基矽化奈米孔洞二氧化矽薄膜

經過電漿蝕刻後之低掠角 X 光繞射圖

(3)

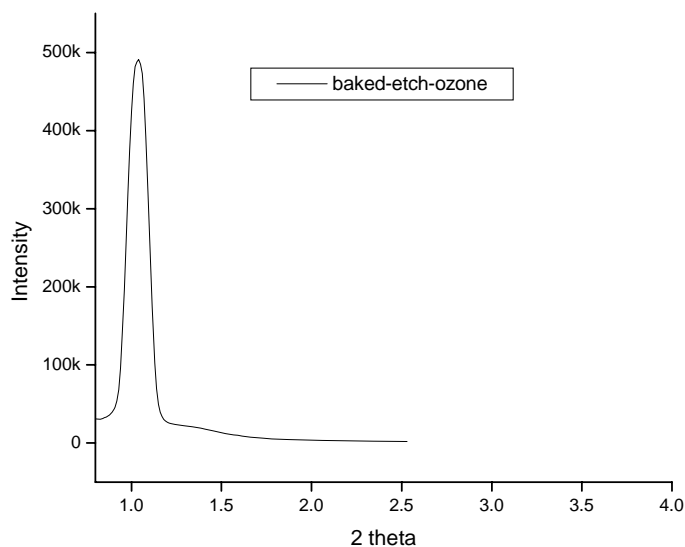


圖 4-26 (3)尚未移除模板分子的二氧化矽薄膜經過電漿蝕刻後之低掠角 X 光繞射圖

#### 4.3.2 三甲基矽化奈米孔洞二氧化矽薄膜於蝕刻後之薄膜性質研究

圖 4-27 為以原子力顯微鏡觀察蝕刻後的三甲基矽化奈米孔洞二氧化矽薄膜之表面，結果顯示在蝕刻過程中，薄膜表面會受到離子轟擊的作用，使其表面變得較蝕刻前粗糙(  $R_{ms} \sim 37 \text{ \AA}$  )。

圖 4-28 顯示三甲基矽化奈米孔洞二氧化矽薄膜經電漿蝕刻 10 秒後，其薄膜厚度從  $2752 \text{ \AA}$  減少至  $1989 \text{ \AA}$ ，換算成蝕刻率為  $4578 \text{ \AA} / \text{min}$ ，此蝕刻率比奈米孔洞二氧化矽薄膜的蝕刻率小了兩倍以上。造成此現象的原因係由於三甲基矽化奈米孔洞二氧化矽薄膜會於蝕刻過程中受到氫離子轟擊的

影響，進而造成薄膜內部分的Si-CH<sub>3</sub>及C-H鍵結斷鍵。這些斷鍵的碳氫物種會從薄膜表面脫附( desorbed )出來，因而增加反應腔體內的碳含量並降低F/C比。在氟碳化合物的電漿環境中，碳的作用為提供薄膜表面聚合物的來源，所以碳的存在會抑制蝕刻的進行。因此一旦環境中碳的含量增加時，將使得蝕刻速率減緩。氟的作用是與薄膜表面反應，產生揮發性的產物，並藉由真空設備帶出腔體外。所以當環境中氟的含量增加時，蝕刻速率亦增加。因此F/C比例在介電薄膜的蝕刻製程上扮演著相當重要的角色。隨著F/C比例的增加，蝕刻速率也跟著上升；反之，則蝕刻率下降<sup>[43-45]</sup>。在此例中，由於反應腔體內碳含量的增加及F/C比的下降，因此降低了薄膜之蝕刻速率。

如圖 4-28 所示，三甲基矽化奈米孔洞二氧化矽薄膜經電漿蝕刻後，薄膜的折射率從 1.31 減少至 1.29，即薄膜的孔隙率從 32%增加至 37%，顯示薄膜內部分的Si-CH<sub>3</sub>鍵結及C-H鍵結會於離子轟擊的過程中斷鍵，使得這些體積龐大的甲基官能基不再存在於孔洞表面，因而造成薄膜密度的下降。

圖 4-29 為三甲基矽化奈米孔洞二氧化矽薄膜經電漿蝕刻前及蝕刻後之 FTIR 光譜圖。在經電漿蝕刻後，可發現 1258 cm<sup>-1</sup> 以及 2965 cm<sup>-1</sup> 處的 Si-(CH<sub>3</sub>)<sub>3</sub> 與 C-H 訊號峰強度減弱，此顯示薄膜內部分的 Si-CH<sub>3</sub> 鍵結及 C-H 鍵結的確會於離子轟擊的過程中產生斷鍵，進而劣化薄膜原有的疏水性。



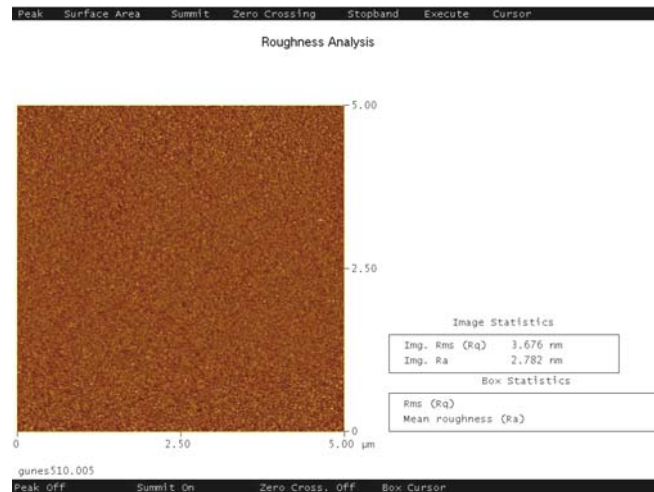


圖 4-27 以 AFM 觀察蝕刻後三甲基矽化奈米孔洞二氧化矽薄膜之表面形貌

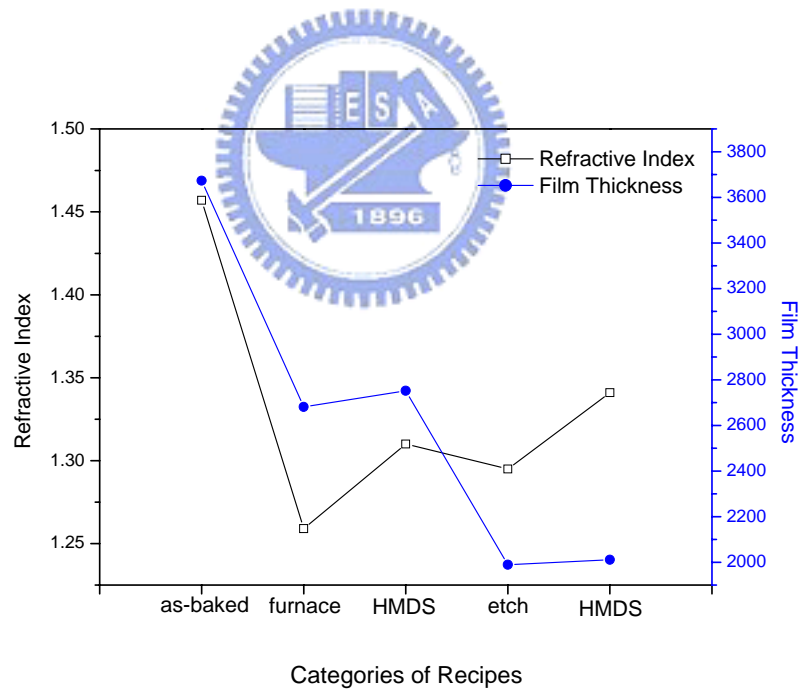


圖 4-28 三甲基矽化奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情形

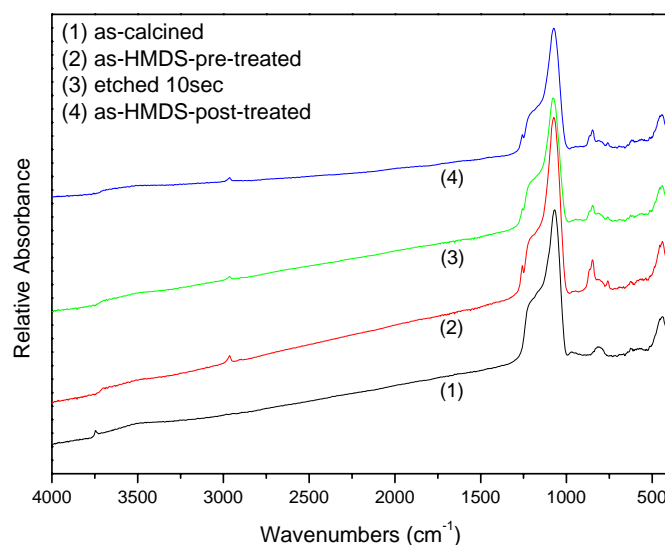


圖 4-29 電漿蝕刻前及蝕刻後的三甲基矽化奈米孔洞二氧化矽薄膜之 FTIR

光譜圖



圖 4-26-2 為三甲基矽化奈米孔洞二氧化矽薄膜經電漿蝕刻後之低掠角

X 光繞射圖譜，可發現其訊號強度減弱且訊號峰變寬，顯示原本具高規則性的孔洞排列結構已於乾式蝕刻的過程中受到破壞。

### 4.3.3 有機模板分子於蝕刻後移除對二氧化矽薄膜的影響

從上述的結果顯示，奈米孔洞二氧化矽薄膜會於電漿蝕刻過程中遭受活性電漿物種的攻擊，造成薄膜表面粗糙度增加，並且破壞薄膜原有的規則性孔洞排列，進而影響薄膜的機械性質。而三甲基矽化奈米孔洞二氧化矽薄膜在經過電漿蝕刻後，薄膜內部分的Si-CH<sub>3</sub>鍵結及C-H鍵結將會產生斷

鍵，進而劣化薄膜原有的疏水性。上述蝕刻問題的產生，是由於在電漿蝕刻的過程中，其薄膜本身已具有孔洞性結構，使得蝕刻氣體可能經由孔洞進入薄膜內部，進而破壞薄膜內部的結構。有鑑於此，我們提出於蝕刻後才行模板分子移除之概念。經過此方式，於電漿蝕刻過程中，其孔洞位置仍為碳氫高分子模板所佔據，因此水分子與蝕刻氣體分子不易進入奈米孔洞二氧化矽薄膜內部，故在此之前可能較無薄膜吸水與蝕刻氣體滲入等問題的發生。

經過電漿蝕刻製程後，我們同樣利用臭氧煅燒方式移除有機模板分子，圖 4-30 為模板分子蝕刻後移除的 AFM 量測結果，顯示奈米孔洞二氧化矽薄膜的表面仍擁有良好的平坦度 ( $R_{ms} \sim 15 \text{ \AA}$ )，並未因模板分子的存在而影響蝕刻製程。

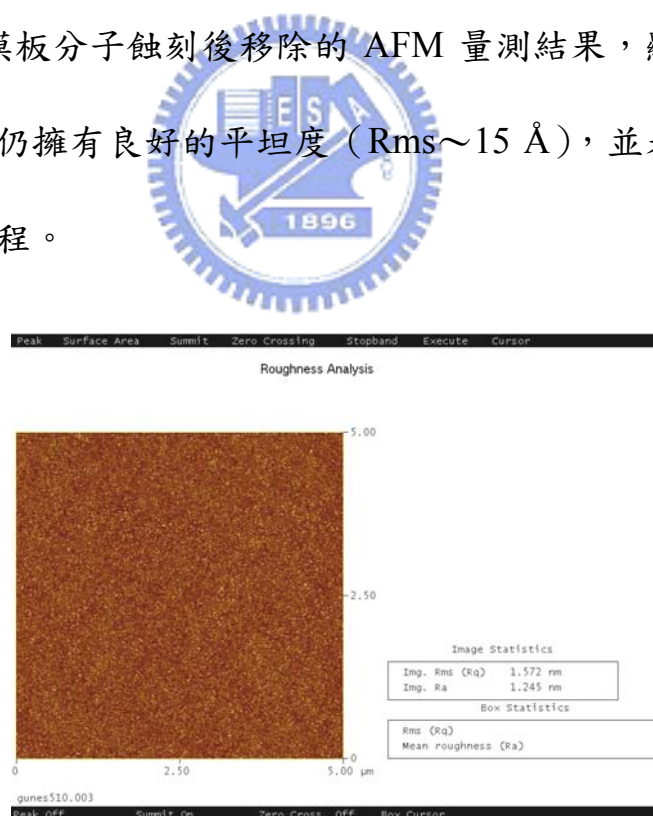


圖 4-30 以 AFM 觀察模板分子蝕刻後移除的奈米孔洞二氧化矽薄膜之表面形貌

圖 4-31 顯示尚未移除模板分子的二氧化矽薄膜，在經過電漿蝕刻 10 秒後，其薄膜厚度從 3595 Å 減少至 2998 Å，換算成蝕刻率為 3582 Å / min，此值與一般使用 PECVD 所沉積的 SiO<sub>2</sub> 薄膜之蝕刻率相似。造成此蝕刻率相近的原因係由於薄膜在蝕刻過程中，孔洞位置仍為碳氫高分子模板所佔據，因此薄膜結構仍然顯得相當緻密。而以折射率來驗證結構特性，可得知未移除模板分子之奈米孔洞二氧化矽薄膜之折射率與 PECVD 沉積的 SiO<sub>2</sub> 之折射率皆為 1.458，顯示兩薄膜的結構緻密性相似，因此蝕刻率亦相似。

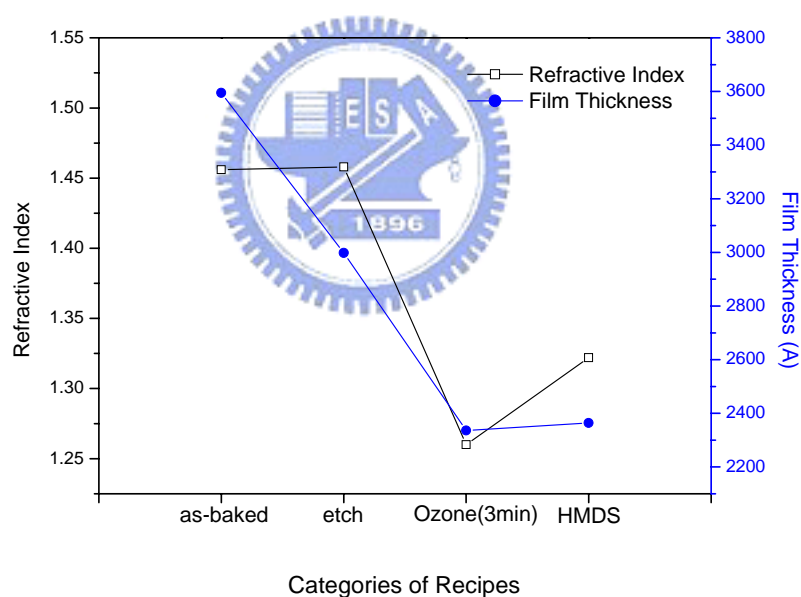


圖 4-31 尚未移除模板分子之奈米孔洞二氧化矽薄膜於蝕刻過程之膜厚與折射指數的變化情形

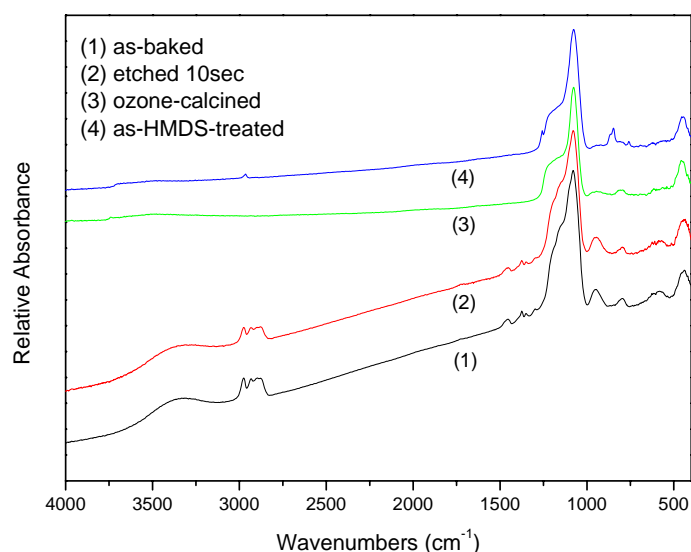


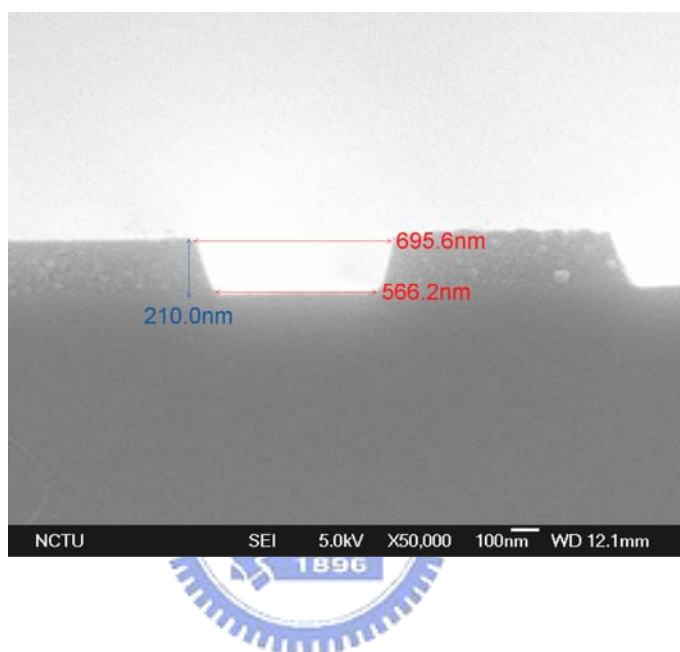
圖 4-32 尚未移除模板分子之奈米孔洞二氧化矽薄膜在經電漿蝕刻前及電漿蝕刻後之 FTIR 光譜圖

圖 4-32 為尚未移除模板分子之二氧化矽薄膜經電漿蝕刻前及蝕刻後之 FTIR 光譜圖。經過電漿蝕刻後，可發現  $1270 \sim 1500 \text{ cm}^{-1}$  與  $2820 \sim 3050 \text{ cm}^{-1}$  處的有機模板分子訊號峰強度減弱，顯示電漿蝕刻雖會減少膜厚，但並未明顯造成鍵結的改變。所以蝕刻後的二氧化矽薄膜，其化學組成與結構仍屬相當穩定。

圖 4-26-3 為蝕刻後再將模板分子移除的奈米孔洞二氧化矽薄膜之低掠角 X 光繞射圖譜，其結果可發現在  $2\theta = 1.04^\circ$  的位置有一明顯的(100)繞射峰，顯示此奈米孔洞二氧化矽薄膜並未於蝕刻過程中破壞其薄膜結構，且孔洞排列仍具有規則性。此可歸因於薄膜在蝕刻過程中尚未形成巨大孔洞，因此並無受活性電漿物種攻擊而破壞其孔洞結構的問題。

圖 4-33 為模板分子蝕刻後移除的 SEM 影像，圖中可清楚地看到溝渠及引洞能順利地被蝕刻出來，蝕刻後鮮明的線寬輪廓並沒有因模板分子的存在而影響蝕刻輪廓。

(a)



(b)

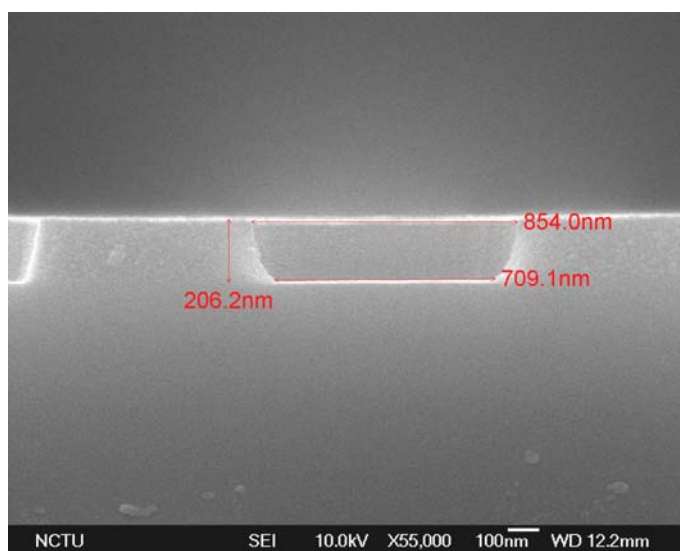


圖 4-33 模板分子蝕刻後移除的 SEM 影像 (a) Trench、(b) Via

#### 4.3.4 結論

從以上的研究結果可發現電漿蝕刻製程會嚴重地破壞薄膜表面的平坦度(如表 4-2 所示)及孔洞排列的規則性，亦會造成三甲基矽化奈米孔洞二氧化矽薄膜內部分的Si-CH<sub>3</sub>鍵結及C-H鍵結的斷鍵，進而劣化薄膜原有的疏水性。然而，如 4-3-3 節中所陳述，我們已成功地利用模板分子於蝕刻後才進行臭氧煅燒移除的方式來改善原先於蝕刻製程上所衍生出薄膜性質劣化的問題。

此外，在蝕刻率方面，如圖 4-34 所示，可發現奈米孔洞二氧化矽薄膜之蝕刻率明顯的比一般緻密 SiO<sub>2</sub> 薄膜快了 3 倍以上，而經 HMDS 疏水化改質處理的薄膜，其蝕刻率會比未經處理的薄膜慢了 2 倍以上。因此，蝕刻速率與薄膜本身的碳含量有很大的關係。蝕刻率會隨著薄膜碳含量的增加而降低。

	蝕刻前	蝕刻後
As-calcined film	11	51
HMDS-treated film	10	37
As-baked film	X	15

單位:Å

表 4-2 各種薄膜於電漿蝕刻前及電漿蝕刻後其表面粗糙度比較表



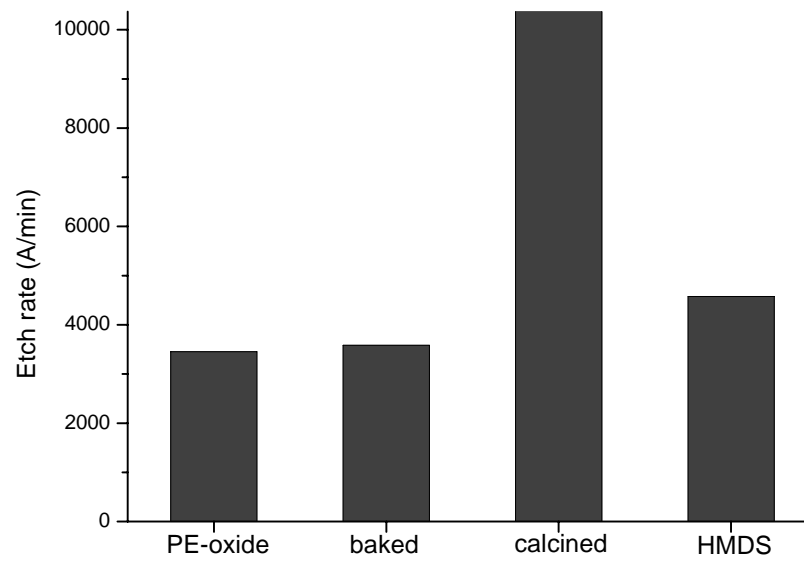


圖 4-34 各種薄膜之蝕刻速率比較圖



## 4.4 高密度電漿反應性離子蝕刻(HDP-RIE)製程之探討

本章節主要探討乾式蝕刻製程對於奈米孔洞二氧化矽薄膜的特性影響，並進行溝渠引洞結構圖案之蝕刻，以作為後續金屬鑲嵌結構及CMP等整合研究之基礎。在此，我們將利用高密度電漿反應性離子蝕刻系統(HDP-RIE)來進行奈米孔洞二氧化矽薄膜的接觸窗及引洞蝕刻。由於現行乾式蝕刻製程所使用的蝕刻氣體為 $\text{CF}_4$ 與 $\text{CHF}_3$ 等氟化碳氣體，為了能確定奈米孔洞 $\text{SiO}_2$ 低介電薄膜的實用性，研究中亦採以相同之蝕刻製程，並藉由改變蝕刻條件，如反應氣體、F/C比例、電漿功率、偏壓(bias)以及系統壓力等，來了解其對於奈米孔洞薄膜的影響。

### 4.4.1 探討不同的蝕刻參數對蝕刻性質之影響

在高密度電漿反應性離子蝕刻系統的參數方面，我們固定氣體總流量為 80 sccm。改變反應系統的電漿功率(ICP power)、偏壓(bias)、壓力以及氣體的組成( $\text{CHF}_3/\text{Ar}$ 、 $\text{CHF}_3/\text{CF}_4$ 的含量比例)來研究其對蝕刻過程的影響。觀察的對象包括蝕刻率、蝕刻殘留物( $\text{CF}_x$ )等。

#### 4.4.1.1 感應耦合式電漿功率(ICP power)對蝕刻的影響

圖4-35為ICP功率與薄膜蝕刻率之關係圖，可發現薄膜蝕刻率會隨著ICP功率的增加而增加。這是因為當ICP功率增加，使電子獲得更多的能量，並以螺旋式往復來回撞擊氣體分子，增加反應室內的電漿密度。因此，反

應氣體的解離率也會隨ICP功率上升而增加，進而提高自由基的濃度，故蝕刻速率會隨著ICP功率的上升而增加。另外，如圖4-35所示，可發現有經過HMDS疏水化改質處理的奈米孔洞二氧化矽薄膜，其蝕刻率會比未經HMDS疏水化改質處理的薄膜來的慢，造成此現象的原因係由於三甲基矽化奈米孔洞二氧化矽薄膜會於蝕刻過程中受到氫離子轟擊的影響，進而造成薄膜內部分的Si-CH<sub>3</sub>及C-H鍵結斷鍵。這些斷鍵的碳氫物種會從薄膜表面脫附(desorbed)出來，因而增加反應腔體內的碳含量並降低F/C比，進而降低薄膜的蝕刻率。

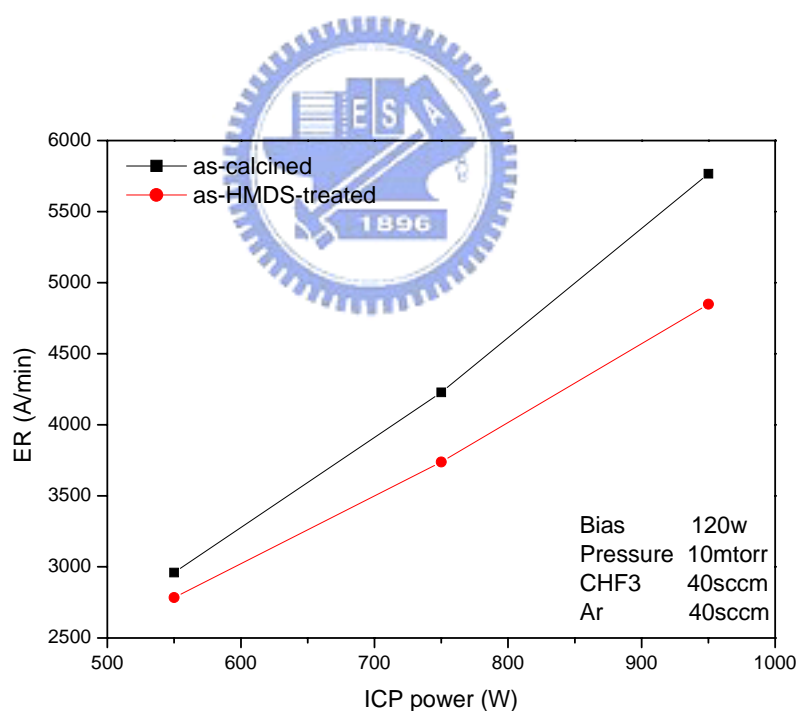


圖4-35 改變電漿功率對薄膜蝕刻率之關係

#### 4.4.1.2 偏壓功率(Bias power)對蝕刻的影響

偏壓功率與薄膜蝕刻率之關係如圖4-36所示，可發現薄膜蝕刻率會隨著偏壓功率的增加而增加。這是因為隨著偏壓功率的增加，電漿中離子所獲得的轟擊能量也隨之增加，進而助長蝕刻的效果，所以蝕刻速率會隨著偏壓功率的增加而增加。

#### 4.4.1.3 系統壓力對蝕刻的影響

圖4-37為系統壓力與薄膜蝕刻率之關係圖，可發現薄膜蝕刻率會隨著系統壓力的增加而減少，此結果可由化學性與物理性蝕刻兩方面來作說明。就化學性蝕刻方面，因為當系統壓力的增加時，會縮短電子的平均自由路徑(mean free path)，使電子獲得較少的能量<sup>[61]</sup>。所以當這些低能的電子和分子碰撞時，打斷化學鍵並產生自由基的機率降低，而這些自由基可能在還沒擴散到薄膜表面時就已經先和電子先結合，進而減少薄膜的蝕刻率。而在物理性蝕刻方面，隨著系統壓力的增加，會縮短離子的平均自由路徑，使離子獲得較少的能量，降低離子轟擊的效果，進而減少薄膜的蝕刻率。

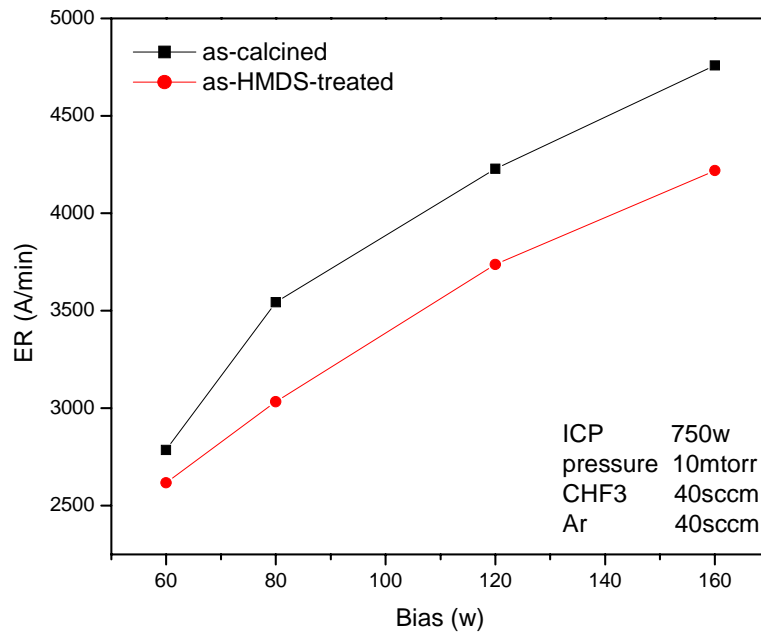


圖4-36 改變偏壓功率對薄膜蝕刻率之關係

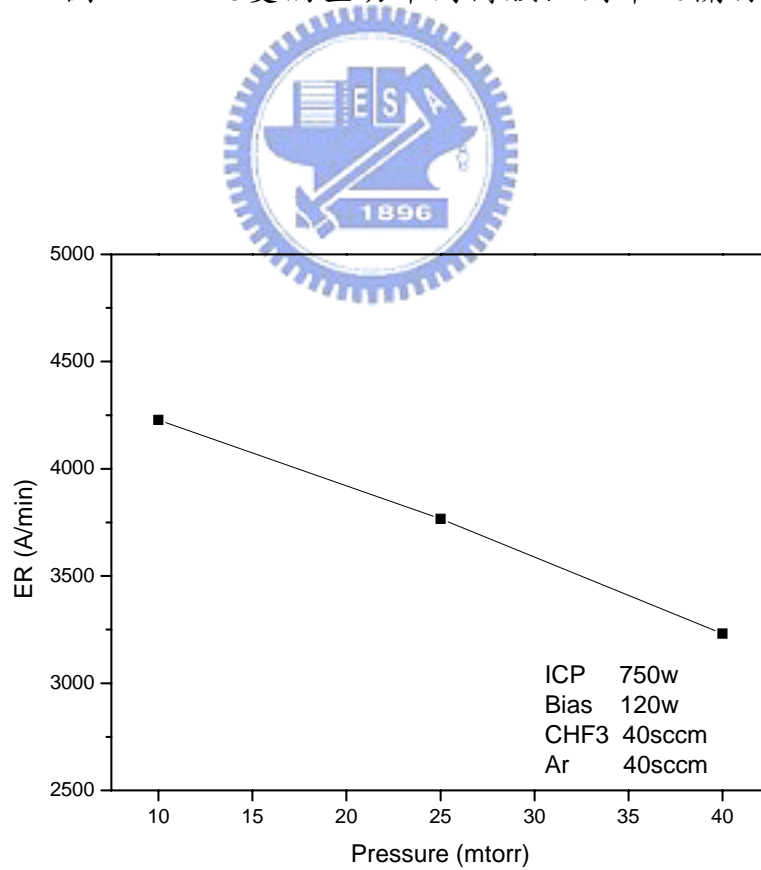


圖4-37 改變系統壓力對薄膜蝕刻率之關係

#### 4.4.1.4 蝕刻氣體配比( $\text{CHF}_3/\text{Ar}$ )對蝕刻的影響

$\text{CHF}_3/\text{Ar}$  氣體配比對薄膜蝕刻率的影響可由圖4-38之關係圖來作說明。剛開始隨著 $\text{CHF}_3$ 加入的量越多，薄膜蝕刻率跟著增加，一直到 $\text{CHF}_3/\text{Ar}$  氣體配比為50%時，蝕刻速率達到最大並有接近飽和的趨勢。造成此現象的原因係由於在未通入 $\text{CHF}_3$ 於製程反應室時，蝕刻的效果僅由氬離子轟擊試片表面而使材料從表面脫離出來，這是一種純物理性蝕刻，故其薄膜蝕率很低<sup>[43-45]</sup>。然而，隨著 $\text{CHF}_3$ 加入的量越多，即增加了化學性蝕刻的效果，故其薄膜蝕刻率明顯地提升。

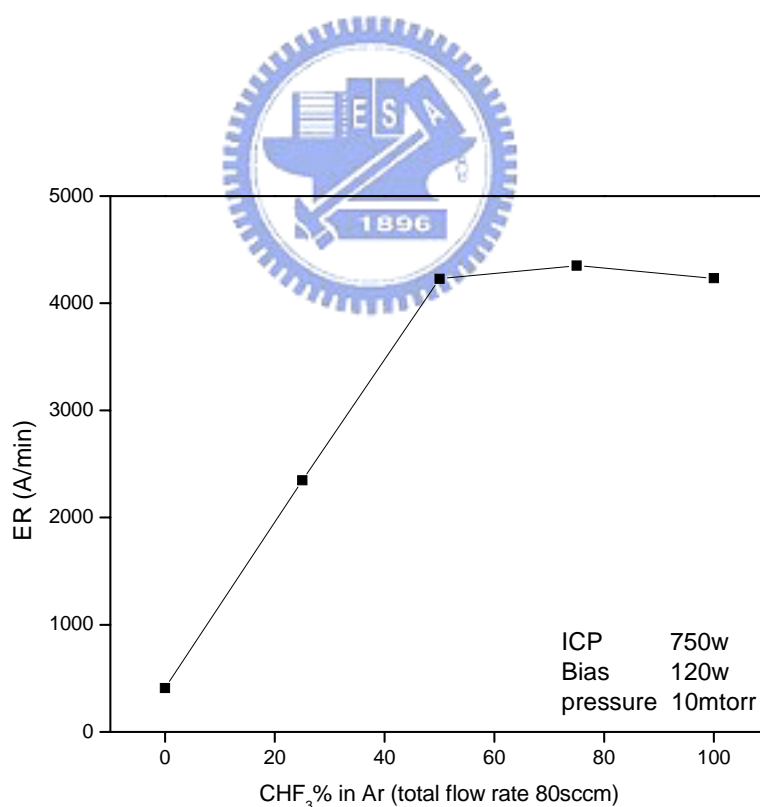


圖 4-38 蝕刻氣體配比( $\text{CHF}_3/\text{Ar}$ )對薄膜蝕刻率之關係

#### 4.4.1.5 蝕刻氣體配比( $\text{CF}_4/\text{CHF}_3$ )對蝕刻的影響

$\text{CF}_4/\text{CHF}_3$ 氣體配比對薄膜蝕刻率的影響結果如圖4-39所示，可發現隨著 $\text{CF}_4$ 加入的量越多，薄膜蝕刻率跟著增加。這是因為加入 $\text{CF}_4$ 氣體將可提升反應室內F/C的比例，因此其蝕刻的效果會比聚合的效果來的顯著，故加快薄膜的蝕刻率。

圖4-40為奈米孔洞二氧化矽薄膜經 $\text{CF}_4/\text{CHF}_3$ 為蝕刻氣體之蝕刻製程後的FTIR光譜圖，其中在 $1200\text{-}1700\text{ cm}^{-1}$ 處為 $\text{C-F}_x$  ( $x=1, 2, 3$ )的IR吸收光譜訊號<sup>[62]</sup>。在經 $\text{CHF}_3$ 為蝕刻氣體之蝕刻製程後，可發現會有 $\text{C-F}_x$ 的訊號產生，顯示於蝕刻過後會有碳氟聚合物形成在試片上。然而，若是經由 $\text{CF}_4/\text{CHF}_3$ 為蝕刻氣體之蝕刻製程後，則並沒有 $\text{C-F}_x$ 的訊號產生。造成此現象的原因係由於 $\text{CF}_4$ 氣體本身的F/C比例較大，是一種低聚合性的蝕刻氣體，故於蝕刻過程中較不會有 $\text{CF}_x$ 聚合物沉積在薄膜表面以及孔壁上，也因此能加快薄膜的蝕刻率(圖4-39)。另外，關於 $\text{CF}_x$ 聚合物的沉積，亦可用化學分析電子儀(ESCA)來加以分析，其結果如圖4-41所示。於圖中我們可發現奈米孔洞二氧化矽薄膜經HDP-RIE蝕刻後會有F1s的訊號產生，同時Si2p、O1s的訊號強度相較於未蝕刻前明顯地減弱，這是由於ESCA是一種對表面極為靈敏的分析工具，其分析的深度大約為 $50\text{\AA}$ ，因此當薄膜表面披覆一層很薄的碳氟聚合物時，其所偵測到奈米孔洞二氧化矽薄膜的Si2p、O1s訊號量就會相對明顯地減少。過去的文獻中亦有人發現蝕刻後會有碳氟聚合物形成在二氧化



矽薄膜表面，且多孔性的表面更易使之生成<sup>[48]</sup>。其主要是由於在HDP-RIE的過程中，碳氟電漿的聚合與蝕刻是同時進行的。在某些條件下，聚合速率將大於蝕刻速率，因此形成碳氟聚合物。此一現象於高密度電漿的環境下更易發生，並常用以進行高深寬比的蝕刻製程。另一方面，於圖中亦可發現利用 $\text{CF}_4/\text{CHF}_3$ 為蝕刻氣體來蝕刻奈米孔洞二氧化矽薄膜，其C以及F的訊號強度明顯地比僅用 $\text{CHF}_3$ 為蝕刻氣體要來的微弱，此亦顯示利用低聚合性的蝕刻氣體對薄膜作蝕刻，於蝕刻後在薄膜表面以及孔壁上所沉積的碳氟膜相對上比較薄。

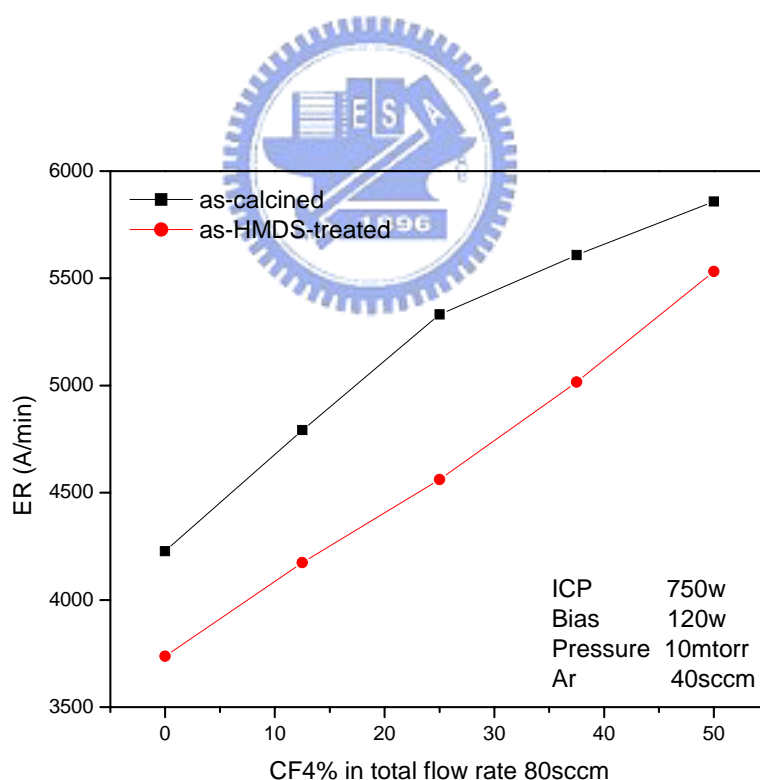


圖 4-39 蝕刻氣體配比( $\text{CF}_4/\text{CHF}_3$ )對薄膜蝕刻率之關係

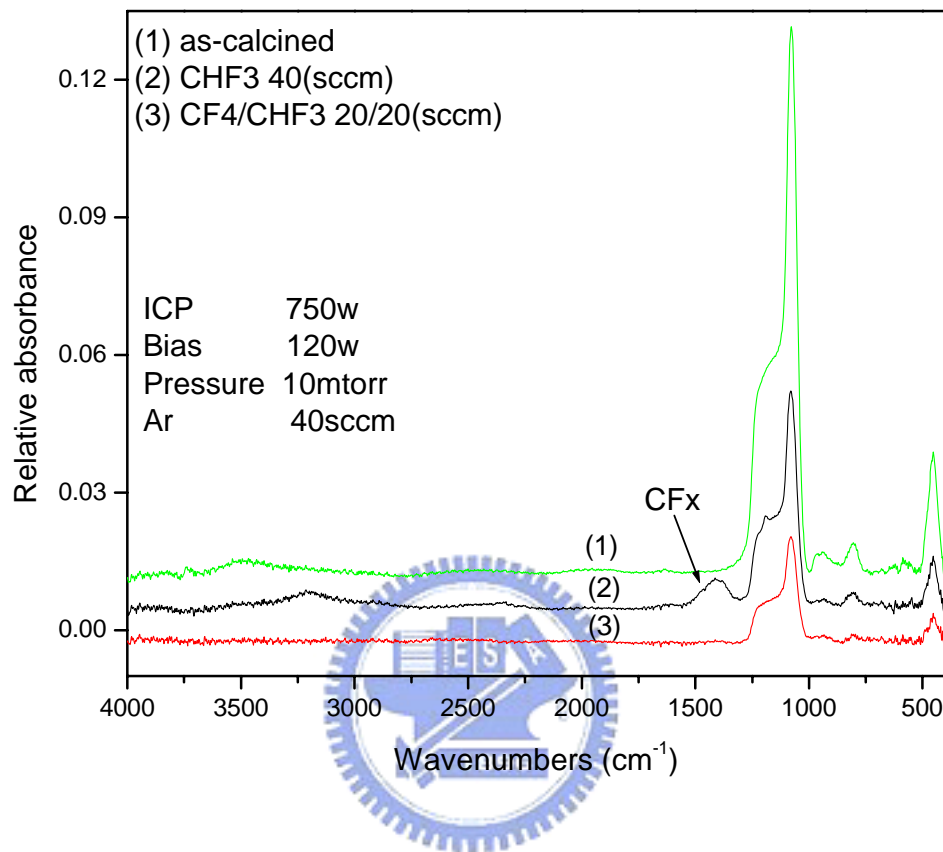


圖4-40 奈米孔洞二氧化矽薄膜經CF<sub>4</sub>/CHF<sub>3</sub>為蝕刻氣體之蝕刻製程後FTIR  
光譜圖

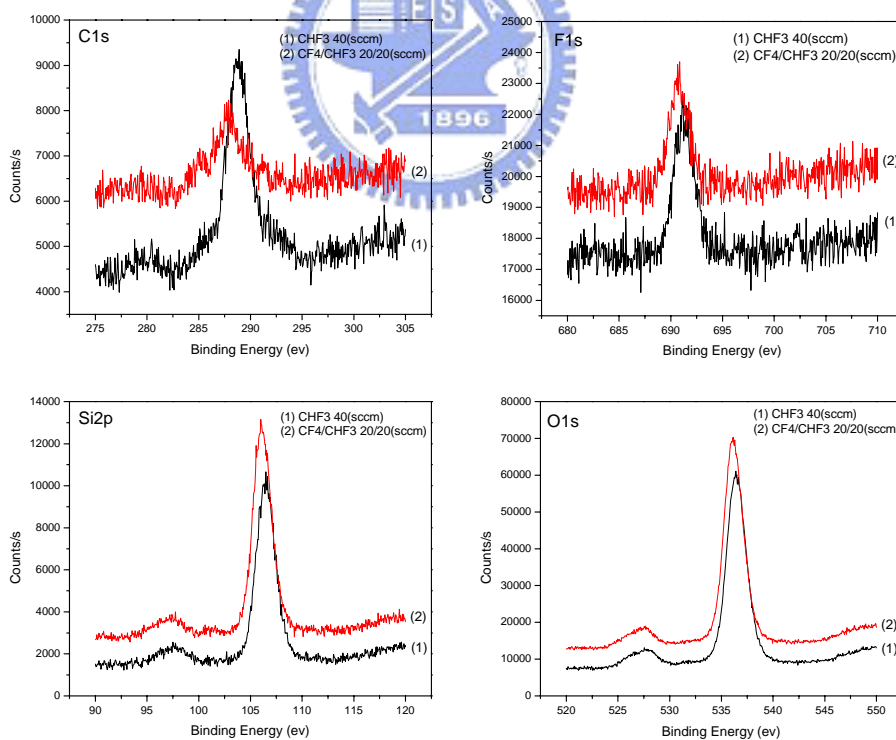
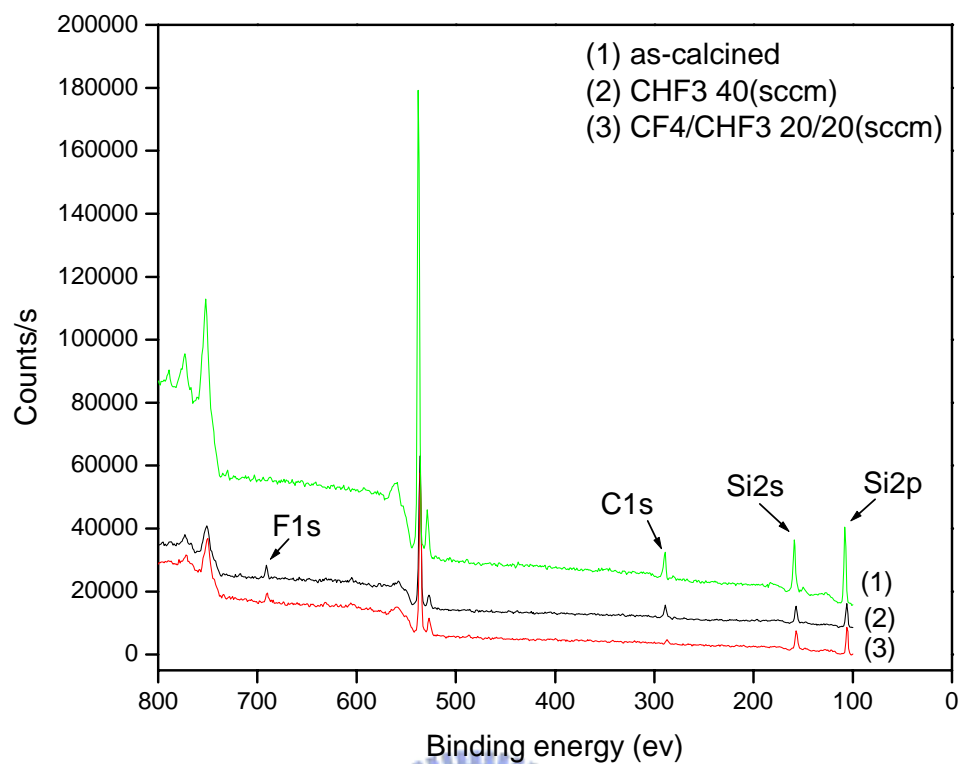


圖 4-41 奈米孔洞二氧化矽薄膜經 $\text{CF}_4/\text{CHF}_3$ 為蝕刻氣體之蝕刻製程後

ESCA能譜圖

#### 4.4.2 製備厚膜以蝕刻出高深寬比之溝槽

於 4-1-1 節中，我們所製備的奈米孔洞二氧化矽薄膜，其膜厚約為 2500 Å。而在此節中，我們欲沉積厚度為 1 μm 的奈米孔洞二氧化矽膜。其製備方式與 4-1-1 節中的方式類似，同樣將添加模板分子的二氧化矽前驅物溶液以旋轉塗佈的方式沉積於矽晶片上，接著經過乾燥、烘烤等步驟移除薄膜內的溶劑，使孔洞性二氧化矽的骨架結構得以初步的穩定。接著同樣在利用旋塗的方式將添加模板分子的二氧化矽前驅物溶液旋塗於孔洞性二氧化矽薄膜上，在經過乾燥、烘烤等步驟移除第二層薄膜內的溶劑。如此重複此步驟，將可快速製備出膜厚較厚的薄膜。然而，此時薄膜內的模板分子尚未被移除，因此最後仍須經由煅燒處理將薄膜內的模板分子移除，並形成膜厚較厚的奈米孔洞二氧化矽薄膜，其煅燒後的 SEM 剖面影像如圖 4-42 所示，薄膜厚度約 1 μm。

我們亦利用 AFM 觀察經煅燒製程後的薄膜表面，以鑑定薄膜的表面粗糙度，其結果如圖 4-43 所示。結果顯示依此一方式所製備膜厚較厚的奈米孔洞二氧化矽薄膜，其薄膜表面仍相當平整，擁有良好的平坦度(Rms~6.1 Å)。

圖 4-44 為利用 HDP-RIE 所蝕刻出具高深寬比溝槽的 SEM 影像，蝕刻參數如表 4-3 所示。

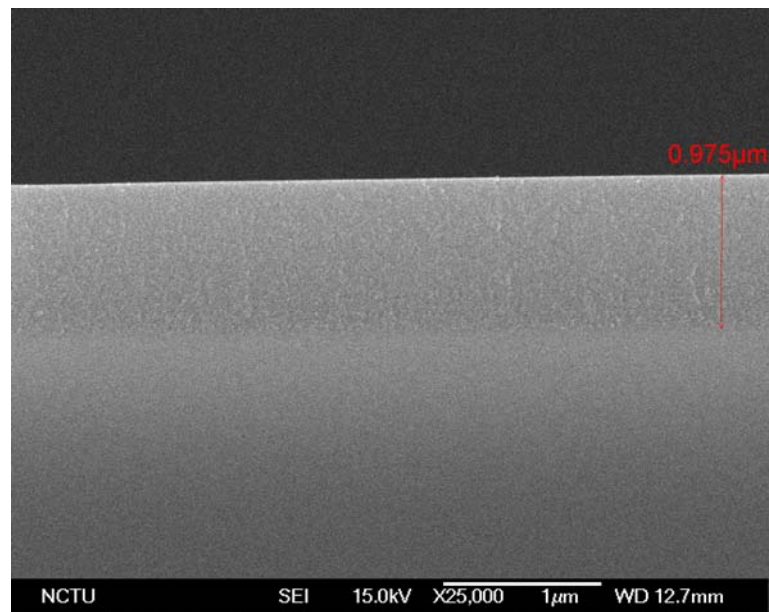


圖4-42 以SEM觀察厚的奈米孔洞二氧化矽膜的試片斷面

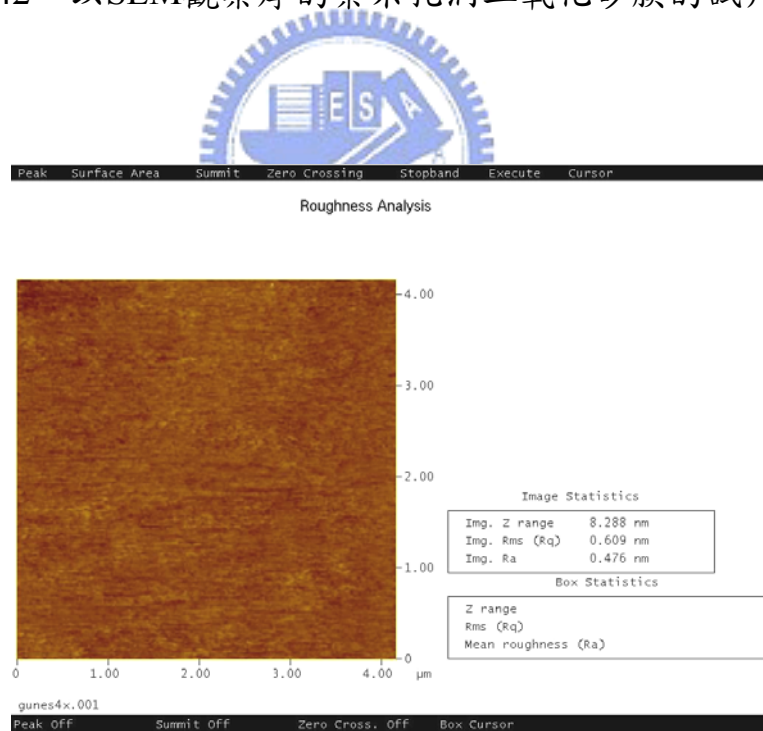
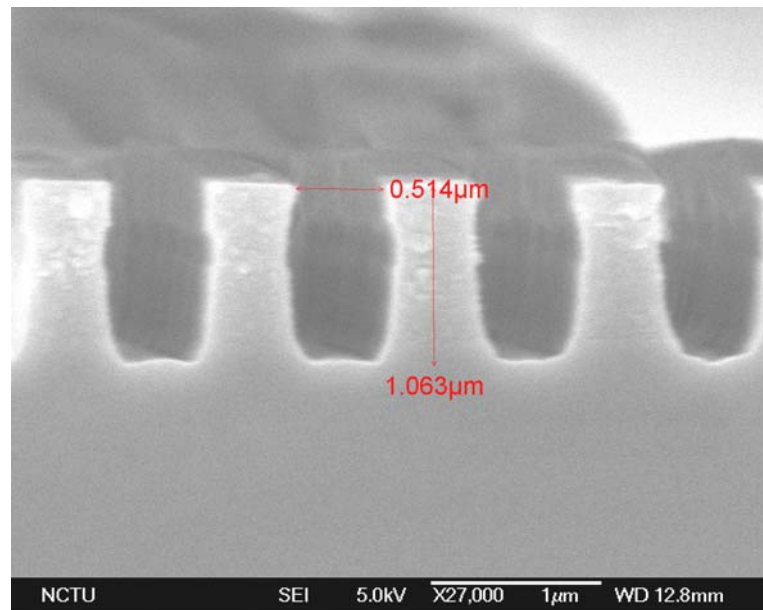


圖4-43 以AFM觀察厚的奈米孔洞二氧化矽膜的表面形貌

(a)



(b)

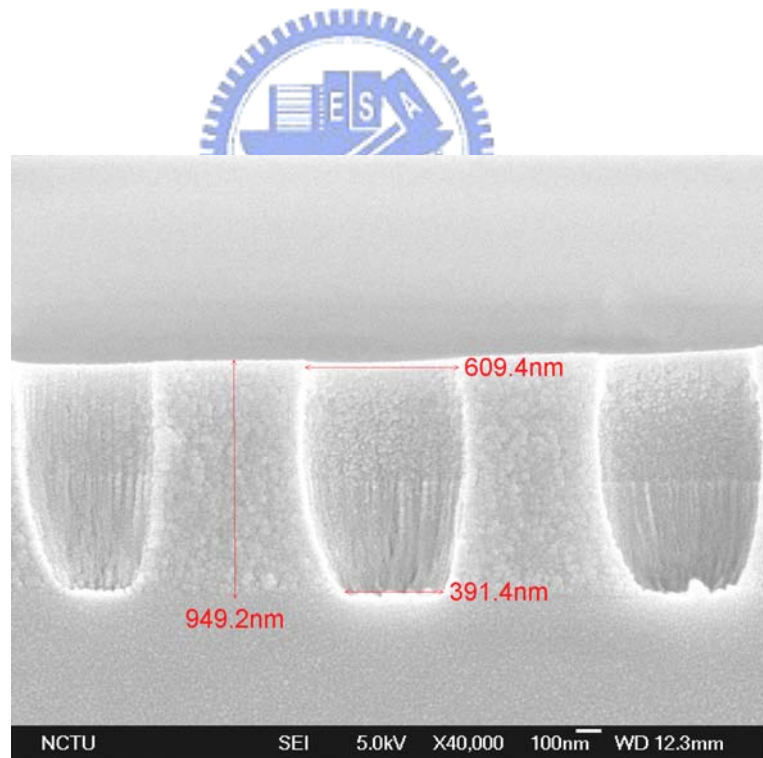


圖4-44 經HDP-RIE 蝕刻出具高深寬比 (a) Trench、(b) Via 的SEM 影像

ICP (W)	750
Bias (W)	120
Pressure (mtorr)	10
CHF3 (sccm)	40
Ar (sccm)	40

表4-3 HDP-RIE之蝕刻參數





## 第五章 結論

本研究主要利用 RIE 對奈米孔洞二氧化矽薄膜進行乾式蝕刻，藉由改變反應氣體、F/C 比例、電漿功率、偏壓以及系統壓力等蝕刻條件，探討奈米孔洞二氧化矽薄膜在不同之蝕刻環境下的乾蝕刻特性，並進行溝渠引洞結構圖案之蝕刻，以作為後續金屬鑲嵌結構及 CMP 等整合研究之基礎。此外，亦驗證臭氧電漿氧化法於蝕刻後同時移除模板分子與光阻的可行性，以大幅縮短製程時間。研究之主要結果包括：

1. 利用臭氧電漿氧化處理取代傳統的爐管加熱煅燒製程所製備的奈米孔洞二氧化矽薄膜，其薄膜的性質皆與經由爐管加熱煅燒製程所製備的薄膜相似，仍具有良好的特性。然而整體的製程時間將可大幅縮短為數分鐘，且製程可在低溫下進行，更能符合半導體製程快速與低溫的需求。
2. 以臭氧電漿氧化處理移除奈米孔洞二氧化矽薄膜上之光阻，對於薄膜的表面粗糙度及孔洞排列的規則性影響不大，但會使得薄膜收縮形成較緻密的結構，降低其薄膜孔隙率及膜厚。並且由於臭氧電漿處理會對多孔性薄膜造成破壞而產生一些鍵結不完全之懸鍵於薄膜中，因此使得多孔性薄膜變得較不安定，易吸附環境中之水氣。於研究中我們已成功地利用  $O_3$  氧化法同時進行模板分子及光阻移除，進而達成製程簡化的目的，並且藉由此製程步驟改善上述之缺點。

3. 電漿蝕刻製程會嚴重地破壞薄膜表面的平坦度及孔洞排列的規則性，亦會造成三甲基矽化奈米孔洞二氧化矽薄膜內部分的Si-CH<sub>3</sub>及C-H等疏水性鍵結的斷鍵，進而劣化薄膜經三甲基矽化改質後的疏水特性。研究結果顯示，利用模板分子於蝕刻後才進行臭氧煅燒移除的方式，將能有效改善原先於蝕刻製程上所衍生出薄膜性質劣化的問題。

4. 在蝕刻率方面，可發現奈米孔洞二氧化矽薄膜之蝕刻率明顯地比一般較為緻密的PE-SiO<sub>2</sub>薄膜快了 3 倍以上，而經HMDS疏水化改質處理的薄膜，其蝕刻率會比未經處理的薄膜慢了 2 倍以上。因此，蝕刻速率與薄膜本身的碳含量有很大的關係，蝕刻率會隨著薄膜碳含量的增加而降低。

5. 利用CF<sub>4</sub>/CHF<sub>3</sub>為蝕刻氣體來蝕刻奈米孔洞二氧化矽薄膜，於蝕刻後在薄膜表面以及孔壁上所沉積的碳氟膜相對上比較薄，薄膜的蝕刻率也較為快速。其原因主要是由於加入CF<sub>4</sub>氣體後，將使得反應室內的F/C比增加，因此碳氟膜較不易生成，故能加快薄膜的蝕刻率。

奈米孔洞介電膜雖被普遍認為是次 65 nm技術所需的ultralow-*k*介電薄膜，然而其多孔洞特性所衍生諸多與銅製程整合的困難尚未有明顯的解決方案，因此是否可以應用於生產線上，仍待對奈米孔洞介電膜製程技術的積極研發。如奈米孔洞SiO<sub>2</sub>介電膜的蝕刻、洗淨、化學機械研磨等，為目前

所能預見最具挑戰性的IC製程模組整合。未來的研究方向，首重與雙鑲嵌結構的整合，若能就奈米孔洞SiO<sub>2</sub>薄膜進行化性與物性的改質，封閉表層孔洞，或改良現行銅製程條件與方式或連線結構，避開可能的製程瓶頸，將可降低奈米孔薄膜在整合應用上的困難度。此外，利用原子層化學氣相沉積(ALCVD)取代物理氣相沉積(PVD)成長諸如TaN等擴散阻障層及銅晶種層，是未來銅金屬連線製程技術的趨勢。因此，將多孔性SiO<sub>2</sub>薄膜與ALCVD技術整合於銅雙鑲嵌結構製程中，繼續進行奈米孔洞SiO<sub>2</sub>薄膜的銅製程技術整合研究，為我們未來的研究重點之一。



## 參考文獻

1. S. Bothra, B. Rogers, M. Kellam, *IEEE Transactions on Electr. Dev.*, 40, 591 (1993).
2. T. Homma, *Mater. Sci. Eng.*, 23, 243 (1998).
3. D. Edelstein et al., *Tech. Dig.* 376 (1997).
4. Havemann, R. H., *Low-Dielectric Constant Material IV, MRS Symp. Proc.*, 511, 3-14 (1998).
5. *International Technology Roadmap for Semiconductors (ITRS)*, 2004 edition (<http://public.itrs.net/>).
6. P. Atkins and J. de Paula, *Atkins' Physical Chemistry*, 7<sup>th</sup> ed. (Oxford University Press, New York, 2002).
7. S. O. Kasap, *Principles of Electrical Engineering Materials and Devices* (McGraw-Hill, New York, 1997), Chap. 7.
8. K. J. Miller, H. B. Hollinger, J. Grebowicz, and B. Wunderlich, *Macromolecules*, 23, 3855 (1990).
9. 陳耀騰，低介電材料簡介，塑膠資訊，專題報導，1-9 頁，民國 88 年。
10. Tetsuo Matsuda, M. J. Shapiro, *DUMIC Conference*, p. 22 (1995).
11. Takashi Fukada, Takashi Akahori, *International Conference on solid State Devices and Materials*, p. 158 (1993).
12. Y. J. Mei, T. C. Chang, S. J. Chang, *Thin Solid Films* 308-309, 501 (1997).
13. K. Maex, M. R. Baklanov, *J. Appl. Phys.*, 93, 8793 (2003).
14. W. C. Liu, C. C. Yang, *Non-Cryst. Solids*, 311, 233 (2002).
15. N. P. Hacker, J. S. Drage, *VMIC Conference*, p. 138 (1995).
16. Joanne Y. Chee, James S. Drage, *VMIC Conference*, p. 128 (1995).

17. Mckerrow, A. and Ho, P., *In Low Dielectric Constant Materials and Interconnects Workshop Proc.*, 199, (1996).
18. R. N. Vrtis, K. A. Heap, W. F. Burgoyne, L. M. Robeson, *VLSI Multilevel Interconnection Conference*, p. 620 (1997).
19. S. C. Sun and Y. C. Chuang, *VLSI Multilevel Interconnection Conference*, p. 113 (1996).
20. 顧子琨，電子月刊，第五期第六卷，117-133 頁，民國 88 年。
21. A trademark of Dow Chemical (<http://www.dow.com>).
22. P. H. Townsend, S. J. Martin, J. Godschal, D. R. Romer, D. W. Jr. Smith, D. Castillo, R. DeVries, G. Buske, N. Rondan, S. Froelicher, J. Marshall, E. O. Shaffer, and J. H. Im, *Mater. Res. Soc. Symp. Proc.*, 476, 9 (1997).
23. M. E. Mills, P. Townsend, D. Castillo, S. Martin, and A. Achen, *Microelectron. Eng.*, 33, 327 (1997).
24. H. Y. T. Hayashi, *Appl. Phys. Lett.*, 72, 21 (1998).
25. D. Chao, P. Yang, N. Melosh, J. Feng, F. Chmelka, G. D. Stucky, *Adv. Mater.*, 10, 1380 (1998).
26. M. Antonietti, B. Berton, C. Goltner, H. P. Hentze, *Adv. Mater.*, (1997).
27. 陳麗梅，多孔低介電常數材料，電子月刊，第七期第四卷，130-137 頁。
28. S. S. Prakash, C. J. Brinker, A. J. Hurd, *J. Non-Cryst. Solids*, 190, 264 (1995).
29. C. M. Jin, J. D. Luttmer, D. M. Smith, T.A. Ramos, *MRS Bull*, 22(10), 39 (1997).
30. D. M. Smith, J. Anderson, C. C. Cho, G. P. Johnston, S. P. Jeng, *Mater. Res. Soc. Symp. Proc.*, 381, 261 (1995).
31. H. S. Yang, S. Y. Choi, S. H. Hyun, H. H. Park, J. K. Hong, *J. Non-Cryst. Solids*, 221, 151 (1997).

32. S. Acosta, A. Ayrar, C. Guizard, C. Lecornec, G. Passemard, and M. Moussavi, *Mater. Res. Soc. Symp. Proc.*, 612, D5.26.1 (2000).
33. S. Acosta, A. Ayrar, C. Guizard, C. Lecornec, G. Passemard, and M. Moussavi, *Mater. Res. Soc. Symp. Proc.*, 612, D5.26.1 (2000).
34. S. V. Nitta, V. Pisupatti, A. Jain, P. C. Wayner, Jr., W. N. Gill, and J. L. Plawsky, *J. Vac. Sci. Technol. B*, 17, 205 (1999).
35. T. Ramos, K. Roderick, A. Maskara, and D. M. Smith, *Mater. Res. Soc. Symp. Proc.*, 443, 47 (1997).
36. A. M. Buckley and M. Greenblatt, *J. Non-Cryst. Solids*, 143, 1 (1992).
37. D. Zhao, P. Yang, N. Melosh, J. Feng, B. F. Chmelka, G. D. Stucky, *Adv. Mater.*, 10, 1380 (1998).
38. Y. Lu, R. Ganguli, C. A. Drewien, M. T. Anderson, C. J. Brinker, W. Gong, Y. Guo, H. Soye, B. Dunn, M. H. Huang, J. I. Zink, *Nature*, 389, 364 (1997).
39. C. J. Brinker, Y. Lu, H. Fan, and C.S. Sriram, *Abstracts of the 1999 MRS Spring Meeting*, April 5-9, p. 237.
40. S. Baskaran, J. Liu, K. Domansky, X. Li, N. Kohler, G. Fryxell, S. Thevuthasen and R.E. Williford, *ibid*, p.237.
41. C. J. Brinker, Y. Lu, A. Sellinger, and H. Fan, *Adv. Mater.*, 11, 579 (1999).
42. C. J. Brinker and G. W. Scherer, *Sol-gel Science* (Academic Press, San Diego, 1990).
43. 羅正忠，張鼎張譯，半導體製程技術導論，歐亞圖書有限公司 (2002).
44. 施敏，半導體元件物理與製作技術，國立交通大學出版社 (2002).
45. 陳力俊，微電子材料與製程，中國材料科學學會 (2000).
46. T. E. F. M. Standaert, M. Schaepkens, N. R. Rueger, P. G. M. Sebel, G. S. Oehrlein, and J. M. Cook, *J. Vac. Sci. Technol. A*, 16, 239 (1998).
47. T. E. F. M. Standaert, P. J. Matsuo, S. D. Allen, G. S. Oehrlein, and T. J.



- Dalton, *J. Vac. Sci. Technol. A*, 17, 741 (1999).
48. T. E. F. M. Standaert, E. A. Joseph, G. S. Oehrlein, A. Jain, W. N. Gill, P. C. Wayner, Jr., and J. L. Plawsky, *J. Vac. Sci. Technol. A*, 18, 2742 (2000).
49. T. E. F. M. Standaert, C. Hedlund, E. A. Joseph, G. S. Oehrlein, and T. J. Dalton, *J. Vac. Sci. Technol. A*, 22, 53 (2004).
50. H.-H. PARK, M.-H. JO, H.-R. KIM, S.-H. HYUN, *J. Mater. Sci. Lett.*, 17, 2083 (1998).
51. 汪建民，材料分析，中國材料科學學會 (1998).
52. 趙立德，奈米孔洞低介電常數材料在半導體製程整合上之研究，國立清華大學，碩士論文，民國 90 年。
53. Bharat Bhushan “Handbook of micro/nano tribology” 2<sup>nd</sup>(2000).
54. E. E. Simonyi, K. W. Lee, R. F. Cook, E. G. Liniger, and J. Speidell, *Mat. Res. Soc. Symp. Proc.*, 511, 157 (1998).
55. W. C. Oliver et. al, *J. Mater. Res.*, 7 (6), (1992).
56. L. W. Hrubesh and J. F. Poco, *Mater. Res. Soc. Symp. Proc.*, 371, 195 (1995).
57. Kee-Won, Changsup Ryu, Robert Sinclair, *Appl. Phys. Lett.*, 75(7), 935 (1999).
58. R. J. Glexiner, W. D. Nix, *J. Appl. Phys.*, 86(4), 1932 (1999).
59. C. C. Cho, D. M. Smith, J. Anderson, *Mater. Chem. Phys.*, 42, 91 (1995).
60. E. O. Shaffer et. al, *Mater. Res. Soc. Symp. Proc.*, 612, (2000).
61. 伍秀菁編輯，真空技術與應用，國科會精儀中心 (2001).
62. Henry Gerung, C. J. Brinker, Steven R. J. Brueck, *J. Vac. Sci. Technol. A*, 23(2), 347 (2000).