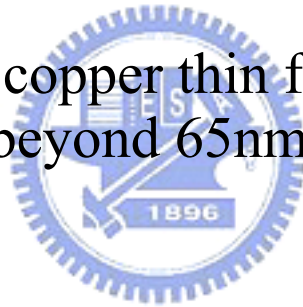


國立交通大學
材料科學與工程學系碩士班
碩士學位論文

微電子 65 奈米世代後
銅薄膜阻抗係數之探討

The study of copper thin film resistivity for
applications beyond 65nm technology node



研究生：傅子豪

指導教授：呂志鵬 博士

中華民國九十五年七月

微電子 65 奈米世代後銅薄膜阻抗係數之探討

The study of copper thin film resistivity for applications beyond 65nm
technology node

研 究 生：傅子豪

Student：Zi Hau Fu

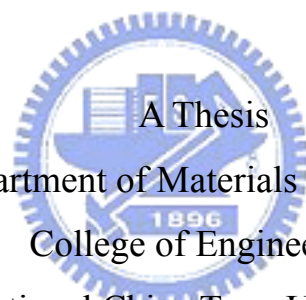
指導教授：呂志鵬 教授

Advisor：Dr. Jihperng (Jim) Leu

國立交通大學

材料科學與工程學系

碩士論文



Submitted to Department of Materials Science and Engineering
College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master

in

Materials Science and Engineering

July 2006

Hsinchu, Taiwan, Republic of China

中華民國九十五年七月

微電子 65 奈米世代後銅薄膜阻抗係數之探討


研究生：傅子豪

指導教授：呂志鵬 博士

國立交通大學

材料科學與工程學系碩士班

摘要



當電子元件繼續隨著 Moore 定律從 0.25 μm 世代縮小至 65 nm 世代時，銅導線的阻抗係數呈非線性增加，如此對 RC (電阻 x 電容) 延遲有負面影響。基本上銅阻抗係數增高可能經由下列數種不同的散射機制：(1) 表面散射: 由銅界面上表面粗糙度與蝕刻造成的粗糙度引起，(2) 晶粒大小改變引起的間界散射，(3) 缺陷與雜質散射。本論文研究乃利用平面式薄膜疊層來探討各散射的貢獻，其第一目的是探討晶粒大小造成的晶界散射，對阻抗係數上升所造成的影響，第二目的是在固定晶粒大小的情況下來研究表面散射所造成的影響，實驗已成功驗證在線寬 90 nm 時晶界散射乃是造成阻抗係數上升的主要原因，但是在線寬縮小到 60 nm 後，表面散射的比例也逐漸爬升。

The study of copper thin film resistivity for applications beyond 65nm technology node

Student : Zi-Hau Fu

Advisor : Dr. Jihperng (Jim) Leu

Department of Materials Science and Engineering
National Chiao Tung University

ABSTRACT

As device continues scaling down to 65 nm node, the copper line resistance is seen to rise non-linearly, which has negative impact on RC delay. Fundamentally, several parameters may contribute to the copper resistivity increase through different scattering mechanisms such as (1) surface scattering arisen from surface roughness (2) grain boundary scattering by smaller grain size, and (3) defect and impurity scattering. Our research efforts have focused on blanket film stack to understand the scattering contributions. The objective of this study is to quantify the impacts of grain size for grain boundary scattering. The other objective of this study is to quantify the impact of surface scattering by keeping the grain size the same in various film thicknesses. Grain boundary play important role in resistivity increase for thickness between 200 nm and 90 nm, while surface scattering effect become more important for thickness below 60 nm node and below.

誌 謝

時光飛逝，二年時間的碩士生涯也不知不覺的走到盡頭，感謝呂志鵬老師在這兩年中的諄諄教誨，讓我學習到很多做人應對的方式，實驗上也建立了正確的態度，讓我從 work hard 轉移到 work smart，這一個過程將對我的未來人生產生決定性的變化，我知道一開始的懵懂與無知肯定造成老師許多困擾與麻煩，在實驗室的建構上未能給予老師很多貢獻是一直深感遺憾的地方，看著實驗室從一開始的只有幾個人到現在的人滿為患，在這之間雖然辛苦，但努力過的回憶是最美好的，真的十分感謝老師這兩年對我的包容與教導。再來感謝摯友牧龍與元辰的相互扶持，也感謝學長國原、昱涵於實驗討論上的幫助，最後感謝學弟車胤在實驗上的幫助。

在論文主題的研究與實驗進行上，首先感謝國科會贊助的研究經費(NSC94-2216-E009-008)讓實驗進行能夠順利，接著要特別感謝聯華電子(UMC)的許嘉麟經理以及陳述仁，陳志仙等人，因為有你們的幫忙與建議，所以才能順利完成試片配製上最困難的部份，才有辦法順利的完成此論文探討的主題。

目 錄

摘 要	i
ABSTRACT	ii
誌 謝	iii
目 錄	iv
表目錄	vi
圖目錄	vii
第一章 前言	9
第二章 文獻回顧	11
2.1 半導體產業的演進	11
2.2 介電材料	15
2.2.1 介電材料之定義	15
2.2.2 低介電材料之需求	16
2.3 金屬化製程	18
2.3.1 金屬導線之演變	18
2.3.2 銅金屬沉積的方式	19
銅金屬沉積的方式主要有 :	19
2.3.3 銅導線引進之衝擊	20
2.4 銅導線之物理極限	24
2.4.1 Mean free path	25
2.4.2 Temperature coefficient of the resistivity (TCR).....	27
2.4.3 Matthiessen's Rule.....	29
2.4.4 Electron- surface and sidewalls scattering.....	30
2.4.5 Grain boundary scattering.....	32
2.4.6 Impurities scattering	34
2.5 量測技術介紹	35
2.6 研究動機	37

第三章 實驗方法與步驟	40
3.1 實驗構想與流程大綱	40
3.1.1 實驗構想	40
3.1.2 實驗流程大綱	41
3.2 各組試片配製方法	42
3.2.1 總散射機制之配製方法	42
3.2.2 晶界散射機制之試片配製方法	43
3.3 實驗儀器原理介紹	45
3.3.1 電子顯微鏡(electron microscope , EM)	45
3.3.2 四點探針 (Four point probe ; FFP)	47
3.3.3 展阻量測系統(Spreading Resistance Probe ; SRP)	49
3.3.4 聚焦離子束(Focus Ion Beam ; FIB)	51
第四章 結果與討論	53
4.1 材料性質分析與量測	53
4.1.1 四點探針量測	53
4.1.2 TEM 與 SEM 測量	53
4.1.3 FIB 測量	56
4.2 實驗數據討論與分析	57
4.2.1 晶粒分布與數據分析	57
4.2.2 總散射機制之阻抗係數與厚度關係	59
4.2.3 表面散射試片之阻抗係數與厚度關係	64
4.2.4 散射機構對阻抗係數的影響	71
4.2.5 展阻量測系統之應用	72
第五章 結論與未來展望	75
參考文獻	78



表目錄

表 2.1	低介電材料之各種性質需求	17
表 2.2	常見的幾種 Ta-N 系統的相、結構及其電阻率	23
表 2.3	半導體常用金屬之 MFP 值比較	26
表 2.4	FFP 系統與 SRP 系統對薄膜穿刺性之比較	36
表 4-1	晶粒大小分布與膜厚關係對照表	57



圖目錄

圖 2.1	莫爾法則預測之半導體成長趨勢	12
圖 2.2	金屬導線間距 (pitch) 與 Interconnect Delay 的關係圖	12
圖 2.3	內連接導線示意圖	13
圖 2.4	半導體金屬化製程之示意圖。	14
圖 2.5	平行板電容示意圖。	15
圖 2.6	2005 ITRI 預測未來 10 年 K 值下降趨勢	17
圖 2.7	(A) 鋁合金導線製程與 (B) 銅金屬 Dual damascene 製程介紹。	21
圖 2.7	阻抗係數隨線寬的縮小呈非線性上升	25
圖 2.8	銅塊材之阻抗係數對溫度之影響	27
圖 2.9	不同線寬之電鍍銅導線其阻抗係數對溫度之影響	28
圖 2.10	散射機制示意圖	29
圖 2.11	電子在導線中傳遞與表面發生碰撞	30
圖 2.12	Fuchs and Sondheimer 公式對於阻抗係數上升的預測值	31
圖 2.13	模擬界面粗糙度對阻抗係數上升的影響	31
圖 2.14	電子在導中傳遞與晶界發生碰撞	32
圖 2.15	Mayadas and Shatkes 公式對於阻抗係數上升的預測值	33
圖 2.16	電子在導線中傳遞時的示意圖	37
圖 2.17	電鍍銅金屬層(193 nm, $\rho=2.3 \mu\Omega\text{-cm}$)	39
圖 2.18	電鍍銅金屬層(1.11 μm , $\rho=1.88 \Omega\text{-cm}$)	39
圖 3.1	阻抗係數隨長寬比改變而變化	40
圖 3.2	實驗流程簡圖	41
圖 3.3	晶界散射機制之試片示意圖	44
圖 3.4	表面散射機制之試片示意圖	44
圖 3.5	SEM 構造示意圖	46
圖 3.6	四點探針構造示意圖	48
圖 3.7	SRP 操作示意圖	50
圖 3.8	交大貴儀中心之 SSM150 系統	50
圖 3.9	聚焦離子束顯微鏡(FIB)示意圖	52
圖 4.1(a)	80 nm 的 PVD Cu film	54
圖 4.1(b)	20 nm 的 PVD Cu seed + 40 nm ECP Cu film	54
圖 4.1(c)	100 nm PVD Cu film	55
圖 4.1(d)	100 nm ECP Cu film	55
圖 4.2(a)	Top View form SEM	56
圖 4.2(b)	Top View from FIB	56

圖 4.3	晶界散射機制之阻抗係數與厚度關係	59
圖 4.4(a)	100 nm PVD Cu film grain size = 0.4-0.6 μm	61
圖 4.4(b)	120 nm PVD Cu film grain size = 0.6-1.0 μm	61
圖 4.4(c)	150 nm PVD Cu film grain size = 0.6-1.3 μm	62
圖 4.4(d)	200 nm PVD Cu film grain size = 1.2-1.5 μm	62
圖 4.5	Thermal Oxide 在 AFM 下量測，其 RMS 約 0.5 nm.....	63
圖 4.6	表面散射機制之阻抗係數與薄膜厚度關係圖	64
圖 4.7(a)	40 nm ECP Cu film, grain size = 1.5-2.5 μm	66
圖 4.7(b)	80 nm ECP Cu film, grain size = 1.5-2.5 μm	66
圖 4.7(c)	100 nm ECP Cu film, grain size = 1.5-2.5 μm	67
圖 4.7(d)	150 nm ECP Cu film, grain size = 1.5-2.5 μm	67
圖 4.8	100 nm ECP Cu film.....	68
圖 4.9	ECP copper 在兩個不同退火條件下之阻抗係數比較	69
圖 4.10(a)	150 nm ECP copper film, grain size=1.0-1.5 μm	70
圖 4.10(a)	40 nm ECP copper film, grain size=1.0-1.5 μm	70
圖 4.11	三種條件下之阻抗係數值比較.....	71
圖 5.1	後段連接銅導線 (trench + via)之橫截面圖.....	77



第一章 前言

高科技時代由於對 IC 元件輕薄短小的要求，以及近年來半導體製程技術進步快速，在現今的 IC 製程中金屬導線的線徑，由 1990 年代初期開始的線寬 $1\ \mu\text{m}$ [1]，逐漸縮小到 $0.35\ \mu\text{m}$ 、 $0.25\ \mu\text{m}$ 、 $0.18\ \mu\text{m}$ 、 $0.13\ \mu\text{m}$ ，以至於目前的 $0.065\ \mu\text{m}$ 。然而，元件尺寸不斷的縮小，元件速度的提昇的同時，電路導線的設計也朝多層的結構發展。因此也造成電阻-電容延遲(RC delay)，造成整體元件時間的延遲，為了降低電阻-電容延遲的現象，半導體產業朝引入低介電材料與更換金屬導線材料兩大方向來解決問題，由於銅金屬和鋁金屬相比而言具有較低的阻抗係數與更好的電遷移阻抗力，當銅金屬導線被引用至半導體元件之初，伴隨而來的是銅金屬與傳統的蝕刻氣體反應後，無法形成揮發性物質，但這個問題已隨著 IBM 公司於 1998 年發展出的大馬士革法配合化學機械研磨法 (CMP)的發展而解決 [2]，另外銅金屬易擴散和與低介電材料(FSG)間附著性不佳等問題，也伴隨著鈦與鉭等金屬合金阻障層之引用而解決，所以從 0.18 微米世代起受半導體業界(比如 IBM 公司)採用於後段連接，此一材料的改變可以增加元件操作速度達 30%，但是當電子器件繼續隨著 Moore 定律從 90 奈米世代縮小至 65 奈米世代時到未來的 45 奈米世代時，銅導線的阻抗係數呈非線性增加，如此對電阻-電容延遲(RC delay)延遲有著明顯的負面影響。造成導線在 90 奈米以下時所產生非線性阻抗係數上升的機制尚未完全被了解，但我們可知阻抗係數上升是無法避免的趨勢，我們必須去了解實際的機制進而找出減緩斜率上升的方法。本實驗設計目的在於探討各理論機制實際上對於銅阻抗細數上升造成

的影響，學者研究指出，銅阻抗係數增高可能是經由下列數種不同的散射機制：(1) 表面散射：由銅界面上表面粗糙度與蝕刻造成的列線粗糙度引起，(2)晶粒間界散射，(3)缺陷與雜質散射。當電鍍銅/PVD 銅籽/Ta/TaN 擴散阻擋疊層中銅列線寬度與銅的電子傳導平均自由徑 (39 奈米)相當時，我們可以預期在導線結構中銅阻抗係數會顯著的增高。以上三種主要機制會同時影響阻抗係數，然而，因為具圖案的列線結構在製程上的變異及非均勻性與列線寬度變異，實驗上很難對上述機制之個別貢獻作定量評估。本實驗便轉移到利用平面式薄膜疊層來探討各散射的貢獻，本實驗的主要目的在於評估各散射機制對阻抗係數上升之影響



第二章 文獻回顧

2.1 半導體產業的演進

隨著科技不斷的進步以及積體電路技術的快速發展，半導體元件的設計都朝著細微化及高速度化兩方面來發展，由於一個元件從矽晶圓製造到成品，一般要經過數百道不同的製程步驟，所以元件設計細微化可在相同面積下的晶圓，生產出更多的元件，以降低製造成本。而元件設計高速度化，可以提昇產品的功能，進而提高產品在市場上的競爭力，由於元件細微化，單一晶片上電子元件的密集度也會不斷的增加，再加上電路連接複雜，單一金屬導線層已經無法滿足線路設計的需求，所以在製程中會製作數層導線金屬層，來負責元件與外界間彼此訊號的傳遞，這種導線多層化製程也就是所謂的多層金屬內連導線製程，自從引進後。大幅降低了生產成本，由於技術進步與需求上升，前幾年半導體產業的發展大致上隨著如圖 2.1 所示的莫爾法則(Moore's law) [3]前進，當製程技術開始邁入次微米世代，在元件尺寸不斷的縮小，元件速度的提昇的同時，由於線寬的縮小，加上多層結構的配線增加了導線的長度，使得金屬導線的總電阻值大幅上升，當線寬縮小到 $0.25\ \mu\text{m}$ 時，訊號的傳遞速度已不再被元件開關的速度所控制而是被金屬導線傳遞的快慢所決定，而影響金屬導線傳遞訊號的快慢，主要是來自多層金屬內連導線之結構，多層金屬導線引起的訊號延遲主要是來自於金屬導線間所形成的電容效應，稱為 RC 延遲，就元件設計方面而言，雖然元件的速度依照閘極尺寸縮小而提升，但是晶片之總效能卻被內連線速度所限制住，如圖 2.2 [4]，所示，內連接導線示意如圖 2.3 所示

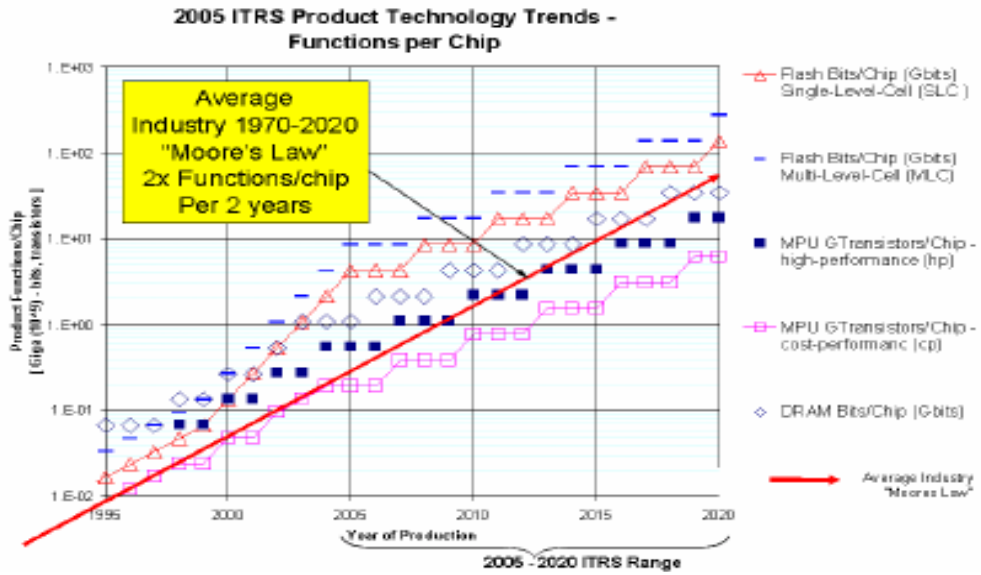


圖 2.1 莫爾法則預測之半導體成長趨勢 [3]

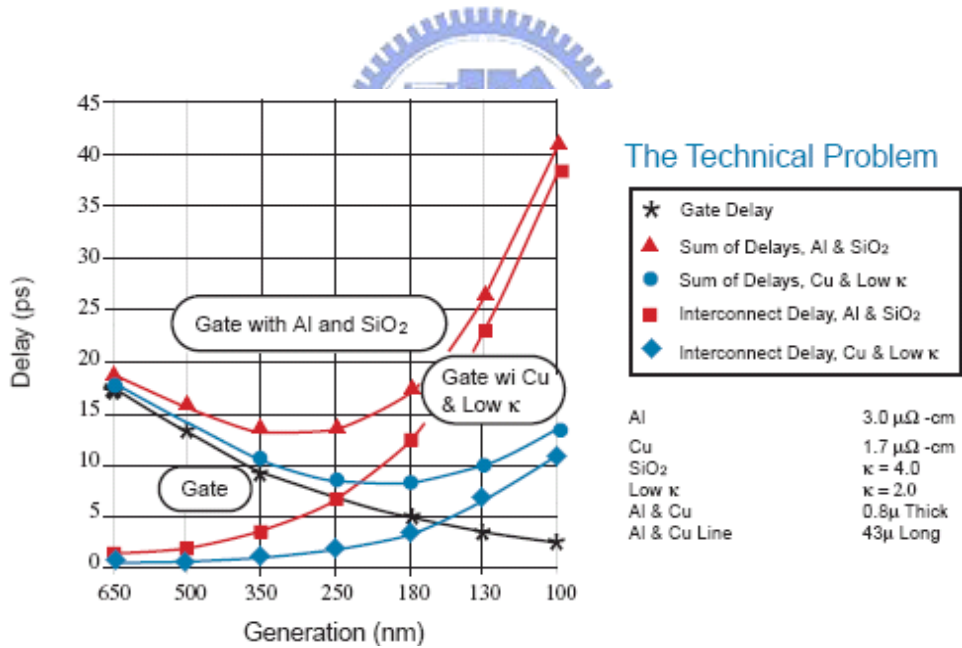


圖 2.2 金屬導線間距 (pitch) 與 Interconnect Delay 的關係圖 [4]

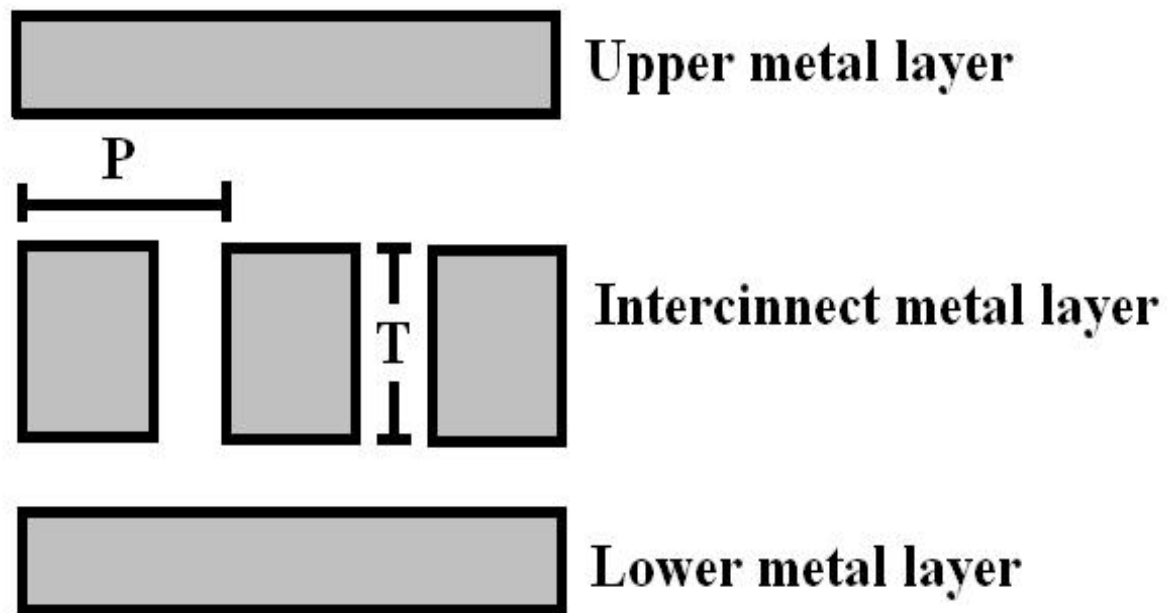


圖 2.3 內連接導線示意圖

內連線造成的時間延遲 (RC delay) 如式 2.1 [5]:

$$Delay = 2 \times \rho \times \epsilon_0 \times \kappa \left(\frac{4L^2}{P^2} \times \frac{L^2}{T^2} \right) \dots \dots \dots (2.1)$$

(2.1)式中 ρ 為金屬導線之電阻率， ϵ_0 為真空介電 (8.85×10^{-12} F/m)， κ 為導線間介電值之介電係數， L 、 T 、 P 分別代表為金屬導線的長度、厚度以及線寬，由(2.1)式中我們可以看出，當導線長度增加或寬度減少時，內連線造成的延遲將會快速上升，基於生產成本考量，我們可以預期未來的元件技術一定是朝多層導線與縮小線寬兩方面前進，圖 2.2 也指出若考慮此延遲效應，繼續縮小線寬的策略將不利於效能的提升，自 1999 年以來，更先進的元件技術已不符合摩爾定律的預期，為了達到輕薄短小的需求，以及降低元件的生產成本，且達成效能提升的要求，對於材

料及製程解決途徑而言，最直接簡單的方法便是降低金屬導線材料的阻抗係數(ρ)，或者降低介電材料之介電值(κ)兩方面著手。

積體電路的製程技術主要包含有金屬導線、介電層、擴散障礙金屬層的沉積與蝕刻以及化學機械研磨。圖 2.4 是金屬與 Low K 材料之示意圖。以下章節會分別介紹各製程之重要性。

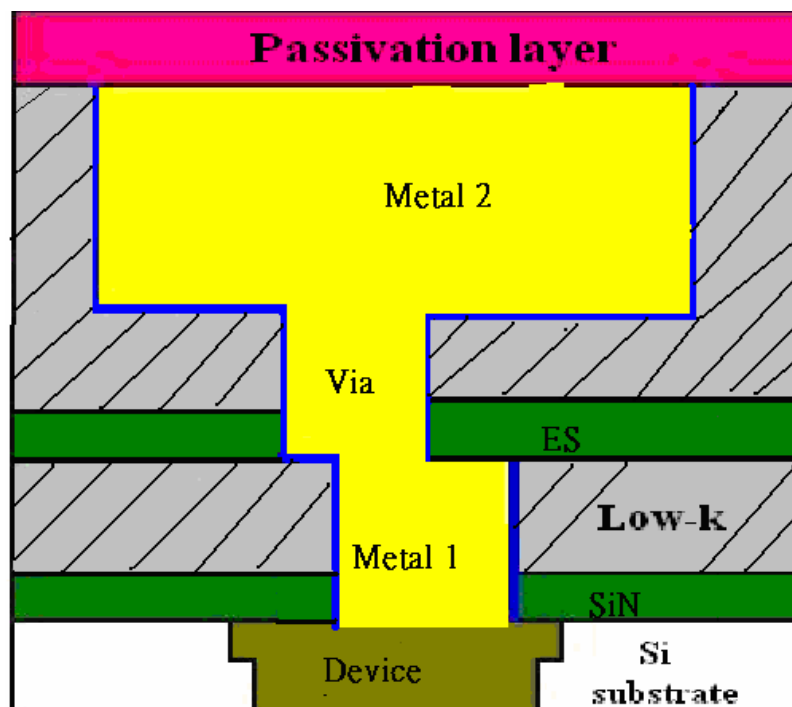


圖 2.4 半導體金屬化製程之示意圖。

2.2 介電材料

2.2.1 介電材料之定義

如下圖 2.5，將一絕緣物質置於兩平行電極中，當我們對此系統施加一固定電壓時，由於此物質受到電場的影響，物質內部會發生極化而產生出淨電偶極矩，因此會有電荷在平行電極上累積，而造成電容效應，具有上述特性的物質我們就稱為介電材料 (dielectric material)，而介電材料受到電場極化的程度，我們稱為該材料的介電性質，其介電性質的大小，通常是以介電常數 (dielectric constant, ϵ) 來代表。而介電常數的定義為將該物質置於兩平行板電極間，在一定電壓下產生與兩電極板間呈真空狀況下所量測之電容比值。介電常數越高，代表兩電極板間的電容(capacitance, C) 值會越大。

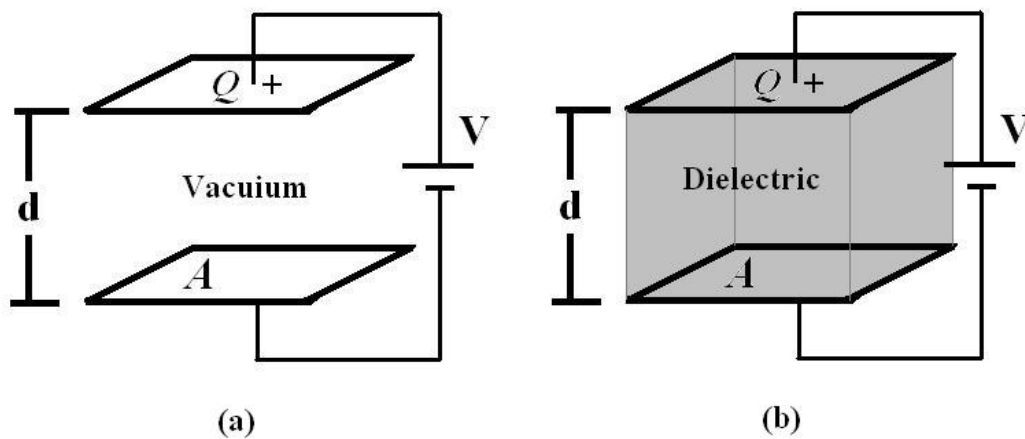


圖 2.5 平行板電容示意圖。

2.2.2 低介電材料之需求

在半導體製程中，由於所使用的大部分皆為矽晶片，因此在 IC 元件的製造中採用容易製造及有良好絕緣效果的二氧化矽做為介電層的材料。然而，當電路的設計越來越密，金屬導線的間距越來越小時，所造成的電容值也隨之增加。因此利用擁有較低之介電常數之介電層材料來取代二氧化矽($k=3.9-4.2$)，以降低由於介電層的電容值所造成的時間延遲。引入低介電材料的同時更有效的減少層間交互干擾之雜訊對 Si 射頻元件而言亦為一關鍵性之技術 [6-7]，而低介電材料，由於在電場之影響下，本身受到極化的效應會很小，因此不易在金屬電極上累積電荷，產生電容效應。假如我們在半導體多層金屬化製程中之金屬與金屬層間導入低介電材料，由於受到低介電材料不易極化的關係，金屬層間之電容效應會減小，因而會降低電容效應所導致的訊號延遲。基於上述，使用於內連接導線的低介電材料不僅其介電常數要低，它還必須具有良好的覆蓋能力、高崩潰電壓、低針孔密度、低薄膜內應力以及良好的平坦性。表 2-1 是低介電材料應用在半導體製程上其電氣性質、化學性質、機械性質及熱性之要求的特性 [8]，圖 2.6 為 2005 ITRI 預測未來 10 年 k 值下降趨勢 [9]。目前在新一代的低介電材料($k < 2.4$)的研發中，多採用多孔性低介電材料，然而截至目前為止在多孔性介電材料之整合上已發現幾個重要問題，如孔洞尺寸太大造成可靠度問題，另在蝕刻後介電層的表面粗糙度會直接影響 RC 值，還有介電層與化學藥品的相容性，更重要的是孔洞性材料的鬆散結構對機械性質的衝擊，所以如何將低介電材料整合入製程乃是當今重要的課題之一。

表 2.1 低介電材料之各種性質需求 [8]

Electrical	Chemical	Mechanical	Thermal
Low dielectric constant	Chemical resistance	Good adhesion	High thermal stability
Isotropic property	Low moisture uptake	High hardness	Low CTE
Low dissipation	Low solubility in water	High elastic modulus	Low thermal shrinkage
Low leakage current	Low gas permeability	Low stress	Low thermal weight loss
Low charge trapping	High purity	Low shrinkage	High thermal conductivity
High electric-field strength	Etch selectivity	Thickness uniformity	
high reliability	No metal corrosion	Crack resistance	
	Long storage life		
	Environment safe		

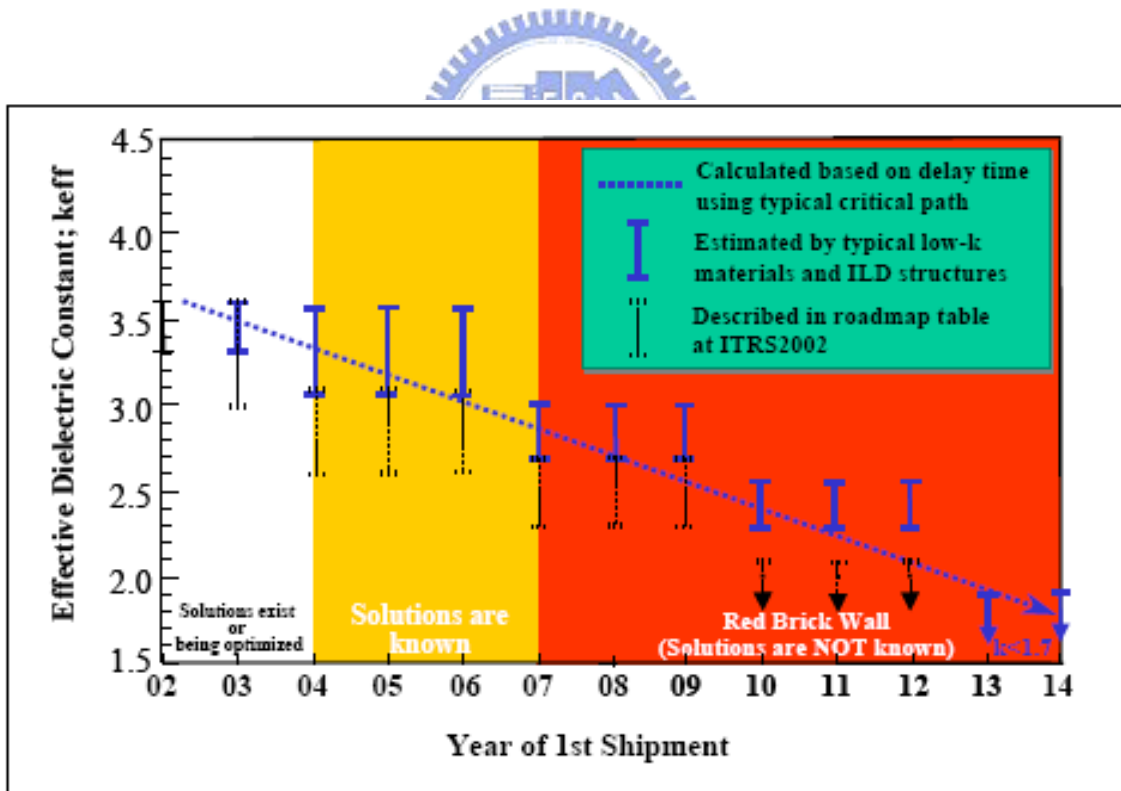


圖 2.6 2005 ITRI 預測未來 10 年 K 值下降趨勢 [9]

2.3 金屬化製程

2.3.1 金屬導線之演變

在半導體金屬化製程中，金屬導線主要是負責元件與外界間彼此訊號的傳遞，由於訊號的傳遞是講求快速，因此低電阻係數之金屬是選擇導線材料之最主要考量點，傳統上由於鋁金屬具有極低的電阻係數並且容易蝕刻，使得鋁成為半導體金屬化製程中常用之導線材料。然而矽在 400°C 左右對鋁會產生反應而形成 spiking 現象 [10]，因此為避免此現象的產生，一般製程都是以鋁矽或是鋁銅合金材料作為金屬導線。承如前述，當半導體技術發展到深次微米時，由於導線在傳遞電流訊號時，導線層間的電容效應，會是影響電流訊號傳遞快慢的主要因素。由於電流訊號的傳遞是與金屬導線的電阻係數有關，要想降低訊號傳遞的延遲，其中的一種方法就是降低金屬導線的電阻係數。如此，意味著鋁金屬導線亦漸漸不適用於深次微米多層金屬化之製程。選擇新的導線材料，除了首先要考慮材料本身的電阻係數之外，另一更重要因素是抗電子遷移效應。其對抗電子遷移效應的能力亦所謂電子遷移效應，簡單來說，就是金屬原子受到溫度與電子風的加乘效應，造成金屬原子移動之現象。而影響抗電子遷移效應能力的優劣，主要是材料本身之電阻係數、熔點及導熱係數。一般而言，電阻係數低的材料，由於電子運動時其阻力較小，所以能降低焦耳熱效應所造成的加熱；熔點高的材料，本身的結構比較穩定，所以能抵抗較強的電子遷移效應；而導熱性較佳的材料，能很迅速將導線因焦耳熱效應所產生的熱量帶走，因此能降低導線溫度。由於銅金屬不論在電阻係數(Cu： $1.67\ \mu\Omega\text{-cm}$ ，Al： $2.66\ \mu\Omega\text{-cm}$)、導熱性(Cu： $3.98\ \text{Wcm}^{-1}\text{K}^{-1}$ ，Al： $2.38\ \text{Wcm}^{-1}\text{K}^{-1}$)及熔點(Cu： 1085°C ，Al：

660 °C)皆優於鋁金屬 [11]，所以銅金屬抵抗電子遷移效應的能力要比鋁金屬優越很多 [12]。所以銅導線也慢慢的被發展用來取代鋁合金導線 [13-14]。

2.3.2 銅金屬沉積的方式

銅金屬沉積的方式主要有：

1.傳統式的物理汽相沉積(physical vapor deposition, 簡稱PVD) [15]，

物理汽相沉積技術主要是利用外加動能在靶材(target)上，靶材上的金屬原子因而會獲得能量，而離開靶材，進而沉積成薄膜於基材上。

2.化學汽相沉積(chemical vapor deposition, 簡稱 CVD) [16]，

化學汽相沉積技術則是將反應物質通入於反應器內，藉由化學反應以形成固態生成物而沉積於基材表面。由於化學汽相沉積技術能提供相當優異的階梯覆蓋率(step coverage)，但是因其先驅物質(precursor)價格昂貴且生成的銅膜含有大量的碳、氫有機雜質，所以電阻係數較高。

3.無電鍍(electroless) [17]，

無電鍍則是利用氧化還原的方式將銅沉積出來，由於其沉積速率相當慢，且容易在鍍膜中夾雜氫氣，影響鍍膜品質，因此並不適用於半導體製程。

4.化學電鍍法 [18]，

化學鍍銅則是利用外加電流強制將銅由陰極析出，由於其具有低成本、製程簡單、低溫製程以及高沉積速率等優點，使得這項技術已成為

沉積銅金屬導線以應用於半導體金屬化製程之主要技術之一。

2.3.3 銅導線引進之衝擊

銅導線發展之初也歷經許多問題阻礙:

I. 銅金屬不易進行乾式及濕式的蝕刻：

在銅製程中，由於傳統的活性離子蝕刻所使用的氣體(如氯化物及氟化物)與銅反應後所產生的蝕刻產物不具有高揮發性質，在常溫下無法有效的進行蝕刻，以致於圖形的製作困難。然而，International Business Machine Corp.(IBM)，在1997年時成功的推出大馬士革鑲嵌(Damascene)製程，率先將銅取代傳統半導體製程中使用之鋁合金，作為新一代之金屬導線 [2]。鑲嵌法不但解決了銅不易蝕刻的難題，利用化學機械拋光(Cheical Mechanical Polishing, CMP)也可以同時達到平坦化的效果。此一製程後來更進一步演變成雙鑲嵌(Dual damascene)製程，可同時製出導線層及栓塞(via)。下頁圖2.7即為雙鑲嵌製程與傳統鋁合金導線製程比較圖。化學機械研磨的方法是將圖形定義的區域，由金屬層轉移到介電層，當介電層完成蝕刻後，再以適當的沉積方式將銅金屬填入，最後再以化學機械研磨法來去除多餘的金屬，以達到平坦化的目的此外，在CMP研磨過程中，會產生大量的粒子，這些粒子主要來自於研磨液、研磨墊及晶片，對晶片都會造成一定程度的污染，隨著污染與蝕刻的問題逐漸被解決，銅導線便開始大量的被引進新一代的半導體製程技術中。

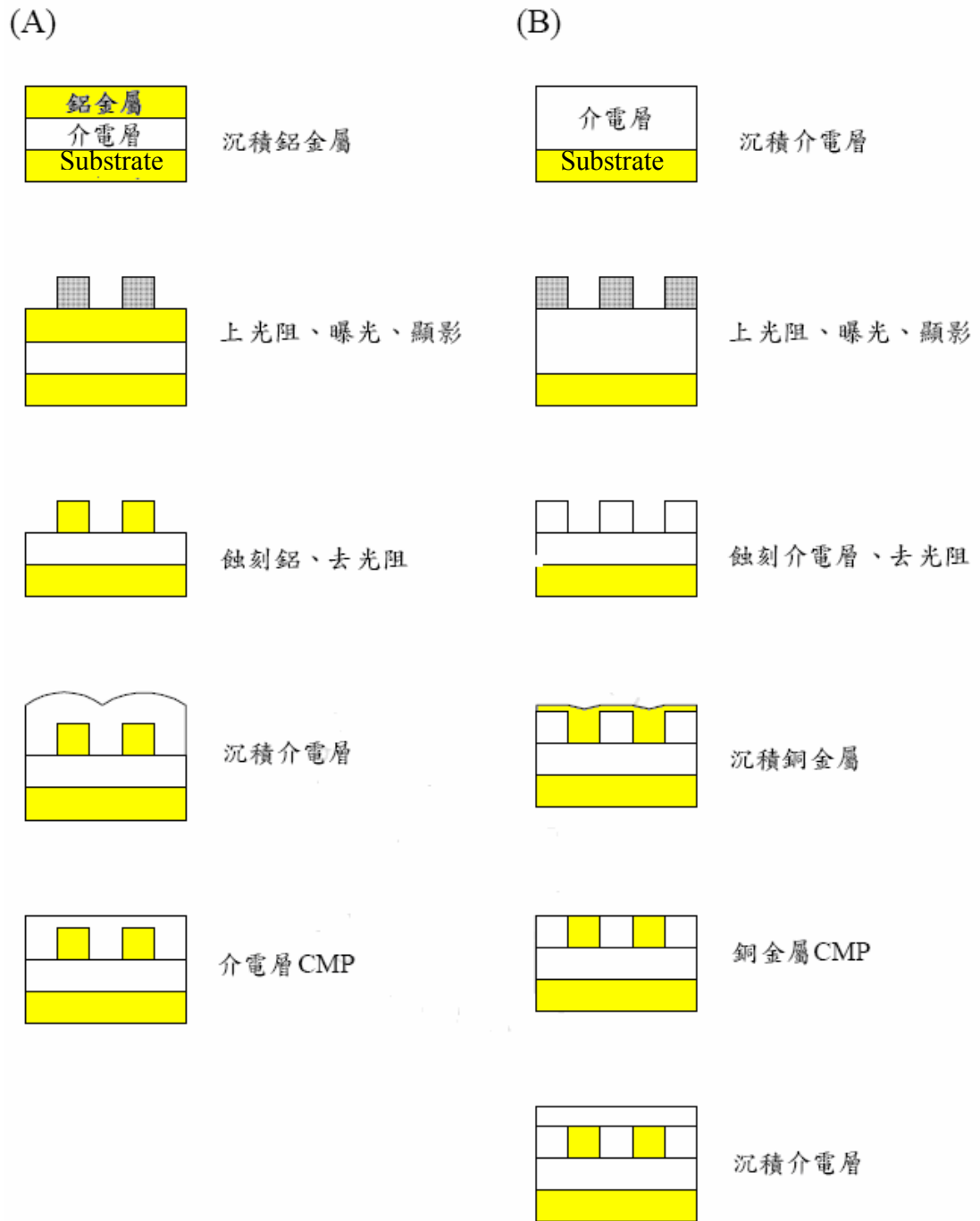


圖 2.7 (A) 鋁合金導線製程與 (B)銅金屬 Dual damascene 製程介紹。

II. 銅的擴散問題

在金屬化製程中，金屬導線層與金屬導線層間都是用介電材料來作為彼此間的阻隔，為了避免金屬導線與介電材料間附著性不良 [19]，以及導線中金屬原子擴散到介電層中而產生漏電或短路的現象 [20]，因此在導線層下會先沉積一層薄薄的金屬層以避免上述問題之產生，而這薄薄的金屬層則稱之為擴散阻障層。由於銅在矽晶片及二氧化矽中的擴散係數很高，擴散活化能僅約 0.43 eV 幾乎居所有主要金屬之末，因此銅原子極易擴散至矽元件中與矽發生反應，形成 Cu-Si 的反應物造成元件的失效。由文獻得知 [21]，當退火溫度到 200°C 以上時，在 Cu/Si 的界面就會有 Cu₃Si 矽化物的生成。因此，在沉積銅金屬之前，需先沉積一層擴散阻障層，以達到阻止銅擴散而形成 Cu-Si 的化合物。在擴散障礙金屬材的選擇方面，根據 Nicolet 在 1978 年針對多層薄膜之擴散障礙層所做的研究 [10]，一個優良的擴散障礙金屬層必須具有以下性質：(1) 較高的熱傳導係數，熱傳導係數高之材料其導熱性會較佳，能很迅速將材料內部因焦耳效應所產生的熱量帶走，可降低材料本身之溫度；(2) 較低的電阻係，擁有低電阻係數之材料，電子在材料內部運動時其阻力會較小，所以能降低焦耳效應之產生；(3) 較低的材料熱應力及機械應力，如此可減少因應力所產生的形變，以提高擴散障礙金屬層與相鄰材料之間的黏著性，此外，擴散障礙金屬層與相鄰材料還必須具有較低的反應性、穩定的熱化學性質以及相鄰材料對擴散障礙金屬層的穿透率要小等特性，對相同材料的阻障層而言，晶體結構亦為影響擴散阻障性能的主要原因之一，巨大等軸的柱狀晶體結構因為具有最單純、快速的晶界擴散路徑，所以為最差的阻障層，等軸微晶或是晶界鈍化阻障層因為具有較複雜的晶界擴散路徑，所以為較好的阻障層，非晶質或是單晶阻

障層因為缺少晶界擴散的路徑，所以為最好的阻障層 [22-23]。所以在銅製程中，我們必須選擇一種在高溫下能有效抑制銅金屬的擴散並且與銅金屬及介電材料都能具有良好的附著性，除此，銅(111)結晶方位是具有較佳的抗電子遷移能力，所以理想的擴散障礙層也必須要能誘使銅金屬生成較強的(111)結晶方位。Ta 及 TaN 由於跟銅的互溶度十分低，並且擁有較低的電阻率(Ta：20-150 $\mu\Omega\text{-cm}$ ；TaN：200-350 $\mu\Omega\text{-cm}$) [22]。因此，半導體產業對 TaN 擴散阻障層的研究也相對的增加。表 2.2 [24] 所示為常見的幾種 Ta-N 系統的相、結構及其電阻率。Ta₃N₅

表 2.2 常見的幾種 Ta-N 系統的相、結構及其電阻率 [24]

Compound	Structure	Resistivity ($\mu\Omega\text{-cm}$)
$\alpha\text{-Ta}$	B.C.C	20
$\beta\text{-Ta}$	H.C.P	150
Ta ₂ N	H.C.P	180
TaN	Hex(WC)	250-350
TaN	Cubic(NaCl)	200-300
Ta ₅ N ₆	Hex.	400-600
Ta ₄ N ₅	Tetragonal	>80
Ta ₃ N ₅	Tetragonal or monoclinic	6×10^6

III. 銅導線與介電層之粘著性差

由於銅導線與大部分的介電層之黏著性皆不佳。為了解決此一問題，在沉積銅金屬之前，先會在銅與介電層之間沉積一層附著促進層 (adhesion promoter)，以增加銅與介電層之間的附著性。在文獻中也有提出 [25-26]，在銅以及介電層間沉積一層 Ti 或 Ta，可以有效的增加銅與介電層之間的粘著性，為了兼顧黏著性與阻障層的效果，現在大多使用 Ta/TaN 之雙層結構作為銅的金屬阻障層。

2.4 銅導線之物理極限

隨著以上的問題逐漸被解決，銅導線開始被廣泛的應用在半導體製程中，但是隨著線寬尺寸逐漸的縮小，在 90 nm 以下的線寬製程中，我們可以發現阻抗係數隨著線寬的縮小而明顯的上升，如圖 2.7 所示[27]，將會分為以下六小節，詳細介紹其物理機制。

2.4.1 Mean free path

2.4.2 Temperature coefficient of the resistivity (TCR)

2.4.3 Matthiessen's Rule

2.4.4 Electron- surface and sidewalls scattering

2.4.5 Grain boundary scattering

2.4.6 Impurities scattering

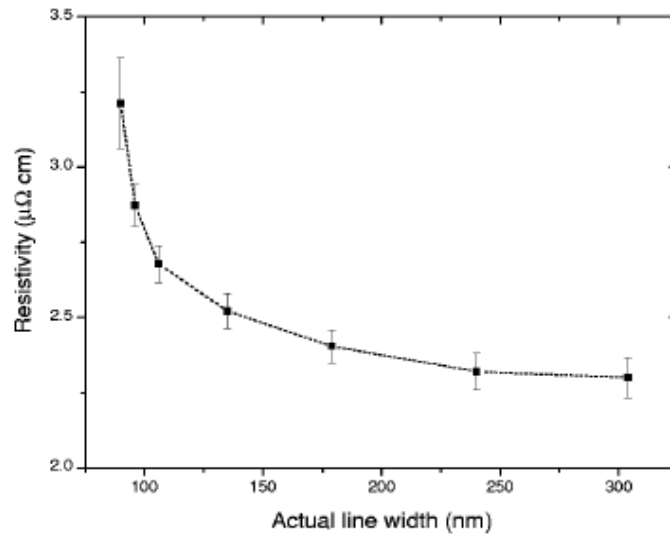


圖 2.7 阻抗係數隨線寬的縮小呈非線性上升 [27]

2.4.1 Mean free path

造成阻抗係數上升現象的主要原因為，電子在材料中移動時，與聲子或晶體缺陷碰撞產生散射現象(phonon scattering)，這裡先引進平均自由徑(Mean free path, MFP)的概念 [28]，MFP 即為物體在兩次碰撞間移動的平均距離。MFP 的計算方程式如式 2.2。

$$\lambda = V \times \tau \dots \dots \dots (2.2)$$

λ 即為平均自由徑，

V 為電子移動速率，

τ 為散射時間。

且 V 為已知數，所以為了得知平均自由徑必須求得 τ 值，續看式 2.3

$$\rho = 1 / \sigma = m / (ne^2 \tau) \dots \dots \dots (2.3)$$

在 300K 時，銅的 $n = 8.5 \times 10^{22} \text{ CM}^{-3}$ ，且 m 與 e 都為已知數，代入 2.3 式中，可得 $\tau = 2.5 \times 10^{-14} \text{ sec}$ ，在將 τ 值代入 2.2 式中可得

$$\lambda = V \times \tau = (1.5 \times 10^8 \frac{\text{cm}}{\text{sec}}) \times (2.5 \times 10^{-14} \text{ sec}) = 39 \text{ nm}$$

在 300 K 時可求得銅的 MFP 值為 39 nm，此即意味者當線寬持續縮小，電子在材料中傳輸時便會大幅增加與聲子碰撞的機率，進而造成阻抗係數上升。表 2.3 為幾個半導體常用金屬之 MFP 值比較。

表 2.3 半導體常用金屬之 MFP 值比較 [28]

Metal	l
Ag	52 nm
Cu	39 nm
Au	38 nm
Al	14.5 nm
Co	12 nm
Ni	11 nm
Be	11 nm

2.4.2 Temperature coefficient of the resistivity (TCR)

由上述的平均自由徑概念的引進後可得知，電子與聲子的碰撞是造成阻抗係數上升的原因之，且既然聲子為熱活動下的產物，所以嘗試將溫度降至 4 K 來凍結聲子的活動看是否會對阻抗係數產生變化，此時發現一有趣的現象，看圖 2.8 [29]可知，將銅的塊材降溫到 4 K，可發現隨著溫度下降 ρ 值也會跟著下降，可以合理的推測，造成此現象的因素為，低溫時聲子的活動被凍結，反之溫度越高聲子活動越頻繁，所以 ρ 值也會跟著上升，注意圖 2.8 中的曲線，在溫度高於 50 k 時其斜率幾乎是固定的，所以可以將此曲線定義為 $\rho(T) = \rho_{\text{electron-phonon}}T$ ，其中 α 即稱

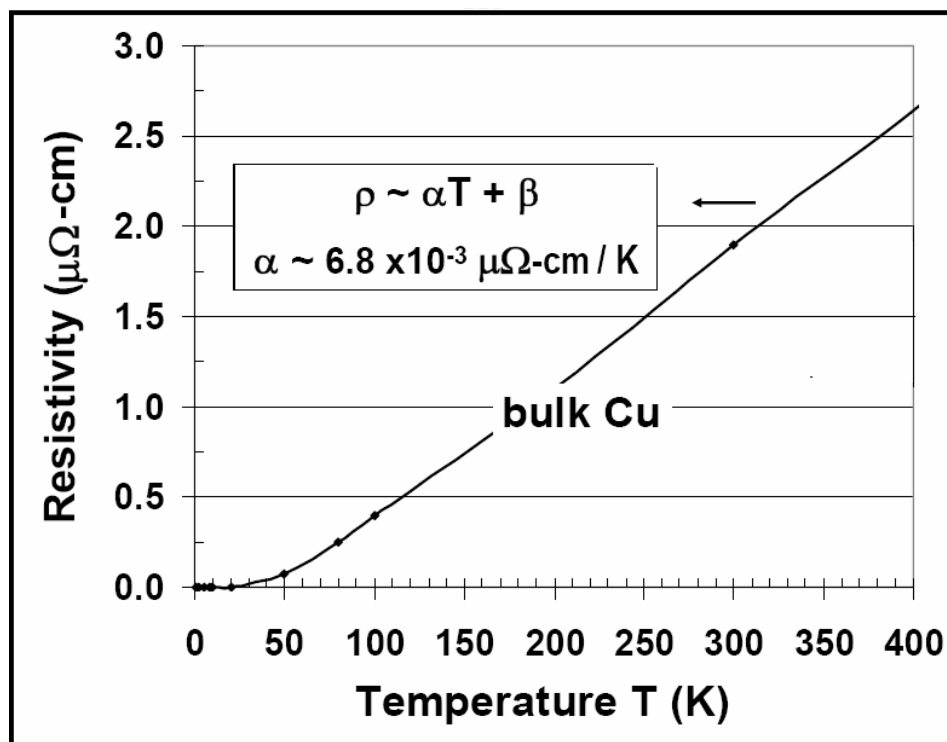


圖 2.8 銅塊材之阻抗係數對溫度之影響 [29]

為 Temperature coefficient of the resistance (TCR) ，在此代表的主要意義為因電子與聲子碰撞所產生之主要因素，即為圖形中溫度高於 50 k 時的斜率，續看圖 2.9 [29]，觀察在不同溫度下縮小線寬會有何種狀況產生，分別將在 6 個不同溫度下，將 150 nm 高電鍍銅導線慢慢的縮小其線寬，可發現隨著線寬的縮小其阻抗係數會逐漸上升，在不同的溫度皆有相同趨勢，可發現此因尺寸而產生的現象為非熱函數項，此現象的產生可推測為，電子在導線中傳遞時與材料中缺陷的碰撞所以會造成 ρ 值改變，我們將之定義為 ρ_{defect} ，所以可以曲線定義為 $\rho(T) = \rho_{\text{electron-phonon}}T + \rho_{\text{defect}}$ ，也可表示為如方程式 2.4 所示

$$\rho = \alpha T + \beta \dots \dots \dots (2.4)$$

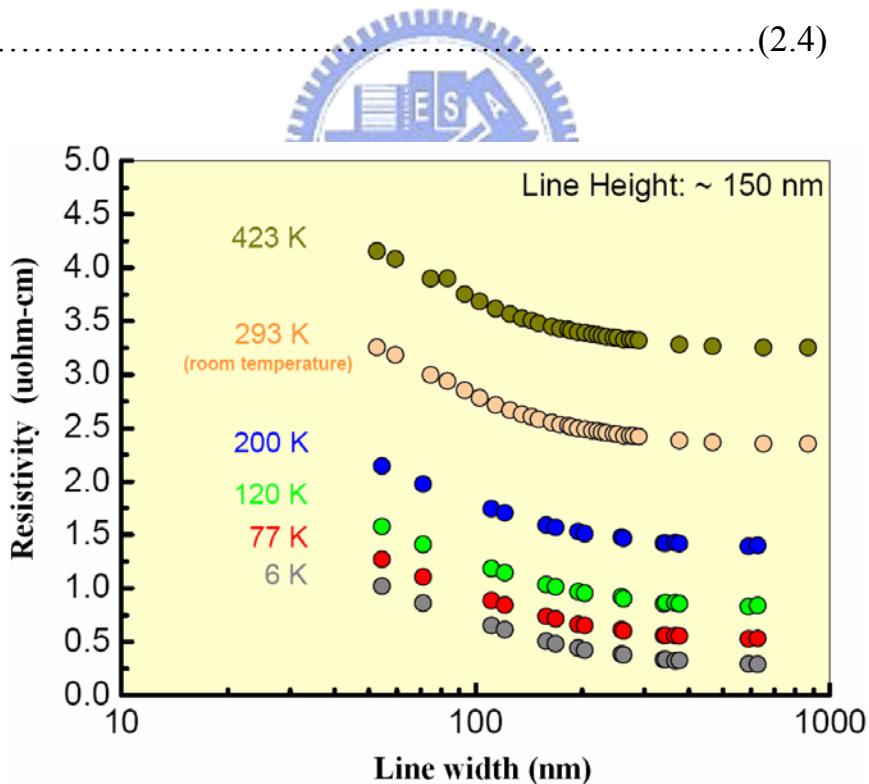


圖 2.9 不同線寬之電鍍銅導線其阻抗係數對溫度之影響 [29]

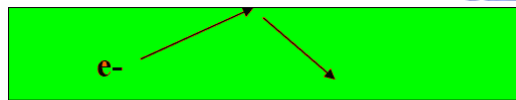
2.4.3 Matthiessen's Rule

承如前述， $\rho(T) = \rho_{\text{electron-phonon}}T + \rho_{\text{defect}}$ ，且 $\rho_{\text{electron-phonon}}$ 為電子與聲子產生碰撞造成，此為熱係數項，另外再來探討 ρ_{defect} 在各不同線寬的差異性， ρ_{defect} 主要為電子在材料中傳遞時與晶體中的缺陷產生碰撞造成，晶體中的缺陷泛指差排、晶界、空孔、雜質原子等，經過學者整理推論後可得知 ρ_{defect} 主要為以下列三種因素為主，示意如圖 2.10 [30]

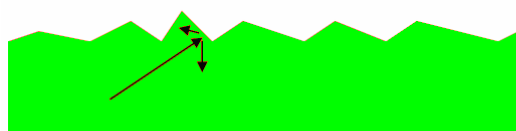
- A. Electron-surface scattering and Sidewalls roughness induced scattering
- B. Grain boundary Scattering
- C. Impurities scattering，

此皆為非熱係數項，在此假設各機制間是獨立的並不會互相影響，所以方程式可改寫為

$$\frac{1}{\tau_{\text{total}}} = \frac{1}{\tau_1} + \frac{1}{\tau_2} + \frac{1}{\tau_3} + \dots \dots \dots \rho_{\text{total}} = \sum \rho_i \dots \dots \dots (2.5)$$



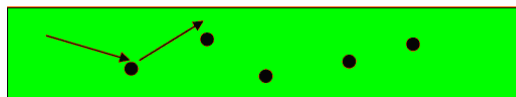
Surface scattering (smooth)



Surface scattering (rough)



Grain boundary scattering



impurity scattering

圖 2.10 散射機制示意圖

2.4.4 Electron- surface and sidewalls scattering

在塊狀金屬材料中，通常電子與表面撞擊所造成的阻抗係數上升可被忽略，但隨著線寬日漸縮小，電子與導線表面撞擊的影響便逐漸無法忽略掉，最早由 Fuchs and Sondheimer [31]，提出了表面散射理論，理論指出，當電子再導線中傳遞時，會因為與導線表面產生碰撞而導致阻抗係數上升，如圖 2.11，並推導出一系列公式預測阻抗係數上升的比例，方程式如式 2.6 所示

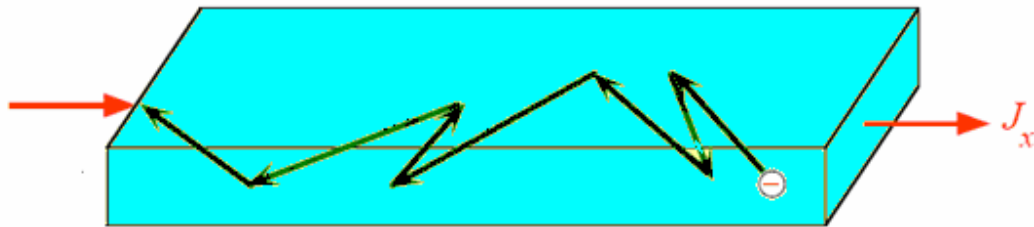


圖 2.11 電子在導線中傳遞與表面發生碰撞

$$\rho / \rho_0 \approx 1 + 0.375(1 - p)\lambda / d \dots\dots\dots(2.6)$$

ρ_0 表示材料在塊狀材料時的阻抗係數，

λ 為材料的電子平均自由徑(以銅而言為 39 nm) ，

d 為薄膜的厚度，

p 為反射係數，為一假設值並無法量測得到(從 0 到 1，0 表示完全彈性碰撞，1 表示為完全非彈性碰撞)，

藉由上列公式我們可推導出阻抗係數上升趨勢，如下頁圖 2.13 所示。

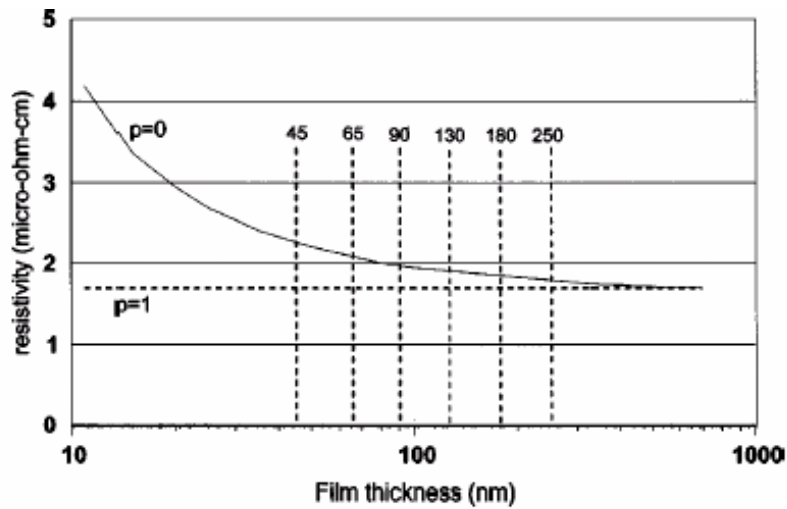


圖 2.12 Fuchs and Sondheimer 公式對於阻抗係數上升的預測值 [31]

接著我們繼續來探討接觸表面的平整度，Kuan et and Inoki [32] 建立一套模擬理論，模擬理論指出，當電子打到一非平滑的表面時，便會產生不規則的散射，若打在一平整的介面上，則散射便會顯的較規則，如圖 2.13 所示，不規則的表面會造成電子的大量散射，最後導致阻抗係數大幅上升。

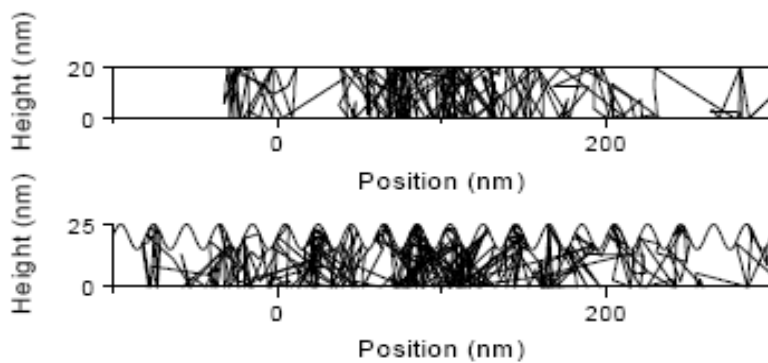


圖 2.13 模擬界面粗糙度對阻抗係數上升的影響 [32]

因此在探討表面散射時，須將介面的平整度考慮進去，將式 2.6 修正後

可得式 2.7

$$\rho / \rho_0 \approx 1 + 0.375(1 - p)S\lambda / d \dots \dots \dots (2.7)$$

ρ_0 表示材料在塊狀材料時的阻抗係數，

λ 為材料的電子平均自由徑(以銅而言為 39 nm) ，

d 為薄膜的厚度，

p 為反射係數，為一假設值並無法量測得到

(從 0 到 1，0 表示完全彈性碰撞，1 表示為完全非彈性碰撞)，

S 為介面平整度修正係數項， $S \geq 1$

2.4.5 Grain boundary scattering

到了 1970 年代，由 Mayadas and Shatkes [33]，這兩位科學家指出，表面散射理論不足以完整說明阻抗係數上升的原因，如圖 2.14 他們認為電子再導線中傳遞，而導線為多晶材料，故在傳遞的過程中會經過許多

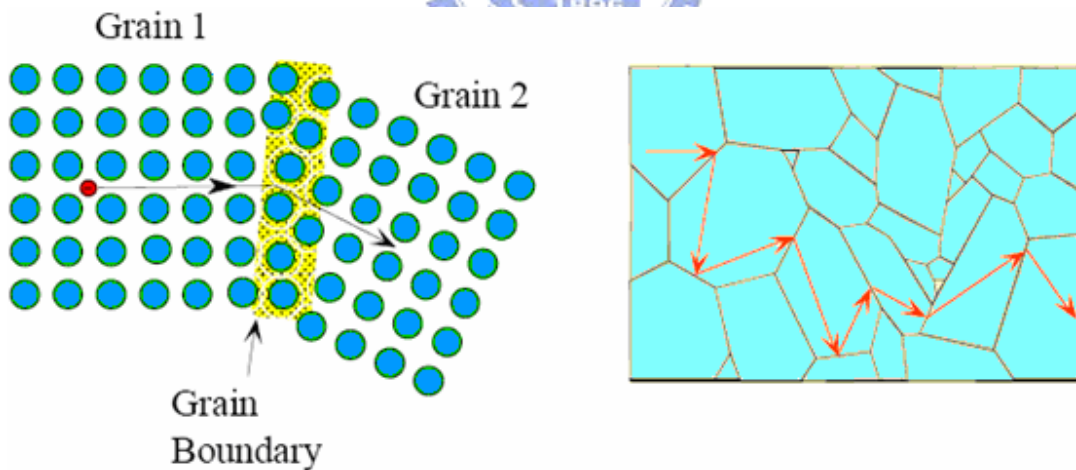


圖 2.14 電子在導中傳遞與晶界發生碰撞

晶界的轉換，晶粒的大小正代表著晶界面積的多寡，電子在金屬中的移動多半是透過晶界間的傳輸，晶粒愈大，則晶界的總表面積愈小，電子在移動的過程中與晶界碰撞的機會便大量減少造成 ρ_{defect} 值下降，反之則 ρ_{defect} 值上升，他們認為聲子在晶界產生的碰撞遠大於表面碰撞，他們也結合與修改表面散射理論發展出晶界散射理論，並將以公式化，如方程式 2.8 所示

$$\rho / \rho_0 \approx 1 + 1.5 \langle R / (1 - R) \rangle \lambda / g \dots \dots \dots (2.8)$$

ρ_0 表示材料在塊狀材料時的阻抗值

g 表示晶粒的平均尺寸大小，

R 為碰撞係數

(從 0 到 1，0 表示完全彈性碰撞，1 表示為完全非彈性碰撞)，

λ 為材料的電子平均自由徑，

由上列公式我們可推導出阻抗係數上升趨勢，如圖 2.15 所示

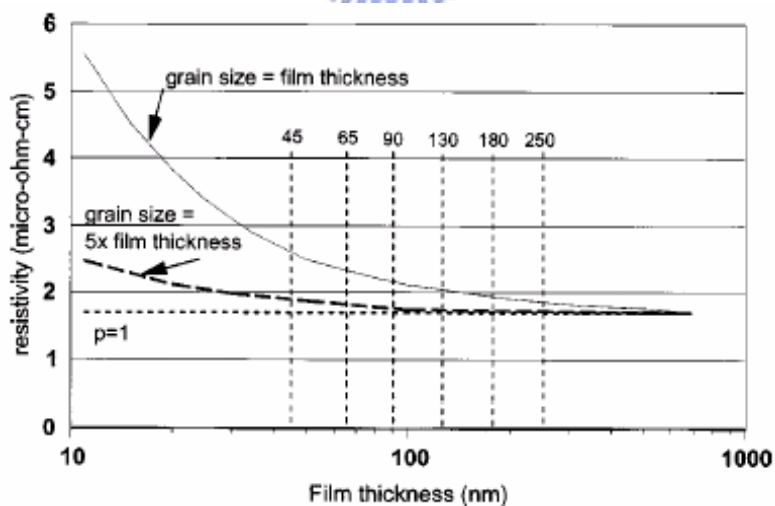


圖 2.15 Mayadas and Shatkes 公式對於阻抗係數上升的預測值 [33]

2.4.6 Impurities scattering

在半導體製程中，金屬的沉積通常都利用 PVD 或 CVD 等濺鍍技術，當然真空度便會直接影響沉積出的金屬純度，我們知道材料中的雜質也會讓電子產生碰撞，當雜質太多時阻值也會隨著上升，在實驗中通常可以透過製程的改進來減少雜質的產生，所以雜質散射所造成的阻抗係數上升幾乎可以被忽略，綜觀以上各機制後我們可得如式 2.9 之方程式， ρ_{defect} 主要為晶界散射與表面散射所造成。

$$\frac{\rho}{\rho_0} = [1 + 0.375(1 - p)S\lambda / t + 1.5(R/1 - R)\lambda / g] \dots\dots\dots(2.9)$$



2.5 量測技術介紹

在以往的實驗中，通常利用四點探針量測，來研究觀察阻抗係數上升的現象，2004 年開始，比利時 IMEC 發表文章中[26]，嘗試利用以往在半導體產業中，用來測量摻雜濃度時廣為使用的量測技術，展阻量測(spreading resistance probe, SRP)來取代傳統的四點探針，以下分別來探討兩種方式的優劣處：

1. 從實驗樣品配置方面切入去看，隨著導線或薄膜的厚度愈來愈小，利用四點探針的方式便會造成許多實驗量測上的不便，承如前述，因為造成阻抗係數上升的變因至少有四項，若要詳細探討各項原因對阻抗係數個別的貢獻，則要個別配製多組不同的試片，並且要準確的控制到只有一個控制變因，對實驗配置的操作來說較為繁複而且麻煩，利用 SRP 技術可以再同一片試片上取得不同深度銅薄膜阻抗係數，控制取得的數據都是出於同一個試片，如此一來便可以輕易的控制各項造成阻抗係數值上升的變數，並且減少試片的配置數量，進而深入的去探討各項原因對阻抗係數值上升所造成的個別影響。
2. 從儀器對試片的破壞性來看，四點探針在量測時會對薄膜造成穿刺性的傷害，對塊狀材料而言，這穿刺性的傷害並不會對量測值造成

影響，由表 2.3 中我們可以明顯的看出，使用四點探針與展阻量測系統所造成的穿刺性傷害的比例 [34]，當實驗所研究的薄膜厚度已經小於 100nm 時，若再繼續使用四點探針，探針會在薄膜上形成一個完全破壞性的傷害，可能會影響到量測數值的精準度，利用 SRP 技術可減少探針對薄膜的傷害性。

表 2.4 FFP 系統與 SRP 系統對薄膜穿刺性之比較 [34]

System	Material	Contact sizes (μm)	Imprint depth (nm)	Probe load (g)
FFP	Si	1.5	15	5
SRP	Cu	10.0	280	20
SRP	Cu	5.0	45	5
SRP	Al	6.0	50	5

3. 從實驗數據取得觀點切入，四點探針技術需先取得薄膜的電性，再利用其他儀器檢測薄膜厚度，過程較為煩瑣且易產生誤差，展阻量測技術可同時取得電性與薄膜厚度的關係，在這方面較為方便許多。

兩種方式各有優缺點，FFP 技術來研究阻抗係數上升的方法較為成熟，但是過程繁複實驗樣品配置不易，SRP 技術可快速的取得數據

且樣品配置簡單，但是目前利用 SRP 技術來研究阻抗係數的實驗並不多，此項技術用再金屬薄膜的研究尚未普遍化。展阻量測技術將於後面章節作詳細介紹。

2.6 研究動機

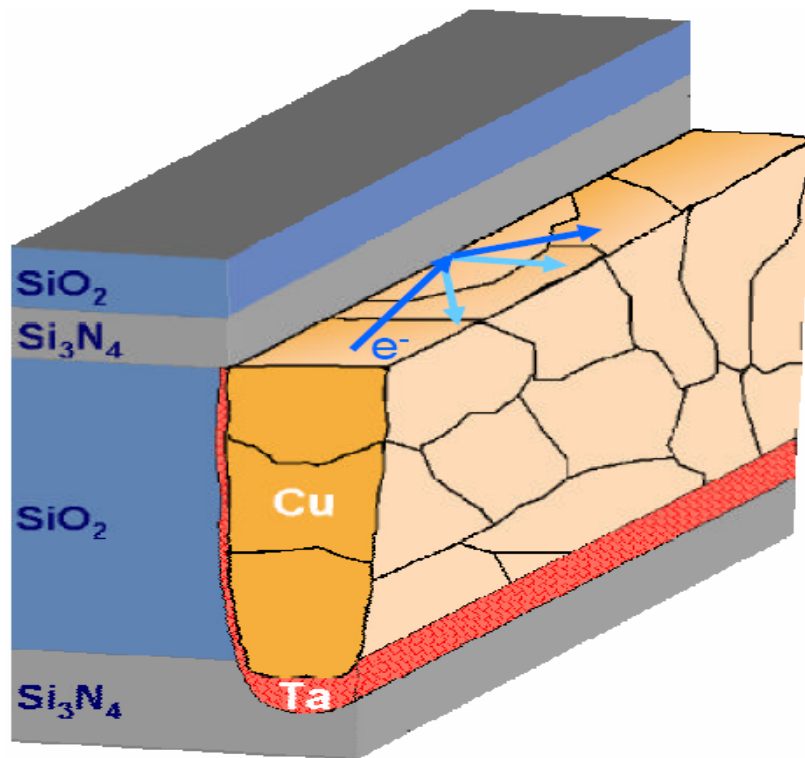


圖 2.16 電子在導線中傳遞時的示意圖

當半導體金屬導線線寬由 90 nm 世代逐漸邁入 65 nm 世代的同時，阻抗係數隨線寬縮小而上升的現象已無法再被忽略，在以往的研究中，造成此現象原因是電子在傳遞時會產生散射現象，如圖 2.16 主要原因可能是電子與晶界間的散射，但是其影響所佔的比例有多高尚未

被完全了解，晶界的多寡直接對應到晶粒尺寸大小，所以本實驗首先要探討的是晶粒尺寸改變對阻抗係數造成的影響，隨著線寬逐漸縮小，導線與阻障層的界面相對比例也隨之上升，此一改變是否會對阻抗係數造成衝擊，這也是本實驗想得知的地方，在先進的半導體產業中多是使用電鍍法沉積銅，在電鍍前必需先利用 PVD 法沉積一層薄薄的銅籽層，由文獻中參考可發現一有趣現象 [35]，我們看圖 2.17 將 193 nm 電鍍銅薄膜，在 400°C 高溫退火 12 小時後，原本 PVD 濺鍍的小晶粒種籽層尚未完全消失，再看圖 2.18 將 1.11 μm 銅薄膜，在 400°C 在高溫退火 1 小時後原本 PVD 濺鍍的小晶粒種籽層幾乎已經完全消失不見，從這現象中啟發了另一想法，隨著電鍍銅薄膜厚度減少，原先的 PVD 濺鍍銅種籽層是否會限制住退火時的晶粒成長，隨厚度縮小時，電鍍銅與銅種籽層間逐漸產生一不連續介面，此是否會影響造成阻抗係數的變化，也是實驗上想了解的部份。

先前在文獻中提到 IMEC 發表利用 SRP 技術來研究金屬薄膜的阻抗係數，此一方法雖未普及化，但其技術若真發展成熟對與日後的金屬薄膜阻抗係數研究會有很大的貢獻，因學校的貴重儀器中心剛好有展阻量測系統，故本實驗會嘗試結合 SRP 技術與 FFP 技術兩種量測來作為實驗研究的方法，進一步的研究探討 SRP 技術在金屬薄膜研究上的可行性。

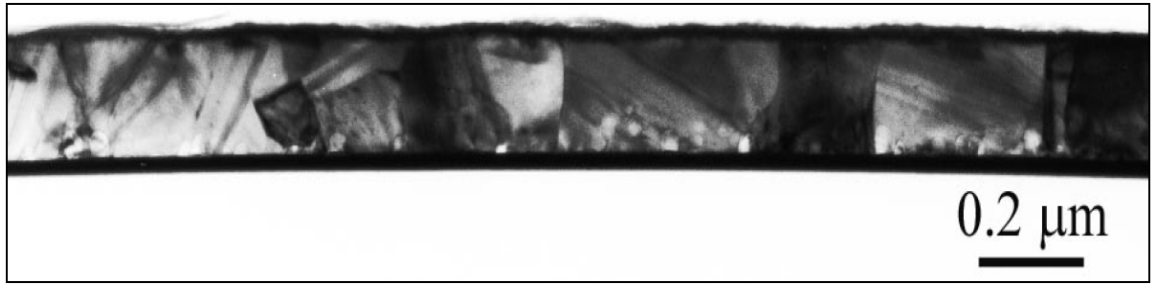


圖 2.17 電鍍銅金屬層(193 nm, $\rho=2.3 \mu \Omega\text{-cm}$) [35]

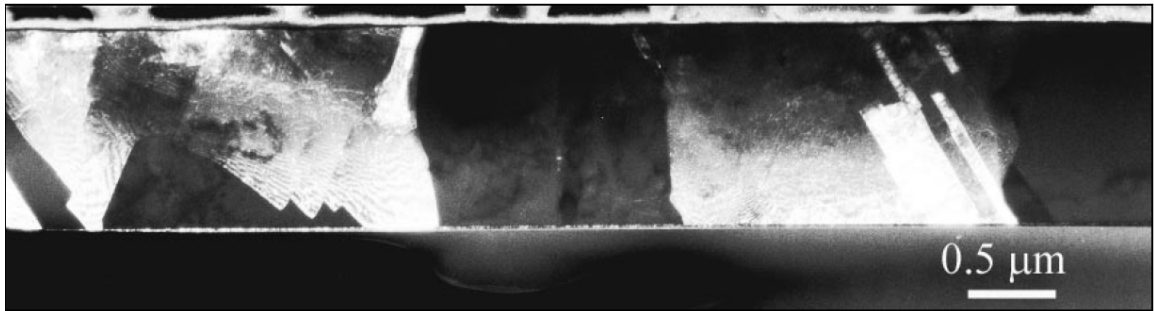


圖 2.18 電鍍銅金屬層(1.11 μm, $\rho=1.88 \Omega\text{-cm}$) [35]

第三章 實驗方法與步驟

3.1 實驗構想與流程大綱

3.1.1 實驗構想

本實驗設計上均以銅薄膜為主，因為有研究指出，在製程上，銅導線導線堆疊的長寬比也會影響阻抗係數大小 [36]，如圖 3.1，為了減少非物理本質上的變數，故本實驗研究將使用銅薄膜來取代實際製程上的銅導線。

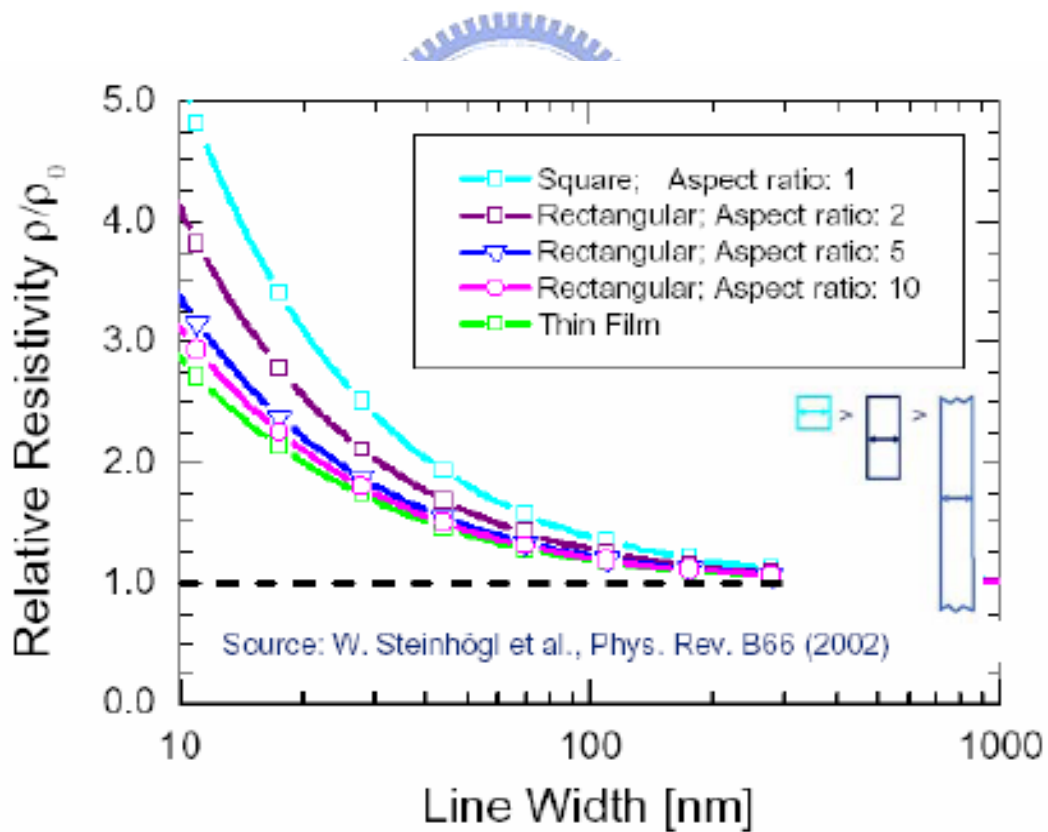


圖 3.1 阻抗係數隨長寬比改變而變化 [36]

3.1.2 實驗流程大綱

為了確認在線寬小於 100 nm 時，阻抗係數呈非線性上升的主要因素，我們分別作了 2 組不同的試片配置來驗證學理推論，分別為觀察晶界散射之系列樣品與觀察表面散射之系列樣品，實驗流程大綱如圖 3.2 所示，將會在之後的章節更詳細的介紹各組試片的配置目的與配置方法。

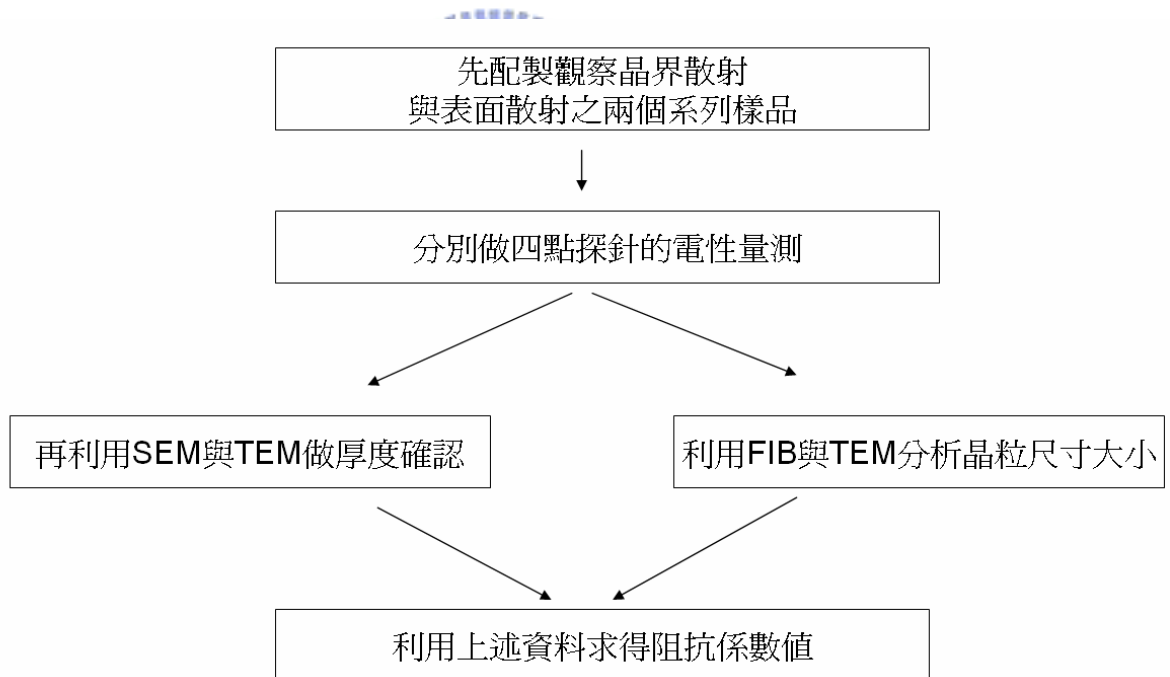


圖 3.2 實驗流程簡圖

3.2 各組試片配製方法

3.2.1 總散射機制之配製方法

配製目的：

利用 PVD 沉積銅薄膜，來觀察各項散射機構對總阻抗細數上升的影響，由文獻中提到，隨薄膜厚度減少晶粒尺寸也會跟著減少，為了降低同一厚度銅膜的試片，因退火時間不同造成晶粒尺寸的差異性，所以在試片設計上均會加上高溫退火，以確保每片銅薄膜之晶粒都可成長到最大尺寸，故在本組試片中不同厚度的銅薄膜具有不同尺寸的晶粒大小。但對同一厚度的銅膜而言，其晶粒尺寸是最大狀態。

配製方式：

為了模擬半導體中使用的金屬層堆疊方式，所以首先在 750 μm 的 12 吋矽晶片上長一層 450 nm 的氧化矽，接著利用 PVD 方式沉積一 30 nm 的 Ta 金屬模擬擴散阻障層，最後利用 PVD 沉積 20 nm、40 nm、60 nm、80 nm、100 nm、150 nm、200 nm 等 7 種不同厚度的銅薄膜，接著在充滿氮氣的環境 200°C 退火 30 分鐘，以確保每一種不同厚度的薄膜晶粒可以成長到最大尺寸，最後利用 PVD 沉積 10 nm 的 Ta 作為保護層，以防止銅膜氧化造成電性改變，示意如圖 3.3。

3.2.2 晶界散射機制之試片配製方法

配製目的：

利用電鍍銅薄膜來觀察表面散射對阻抗細數上升的影響，因為 PVD 濺鍍銅在晶粒成長尚有一定的限制尺寸，所以採用實際在半導體中常用的電鍍法，為了將晶界散射的影響降到最低，主要利用化學機械研磨法來製造出擁有相同晶粒大小但卻不同厚度的銅薄膜，這也是本組實驗中配置最困難的部份

配製方式：

首先先在 750 μm 的 12 吋矽晶片上長一層 450 nm 的氧化矽，接著利用 PVD 方式沉積 30 nm 的 Ta 作為擴散阻障層，然後利用 PVD 沉積 20 nm 的 Cu 作為電鍍銅的種籽層，再利用電鍍法沉積 2000 nm 的電鍍銅，我們再將此試片在充滿氮氣的環境 350°C 退火 60 分鐘，以確保金屬層的晶粒能成長到最大的尺寸，並且小晶粒之銅籽層能完全消失，再利用化學機械研磨將銅金屬層磨回 20 nm、40 nm、60 nm、80 nm、100 nm、150 nm、200 nm 等 7 種不同厚度的銅膜，最後利用 PVD 沉積 10 nm 的 Ta 作為保護層防止銅膜氧化，示意如圖 3.4，欲觀察晶粒變化的影響，所以重複以上步驟再做一組試片，但是退火條件定在 200°C 退火 30 分鐘。

Group A

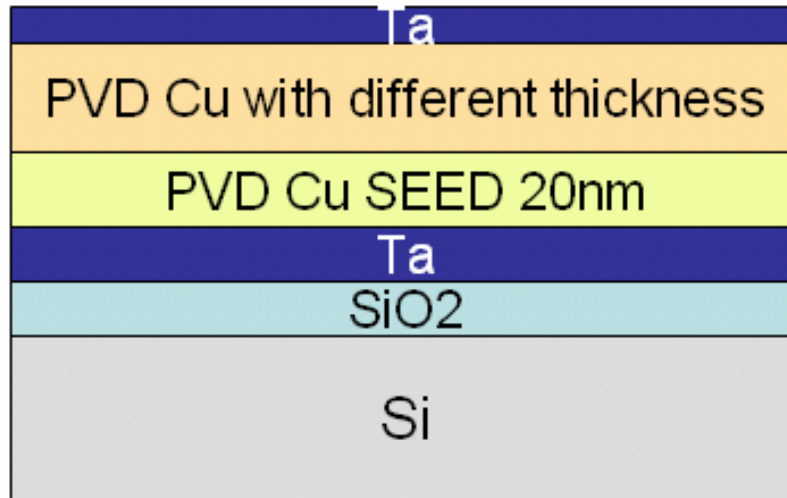


圖 3.3 晶界散射機制之試片示意圖



Group B

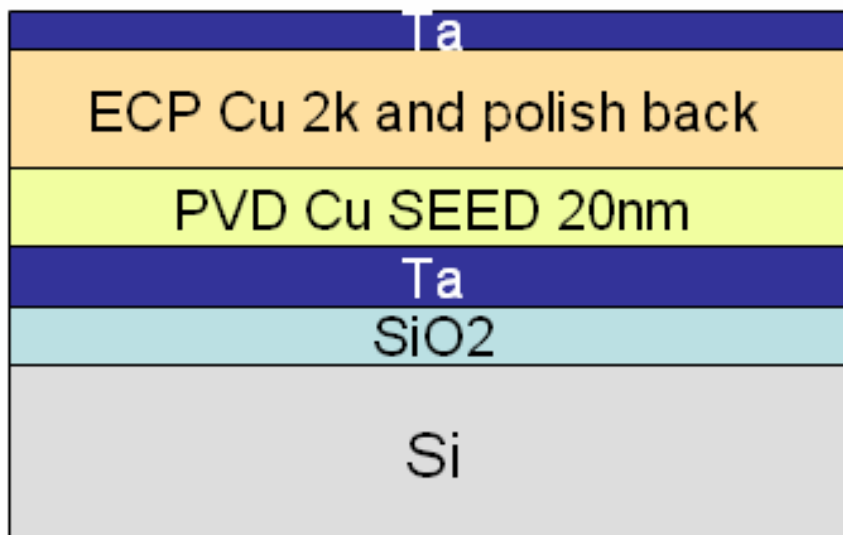


圖 3.4 表面散射機制之試片示意圖

3.3 實驗儀器原理介紹

3.3.1 電子顯微鏡(electron microscope , EM)

電子顯微鏡(electron microscope ， EM)，一般是指利用電磁場偏折、聚焦電子及電子與物質作用產生散射之原理來研究物質構造與細微組織的精密電子儀器，主要可分為描式電子顯微鏡(SEM)與穿透式電子顯微鏡(TEM)兩種。伴隨著電子光學理論的快速發展，以及結合 X 光能量分散光譜儀(electron dispersive spectroscope ， EDS)與能量損失光譜儀(electron energy loss spectroscope ， EELS) ，電子顯微鏡可廣義定義為可鑑定化學成分、晶體結構、顯微結構、與電子分布狀況的電子光學顯微鏡



本實驗所使用的 SEM 為交大貴重儀器中心的 JEOL JSM - 6500F 熱場發射 SEM，主要目的在於觀察薄膜厚度。SEM 主要用來觀察物體的表面狀態，其影像解析度極高，放大倍率可達 1 萬倍以上，且具有景深長的特點，可以清晰的觀察起伏程度較大的物體表面，掃描式電子顯微鏡的主要工作原理為電子槍外加 0.5 ~ 3.0 KV 的加速電壓使電子槍產生電子束，經過電磁透鏡所組成的電子光學系統，使電子束聚焦成一束後照射在試片上。電子束與試片表面作用後會激發出來各種訊號，包括背向散射電子、二次電子繞射電子、歐傑電子、穿透電子、

非彈性碰撞電子、特徵 X 光、螢光等等。一般掃描式電子顯微鏡所偵測的訊號為二次電子與背向散射電子，由於二次電子為弱鍵結電子，所以只有在距離試片表面 5 ~ 50 nm 的範圍內的二次電子才有機會逃出表面被偵測到，所以二次電子的數量會受到材料表面起伏的影響，這些電子經偵測器偵測後會將訊號放大處理，然後經由螢幕輸出影像，因此透過二次電子影像(secondary electron image, SEI)可觀察到試片表面的表面型態。圖 3.5 為 SEM 構造示意圖

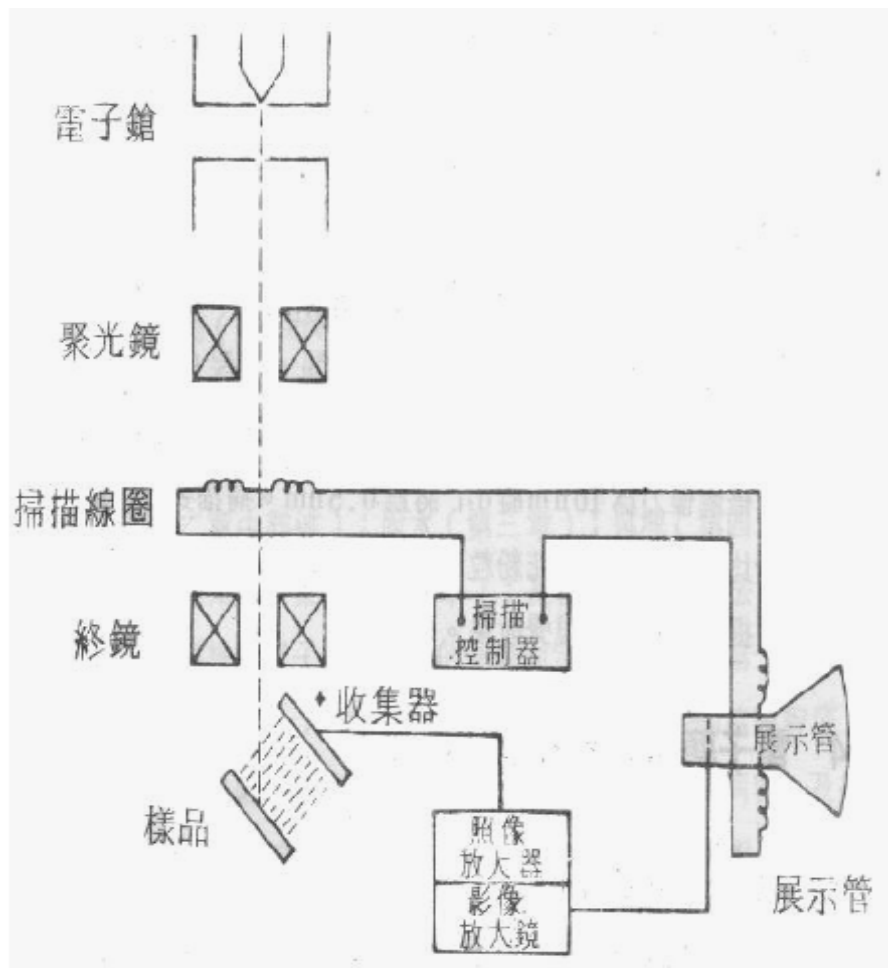


圖 3.5 SEM 構造示意圖

3.3.2 四點探針 (Four point probe ; FFP)

片電阻是傳導性材料之重要特性之一，尤其是導電薄膜。片電阻值會受到薄膜厚度、合金比例、晶粒尺寸與雜質濃度等因素影響，薄膜片電阻為一定義之參數，一長導線之電阻如方程式 3.1 所示：

$$R = \rho \times \frac{L}{A} \dots\dots\dots(3.1)$$

其中 R 代表電阻， ρ 為導體之電阻係數，L 為導線之長度，而 A 為導線之截面積。

若導線本身為一長方形之導線，寬度為 W，厚度為 t，長度為 L，則電線的電阻如方程式 3.2 所示：

$$R = \rho \times \frac{L}{Wt} \dots\dots\dots(3.2)$$

四點探針是最常用來量測薄片電阻的工具，在測量低電阻的時候，常常會受到一些非元件本身串聯電阻影響，比如接線本身的阻值，探針與元件之間接觸點的阻值，四點探針是利用外面兩端灌電流源，裡面兩端測電壓差，只要在其中兩個探針間加上固定之電流，並同時量測另外兩個探針間之電壓差值，就可以計算出薄片電阻。因為

沒有電流流過串聯電阻，測量時可避開不需要的串聯電阻的影響，一般而言，探針之間隔 $S_1=S_2=S_3=1\text{ mm}$ ，如圖 3.6，假設在薄膜面積無限大之狀況下，若電流 I 加在 P1 與 P4 之間，則薄膜片電阻為 $R_s = 4.53 \frac{V}{I}$ ，此處的 V 為 P2 與 P3 之間的電壓；若電流加在 P1 與 P3 之間，則薄膜片電阻 $R_s = 5.75 V/I$ ， V 為 P2 與 P4 之間的電壓。通常先進的工具都會進行四次量測，以程式依序進行上述兩種量測組態，並且改變每一種組態的電流方向來減少邊緣效應，以得到更準確之數值，需要注意的是四點探針的測量會造成晶圓表面之有破壞性的穿刺。本實驗使用的機台是國家奈米元件中心的 (FPP, DektakST 32)

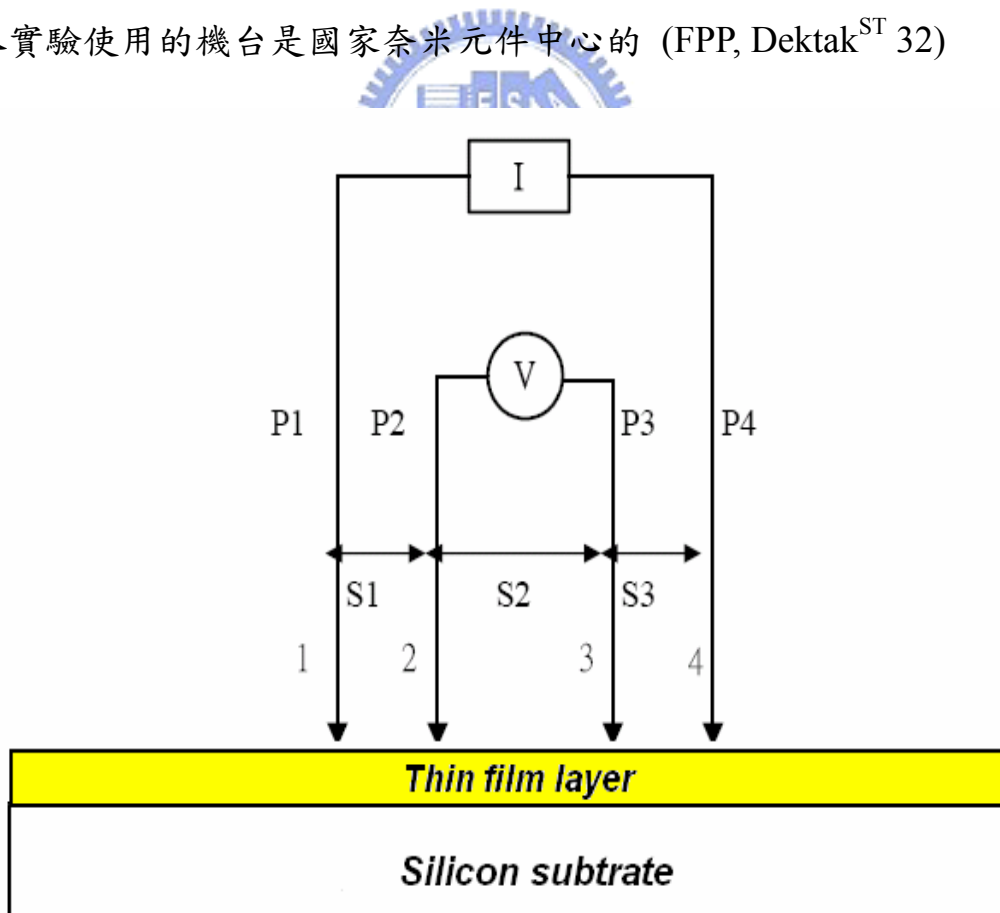


圖 3.6 四點探針構造示意圖

3.3.3 展阻量測系統(Spreading Resistance Probe；SRP)

展阻量測系統一般多用來測試半導體表面展阻、載子濃度。我們則嘗試利用此系統來取得銅金屬薄膜的深度與阻抗係數的關係圖，本次實驗所使用的系統為交大貴儀中心的 SSM150 Automatic Spreading Resistance System，我們可以很清楚的看出利用 SRP 技術取得不同深度銅薄膜阻抗係數的原理，首先將所要量測的銅薄膜利用研磨的方式做成一坡面，再利用探針平行移動來取得我們所要的展阻值，即可控制取得的數據都是出於同一個試片，如此一來便可以輕易的控制各項造成阻抗係數值上升的變數，並且減少試片的配置數量，進而深入的去探討各項原因對阻抗係數值上升所造成的個別影響，在量測之前試片的製作是本測量系統必須要特別注意的部份，首先我們必須將試片裁成 4 mm×8 mm 的大小，再利用黃膠將試片黏置在一個有角度的底座上(本實驗使用 8 分的角度)，接著將試片放在一玻璃盤上加上甘油與氧化鋁粉研磨成一有角度的坡面，最後再利用丙酮清洗即可，操作示意如圖 3.7，實際機台狀況如圖 3.8。

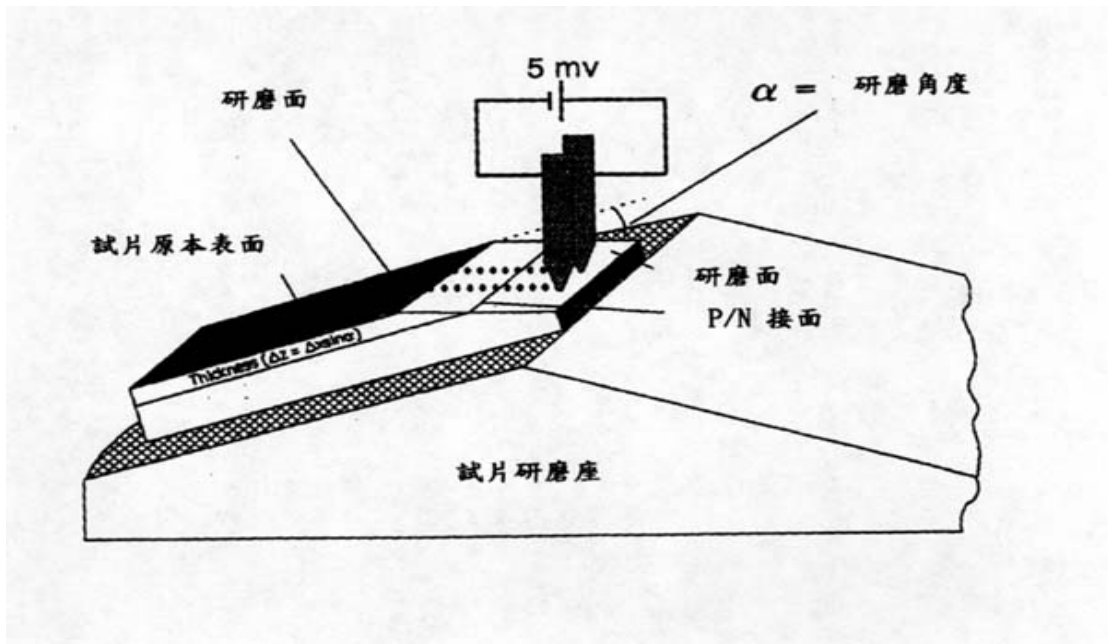


圖 3.7 SRP 操作示意圖



圖 3.8 交大貴儀中心之 SSM150 系統

3.3.4 聚焦離子束(Focus Ion Beam ; FIB)

聚焦式離子束顯微鏡的系統原理，是利用電透鏡將離子束聚焦成非常小尺寸的顯微切割儀器，目前商用系統的離子束多為液相金屬離子源(Liquid Metal Ion Source, LMIS)，金屬材質為鎵(Gallium, Ga)，因為鎵元素具有低熔點、低蒸氣壓、及良好的抗氧化力；典型的離子束顯微鏡包括液相金屬離子源、電透鏡、掃描電極、二次粒子偵測器、5-7 軸向移動的試片基座、真空系統、抗振動和磁場的裝置、電子控制面板、和電腦等硬體設備，外加電場 (Suppressor) 於液相金屬離子源可使液態鎵形成細小尖端，再加上負電場 (Extractor) 牽引尖端的鎵，而導出鎵離子束，以電透鏡聚焦，經過一連串變化孔徑 (Automatic Variable Aperture, AVA)可決定離子束的大小，再經過二次聚焦至試片表面，利用物理碰撞來達到切割之目的。圖3.9為FIB 結構示意圖，在新型的聚焦式離子束顯微鏡，目前已有雙粒子束 (Dual Beam)的機型(離子束 + 電子束)，在以離子束切割時，用電子束觀察影像，除了可避免離子束繼續破壞試片外，尚可有效的提高影像解析度，同時也可配備 X-光能譜分析儀或二次離子質譜儀，作元素分析之用，多樣化的分析功能使得聚焦式離子束顯微鏡的便利性及使用率大幅提昇。本實驗使用機台為交大貴重儀器中心的Dual beam (focused ion beam & electron beam) System，利用其ion channeling contrast的功能來紀錄晶粒

大小。ion channeling contrast的功能原理是，在多晶材料中，當二次電子影像被捕捉時，會因為不同晶粒間的結晶方向不同造成二次電子散射，而產生不同晶粒間的明暗變化。

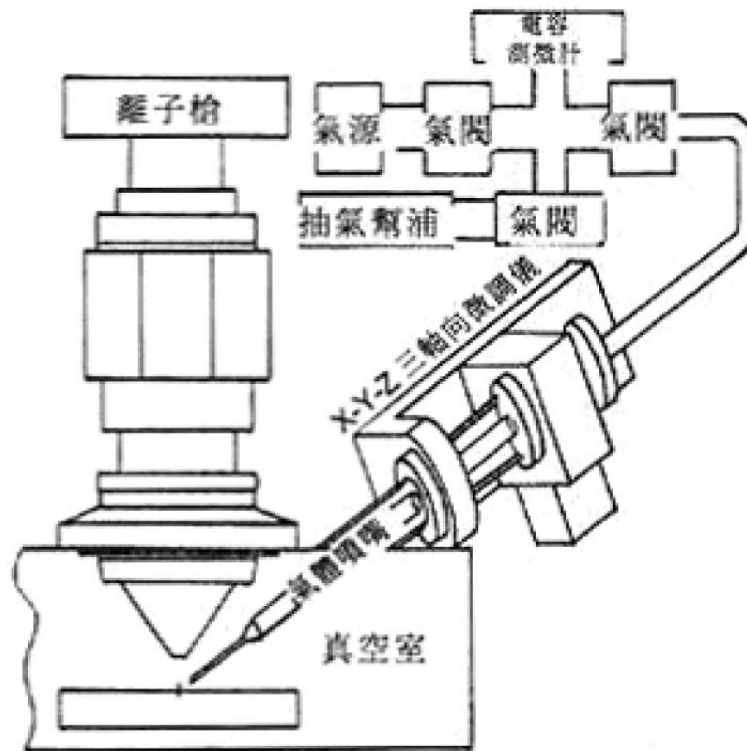


圖 3.9 聚焦離子束顯微鏡(FIB)示意圖

第四章 結果與討論

4.1 材料性質分析與量測

4.1.1 四點探針量測

本實驗利用四點探針取得薄膜的 $\frac{V}{I}$ 數值，使用的機台為(FPP, DektakST 32)，實驗取得的 $\frac{V}{I}$ 數值座落在20 mΩ到180 mΩ之間，透過轉換公式， $\rho=4.532 \times \frac{V}{I} \times t$ ，其中t為銅薄膜厚度，再利用SEM求得薄膜厚度即可得知相對應的ρ值。

4.1.2 TEM 與 SEM 測量

由於本實驗厚度量測的部份主要以SEM為主，但在SEM底下不易分別Ta層與Cu層的不同，如圖4.1(a)與圖4.1(b)，因為Ta層的厚度是固定的，所以實驗上利用SEM觀察Cu層加上Ta層的厚度，再直接扣掉Ta的厚度便是實驗所需Cu層厚度，利用TEM取樣觀察，首先看圖4.1(c)與圖4.1(d)，分別採用實驗A組與實驗B組的試片做TEM觀測，由圖形可以知道阻障層Ta的厚度為30 nm，且保護層厚度為皆為10 nm附近，與原本實驗設計的厚度相符合，故之後的Cu層厚度的計算方式就以SEM測量總厚度X nm，在扣掉40 nm的Ta厚度即為所求的Cu厚度。表示如下

Cu層實際厚度=SEM底下觀察總厚度－40 nm的Ta層厚度

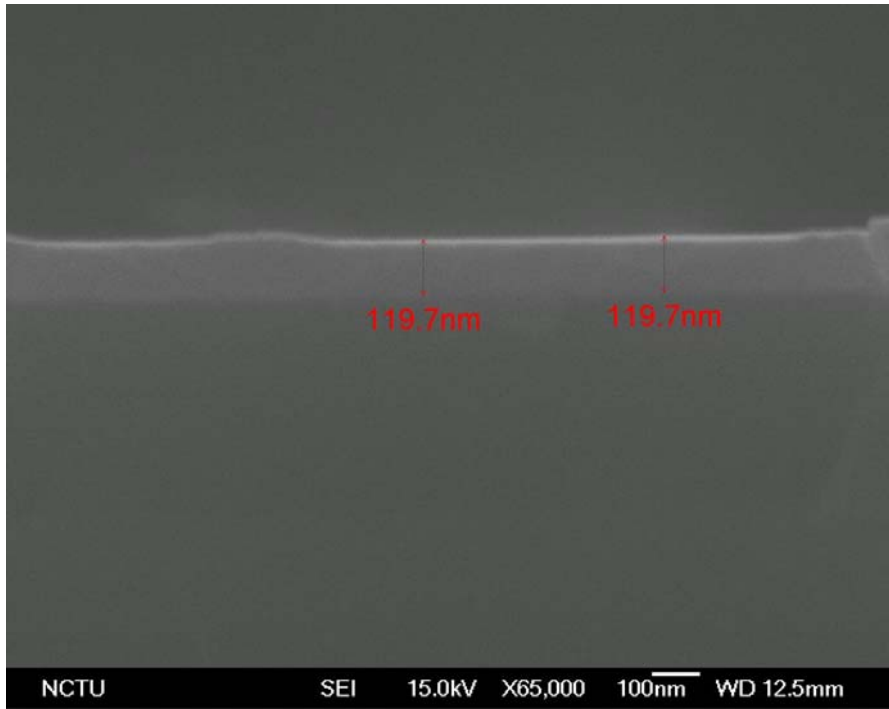


圖 4.1(a) 80 nm 的 PVD Cu film

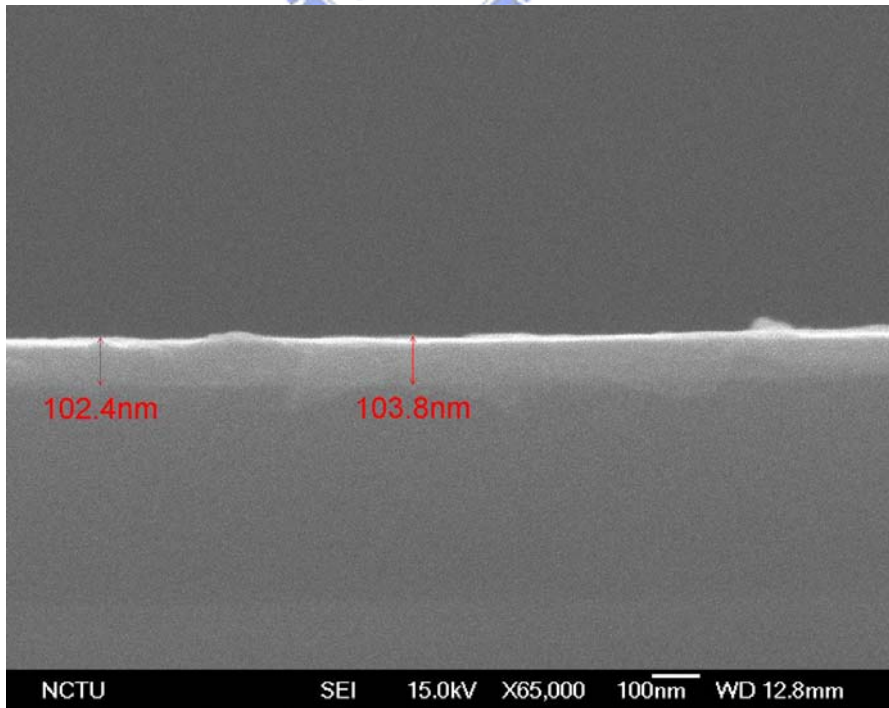


圖 4.1(b) 20 nm 的 PVD Cu seed + 40 nm ECP Cu film

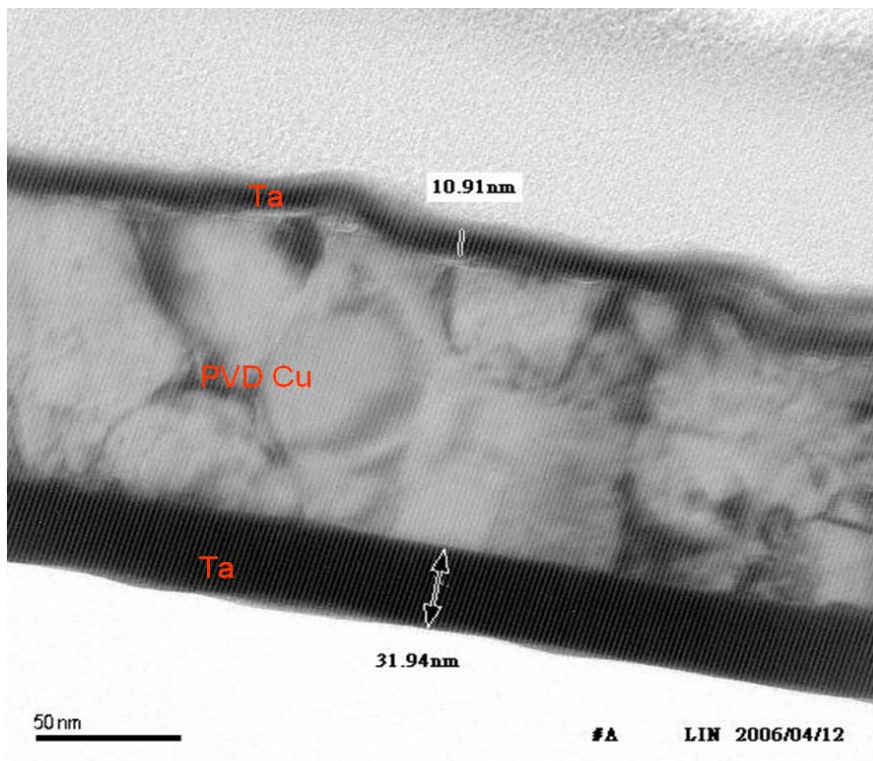


圖 4.1(c) 100 nm PVD Cu film

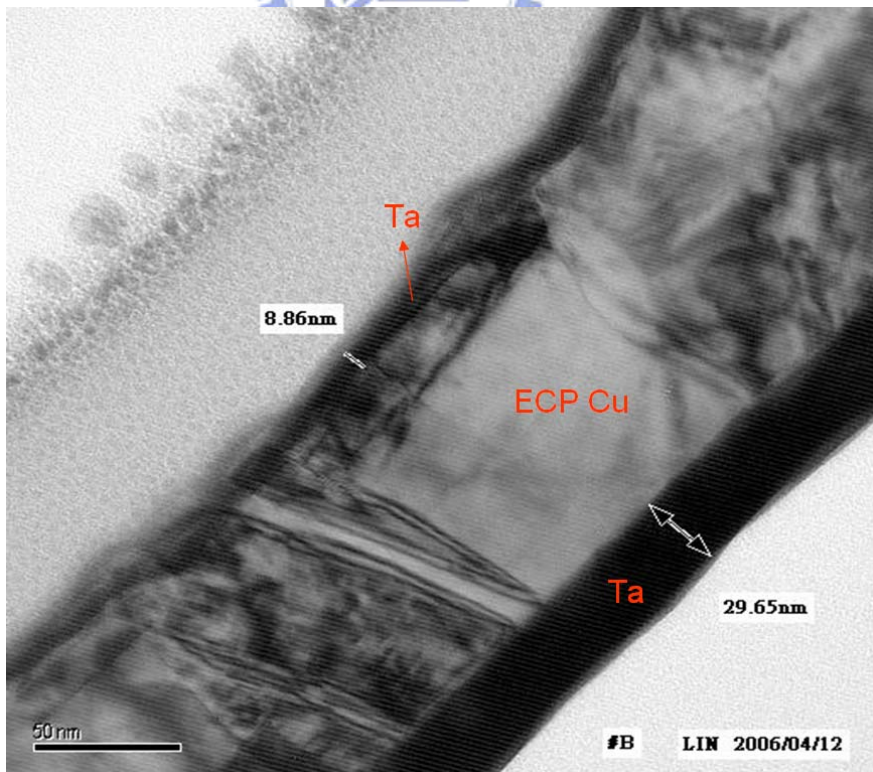


圖 4.1(d) 100 nm ECP Cu film

4.1.3 FIB 測量

主要是要來觀察銅薄膜的晶粒大小，為半導體業界常用的方式之一，最大的優點是快速與清晰，圖 4.2(a)與圖 4.2(b)這兩張圖片，圖 4.2(a)是銅薄膜經過蝕刻後再 SEM 底下觀察得到的結果，我們發現晶界界面較不清晰，圖 4.2(b)則為銅薄膜在 FIB 底下觀察的結果，晶界界面清晰可判。

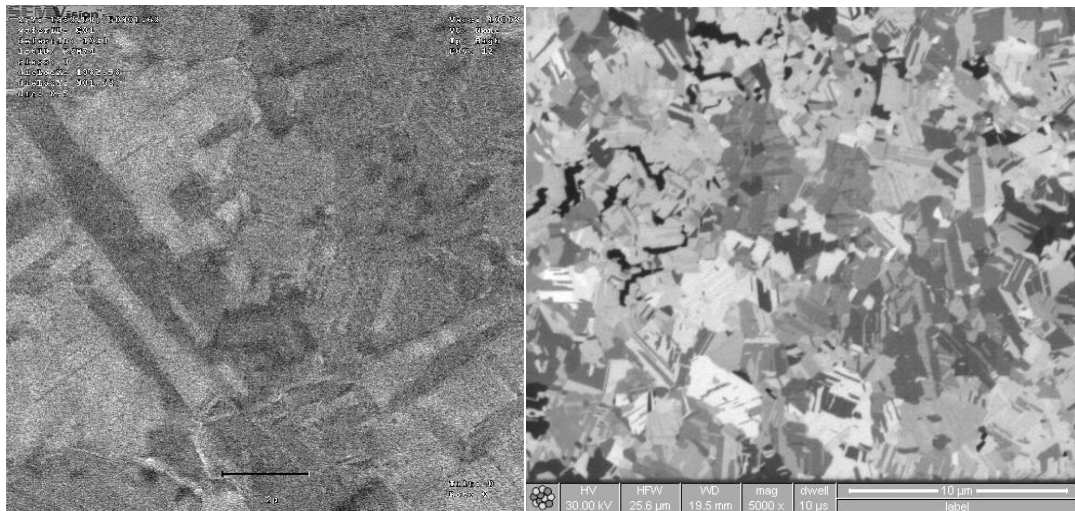


圖 4.2(a) Top View form SEM

圖 4.2(b) Top View from FIB

4.2 實驗數據討論與分析

4.2.1 晶粒分布與數據分析

本實驗利用 FIB 儀器取得晶粒分布影像，配合由美國國衛院網站所提供之影像處理軟體 Image J，取得晶粒大小分布，同一厚度的薄膜其晶粒大小座落再一分布範圍內，其分布如表 4-1 所示。進一層的數據處理會發現，銅會有許多雙晶的產生，在晶粒的計算上會將雙晶列入計算，雙晶晶粒一般而言較小，可預測整體的晶粒大小會稍微降低，此外之後的 MS Model 的預測曲線中會需要晶粒大小的數值，在以往的文獻中指出因為晶粒大小的分布均座落在一區塊間，為了方便計算多使用一合理之假設值取代實際之晶粒大小，在本實驗的數據中可以發現晶粒大小約為 3 倍到 10 倍膜厚，故本實驗在理論計算上取 6 倍膜厚為晶粒大小之平均值。

表 4-1 晶粒大小分布與膜厚關係對照表

	Sample for MS scattering	Sample for FS scattering
Film thickness	Grain size distribution	Grain size distribution
60 nm	200 nm-350 nm	1500 nm-2500 nm
100 nm	400 nm-600 nm	1500 nm-2500 nm
150 nm	600 nm-1300 nm	1500 nm-2500 nm
200 nm	1200 nm-1500 nm	1500 nm-2500 nm

雙晶通常是差排來不及移動時所造成，在很低的速率下進行很高速率的變形使差排來不及移動而形成機械雙晶，而如果是在一般條件下變形，由於材料本身疊差能的關係使差排發生堆積又有局部高應變的區域存在，而形成雙晶核，於退火時長大時就會產生退火雙晶，在實驗中可以發現電鍍銅非常容易產生退火雙晶，由文獻中可知雙晶晶界的界面能是 0.044 J/m^2 ，比起銅與銅晶界的表面能 0.646 J/m^2 小了許多[37]，吾人推測，電子碰撞到雙晶界面時損失的能量反而會較小，微觀來說對阻抗係數有正面幫助，巨觀上來說，雙晶的產生會降低晶粒的大小是早以被觀察到的現象[38]，雙晶數量的上升會使整體晶粒尺寸下降，進而升高電子碰撞到晶界的機率使阻抗係數上升。

在研究報告中顯示[39]，Ta 阻障層的厚度改變會影響銅導線阻抗係數的變化，隨著 Ta 厚度的增加，固定線寬下的銅導線量測出的銅阻抗係數也會隨著上升，對應在本實驗中的 Ta 阻障薄膜層，相信也會有此現象產生，可以預期實驗上量測出的銅阻抗係數值會稍微受到 Ta 薄膜的影響，要確認 Ta 薄膜對整體阻抗係數的影響，需再進一步做不同厚度 Ta 對銅薄膜的關係實驗才可準確的確認，因為實驗中的 Ta 薄膜是固定為 50 nm ，在實驗上可以假設 ρ_{Ta} 為一定值。

4.2.2 總散射機制之阻抗係數與厚度關係

首先觀察試片編號#A#之數據，此試片設計目的主要是探討晶界散射現象，實驗所得的阻抗係數與薄膜厚度關係圖，如圖4.3，從實驗數據中可發現當薄膜厚度為80 nm時， ρ 值為 $3.1 \mu\Omega\text{-cm}$ ，與150 nm時 $2.2 \mu\Omega\text{-cm}$ 相比上升了41%，薄膜厚度減少到20 nm時，阻抗係數上升到 $5.4 \mu\Omega\text{-cm}$ ，與 $2.2 \mu\Omega\text{-cm}$ 相比更是上升了145%，再將實驗所得的曲線與晶界散射理論做比較後可發現，數據大致上與MS Model預測的曲線相符合，在此假設晶粒大小是膜厚的6倍，可以得到 $R=0.7$ 。

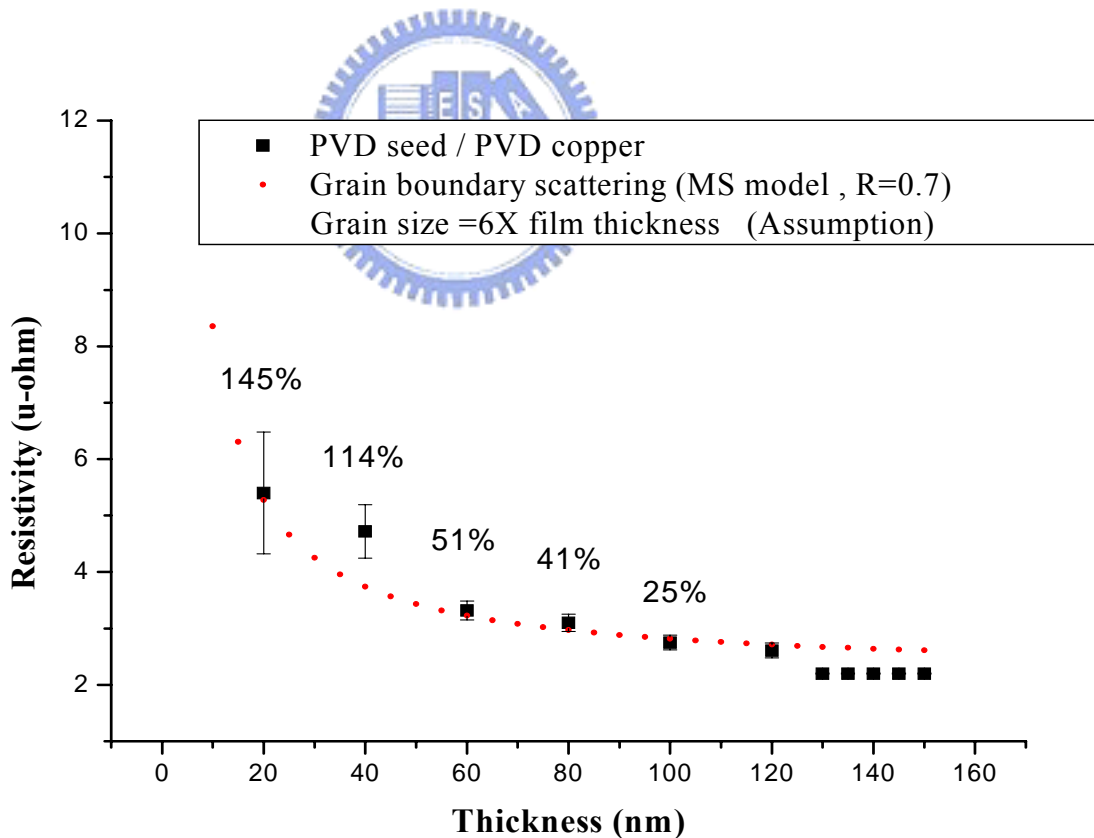



圖 4.3 晶界散射機制之阻抗係數與厚度關係

晶粒尺寸分布：

在此組試片中我們將不同厚度的PVD Cu film在200 °C退火30分鐘，目的是讓不同厚度薄膜的銅晶粒成長至最大，觀察由FIB取出的晶粒大小分部圖，如圖4-4(a)至圖4.4(d)，可以明顯的發現晶粒大小分布，從膜厚100 nm時的0.4-0.6 μm 至膜厚200 nm時的1.2-1.5 μm ，隨著薄膜厚度的減小，晶粒的平均尺寸也隨之下降，所以不同厚度的薄膜，雖然都已經過高溫退火使得晶粒成長到最大，但是由於薄膜本身限制住晶粒成長，所以造成晶粒尺寸分布的差異性。



在此組試片中所採用的oxide為thermal oxide，平坦度非常的好，由AFM測試可看出其粗糙度的RMS值為0.5 nm左右，如圖4.5所示，在此設計中因為介面不平整造成的散射變因是固定值，我們可以假設此固定值很小甚至可以忽略掉，且銅薄膜是在高真空度下沉積而成，故雜質散射的影響也可忽略掉。

所以曲線上升的現象可合理的解釋為，因為薄膜厚度減少而限制銅晶粒的成長，造成銅薄膜厚度越小時晶粒大小也隨之下降，而晶界面積隨之大量上昇，電子傳遞時受到阻礙的路徑上升造成阻抗係數大量上升，晶界散射為造成阻抗係數上升之主要原因。

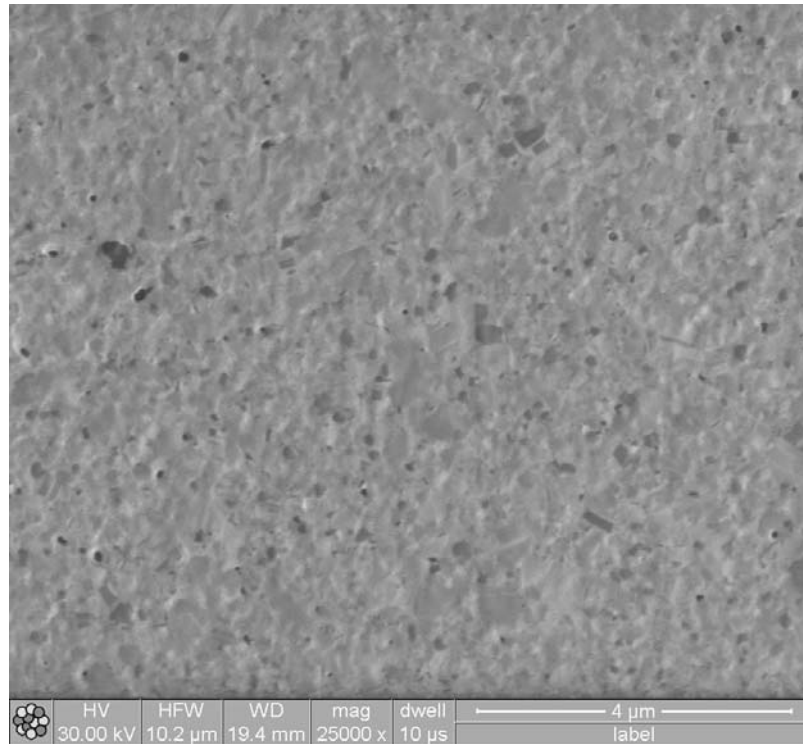


圖 4.4(a) 100 nm PVD Cu film grain size = 0.4-0.6 μm

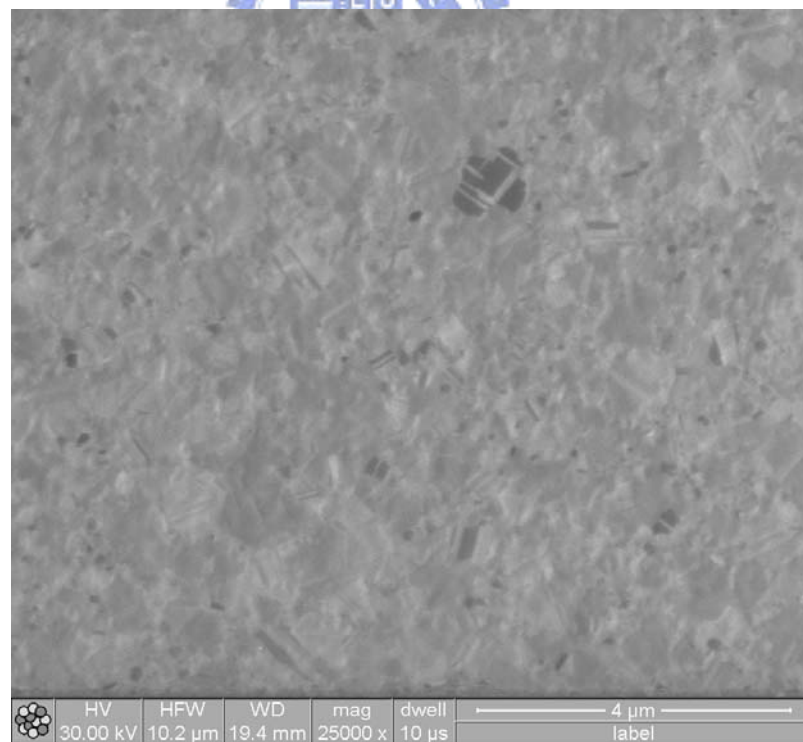


圖 4.4(b) 120 nm PVD Cu film grain size = 0.6-1.0 μm

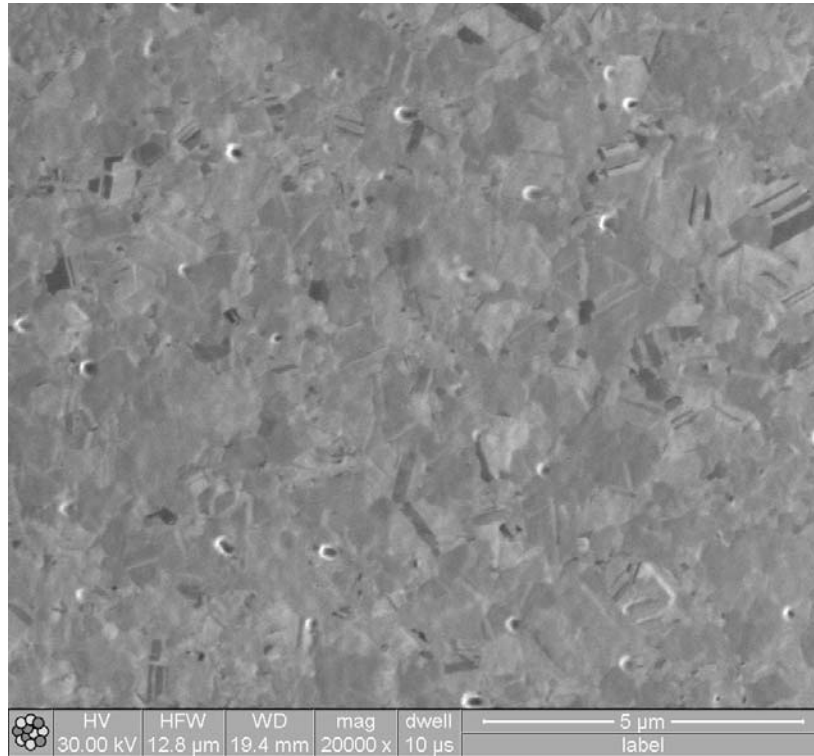


圖 4.4(c) 150 nm PVD Cu film grain size = 0.6-1.3 μm

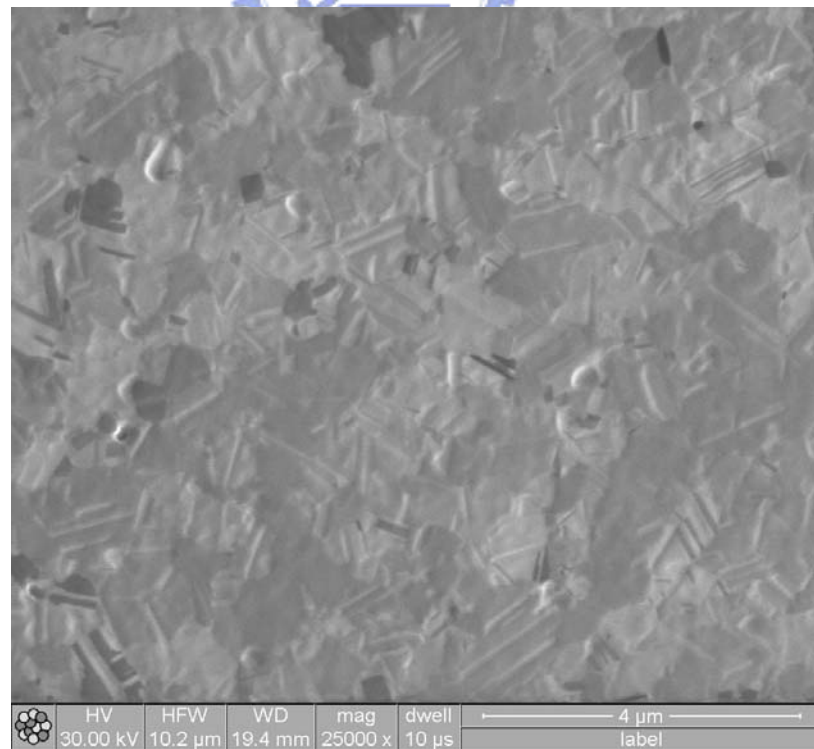


圖 4.4(d) 200 nm PVD Cu film grain size = 1.2-1.5 μm

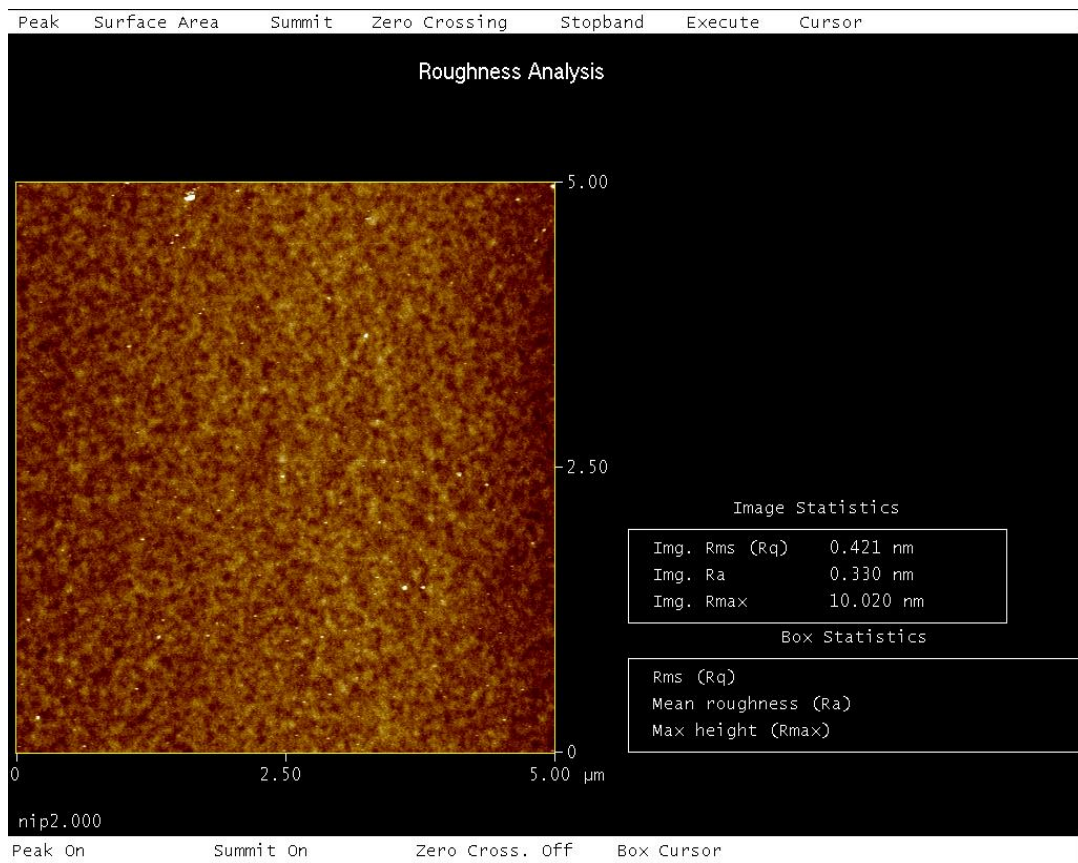


圖 4.5 Thermal Oxide 在 AFM 下量測，其 RMS 約 0.5 nm

4.2.3 表面散射試片之阻抗係數與厚度關係

繼續觀看實驗編號# B #的數據，此組試片設計的目的主要是探討在晶粒大小固定，且成長到最大尺寸以降低晶界散射影響的情況下，其他表面散射對阻抗係數造成的影響，首先看實驗所得的阻抗係數與薄膜厚度關係圖，如圖 4.6，可看出阻抗係數隨薄膜厚度的下降還是會持續上升，但上升的比例減少了許多，在 80 nm 時 ρ 值為 $2.2 \mu\Omega\text{-cm}$ ，與 150 nm 時 $1.95 \mu\Omega\text{-cm}$ 相比上升了 12%，薄膜厚度減少到 20 nm 時， ρ 值上升到 $3.9 \mu\Omega\text{-cm}$ ，與 150 nm 時 $1.95 \mu\Omega\text{-cm}$ 相比上升了 100%，再將實驗曲線與 FS Model 與 MS Model 做比較，發現曲線與 FS 預測值幾乎互相重疊。

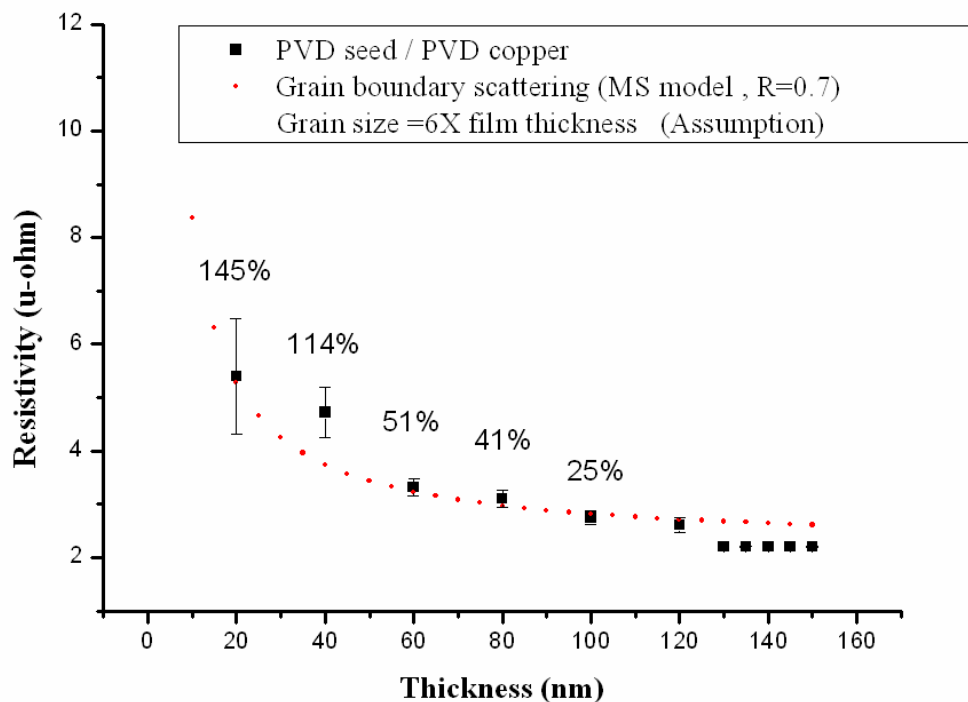


圖 4.6 表面散射機制之阻抗係數與薄膜厚度關係圖

晶粒尺寸分布：

接著看由 FIB 取出的晶粒尺寸圖，如圖 4.7(a)至 4.7(b)，可以很明顯的發現，不同厚度的銅薄膜皆具有相同尺寸的晶粒大小，約在 2.0-3.0 μm 與實驗設計#A#的試片相比，晶粒尺寸範圍是固定的，在不會隨著厚度減小而下降，而且大部分的晶粒尺寸都可成長到 2 μm 以上，與實驗設計# A #相比也大很多，可將晶界散射造成的影響降到最低。

觀看 TEM 圖形，如圖 4.8 所示，可發現種籽層的部份無明顯晶粒較小的情況，符合原本實驗設計讓整個薄膜晶粒成長到最大之需求，在此組試片原本的設計中所採用的 oxide 也為 thermal oxide，平坦度非常好，所以同樣可以大膽的推論，在此設計中因為介面不平整造成的散射變因是固定值，並且在不同厚度的薄膜其晶粒尺寸大小相等並成長到最大值，所以晶界散射所造成的影響可降低的最小。

所以合理的推論此曲線上升的趨勢為，表面散射現象也會造成銅薄膜厚度小於 90 nm 後，阻抗係數值上升現象，但是表面散射與晶界散射相比較而言，其影響度較小，造成阻抗係數上升的比例較小。

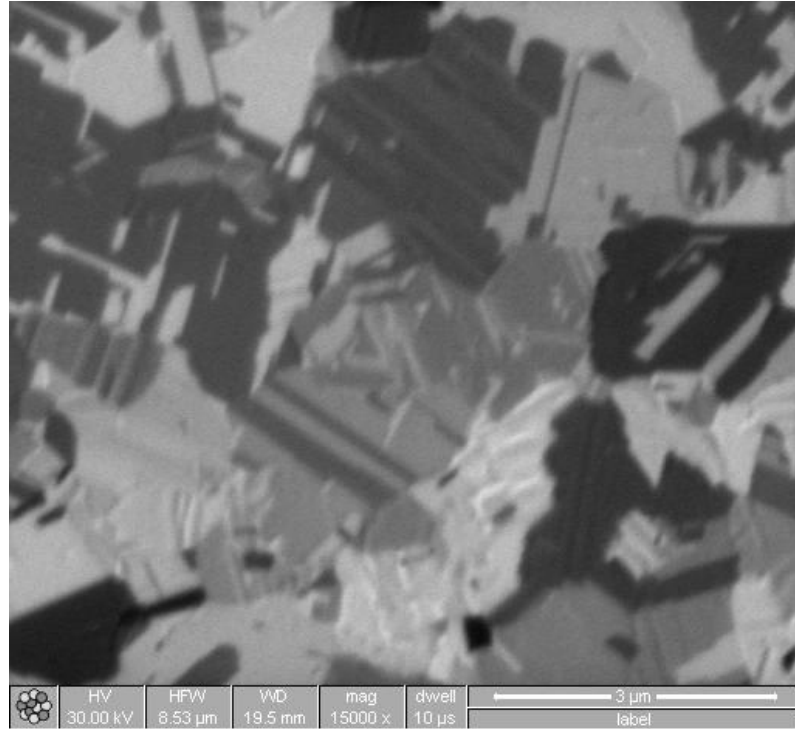


圖 4.7(a) 40 nm ECP Cu film, grain size =1.5-2.5 μm

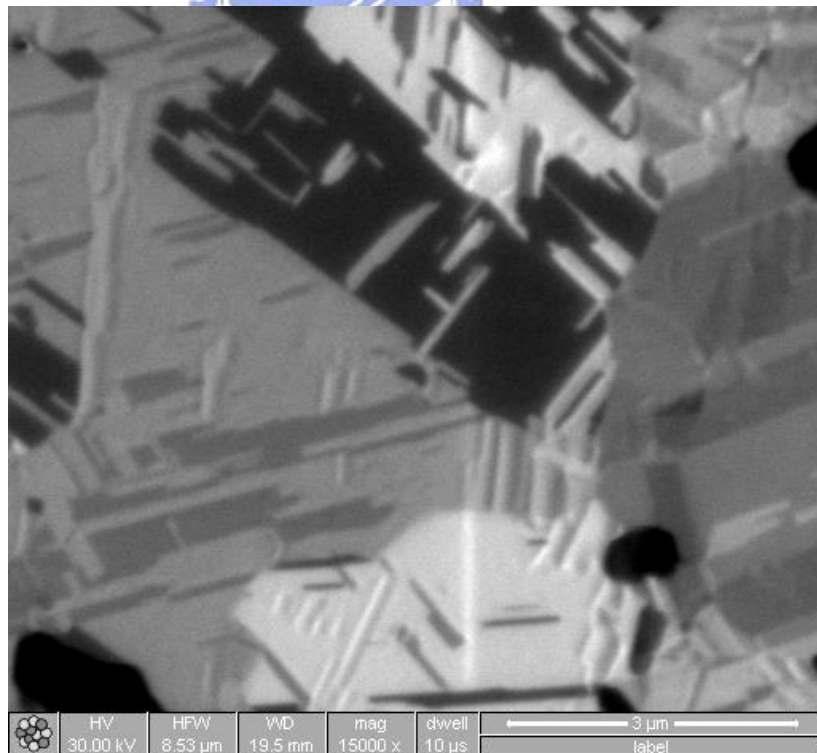


圖 4.7(b) 80 nm ECP Cu film, grain size =1.5-2.5 μm

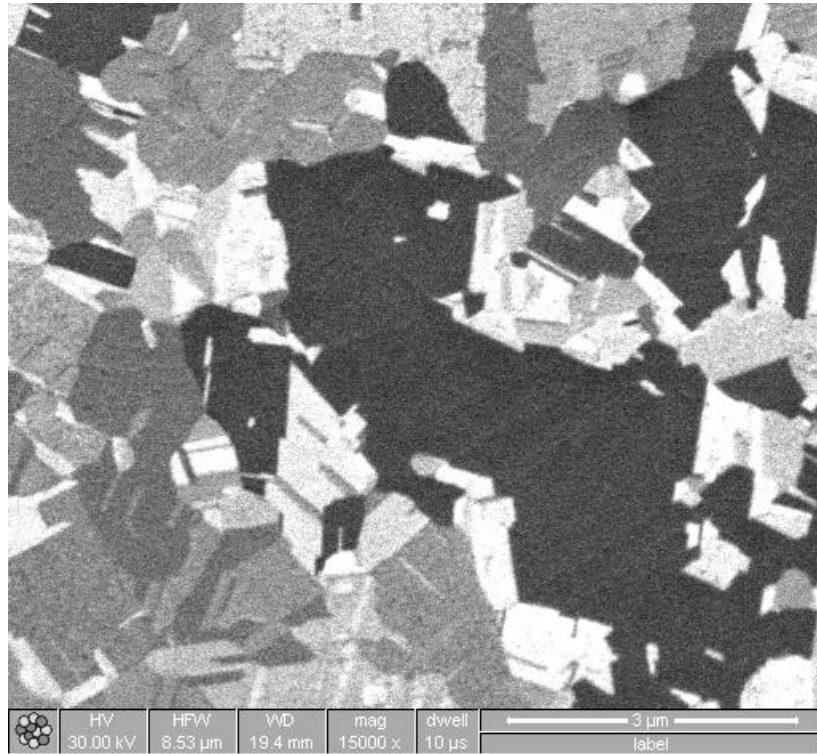


圖 4.7(c) 100 nm ECP Cu film, grain size = 1.5-2.5 μm

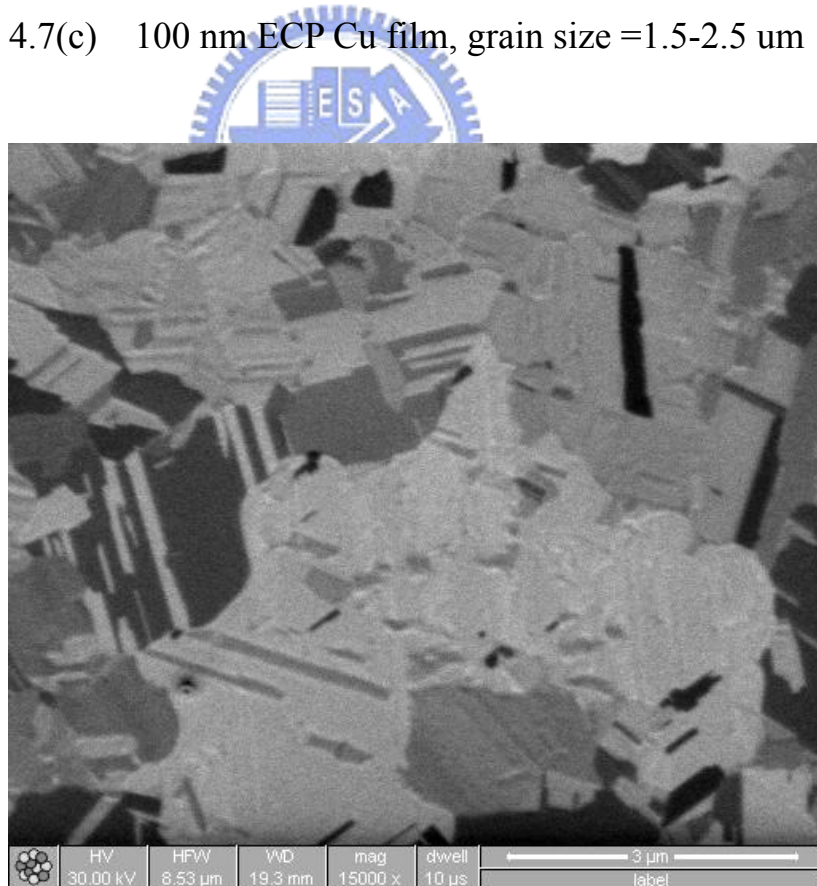


圖 4.7(d) 150 nm ECP Cu film, grain size = 1.5-2.5 μm

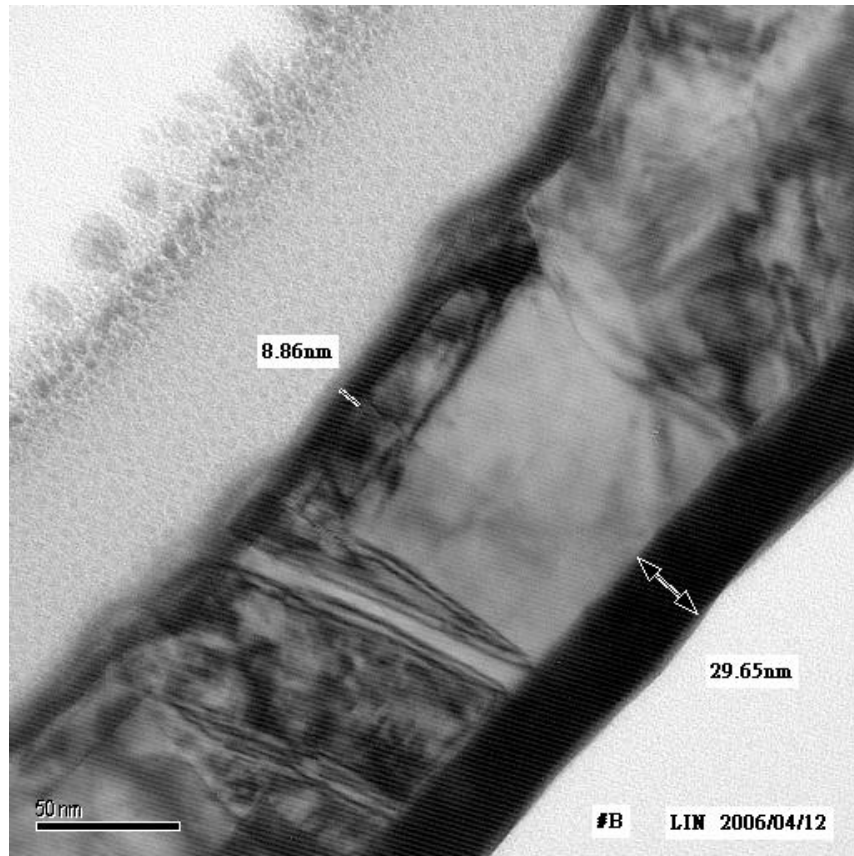


圖 4.8 100 nm ECP Cu film



接著觀察在此試片設計中，兩種不同退火條件下所造成的曲線差異，如圖 4.9 所示，可以很明顯的看出 200 °C 下 30 分鐘退火這個條件，在同樣的厚度下，其阻抗係數值皆比 350 °C 下 60 分鐘退火條件下的數高，這兩條曲線唯一的差異性就是退火條件的不同，此項變異直接影響到的就是晶粒大小，觀看圖 4.10(a)與圖 4.10(b)可知，在 200°C 下 30 分鐘退火後，晶粒大小範圍約為 1.0-1.5 μm ，與 350 °C 條件下(2.0 μm 以上)相比有較小的趨勢，所以由此更可驗證晶界散射這個機構的存在。若多做幾個不同退火條件的試片，便可進一步求得晶粒大小對阻抗係數之關係圖。

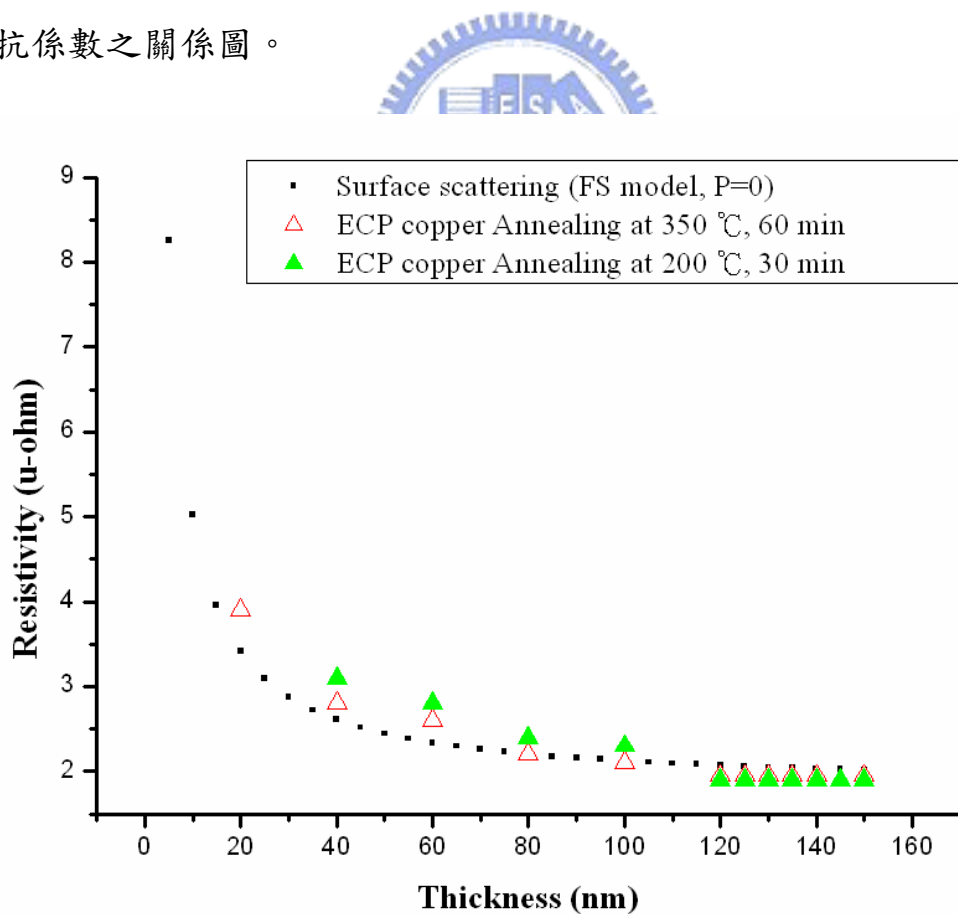


圖 4.9 ECP copper 在兩個不同退火條件下之阻抗係數比較

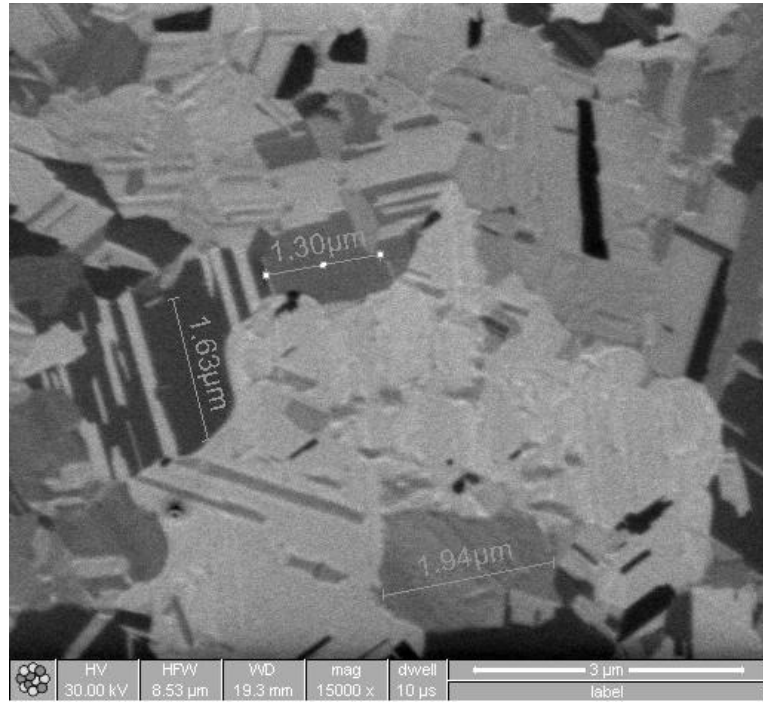


圖4.10(a) 150 nm ECP copper film, grain size=1.0-1.5 μm

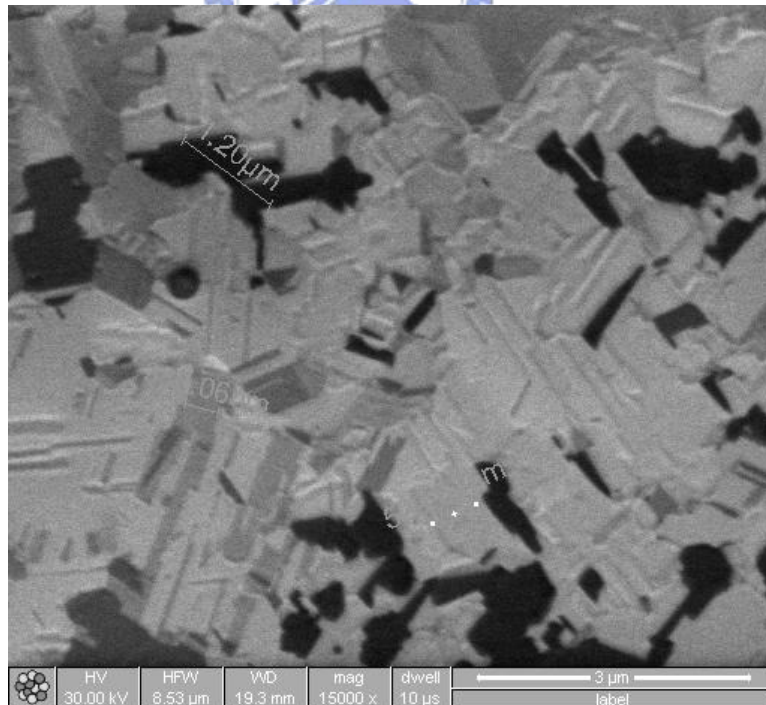


圖4.10(a) 40 nm ECP copper film, grain size=1.0-1.5 μm

4.2.4 散射機構對阻抗係數的影響

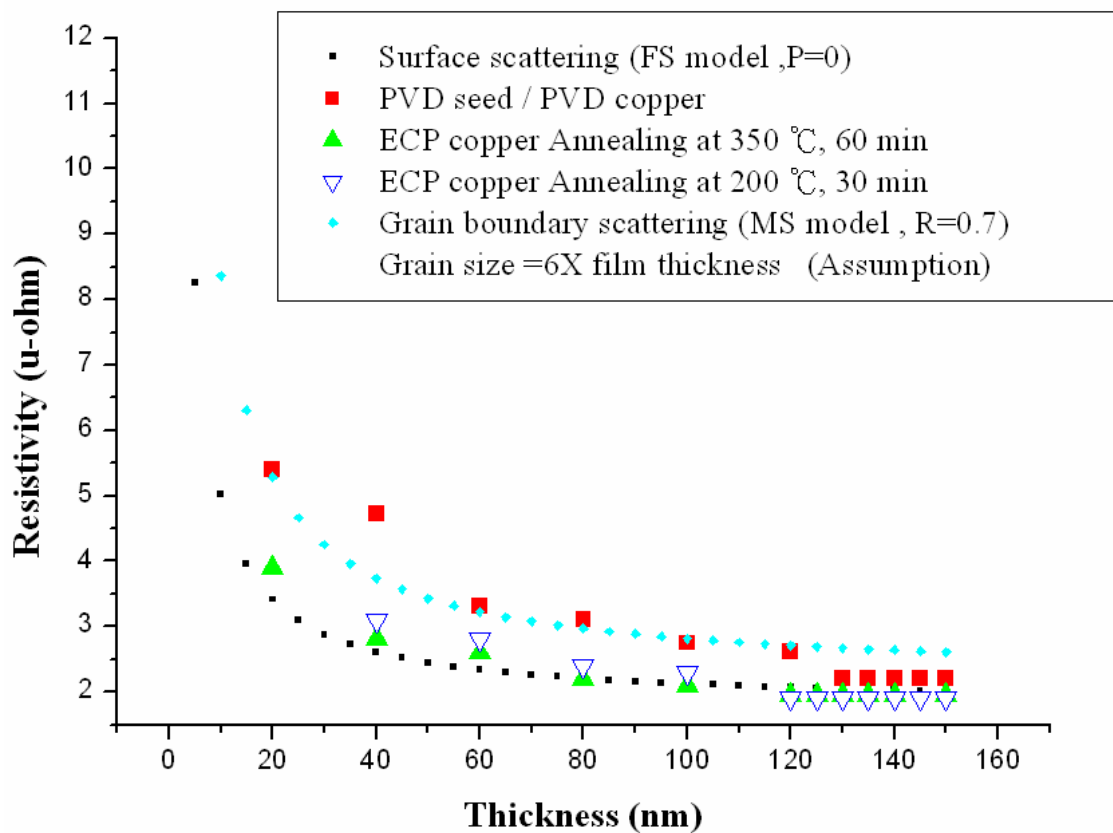


圖 4.11 三種條件下之阻抗係數值比較

由上圖 4.11 可清楚的看出，阻抗係數在銅薄膜厚度小於 100 nm 後，兩組數據皆有明顯上升現象，在與學理推論的曲線配合後發現，晶界散射乃是造成此現象的主要原因，但在逐漸邁入 60 nm 以後，表面散射機構所造成的影響比例也有上升的趨勢，隨著薄膜厚度減少，表面散射也趨於重要。

4.2.5 展阻量測系統之應用

本次實驗中嘗試利用 SSM150 機台作為 SRP 技術量測，因為還無法確認這方法的可行性，所以首先我們使用的試片，與發表過的 PAPER 相同，目的是取得 RAW DATA 與 PAPER 發表過的數據做比較，量測後發現可成功得到一與 paper 發表過相近的曲線如圖 4.12 所示，但是到此發現幾個問題，(1)在測量的過程中發現因為 SSM150 機台較為老

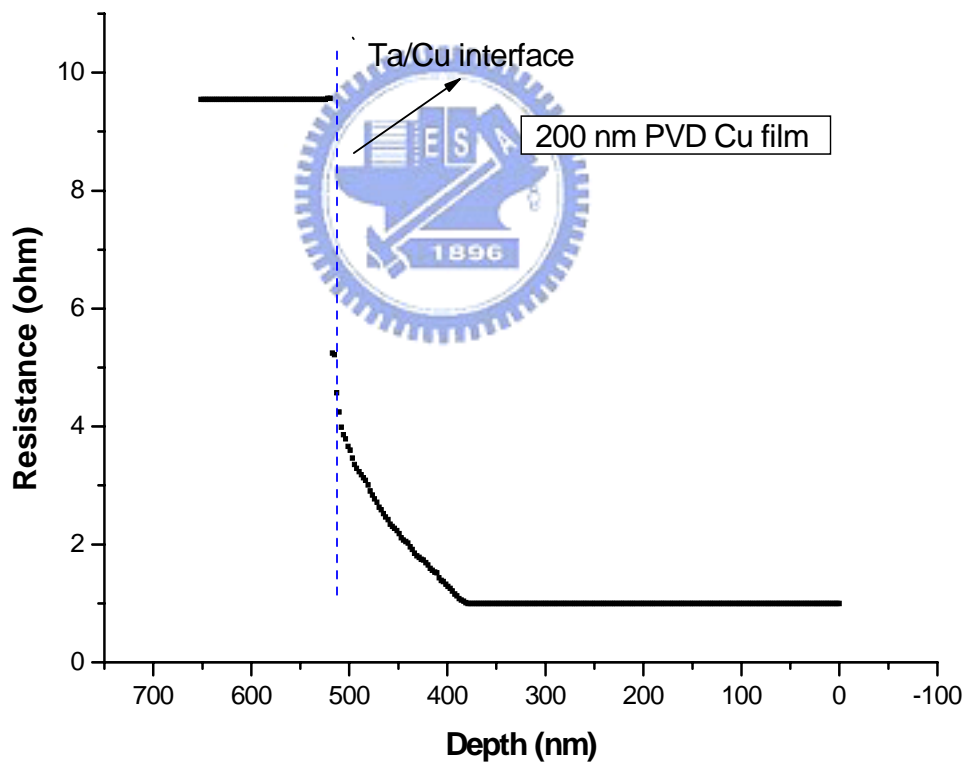


圖 4.12 200 nm PVD film 之 SRP 量測值

舊，所以可測得的展阻值極限為 1Ω ，必須要將銅膜控制在 90 nm 以下儀器才可偵測到，(2)銅薄膜在經過研磨過程後，無法得到一個平坦的表面，且容易在邊緣有著金屬累積的現象造成厚度有很大誤差，(3)我們比較實驗所取得的 Raw data 與 PAPER 發表過的數據，可發現原先相似的展阻值，但在由電腦內建軟體轉換成阻抗係數後，得到的數值與 PAPER 發表的值大約相差了 1-2 個數量級，這點是一直無法突破的地方，在經過寫信與原發表作者溝通後瞭解到，原作者在轉換過程中做了許多修正，在詳細的分析後得到以下的結論[40-42]：

i. SRP 機台所量測出來之展阻值非絕對值，其內建分析軟體乃針對半導體所下去建構，若用金屬做量測會發生展阻分布電流計算的誤差值，所以必須從新修正計算方程式才能取得較為正確之展阻值。

ii. SRP 機台為 2 點探針操作，本文於先前介紹過，只由兩點取得電流與電壓值會出現接觸電阻，對半導體而言，因其本身是屬於高阻值的狀態，所以接觸電阻可以忽略，但對銅薄膜而言，這接觸電阻則為非常大之誤差所在，所以還必須將接觸電阻之誤差值扣除。

iii. 在半導體的例子中，探針與測試面的接觸面積幾乎是固定的，但是因為銅為一機械強度很低之材料，只靠機械研磨很難取得一光滑平整的研磨面，因為表面的不平整造成探針在每個點的接觸面積是會變化的，所以要再加入一個接觸面積的修正項，式 4.1 為修正方程式

$$R_{surf} = \ln\left(\frac{s}{a}\right) \times \frac{R_{sheet}}{\pi} \dots\dots\dots (4.1)$$

其中 S 為兩隻探針間的距離，a 為接觸圓的半徑。

由展阻值轉換成阻抗係數時會有很大誤差，主要為以上三點造成，總修正的示意方程式如式 4.2 所示，

$$R_{3D} = \frac{1}{\frac{1}{R_{Meas} - R_{Spr} - R_{bar}} - \frac{1}{R_{dam}}} \dots\dots\dots (4.2)$$

R_{spr} 為展阻電流修正項，需經由電腦模擬修正，

R_{bar} 為接觸電阻修正項，需經由多次 SRP 與 FFP 所得數值修正，

R_{dam} 為接觸面積修正項，需經由實驗與電腦模擬修正。



以上三個修正項都必須經過無數次反覆的實驗與理論分析，過程繁雜且耗時，由於此並非為本實驗之要目地，所以暫時留待日後有時間在作深入之研究。

第五章 結論與未來展望

實驗結論：

由實驗設計#A#的銅薄膜數據可以得知，厚度 80 nm 時 ρ 值是 3.1 $\mu\Omega\text{-cm}$ ，與 150 nm 時 2.2 $\mu\Omega\text{-cm}$ 相比上升了 41%，薄膜厚度減少到 20 nm 時，阻抗係數上升到 5.4 $\mu\Omega\text{-cm}$ ，與 2.2 $\mu\Omega\text{-cm}$ 相比更是上升了 145%，再將實驗所得的曲線與晶界散射理論做比較後可發現，數據大致上與 MS Model 預測的曲線相符合，可以驗證晶界散射阻抗係數上升的主要原因之一。

實驗設計#B#的銅薄膜數據，在 80 nm 時 ρ 值為 2.2 $\mu\Omega\text{-cm}$ ，與 150 nm 時 1.95 $\mu\Omega\text{-cm}$ 相比上升了 12%，薄膜厚度減少到 20 nm 時， ρ 值上升到 3.9 $\mu\Omega\text{-cm}$ ，與 150 nm 時 1.95 $\mu\Omega\text{-cm}$ 相比上升了 100%，發現實驗數據與 FS Model 預測值相符合，由此可知，當晶粒平均尺寸遠大於 Mean Free Path 時表面散射機制將可以明顯的被觀察到，尤其厚度小於 60 nm 時表面散射機制會更顯的重要，在此組試片中經由退火條件的不同而改變晶粒大小，也可再次觀察驗證晶界散射的現象。

綜合以上的數據我們可以知道，晶界散射是主要影響 90 nm 至 60 nm 製程中，阻抗係數上升的主要原因，在 60 nm 至 40nm 時，表面散射的影響的比例也慢慢上升，此是銅導線的物理極限無法避免，由本實驗

的觀點來看，在製程上不改變導線材料的狀況下，要如何減少此衝擊減緩阻抗上升的趨勢，可考慮將導線晶粒成長至最大的方向來減少晶界散射現象，但在製程上晶粒成長本身會受到線寬的限制，所以如何找出新的製程來抗擊這晶界散射現象是日後重要的課題。

未來研究方向：

1. 表面粗糙度之變數，因為電漿蝕刻絕緣層是造成銅導線與阻障層金屬間粗糙度的最大製程變數，所以粗糙度對阻抗係數所造成的衝擊是需要被了解的，由於常用的二氧化矽絕緣層是一良好的薄膜材料，蝕刻後表面起伏也不易有很大的差距，所以可採用新穎的低介電材料來當作絕緣層基材，再利用蝕刻來改變粗糙度變數，如此一來即可了解製程上因蝕刻所造成的衝擊。
2. 回觀目前 90 奈米後段連接中銅導線，如下頁圖 5.1 所示，在第一金屬層 (M1)，銅籽厚度對鍍銅線寬度的比例大概是 1:6 (20 nm to 120 nm)，若縮小至 65 奈米或更往前的世代時，因為電鍍時跨晶圓的 IR drop 考量，銅籽厚度無法減少太多，我們預期銅籽厚度對鍍銅線寬度的比例會繼續增高後，無法如同厚鍍銅 (>100-200 nm) 時銅籽合併於鍍銅層，晶格同時成長 [40]，此將影響及控制超細

鍍銅薄膜的晶格成長，甚至在銅/鈮界面(Cu/Ta interface)殘留較小的銅籽晶粒。所以若能控制銅籽晶粒大小，便可研究線寬縮小到 65 奈米後，電鍍銅籽層所造成的衝擊。此研究較難之處在於，我們需要先找到如何控制銅籽的晶粒大小的方法以製備晶粒相差大的銅籽層試片，可考慮在沉積銅籽層時，參雜不同濃度的金屬原子，造成晶粒成長時，晶界移動受到牽制，以控制出差異大的銅籽的晶粒，進而研究超細鍍銅薄膜之晶粒大小及其阻抗係數之影響。

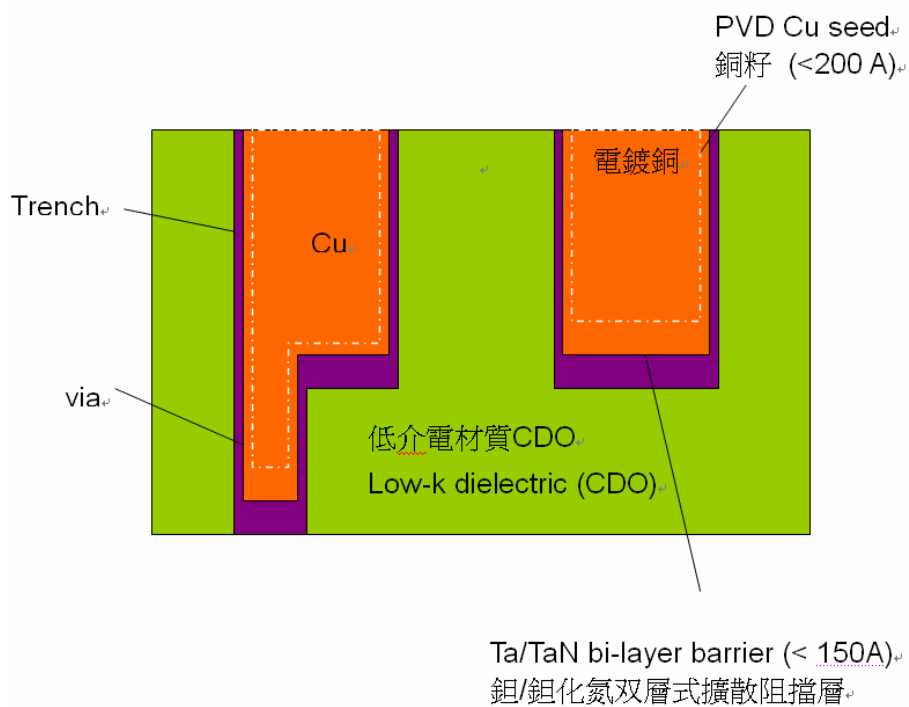


圖 5.1 後段連接銅導線 (trench + via)之橫截面圖

參考文獻

- [1] Peter Van Zant, Microchip fabrication : a practical guide to semiconductor processing, 4th ed, McGraw-Hill, New York, 2001
- [2] Carter W. *et al.*, IEEE VMIC Conference, p.144, 1991
- [3] International Technology Roadmap for Semiconductors, Executive Summary, 2005
- [4] R. Singh *et al.*, The Electrochemical Society Interface, p.26, 1999.
- [5] Mark T. Bohr, International Electronic Device Meeting, p.241, 1995.
- [6] R. J. Gutmann, IEEE Transactions on Microwave Theory and Techniques, p.667, 1999.
- [7] R. J. Gutmann, IEEE RAWCON Proceeding, p.285, 1998
- [8] J. Leu, Low-k Materials and Processing Technologies Class, Lecture 2 , 2005
- [9] International Technology Roadmap for Semiconductors, Interconnect, 2005
- [10] M.-A. Nicolet., Thin Solid Films, **52**, p.415, 1978
- [11] J. F. Shackelford, Materials Science for Engineers, MacMillan, New York, p.508, 1988
- [12] Jiang Tao *et al.*, IEEE Electron Device Letters, p.554, 1993
- [13] S. P. Murarka *et al.*, Thin Solid Films, **236**, p.257, 1993
- [14] P. Singer, Semiconductor International, p.91, 1998.
- [15] S. Q. Wang, Materials Research Bulletin, p.30, 1994.
- [16] J. Kim *et al.*, Journal of Electronic Materials, **28**, p.6, 1999
- [17] R. Hoogeveen *et al.*, Thin Solid Films, **275**, p.203, 1996.
- [18] D. Edelstein *et al.*, IEEE, International Electronic Device Meeting,

p.773, 1997

- [19] H. Ono *et al.*, Applied Physics Letters, **64**, p.1511, 1994
- [20] J. O. Olowolafe, Journal of Applied. Physic, **72**, p.4099 , 1992
- [21] C. S. Liu *et al.*, Journal of Applied Physic, **74**, p.5501, 1993
- [22] Momtchil Stavrev, Journal of Vacuum Science & Technology A., **17**, p.993, 1999
- [23] S. M. Rossnagel, Journal of Vacuum Science & Technology B., **20**, p.2328, 2002
- [24] K. HIEBER, Thin Solid Films, **24**, p.157, 1974
- [25] S.W. Russell *et al.*, Thin Solid Films, **262**, p.154, 1995
- [26] Kee-Won Kwon *et al.*, Applied Physic Letters, **71**, p.3069, 1997
- [27] W. Wu *et al.*, Applied Physic Letters, **84**, p.2838, 2004
- [28] J.Vancea, G. Reiss, and H. Hoffmann, Physical; Review B, **35**, p.6435, 1987
- [29] Ron Powell, IITC Sematech Workshop, 2005
- [30] De Vries, Thin Solid Films., **167**, p.25, 1988
- [31] K. Fuchs, Proc. Cambridge Phil. Soc., **34**, p100, 1938.
- [32] T. S. Kuan *et al.*, Mater. Materials Research Society, D7.1.1, 2000
- [33] AF. Mayadas *et al.*, Physical Review B, **1**, p.1382, 1970
- [34] T. Clarysse *et al.*, Journal of Vacuum Science & Technology B., **22**, p.444, 2004
- [35] T.S. Kuan, SRC report and private communication, 2003
- [36] J. Sudijono, IEDM short course, p.15, 2004
- [37] Valenzuela C. G., TMS-AIME, p.1911, 1965
- [38] Remy L., Acta Met., p.443 , 1978

- [39] Dean Denning, IITC Sematech Workshop, 2005
- [40] T. Clarysse *et al.*, Journal of Vacuum Science & Technology B., **20**, p.459, 2002
- [41] T. Clarysse *et al.*, Applied Physics Letters, **80**, p.2407, 2002
- [42] S. M. Hu, Journal of Applied Physics, **53**, p.1499, 1981

