

## 誌謝

在此要先謝謝家人，在經濟上與心理上的支持我離家讀書，才有機會在這邊感謝老師與朋友們致上祝福。

第一次跟教授握手說：「麻煩老師指導。」好像昨天而已，到今天要跟教授說：「謝謝指導與照顧。」在這段期間，受到老師的指導之處很多，對我們關心與研究的認真，讓人記憶猶新。跟阿光學長學儀器，問 paper 看不懂的部份，八月的深夜在科學一館作 AFM 到 2 點；和親切又有個性的超哥學長在博愛校區磨完試片的下午，一起吃飯聊天；還有世緯跟阿丸，在實驗室作模擬，還有寫 Labview，真的是最堅強的實驗陣容。

感謝從不迷路的聖翔學長，深夜送宵夜到小倉庫實驗室，陪到凌晨 3 點才走；帥氣又有實驗天份的程昶學長與宏誌學長，在我實驗有瓶頸的時候都有問必答；慶榮學長在儀器上的指導，與鈺庭學長作的奈米領域研究分享，讓我獲益不少；章斌學長在課程與覆晶凸塊研究指導上很認真；大方的筱芸學姐都會分擔我們作實驗的辛苦，會分好吃的小零嘴給大家；翔耀學長還有永昌學弟高個又長不大；詠煌學長人好相處。學弟妹中，直屬的誠風人帥又可靠，壘球守備技術好，是學弟妹詢問率最高的助教；直屬的明慧很聰明活潑，雖然才碩一但做事情仔細有條理；宗寬有點哲誠，但真的是博班的料，也是吃甘泉魚麵的好夥伴。

同時畢業的儒雅的台客書宏學長、貼心又賢慧的佩君、常走流浪路線的帥舜民、有如國寶般的帥氣哲誠，應該算是最有特色的團體，平常一起過日子與最後在畢業前夕的革命情感，已經少不了你們，少了你們生活會平淡很多，感謝有你們陪伴。有機會在這個溫馨的實驗室，從慶生到尾牙聚餐，還有跟大家一起運動打壘球，從全部的開始到結束，都是很棒的經驗，希望還在努力的學弟妹與學長姐，都可以順利畢業，而已經離開或正要離開的，很快又可以有機會聚首。老師曾經教誨：『在工作、家庭因素牽制求學前，有能力念的時候，就盡量念；有能力出國讀博班就盡量出國深造。』雖然這些事情，說的時候，很像只是個夢，但希望未來自己與實驗室的朋友們，在有能力下，都可以有機會追求更深的學問。可以一起在國外開同學會或是到某國探望老朋友，一定很棒。

## 中文摘要

覆晶封裝是目前在IC元件上的重要封裝之一。隨著電流密度的增加，錒錫接點的可靠度，已經成為重要的議題。元件的設計規則上，每個錒錫接點所承受的電流介於0.2到0.5A，而同時電流密度則以達 $10^3\sim 10^4\text{ A/cm}^2$ ，已經可導致電遷移發生。但目前仍鮮有關於厚膜(Ni/Cu)UBM的研究。在此研究中，利用厚膜結構的(電鍍Ni 3 $\mu\text{m}$ /Cu 5 $\mu\text{m}$ )作為UBM，錒錫為錒鉛(Sn80/Pb20)，在150 $^\circ\text{C}$ 下通約 $10^4\sim 10^5\text{ A/cm}^2$ 的電流密度錒錫高度為70 $\mu\text{m}$ ，在基板上以無電鍍鎳3 $\mu\text{m}$ 作為阻絕層。其電遷移下的破壞機制，推測是由於錒錫與IMC反應下的加速溶解，過程中同時觀察到持續的Sn、Pb兩成份重新分布。在其破壞時間(Time-To-Failure)上發現，錒鉛錒錫接點搭配厚膜的UBM(電鍍鎳/電鍍銅)，較薄膜UBM的錒鉛接點更能長時間使用。利用掃描式電子顯微鏡(SEM)與能量分佈X光(EDX)分析破壞過程中，介金屬化合物與錒錫本身相分佈改變下的成分組成。搭配模擬來推測電流的分布，來修正通電過程的電流聚集效應，在利用IR來校正通電過程中，溫度上升的影響。最後將實驗數據，透過修正討論後，驗證Black's Equation中的活化能為2.1eV與n值為6.2。

## Abstract

Flip Chip Technology is one of the most important packaging methods for high current density IC device. While current density applied increased, solder joint has become a critical issue on device reliability. Concerning electromigration, the device design rule makes each solder bump need to carry 0.2A to 0.5A, and the current density will meet  $10^3 \sim 10^4 \text{A/cm}^2$ . There is still little study on solder EM with thick UBM structure (Ni/Cu). In this study, thick UBM (electroplating Ni  $3\mu\text{m}$ /Cu  $5\mu\text{m}$ ) with SnPb solder (Sn80/Pb20) with  $10^4 \sim 10^5 \text{A/cm}^2$  at elevated  $150^\circ\text{C}$  is investigated. The solder height is about  $70\mu\text{m}$ , and electroless-Ni  $3\mu\text{m}$  as barrier layer at board side. Failure mechanism would be proposed that solder dissolution accelerates continuous IMC formation, and continues redistribution between Sn and Pb was found. The findings in TTF, that Sn80Pb20 solder joints with thick UBM is significant longer than e-SnPb with thin film UBM. In addition, the temperature and current distribution due to current applied was corrected by Infrared Microscopy and simulation to prove Black's equation's  $Q=2.1\text{eV}$  and  $n=6.2$ .

## 目錄

第1章、	緒論 .....	8
第2章、	文獻回顧 .....	13
	2-1. Sn/Cu界面反應 .....	13
	2-2. Sn/Ni界面反應 .....	16
	2-3. Sn/Ni/Cu界面反應 .....	17
	2-4. 鐳錫接點的電遷移 .....	18
	2-5. 錫鉛鐳錫對電流作用的研究 .....	19
	2-6. 減緩電遷移的其他應用 .....	25
第3章、	實驗方法與步驟 .....	39
	3-1. 試片製備 .....	39
	3-2. 實驗方法 .....	40
	3-2-1. 熱時效測試 .....	40
	3-2-2. 電遷移測試與觀測分析 .....	40
	3-2-3. 電阻變化量測與破壞機制 .....	41
第4章、	結果與討論 .....	47
	4-1. 體積效應的影響與熱時效作用 .....	47
	4-2. SnPb鐳錫組成對電遷移的影響 .....	50
	4-3. Ni/Cu UBM與鐳錫的冶金反應對電遷移的影響 .....	52
	4-4. 孔洞成長與鐳錫破壞 .....	54
	4-5. 平均破壞時間與Black's equation .....	56
第5章、	結果與未來展望 .....	74
第6章、	參考文獻 .....	75

## 圖目錄

圖 1 -1 封裝層級示意圖 .....	11
圖 1 -2 覆晶接合簡圖 .....	11
圖 1 -3 以Gold-Wire Bonding連接晶片的BGA Packaging.....	12
圖 1 -4 以覆晶封裝連接晶片的BGA封裝 .....	12
圖 2 -1 錫銅二元合金相圖 .....	27
圖 2 -2 共晶錫鉛經過 170°C 熱時效 1500 小時[11].....	27
圖 2 -3 錫鎳二元合金相圖 .....	28
圖 2 -4 Cu-Sn-Ni 在 240°C 的恆溫相圖 .....	28
圖 2 -5 錫鉛鋅錫體積與pad比不同，造成相同時效時間下時效厚度不等。.....	29
圖 2 -6 SAC鋅錫經過 1431 小時通電流 $1.68 \times 10^4 \text{A/cm}^2$ ，孔洞生成導線進入鋅錫之處。.....	29
圖 2 -7 95.5Sn-4.0Ag-0.5Cu經過通電後，陰極孔洞生成[31] .....	30
圖 2 -8 PbSn鋅錫在 150°C，通 0.5A經過 2338hrs通電之後。[23].....	30
圖 2 -9 共晶錫鉛觀測通電後會發生segregation的試片結構[24] .....	31
圖 2 -10 通電前錫鉛鋅錫的兩端微結構SEM影像。[24].....	31
圖 2 -11 通電後錫鉛鋅錫的兩端微結構SEM影像。[24].....	31
圖 2 -12 錫鉛鋅錫的總晶鬚體積，對通電時間。[25].....	32
圖 2 -13 當通入 0.59A電流下，利用紅外線顯像技術觀察到溫度分布。[31].....	32
圖 2 -14 電流通入，鋁導線進入鋅錫處有高溫熱點的熱模擬圖形。[31].....	32
圖 2 -15 利用Arrhenius關係式 $D = D^0 e^{-\frac{Q}{RT}}$ 作圖[21] .....	33
圖 2 -16 厚膜Ni/Cu UBM模擬結構圖[35].....	33
圖 2 -17 Cu/Ni結構UBM與錫鉛接點的簡圖[36].....	34
圖 2 -18 電子流進入處，可以看到Ni消耗[36].....	34
圖 2 -19 成份鑑定區域(b)組成[36] .....	35
圖 2 -20 成份鑑定區域(c)組成[36] .....	35
圖 2 -21 成份鑑定區域(d)組成[36] .....	36
圖 2 -22 孔洞生成延後電子流進入鋅錫下電流分佈。[38].....	36
圖 3 -1 測試試片截面結構圖 .....	44
圖 3 -2 daisy chain通電迴路 .....	44
圖 3 -3 破壞機制研究，兩顆接點通電迴路 .....	44
圖 3 -4 通電曲線(150°C 0.7A 98hrs破壞) .....	45
圖 3 -5 電流密度分布模型，電流 0.6A 150°C。電子流左下而左上，使用 1472hrs.....	45
圖 3 -6 分別以IR與熱敏電阻於加熱板 100、150 與 160°C 時， .....	46
圖 3 -7 分別以熱敏電阻量測試片於 150、160°C 加熱板上， .....	46
圖 4 -1 製備後未經處理的鋅錫接點EDX成份分析 .....	60

圖 4-2 試片於 170°C 下經過 25 小時時效處理作EDX成份分析 .....	60
圖 4-3 試片於 170°C 下經過 50 小時時效處理作EDX成份分析 .....	61
圖 4-4 試片於 170°C 下經過 100 小時時效處理作EDX成份分析 .....	61
圖 4-5 在 170°C 時效不同時間，接點內部錫量的改變 .....	62
圖 4-6 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流右上到左下。 .....	62
圖 4-7 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流方向右下到左上.....	63
圖 4-8 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流方向右上到左下.....	63
圖 4-9 經過 98 小時，在 150°C 下通入 0.7A 操作後，電子流由右上到右下發生破壞..	64
圖 4-10 經過 96 小時，在 170°C 下通入 0.6A 操作後，電子流由右上到右下.....	65
圖 4-11 操作 1029 小時在 150°C 0.85A，電子流由左上到左下，鉍錫接點電阻上升 1.9 倍.....	65
圖 4-12 通四顆接點的daisy chain於 170°C 通入 0.6A，經過 756 小時後斷路。 .....	65
圖 4-13 通四顆接點daisy chain於 170°C 通入 0.6A，經過 756 小時後斷路。電子流如示。 .....	66
圖 4-14 經過 98 小時斷路，在 150°C 下通入 0.7A 操作後，電子流由右上到左下。 ....	66
圖 4-15 經過 98 小時斷路，在 150°C 下通入 0.7A 操作後，電子流由右上到左下。 ....	67
圖 4-16 經過 3109 小時，在 150°C 下通入 0.5A 後，電子流由右下到左上.....	67
圖 4-17 前圖 4-16.的EDX成份鑑定，下方為純錫相。電子流往上。 .....	68
圖 4-18 前圖 4-16.的EDX成份鑑定，Cu <sub>6</sub> Sn <sub>5</sub> 。電子流往上。 .....	68
圖 4-19 前圖 4-16.的EDX成份鑑定，Cu <sub>6</sub> Sn <sub>5</sub> 。電子流往上。 .....	69
圖 4-20 前圖 4-16.的EDX成份鑑定，Cu <sub>3</sub> Sn。電子流往上。 .....	69
圖 4-21 以IR溫升利用TCR校正後的溫升。 .....	70
圖 4-22 比較以TCR推算與熱敏電阻得到溫升於 150°C。 .....	70
圖 4-23 比較以TCR推算與熱敏電阻得到溫升於 160°C。 .....	71
圖 4-24 通電時，電流分佈模擬。得修正之C=2.18 .....	71
圖 4-25 以 $\ln MTTF = \ln A - n \ln(cj) + \frac{Q}{kT}$ (eq. A) 假設溫度定值得到第一組n。 .....	71
圖 4-26 以 $\ln [MTTF \times (Cj)^n] = \ln A + \frac{Q}{k(T + \Delta T)}$ (eq. B) 推得Q為 1.86。 .....	72
圖 4-27 以(eq. C)得到n=6.27，lnA=17.937。 .....	72
圖 4-28 以點斜式修正(eq. C)，得到m=1 與lnB <sup>*</sup> =(-15.543)。 .....	72
圖 4-29 (eq. C) 得到的n=6.1694，lnA=12.10095。 .....	73
圖 4-30 (eq. B) 得到的Q=2.055068，lnA=12.1。 .....	73

## 表目錄

表 2-1 不同鐳料在Cu UBM上，熱時效下IMC成長所需的活化能與擴散[11].....	37
表 2-2 $^{210}\text{Pb}$ 與 $^{113}\text{Sn}$ 的interface diffusion在共晶錫鉛合金中 .....	37
表 2-3 在不同UBM下，其通電時接點內各截面電流聚集程度[36].....	38
表 2-4 共晶錫鉛與厚膜Ti/Ni(V)/Cu可靠度測試結果.....	38
表 3-1 在不同的通電環境下，破壞時間的結果.....	43
表 3-2 分別於 100、150、160 度下，不同電流下，以熱敏電阻量測晶片溫度上升。 .	43
表 4-1 常見IMC種類與其中含有的Sn、Cu、Ni原子百分比，文獻[10]。 .....	73



## 第 1 章 緒論

在四十年前，摩爾定律 Moore's Law 提出半導體的成長的趨勢，每年電路的複雜度會增加一倍，讓今日的電路相較於幾年前的比較之下快速許多。在電路時脈快速提高的過程中，發展出許多的封裝技術。依不同的接合過程，分為不同層級的封裝，見圖 1-1。[1]第一層，是在於將矽晶片接合到封裝的導線，為 Chip to Package。在第一層封裝的議題在於，如何有效的找到低介電常數的材料，以避免訊號延遲。與無鉛化的替代物；第二層的封裝，則是將封裝好的接線接到系統基板上，在第二層封裝部分，面臨的挑戰在可攜式電子產品的快速發展的同時，如何無鉛化，同時又可以保有抗衝擊的可靠，是目前在封裝上的挑戰。本篇研究將討論在第二層封裝上，錫鉛鉍錫對厚膜 UBM 的可靠度與破壞進行研究。

隨著電子產品朝微小化，快速化發展的同時。封裝技術必需面對接腳間距縮小、接點厚度降低與散熱方式的挑戰。為了提高 I/O 數、滿足可靠的散熱。從早期的 DIP 以引腳固定基板與晶片，其中發展出許多新的封裝技術，以達成縮小晶片的體積與提高鉍錫接點數量，當前發展成熟的 BGA(球狀陣列)。在晶片與 BGA 基板的連接方式，可以金線打線接合的方式，圖 1-3.[A]，或利用覆晶方式接合(Flip Chip)，

1-2.與 1-4.[A]，是利用錫球面朝下之技術，直接將由於可以減少材料的使用與降低成本，最早由IBM於1960s所發展的C4製程[2]，有著小體積與自組裝(self-alignment)等優點，為之後廣泛發展與利用在電子商品上。且隨著電子材料發展微小化的趨勢，同時需要從各方面，做有系統的就錒錫隆點(solder bump)的研究。

鉛在於錒錫球的獨特在於可以提供好的延展性以抵抗外在衝擊，同時由於共晶錒鉛對銅的接觸角小，可以避免Spalling的發生。在電子產業，常用具備優異濕潤效果(Wettability)、機械強度、可靠度與低熔點等優點的共晶錒鉛(Sn63Pb37)，作為晶片與基板接著媒介。且鉛為存量豐富的金屬材料，取得成本便宜。於工業使用，每年所用掉的大量鉛元素，被發現對環境有嚴重的汙染，隨著對環境保護的重視，如何以無鉛的錒錫球來取代含鉛錒球已經是重要的議題。世界各國對於電子產業中，已明文立法要求：歐盟則將於7月起實施，「限用有害物質指令」(RoHS)[3]；日本[4]完全禁止在西元2005之後的國內中電子元件，製造過程中，不得添加鉛，使得將來輸入的電器電子產品，不得含有鉛、鎘、汞、六價鉻與溴化耐燃劑(多溴聯苯類、多溴聯苯醚類)物質。

以往只需利用薄膜 Al/Ni/Cu 即可讓共晶錒鉛的通電操作下，不會發生脫離的問題。但在無鉛的錒料當中，主要提出以厚膜的結構 UBM

來面對無鉛鉛錫與 UBM 反應快的問題。目前用厚膜 Ni 作為 UBM 與鉛錫反應，在研究方面已有不少文獻。在錫鉛鉛料的電遷移，於以往的薄膜金屬墊層上的研究，其破壞的機制以及可靠度的研究也已經有許多研究。但對於錫鉛鉛錫接點於雙層金屬厚膜 UBM 的電遷移研究，尚未有完整的研究，同時未有文獻明顯指出，使用雙層的厚膜 UBM 之後，是否對於可靠度有多少幫助。在本研究中，將對於錫鉛鉛錫接點，搭配厚膜 Ni/Cu 兩層厚膜 UBM 的研究就高溫通電下的可靠度，以及通電下的破壞機制，做進一步的討論與分析。



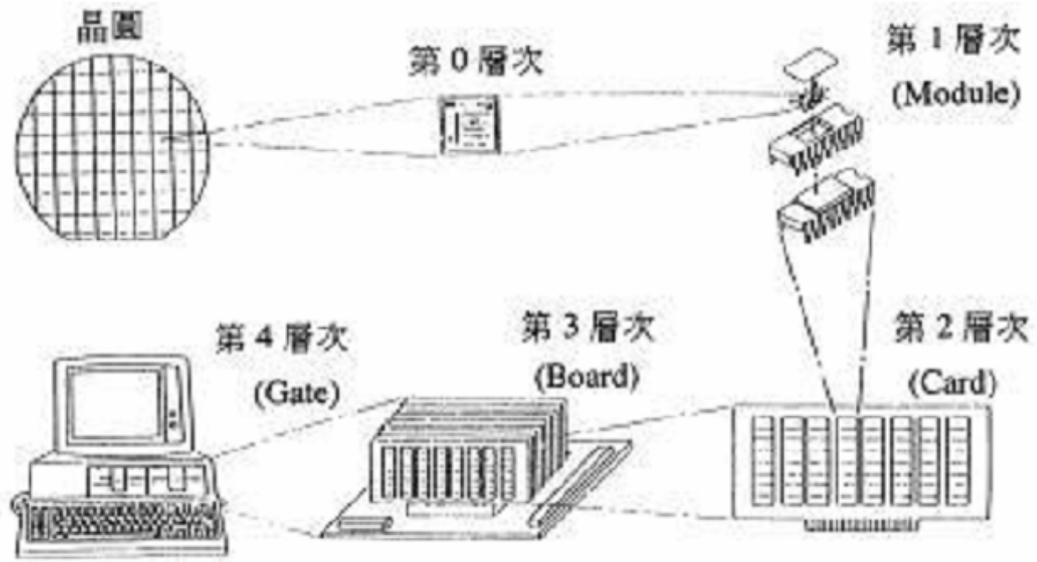


圖 1-1 封裝層級示意圖

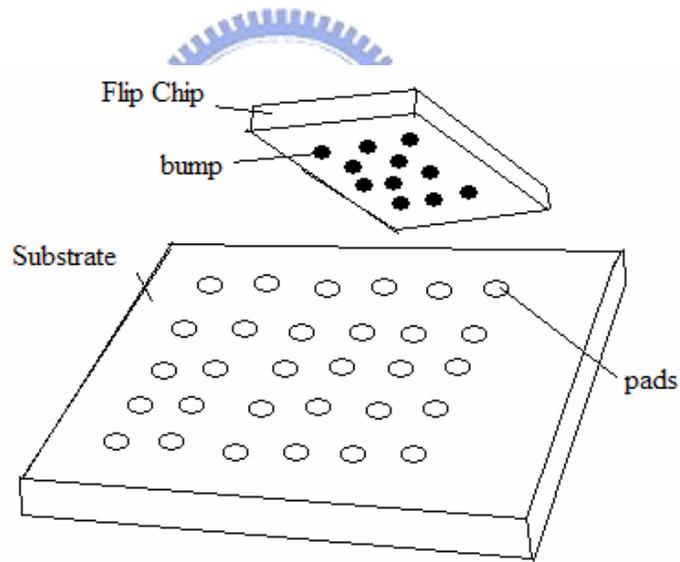


圖 1-2 覆晶接合簡圖

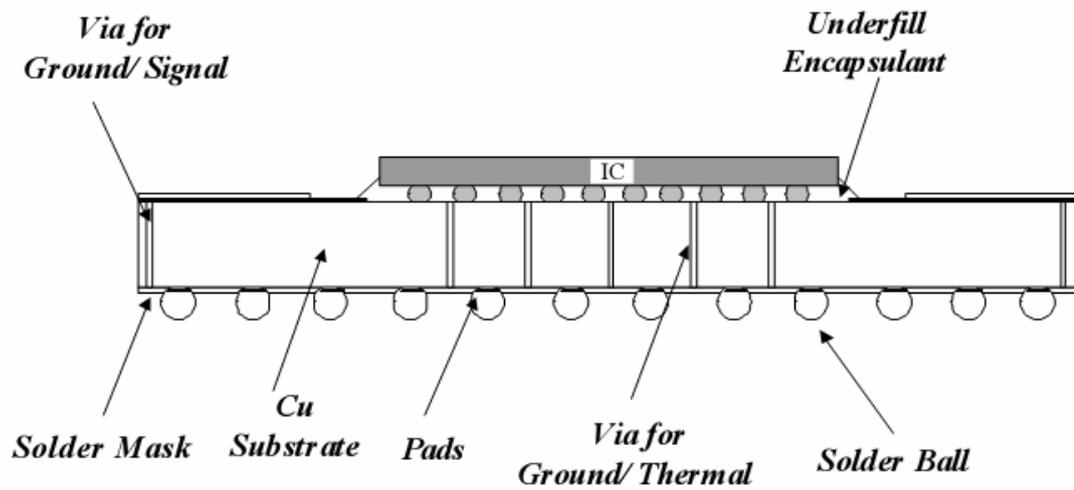


圖 1 -3 以Gold-Wire Bonding連接晶片的BGA Packaging

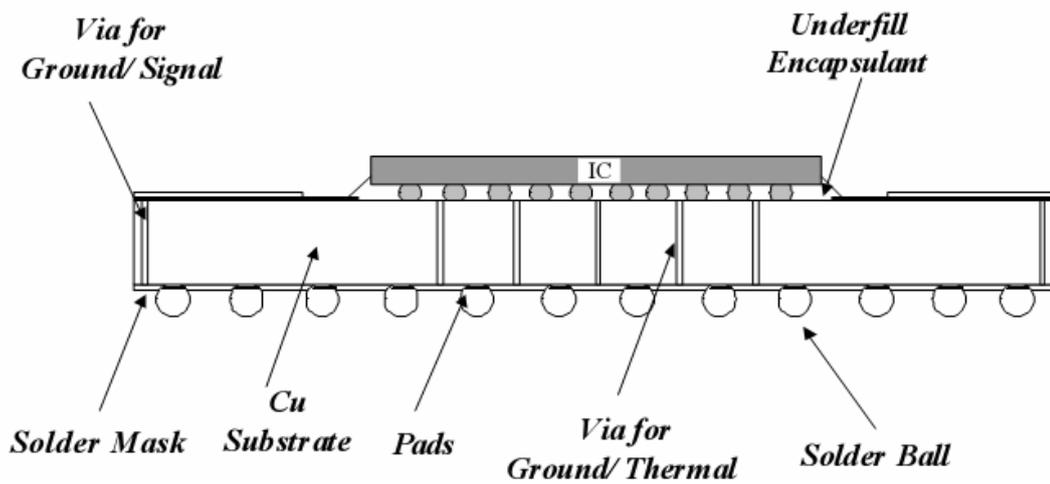


圖 1 -4 以覆晶封裝連接晶片的BGA封裝

## 第 2 章 文獻回顧

### 2-1. Sn/Cu 界面反應

從之前在二元合金系統下的Cu-Sn，有七種介金屬相存在，分別為 $\alpha$ -Cu、 $\beta$ -Cu<sub>17</sub>Sn<sub>3</sub>、 $\gamma$ -Cu<sub>4</sub>Sn、 $\delta$ -Cu<sub>41</sub>Sn<sub>11</sub>、 $\epsilon$ -Cu<sub>3</sub>Sn、 $\zeta$ -Cu<sub>10</sub>Sn<sub>3</sub>、 $\eta$ -Cu<sub>6</sub>Sn<sub>5</sub>，但就熱力學性質來看，在室溫下僅有 $\epsilon$ -Cu<sub>3</sub>Sn與 $\eta$ -Cu<sub>6</sub>Sn<sub>5</sub>為熱力學穩定存在的相。如(圖 2-1)所示。其中僅 $\epsilon$ -Cu<sub>3</sub>Sn與 $\eta$ -Cu<sub>6</sub>Sn<sub>5</sub>組成範圍狹小，大約只有 1~2%的溶解度，趨近線性化合物。但對於Cu對於Sn的溶解度約 0.01at%，同時於 99.3at%的Sn會與Cu發生共晶反應。基於在Sn/Cu電子封裝上廣泛的使用，Sn/Cu之間的擴散與界面反應，已有許多文獻。[5-11]

Z. Mei, A. J. Sunwoo等，在 20~220°C 之下，以Sn/Cu兩擴散偶來進行分析，Cu<sub>3</sub>Sn與Cu<sub>6</sub>Sn<sub>5</sub>兩相的生成與擴散係數[5]。在研究中指出Cu<sub>6</sub>Sn<sub>5</sub>該相具有較高的擴散係數，在於界面生成相裡面，Cu<sub>6</sub>Sn<sub>5</sub>在為支配主要的成長相。但當反應的溫度持續增加，Cu<sub>3</sub>Sn所佔比例會在生成相裡面的比例增加。同時於 220°C 時，對Cu<sub>6</sub>Sn<sub>5</sub>相成長主要擴散載子為Sn。

而在Tu等人的對於Sn/Cu的薄膜結構研究當中[6]，發現在室溫下反應會有Cu<sub>6</sub>Sn<sub>5</sub>存在於Sn/Cu界面處，同時反應溫度在 115~150°C

的時候，在Sn/Cu界面會先有Cu<sub>6</sub>Sn<sub>5</sub>的生成，才會在Cu<sub>6</sub>Sn<sub>5</sub>/Cu處生成Cu<sub>3</sub>Sn。將其Cu<sub>3</sub>Sn/Cu的反應偶改置於640°C的環境下反應20min，再緩慢冷卻回室溫，可發現Cu<sub>6</sub>Sn<sub>5</sub>的成長與時間呈線性；由於Cu<sub>3</sub>Sn相生成導致Cu<sub>6</sub>Sn<sub>5</sub>的消耗，其中的Cu<sub>6</sub>Sn<sub>5</sub>相的消耗速率會與時間成拋物線關係。而在以鎢為標記線的實驗裡面發現，在Cu<sub>6</sub>Sn<sub>5</sub>相的成長是以Cu為主要擴散載子。

S. W. Chen, C. M. Chen等人[7]將Sn/Cu的界面反應進行通電的與未進行通電的，在200°C。實驗指出在Sn/Cu的界面系統，200°C時，不管是否有通電，界面生成的相都生成Cu<sub>3</sub>Sn與Cu<sub>6</sub>Sn<sub>5</sub>兩組，同時對於電遷移是否造成界面改變，在此時的Sn/Cu界面不會發生明顯影響。



從純錫與純銅的熔點分別是232°C與1084.87°C來看，當溫度高過232°C時，此時的界面反應時是以液固形式存在。A. Hayashi, C.R. Kao等人 [8]與S. Bader, W. Gust 等人 [9]的實驗中，都在Sn/Cu的界面於240°C時發現Cu<sub>3</sub>Sn與Cu<sub>6</sub>Sn<sub>5</sub>相的存在，且於反應發生初期Cu<sub>6</sub>Sn<sub>5</sub>的成長速率較快，此時的生成厚度與反應時間關係也不符合拋物線，但是對於Cu<sub>3</sub>Sn的成長厚度對應時間的部分，仍符合拋物線。而相似的結果也曾於Kao等人在Cu的飽和Sn溶液與純Cu的液固界面反應時，由於並未明顯溶解，所以結果與固態的Sn與純

Cu的固態反應結果相似，介金屬相均以層狀且都為擴散控制；但液態的純Sn與純Cu反應中，液固界面因濃度差導致快速發生Cu的溶入Sn當中，造成生成相不會遵守拋物線，同時不規則的Cu<sub>6</sub>Sn<sub>5</sub>相產生。

至於在更高溫度的情況下，Su等人[10]，在 300°C 時的Sn/Cu反應中，發現界面有Cu<sub>3</sub>Sn與Cu<sub>6</sub>Sn<sub>5</sub>相的生成。同時觀察發現，此時的Sn/Cu<sub>6</sub>Sn<sub>5</sub>端的界面非平整，而是Cu<sub>6</sub>Sn<sub>5</sub>為扇貝狀(Scallop)的型態存在；至於Cu<sub>6</sub>Sn<sub>5</sub>/Cu<sub>3</sub>Sn與Cu<sub>3</sub>/Sn等界面均為平整層狀分布。Su等人[10]提出出現該情況的理論，是由於Cu<sub>6</sub>Sn<sub>5</sub>相是產生在液固狀的界面處，因液體有流動能力，且固態Cu溶入液態Sn的過程很顯著發生，造成Sn/Cu<sub>6</sub>Sn<sub>5</sub>的界面不平整，生成相的成長厚度不會遵守拋物線。其他的界面部份，如Cu<sub>6</sub>Sn<sub>5</sub>/Cu<sub>3</sub>Sn、Cu<sub>3</sub>Sn/Cu等界面，由於屬於固/固界面的成長，所以維持界面平整層狀。此外Su等人[10]發現當反應發生在 450°C 時，Sn/Cu界面會不在有Cu<sub>6</sub>Sn<sub>5</sub>的生成，而是以Cu<sub>4</sub>Sn與Cu<sub>3</sub>Sn相的存在。

T.Y. Lee, W. J. Choi 等人發表在 JMR 2002.[11]提出分別以共晶錫鉛、無鉛鉍錫在 Cu UBM 接合後，於 125、150、170°C 下進行固態熱時效。從回鉍過程中，發現對於e-SnPb與Sn-3.5Ag其Cu<sub>6</sub>Sn<sub>5</sub>介金屬化合物形狀為 scallop-type 的結構，而 Sn-0.7Cu 與

Sn-3.8Ag-0.7Cu 的 scallop 狀的  $\text{Cu}_6\text{Sn}_5$  為多面狀。透過熱時效處理，其 IMC 界面處的型態會轉變為層狀(layered-type)，其中包括  $\text{Cu}_6\text{Sn}_5$  與  $\text{Cu}_3\text{Sn}$  兩種。且其厚度變化可以發現  $\text{Cu}_3\text{Sn}$  會成長到與  $\text{Cu}_6\text{Sn}_5$  一般厚度(圖 2-2.)。活化能在錫鉛鋅料與無鉛鋅料於 Cu UBM 上的 IMC 成長分別為 0.94eV 與 1.05eV。(表 2-1.)

## 2-2. Sn/Ni 界面反應

在 Sn-Ni 二元合金的平衡相圖可以發現[12](圖 2-3.)，其包括五組 eutectic、兩組 congruent、一組 peritectic 與一組 polymorphic。在此二元系統下最存在的以  $\text{Ni}_3\text{Sn}$ 、 $\text{Ni}_3\text{Sn}_2$  與  $\text{Ni}_3\text{Sn}_4$  三個平衡相。對於 Sn 在 Ni 的溶解度約 9.7at%。至於介金屬相，對於 Sn 的溶解度： $\text{Ni}_3\text{Sn}$  的組成範圍介於 23.3at%~25.6at%Sn，結構為  $\text{Mg}_3\text{Cd}$ -type 的結構，但當溫度提高到 977°C 在 25at%Sn 的時候，結構會轉為 hexagonal。在低於 600°C 下  $\text{Ni}_3\text{Sn}_4$  組成範圍為 55.5at%~57at%Sn，到 794.5°C 時，組成範圍會縮小到只有 55.5at%。

160~220°C，在 Tomlinson 等人的研究[13]發現 Sn/Ni 的固/固界面反應，Sn/Ni 界面只會存在  $\text{Ni}_3\text{Sn}_4$ ，而厚度曲線符合拋物線。

240~400°C 的 Sn/Ni 界面反應部份，有 S. Bader, W. Gusft 等人 [9] 提出研究。隨著加熱時效的初期，界面只觀察到  $\text{Ni}_3\text{Sn}_4$  這相的生

成，厚度未符合拋物線；但是當反應時間拉長為 1000 小時  
240°C 下，界面處開始看到Ni<sub>3</sub>Sn的產生；而提高時效溫度到 350°C  
長時間下反應，發現到在Ni<sub>3</sub>Sn<sub>2</sub>與Ni的界面處，觀察到Ni<sub>3</sub>Sn生成，  
而Ni<sub>3</sub>Sn<sub>2</sub>、Ni<sub>3</sub>Sn成長會滿足拋物線。

### 2-3. Sn/Ni/Cu 界面反應

240°C 下的Sn-Cu-Ni三元恆溫截面相圖(圖 2-4) 由Chih-Hao Lin,  
Sinn-Wen Chen等人提出[14]，發現在該溫度下並無三元化合物的存  
在。有六個單相區、八個兩相區與三個三相區共存於其截面相圖。  
其中可以發現Cu-Ni的連續固溶體對於錫的溶解度一定  
(8~10at%Sn)，而Cu<sub>6</sub>Sn<sub>5</sub>、Ni<sub>3</sub>Sn<sub>4</sub>兩相也對Sn，有很大的溶解度。

當Sn摻雜其他金屬元素的情況下，與Ni/Cu金屬層不同厚度  
下，進行高溫回錫，S.K. Kang, R.S. Rai等人[15]提到關於不同錫料  
(Bi-Sn、Ag-Sn、Sn-Sb、共晶錫鉛與純Sn)在於不同的回錫溫度  
下，由回錫時間不同的情況下，推出Cu的擴散情形，對於錫中的  
銅擴散速度會隨著錫量的提高而加快，對於錫的介金屬化合  
物成長，溫度的提高有顯著的影響；同時藉由高溫回錫下發現以鎳  
作為擴散阻隔層的效果，在多數的無鉛錫料中，其反應會過於快  
速，在Bi-Sn錫料中，儘管其介金屬化物成長速率因溫度較低而

在 Judith Glazer

在 JEM 1994[16]，對於 Sn-Bi、Sn-In 與 Sn-Ag 等將來可能取代 SnPb 的鉛料，有更進一步的結構與機械性質的比較與測量。

此外，對於鉛錫與不同大小的金屬墊層反應，B. Salam, N. N. Ekere 等人在 ECTC 2001[17] 中，發現在金屬墊層面積與鉛錫的體積比(A/V)，會影響到熱時效過程，其介金屬化合物的成長速率不等，而可能導致實驗的試片，鉛錫微結構內部的組成差異，致使鉛錫接點介金屬化合物成長速率加快。(圖 2-5.)



#### 2-4. 鉛錫接點的電遷移

在 1960 年左右，首先發現在積體電路的導線上發生電遷移的損壞，之後開始有許多關於電遷移的研究。在金屬與積體電路的研究，Tu K. N. 發表於 JAP2003[18] 有系統的介紹現今電遷移的起源。金屬部份的電遷移，Paul S. Ho 與 Thomas Kwok[19] 最先提出研究。1914，Skaupy 提出電子風(electron wind)的觀念，來量化電遷移所造成的質量傳送。Seith 與 Wever 也以定位點(marker)的運動，來量測遷移的位移量。此方式在測量電遷移上，後來成為標準的方法。

H. Wang, C. Bruynseraede 等人在 APL 2004 提出[20]。當電子聚

集發生於電遷移在銅導線的 damascence 當中，利用結構特殊下，加速了電子聚集效應，發現到有孔洞的產生，藉由有限元素分析法，看到持續性的原子推動力是如何發生在特定的路徑上，以至於孔洞的生成，而原子流的發生也受到通電造成的焦耳熱效應溫度梯度影響。對於電遷移通量的計算，以 Nernst-Einstein 所提出的的關係式可以表示成： $J = \frac{Ne\rho}{kT} Z^* jD = \frac{Ne\rho}{kT} Z^* jD_0 \exp\left(-\frac{Q}{kT}\right)$  來表示。測試的環境下可以推出 Blech 結構[35][36]下的飄移速率為 16、49、66 nm/h，在不同的線寬(10, 3, 1 $\mu$ m)下。而活化能為  $0.73 \pm 0.12$  eV。

在 Kuo Ning Chiang, Chien Chen Lee 等人發表在 APL(2006)的文獻中[21]，提出當無鉛錒錫經過電作用後，可以發現有明顯的孔洞與介金屬化合物聚集。(圖 2-6.)實驗提出影響實際使用的破壞過程，不僅僅在於錒錫接點，同時也可發生在鋁或是銅導線處；同時對於電遷移的活化能計算，以 Black's equation:  $MTTF = A \frac{1}{j^n} \exp\left(\frac{Q}{kT}\right)$  對於平均破壞時間的關係式改寫  $\ln(MTTF) = \ln(A) - n \ln(J) + \frac{Q}{kT}$  推求。

## 2-5. 錒鉛錒錫對電流作用的研究

在不同溫度下，錒與鉛的擴散現象，D. Gupta, K. Vieregge 等人發表在 Acta Mater. 1999[22]，利用  $^{210}\text{Pb}$  與  $^{113}\text{Sn}$  利用放射性質的同位素來作為追蹤子，在溫度低於 400K 下，作 Arrhenius 的關係圖推出

此時的Pb tracer與Sn tracer活化能分別是 84.8kJ/mol與 77kJ/mol，同時其 $\delta D_i^0$ 分別為  $7 \cdot 10^{-10} \text{m}^3/\text{s}$ 與  $7 \cdot 10^{-12} \text{m}^3/\text{s}$ ，(表 2-2.)。而界面能從量測擴散的結果算得為  $150 \text{mJ}/\text{m}^2$ 。當溫度超過 400K其 $\delta D_i$ 會從 Arrhenius的關係式快速的上升，到接近晶界擴散在多晶鉛與錫鉛合金的狀況。(圖 2-15.)

通電過程造成的微結構變化上，Hua Ye, Cemal Basaran等人[23]的論文中，回顧在Morris et al. 1991，分別發現在錫鉛鍍料中，熱疲勞的測試下，特徵化發現在其疲勞破壞區的內部，微結構粗化或是相的成長。Frear et al. 1997 的研究微結構為何會有發生如此的過程變化，提出晶粒大小的變化在熱疲勞測試當中是一個造成傷害的一個因子。以無電鍍鍍為UBM，錫鉛的覆晶接點中，鉛相會在不同的電流密度或溫度而發生粗化，在測試電流密度從  $0.4 \cdot 10^4$  到  $1.13 \cdot 10^4 \text{A}/\text{cm}^2$  的環境中，發現到其晶粒粗化會與電流密度在關係式中， $d^n - d_0^n = K j^m t$  的電流密度項次m為 3，相成長的指數項為 5.5，在測試的溫度範圍，因電流的影響造成鍍錫中鉛相的粗化，較溫度梯度所造成的影響更為顯著。

通電下會發生相分離的現象，在Jong-Kai Lin, Jin-Wook Jang等人於ECTC2003[24]，對於共晶錫鉛的覆晶接點，與無電鍍鍍UBM的覆晶封裝試片。同樣地，電遷移研究當中，發現到當在  $150^\circ\text{C}$  下，

電流密度提昇到  $5.1 \times 10^4 \text{ A/cm}^2$  以上，經過 30 小時的通電時間，就可以發現明顯的相分離，(圖 2-8.)中，可以發現鉛相被推往陽極側聚集，同時伴隨嚴重的IMC成長，但不會發生明顯的孔洞生成在通電過程中。同樣的，Chien-Neng Liao等人發表於在JMR 2005[25]也指出，鉛聚集在以Cu作金屬墊層與共晶錫鉛反應的薄膜結構時。當共晶錫鉛融化的時候，Pb偏析(segregation)在陽極側。此時通電的環境為  $10^3\text{-}10^4 \text{ A/cm}^2$  的電流密度，而生成柱狀的富鉛相 $\alpha$ 於陽極側與鉛相的減少於陰極側。其中的 $\alpha$ -phase會沿著電子流方向平行成長，且與電流密度成正比。透過量測其柱狀的 $\alpha$ -phase之成長速率，可以推出Pb的有效價數(effective charge number)在電遷移下為 2.7。此數值遠較Pb自電遷移擴散係數=47 數值低許多。(圖 2-9.)為試片結構，而經過通電於  $175^\circ\text{C}$  下通入 0.8、1.0、1.2A之後觀測兩端的微結構(圖 2-10.)、(圖 2-11.)可以發現其strip上，Pb會聚集於電子流的陽極側。

在過去的薄膜結構下的研究當中，C. Y. Liu、Chih Chen與 K. N. Tu 曾在2000年的JAP中，提出不同含鉛鉛錫成份下，對於電遷移的抵抗能力。[26] 在實驗中發現，當調整錫鉛鉛錫當中的鉛含量，分別以純錫、Sn80Pb20、Sn70Pb30、Sn62Pb38(eutectic)、Sn40Pb60與Sn5Pb95六種不同組成的鉛料。進行在電流密度

$10^5 \text{ A/cm}^2$ ，溫度在 $150^\circ\text{C}$ 下通電。(圖 2-12.)其中含鉛錒錫的孔洞會形成在富鉛的晶界處。並從計算晶鬚在陽極端，與在陰極端孔洞生成的變化量，來推求出不同錒錫組成下，對應的有效價數。由結果裏面發現，在薄膜結構下，對於抵抗電遷移最有效的組成，不是目前常用的共晶組成，或是無鉛或是高鉛，而是Sn80Pb20時的組成。

而覆晶結構的共晶錒錫與無鉛錒錫的研究中，有W. J. Choi、E. C. C. Yeh與K. N. Tu等人的研究中，在2003的JAP [27]，以覆晶結構試片，晶片端以薄膜結構的UBM，每層的厚度大約分佈在300~400nm，由晶片往錒錫分別為Al導線，sputter Ni(V)，最後是Cu。基板端則為厚膜結構的無電鍍鎳( $>10\mu\text{m}$ )，上層以30nm的金作為保護層。而基板的材質採用FR-4，同時填入underfill來減緩在回錒接合過程當中，殘留的應力與避免孔洞生成。將共晶錒鉛試片在 $100$ 、 $125$ 、 $140^\circ\text{C}$ 的加熱板上，通入 $1.90$ 、 $2.25$ 與 $2.75 \times 10^4 \text{ A/cm}^2$ 的電流密度，進行破壞時間的測試。同時在電遷移的破壞過程紀錄每分鐘的電位變化，發現當共晶錒鉛的晶片與錒錫界面的孔洞，成長越過整個接觸面時，電阻快速上升，而導致迴路斷路。參照紀錄過程中電阻變化與時間的關係圖，可以對應電遷移導致孔洞產生時，電阻的變化。

同時在 97Pb-3Sn/37Pb-63Sn的composite solder bump的研究中，有Jae-Woong Nah, Jong Hoon Kim等人發表在Acta Materialia[28]在晶片側以TiW/Cu/electroplated Cu與 97Pb-3Sn而在基板側為electroless Ni/Au與 37Pb-63Sn錒料作為接和媒介。於 140°C 下通入  $2.55 \times 10^4 \text{ A/cm}^2$ ，該條件下可以發現到鉛為主要的擴散載子，會隨著電子流方向移動，造成電子流從UBM側往下的錒錫接點，UBM側的錒錫內部組成會由 97Pb-3Sn轉變為 83Pb-17Sn。這使得Cu<sub>6</sub>Sn<sub>5</sub>的析出與成長速度變快，最後讓Cu UBM快速耗盡而生成Void誘使破壞發生。同時Liu YH, and Lin KL等人也提出相似結構下的電遷移[33]。



電遷移下造成的孔洞生成，在Hua Ye, Cemal Basaran等人[23]，有發現在電流推動下，孔洞的生成在陰極側，同時有hillocks在陽極側可以發現。同樣的在Y.H. Lin, Y.C. Hu, K. Tu等人發表於Acta Materialia 53 (2005) [29]，對於晶片以UBM銅與基板的厚膜的鎳，與接合錒鉛接點在電遷移過程中，發現有電遷移造成的孔洞產生(圖 2-4.)。同樣的在破壞機制的研究上，T. Y. Lee與K.N. Tu所發表的在2001的JAP中[30](“Electromigration of eutectic SnPb and SnAg<sub>3.8</sub>Cu<sub>0.7</sub>”)提到，在覆晶接點裡使用，厚膜的無電鍍鎳作為UBM，與電鍍厚膜銅作為基板側的墊層，在1.5A 120°C下，進行

20、30、39.5小時的電遷移測試。在測試的結果當中發現到，在共晶錫鉛或是無鉛鉛料，在厚膜鎳UBM側，化學反應溶解無電鍍鎳迅速發生，而破壞的情況是為產生介金屬化合物，造成鎳UBM的溶解，產生孔洞。此外在無鉛鉛料，其介金屬化合物最遠可以生成到距離鎳UBM 20 $\mu\text{m}$ 處，介金屬生成的化學反應又更為迅速，同時孔洞生成的速率較共晶慢。而在電鍍銅側，卻沒有發現三種金屬(Cu-Sn-Ni)成分的介金屬，生成在鉛錫與金屬墊層間。

K.N. Tu等人發表在APL, Vol. 88(2006)[31]發現鬆餅狀的孔洞

(pancake-type void)，觀察到孔洞生成形狀呈煎餅狀。(圖 2-7.)這篇引用中，提出當孔洞產生時，其 150 $^{\circ}\text{C}$  電流密度  $2.55 \times 10^4 \text{ A/cm}^2$  下，經過 38 小時，孔洞開始產生在界面。但當鬆餅狀的孔洞生成後，只需 5 小時就橫越整個界面，導致斷路。原子與空孔交換下所造成的孔洞成長。同時以數學模型推求在不同電流密度下，其對應理論孔洞大小，與孔洞的成長速率，再與實驗結果作一個對照。發現數學模型得到的理論值，會與實驗結果的影像結果相近。證明當孔洞生成時，可以利用估計孔洞速率所提出的公式，來有效的估計孔洞生成的大小。

在 S.H. Chiu 與 Chih Chen 等人發表於 APL 2006 的文獻當中指出[32]。鉛錫接點當通電作用下，產生的焦耳熱效應，對鉛錫溫度

的影響。提出利用紅外線顯像技術對通電的覆晶結構，驗證當熱點存在，由鋁導線進入錒錫處。(圖 2-13.)(圖 2-14.)而焦耳熱效應會進一步導致電阻的上升，稱為 TCR。 $TCR = \left( \frac{R_1 - R_0}{R_0} \right) \left( \frac{1}{T_1 - T_0} \right)$ ，其效應的校正可以使得在前段落回顧中，推求 Black's equation 的 n 與活化能 Q 上，有需要溫度校正，讓其中的解更接近錒錫真實的情況。對於鋁導線以及錒錫接點的研究中，目前還沒有對完整的對厚膜電鍍鎳在錒鉛錒錫電遷移的研究，於是本研究將於下章節的實驗部份，對於在實驗中溫度的量測，電阻的變化在通電中受影響的估計方式，模擬電流聚集的程度，於結論作一個整合討論。以期對於錒錫通電中，其活化能在 Black's equation 有更客觀的推估。

## 2-6. 減緩電遷移的其他應用

在電路的設計過程中，隨著結構可以更換其他類型的 UBM 與模擬技術，造成錒錫接點的改善與提高可以有更多選擇來減緩電遷移的發生。T. L. Shao, S. W. Liang 等人發表在 JAP 2005[36]，提出當五種不同結構的晶片端 UBM，分別為薄膜：Ti/Cr-Cu/Cu、Al/Ni(V)/Cu，厚膜：Cu、Ni、Cu/Ni。其電流密度在不同 UBM 時，以 crowding ratio 來判別電流聚集效應的嚴重與否。Crowding ratio 為最大電流密度除以 UBM 處的平均電流密度。模擬與實驗數據可

以由 crowding ratio 值越大，其破壞時間越短來驗證。結果發現厚膜 UBM 可以有效的減緩電流聚集效應。而其中第五組的 UBM 簡圖與本研究結構相近(圖 2-16.)，同時通電的結果顯示(表 2-3.)在此結構下的鉛錫內部電流聚集最不嚴重，同時提出電流聚集效應與電遷移破壞關係密切，如果可以有效減緩將對破壞時間有顯著影響。最後會與本實驗通電結果驗證。

進一步再就 UBM 通電下所導致破壞的實驗，Ni/Cu 結構方面，Y.L. Lin 等人於 JEM 2006[37]，提出錫鉛覆晶接點(圖 2-17.)以 sputtered Ni/Cu 的 UBM 於  $150^{\circ}\text{C}$  通入  $5*10^3\text{A}/\text{cm}^2$ ，與  $30^{\circ}\text{C}$  通  $3.5*10^4\text{A}/\text{cm}^2$ ，基板金屬墊層為厚 Cu。以 in-situ 觀察溫度分佈發現到區域溫度以鋁導線進入點的確較接點其他地方為高溫。電子流加速區域 Ni UBM 的消耗速率，研究提出在通電中，會有孔洞的產生或是多孔結構，彼此競爭，有多孔結構就不會造成孔洞發生，通電所需的破壞時間就會增長；反之若孔洞成核發生，則可以觀察到 UBM 降低其導電性與接點破壞機制為孔洞生成與成長。(圖 2-18~2-21)分別為電子進入時，微結構成份鑑定。

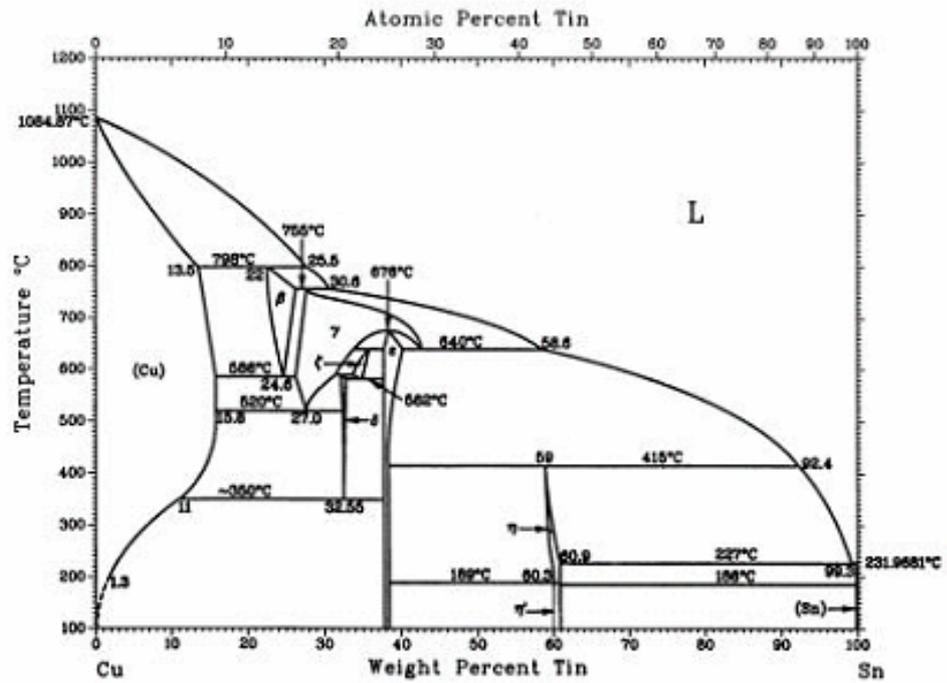


圖 2-1 錫銅二元合金相圖

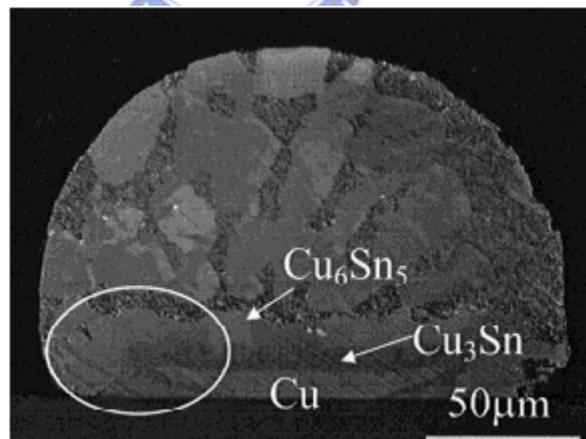


圖 2-2 共晶錫鉛經過 170°C 熱時效 1500 小時[11]

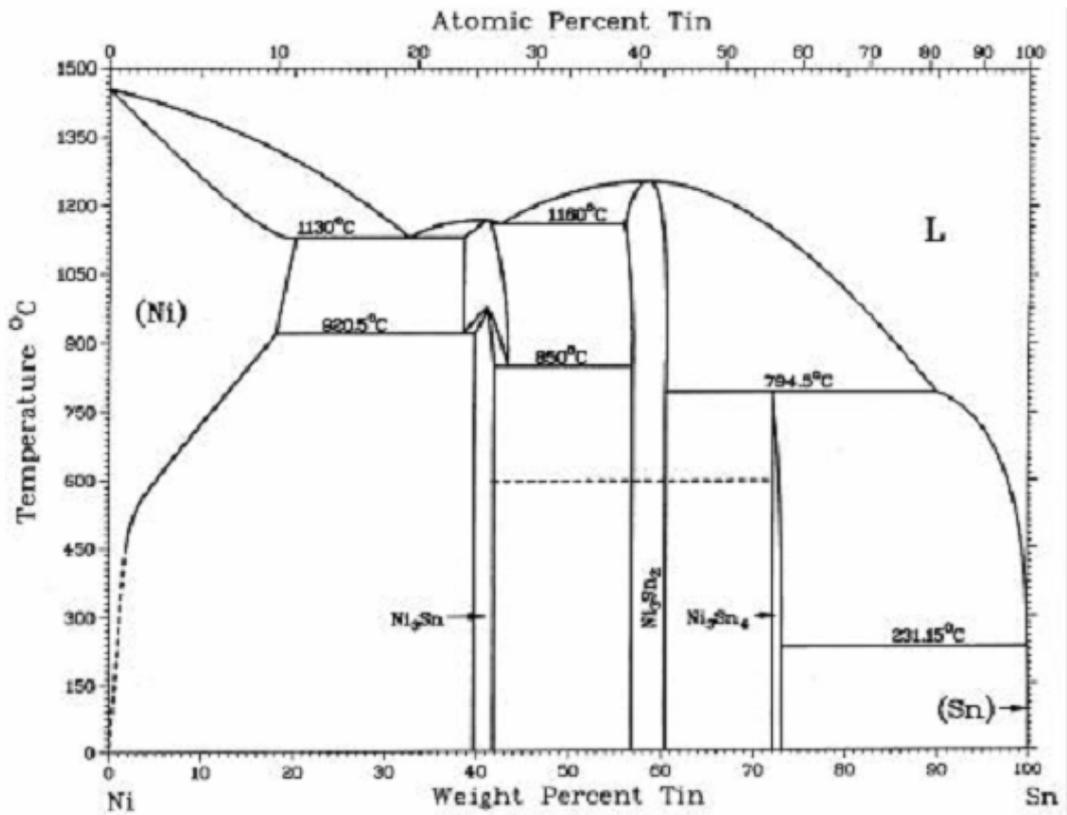


圖 2-3 錫鎳二元合金相圖

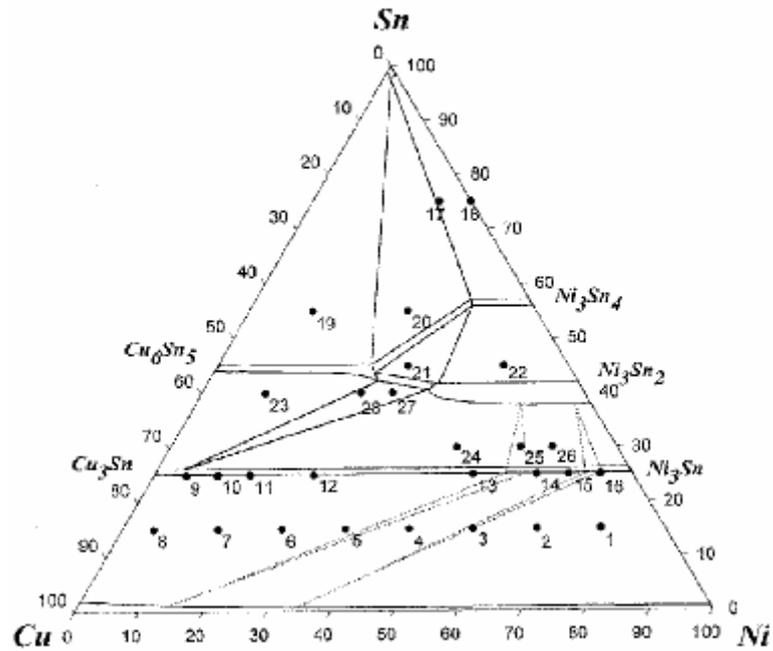


圖 2-4 Cu-Sn-Ni 在 240°C 的恆溫相圖

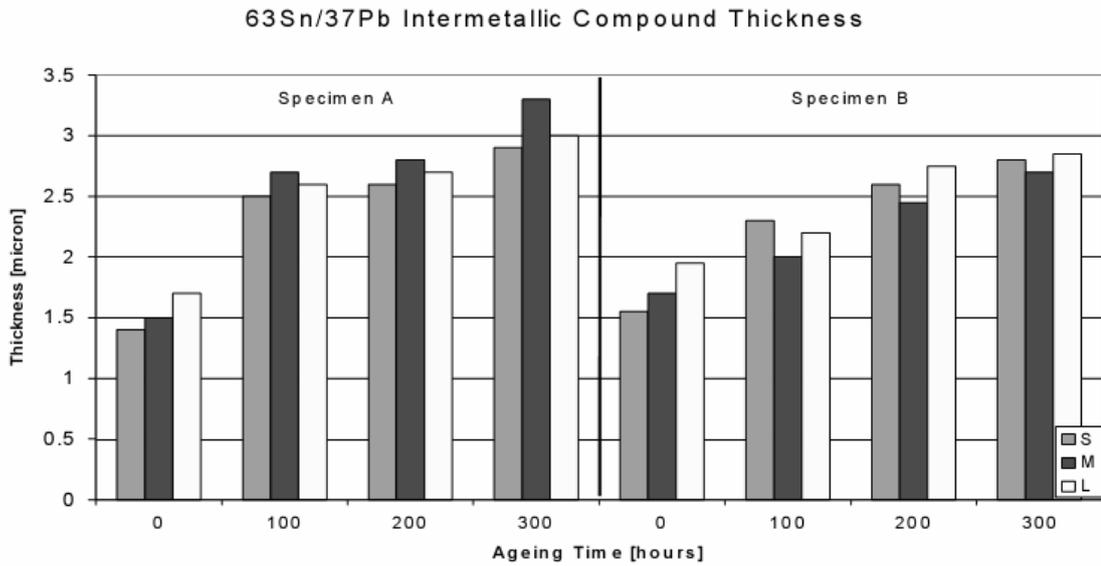


Figure 7. Intermetallic Compound Thickness of Sn/Pb Alloy at Room Temperature and Ageing at 120°C for 100, 200 and 300 hours

圖 2-5 錫鉛錳錫體積與pad比不同，造成相同時效時間下時效厚度不等。

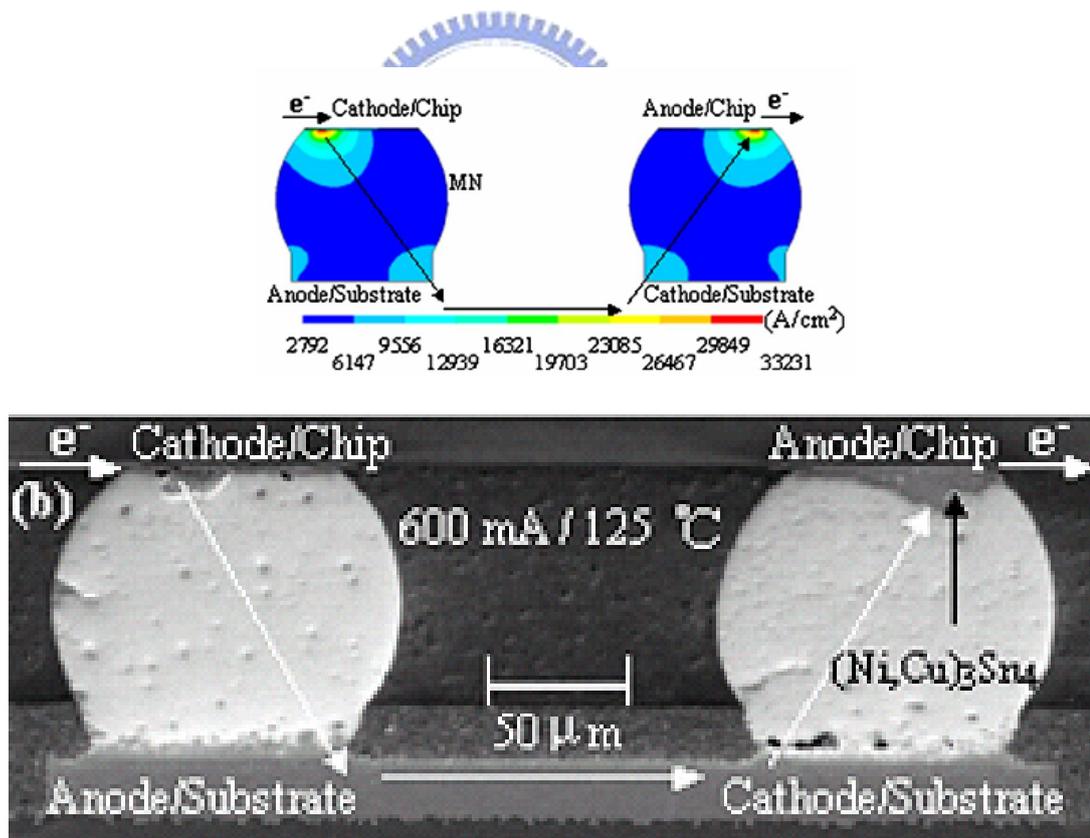


圖 2-6 SAC錳錫經過 1431 小時通電流  $1.68 \times 10^4 \text{ A/cm}^2$ ，孔洞生成導線進入

錳錫之處。

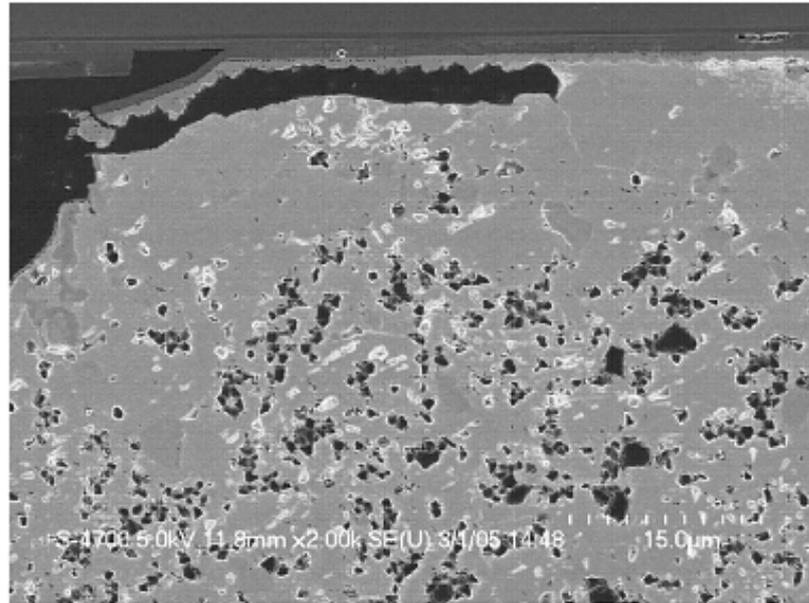


圖 2-7 95.5Sn-4.0Ag-0.5Cu經過通電後，陰極孔洞生成[31]

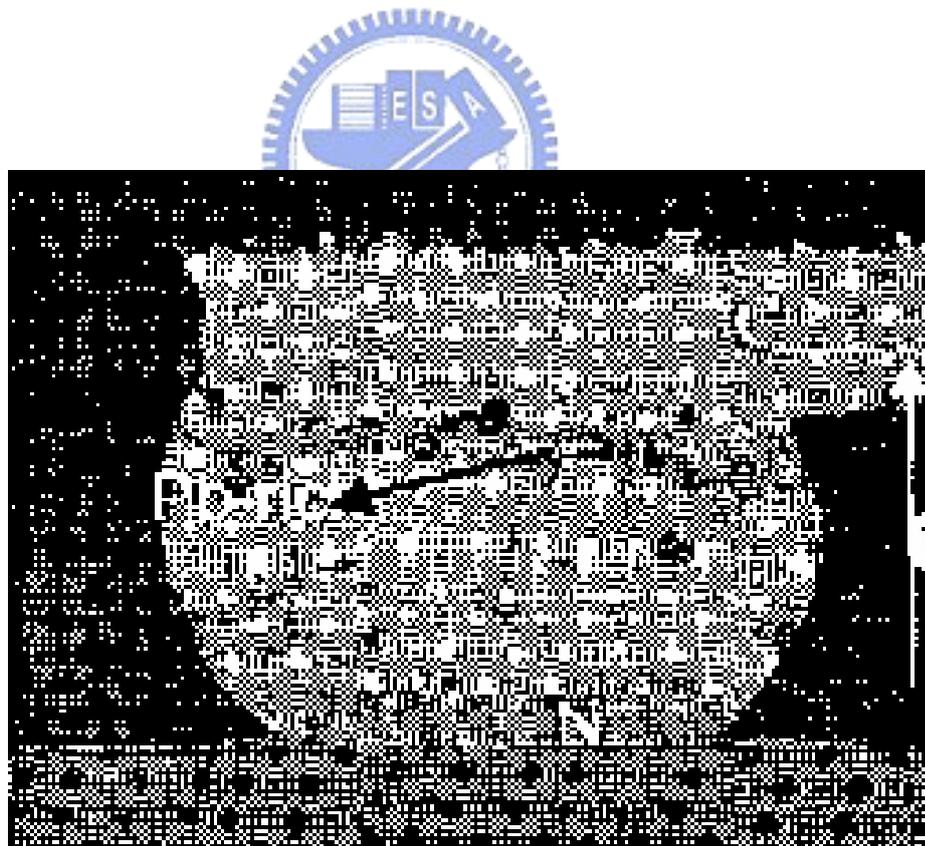


圖 2-8 PbSn鉛錫在 150°C，通 0.5A經過 2338hrs通電之後。[23]

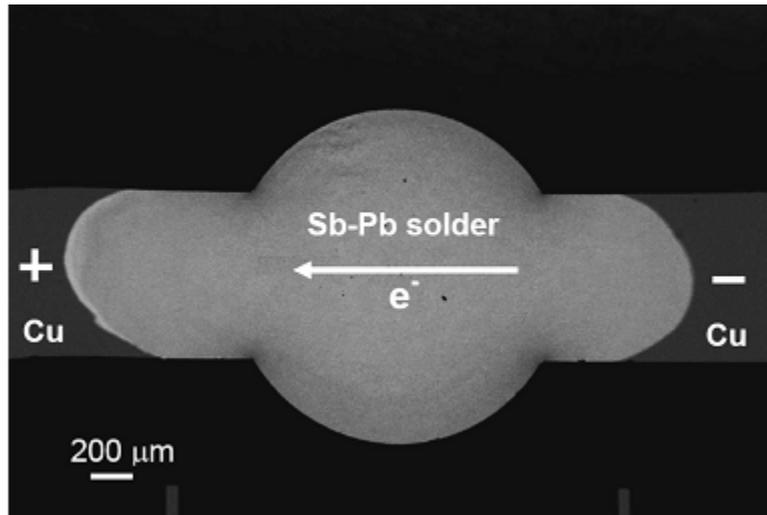


圖 2-9 共晶錫鉛觀測通電後會發生segregation的試片結構[24]

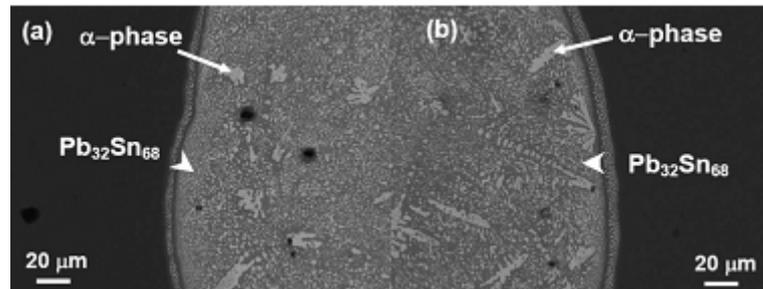


圖 2-10 通電前錫鉛銲錫的兩端微結構SEM影像。[24]

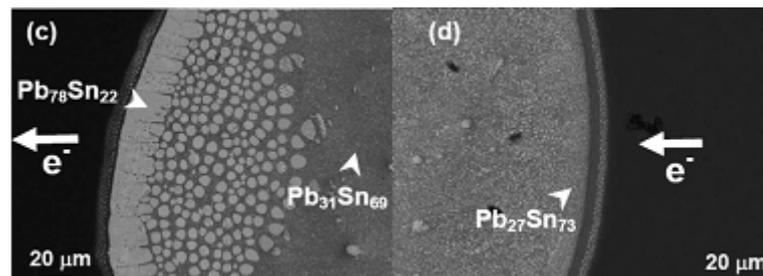


圖 2-11 通電後錫鉛銲錫的兩端微結構SEM影像。[24]

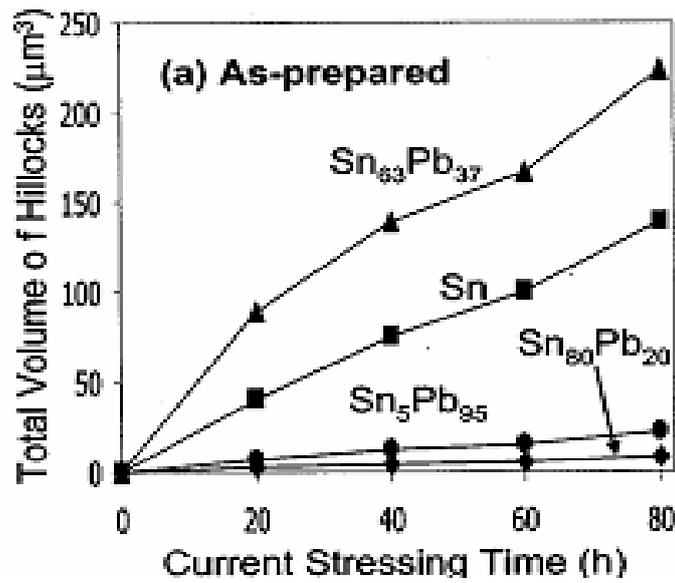


圖 2-12 錫鉛鉛料的總晶鬚體積，對通電時間。[25]

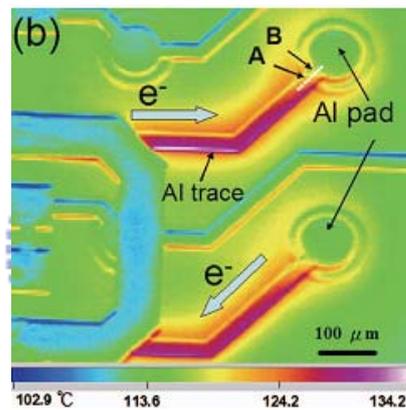


圖 2-13 當通入 0.59A 電流下，利用紅外線顯像技術觀察到溫度分布。[31]

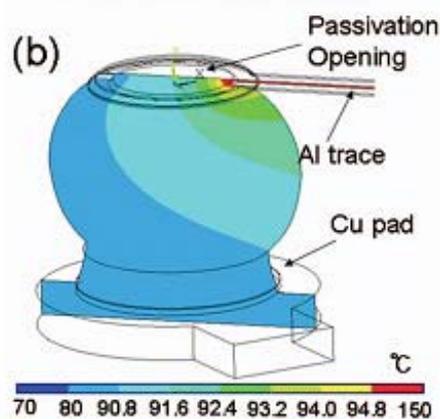


圖 2-14 電流通入，鋁導線進入錫錫處有高溫熱點的熱模擬圖形。[31]

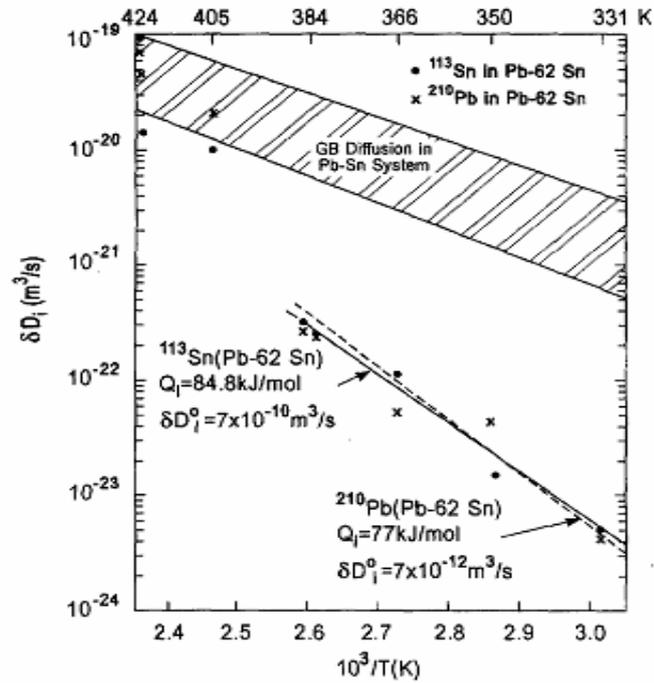


Fig. 3. Arrhenius plots of the product,  $\delta D_i$ , for interface diffusion of  $^{210}\text{Pb}$  and  $^{113}\text{Sn}$  radioactive tracers in Pb-62 wt% Sn eutectic specimens. Note the steep change above 400 K. Data in the band represent grain-boundary diffusion in Pb and low Pb-Sn alloys as shown in Table 2.

圖 2-15 利用 Arrhenius 關係式  $D = D^0 e^{-\frac{Q}{RT}}$  作圖 [21]

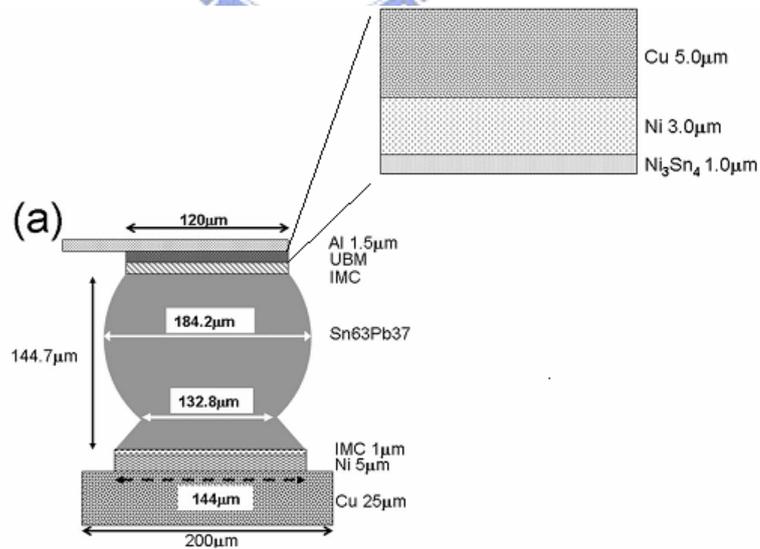


圖 2-16 厚膜 Ni/Cu UBM 模擬結構圖 [35]

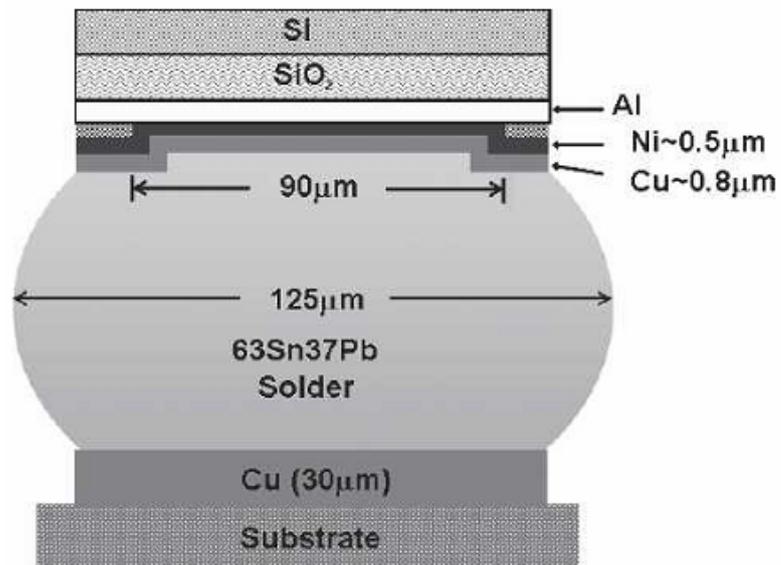


圖 2-17 Cu/Ni結構UBM與錫鉛接點的簡圖[36]

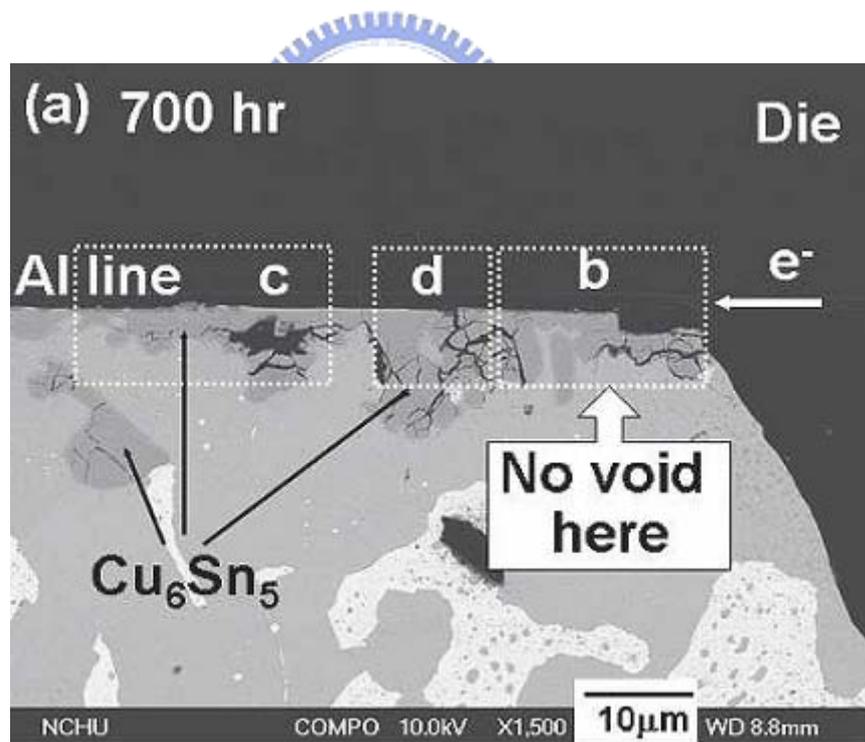


圖 2-18 電子流進入處，可以看到Ni消耗[36]

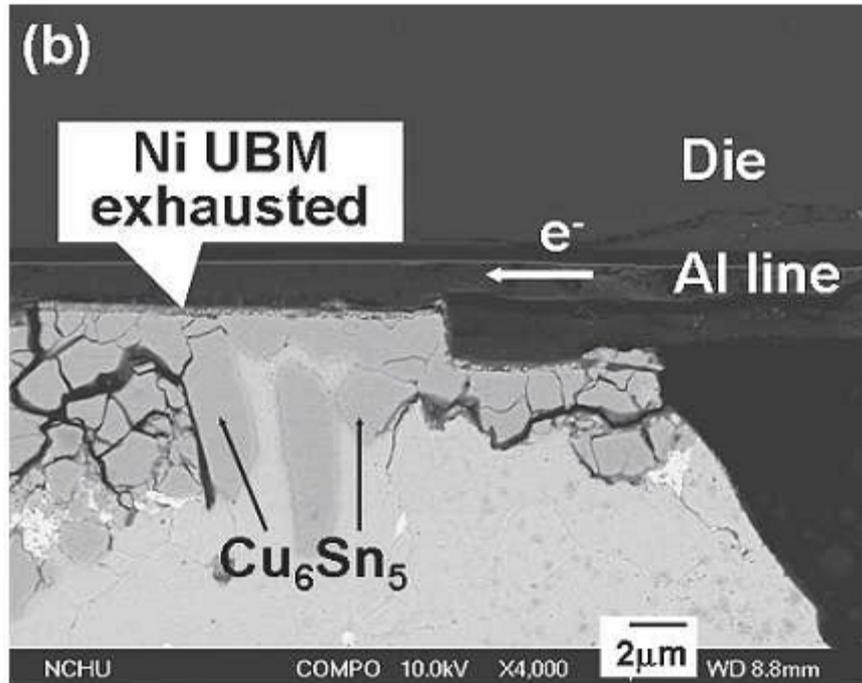


圖 2-19 成份鑑定區域(b)組成[36]

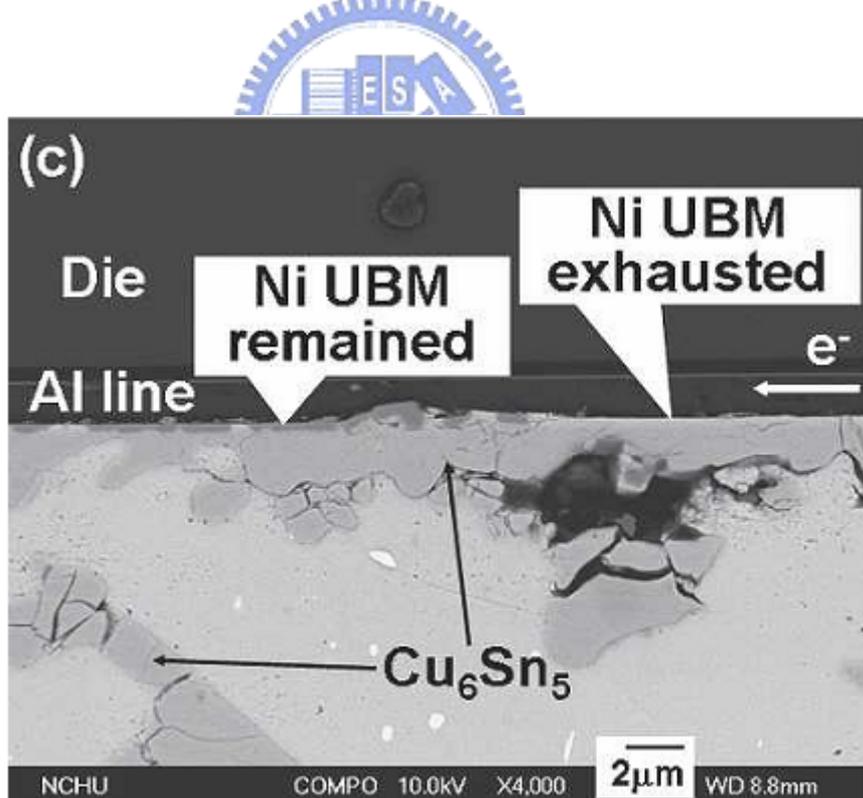


圖 2-20 成份鑑定區域(c)組成[36]

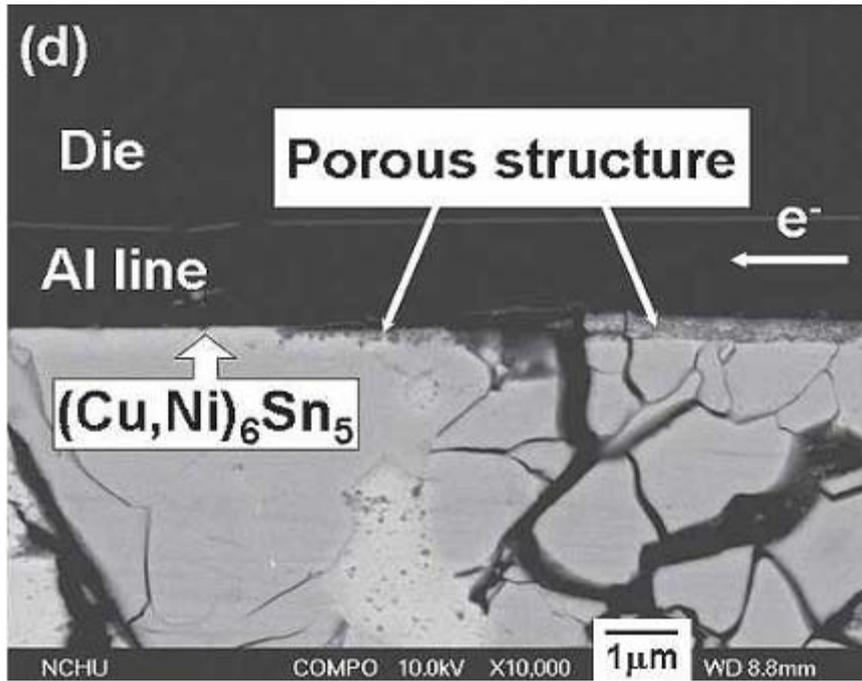


圖 2-21 成份鑑定區域(d)組成[36]

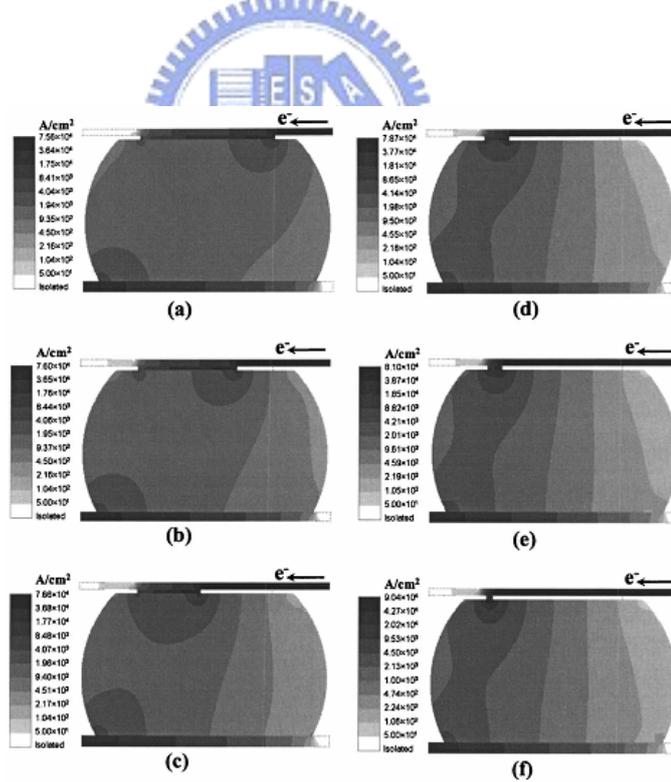


圖 2-22 孔洞生成延後電子流進入鋅料下電流分佈。[38]

TABLE II. Activation energy of Cu consumption and compound growth.

	Consumed Cu		Cu <sub>3</sub> Sn		Total IMC	
	Q (eV)	D <sub>0</sub> (cm <sup>2</sup> /s)	Q (eV)	D <sub>0</sub> (cm <sup>2</sup> /s)	Q (eV)	D <sub>0</sub> (cm <sup>2</sup> /s)
e-SnPb	0.94	0.0149	0.73	1.85 × 10 <sup>-5</sup>	1.25	59.59
Sn-3.5Ag	1.03	0.115	0.95	0.00563	1.19	6.64
Sn-3.8Ag-0.7Cu	1.10	0.0560	1.05	0.0595	0.94	9.56 × 10 <sup>-3</sup>
Sn-0.7Cu	1.05	0.128	1.08	0.109	1.00	0.109

表 2-1 不同錫料在Cu UBM上，熱時效下IMC成長所需的活化能與擴散

Table 1. Interface diffusion of <sup>210</sup>Pb and <sup>113</sup>Sn tracers in Pb-62 wt% Sn lamellar eutectic alloy

T (K)	t (×10 <sup>6</sup> s)	D <sub>i</sub> (×10 <sup>-14</sup> m <sup>2</sup> /s)			2√(D <sub>i</sub> t) max (μm)	ζ (10 <sup>3</sup> m)		δD <sub>i</sub> (10 <sup>-24</sup> m <sup>3</sup> /s)		γ <sub>i</sub> Pb (mJ/m <sup>2</sup> )
		Pb*(Pb) [12]	Sn*(Sn) [14]	Sn*(Pb) [13]		<sup>210</sup> Pb	<sup>113</sup> Sn	<sup>210</sup> Pb	<sup>113</sup> Sn	
331	5.505	0.0013	0.012	0.0085	0.16	9.11	9.789	4.2	5.1	150
350	3.88	0.01	0.1	0.06	0.13	5.07	3.09	46	17	168
366	4.8972	0.052	0.53	0.27	0.1	12.06	9.49	53	110	137
384	1.2113	0.27	2.8	1.2	3.7	8.6	9.56	160	160	129
386	0.244	0.32	3.4	1.5	1.8	3.97	8.97	370	430	148
405	0.0596	1.5	16	6.2	1.9	4.33	3.97	1.7 × 10 <sup>4</sup>	9500	220
424	1.83	5.7	69	23	2.25	2.16	1.53	1.5 × 10 <sup>5</sup> †	2.3 × 10 <sup>5</sup> †	256
424	0.1728	5.7	69	23	6.9	1.82	1.11	68 000	1.5 × 10 <sup>5</sup> †	232
424	0.3285	5.7	69	23	9.5	1.47	1.34	75 000	72 000	235

†These points are out of range in Fig. 3 and not plotted.



表 2-2 <sup>210</sup>Pb與<sup>113</sup>Sn的interface diffusion在共晶錫鉛合金中

TABLE II. The maximum current densities and the crowding ratios at different cross sections for the five models.

UBM		Cross section					
		Y1, UBM layer	Y2, IMC layer	Y3, top layer of solder	Y4, middle layer of solder	Y5, necking layer of solder	Y6, bottom layer of solder
Ti/Cr-Cu/Cu	Max. (A/cm <sup>2</sup> )	3.32×10 <sup>5</sup>	2.58×10 <sup>5</sup>	1.24×10 <sup>5</sup>	4.07×10 <sup>3</sup>	8.23×10 <sup>3</sup>	6.10×10 <sup>3</sup>
	Ratio	66.2	51.5	24.7	0.8	1.6	1.2
Al/Ni(V)/Cu	Max. (A/cm <sup>2</sup> )	2.58×10 <sup>5</sup>	2.36×10 <sup>5</sup>	1.17×10 <sup>5</sup>	4.07×10 <sup>3</sup>	8231	6.10×10 <sup>3</sup>
	Ratio	51.5	47.1	23.4	0.8	1.6	1.2
Ni	Max. (A/cm <sup>2</sup> )	3.96×10 <sup>5</sup>	1.13×10 <sup>5</sup>	6.77×10 <sup>4</sup>	3.72×10 <sup>3</sup>	8022	6.02×10 <sup>3</sup>
	Ratio	79.1	22.5	13.5	0.7	1.6	1.2
Cu	Max. (A/cm <sup>2</sup> )	6.15×10 <sup>5</sup>	7.53×10 <sup>4</sup>	4.37×10 <sup>4</sup>	3.31×10 <sup>3</sup>	7745	5.92×10 <sup>3</sup>
	Ratio	122.6	15.0	8.7	0.7	1.5	1.2
Ni/Cu	Max. (A/cm <sup>2</sup> )	4.37×10 <sup>5</sup>	5.82×10 <sup>4</sup>	3.56×10 <sup>4</sup>	3.25×10 <sup>3</sup>	7696	5.90×10 <sup>3</sup>
	Ratio	87.2	11.6	7.2	0.7	1.5	1.2

表 2-3 在不同UBM下，其通電時接點內各截面電流聚集程度[36]



Table 2: Electromigration reliability

Condition	Sn-37Pb		Sn-Ag-Cu composite	
	$\eta$ (hrs)	$\beta$	$\eta$ (hrs)	$\beta$
0.4 A/150 °C	388	11.0	1234	1.9
0.5 A/150 °C	227	6.3	578	2.4
0.6 A/125 °C	657	5.1	1122	2.1
0.6 A/135 °C	383	5.0	431	2.9
0.6 A/150 °C	226	3.6	279	2.2

Table 3:  $T_{bm}$  and  $j_{ave}$  on bump G

Condition	Sn-Pb		Sn-Ag-Cu composite	
	$T_{bm}$ (°C)	$j_{ave}$	$T_{bm}$ (°C)	$j_{ave}$
0.4 A/150 °C	155.43	0.3620	155.37	0.3705
0.5 A/150 °C	158.50	0.3620	158.40	0.3705
0.6 A/125 °C	136.73	0.3617	136.59	0.3701
0.6 A/135 °C	146.95	0.3619	146.81	0.3703
0.6 A/150 °C	162.27	0.3620	162.13	0.3706

表 2-4 共晶錫鉛與厚膜Ti/Ni(V)/Cu可靠度測試結果

### 第3章實驗方法與步驟

#### 3-1. 試片製備

實驗的試片，是由米輯科技所提供的錫鉛覆晶封裝試片，試片結構如[圖3-1.]、迴路設計圖如[圖3-2.]。在Under Bump Metallization部分，是以Ti/Cu/Cu，先將Ti sputter在Si die上，再sputter 0.5 $\mu\text{m}$ 的Cu作為種子層約為0.1 $\mu\text{m}$ 。之後再利用電鍍方式，電鍍5 $\mu\text{m}$ 的Cu在Ti/Cu層上。以黃光顯影的方式定義出opening大小，再用濕式蝕刻法，定出UBM opening 為110  $\mu\text{m}$ ，直徑125  $\mu\text{m}$ ，而contact opening為85  $\mu\text{m}$ 。其中鋁導線寬為100 $\mu\text{m}$ 厚1.5 $\mu\text{m}$ ，每一段的長度為850 $\mu\text{m}$ ，整段daisy chain會經過2550 $\mu\text{m}$ 長的鋁導線。鉍錫接點間pitch約為1mm，其通電迴路是以鋁導線通過6顆鉍錫接點。鉍料是以錫鉛鉍錫，先利用電鍍將鉍錫固定在UBM所在，再以加熱爐加熱到220 $^{\circ}\text{C}$ 約1分鐘。基板的部份，使用FR5基板，而其接著的Cu pad之上為1  $\mu\text{m}$  Au，與5 $\mu\text{m}$ 的無電鍍鎳，pad的opening大小為115  $\mu\text{m}$ ，作為基板與鉍錫的接著使用。鉍錫球的高度約為75  $\mu\text{m}$ ，球中心最大直徑約130  $\mu\text{m}$ 。

## 3-2. 實驗方法

### 3-2-1. 熱時效測試

將首先試片分別置於 170°C 的加熱板上，以晶片面緊貼加熱板，經過 25、50、100 小時後的退火時效試片，作截面觀測及成份鑑定，與未處理前的比較。以分析受熱時效作用下，其內部的成份組成與微結構是否會有顯著的改變。

### 3-2-2. 電遷移測試與觀測分析

同樣組成的試片分別進行在 150、160、170°C 下，通入 0.5、0.6、0.7、0.75、0.8A 的電流，通電迴路如(圖 3-2.)，整條 daisy chain 的迴路。passivation 直徑為 85 $\mu\text{m}$ ，UBM 開口大小直徑 120 $\mu\text{m}$ ，以 UBM 推出其通電電流所對應的電流密度分別為 8811、10574、12335、13217A/cm<sup>2</sup> 的電流密度，作 daisy chain 迴路通電。定義破壞為總迴路電阻上升至 8 $\Omega$ ，呈完全斷路的情況，得到該試片在其高溫通電環境下，銲錫破壞所需的時間。

得到不同通電條件下，所需的破壞時間後，如[表 3-1.]所示。依序以不同號數的 SiC 砂紙 120、600、1200、2500、4000 做研磨，再用 Al<sub>2</sub>O<sub>3</sub> 顆粒 1 $\mu\text{m}$ 、0.3 $\mu\text{m}$  作研磨拋光，藉由光學顯微鏡(OM)、電子顯微鏡(SEM)、背相散射電子影像(BEI)，來觀察其破壞後剖面

X光能量分佈圖譜』(EDX)來鑑定其特定區域

的組成。

### 3-2-3. 電阻變化量測與破壞機制

同時對於破壞機制的探討，銲錫邊緣的電壓變化，可以靈敏的測量電阻的改變。對於兩個銲錫接點，通入1、0.85A的電流時，電流密度17623、14098A/cm<sup>2</sup>。(圖 3-3.)紀錄從通電開始，銲錫球內電阻的變化，可以得到電阻上升曲線，如(圖3-4.)。當電阻上升到特定倍數時，停止通電，作研磨拋光後，透過OM、SEM、BEI觀察，與EDX作分析，來觀察其微結構的變化。

由電阻上升到不同階段下的影像與成份分析結果，以有限元素分析法，來建立模型。觀察通電時，電流的分布狀況(圖 3-5.)，分析破壞前，電阻上升之後，其內部電流的分佈，推測破壞階段中，導致電阻上升與破壞發生的原因。

### 3-2-4.溫度的校正

當試片通入電流的時候，會由於功率 $W=I^2R$ ，使得在通電的同時，銲錫內的真實溫度往往會較環境溫度高出許多。為了校正每個銲錫接點通電下真實溫度，利用紅外線顯像技術(Infrared

Microscope)，分別對通入不同電流下的試片，來收集表面輻射的溫度資訊(圖 3-6.)，來推測鐳錫通電時的溫度上升。同時也利用點狀的熱敏電阻來測量矽晶片側的溫度與通電時的溫升。(表 3-2.)(圖 3-7.)(圖 3-8.)



通入電 流(A)	第三排通電時, 溫升於 100°C (byIR)	電流密度 A/cm <sup>2</sup>	Hot plate temp. 170°C	Hot plate temp. 160°C	Hot plate temp. 150°C
0.8		8418			6
0.75		7892			68
0.7	24.8°C	7366	18		182
0.6	16.6°C	6314	96	614	1112

表 3-1 在不同的通電環境下，破壞時間的結果



加熱板溫度	0A	0.5A	0.6A	0.7A
100°C (IR)	0°C	12.6°C	16.6°C	24.8°C
150°C (TC)	0°C (131.8)	14.3°C (146.1)	17.6°C (149.4)	27.6°C (159.4)
160°C (TC)	0°C (139)	11.05°C (150.05)	17.5°C (156.5)	25.0°C (164.0)
			IR	Infrared
			TC	Thermal couple

表 3-2 分別於 100、150、160 度下，不同電流下，以熱敏電阻量測晶片溫度上升。

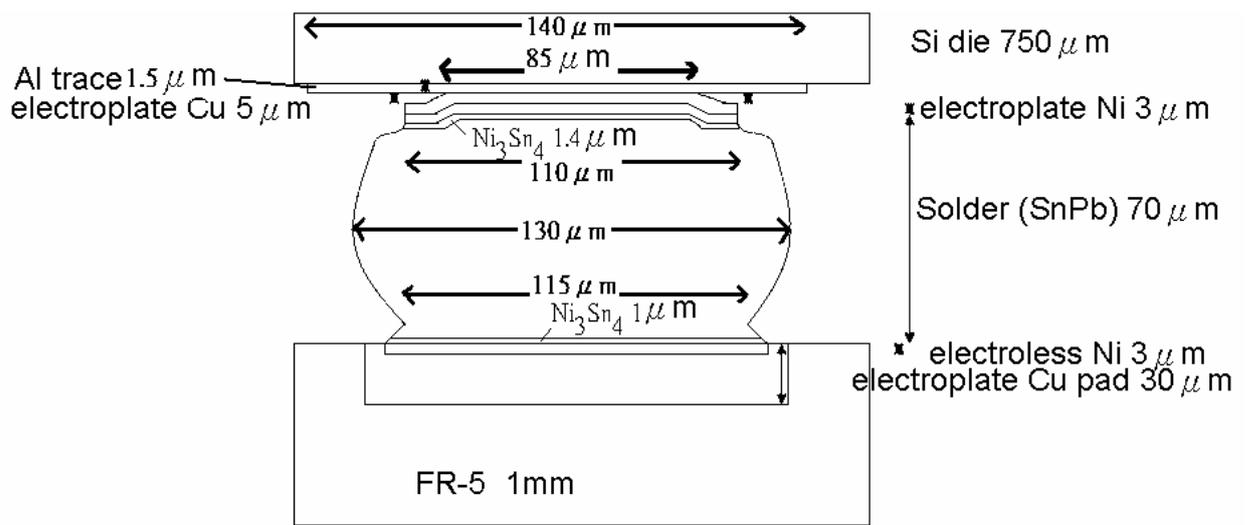


圖 3-1 測試試片截面結構圖



圖 3-2 daisy chain通電迴路

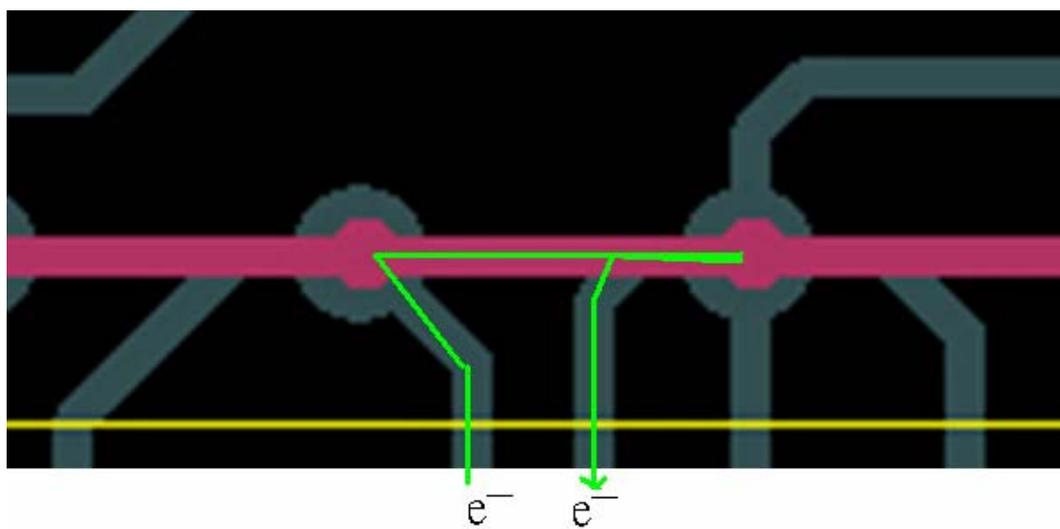


圖 3-3 破壞機制研究，兩顆接點通電迴路

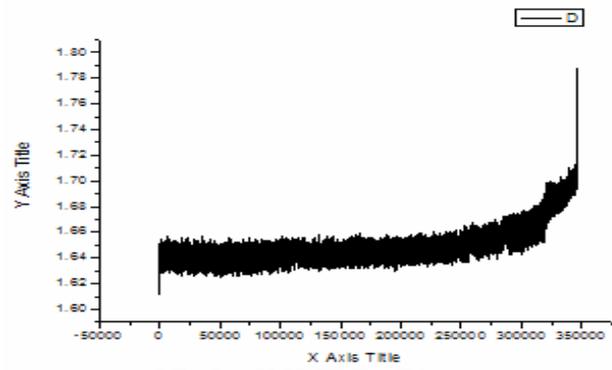
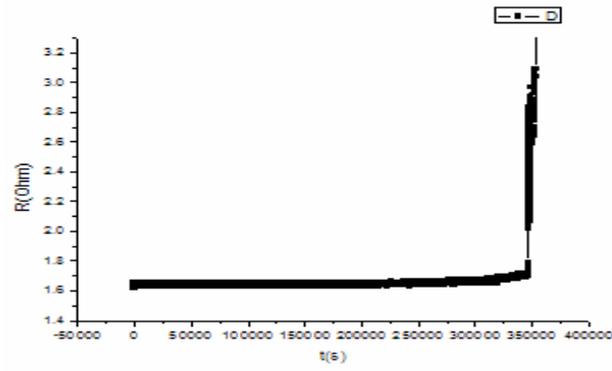


圖 3-4 通電曲線(150°C 0.7A 98hrs破壞)

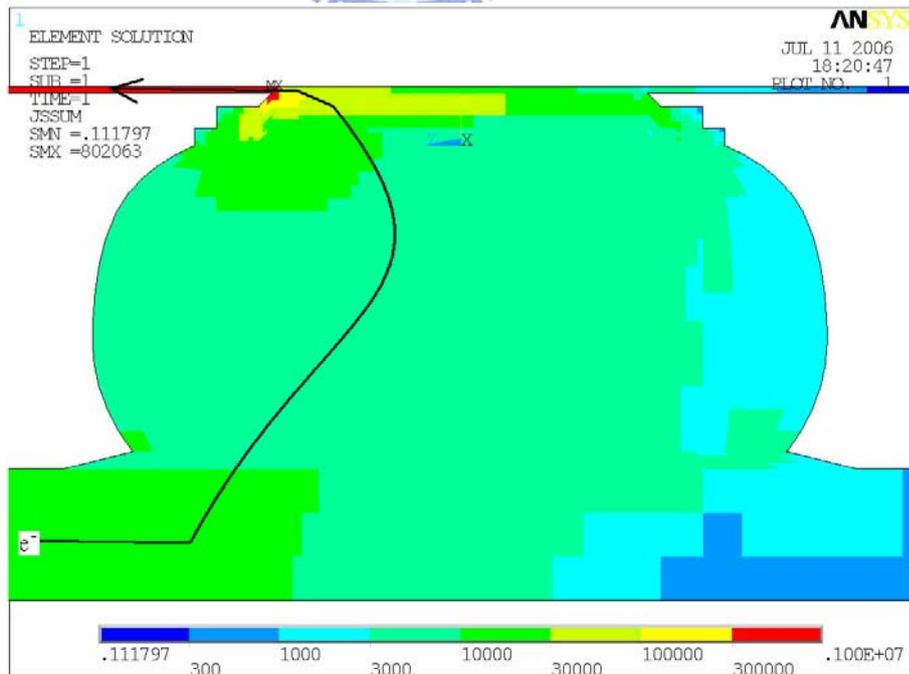


圖 3-5 電流密度分布模型，電流 0.6A 150°C。電子流左下而左上，使用

1472hrs

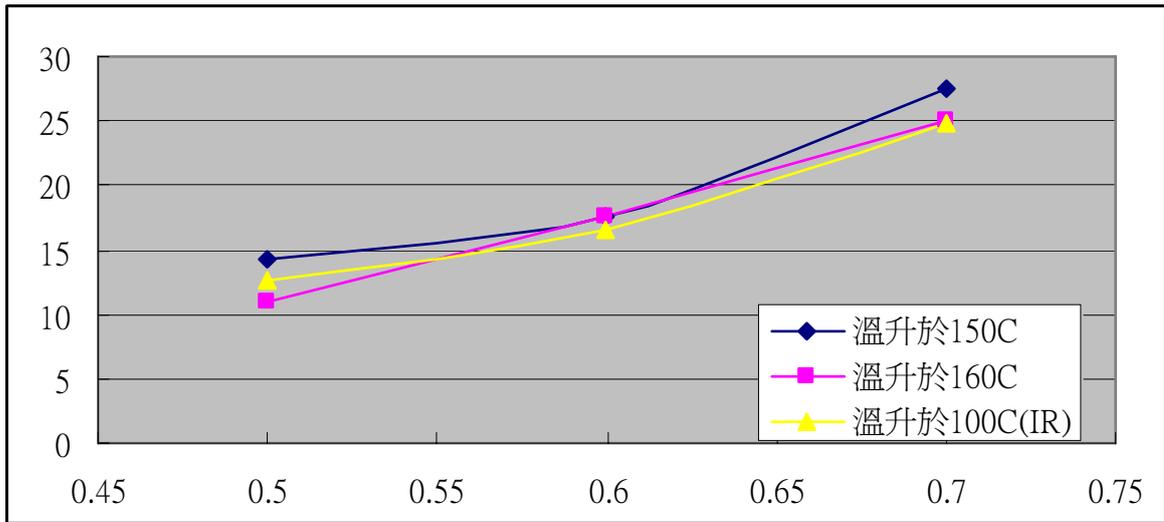


圖 3-6 分別以IR與熱敏電阻於加熱板 100、150 與 160°C 時，量測 Daisy chain 晶片端溫升(°C) 與通入電流(A)

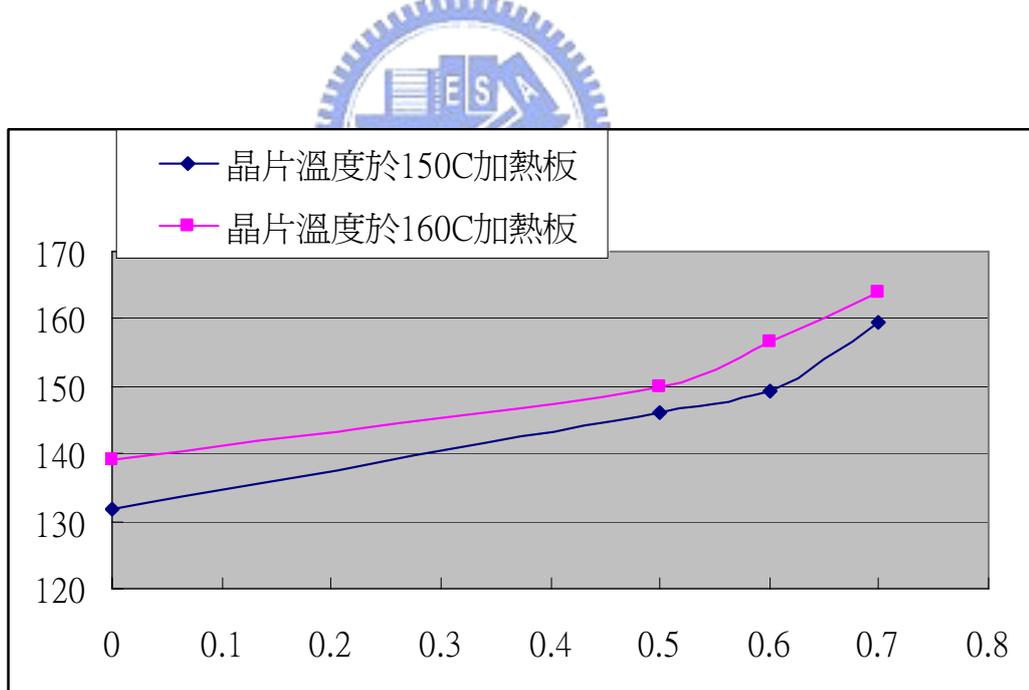


圖 3-7 分別以熱敏電阻量測試片於 150、160°C 加熱板上，對 Daisy chain 通入不同電流時，晶片端溫度。

## 第 4 章 結果與討論

本研究先從鍍錫接點在通電前可能會影響的因子提出討論之後，再就實驗中觀察到的界面反應，通電之後的微結構變化以 SEM、BEI、EDX 來進一步討論當厚膜 UBM(Ni/Cu)與錫鉛鍍錫通入不同電流於不同的溫度作用下，破壞機制的研究。

### 4-1. 體積效應的影響與熱時效作用

當鍍錫在製程的過程當中，會因為 pad 大小與鍍錫體積比不等，影響到介金屬化合物厚度不等。從 B. Salam, N. N. Ekere 等人在 ECTC 2001[17]的研究中指出，對於鍍錫在不同大小的金屬墊層的情況下，其經熱時效或是回鍍過程會對於介金屬化合物厚度變化，可以有顯著的影響。介金屬化合物的成長，可能由於其快速消耗 UBM 與 pad 導致實驗過程中，電流的分布不同與鍍錫在通電下內部的組成改變。

在本實驗試片，使用的鍍錫體積對上接點墊層的 A/V 約為 395，較文獻中[17]的 A/V 大出許多。該文獻中，錫鉛鍍錫與其 pad 的 A/V 比例分別為 S:M:L=9.6:9.8:10.9，可以發現在不同的鍍錫體積

下，銲錫體積對於 IMC 厚度會有稍微的影響，並於結論當超小的 pitch 時，即  $A/V$  很大時，覆晶封裝不會由於熱時效，造成有顯著的體積效應。表示不同大小銲錫接點或是超小的銲錫接點時的介金屬化合物厚度分布對於熱時效作用，應該不會明顯差異。但是在本研究當中，可以看到由於熱時效過程，其時效後，銲錫內卻有錫鉛組成分率的改變。推測原因可能在於我們的研究中，是以研磨拋光來看橫剖面的狀況並分析。但在一般情況下，銲錫與金屬墊層或是 UBM 反應往往是與平面反應，側向的部份可能因鍍層較薄或由於角落表面積大而反應速率較快，造成時效過程仍有可能使銲錫組成由於 IMC 在 UBM 環狀外圍成長反應快，而消耗錫並改變組成，但文獻這部份沒有觀察到，所以推測可能如此。

文獻[11]指出在固態熱時效處理下，e-SnPb 在 Cu 墊層上的介金屬化合物成長的活化能為  $0.94\text{eV}$ ，而對無鉛銲錫的則為  $1.05\text{eV}$ 。固態下熱時效時，介金屬化合物成長的速率遠低於回銲。我們以試片熱時效下的界面反應觀察發現，就介金屬化合物的厚度來看，發現對於錫鉛銲料與鍍層 UBM 反應下，成長的速率又較銅層為慢。

就未進行任何處理的試片，作 EDX 的成份鑑定，(圖 4-1)。可以得到試片的組成屬於高錫組成的錫鉛試片，組成與 Sn80Pb20 的錫鉛銲錫接近，而非共晶錫鉛。分別將經過  $170^\circ\text{C}$  25hrs(圖 4-2.)、

170°C 50hrs(圖 4-3.)、170°C 100hrs(圖 4-4.)的熱時效處理的試片，作研磨拋光來觀察鍍錫接點的組成與微結構，是否會因熱時效而改變其組成。發現界面並不會有顯著的改變，鍍錫的界面處沒有發生Ni或是Cu的溶解。但對於其內部組成，錫鉛組成變化，仍有相當的程度(圖 4-5.)，其可能原因在上段提出。藉由未通電試片的試片，熱時效處理後觀察其界面與微結構是否發生變化，以避免之後作剖面影像觀察時，界面上的介金屬化合物成長與時效嚴重相關，造成電遷移分析上的誤差。但從界面上處的介IMC厚度沒有改變，可以假設就通電之前或之後，過程中主要的破壞將會來自於鍍錫接點電子運動造成的電遷移，而非因熱時效所造成界面處IMC成長而使之消耗掉原有的UBM。與下節電遷移測試後的結果，與熱時效試驗比較發現，在高溫通電的環境下，微結構與界面處的變化，主要的驅動力來自於電遷移，而不是熱的驅動力造成UBM與鍍錫反應。在計算單位Ni或是Cu UBM的消耗量在此可以文獻[11]提出的公式

$$N_{CuInCu_6Sn_5} = \frac{t_{Cu_6Sn_5} \rho_{Cu_6Sn_5}}{6m_{Cu} + 5m_{Sn}} \times 6$$
來計算對於Cu<sub>6</sub>Sn<sub>5</sub>，在已知厚度t<sub>Cu<sub>6</sub>Sn<sub>5</sub></sub>下，單位

體積下消耗的Cu原子數；對Cu<sub>3</sub>Sn公式可表示為，

$$N_{CuInCu_3Sn} = \frac{t_{Cu_3Sn} \rho_{Cu_3Sn}}{3m_{Cu} + m_{Sn}} \times 3$$
。在此實驗的熱時效過程中，由於Ni-Sn或是

Cu-Sn介金屬化合物對於第三種金屬都會以固溶體的形式存在，組成的介金屬化合物不能表示內部溶解的第三方金屬原子。又時效前後

並未明顯發現到Ni-Sn介金屬化合物厚度增加，所以沒有推估熱時效消耗的UBM厚度。

#### 4-2. SnPb 銲錫接點對電遷移的影響

從未時效前的試片(圖 4-1.)，EDX 鑑定該組成近於 Sn80Pb20 的組成。關於此組成下與厚膜 UBM 結構下的電遷移測試部份，但為何我們在覆晶封裝的試片是以此組成而非一般廣泛使用的共晶錫鉛？主要是在廠商提供該試片給我們時，由於製程上的問題，使得其銲錫組成並非共晶錫鉛。在此我們引用部份文獻與結果來進行討論，討論在同樣厚膜結構的 UBM 下，銲錫於電遷移中所可能發生的破壞機制，以及是否可靠度時間確實有好的表現。

在不同含錫量組成的銲錫電遷移測試，在文獻[26]曾提出在薄膜結構的電遷移與 hillocks 成長上的研究，經過相同的通電時間下，以 Sn80Pb20 得到的總體積最小。表示當銲錫成份薄膜 strip 結構，抵抗電遷移以 Sn80Pb20 較其他錫量的銲料比較下，為效果最佳的銲錫組成。我們進一步以覆晶結構的銲錫接點於(表 3-1.)的條件下進行高溫通電測試。

同樣的在以覆晶結構下的錫鉛銲錫接點，對於破壞時間(表 3-1.)的電遷移研究上，可以與 Yi-Shao Lai, Kuo-Ming Chen 等人發表在 EPTC2005 的文獻[C]對照可靠度測試(表 2-4.)。由於相較於我們的

試片結構，該文獻中是同樣以厚膜層結構的金屬(無電鍍 Au\_0.05 $\mu$ m/Ni\_5 $\mu$ m)，作為基板側的金屬墊層；晶片側 UBM 也是採以厚膜的 UBM(Ti/Ni(V)/Cu)共 3 $\mu$ m。可以發現對於覆晶錫鉛接點，在相近的電流密度與溫升情況下，我們(電鍍鎳/電鍍銅)厚膜 UBM 在高溫操作下，有較好的可靠度與較長的破壞時間。可能有以下原因：推論一、厚膜(Ni/Cu)結構的 UBM，可以調整電流分布狀況，鋁導線進入處往往會電流聚集(Current crowding)，藉著進入低電阻的厚膜 UBM，讓電流聚集程度降低，達到避免發熱的效果，延長所需的破壞時間，如文獻[36]對不同結構下的 UBM 作分析發現到，厚膜的電鍍鎳/銅結構可以有效降低電流聚集程度；推論二、錫鉛組成為 80Sn20Pb，此組成對電遷移的抵抗效果較好，對於相同的電流密度下進入的電流，擁有較小的 hillocks 體積，如此即可達到降低電遷移效果。截至目前對於覆晶結構下的錫鉛接點，目前仍未有數據證實 80Sn20Pb 其可靠度可有效提高；推論三、因為矽晶片側的厚度高(750 $\mu$ m)，從而造成通電時溫度散熱快速，使得實際操作下溫升被減緩了。基於以上幾點，我們可以說厚膜結構的(電鍍鎳/電鍍銅)UBM 與錫鉛錒錫接點的搭配使用，為相當可靠的覆晶結構。

從實際操作後的(圖 4-6.)、(圖 4-7.)、(圖 4-8.)為經過 150°C 下

通入 0.5A，3109 小時後，破壞前的 SEM 影像。由橫截面影像，發現當電流通過接點，會產生：1. UBM 消耗溶解，並在其中產生 IMC 融入其中；2. 錫鉛相重新分佈並發生相分離；3. 鐳錫與 UBM 接觸面有孔洞生成。接下來分別對觀察到的現象加以進行討論。

#### 4-3. Ni/Cu UBM 與鐳錫的冶金反應對電遷移的影響

錫銅鎳三元合金的冶金反應與相圖在 240°C 下的研究[14]，可以發現鎳層的阻擋擴散效果不如預期的因素，由於錫銅或是錫鎳的介金屬化合物，對於第三種金屬元素的溶解度也可以到相當高的程度，形成固溶體，其部份介金屬化合物所偵測的原子百分比(表 4-2.) 取用文獻[14]部份。又介金屬化合物彼此間，往往界面不易分離，這使得我們在對其界面處進行成份分析時，不易在電子束打入試片時，發生作用體積的訊號也被收集到，造成鑑別其成份上的誤差。於是在分析過程中，訊號收集範圍採以最明顯的界面層的內部，同時避開周圍的其他物質作分析。

從 UBM 的消耗速度與 IMC 的擴散機制，先以破壞的鐳錫接點作 (圖 4-9.)(圖 4-10.) 討論。當破壞發生，可以從中發現 UBM 是整個溶解消失，只剩下基板側的 IMC 存在。何以經過電子流往下的接點會發生鐳錫接點消失與 IMC 成長？就鎳、銅與鐳錫可能會產生的 IMC

反應下，常見的兩種IMC來觀察界面處反應來討論： $\text{Ni}_3\text{Sn}_4$ 當中的含銅量，相圖中最高可以約 6at.%；而 $\text{Cu}_6\text{Sn}_5$ 對於Ni的最高溶解度則可高達約 42at.%，儘管在相圖中發現Sn-Cu-Ni在240°C的液態下反應，並不會產生三元介金屬化合物，但是其連續的過飽和固溶體存在，使得通電之後產生的驅動力，可以藉由電子風，推動IMC中固溶的Ni與Cu，往介金屬與錫鉛的界面處，進一步促使介金屬化合物持續的生成，與UBM的消耗加速。使得最後破壞前，可以看到在電子流往下的部份接點，推測破壞瞬間鋁導線進入接點處電流聚集效應與TCR效應作用下，使其溫升高於錫鉛接點的熔點，使得上部錫鉛接點與鋁導線熔融消失，只殘餘IMC於基板側，這是為最後破壞的模式。



對於UBM的選擇仍是擴散阻隔層的選擇上一大挑戰，從(表 4-2.)可以發現 $\text{Cu}_6\text{Sn}_5$ 對於Ni的溶解度很高，可趨近 30at%，如此對於IMC生成同時，Ni層的消耗轉而固溶於其IMC。從本篇研究中，發現電子流往上的接點部份，由於在測試環境下鉛為主要的擴散載子，使得純錫相部份，因與Ni與Cu的反應性高，有IMC在基板內的金屬墊層部份。(圖 4-16.) 其中電子由右下角進入錫鉛接點的同時，錫與UBM反應隨著電子進入所造成的電子聚集效應，同時產生Joule Heating；此外從EDX結果可以發現，電子驅動鉛向Chip堆積下，造

成(圖 4-17.)下層為純錫與IMC連續界面(圖 4-18.、4-19.)，該IMC在此為 $\text{Cu}_6\text{Sn}_5$ 。讓鍍錫反應加速會有連續的介金屬固溶體產生，電子流動使得UBM溶解消耗之餘，更提供純錫與介金屬化物的連續界面，使得錫會由於反應時的濃度梯度差異，而持續讓進入金屬墊層內部，延伸往基板側導線(圖 4-20.)。

相較於以往的其他組成下的結構，厚膜雙層的Ni/Cu UBM，的確可以減緩電子流所可能造成的破壞，延遲破壞所需的時間，如文獻[36]所指。而文獻[37]所出現的多孔Ni結構(圖 2-21.)，在(圖 4-13.)中發現當SnPb與sputered Ni接合，此電子流聚集驅使純錫與介金屬化合物接觸處，部份的Ni層會轉為多孔結構，Sn-Ni反應與濃度差將使Ni持續擴散進入IMC( $\text{Cu}_6\text{Sn}_5$ )內部，同時當電流聚集更加速反應與擴散。此種類型的孔洞，在(圖 4-11)電流進入處也可觀察到，孔洞周圍有多孔狀的UBM存在，與其文獻[37]提出當多孔結構的Ni發生時，就不會有孔洞生成的破壞機制不同。

#### 4-4. 孔洞成長與鍍錫破壞

在破壞前的試片，不同階段的比較中，可以觀察到孔洞生成與持成長。從(圖 4-7.)與Y.H. Lin與K.N. Tu等人發表於Acta Mater.

2005[29]。文獻中，在 $9.2 \times 10^5 \text{A/cm}^2$ 通電過程下，共晶錫鉛經過 50

分鐘，可以發現有孔洞的生成在UBM與錒錫生成的介金屬化合物之間。同樣的在我們的電阻變化研究實驗過程中，通電流進入一對錒錫接點，經過 1029 小時操作於 150°C 0.85A 環境中，經量測單顆接點的電阻上升至原來電阻 1.9 倍時，電子流往下的接點在未破壞前的影像，BEI 影像(圖 4-11.)。從影像可以看到電子進入 UBM 處，生成孔洞於錒錫與導線接觸處，錒錫在 UBM 端轉變為連續的介金屬化合物。而 Ni 與 Cu 層在 UBM 的右側(遠離電子進入側)仍保有部份完整的結構。

而當通電進入六顆接點的 daisy chain 研究上。於 170°C 通入 0.6A (圖 4-12.)，SEM 影像可以觀察在破壞前，有嚴重的孔洞生成。至於為何孔洞生成於遠離鋁導線進入處，可以從模擬電流分佈的影像發現(圖 2-22)[38]，當孔洞在電子流進入時發生，會延後導線電流進入錒錫的位置，此時電子聚集效應會減緩。推動造成 IMC 漂移往基板側，使得基板端的 IMC 厚度增加，而非錒移動往基板；這是因高溫下錒鉛錒料主要擴散載子為 Pb，所以推測造成 IMC 堆積的驅動力來自 IMC 被推移。(圖 4-13.) 中，相同的環境下，發現 IMC 隨著電子流往基板側。而孔洞旁的 IMC(圖 4-14.) 為  $\text{Cu}_6\text{Sn}_5$ ，與位於 UBM 下方溶入錒錫的介金屬化合物(圖 4-15.) 同為  $\text{Cu}_6\text{Sn}_5$ 。不同於文獻[31]的孔

洞是隨著電流往後，(圖 2-7)使其孔洞呈薄餅狀與UBM也仍未消耗完。

#### 4-5. 平均破壞時間與 Black's equation

從文獻回顧中的可靠度測試的文獻中[27]，W. J. Choi等人，在EM測試中，以共晶錫鉛對於Al/Ni(V)/Cu以公式Black's equation： $MTTF = A \frac{1}{j^n} \exp\left(\frac{Q}{kT}\right)$ 。得到的Q與n，分別為 0.8eV與 1.8。在本實驗對於MTTF結果[表 3-1.]，帶入Black's equation 下的Q與n，我們分別就可能影響到Black's equation的因素作進一步的校正。

儘管在 Black's equation 當中的溫度在通電過程中的量測方法，仍受到不少的爭議，尤其在通電時，鉍錫會由於焦耳熱效溫度與 TCR 效應，造成迴路內鉍錫的溫度往往高過預期的加熱環境。從文獻[32]，以 IR 量測覆晶封裝內，主要的發熱源鋁導線，尤其是於鉍錫上方的鋁導線，為目前最接近鉍錫溫度(鋁導線溫度分佈)的量測方法。我們在實驗中分別利用 IR 與 TC 作溫度的量測(圖 3-6、3-7.)，由於 IR 的溫度受限於 100°C 的 hot stage 作測試，所以由 100°C 下的 2550μm 鋁導線溫升，去推測當溫度分別為 150、160 與 170°C 下，溫升的狀況。(圖 4-21.) 以此校正溫度推估通電中實際的溫升，是基於假設當溫度從 100°C 提升到 150、160 與 170°C 時，對於熱對流的狀況的改變，不會明顯影響到我們鋁導線的溫升狀況。而這部

份的假設以 150°C 下的熱敏電阻量測，與 150°C 下的 TCR 校正量測作比較，發現可能由於熱敏電阻的接觸面，是以整個矽晶片作接觸造成誤差的存在，但是溫度的差異性並不大。可是對於 160°C 的溫度與更高溫度下進行量測時，發現誤差會明顯產生，可能的原因是由於在測量上，加熱板溫度當溫度高設定較高下，震盪更為嚴重造成溫度的不穩定，或是因為當溫度提昇的同時，熱對流會因溫度梯度變大，造成熱敏電阻實際量測的溫度受到周圍影響較嚴重，使得量到的溫升不如預期。(圖 4-23.)

同時在通電過程中，從文獻[36]所提到會由於電流聚集效應，使得在實際推算電流密度時，需要以 crowding ratio 進行修正。在本結構下，透過模擬接點內部的電流密度，我們可以得到 crowding ratio 為 2.18。(圖 4-24.)表示當電流進入鉍錫時，最大電流將可能為平均電流密度的 2.18 倍。

於是從我們的已知破壞時間、溫度校正後的實際鉍錫內部溫度與電流聚集效應的因子(crowding ratio)，可以得到 Black's equation 改寫為：
$$MTTF = A \frac{1}{(cj)^n} \exp\left[\frac{Q}{k(T + \Delta T)}\right]$$
。而其中的 c 為 crowding ratio； $\Delta T$  為通電環境中，電流導致的溫升。對此式如何得到我們的 n 與 Q 的數值，可以將該式改寫為以下三種形式：

1. 先假設溫度為固定值( $T=\text{constant}$ )，不受電流作用影響：

$$\ln MTTF = \ln A - n \ln(cj) + \frac{Q}{kT} \dots\dots\dots (eq. A)$$

從此式作圖可以得到我們的第一組 n 值為 12.39，lnA 為 125.11。(圖 4-25.)

2. 將原式改寫為：

$$\ln [MTTF \times (Cj)^n] = \ln A + \frac{Q}{k(T + \Delta T)} \dots\dots\dots (eq. B)$$

將修正後溫升、已知破壞時間、修正後電流帶入。可得 Q/k 值為 21629，Q 為 1.86 eV。(圖 4-26.)，此時 lnA 為 76.752。

3. 在將原式改寫為：

$$\ln(MTTF) - \ln A - \frac{Q}{k(T + \Delta T)} = -n \ln(cj) + \ln B \dots\dots\dots (eq. C)$$

透過此式以 lnB 來修正 lnA，同時得到的 n 為 6.27，修正後 lnA 為 17.937。(圖 4-27.)

從(eq. C)得到的 n，再帶入(eq. B)得到新的 Q=2.05，lnA=31.05 後。再將新的 Q 與 lnA 帶到(eq. C)得到新的 n=6.17，修正的 lnA=74.288。(eq. C)得到的值，帶入(eq. B)得到 Q=2.055，lnA=12.115。(eq. B)得到的值，帶入(eq. C)得到 n=6.17，lnA=43.19。

此時可以發現經過數次的反覆代換，可以得到相近的 n 與 Q。但對於常數項我們可以知道 eq. B 與 eq. C 間，仍然有相當差距。利用簡單的點斜式作修正，

$$\ln(MTTF) = m \times \left[ (\ln A - n \ln(cJ)) + \frac{Q}{k(T + \Delta T)} \right] + \ln B^*$$
 我們可以藉由此式來得到修正後的斜率  $m=1$ ，與需要平移的截距項次  $\ln B^*$ 。(圖 4-28.) 藉由此式得到修正後的  $\ln A=12.10075$ 。最後再分別以 (eq. B) 與 (eq. C) 的各一次帶入，得到  $\ln A$  相近時的  $n=6.1694$  與  $Q=2.055$ 。(圖 4-29.) (圖 4-30.)。

由本實驗結果搭配修正後的 Black's equation 所得到的  $Q$  與  $n$  分別為  $2.1\text{eV}$  與  $6.2$ ，其中的  $Q$  較以往高出許多，主要的因素可能來自於對於破壞時間的量測是以電阻上升到原本的  $800\%$ ，由於破壞對應的電阻在極大值，可能會使得在通電過程中，導線因瞬間的電流過大而高熱熔斷，可能為最後破壞階段，不是在銲錫接點部份發生破壞，而是因高熱使導線斷裂，造成斷路。

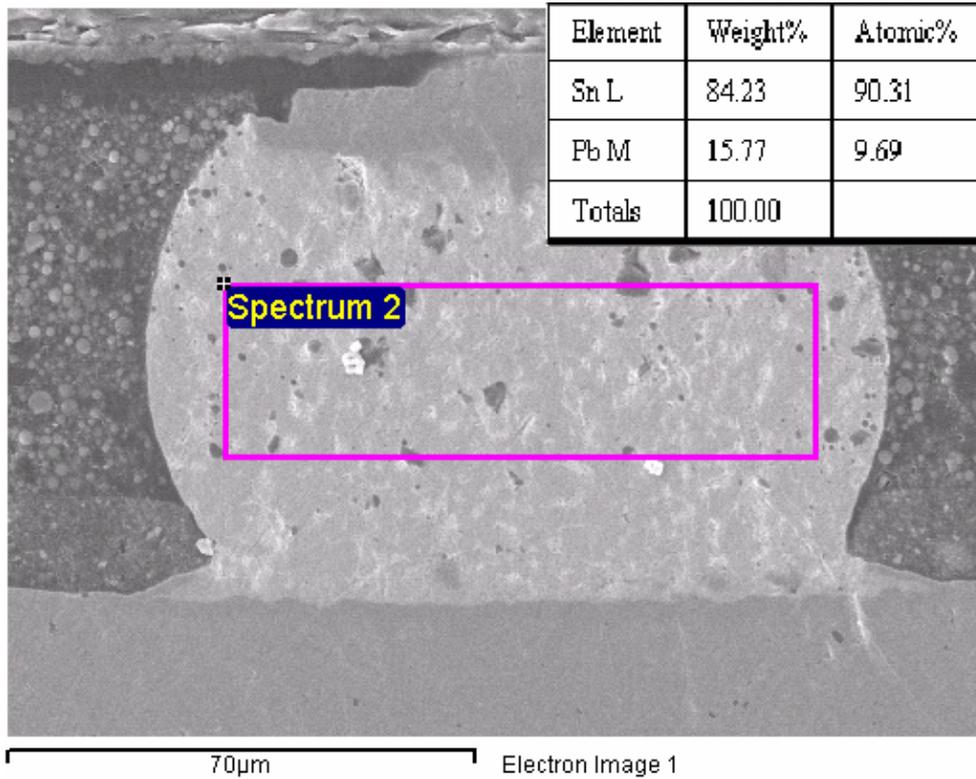


圖 4-1 製備後未經處理的鉛錫接點EDX成份分析

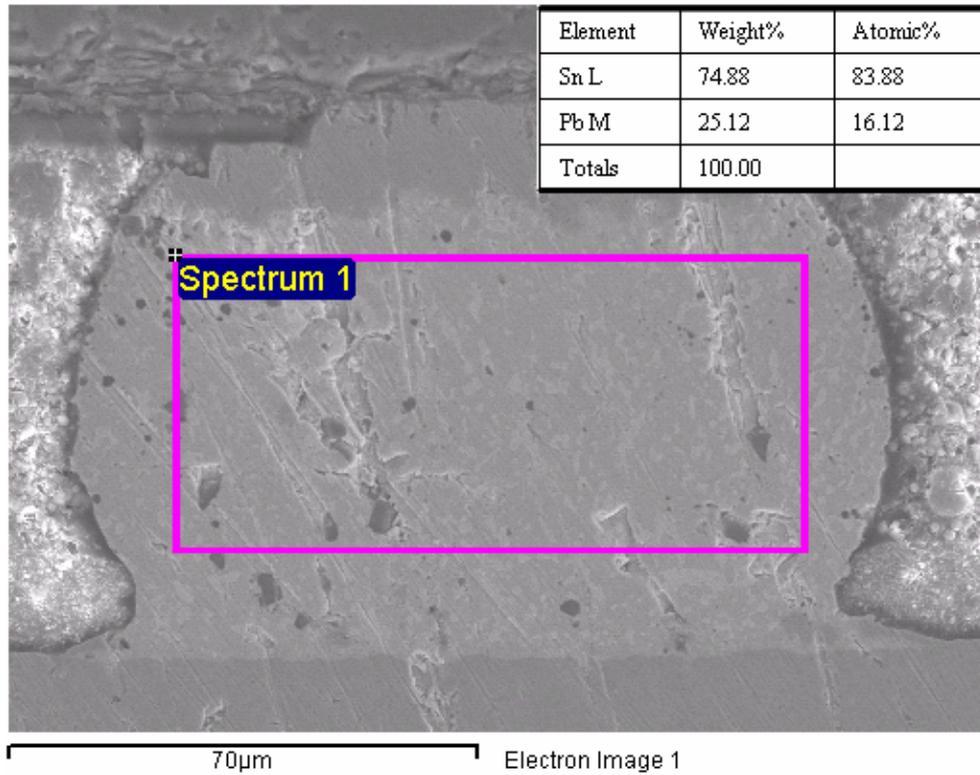


圖 4-2 試片於 170°C 下經過 25 小時時效處理作EDX成份分析

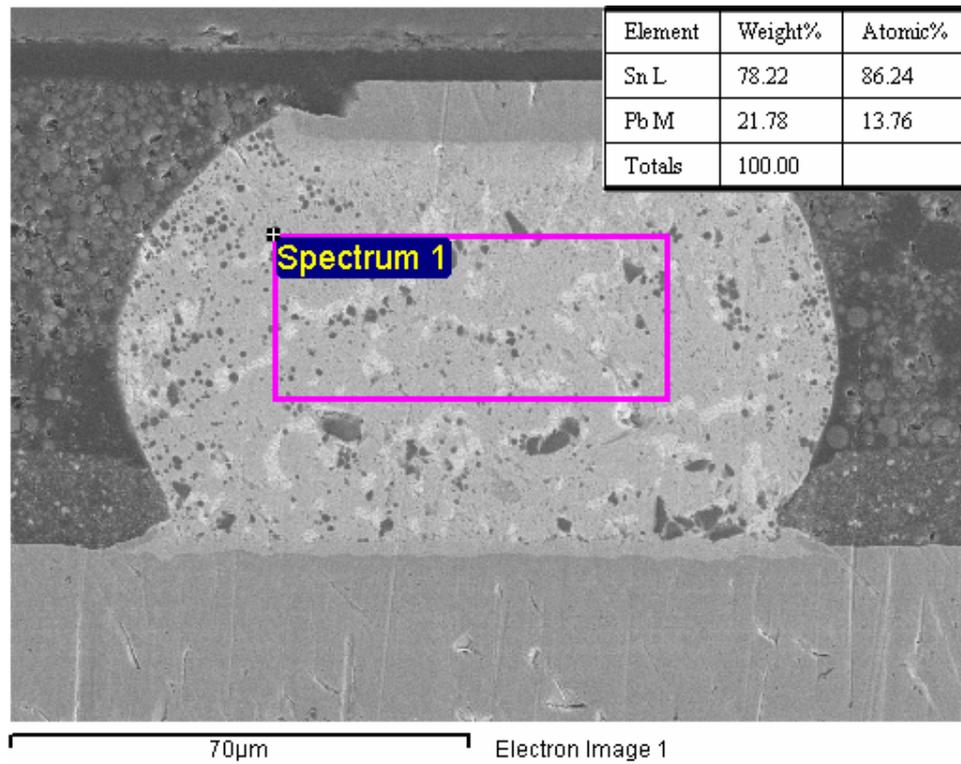


圖 4-3 試片於 170°C 下經過 50 小時時效處理作EDX成份分析

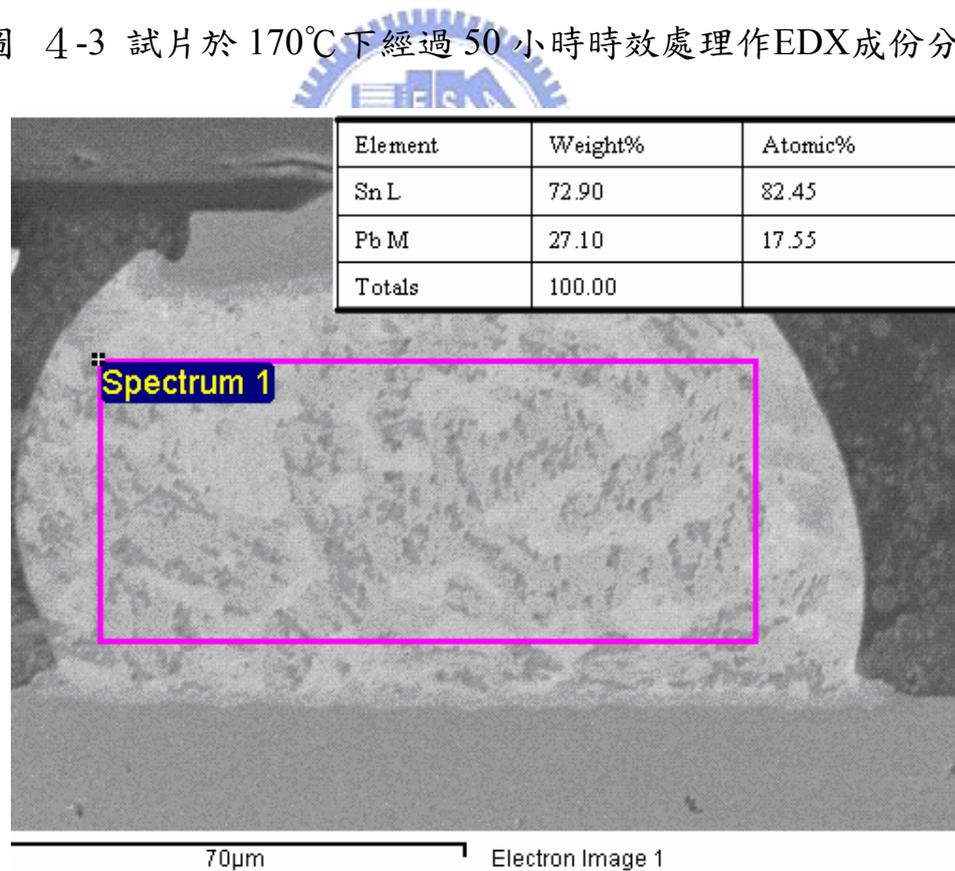


圖 4-4 試片於 170°C 下經過 100 小時時效處理作EDX成份分析

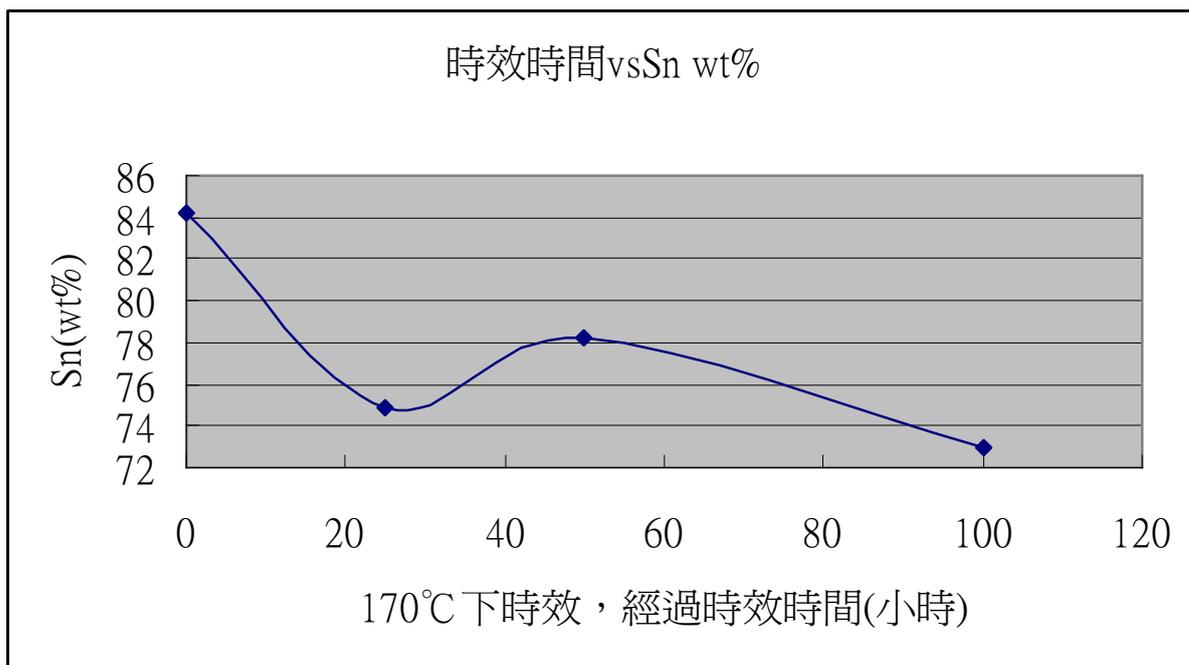


圖 4-5 在 170°C 時效不同時間，接點內部錫量的改變

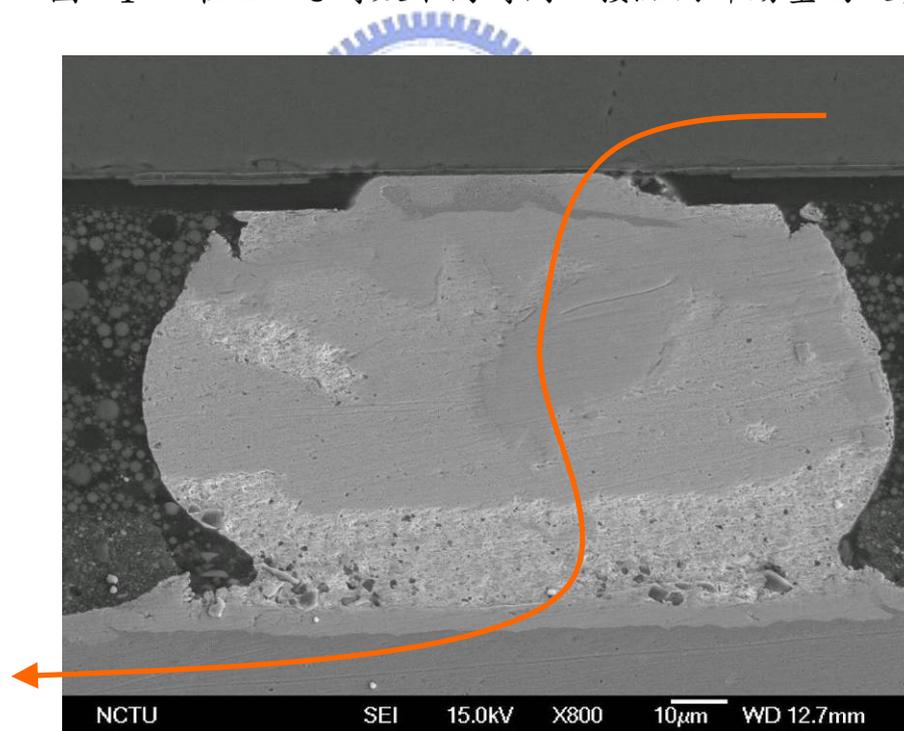


圖 4-6 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流右上到左下。

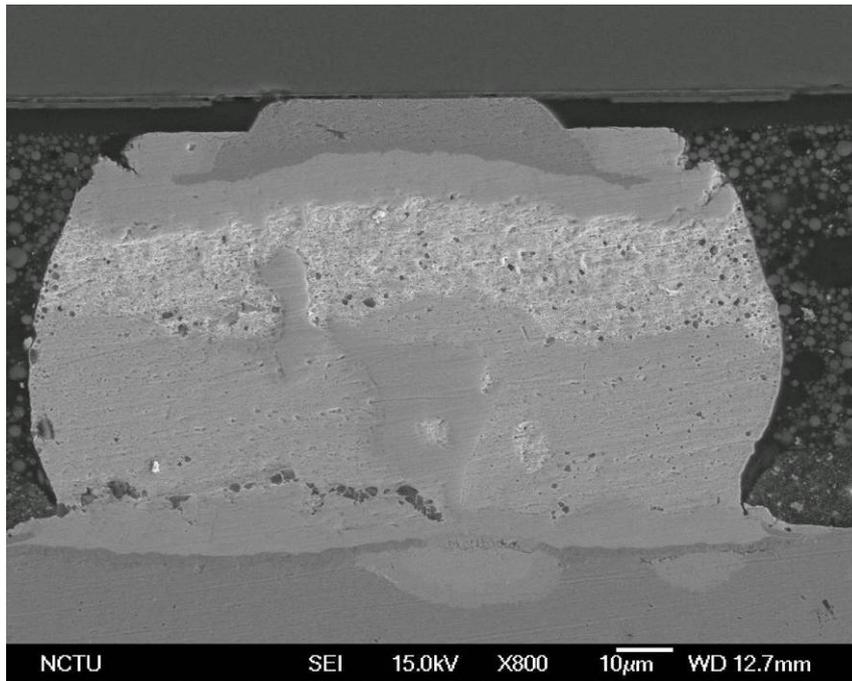


圖 4-7 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流方向右下到左

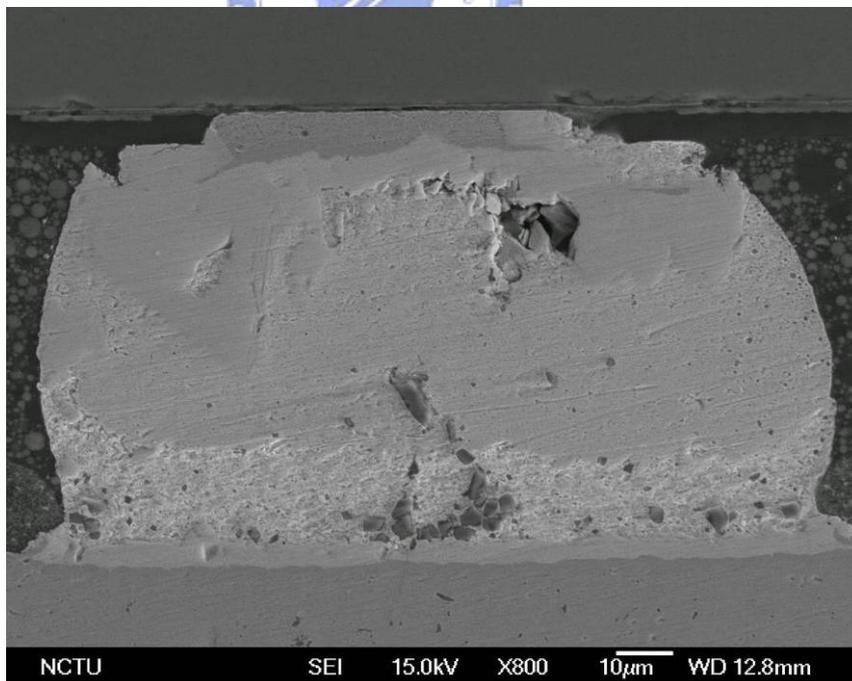


圖 4-8 經過 3109 小時，在 150°C 下通入 0.5A 操作，電子流方向右上到左

下

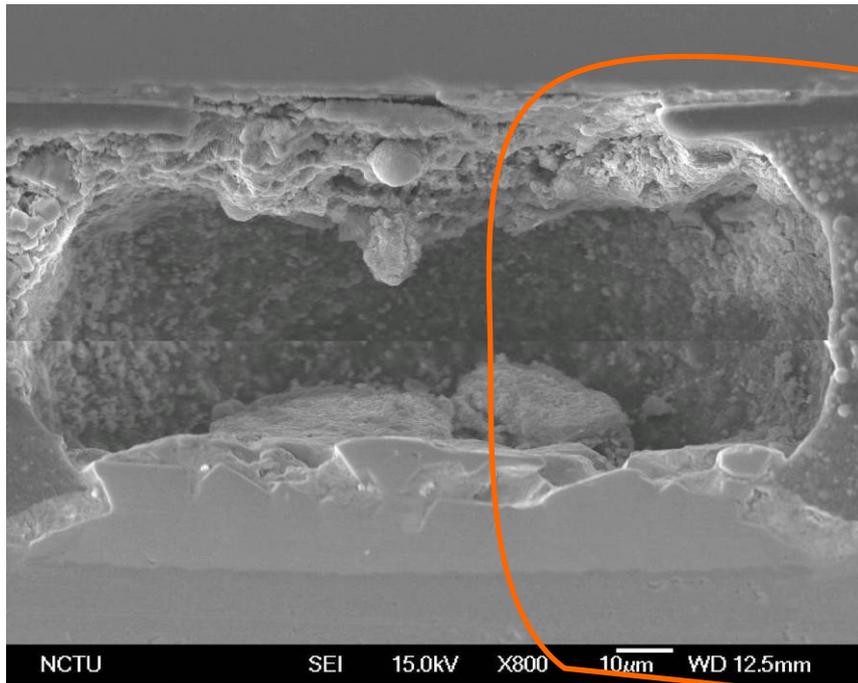


圖 4-9 經過 98 小時，在 150°C 下通入 0.7A 操作後，電子流由右上到右下

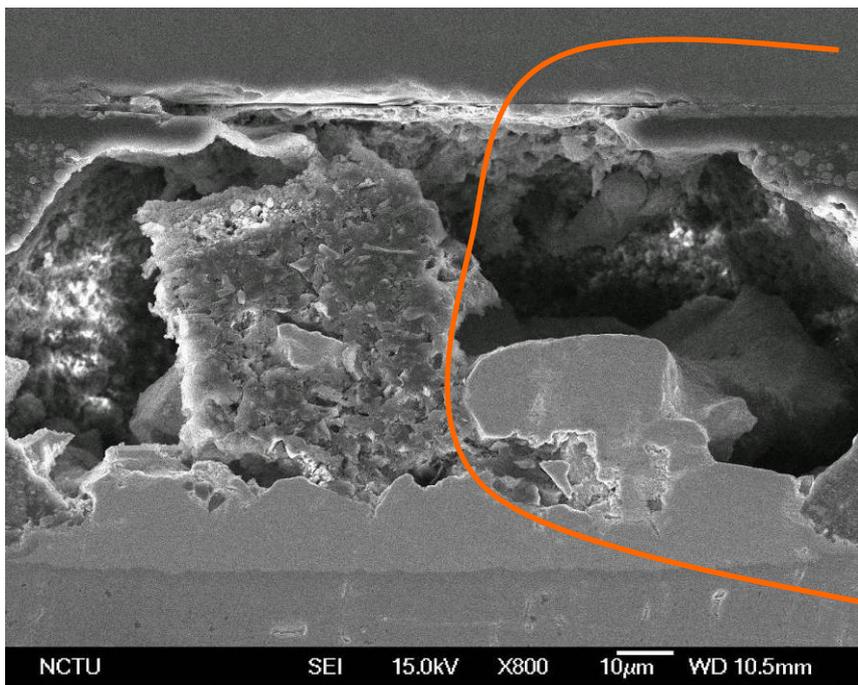


圖 4-10 經過 96 小時，在 170°C 下通入 0.6A 操作後，電子流由右上到右下

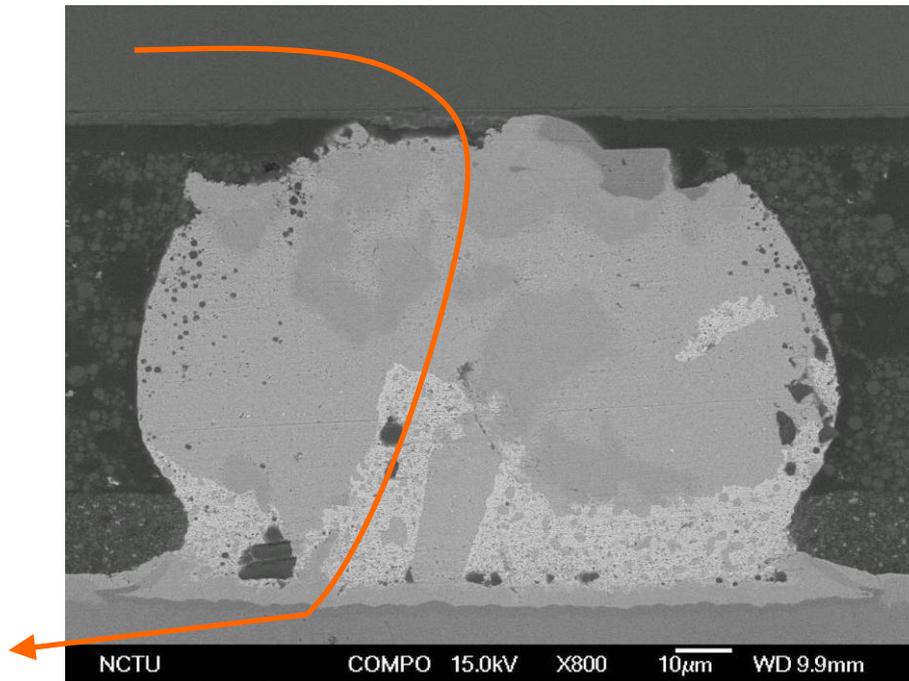


圖 4-11 操作 1029 小時在 150°C 0.85A，電子流由左上到左下，銲錫接點

電阻上升 1.9 倍

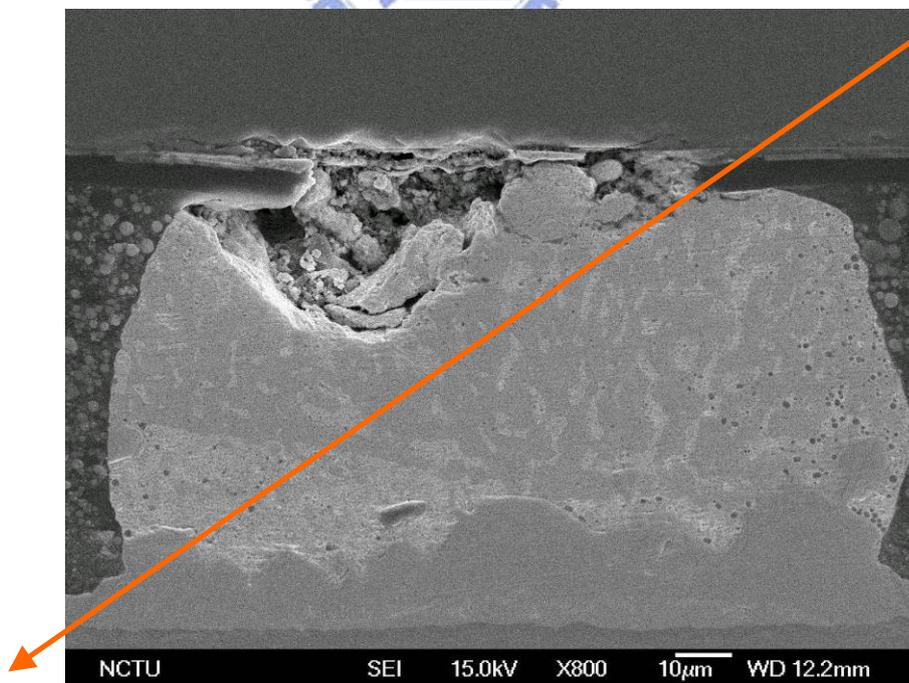


圖 4-12 通四顆接點的 daisy chain 於 170°C 通入 0.6A，經過 756 小時後斷路。

電子流由接點右上角到左下角。

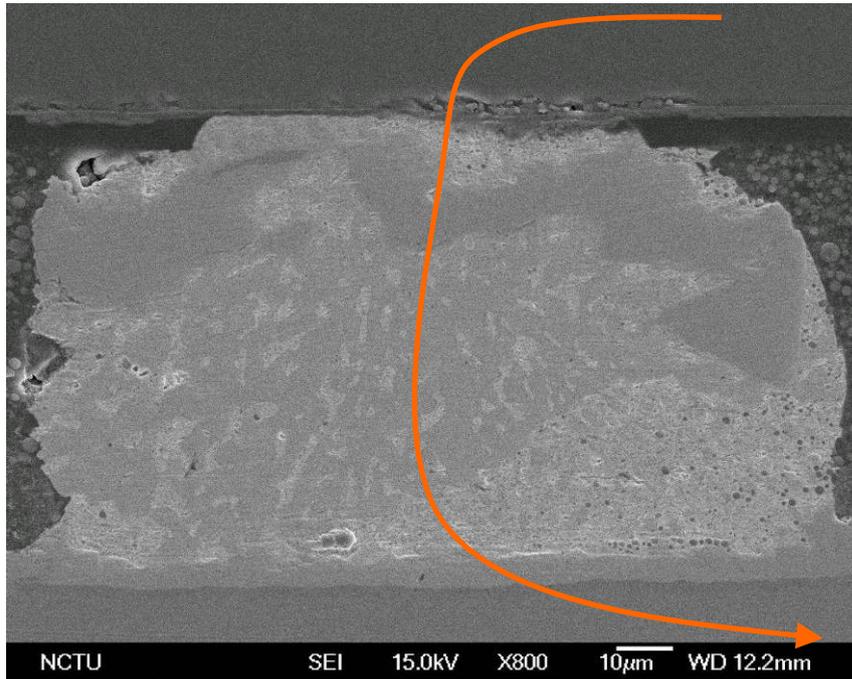


圖 4-13 通四顆接點daisy chain於 170°C 通入 0.6A，經過 756 小時後斷路。

電子流如示。

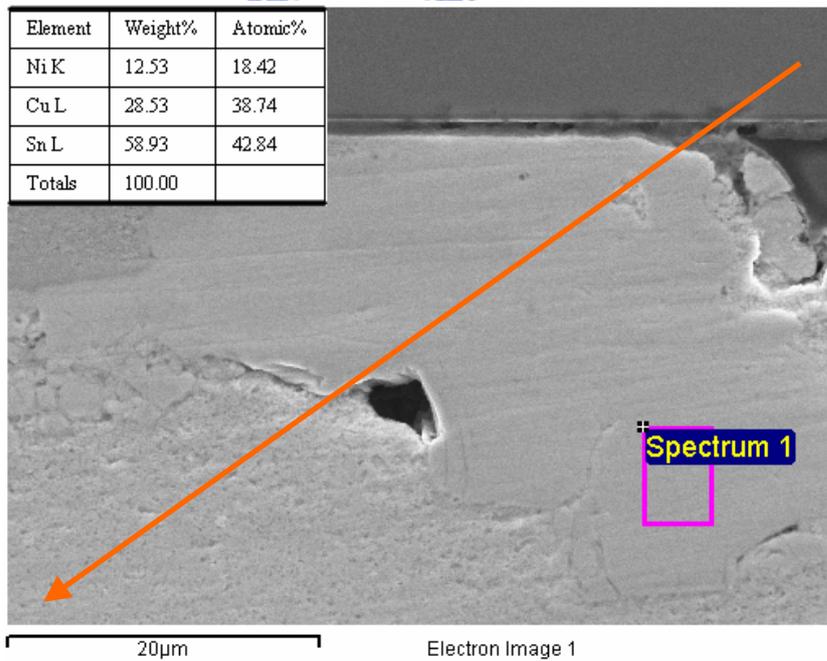


圖 4-14 經過 98 小時斷路，在 150°C 下通入 0.7A 操作後，電子流由右上到

左下。

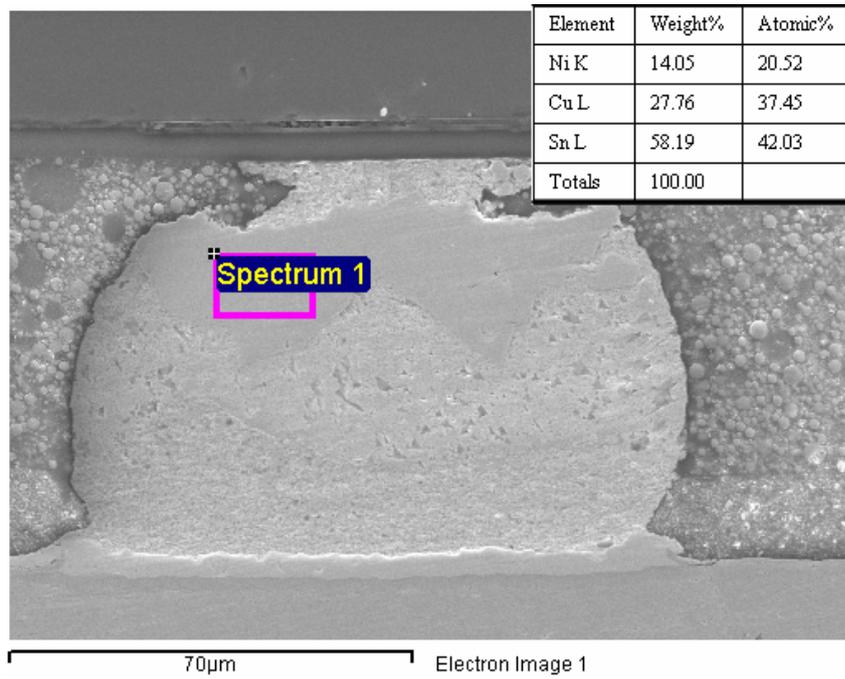


圖 4-15 經過 98 小時斷路，在 150°C 下通入 0.7A 操作後，電子流由右上到

左下。

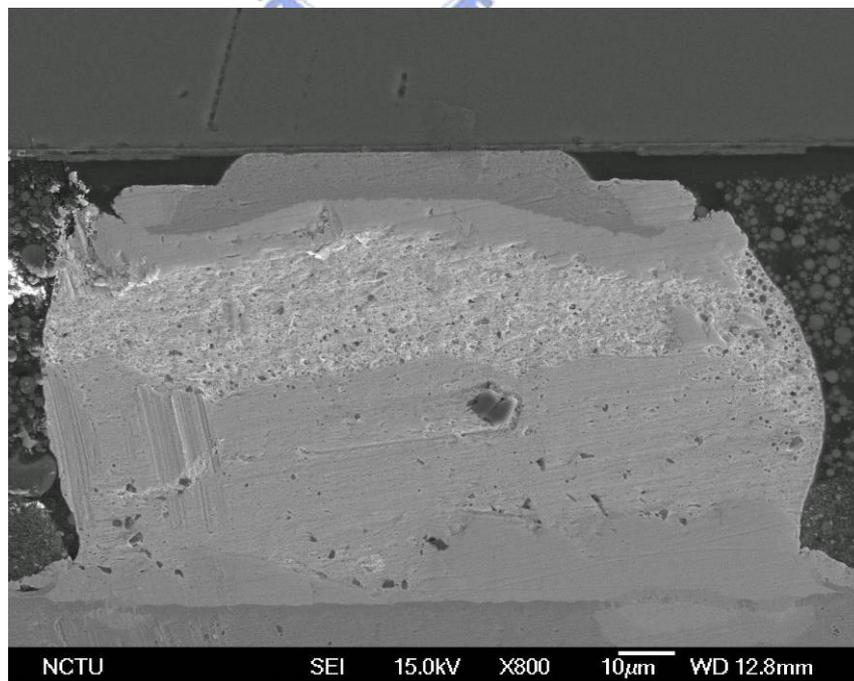


圖 4-16 經過 3109 小時，在 150°C 下通入 0.5A 後，電子流由右下到左上

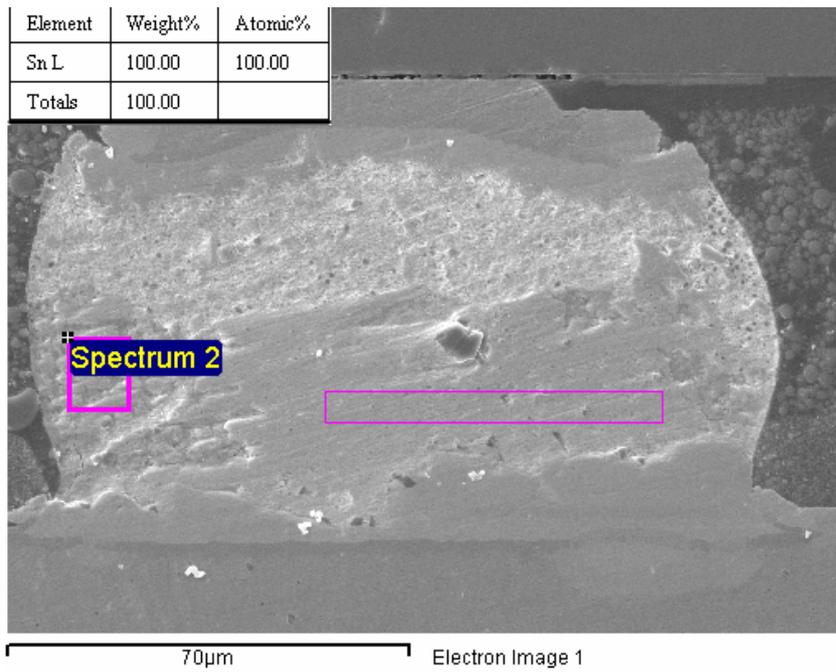


圖 4-17 前圖 4-16.的EDX成份鑑定，下方為純錫相。電子流往上。

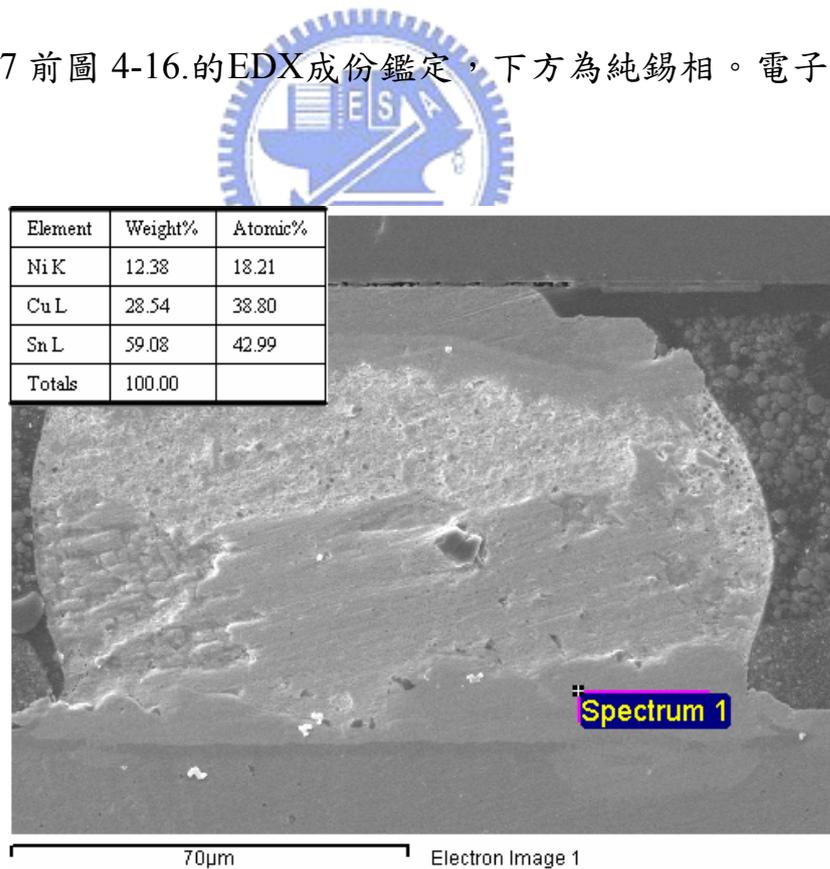


圖 4-18 前圖 4-16.的EDX成份鑑定，Cu<sub>6</sub>Sn<sub>5</sub>。電子流往上。

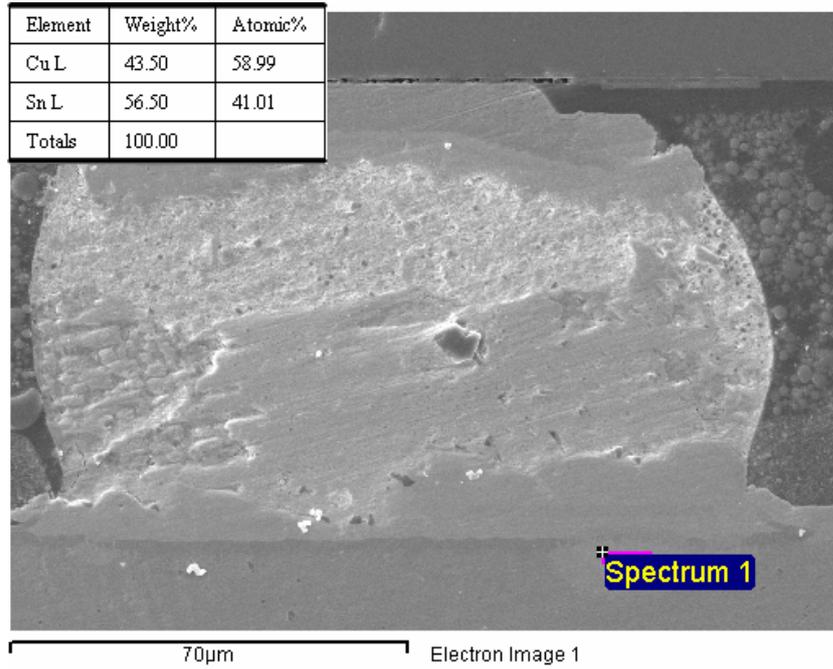


圖 4-19 前圖 4-16.的EDX成份鑑定，Cu<sub>6</sub>Sn<sub>5</sub>。電子流往上。

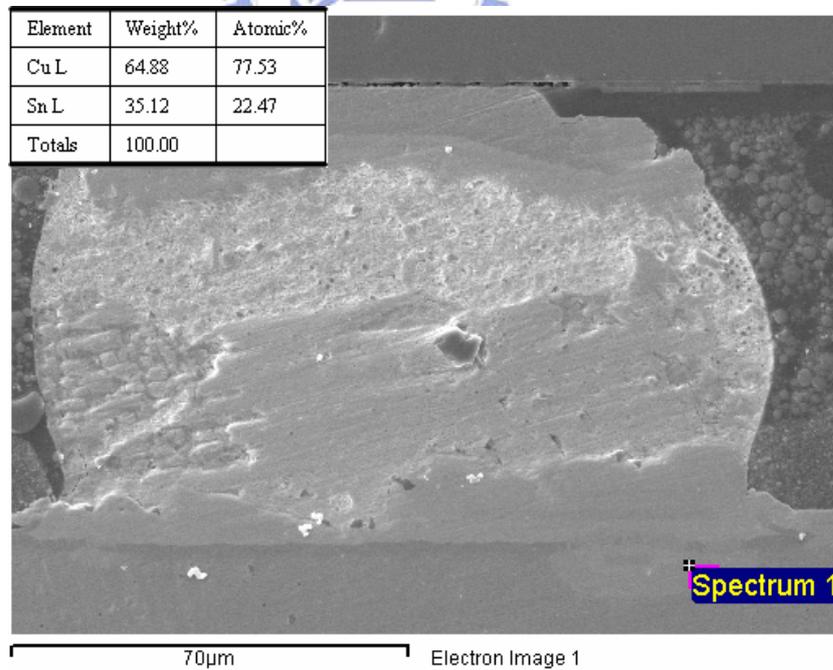


圖 4-20 前圖 4-16.的EDX成份鑑定，Cu<sub>3</sub>Sn。電子流往上。

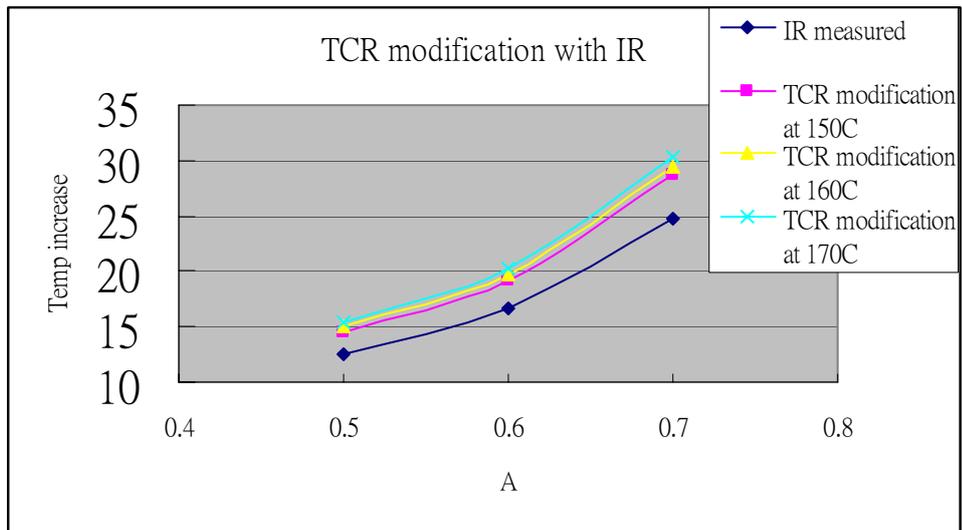


圖 4-21 以IR溫升利用TCR校正後的溫升。

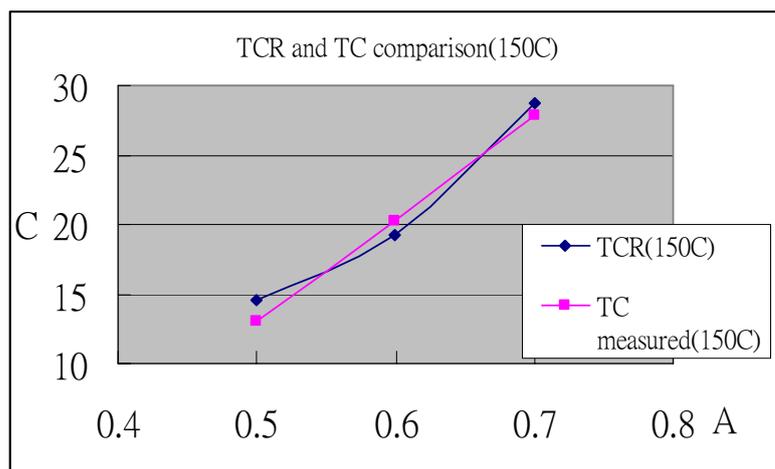


圖 4-22 比較以TCR推算與熱敏電阻得到溫升於 150°C。

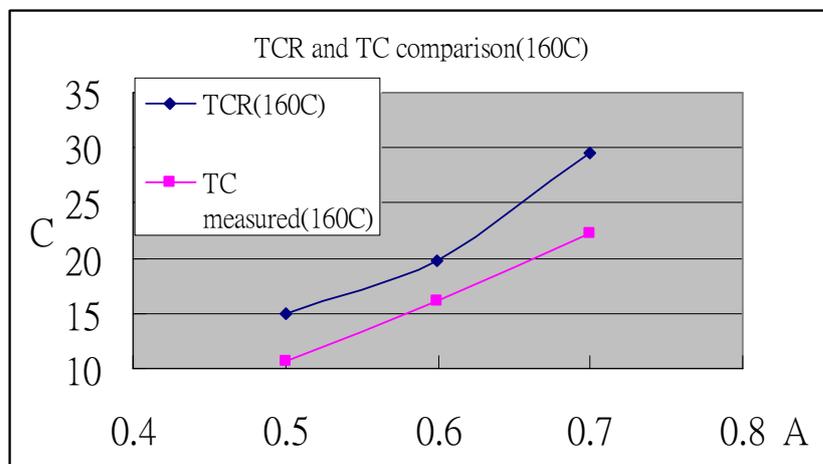


圖 4-23 比較以TCR推算與熱敏電阻得到溫升於 160°C。

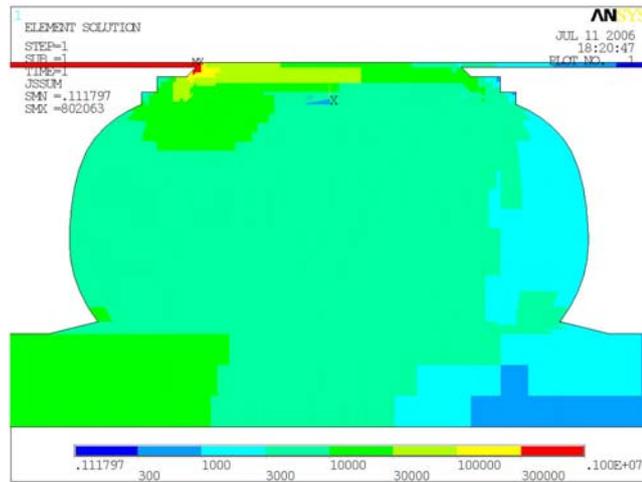


圖 4-24 通電時，電流分佈模擬。得修正之C=2.18

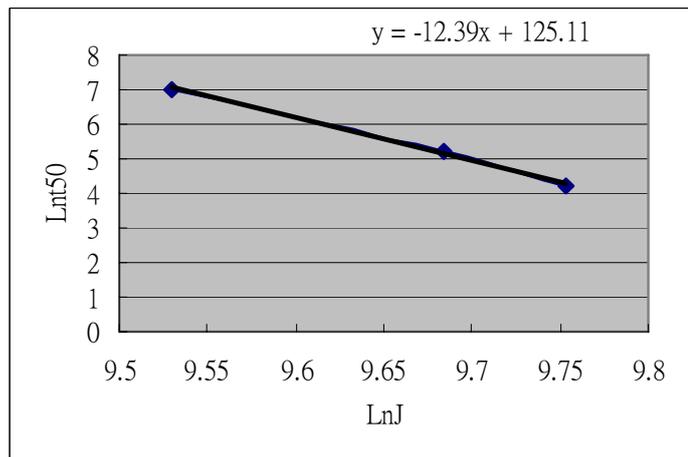


圖 4-25 以  $\ln MTTF = \ln A - n \ln(cj) + \frac{Q}{kT}$  (eq. A) 假設溫度定值得到第一組n。

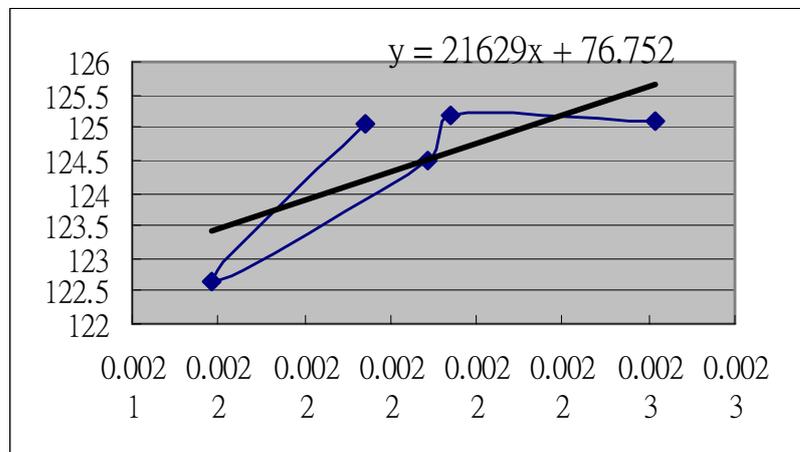


圖 4-26 以  $\ln[MTTF \times (Cj)^n] = \ln A + \frac{Q}{k(T + \Delta T)}$  (eq. B) 推得 Q 為 1.86。

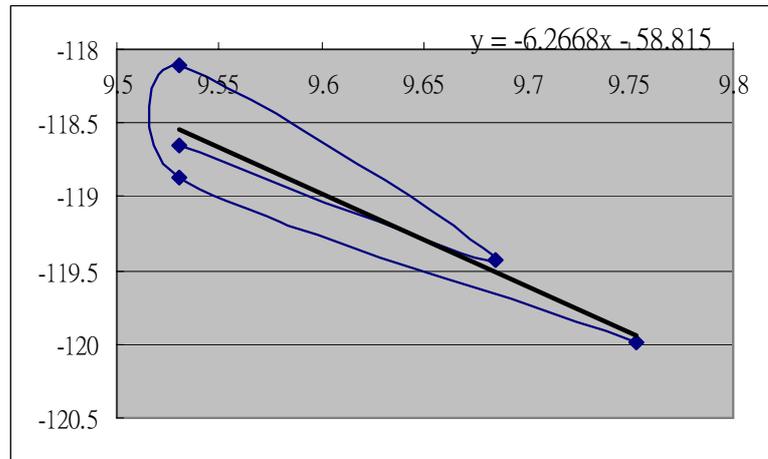


圖 4-27 以 (eq. C) 得到 n=6.27, lnA=17.937。

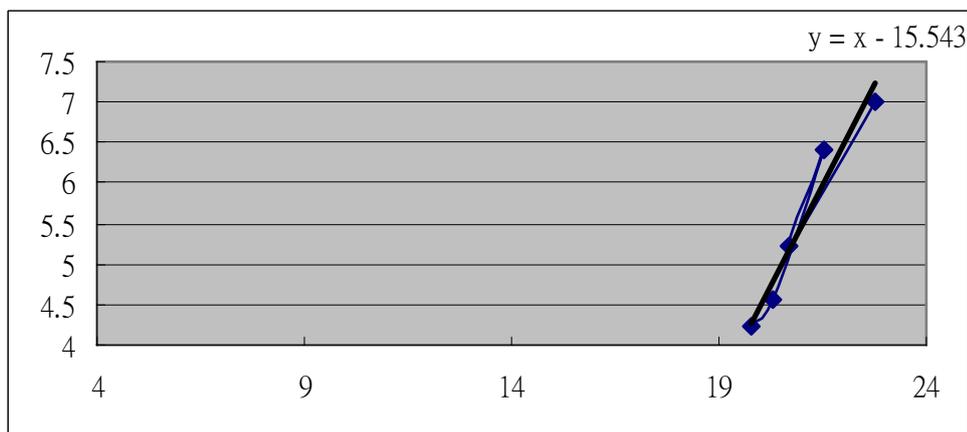


圖 4-28 以點斜式修正 (eq. C), 得到 m=1 與 lnB\* = (-15.543)。

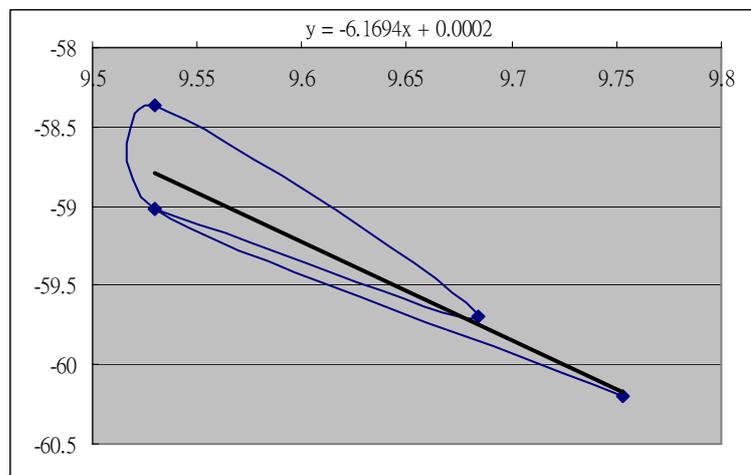


圖 4-29 (eq. C) 得到的 $n=6.1694$ ， $\ln A=12.10095$ 。

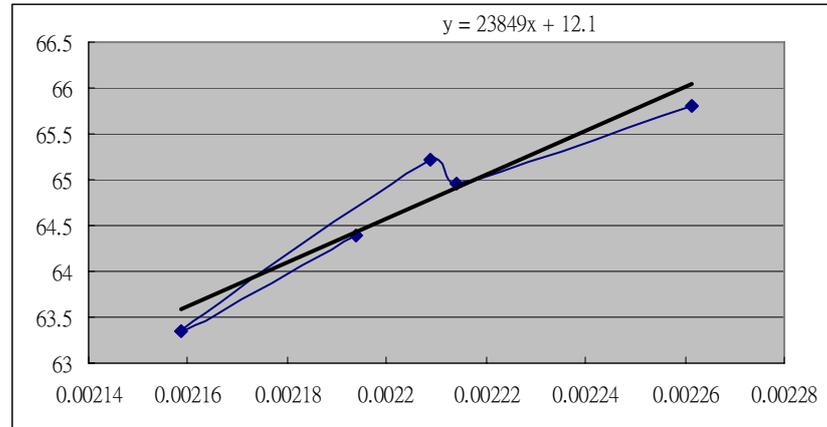


圖 4-30 (eq. B) 得到的 $Q=2.055068$ ， $\ln A=12.1$ 。

At%	Sn	Cu	Ni
Ni <sub>3</sub> Sn <sub>4</sub>	56.3	6.7	37
	56.2	6.8	37.8
	56.7	6	37.3
	56.4	5.9	37.7
	56.6	0	43.4
Ni <sub>3</sub> Sn	25.4	20.3	54.7
	25.5	13.1	61.4
Cu <sub>6</sub> Sn <sub>5</sub>	45.3	42.7	12
	41.8	28.9	29.3
Cu <sub>3</sub> Sn	25.8	69.9	4.3

表 4-1 常見IMC種類與其中含有的Sn、Cu、Ni原子百分比，文獻[10]。

## 第 5 章 結果與未來展望

在覆晶封裝的發展隨著接點縮小與環保議題需兼顧的同時，電遷移在於新一代的無鉛錒料上，仍無法達到可靠度如錒鉛錒料一般的結果。仍有許多提高錒鉛錒料可靠度的方式，可以在無鉛錒料上研究與討論，雙層厚膜的 UBM 結構是一種可以有效減緩電遷移的方式。在無電鍍鎳的 UBM 與錒鉛錒錒的反應上，對於電遷移的影響上，尚未有討論當以無電鍍鎳作為 UBM 時的破壞現象。

其主要影響電遷移的許多因素中，電流聚集效應往往造成以往在 Black's equation 以平均電流帶入作校正的過程，與電阻的熱效應會造成實際環境中的溫度往往高過預期。這等等因素尚未在覆晶封裝的結構下以有效的方式來推算與討論。透過本研究的計算方式，可以推求更合於實際狀況的參數。

## 第 6 章 參考文獻

- A. R.J. Wassink, Soldering in Electronics, Electrochemical Pub. Ltd., p.99, 1984.
- B. K.N. Tu, and K. Zeng, Six cases of reliability study of Pb-free solder joints in electronic packaging technology, R. 38 (2002) , pp.55-105.
- C. Yi-Shao Lai, Kuo-Ming Chen, Chiu-Wen Lee, Chin-Li Kao, Yu-Hsiu Shao, EM reliability of Sn-37Pb and Sn-3Ag-1.5Cu/ Sn-3Ag-0.5Cu Composite FC solder Bumps with Ti/Ni(V)/Cu UBM, pp. 786-791, Singapore EPTC 2005.
- D. Tu K.N., and K. Zeng, Tin-Lead (SnPb) solder reaction in flip chip technology, Materials Science and Engineering, R 34 (2001) 1-58.
- E. [徐敏雯] 徐敏雯碩士論文，國立中央大學機械所，2001.
1. Intel Technology Journal, Vol. 9, Issue 4, 2005.
  2. V. B. Fiks, Soviet Physics – Solid State, Vol. 1, pp. 14-28, 1959.
  3. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
  4. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June 1998.
  5. Z. Mei, A. J. Sunwoo and J. W. Morris, Jr., Metallurgical Transactions A, Vol. 23A, pp. 857-864, 1992.
  6. K. N. Tu. and R. D. Thompson, Acta Metall., Vol. 30, pp. 947-952, 1981.
  7. S. W. Chen, C. M. Chen and W. C. Liu, J. Electronic Materials, Vol. 27, No. 11, pp. 1393-1198, 1998.
  8. A. Hayashi, C.R. Kao and Y. A. Chang, Scripta Materialia, Vol. 37, No. 4, pp. 393-398, 1997.
  9. S. Bader, W. Gust and H. Hieber, Acta Metall. Mater., Vol. 43, No. 1, pp. 329-337, 1995.
  10. L. H. Su, Y. W. Yen, C.C. Lin, and S. W. Chen, Metallurgical and Materials Transaction B, Vol. 28B, pp.927-934, 1997.
  11. T.Y. Lee, W. J. Choi, and K.N. Tu, Morphology, kinetics, and thermodynamics of solid-state aging of eutectic SnPb and Pb-free solders

- (Sn-3.5Ag-0.7Cu and Sn-0.7Cu) on Cu, JMR, V.17, N.2, Feb 2002.
12. P. Nash and A. Nash, Bulletin of Alloy Phase Diagrams, Vol. 16, No.4, pp. 350-359, 1985.
  13. W. J. Tomlinson, H. G. Rhodes, J. Materials Science, Vol. 22, No. 5, pp. 1768-1772, 1987.
  14. Chih-Hao Lin, Sinn-Wen Chen, and Chao-Hong Wang, Phase Equilibria and Solidification Properties of Sn-Cu-Ni Alloys, JEM, Vol. 31, No. 9, 2002.
  15. S.K. Kang, R.S. Rai, and S. Purushothaman, Interfacial Reactions during soldering with Lead-Tin Eutectic and Lead-Free Solders, JEM, Vol. 25, No. 7, 1996.
  16. Judith Glazer, Microstructure and Mechanical Properties of Pb-free Solder Alloys for Low-Cost Electronic Assembly: A Review, JEM, Vol. 23, No. 8, 1994.
  17. B. Salam, N. N. Ekere, and D. Rajkumar, Study of the Interface Microstructure of Sn-Ag-Cu Lead-free Solders and the Effect of Solder Volume on Intermetallic Layer Formation, ECTC 2001.
  18. Tu K.N., Recent advances on electromigration in VLSI of interconnects, JAP, Vol. 94(9), pp. 5451-5473, 2003.
  19. Paul S Ho and Thomas Kwok, Electromigration in metals, Rep. Prog. Phys. 52, pp. 301-348, 1989.
  20. H. Wang, C. Bruynseraede, and K. Maex, Impact of current crowding on electromigration-induced mass transport, pp.517-519, APL V. 84, N. 4, 2004.
  21. Kuo Ning Chiang, Chien Chen Lee, Chang Chun Lee, and Kuo Ming Chen, Current crowding-induced electromigration in SnAg3.0Cu0.5 microbumps, APL 88, 072102, 2006.
  22. D. Gupta, K. Vieregge, and Gust, Interface Diffusion in eutectic Pb-Sn solder, Acta mater., V.47, No. 1, pp.5-12,1999
  23. Hua Ye, Cemal Basaran, Douglas C. Hopkins, Pb phase coarsening in eutectic Pb/Sn flip chip solder joints under electric current stressing, International journal of solids and structures, 41, pp. 2743-2755, 2004.
  24. Jong-Kai Lin, Jin-Wook Jang, and Jerry White, Characterization of Solder Joint Electromigration for Flip Chip Technology, pp.816-821, ECTC 2003.
  25. Chien-Neng Liao, Chien-Ping Chung, and Wei-Tai Chen, Electromigration-induced Pb segregation in eutectic Sn-Pb molten solder, JMR, V. 20, N. 12, Dec 2005.
  26. C. Y Liu, Chih Chen, and K.N. Tu, Electromigration in Sn-Pb solder strips as a function of alloy composition, JAP, Vol. 88, No. 10, 2000.

27. W. J. Choi, E. C. C. Yeh, and K. N. Tu, Mean-time-to failure study of flip chip solder joints on Cu/Ni(V)/Al thin-film under-bump-metallization, JAP, Vol. 94, N. 9, 2003.
28. Jae-Woong Nah, Jong Hoon Kim, Hyuck Mo Lee, Jyung-Wook Paik, Electromigration in flip chip solder bump of 97Pb-3Sn/37Pb-63Sn combination structure, pp. 129-136, Acta Materialia 52, 2004
29. Y.H. Lin, Y.C. Hu, C.M. Tsai, C.R. Kao, K.N. Tu, In situ observation of the void formation-and-propagation mechanism in solder joints under current-stressing, pp. 2029-2035, Acta Materialia 53, 2005.
30. T. Y. Lee, and K. N. Tu, Electromigration of eutectic SnPb and SnAg<sub>3.8</sub>Cu<sub>0.7</sub> flip chip solder bumps and under-bump metallization, JAP, Vol. 90, N. 9, 2001.
31. Lingyun Zhang, Shengquan Ou, Joanne Huang, and K. N. Tu, Effect of current crowding on void propagation at the interface between intermetallic compound and solder in flip chip solder joints, APL, Vol. 88, 012106, 2006
32. S. H. Chiu, T. L. Shao, and Chih Chen, Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration, APL 88, 022110, 2006.
33. Liu YH, and Lin KL, Damages and microstructural variation of high-lead and eutectic SnPb composite flip chip solder bumps induced by electromigration, JMR, Vol. 20(8), pp. 2184-2193, Aug 2005.
34. I. A. Blech, J. Appl. Phys. 47, 1203 (1976).
35. I. A. Blech and C. Herring, Appl. Phys. Lett. 29, 131 (1976).
36. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chen, 3-D simulation on current-density distribution in flip-chip solder joints under electric current stressing, JAP 98, 044509, 2005
37. Y.L. Lin, C.W. Chang, C.M. Tsai, C.W. Lee, and C.R. Kao, Electromigration-induced UBM consumption and Resulting Failure mechanisms in Flip-Chip Solder joints, JEM, V. 35, N. 5, 2006
38. J.W. Nah, J. O. Suh, and K. N. Tu, Effect of current crowding and Joule heating on electromigration-induced failure in flip chip composite solder joints tested at room temperature, JAP 98, 013715, 2005