

# 第一章、電子封裝簡介與研究動機

## 1-1. 電子封裝簡介

四十年前，摩爾提出預測半導體成長趨勢的摩爾定律（Moore's Law），每十八個月電路的複雜度會增加一倍。與過去相比，今日的電路確實更複雜而且快速了許多，在電路時脈快速提高的過程中，因應各式各樣的需求，越來越多的封裝技術陸續被發展出來，且依不同的接合過程，分為不同層級的封裝，各不同封裝示意如（圖 1） [1]。

圖中每一層都代表著不同的接合目標，著眼點也不同。第一層，是在於將矽晶片接合到封裝的導線，為 Chip to Package。在第一層封裝的議題在於，如何有效的找到低介電常數的材料與無鉛化的替代物；第二層的封裝，則是將封裝好的接線接到系統基板上，在第二層封裝部分，面臨的挑戰在可攜式電子產品的快速發展的同時，如何在無鉛化的同時又可以保有抗衝擊的可靠，是目前在封裝上的挑戰。本篇研究將討論在第一層封裝上，錫鉛鍍錫對厚膜 UBM 的可靠度與破壞進行研究。

隨著電子產品朝微小化、快速化的發展，封裝技術勢必需面對如下的挑戰：1.接腳間距縮小 2.接點厚度降低 3.散熱不易。相較於早期的 DIP 以引腳固定基板與晶片，為提高 I/O 數、滿足可靠的散熱，發展

出許多新的封裝技術，以達成縮小晶片的體積與提高錒錫接點數量，當前發展成熟的 BGA（球狀陣列）。在晶片與 BGA 基板的連接方式，可以金線打線接合的方式，(圖 2) [A]。或利用覆晶方式接合(Flip Chip)，見(圖 3)，覆晶方式接合是利用錒球面朝下之技術，可以很直接的減少材料、降低成本，此技術最早來自 IBM 於 1960s 所發展的 C4 製程[2]，利用陣列分布的高鉛錒錫隆點 (solder bump) 做接合，有小體積與自組裝 (self-alignment) 等優點，之後廣泛發展與利用在電子商品上。

鉛在於錒錒球的獨特在於可以提供好的延展性以抵抗外在衝擊，同時由於共晶錒鉛對銅的接觸角小，可以避免撥離 (Spalling) 的發生。在電子產業，常用具備優異濕潤效果 (Wettability)、機械強度、可靠度與低熔點等優點的共晶錒鉛 (Sn63Pb37)，作為晶片與基板接著媒介。且鉛為存量豐富的金屬材料，取得成本便宜。

## 1-2. 研究動機

在電性量測方面，在積體電路中凱文錒錒結構 (Kelvin bump probes) 很早就被利用 (如圖 4)，相關研究甚至可溯及上個世紀的前半，該結構可針對欲量測的指令範圍做電性的觀測，且可避除接點電阻對電性量測的影響，故長久以來一直都是電性量測的首選工具之一。而在過去利用凱文結構做電遷移觀測的相關研究則可回溯到 70 年代，在 Al stripe

上利用凱文結構做詳細的電性分析。

到目前為止，覆晶鉚錫接點電遷移研究中的電性觀測，大多都是利用雛菊花環結構 (Daisy chain structure)，直接定義電路開路時為鉚錫接點破壞的時間，亦即鉚錫接點承受電遷移破壞的能力，可是這樣的實驗方式會產生不少問題，首先，因為鉚錫接點本身的電阻僅佔總迴路的極小部份，故無法利用此結構對於鉚錫接點變化做精確的觀測，更有甚者，光是迴路的總電阻就已經超過鉚錫電阻的大小，故雛菊花環結構對於覆晶鉚錫接點內的微小變化極不敏感，僅僅可偵測到鉚錫接點的破壞；第二，由於製程上的方便，迴路上的鋁導線與欲研究的焊錫點之幾何結構差異極為可觀，負載電子流流動的截面差異百倍以後並不少見，在此情況下，總迴路上承受電遷移能力最差的點不一定在鉚錫接點本身，鋁導線也很有可能是造成電路開路的原因，一但這種情況發生，就很有可能造成覆晶鉚錫接點電遷移破壞時間分析上的錯誤。

儘管雛菊花環結構有上述的重大缺點，但因為試片設計與製作過程上的方便，截至目前為止在覆晶鉚錫接點的相關研究中，雛菊花環結構一直都還是最常見也最容易被利用的結構，相較之下，覆晶鉚錫接點中的凱文結構因為還沒有一定的設計規範，且試片設計的門檻也較高，故將凱文結構利用在覆晶鉚錫電性的相關研究一直都很少見。

本研究就是要利用凱文鉚錫結構研究鉚錫受電遷移影響而產生的

破壞。在覆晶錫中製備凱文錫結構，並利用此結構來觀測與測量覆晶錫球受電遷移時孔洞遷移與成長的現象，研究中的結果顯示，在 150 °C 時外加 0.5 A，孔洞開始升成所花的時間約佔總破壞時間的 5 %，此結果與過去文獻中顯示的結果有很大的不同，且孔洞形成的初始階段的錫錫電阻與起始的電阻值相比僅上升 0.02 mΩ，與雛菊花環結構量測到的變化差異很大。

除此之外，在本研究中，三維的有限元素模型也被用以對照比較不同階段的孔洞生成行爲。在過去的文獻中已有不少關於覆晶錫的數值分析結果，但分析大多侷限在一維與二維的數值分析，相較於一維與二維的數值分析模型，三維的有限元素模型的分析條件與實際實驗的情況更爲接近，分析出來的結果有更有系統性與整體性，對於了解錫錫內部的電性行爲甚至熱電性質、應力行爲有很大的幫助。

比較後顯示模擬的結果與實驗中的結果有很好的對照性，這提供了一個電遷移時研究孔洞生成的系統性方式。

### **1-3. 研究流程簡述**

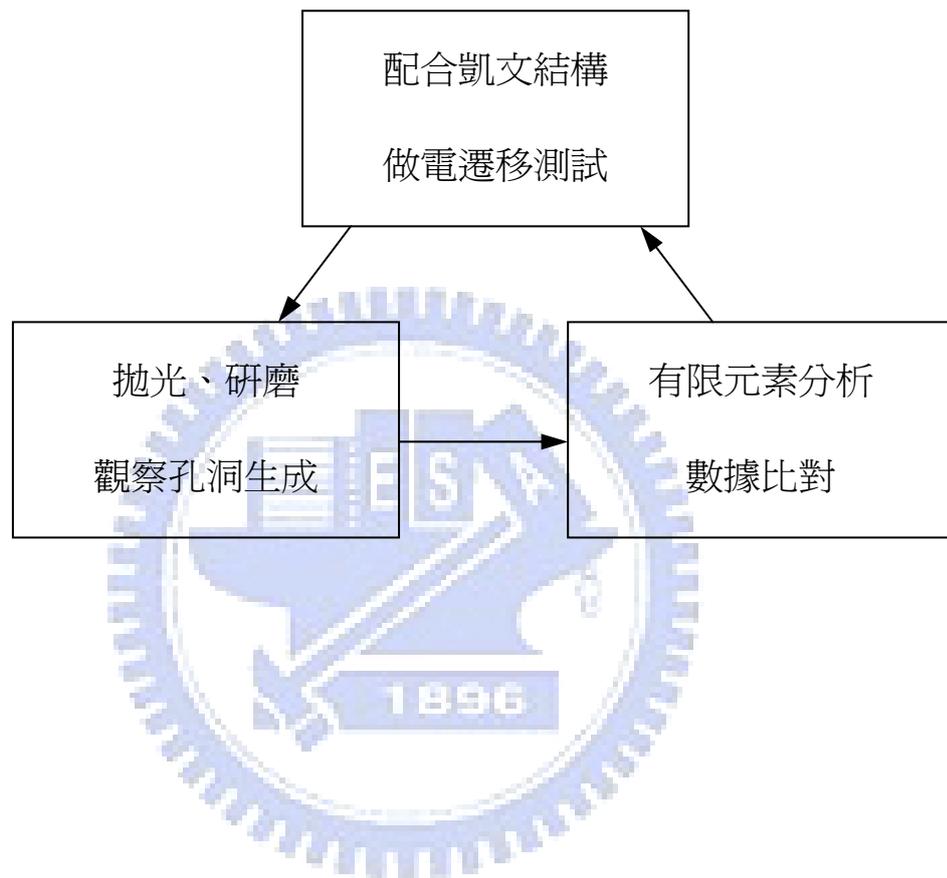
分析電子封裝元件的熱電分布行爲可由實驗與模擬兩種方式進行，如以實驗的方式進行分析，則需製可作符合實際使用情況的試片，並且經過符合統計條件的大量實際測試，才可以利用統計方式推求欲分

析之封裝體內的熱電分布，實際測試的過程不僅花費大量材料成本也需要損耗相當長的時間。此外，雖然統計的方式可以歸納出實驗試片可承受的測試條件，但在無法準確得知封裝體內部實際物理行為的情況下，當欲改良設計或選擇新材料就會受到許多限制，測試的流程也必須重新開始。為彌補上述的缺憾，確實的縮短設計流程、時間，減少材料與資源的耗損，進一步了解試片內部精確的物理行為，在實驗過程中配合數值分析確有其必要性。本研究中將利用有限元素分析法配合實驗結果，以求對銲錫接點內部的電性分布、變化有進一步的了解。

在各式數值分析當中，有限元素分析法是最為常見、被廣泛利用的一種。經由幾何物體的架構、分析元素的切割、邊界條件的限制等，便可求得欲分析物體內部的各項詳細分布。有限元素分析模型雖然可以快速得到結果，但與分析速度相比，分析的正確性更為重要，故分析的結果亦需與實驗結果相互比對，以驗證該有限元素模型的可靠性。實驗與分析的過程簡述如下：

1. 進行電遷移測試：進行電遷移測試的同時配合凱文結構量測銲錫電阻變化，紀錄測試期間的銲錫電阻變化與時間，並在觀察到明顯電阻變化時停止測試。
2. 觀察孔洞生成：將試片做研磨、拋光後，利用掃描式電阻顯微鏡觀察、紀錄試片剖面變化情形。

3. 有限元素分析：配合觀察到的孔洞生成尺寸製作相對應的有限元素模型，利用改變材料性質模擬孔洞的成長，分析出對應的電阻變化值與實驗做比較。



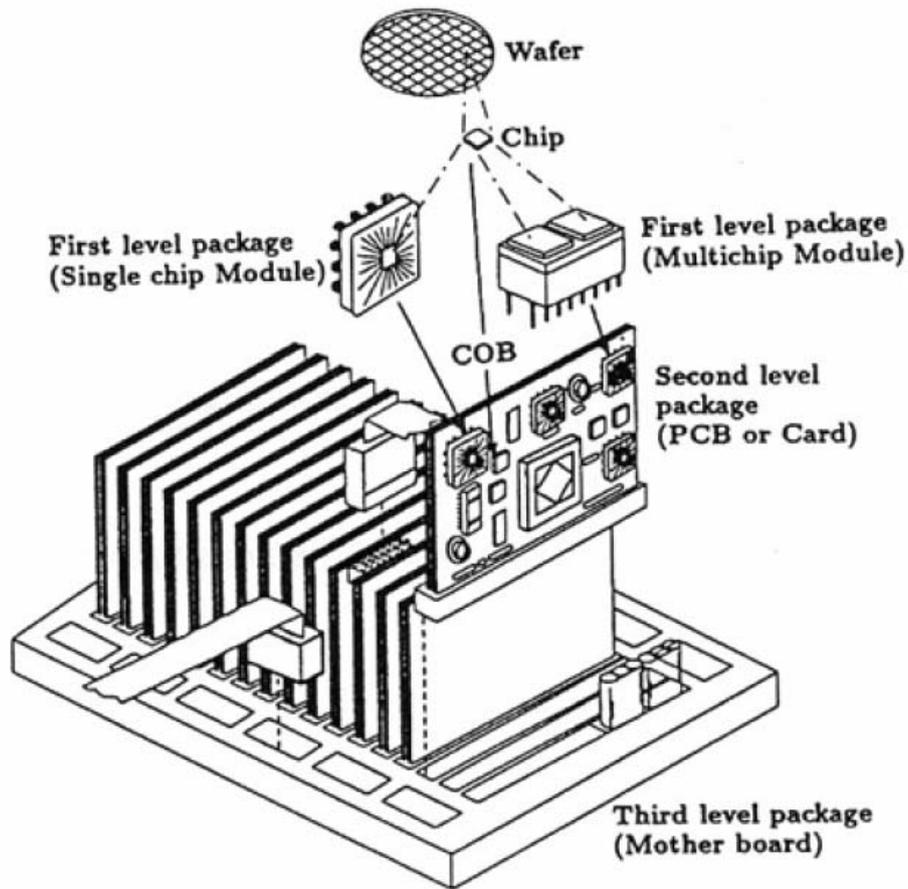


圖 1 各封裝層級示意圖

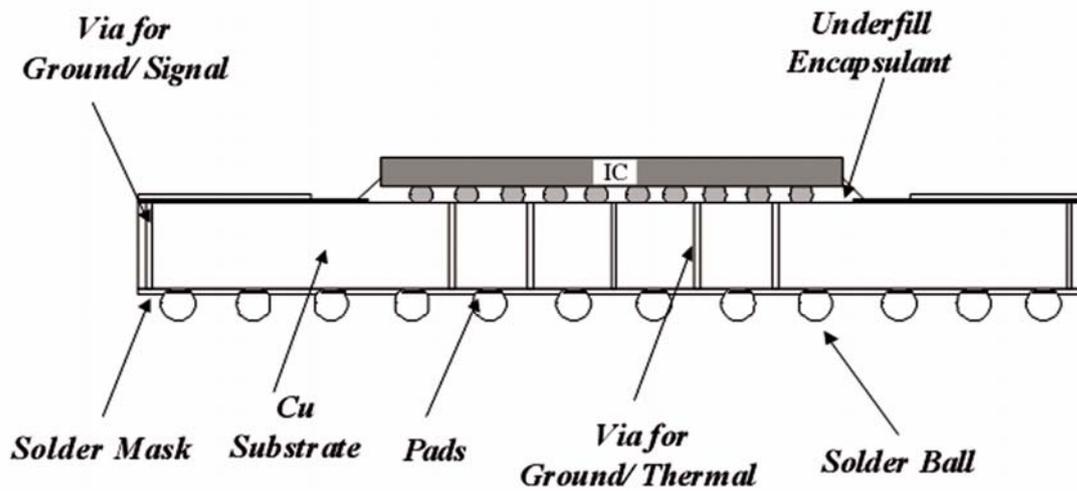


圖 2 BGA 封裝示意圖

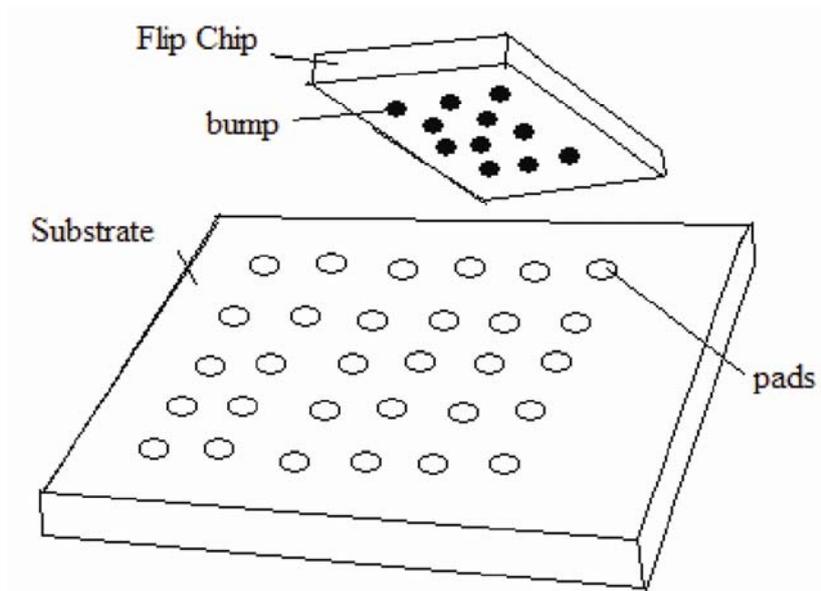


圖 3 覆晶接合示意圖

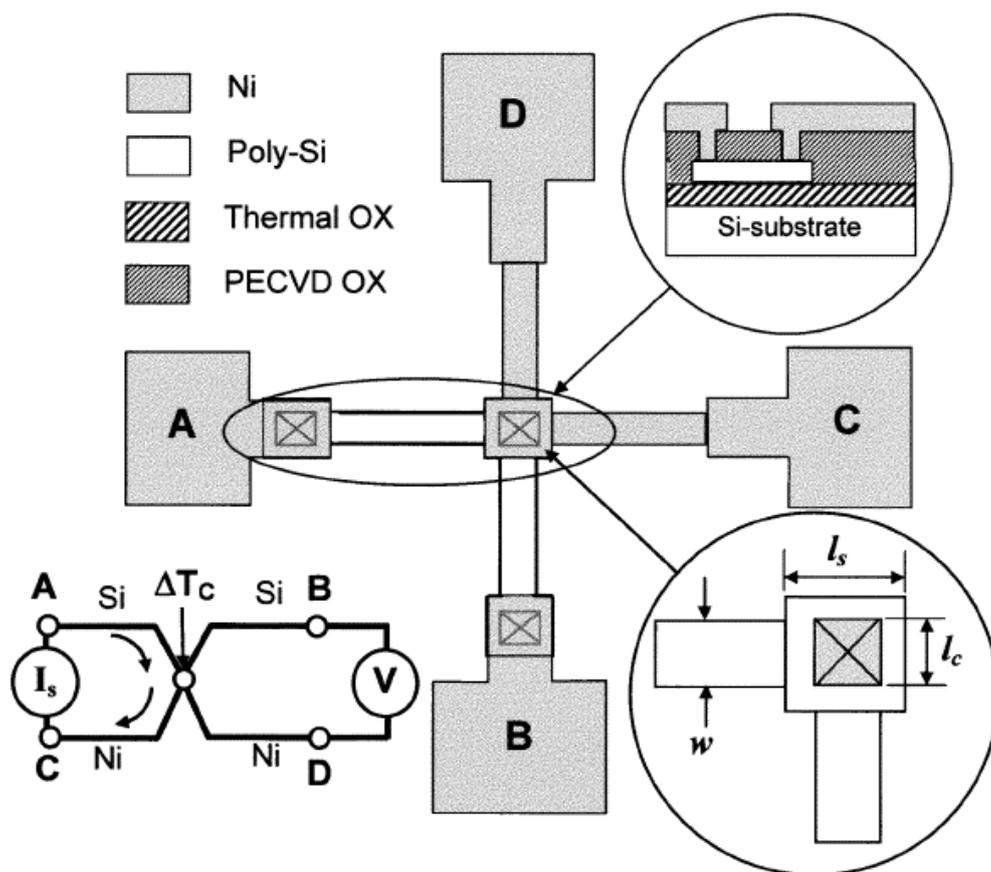


圖 4 Kelvin structure 在半導體電性量測示意圖