

國立交通大學

電子物理學系

碩士論文

非晶氧化物  $\text{InGaZnO}_4$  薄膜製備的

透明薄膜電晶體

Transparent thin film transistors fabricated by  
amorphous  $\text{InGaZnO}_4$  thin films

研 究 生：馬文元

指 導 教 授：莊振益 教授

中華民國九十五年七月

非晶氧化物  $\text{InGaZnO}_4$  薄膜製備的  
透明薄膜電晶體

Transparent thin film transistors fabricated by  
amorphous  $\text{InGaZnO}_4$  thin films

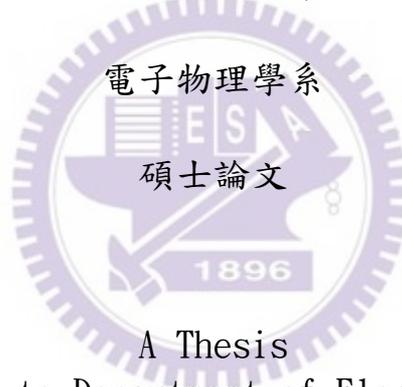
研究生：馬文元

Student : Wen-Yuan Ma

指導教授：莊振益 教授

Advisor : Jenh-Yih Juang

國立交通大學



A Thesis

Submitted to Department of Electrophysics  
College of Science  
National Chiao Tung University  
in partial Fulfillment of the Requirements  
for the Degree of  
Master  
In  
Electrophysics  
July 2006  
Hsinchu, Taiwan, Republic of china

中華民國九十五年七月

# 國立交通大學

## 博碩士論文全文電子檔著作權授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電子物理所光電奈米組，94 學年度第二學期取得碩士學位之論文。

論文題目：非晶氧化物 InGaZnO<sub>4</sub> 薄膜製備的透明薄膜電晶體

指導教授：莊振益 教授

### ■ 同意

本人茲將本著作，以非專屬、無償授權國立交通大學與台灣聯合大學系統圖書館：基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學及台灣聯合大學系統圖書館得不限地域、時間與次數，以紙本、光碟或數位化等各種方法收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行線上檢索、閱覽、下載或列印。

論文全文上載網路公開之範圍及時間：

本校及台灣聯合大學系統區域網路	■ 立即公開
校外網際網路	■ 立即公開

授權人：馬文元

親筆簽名：馬文元

中華民國 九十五年 七月 二十八日

# 國立交通大學

## 博碩士紙本論文著作權授權書

(提供授權人裝訂於全文電子檔授權書之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電子物理所光電奈米組，94 學年度第二學期取得碩士學位之論文。

論文題目：非晶氧化物 InGaZnO<sub>4</sub> 薄膜製備的透明薄膜電晶體

指導教授：莊振益 教授

### ■ 同意

本人茲將本著作，以非專屬、無償授權國立交通大學，基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學圖書館得以紙本收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行閱覽或列印。

授權人：馬文元

親筆簽名：馬文元

中華民國 九十五年 七月 二十八日

# 國家圖書館博碩士論文電子檔案上網授權書

ID:GT009321507

本授權書所授權之學位論文，為本人於國立交通大學電子物理所光電奈米組，94學年度第二學期取得碩士學位之論文。

論文題目：非晶氧化物 InGaZnO<sub>4</sub> 薄膜製備的透明薄膜電晶體

指導教授：莊振益 教授

茲同意將授權人擁有著作權之上列論文全文（含摘要），非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

※ 讀者基於非營利性質之線上檢索、閱覽、下載或列印上列論文，應依著作權法相關規定辦理。

授權人：馬文元

親筆簽名：馬文元

民國 九十五年 七月 二十八日

國立交通大學  
研究所碩士班  
論文口試委員會審定書

本校 電子物理系 碩士班 馬文元 君

所提論文：非晶氧化物 InGaZnO<sub>4</sub> 薄膜製備的透明薄膜電晶體

合於碩士資格水準、業經本委員會評審認可。

口試委員：溫增明 教授 溫增明  
吳光雄 教授 吳光雄  
劉旭禎 助理教授 劉旭禎

指導教授：莊振益 教授 莊振益

系主任：朱仲夏 教授

中華民國九十五年七月二十八日

# 非晶氧化物 InGaZnO<sub>4</sub> 薄膜製備的

## 透明薄膜電晶體

學生：馬文元

指導教授：莊振益 教授

國立交通大學電子物理系

### 摘要

本論文研究以非晶氧化物 InGaZnO<sub>4</sub> (a-IGZO) 透明半導體薄膜，來製備透明薄膜電晶體元件。霍爾量測顯示：在室溫下、氧氣壓力介於 20~200 mtorr 沉積的非晶相 InGaZnO<sub>4</sub> 薄膜，薄膜載子濃度介於  $10^{19} \sim 10^{21} \text{ cm}^{-3}$ 、電阻率  $\rho$  約  $10^{-3} (\Omega\text{-cm})$ 、電子遷移率介於  $20 \sim 25 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 。其與金屬及銦錫氧化物(ITO)的接面具有蕭基接面(Schottky contact)的性質。利用室溫下 Lift-off 製程以及底部閘極結構，我們得到可見光 ( $\lambda = 400 \sim 700 \text{ nm}$ ) 平均透光率 86.3%、元件遷移率  $\mu_{\text{sat}} = 7 \sim 19 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$ 、開關電流比  $\sim 10^6$  以及關閉時低電流  $10^{-12} \text{ A}$  的元件特性。這些特性已經達到元件應用於平面顯示器的需求；然而開啟時電流非線性現象與電流衰減則尚待努力。

關鍵字：非晶氧化物半導體，透明薄膜電晶體，底部閘極結構。

# Transparent thin film transistors fabricated by amorphous InGaZnO<sub>4</sub> thin films

Student : W. Y. Ma

Advisor : J. Y. Juang

Department of Electrophysics

National Chiao Tung University

## Abstract

In this thesis, we study the transparent thin film transistors fabricated by amorphous InGaZnO<sub>4</sub> (a-IGZO) thin films. The Hall measurements indicate that the carrier concentration of a-IGZO film is between  $10^{19}\sim 10^{21}$  cm<sup>-3</sup>, resistivity  $\rho$  is around  $10^{-3}$  ( $\Omega$ -cm), and electron mobility is between  $20\sim 25$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> respectively. Films were deposited with O<sub>2</sub> pressure between  $20\sim 200$  mtorr. The contact between film and metal as well as indium-tin oxide (ITO) all showed the Schottky contact behavior. The devices, fabricated by a bottom gate structure combined with lift-off process at room temperature, show an average transmission ( $\lambda=400\sim 700$  nm) of 86.3%, saturation mobility  $\mu_{\text{sat}}=7\sim 19$  cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>, on-off ratio reaches  $\sim 10^6$ , and low off current around  $10^{-12}$ A. The performances of devices are satisfactory for flat panel display applications. However, the non-linear characteristics of I-V and the current decay in large bias regime remain to be explored and improved.

Keyword : Amorphous Oxide Semiconductor (AOS), Transparent Thin Film Transistors (TTFT), Bottom gate structure.

## 致謝

終於完成了碩士論文，必須感謝很多人的幫助。首先要感謝我的指導老師——莊振益教授，在這兩年來耐心、細心的教導，使我獲益良多。同時也要感謝我們固態實驗室的郭義雄教授、溫增明教授、吳光雄教授、林俊源教授的悉心指導；更從各位老師身上學到了許多書上學不到的寶貴經驗與風範。另外感謝顯示科技所的冉曉雯老師、明志科技大學的劉旭禎老師的不吝賜教，使我可以明瞭研究方向。

感謝實驗室學長志昌、維仁、燦耀對我的鼎力相助，在實驗遇到困難時，帶領我明白儀器設備的操作問題，給了我很大的支援。感謝學長建利、裕仁、政益、漢琦、東漢的帶領與照顧，使我白明課業上、實驗上的種種問題與細節。也感謝實驗室同學的各種協助。

在此必須特別感謝博士班趙主立學長在製程設備上的慷慨支援，以及耐心、細心的幫助與照顧，甚至犧牲假日陪我熬夜作實驗；半導體先進製程實驗室郭柏儀學長、黃峻祥同學量測上的幫助與不吝賜教；低溫凝態物理實驗室鐘廷翊學長的幫助。沒有你們大力、慷慨的支援與協助，我無法完成實驗與論文。

特別感謝我另一位老師——紫微斗數宗師紫雲先生，您對我的期許與指教，學生深感五內、銘記於心。

最後感謝母親的支持和鼓勵，讓我無後顧之憂的度過這兩年的學習，完成了學業。

# 目錄

中文摘要	I
英文摘要	II
誌謝	III
目錄	IV
圖表目錄	VI
第一章 緒論	1
1-1 研究動機	1
1-2 章節架構	2
第二章 材料特性量測原理及方法	3
2-1 靶材燒結製作	3
2-1-1 靶材 $\text{InGaZnO}_4$ 製作	3
2-1-2 靶材 $\text{Y}_2\text{O}_3$ 製作	4
2-2 脈衝雷射沉積簡介	5
2-2-1 系統介紹	5
2-2-2 薄膜沉積步驟	7
2-3 van der Pauw method	10
2-3-1 量測原理	10
2-3-2 接點與量測步驟	11
2-4 R-T 電阻關係量測	15
2-4-1 四點量測法	15
2-4-2 R-T 量測步驟	16

第三章 元件結構與製程 .....	18
3-1 非晶氧化物 InGaZnO <sub>4</sub> .....	18
3-1-1 非晶薄膜成長 .....	19
3-1-2 a-IGZO 的載子傳輸物理機制 .....	21
3-2 TFT 元件操作特性與結構設計 .....	23
3-3 Lift-Off 製程 .....	28
3-4 掃描式電子顯微鏡 .....	33
第四章 實驗結果與討論 .....	35
4-1 霍爾量測 .....	35
4-2 SEM 照片與製程的改善 .....	37
4-3 元件透光率 .....	40
4-4 元件電流-電壓特性 .....	41
4-5 結果討論 .....	49
第五章 結論 .....	52
5-1 要點歸納 .....	52
5-2 未來工作 .....	53
參考文獻 .....	54

## 圖表目錄

圖 2-1	PLD 真空腔構造圖 .....	7
圖 2-2	鍍膜示意圖 .....	9
圖 2-3	靶材旋轉示意圖 .....	9
圖 2-4	鍍金接點光罩 .....	12
圖 2-5	接點定義 .....	13
圖 2-6	霍爾量測接線 .....	13
圖 2-7	霍爾電壓 $V_H$ 定義 .....	14
圖 2-8	四點量測法 .....	16
圖 2-9	R-T 系統圖 .....	17
表 3-1	鍍膜參數 .....	21
表 3-2	$(n-1)d^{10}ns^0$ 電子組態 AOS 電性[6] .....	22
圖 3-1	s 軌域重疊示意[6] .....	22
圖 3-2	a-IGZO 結構示意[2] .....	22
圖 3-3	a-IGZO 鍵結示意[2] .....	22
圖 3-4	一般 TFT 結構示意 .....	23
圖 3-5	n-N 異質接面能帶圖[22] .....	25
圖 3-6	結構設計 A 立體圖 .....	26
圖 3-7	結構設計 A 剖面圖 .....	26
圖 3-8	結構設計 B 立體圖 .....	27
圖 3-9	結構設計 B 剖面圖 .....	27
圖 3-10	鍍金對準十字光罩 .....	30

圖 3-11	光罩圖案與用途 .....	30
圖 3-12	光罩規格 .....	30
圖 3-13	設計A光罩順序 .....	31
圖 3-14	設計B光罩順序 .....	31
圖 3-15	電極疊合 .....	31
圖 3-16	Lift-off 製程示意 .....	32
圖 3-17	SEM 顯像原理 .....	33
圖 3-18	SEM 結構圖 .....	33
圖 4-1	a-IGZO 薄膜電阻率、電子遷移率對氧壓關係 .....	35
圖 4-2	a-IGZO 薄膜載子濃度對氧壓關係 .....	36
圖 4-3a	膠片光罩製程元件光學顯微鏡照片 100x .....	37
圖 4-3b	300x 照片 .....	37
圖 4-4a	膠片光罩製程元件光學顯微鏡照片 100x .....	37
圖 4-4b	300x 照片 .....	37
圖 4-5	絕緣層表面 SEM 照片 10000x .....	38
圖 4-6	薄膜交界絕緣層表面 SEM 照片 10000x .....	38
圖 4-7	絕緣層表面 SEM 照片 10000x .....	39
圖 4-8	通道光學顯微鏡照片 600x .....	39
圖 4-9	元件通道 SEM 照片 10000x .....	39
圖 4-10a	元件光學顯微鏡照片 40x .....	40
圖 4-10a	元件光學顯微鏡照片 100x .....	40
圖 4-11	元件透光率與波長關係 .....	40

圖 4-12a	元件結構 A 立體示意	.....	41
圖 4-12b	元件結構 A 剖面示意	.....	41
圖 4-13a	元件結構 B 立體示意	.....	41
圖 4-13b	元件結構 B 剖面示意	.....	41
圖 4-14	元件結構 A $I_D-V_G$ 特性	.....	42
圖 4-15	元件結構 A $I_G-V_G$ 特性	.....	43
圖 4-16	元件結構 A $I_D-V_{GD}$ 特性	.....	43
圖 4-17	元件結構 B $I_D-V_G$ 特性	.....	45
圖 4-18	元件結構 B $I_D-V_G$ 特性	.....	45
圖 4-19	元件結構 B $I_D-V_G$ 特性	.....	46
圖 4-20	元件結構 B $I_G-V_G$ 特性	.....	46
圖 4-21	元件結構 B $I_D-V_D$ 特性	.....	47
圖 4-22	元件結構 B $I_D-V_D$ 特性	.....	47
圖 4-23	結構 A 薄膜邊緣 SEM 照片 300x	.....	51
圖 4-24	結構 A 薄膜邊緣 SEM 照片 10000x	.....	51

# 第一章 緒論

顯示技術的進步，滿足大家的視覺享受；而近年來平面顯示器 (flat panel display FPD) 技術更是日新月異，突飛猛進，早已成為消費市場主流。在此同時，所謂次世代的顯示技術[1]；亦即薄型、透明、可撓曲的顯示器與元件技術也正被密切的注意與研究中。在現今顯示技術的發展之中，以主動陣列液晶顯示器(active matrix liquid crystal display AMLCD)技術最為成熟，因此在次世代的顯示技術發展上，也是探索的主要方向。AMLCD 技術之中，居於關鍵的就是薄膜電晶體 (thin film transistor TFT) 元件。TFT 元件的好壞與特性，對於主動陣列架構的顯示器而言是主要研究的目標。而次世代的顯示技術，如有機薄膜電晶體(organic thin film transistor OTFT)技術，也正是以此目標發展的。不過在本研究之中，我們把注意力放在以非晶氧化物的無機半導體(amorphous oxide semiconductor AOS)材料為架構的 TFT 元件上。以下便介紹我們的元件設計與製作。

## 1-1 研究動機：

在 FPD 元件薄膜材料研究方面，以矽半導體薄膜為基礎的 a-Si:H TFT 技術已相當成熟，成為目前量產且暢銷的主動式液晶顯示器之重要元件。不過其製程溫度相當高(450°C)、不透光、光漏電流大、且遷移率低(0.1~1  $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )，有很大的進步空間。而以多晶矽 (poly-Silicon) 薄膜為基礎的低溫多晶矽(low temperature poly-Silicon LTPS)TFT 技術則擁有很高的遷移率(100~200 $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ )，所以引起廣泛的關注與研究。不過其製程溫度卻更高(500°C)，且漏電流大。

透明可撓曲、可在室溫下沉積的高遷移率薄膜材料，是發展 ft-TFT(flexible-transparent Thin Film Transistor)元件的最主要關鍵。若發展出成功的 ft-TFT 元件，則低成本量產可撓曲透明的平面顯示器——如電子紙、汽車擋風玻璃儀表板、眼鏡鏡片型顯示器等，便不再是夢

想，甚至可能取代目前的紙張。近年來關於透明導電有機材料的研究方興未艾，而 OTFT(organic TFT)、OLED(organic light emitting diode) 等以有機材料為基礎的 FPD 元件，更以明日之星的姿態引起許多研究群的興趣而投入相關研究；其目的也都是在於發展透明可撓曲、室溫製程的 FPD 元件。不過屬於無機的 FPD 元件材料之相關研究，卻相當稀少。事實上不少無機的非晶透明氧化物半導體(amorphous transparent oxide semiconductor a-TOS)材料具有比之有機材料有過之而無不及的光電特性：諸如透明、可撓曲、室溫下沉積製程、寬能隙、高載子遷移率、以及合成方便等優點。例如早已廣泛應用在液晶顯示器(liquid crystal display LCD)透明電極的銦錫氧化物(ITO)，便是最著名的例子。

由 AOS 材料為架構的顯示元件研究，已發表的有在 2004 年尾，Hideo Hosono 等人的研究群，於著名的 Nature 期刊上發表的利用 AOS 材料製成的 ft-TFT 元件：室溫製程、元件遷移率(saturation mobility)  $\mu_{\text{sat}}=6\sim9\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、開關電流比(on-off ratio)可達  $10^3$ 、最低漏電流約  $10^{-10}\text{ A}$ 、透光度大於 80%，並在基板彎曲 5%時不影響特性[2]。可算是相當具有突破性的成果。而在本實驗室上一個研究中的 TFT 便也是利用無機材料的 a-IGZO 薄膜製備；然而特性不盡理想，仍有很大的進步空間[3]。基於此研究方向，我們考慮元件結構與製程上的改善，希望找出元件特性不理想的原因；並以此作為開端，開啟我們對於 AOS 材料為架構的 TFT 元件研究。

## **1-2** 章節架構：

本論文在第二章將介紹薄膜製備與量測實驗的設備與儀器及步驟，在第三章簡述薄膜物理特性假說；詳細介紹結構設計與製程步驟。第四章呈現量測結果與元件特性。第五章則安排結論與未來展望。

## 第二章 材料特性量測原理及方法

本章節介紹製備非晶薄膜樣品以及樣品量測的方法及儀器。包括靶材燒結製作、脈衝雷射沉積系統、四點量測法量測電阻與溫度的變化關係、鍍金接點製作、van der Pauw 技術量測薄膜電阻率和霍爾效應、以及透光度量測。

### 2-1 靶材燒結製作：

在元件製程中薄膜性質良窳具決定性的影響，因此靶材的製作極為關鍵。本實驗利用三種氧化物材料：ITO、InGaZnO<sub>4</sub>、Y<sub>2</sub>O<sub>3</sub>，其中ITO 靶材是為購置。本節詳述靶材 InGaZnO<sub>4</sub>、Y<sub>2</sub>O<sub>3</sub> 製作過程，然後描述利用靶材進行薄膜沉積及製備元件。

#### 2-1-1 靶材 InGaZnO<sub>4</sub> 製作：

##### 1 混合與預烤：

先將 In<sub>2</sub>O<sub>3</sub>、Ga<sub>2</sub>O<sub>3</sub>、ZnO 三種材料粉末以 1:1:1 的莫耳比率調配好；且粉末都需預烤，預烤的條件為 800°C，3 小時。在初次調配粉末時，需比實際所要的量再多一點，以防原本藥粉中的水氣被烤乾之後，所剩下的粉末莫耳數不足。預燒完成之後，以電子稱量出三種材料粉末所需重量放入研鉢中，小心研磨並攪拌均勻，約磨 30~40 分鐘即可。

##### 2 預備燒結：

將磨好的混合粉末小心的放在氧化鋁板上，且注意在初次研磨完畢要把粉末放在氧化鋁板上時，一定要盡量把研鉢上的粉末刮取乾淨，避免因最先放的粉末特別會附著在研鉢上；假若沒有完全刮乾淨，則粉末間的莫耳數比例會改變；然後再放入高溫爐中燒結；燒結條件為 1000°C，6 個小時。預燒目的在使混合好的粉末充份化合反應成 InGaZnO<sub>4</sub> 化合物。

### ③ 研磨與反覆燒結：

將燒過結塊的粉末取出並倒入研鉢中研磨，約 30~40 分鐘粉末均勻磨細之後，將磨好的粉末小心的放置在氧化鋁板上，而此時也應盡量把研鉢上的粉末刮取乾淨。後再放入高溫爐中燒結，燒結條件為 1000°C，6 個小時。經過反覆研磨燒結之後，粉末可充分反應化合，並逐漸形成細小的晶粒。

### ④ 壓製燒結塊材：

將燒好的粉末從高溫爐取出後，放入研鉢中繼續研磨，約磨 30~40 分鐘粉末均勻磨細之後，將磨好的粉末均勻的放入壓靶的模具中，將模具放在壓靶機上，加壓使壓力在 100 kg/cm<sup>2</sup> 左右，加壓時間約一分鐘，後洩壓並小心的取出壓好的塊材放在氧化鋁板上，放入高溫爐中，燒結條件為 1350°C、18 小時。

### ⑤ 成品與驗證：

最後，刮取已燒結好的靶材，取下一些粉末，然後把粉再用研鉢磨細；以 XRD 量測燒結所形成的相，確定我們做出的靶材是正確的相和組成。

## 2-1-2 靶材 Y<sub>2</sub>O<sub>3</sub> 製作：

### ① 預烤：

同樣地先將 Y<sub>2</sub>O<sub>3</sub> 粉末預烤，預烤的條件為 800°C，3 小時。在初次調配粉末時，需比實際所要的量再多一點，以防原本藥粉中的水氣被烤乾之後，所剩下的粉末莫耳數不足。預燒完成之後，以電子稱量出粉末所需重量放入研鉢中，小心研磨並攪拌均勻，約磨 10~20 分鐘即可。

### ② 預備燒結：

將磨好的粉末小心的放在氧化鋁板上，然後再放入高溫爐中燒結；燒結條件為 1000°C，6 個小時。預燒目的在使粉末逐漸形成細小的晶粒。

### 3 壓製燒結塊材：

將燒好的粉末從高溫爐取出後，放入研鉢中繼續研磨，約磨 20~30 分鐘粉末均勻磨細之後，將磨好的粉末均勻的放入壓靶的模具中，將模具放在壓靶機上，加壓使壓力在  $100 \text{ kg/cm}^2$  左右，加壓時間約一分鐘，後洩壓並小心的取出壓好的塊材放在氧化鋁板上，放入高溫爐中，燒結條件為  $1400^\circ\text{C}$ 、40 小時。

### 4 成品與驗證：

最後，刮取已燒結好的靶材，取下一些粉末，然後把粉再用研鉢磨細；以 XRD 量測燒結所形成的相，確定我們做出的靶材是正確的相和組成。

## 2-2 脈衝雷射沉積簡介：

脈衝雷射沉積(Pulse Laser Deposition PLD)系統是利用雷射光束聚焦，打破材料表面數個層級的原子或分子結合能，瞬間將物質昇華剝離；由於雷射為脈衝形式，故只有材料表面會產生反應，能保持靶材（多半為壓製成形後燒結的陶瓷塊材）之原子或分子成份，故可蒸鍍化合物而不破壞其組織成份。其具有蒸鍍速率高、蒸鍍薄膜和靶材的組成非常接近，品質良好且純淨、系統架設簡易、不需額外電源即可產生電漿環境等優點，多年來在製備高超導薄膜、金屬氧化物薄膜等實驗樣品，已有了非常廣泛的應用。本實驗的薄膜樣品便是以本實驗室的 PLD 系統沉積製備。

### 2-2-1 系統介紹：

系統所使用的脈衝雷射光源，為波長 248nm 的 KrF 準分子雷射(excimer laser)，脈衝寬度為 12ns。每一個脈衝最高輸出能量為 500mJ，雷射出光頻率可從 1Hz 調整至 100Hz。由於雷射輸出波長屬於紫外光波段，無法以肉眼直接看出，所以另外採用一肉眼可見的光源來作為校準用；此校準光系統為 Nd-YAG 雷射，可產生一綠色可見光作為視認校準，使 KrF 準分子雷射能準確打在靶材表

面我們所希望的位置上。而雷射出光後，由於其能量並非均勻分佈，所以先利用一個長方形的限光器，以擷取中央雷射能量較均勻的部分；經過限光器的光束再經過一反射鏡，將光源引向真空腔的方向，並經過一個焦距 40cm 的抗反射覆膜透鏡聚焦，控制雷射轟擊靶材表面的能量密度。經過反射聚焦後，雷射光束與靶材表面夾角約  $45^{\circ}$ ，光束聚焦在靶材表面的面積約  $4\text{mm}^2$ 。

進行薄膜沉積的真空腔體為一內直徑約 25 公分、高約 25 公分的不鏽鋼圓柱體結構；而真空系統利用機械幫浦(rotary pump)及渦輪分子幫浦(turbo pump)可將真空度提升至  $10^{-6}$  torr 以下。PLD 系統與真空腔內部的俯視圖如圖 2-1 所示。

雷射蒸鍍薄膜的原理為：當脈衝雷射光束聚焦至靶材表面時，其能量會被靶材吸收，且把雷射的能量轉成熱能；靶材表面因為熱而被氣化，此時體積會瞬間膨脹，將表面的物質以電漿團的形式噴出靶材，而沉積在基板上。電漿團也就是我們鍍膜時所觀察到的“火焰”，是為電漿、分子團、離子團、游離電子所組成，其顏色、大小、擴散角度隨雷射能量密度高低以及通入真空腔內氧氣壓力大小而改變（如圖 2-2）。

一般而言能量密度越高，每一次轟擊靶材氣化的物質越多，薄膜沉積速率隨之增加；然而卻容易使得電漿團粒子大小不均勻而影響薄膜品質。通入腔體氧氣壓力大小與火焰外貌的變化，顯示腔內氧氣壓力大小將會影響電漿團粒子在到達基板之前運動的平均自由徑(mean free path)。氧壓越大，粒子在腔體內漂移的平均自由徑越小，將使薄膜沉積速率變慢。此外鍍膜時氧壓大小，將與薄膜氧含量相關，並影響 a-IGZO 薄膜的載子濃度[2,4]。

在蒸鍍薄膜時，我們使用可以電壓控制轉速的直流馬達轉動靶材，以避免雷射光重複轟擊靶材的同一位置而產生局部高熱使靶材變質；且重複轟擊靶材表面相同位置將很快形成不均勻的凹痕，而反覆靶材表面拋光的工作。另外使靶材稍稍傾斜，讓靶材表面和入射的雷射光有一個小夾角，如此可增加蒸鍍面積並且提

升薄膜均勻性（如圖 2-3）。

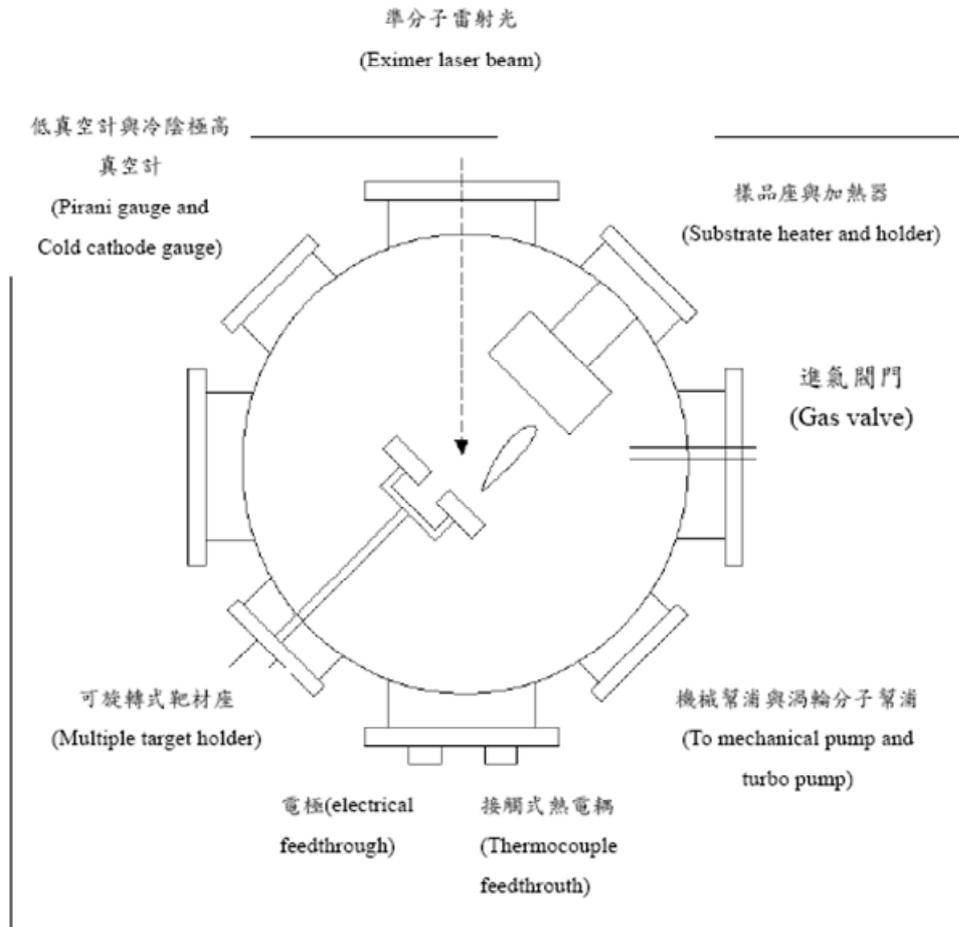


圖 2-1 PLD 真空腔構造圖

### 2-2-2 薄膜沉積步驟

#### 1 薄膜製備前處理：

為避免前次鍍膜後殘留於不鏽鋼基座上的蒸鍍物質影響鍍膜品質，於本次鍍膜之前先將不鏽鋼基座上的蒸鍍痕跡細細磨去。研磨方式為以 400、600、1000、2000 號砂紙依序研磨去不鏽鋼基座的表層，研磨至可見新的加熱面為止，再以棉花棒沾取丙酮將研磨細屑擦拭乾淨。

為確保薄膜成長的品質，必須先將基板清洗乾淨。首先在清潔室

內將基板置放於盛有丙酮溶液的燒杯中，以超音波振盪 5 分鐘，使用去甲醇沖洗乾淨後，再將基板置放於盛有去離子水的燒杯中，以超音波振盪 5 分鐘，如此重覆丙酮超音波振盪—甲醇清洗—去離子水超音波振盪的步驟兩次，共計約 20 分鐘，最後以氮氣槍將洗淨之基板在濾紙上吹乾。洗淨的基板以銅膠帶黏於研磨好的加熱基座上，再以氮氣槍吹去表面細塵。由於本實驗樣品皆在室溫下製備，故銅膠帶僅用於固定基板。接著通入氧氣於真空腔，破除真空以打開腔蓋，小心放置已黏上基板的基座，並接好熱電偶。安裝好靶材並設定和基板的距離約 4.5 公分。

#### 2 抽真空：

確認真空腔 O-ring 是否平整到定位後，將真空腔蓋蓋回定位，並確定機械幫浦 (rotary pump) 及渦輪分子幫浦 (turbo pump) 間的氣動閥已關閉，再打開機械幫浦閥門，進行粗抽。待真空度提升至  $5 \times 10^{-2}$  torr 以下，關閉機械幫浦閥門並打開高真空計與氣動閥，最後打開渦輪分子幫浦的閥門與開啟渦輪分子幫浦的電源進行細抽，將真空腔內氣壓抽至  $10^{-6}$  torr 以下。此步驟必須環環確實，以確保渦輪分子幫浦使用壽命。

#### 3 鍍膜前預備動作：

打開 Nd-YAG Laser 綠光校準光路，確定雷射光點能打在靶材上，並檢查雷射打在靶材上的位置是否可以使火焰對應到基板上。關閉高真空計，將渦輪分子幫浦閥門開至 2/3 圈，打開高純氧閥門，調整閥門開啟大小以通入目的氧氣壓力後，開啟直流馬達以旋轉靶材，並調整轉速配合雷射出光頻率，以使稍後鍍膜時火焰可以均勻地散佈在基板上。

#### 4 鍍膜：

設定雷射能量、脈衝重複率與次數後，再次檢視真空腔內氧氣壓力與靶材旋轉狀況；確認無誤後啟動雷射。雷射脈衝出光後，隨時注意真空腔內火焰大小、分佈與位置是否正確，以及氧氣壓力是否維持穩定。由於利用對光雷射與火焰分佈位置來控制鍍膜位

置與範圍，為視認的方式，每次實驗時會有人為上的誤差。因此我們會先直接在不鏽鋼基座鍍上薄膜，直接觀察基座上的色澤分佈，再黏貼基板於色澤最均勻的部分，才開始鍍膜。並且在每次黏貼基板時仔細觀察及修正位置上的誤差。如此可改善元件製作時，製程上不斷更換不同靶材造成的位置誤差，以防薄膜厚度不均勻。

#### 5 鍍膜後動作：

雷射脈衝轟擊完畢後，迅速關閉幫浦閥門、電源，並跳出雷射關閉直流馬達。以維護設備使用壽命。之後通氧氣破除真空取下基座，並小心取下基座上基板。其間並留意 O-ring 是否脫離定位，以防止真空腔蓋蓋回時壓壞 O-ring，使其變形而嚴重影響真空腔真空度。最後反覆步驟 2，使真空腔經常維持真空以保潔淨。

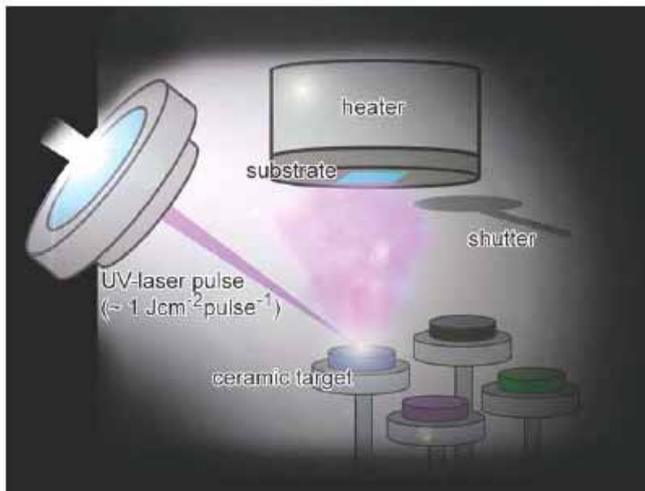


圖 2-2 鍍膜示意圖

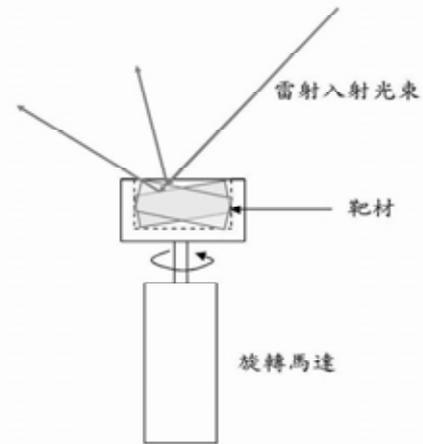


圖 2-3 靶材旋轉示意圖

## 2-3 van der Pauw method :

衡量半導體的電性，電阻率(resistivity)、載子濃度(carrier concentration)和遷移率(mobility)，是重要的參數；我們使用 van der Pauw 技術，來量測上述三項重要參數。van der Pauw 技術的優點是，可以量出任意形狀樣品的電阻率，而先決條件是所量測的樣品其接點要遠小於薄膜表面積，且膜厚均勻。但為了之後使用同樣樣品作霍爾效應的量測，我們選擇正方形的基板製備薄膜樣品。

### 2-3-1 量測原理：

#### 1 電阻率量測：

若把樣品四個角落的接點依逆時鐘定義為接點 1、接點 2、接點 3、接點 4；且在接點 1、2 輸入一電流  $I_{12}$ ，則在接點 4、3 可量得一電壓  $V_{43}$ ，令  $R_A = V_{43} / I_{12}$ ；另在接點 2、3 輸入一電流  $I_{23}$ ，接點 1、4 可量得一電壓  $V_{14}$ ，令  $R_B = V_{14} / I_{23}$ （如圖 2-5 示）。

以上的定義是假設薄膜都是均勻的，所以為了修正樣品薄膜厚度可能的不均勻性， $R_A$ 、 $R_B$  的定義經由以下的步驟再取平均值：

首先定義  $R_{21,34} = V_{34} / I_{21}$ ；然後依此定義依序求得， $R_{21,34}$ 、 $R_{12,43}$ 、 $R_{43,12}$ 、 $R_{34,21}$ ；再取以上四個值的平均值，此平均值即為  $R_A$ 。同理；

依序可得  $R_{41,32}$ 、 $R_{23,14}$ 、 $R_{14,23}$ 、 $R_{41,32}$ ；一樣，取這四個數的平均值，此即為  $R_B$ ，如此可避免萬一樣品膜厚不均所帶來的誤差。

得到  $R_A$ 、 $R_B$  後代入 van der Pauw equation：

$$\exp(-\pi R_A/R_S) + \exp(-\pi R_B/R_S) = 1 \quad (2-1)$$

解此方程式，即可得到面電阻(sheet resistance)  $R_s$ ；再由  $\rho = R_s d$ ，可得電阻率  $\rho$  (bulk electrical resistivity)；其中  $d$  為薄膜厚度。

## 2 霍爾量測：

由電磁學，當通一電流(X 方向)流經一有外加磁場(Z 方向)的物體時，帶電的粒子會因受到一與粒子移動方向垂直的勞倫茲力作用，而會在 Y 方向累積；累積的電子會形成一 Y 方向的電場，而此電場對帶電粒子會形成一和勞倫茲力剛好反向的庫倫力；隨著電子累積的數目增加，此庫倫力也隨著變大，直到兩力互相平衡為止；此時在物體的 Y 方向產生一壓降，此壓降我們稱為霍爾電壓( $V_H$ )，如圖 2-7 所示：

經推導可得公式 2-2：

$$n = \frac{IB}{dqV_H} \quad (2-2)$$

其中， $n$  為樣品的載子濃度； $I$  為流經的電流， $B$  為外加的磁場， $d$  為樣品的厚度， $q$  為電子的帶電量， $V_H$  為所量到的霍爾電壓，其中  $I$ 、 $B$ 、 $d$ 、 $q$  為已知；且  $V_H$  可量得，在帶入上述公式，即可得到物體的載子濃度。

### 2-3-2 接點與量測步驟：

首先利用 PLD 系統製備  $5 \times 5 \text{mm}^2$  的薄膜樣品，再利用 Lift-off 製程(參見下章)在樣品的四個角落製作鍍金接點，由於接點面積以盡量小為佳，我們選擇約半徑 0.5 mm 的 1/4 圓作為接點，所使用光罩如圖 2-4 所示：

因為  $V_H$  是在電流的垂直方向量測，所以我們選擇樣品的幾何型式為  $5 \times 5 \text{mm}^2$  的正方形，在一對角通電流，另一對角量電壓，所量得的值即為  $V_H$ ；實驗的接線如圖 2-6 所示：

而詳細的測量步驟如下：

本實驗使用工研院電光所 BIO-RAD HL5500PC 霍爾量測系統，在此特別致謝。此系統提供的磁場為 0.317(Tesla)，電阻率最高可量測到  $10^8 \rho$ 。依序在樣品的四個角落接上探針，蓋回儀器上蓋，即可以電腦程式控制開始量測。首先儀器會先提供一個與樣品垂直的磁場，然後在接點 1、3 通電流，接點 2、4 量電壓；且

把流通接點 1、3 的電流定義為  $I_{13}$ ，在接點 2、4 所量得的電壓定義為  $V_{24}$ ，則此  $V_{24}$  即為  $V_H$ ；但同樣的，為了怕樣品厚度不均，會有太大的誤差，所以我們總共量了八組的  $V_H$ ，然後在取平均，這八組依序為：

a:磁場向上時

取了  $I_{13}$ 、 $V_{24}$ ； $I_{42}$ 、 $V_{13}$ ； $I_{42}$ 、 $V_{31}$ ； $I_{24}$ 、 $V_{31}$ ，這四組接線方法的所量得的電壓。

b:磁場向下時

同樣取了  $I_{13}$ 、 $V_{24}$ ； $I_{42}$ 、 $V_{13}$ ； $I_{42}$ 、 $V_{31}$ ； $I_{24}$ 、 $V_{31}$  這四組接線方法的所量得的電壓。

然後以上八組電壓全部取絕對值相加在除以 8，所得的值即較為準確的  $V_H$ 。再將所得到的  $V_H$  代入 2-3 式中，即可得到樣品的載子濃度。有了  $n$  之後，再加上用 van der Pauw 所得到的  $\rho$  帶入公式 2-3 式中

$$\mu = 1 / qn\rho \quad (2-3)$$

如此可得樣品之遷移率(mobility)。

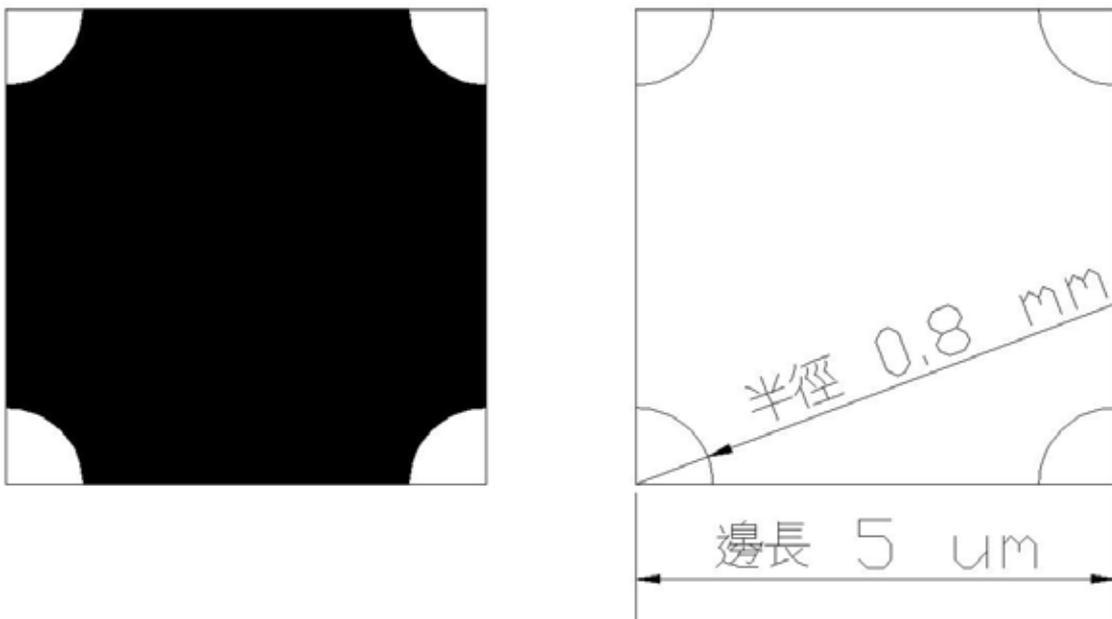


圖 2-4 鍍金接點光罩

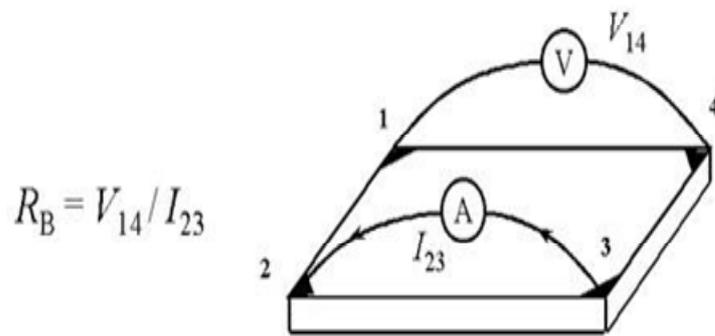
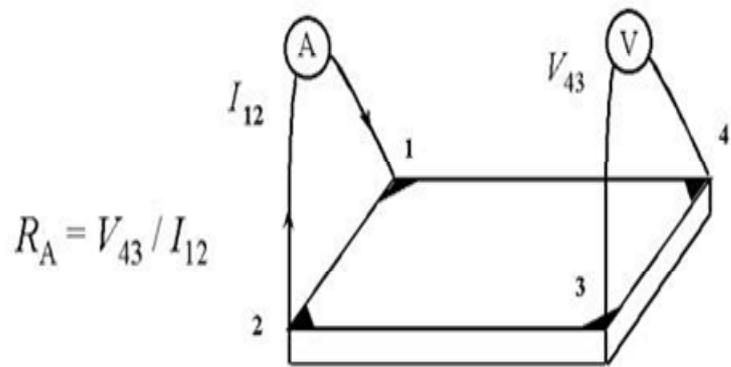


圖 2-5 接點定義

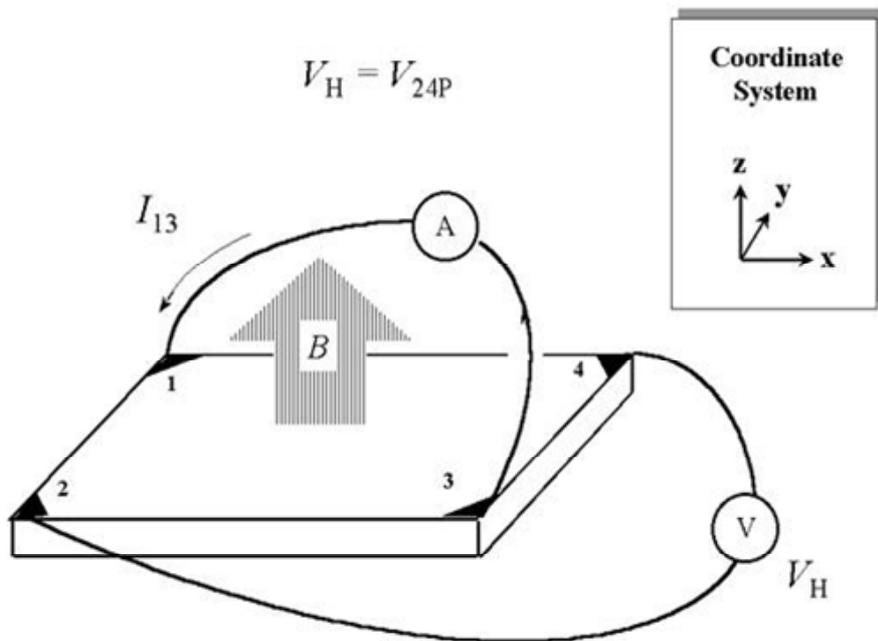
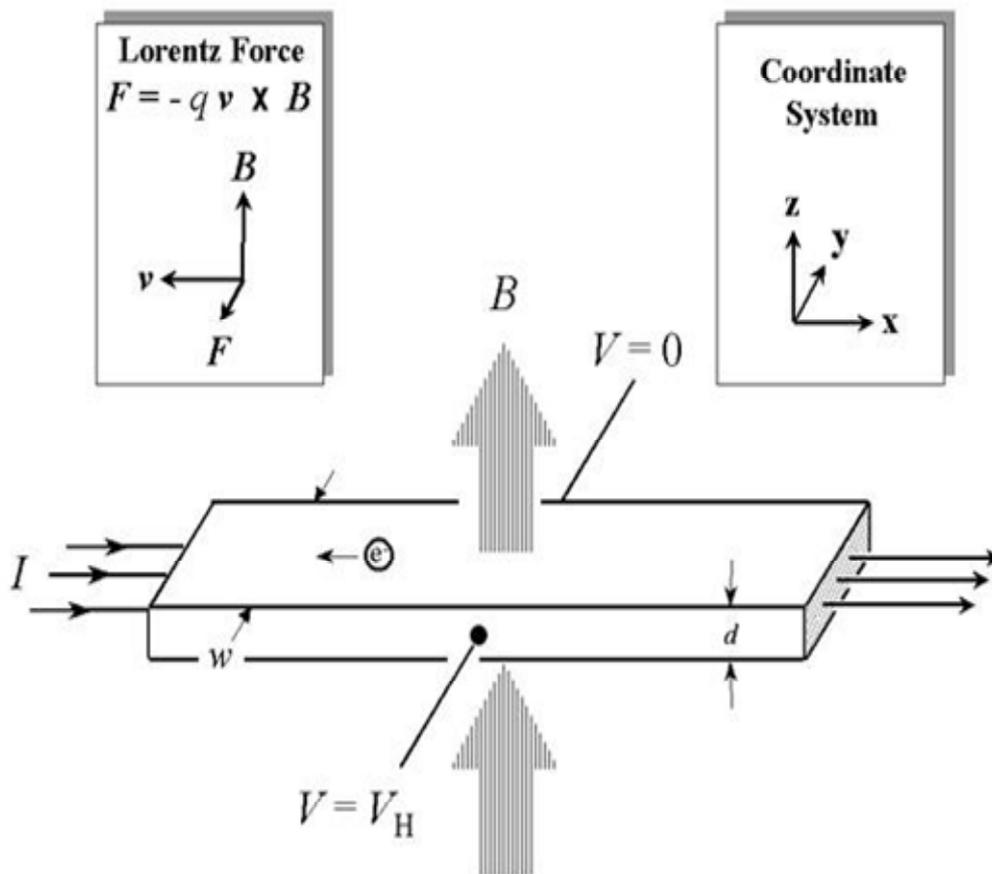


圖 2-6 霍爾量測接線



1896  
圖 2-7 霍爾電壓  $V_H$  定義

## 2-4 R-T 電阻溫度關係量測：

以下介紹本實驗室的電阻－溫度量測系統，可量測電阻值隨溫度變化的關係。本系統(如圖 2-9 示)共包含：

低溫系統:

閉路壓縮氦氣冷卻系統 (closed cycle He refrigerator)

真空系統：機械幫浦和一真空腔

電性量測系統:

電源供應器 (Keithley 220 programmable current source)

多功能電表 (Hewlitt packard 34401a multimeter)

溫控系統:

二極體溫度計 (silicon diode thermometer)

溫控器 (Lake Shore DRC-91CA controller)

電腦系統: LabVIEW 軟體及電腦

在量測時，此系統由電腦系統控制電源供應器提供一電流，然後用多功能電表量薄膜的電壓差，並將換算得來的電阻和當時由二極體溫度計量測的溫度，由軟體紀錄下來，即可得 R-T 關係。實驗方法為標準的四點量測法。

### 2-4-1 四點量測法：

如圖示，在樣品上接出四點，A、B、C、D 四點分別接  $I^+$ 、 $V^+$ 、 $V^-$ 、 $I^-$ ，由於 B、C 之間是接伏特計，相當於一個很大的電阻跨在 B、C 之間，所以由 A 點輸入的電流  $I$  會完全經過樣品本身，而由 D 點流出，所量到的電阻  $R_m$  為薄膜本身的質  $R$ ，其公式為 (2-4) 所示。相較於傳統的兩點量測，如圖 3-4(b)，在樣品上接出 A、B 兩點，A、B 兩點分別接  $I^+$ 、 $I^-$ ，且 A、B 之間亦接伏特計，所以，由 A 點輸入的電流  $I$  會經過兩條電線與樣品，所以量到的電阻  $R_m$  將包括兩條電線的電阻，即為  $R+2r$ ，其公式如(2-5)所示。

$$R_m = \frac{V}{I} = \frac{IR}{I} = R \quad (2-4)$$

$$R_m = \frac{V}{I} = \frac{I(R+2r)}{I} = R+2r \quad (2-5)$$

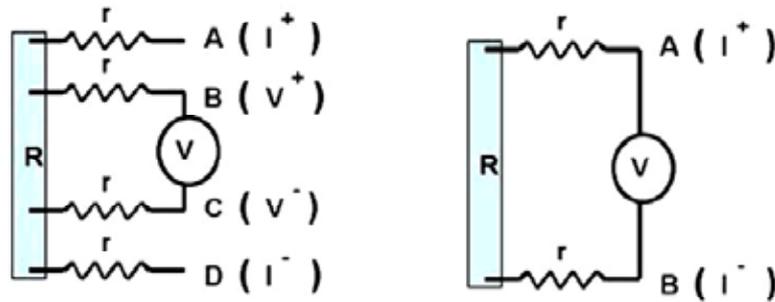


圖 2-8 四點量測法

#### 2-4-2 R-T 量測步驟：

- 1 剪裁四條長度相同的漆包線，後用鉚槍加熱鉚錫，利用加熱的鉚錫把漆包線兩端的漆熔掉，再將銅線一端用銀膠黏在樣品上，然後依序將四條漆包線平行的黏在樣品上，後加熱將銀膠烤乾。
- 2 用雙面膠將樣品固定在銅座上，接著再把 4 條漆包線的另一端用鉚槍分別焊接於銅座的四個接點上。
- 3 蓋上真空腔，並以機械幫浦抽真空。
- 4 待真空度足夠後，開啟控制程式開始降溫，設定量測溫度範圍在 50-295K 間、固定電流  $1\mu\text{A}$ ，進行量測。

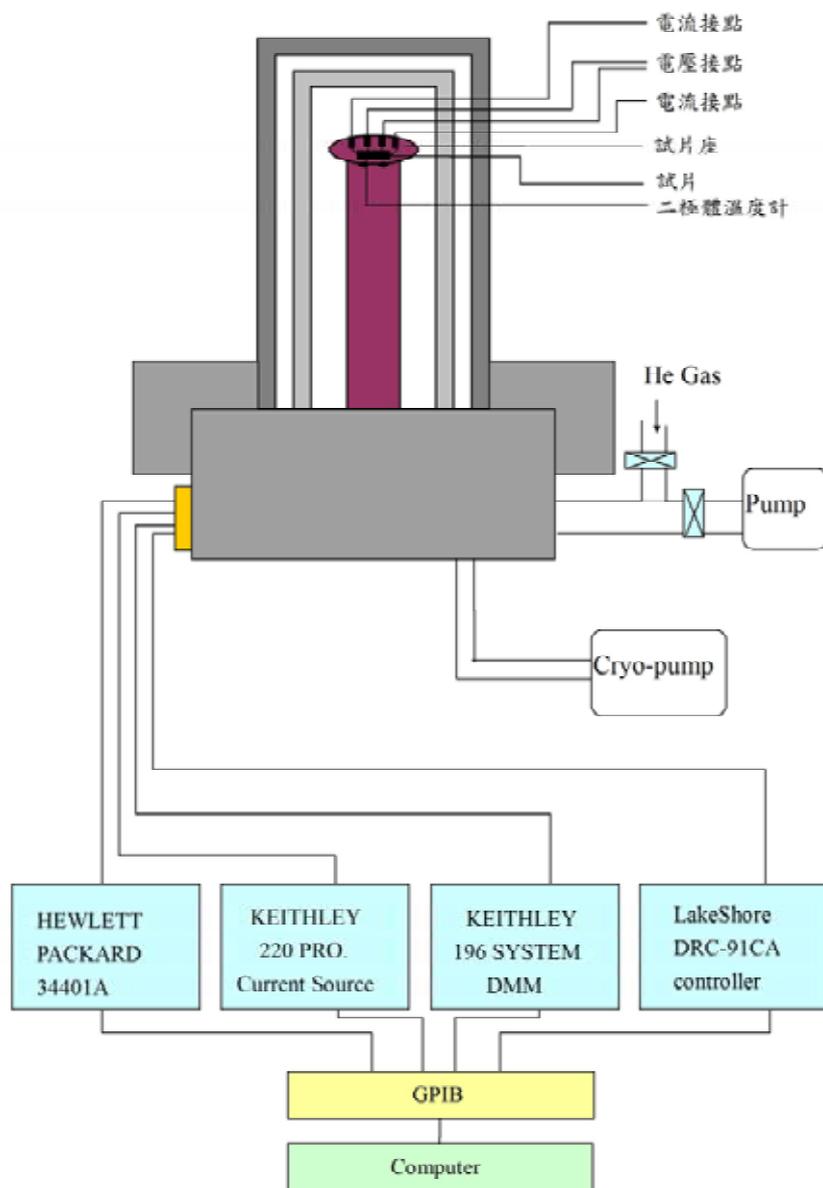


圖 2-9 R-T 系統圖

### 第三章 元件結構與製程

本章簡述非晶透明氧化物半導體的特性與載子傳輸機制假說，以及介紹 TFT 元件操作原理、特性、製程與量測的方法及儀器。由於本實驗室剛開始(transparent oxide semiconductor TOS[5])材料與元件製程的研究[3]，許多設備與技術仍待建構，可謂筚路藍縷，另別有一番甘苦。在探索的過程中，製程上的改良與進步是最大的收穫，以下便詳細敘述元件製程的每個環節。

#### 3-1 非晶氧化物 $\text{InGaZnO}_4$ :

在現今 FPD 元件薄膜材料研究方面，以矽半導體薄膜為基礎的 a-Si:H TFT 技術，以及多晶矽(poly-Silicon)薄膜為基礎的低溫多晶矽(low temperature poly-Silicon LTPS)TFT 技術為主流。其材料電性或光性的物理機制、磊晶薄膜沉積的機制，也都有了足以說明或設計元件製程的理論基礎或假說。無機材料中除了矽半導體的 a-Si:H 材料之外，人們的眼光幾乎專注於單晶或多晶材料；至於非晶材料方面，卻少有人關心。或許亦由於是非晶材料結構的不規則與複雜性，增加了研究的困難度。不過若是著眼於室溫下製程，則非晶材料的特性與沉積機制、物理機制的探索，將會是重要基礎。這方面的研究，仍有待努力。

在 a-TOS 的研究上，現今已被發現且有相關研究論述的材料多屬於 n-type，諸如： $\text{InGaO}_3(\text{ZnO})_m$  ( $m \leq 4$ )[6]、ITO ( $\text{In}_2\text{O}_3:\text{Sn}$ )、a- $\text{In}_2\text{O}_3$ [7]、a- $\text{AgSbO}_3$ [8]、a- $2\text{CdO} \cdot \text{GeO}_2$ [9]、a- $\text{CdO} \cdot \text{PbO}_x$ [10]、a- $\text{ZnO} \cdot \text{SnO}_2$ [11] 等。亦有關於 p-type 之 a-TOS 的研究：a- $x\text{ZnO} \cdot \text{Rh}_2\text{O}_3$ [12]、 $\text{CuMO}_2$ ( $M=\text{Al, Ga, In}$ )[13-15]、 $\text{SrCu}_2\text{O}_2$ [16]等。其中以 ZnO 為基礎的 a-TOS 具有優良的光電特性，相當引人矚目。本研究中的 TFT 便利用以 ZnO 為基礎的 a-IGZO 薄膜製備，其具有許多優良的特性：可以在室溫下沉積、薄膜電子遷移率(electron mobility)可達  $10 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、寬能隙(wide band gap)2.8~3.0 eV[6]、透光度大於 80%，並在基板彎

曲 5%時不影響元件特性[2]。本節介紹此非晶氧化物的探索過程、電性機制假說，以及本實驗室的相關研究工作。

### 3-1-1 非晶薄膜成長：

以 ZnO 為基礎的非晶氧化物材料系列  $\text{InGaO}_3(\text{ZnO})_m$  ( $m \leq 4$ ) 研究，是由 Hideo Hosono 的研究群所開始的。雖然氧化物材料  $\text{InGaO}_3(\text{ZnO})_m$  ( $m \leq 4$ ) 的非晶相特性早在 2001 便已有了初步結果 [6]，但他們接下來卻是以此系列材料的單晶相特性為研究方向 [17-19]，也利用  $c\text{-InGaO}_3(\text{ZnO})_m$  ( $m=5$ ) 製作 TFT 元件。不過 IGZO 系列材料的單晶相製程溫度高達  $1400^\circ\text{C}$ ，且基板利用的是單晶 YSZ(111)，堅硬而不可撓曲，所以雖然元件遷移率最高可達  $80 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  [20]，成本與製程需求上卻不盡理想。

不過接下來他們在 2004 年發表的利用  $a\text{-InGaZnO}_4$  (亦即  $\text{InGaO}_3(\text{ZnO})_m$  ( $m=1$ )) 為主動層設計的 ft-TFT [2]，結果卻引起許多人的注目，這便是由於其室溫下製程的優點。本實驗薄膜與元件製備都是在室溫下以 PLD 進行。PLD 依照屬於物理氣相沉積 (Physical Vapor Deposition PVD) 的原理，室溫下沉積的非晶相薄膜，其原子排列是無序的。這是由於：當氣相的分子接觸到基板時，彼此會先發生吸附作用，然後才進一步發生成膜。以吸附原理定義的 PVD 技術，有別於 CVD 技術的化學吸附，其沉積原理屬於物理機制。也就是氣相分子、原子團(本實驗屬於電漿團)，以凡得瓦力(van der Waals force)或倫敦力(London force)與基板原子相互作用而吸附。這種非化學鍵結的物理作用，不需克服表面活化能，所以是一種反應很快的可逆反應。基本上物理吸附機制的鍵結能不超過  $20\text{KJ/mole}$ ，屬於一種弱鍵結。所以吸附在基板上的原子不會馬上沉積到固定位置，會在基板表面遷移，直到位能最低的地方才會安定下來沉積；因此通常會有多層單原子被吸附。

任何薄膜沉積的成長過程，均含有三個步驟：(1)產生分子、離子或原子的材料發射源(本實驗為雷射激發靶材的電漿團)，(2)材料傳輸到基板(本實驗為通入氧氣的真空腔)，(3)材料原子與基板原子的吸附作用(本實驗為氧化物與玻璃基板)。而薄膜的沉積過

程，可詳細分析如下：

- 1 雷射轟擊靶材表面，昇華靶材物質成電漿團。
- 2 電漿團通過某特定氧氣壓力的腔內空間，飄移到基板表面。
- 3 電漿團內粒子撞擊基板，把動能轉移到基板並吸附其上。
- 4 被吸附的原子尚未與基板達到熱平衡，會在基板表面遷移活動，並和其他吸附原子鍵結成更大的分子團。
- 5 尚未穩定的分子團，可能脫離基板或與基板吸附結合；直到達一臨界尺寸之後穩定，並成為晶核，假設晶核均勻散佈。
- 6 晶核密度逐漸達飽和之後，經由吸附原子的平行擴散與垂直撞擊而成長，逐漸形成島狀結構(islands)。
- 7 島狀結構互相聚結(coalescence)以減少表面積與表面能，尺寸逐漸增大最後形成薄膜。

由此可知，PLD 的薄膜沉積與基板溫度、靶材與基板距離、真空腔內氧氣壓力、雷射脈衝重複率與能量密度等這些條件息息相關，是為最主要參數。而由於本實驗控制基板溫度在室溫之下，電漿團粒子撞擊基板之後，原子馬上被基板吸附而沉積，也就是成膜的機制主要為垂直撞擊吸附，而幾乎沒有水平遷移擴散吸附的機制。所以薄膜一定屬於非晶相，其連續性、均勻性較單晶相薄膜差，薄膜的孔隙缺陷密度較高，且厚度不易控制。由以上原理可知，本實驗室上一個研究中使用的頂部閘極結構，細長的閘極非晶 ITO 薄膜在跨過其他薄膜之時，其連續性會有問題而增大電阻率，使得其電極特性不良。為了克服這些非晶薄膜沉積的問題，只有經過反覆測試。最後我們得到的薄膜沉積參數如表 3-1：

材料/用途	ITO/電極	Y <sub>2</sub> O <sub>3</sub> /絕緣層	InGaZnO <sub>4</sub> 主動層
鍍膜溫度 ( )	25	25	25
腔內氧壓 (mtorr)	25	40	20
雷射輸出能量 (mJ)	250	250	250
雷射重複率 (Hz)	5	5	5
靶距 (cm)	5	5	5
薄膜厚度/1000pulse	1000 Å	300 Å	1000 Å

表 3-1 鍍膜參數

### 3-1-2 a-IGZO 的載子傳輸物理機制：

前文已提及，a-IGZO 是以 In<sub>2</sub>O<sub>3</sub>、Ga<sub>2</sub>O<sub>3</sub>、ZnO 等三種化物混合組成的。此系列化物的簡式可表為：InGaO<sub>3</sub>(ZnO)<sub>m</sub>；當  $m \leq 4$  時，室溫下沉積的薄膜皆為非晶相。InGaO<sub>3</sub>(ZnO)<sub>m</sub> 的金屬離子具有  $(n-1)d^{10}ns^0$  的電子組態，與氧離子的化學鍵屬於 sp 混成軌域鍵結，不具方向性，而提升了導電度與載子遷移率。若以 M-O-M 的方式表示 InGaO<sub>3</sub>(ZnO)<sub>m</sub> 化合物的鍵結；由於金屬離子的主量子數 n 不同，金屬離子彼此的波函數重疊大小亦不同；主量子數大的原子，s 軌域範圍廣，波函數疊合區域亦大，而成為主要的載子傳輸路徑（如圖）。而主量子數小的原子，s 軌域重疊區域小，甚至可能在 (M-O-M)<sub>n</sub> 的鍵結中造成縫隙 (cleavage)（如圖 3-1）。因此屬於 4s 組態軌域範圍較小的 Zn 原子比例，將影響 InGaO<sub>3</sub>(ZnO)<sub>m</sub> 系列化物的電性。表 3-2 列出屬於  $(n-1)d^{10}ns^0$  電子組態的 AOS 之電性參數。

由以上觀點，我們可以知道 InGaO<sub>3</sub>(ZnO)<sub>m</sub>  $m=1$  時，應該具備

較理想的遷移率以及導電度。因此  $\text{InGaZnO}_4$  被選擇為通道的材料；且利用同屬於  $(n-1)d^{10}ns^0$  電子組態的而載子濃度更高的 ITO 作為電極。以利用其相同電子組態而高遷移率的優點。

Composition of amorphous thin films	Tauc gap (eV)	Seebeck coefficient ( $\mu\text{V K}^{-1}$ )	Transport properties			Mean free path (nm)	Reference
			$\sigma$ ( $\text{S cm}^{-1}$ )	$n$ ( $10^{20} \text{ cm}^{-3}$ )	$\mu$ ( $\text{cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ )		
$\text{InGaO}_3(\text{ZnO})$	3.00	-53	260	0.77	21	1.8	
$\text{InGaO}_3(\text{ZnO})_2$	2.95	-62	280	1.4	13	1.3	
$\text{InGaO}_3(\text{ZnO})_3$	2.95	-61	170	0.60	18	1.4	
$\text{InGaO}_3(\text{ZnO})_4$	2.85	-66	410	1.2	21	2.1	
$\text{In}_2\text{O}_3$	3.75	—	20	3.5	0.36	—	Bellingham <i>et al.</i> (1990)
$\text{In}_2\text{O}_3$	>3	—	500	—	—	—	Pashmakov <i>et al.</i> (1993)
$\text{Cd}_2\text{SnO}_4$	2.06	—	385	1.2	20	—	Nozik (1972)
$\text{AgSbO}_3$	2.3	—	0.29	0.003	6.7	—	Yasuka <i>et al.</i> (1995)
$2\text{CdO} \cdot \text{PbO}_2$	1.8	—	380	2	10	1.4	Shimikawa <i>et al.</i> (1999)
$2\text{CdO} \cdot \text{GeO}_2$	3.4	—	210	1	12	1.4	Shimikawa <i>et al.</i> (1999)

表 3-2  $(n-1)d^{10}ns^0$  電子組態 AOS 電性 [6]

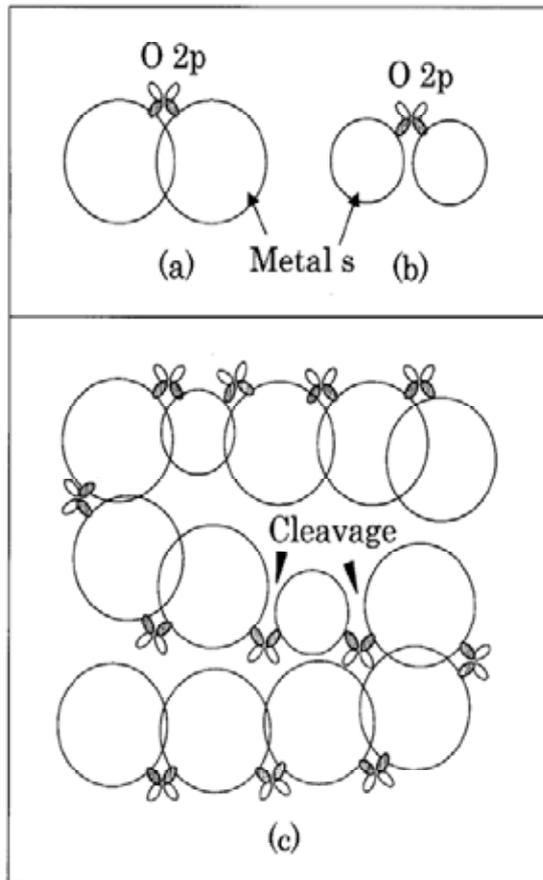


圖 3-1 s 軌域重疊示意 [6]

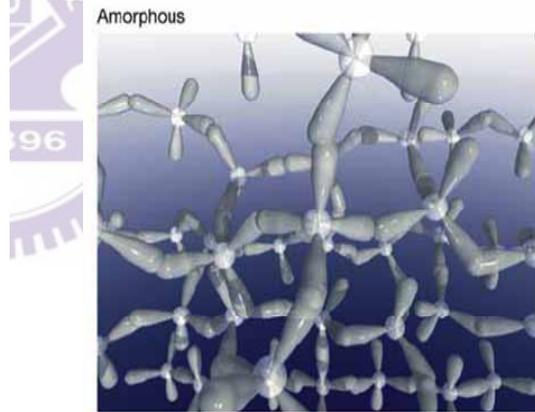


圖 3-2 a-IGZO 結構示意 [2]

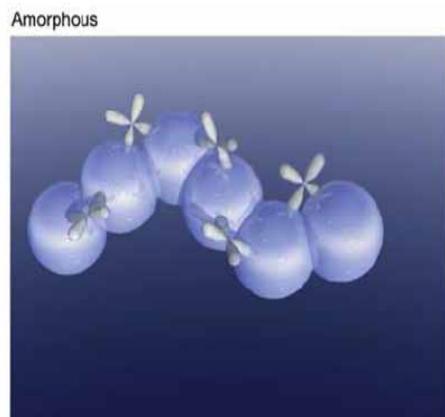


圖 3-3 a-IGZO 鍵結示意 [2]

### 3-2 TFT 元件操作特性與結構設計：

薄膜電晶體在主動陣列型 FPD 中是關鍵的元件；為了研究適合應用於透明可撓曲的 FPD 元件，元件結構與製程方面的考量，則相當重要。TFT 元件在製程方面已相當成熟，所以結構上依不同需求考量，每個設計者都會視情況而使元件在結構上有所出入。不過 TFT 結構上最基本可概分為頂部閘極(top gate structure)，以及底部閘極(bottom gate structure)(如圖 3-4 示)。目前一般 FPD 應用較廣的屬於後者[21]。本節介紹 TFT 操作原理與製程，並分述如下：

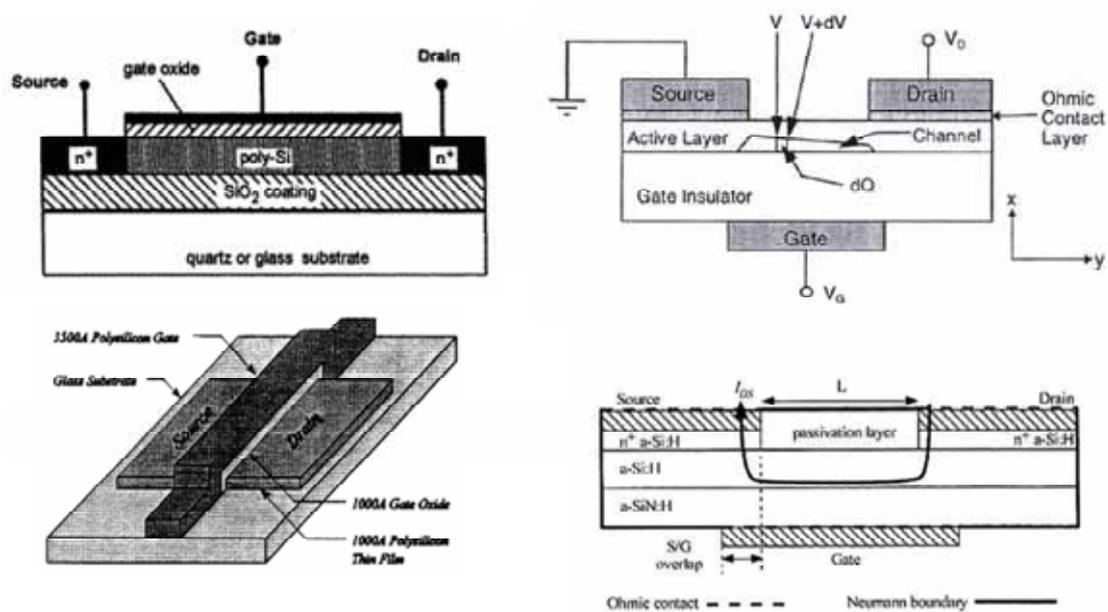


圖 3-4 一般 TFT 結構示意

TFT 的操作原理與 MOSFET(metal oxide semiconductor field effect transistor)相同，都是利用閘極電壓控制通道(在 TFT 元件上一般稱為主動層”active layer”)的載子濃度以形成一電流路徑，而使元件導通或關閉。閘極電壓升高至某定值(亦即元件的臨界電壓  $V_T$ ，此處的  $V_T$  只代表元件操作的電路參數)後，可使元件電流不隨汲極與源極兩端之間的偏壓改變，此時元件操作於飽和區(saturation region)。TFT 為控制面板畫素的開關，所以偏壓都設計為數位式的高低位準，亦即使元件在截止區(cut off region)與飽和區兩種操作偏壓間切換。所以 TFT

的設計目標在於使電流“開得快、關的緊”；也就是說高元件遷移率、低漏電流(low leaking current)以及高開關電流比(on-off ratio)是良好的 TFT 元件最基本而重要的特性指標。

本實驗室原本考慮頂部閘極的元件結構，然而特性不甚良好[3]。本研究採用底部閘極的結構；我們考慮在上一個研究中，細長的閘極 ITO 薄膜其跨在其他薄膜上的連續性不良、製程上可能的損害而使閘極電性不良，致使元件電流操作沒有飽和區(saturation region；亦稱為夾止“pinch off”)特性。在本研究中的結構，閘極特性可得到改善。此外為了考慮與實際製程的結合，甚至做為以後研發 roll to roll 製程的前導，底部閘極結構都將是較好的選擇。

雖然本實驗中元件呈現出增強型(enhancement)NMOS 之電性，然而使用材料卻非一般 NMOS 的 Drain-Channel-Source/n-p-n 的載子濃度設計。我們的 Drain-Channel-Source 使用 ITO-IGZO-ITO 屬於 N-n-N 結構(在此寬能隙 n-type 材料使用大寫“N”，較窄能隙材料使用小寫“n”)；是為一種利用能隙寬度與載子濃度差異的異質界面(heterojunction)。雖然 a-IGZO 的能帶結構尚待探討，不過在薄膜量測上中，我們發現 ITO 的載子濃度皆比 IGZO 高出約 2~3 個數量級；且 ITO 的能隙比 a-IGZO 高出至少 0.5eV。所以此處我們仍先利用此理論作為假設。於是在底部閘極的設計概念下，我們設計出下面兩種結構作為探討，如圖 3-6~9 示。也就是(A)通道層 a-IGZO 覆蓋在電極上面，(B)通道層被電極覆蓋。

異質界面屬於一種蕭基界面(Schottky contact)，其能帶圖如圖 3-5 示：在接面上將有一位障(barrier)，使 ITO-IGZO-ITO/N-n-N 界面結構呈現類似 NMOS 的電性；然而卻亦使載子傳輸出現障礙。因此界面面積越大，位障造成的表面電阻越大，將使載子傳輸特性變差。本實驗設計此兩種結構，以比較其電性優劣；並希望利用結構設計降低載子傳輸障礙、提高開關電流比。基本上設計 A 大幅降低了界面接觸面積，可使電流導通時較暢通，然而卻可能有載子直接跳躍(hopping)傳輸過通道而不受閘極偏壓控制的顧慮；而設計 B 則是接觸面積大，沒有跳躍傳輸過通道的顧慮，卻可能得犧牲電流開啟時的電性。

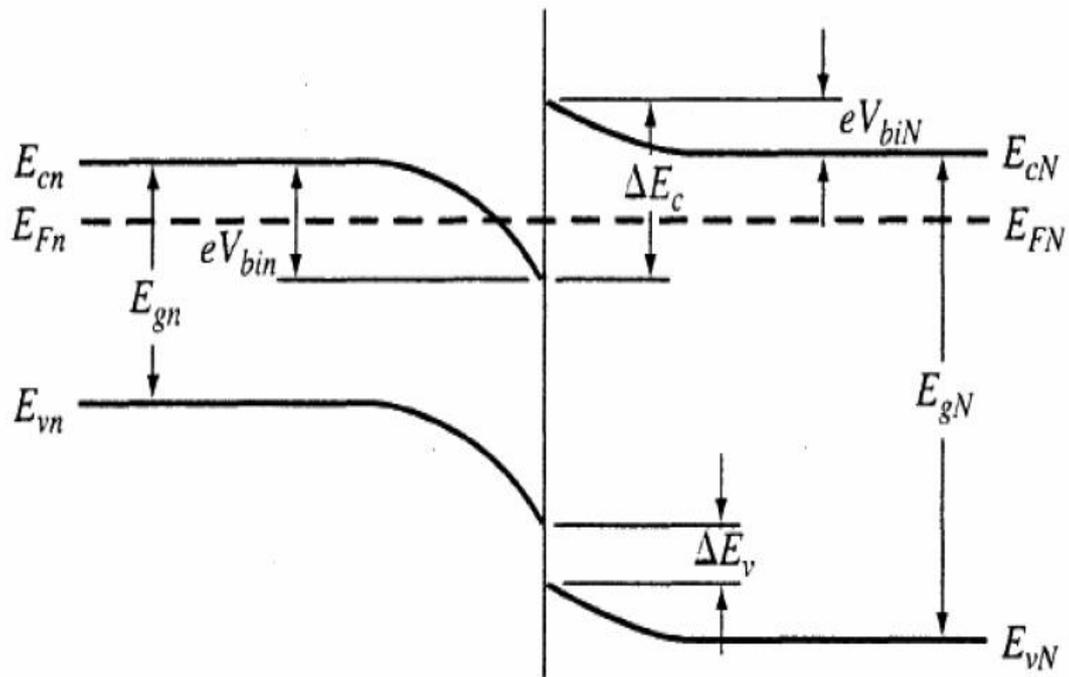


圖 3-5 n-N 異質接面能帶圖 [22]



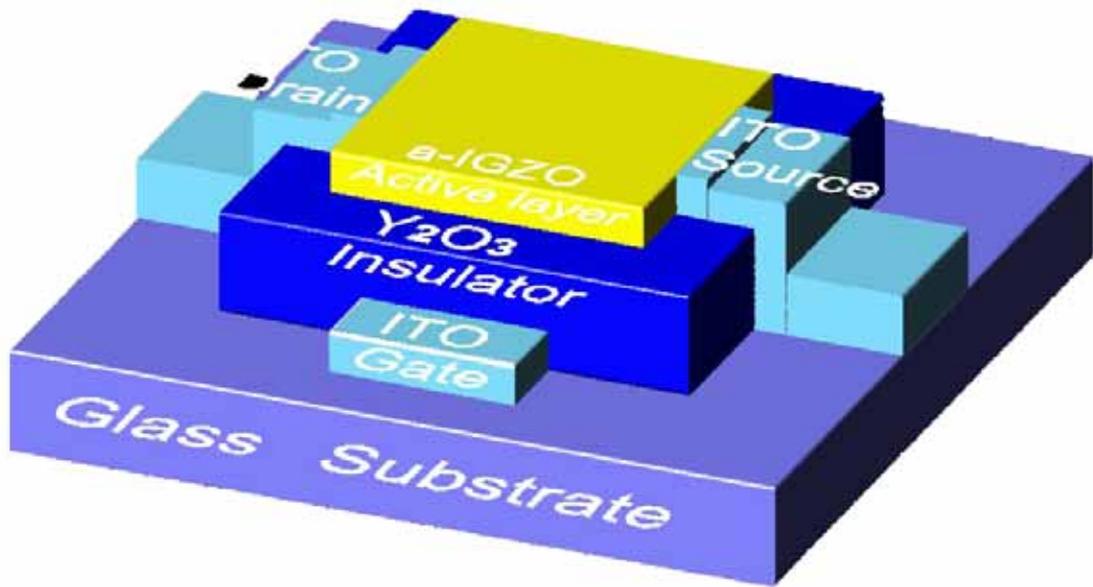


圖 3-6 結構設計 A 立體圖



圖 3-7 結構設計 A 剖面圖

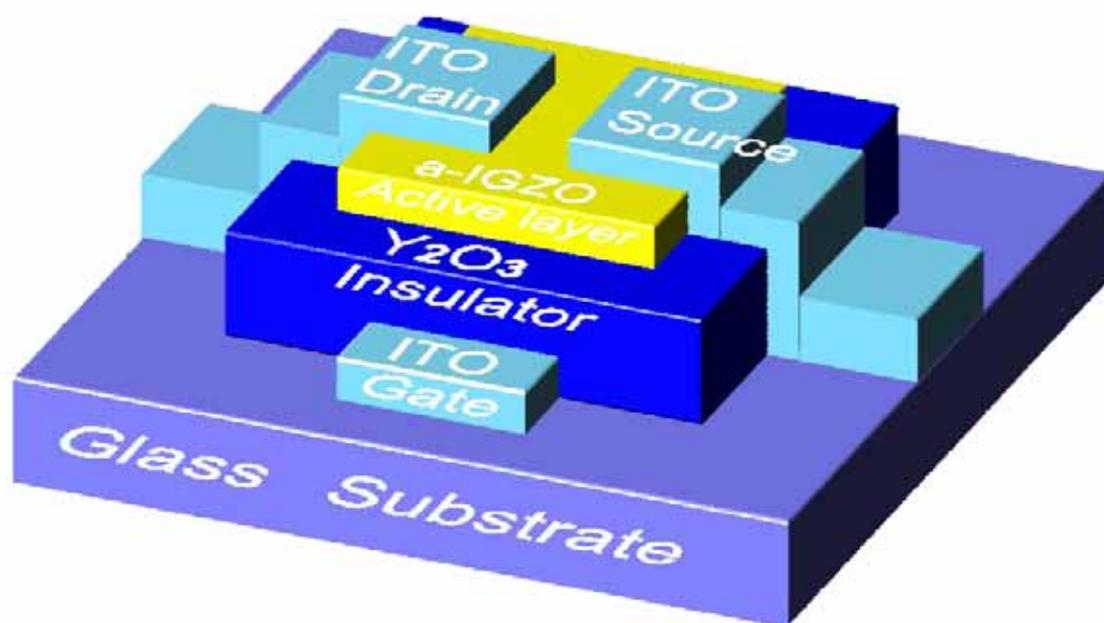


圖 3-8 結構設計 B 立體圖

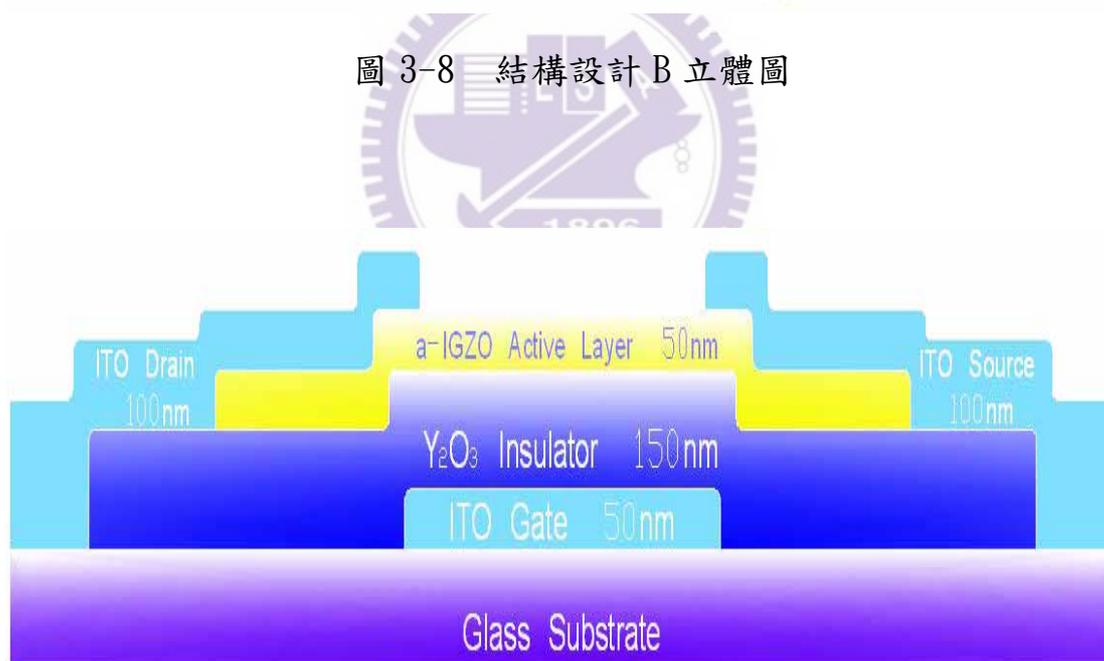


圖 3-9 結構設計 B 剖面圖

### 3-3 Lift-Off 製程：

由於本實驗的薄膜樣品皆為在室溫下沉積的非晶薄膜，也就是沉積時基板溫度是常溫的狀況之下；因此元件製程亦採用在常溫下便可進行的”Lift-Off 製程”。顧名思義，lift-off 是先利用微影技術(lithography)形成光阻圖樣，再進行薄膜沉積；然後直接利用丙酮掀離光阻以及光阻上面覆蓋的薄膜，最後留下需要的薄膜圖樣。這樣的製程有別於先進行薄膜沉積再蝕刻形成圖樣的製程方式不同，光罩明暗區塊設計將會是反相的（假設都採用最小線寬較佳的正光阻）。下面詳述製程細節；lift-off 流程如圖 3-16，光罩設計如圖 3-10~15：

1. 清潔基板：把已鍍好金對準十字的玻璃基板，利用第二章介紹過的丙酮-甲醇-去離子水的程序清潔；並研磨基座，時間約 30 分鐘。
2. 光阻塗佈：將樣品放置於旋轉機(spinner)的試片座上，注意基板確實置於旋轉軸正中央並以真空吸附，然後滴數滴的正光阻(AZ5214E)於樣品上，以 1500 rpm 的轉速旋轉 10 秒後，再以 5000 rpm 的轉速旋轉 30 秒。
3. 軟烤(soft bake)：將塗佈好光阻的樣品置於加熱板上，用 90 軟烤 150 秒，去除光阻薄膜內的溶劑後，可改善光阻與薄膜之附著性。
4. 曝光(exposure)：將軟烤過後的樣品取出並置於光罩對準機(Karl Suss Mask Aligner MA6 在此特別致謝工研院電光所)中，用光學顯微鏡觀察並調整樣品鍍金十字與光罩十字窗的相對位置，對準後進行曝光。曝光的時間為 23 秒，汞燈能量為 275mW；光罩設計如圖 3-11 所示。光罩 1：閘極圖案、光罩 2：絕緣層、光罩 3：汲極與源極、光罩 4：主動層。設計 A 使用的光罩順序為 1243、設計 B 的光罩順序為 1234。
5. 顯影(development)：將曝光過後的樣品置於顯影機 (TCP-5) 內(顯影劑使用 AZ400K : D.I.Water = 1 : 3)，顯影時間約為 40 秒。正光阻經曝光後的圖案部份將被顯影液去除，留下與光罩透光區塊相同的光阻圖形。

6. PLD：利用第二章介紹的脈衝雷射沉積系統鍍膜。元件製程共經過4次鍍膜。光罩1、3鍍ITO薄膜，光罩2鍍 $Y_2O_3$ 薄膜，光罩4鍍IGZO薄膜。鍍膜條件如表3-3所示。
7. 掀離光阻(lift-off)：利用丙酮緩慢沖洗鍍好薄膜的樣品，將光阻連帶覆蓋其上的薄膜掀離，即得到我們所要的薄膜圖樣。此處光阻利用丙酮掀離，不可使用超音波機，否則不能順利使薄膜掀離樣品表面，甚至可能使薄膜碎屑再次附著其上。
8. 再反覆步驟2~7三次，元件才告完成。

材料/用途	ITO/電極	$Y_2O_3$ /絕緣層	InGaZnO <sub>4</sub> 主動層
鍍膜溫度 ( )	25	25	25
鍍膜氧壓 (mtorr)	25	40	20
雷射輸出能量 (mJ)	250	250	250
雷射重複率 (Hz)	5	5	5
雷射打擊次數 (pulse)	Gate : 500 Drain、Source : 1000	5000	500

表 3-3 元件製程鍍膜參數

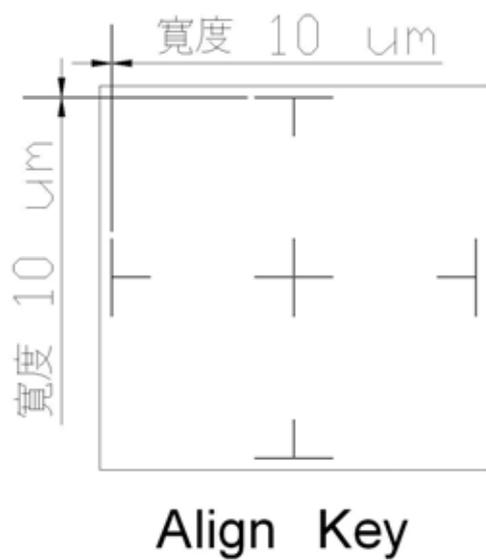


圖 3-10 鍍金對準十字光罩

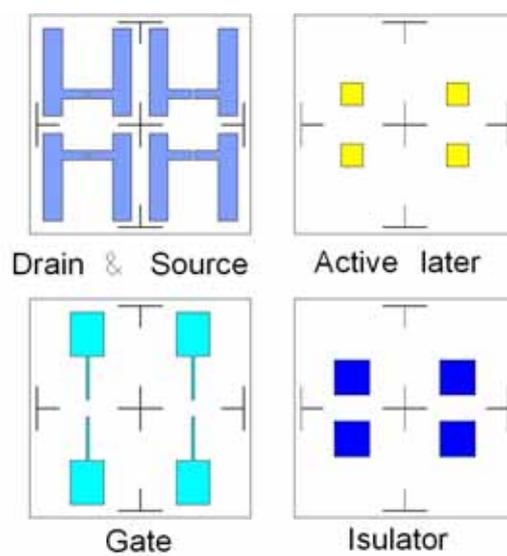


圖 3-11 光罩圖案與用途

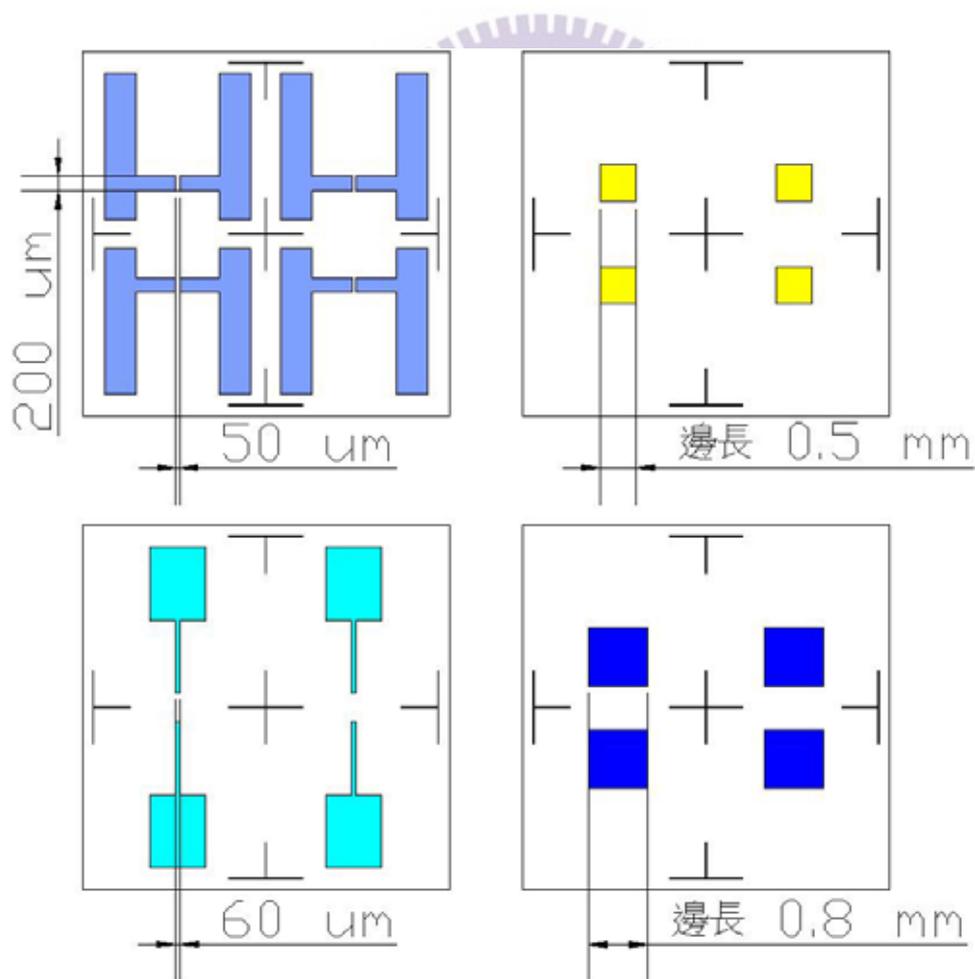


圖 3-12 光罩規格

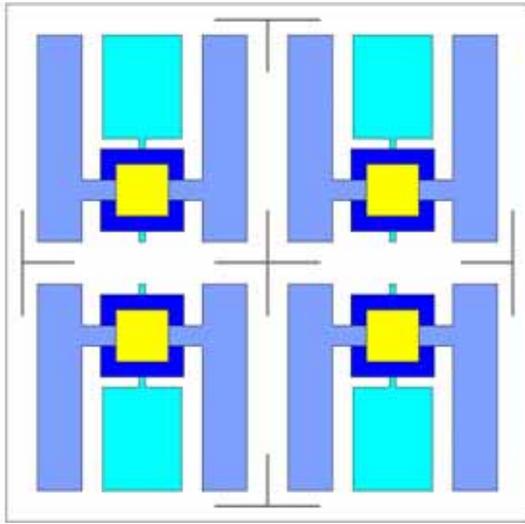


圖 3-13 設計 A 光罩順序

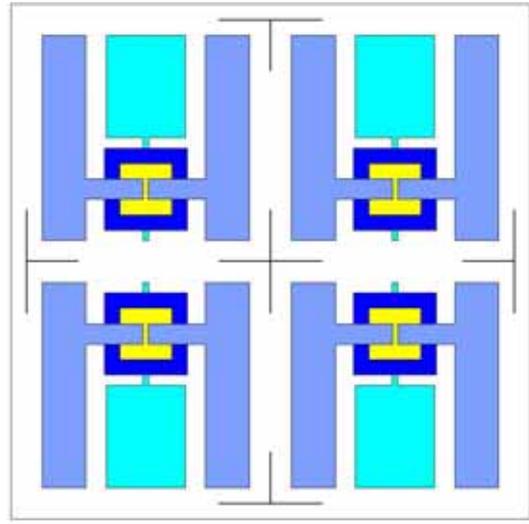
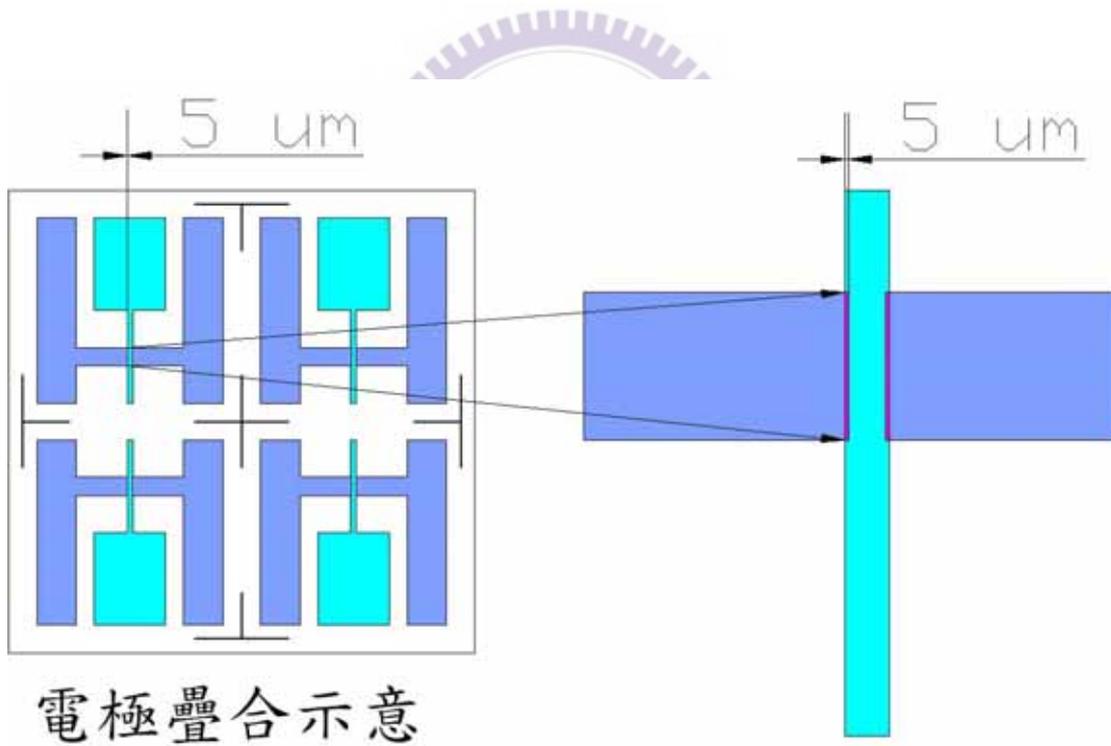


圖 3-14 設計 B 光罩順序



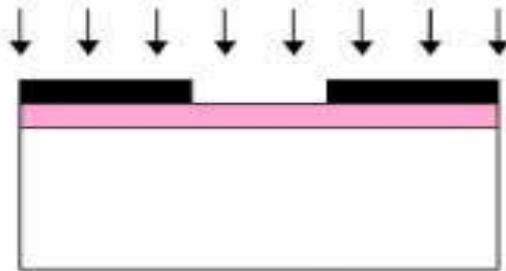
電極疊合示意

圖 3-15 電極疊合(最小線寬需求)



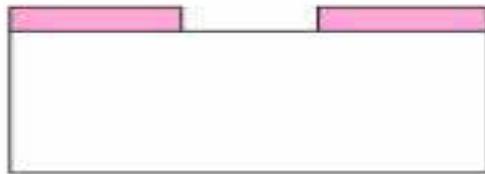
1. 塗佈光阻

光阻：AZ5214E  
塗佈：1500rpm 10 秒  
5000rpm 30 秒  
軟烤：90°C 150 秒



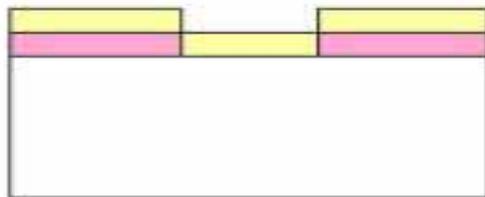
2. 透過光罩曝光

紫外線：365nm  
時間：23 秒  
汞燈能量：250mW



3. 顯影後成像

顯影液：AZ400K



4. PLD 薄膜沉積

電極：ITO  
絕緣層： $Y_2O_3$   
通道層：IGZO



5. 用丙酮把光阻連帶薄膜掀離

圖 3-16 Lift-off 製程示意

### 3-4 掃描式電子顯微鏡：

掃描式電子顯微鏡(Scanning Electron Microscope SEM) 由於接收物體表面所釋出的電子·作為成像的依據，加上有較長的景深、對於物體表面三度空間之微細結構的觀察，提供了非常真實而方便的研判。

SEM 主要包括兩部分，一為提供並聚集電子於標本上，產生訊息的主體；主體包含電子槍、電磁透鏡、樣品室及真空系統。二為顯示影像的顯像系統。電子槍所產主的電子·經過電磁透鏡，聚成極小的電子探束後，照射於標本上·探束深入樣品表面，形成一作用體積，並在不同層面，釋出歐傑電子、二次電子、背向散射電子以及 X 射線。如圖所示意。歐傑電子 (auger electron) 的能量弱、二次電子，產生之數量最多，背向散射電子之能量較高，可自深層中產生。接收各類電子而呈像，可觀察物體表面立體的結構、X 射線則作為分析成分元素之種類與定量之應用。

電子束撞擊標本後，產生之訊號由偵測器接收，並經過轉換放大後顯示於螢光幕上，真空系統則維持鏡柱的高度真空。這當中被電磁透鏡聚集的電子束，經由兩組掃描線圈，使之規則的在標本上來回移

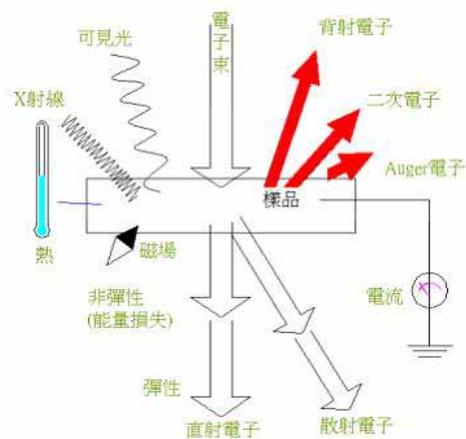


圖 3-17 SEM 顯像原理

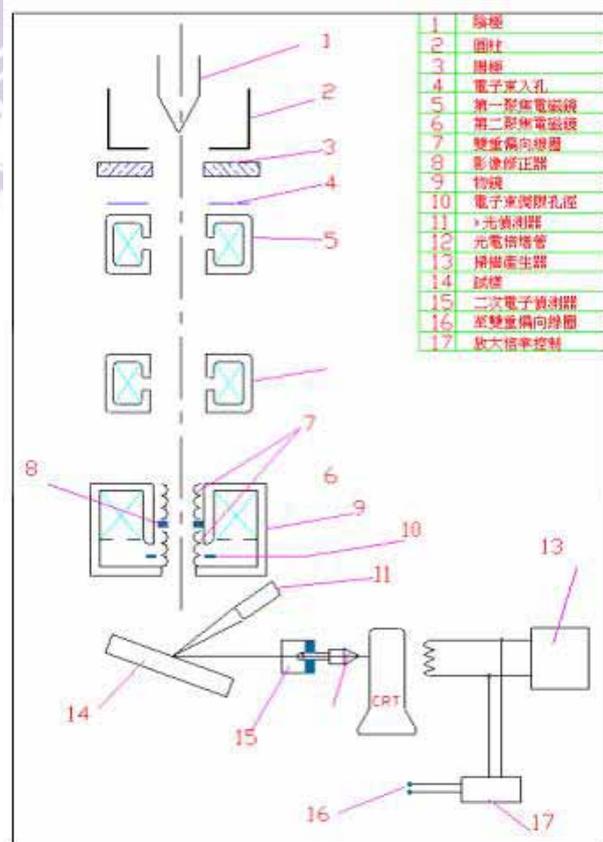


圖 3-18 SEM 結構圖

動掃描，掃描的範圍與速度均可控制，並與螢光幕上的掃描同步。當電子撞擊標本，產生二次或背向散射電子，被接收經放大、傳送，即可顯現影像。

相較於穿透式電子顯微鏡 (TEM)，掃描式電子顯微鏡試件之製備是相當容易的；唯掃描式電子顯微鏡所使用的試件必須是導電體，因此對金屬試件之研究，無須特殊處理即可直接觀察；非導體如玻璃、聚合物等，則須真空蒸鍍處理，鍍上一層導電性良好之金屬膜或碳膜，再作觀察。蒸鍍常用真空蒸鍍機 (Sputter) 及真空鍍碳機 (Vacuum Carbon Evaporater)。本實驗利用前者在樣品表面鍍上一層黃金薄膜，並利用導電的銅膠帶固定樣品背面及連接樣品表面，使其形成導體。藉用 SEM 觀測，我們可以很直觀的獲得薄膜表面形貌，以改善製程環節。



## 第四章 實驗結果與討論

本章呈現薄膜霍爾量測與元件光性、電性量測的結果，以及數據探討。結果顯示，我們可由底部閘極結構製程得到良好的元件特性。

### 4-1 霍爾量測：

由本實驗室上個研究[3]發現，在薄膜霍爾量測上接點表面電阻偏高，且影響量測穩定性。經過鍍金接點（第二章所述）之後量測，可以發現 a-IGZO 薄膜的電阻率在鍍膜氧氣壓力 20 ~ 200 mtorr 之間有令人滿意的電阻率；比之上個研究，與文獻中[6]還要低，約在  $\rho \approx 10^{-3} \Omega\text{-cm}$  左右（圖 4-1 示）。由此亦可證明接點性質直接影響量測。

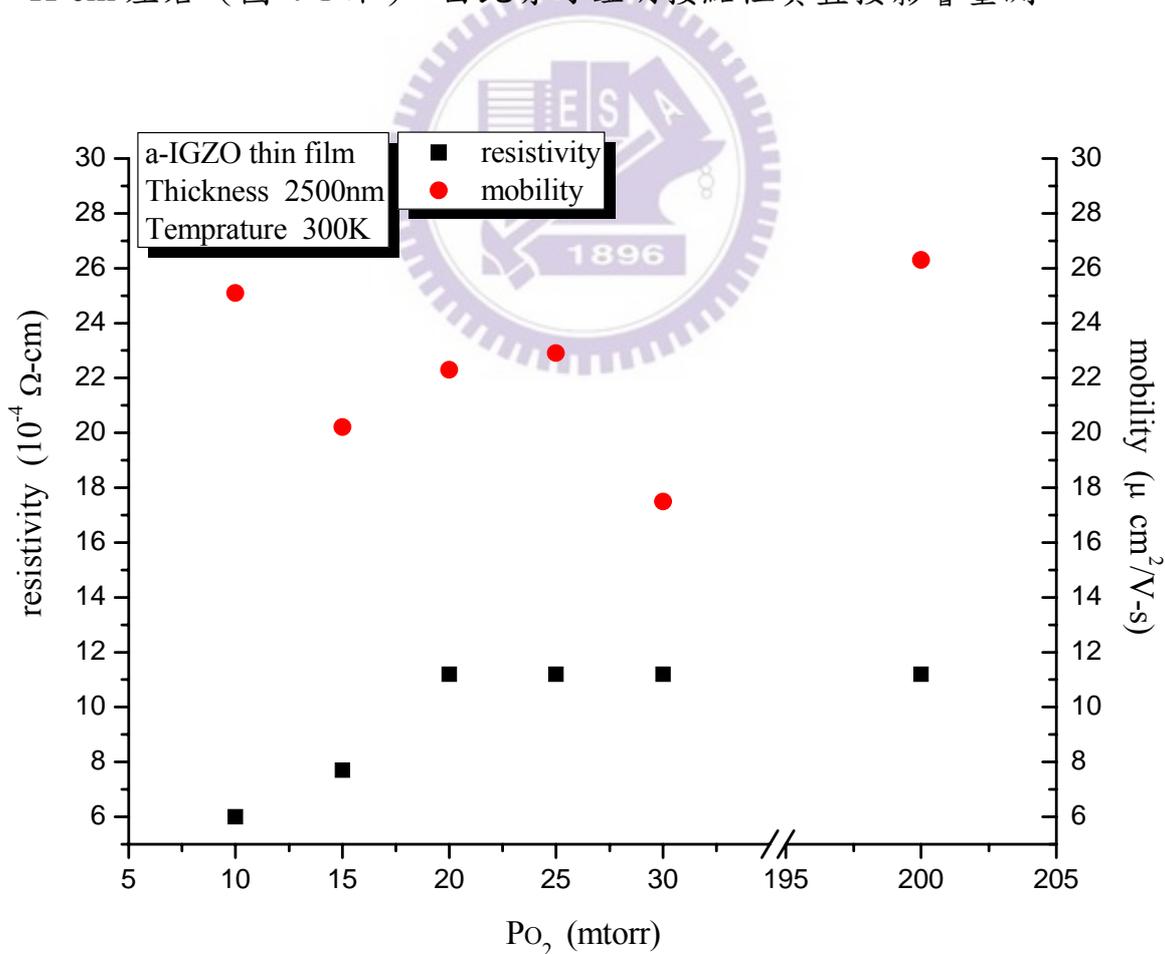


圖 4-1 a-IGZO 薄膜電阻率、電子遷移率對氧壓關係

薄膜電子遷移率大約在  $20\sim 25\text{ cm}^2\text{V}^{-1}\text{S}^{-1}$  左右 (圖 4-1)，較之前研究的結論  $8\sim 12\text{ cm}^2\text{V}^{-1}\text{S}^{-1}$  已提升不少，並與文獻[6]中所報導者接近。可以相信這是鍍膜時薄膜均勻性改善所造成的影響。

另外薄膜霍爾量測顯示 a-IGZO 屬於 n-type，載子濃度約在數量級  $10^{19}\sim 10^{21}\text{ cm}^{-3}$  之間 (圖 4-2 示)。在作為電極的 ITO 薄膜上，我們已得到 25 mtorr 氧壓下沉積，電阻率  $\rho = 10^{-4}\ \Omega\text{-cm}$ 、載子濃度數量級  $10^{22}\sim 10^{23}\text{ cm}^{-3}$  之間的結論；因此元件製程上仍利用可以得到遷移率與電阻率相對理想，但載子濃度偏低的氧壓 20 mtorr 條件來沉積通道。利用較大的載子濃度差 ( $10^2\sim 10^3\text{ cm}^{-3}$ ) 提升電極(ITO)與通道(a-IGZO)之間的接面位障，以改善原本元件電流沒有飽和區 (saturation) 特性的問題。

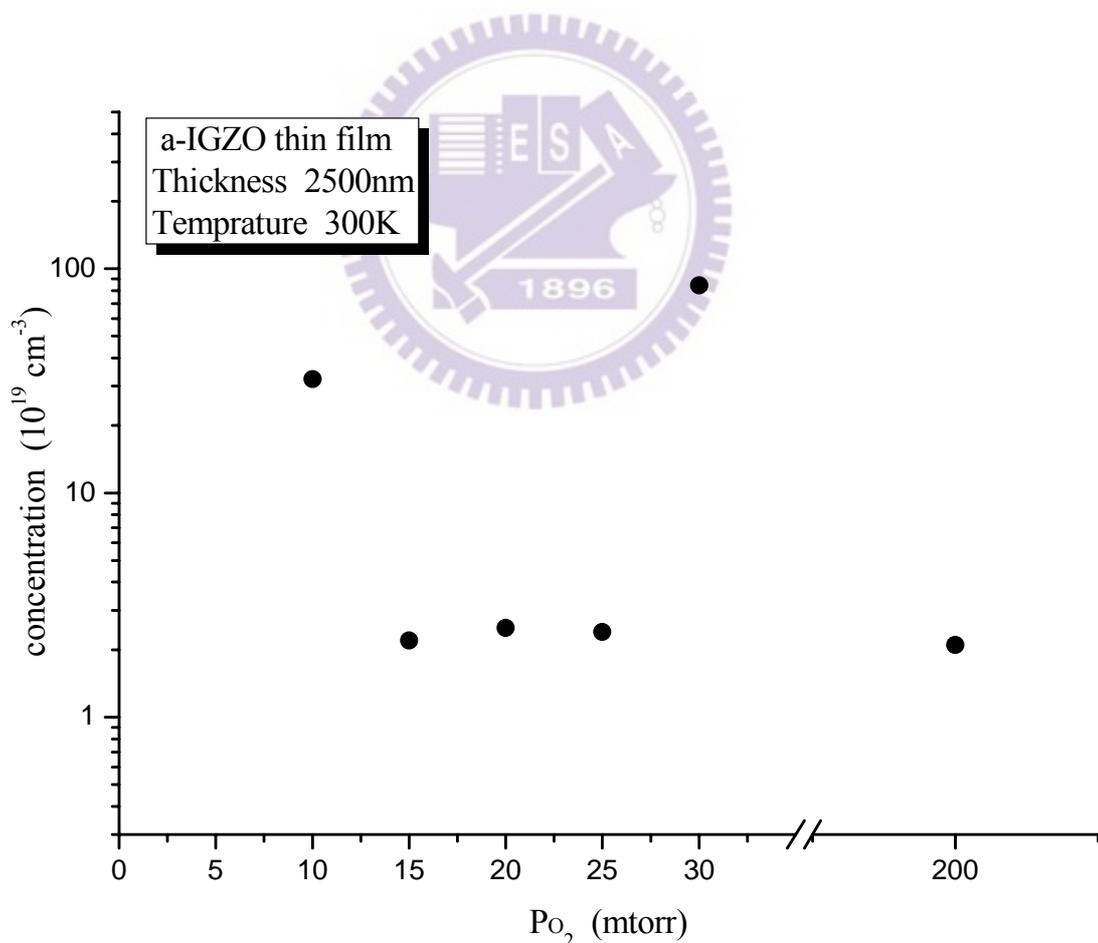


圖 4-2 a-IGZO 薄膜載子濃度對氧壓關係

#### 4-2 SEM 照片與製程的改善：

本元件在製程上原本使用膠片光罩，然而其銳利度差，微影後薄膜邊緣呈現鋸齒狀（圖 4-3a、b）。使得多次 lift-off 製程後，嚴重影響元件特性。在改用鍍鉻光罩之後得到改善（圖 4-4a、b）。不過漏電流卻依然大，甚至曾量測到閘極與通道之間高達  $10^{-6}$ A 的漏電流。經過 SEM 影像的觀察，我們發現絕緣層  $Y_2O_3$  的薄膜品質很差，元件絕緣層薄膜上不均勻顆粒直徑約 100~300 nm（圖 4-5、4-6），然而元件絕緣層厚度僅為 150 nm。因此這些不均勻顆粒成為主要的漏電流路徑，使得元件漏電流大，且無法得到電流操作特性。我們考慮到原本  $Y_2O_3$  靶材燒結溫度可能太低( $1100^{\circ}C$ )，導致鍍膜品質不佳。在重新以  $1400^{\circ}C$  燒結製作  $Y_2O_3$  靶材之後，問題得到解決（圖 4-7）。另外製程上潔淨度的改善，亦較之前一研究妥善許多（圖 4-8、4-9）。

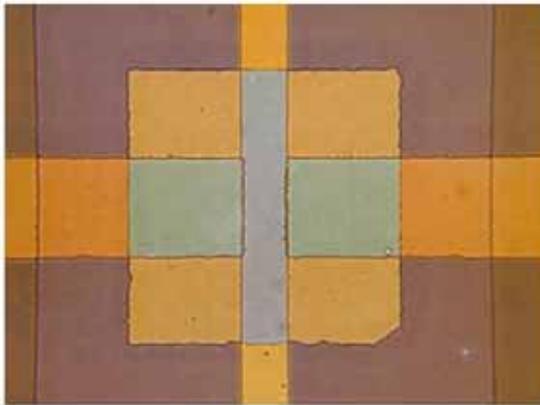


圖 4-3a 膠片光罩製程  
元件光學顯微鏡照片 100x

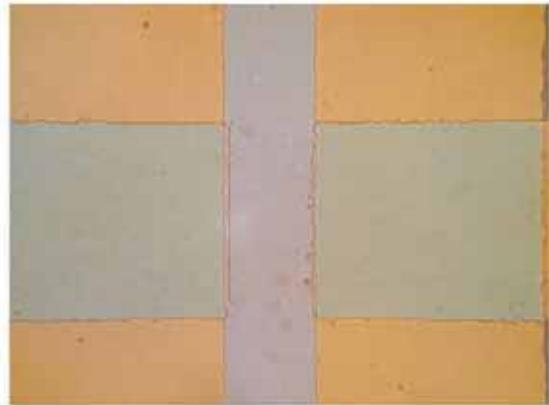


圖 4-3b 300x 照片

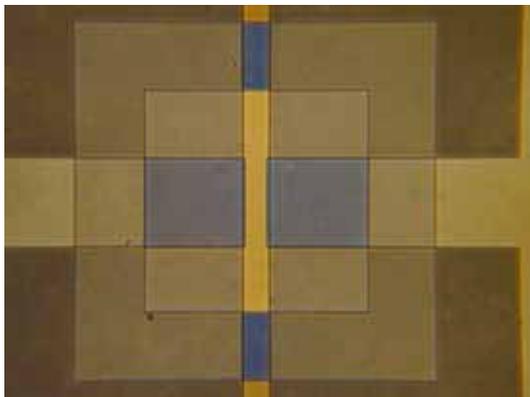


圖 4-4a 膠片光罩製程  
元件光學顯微鏡照片 100x

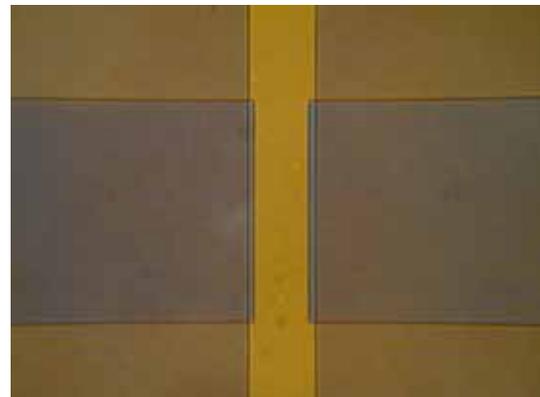


圖 4-4b 300x 照片



圖 4-5 絕緣層表面 SEM 照片 10000x

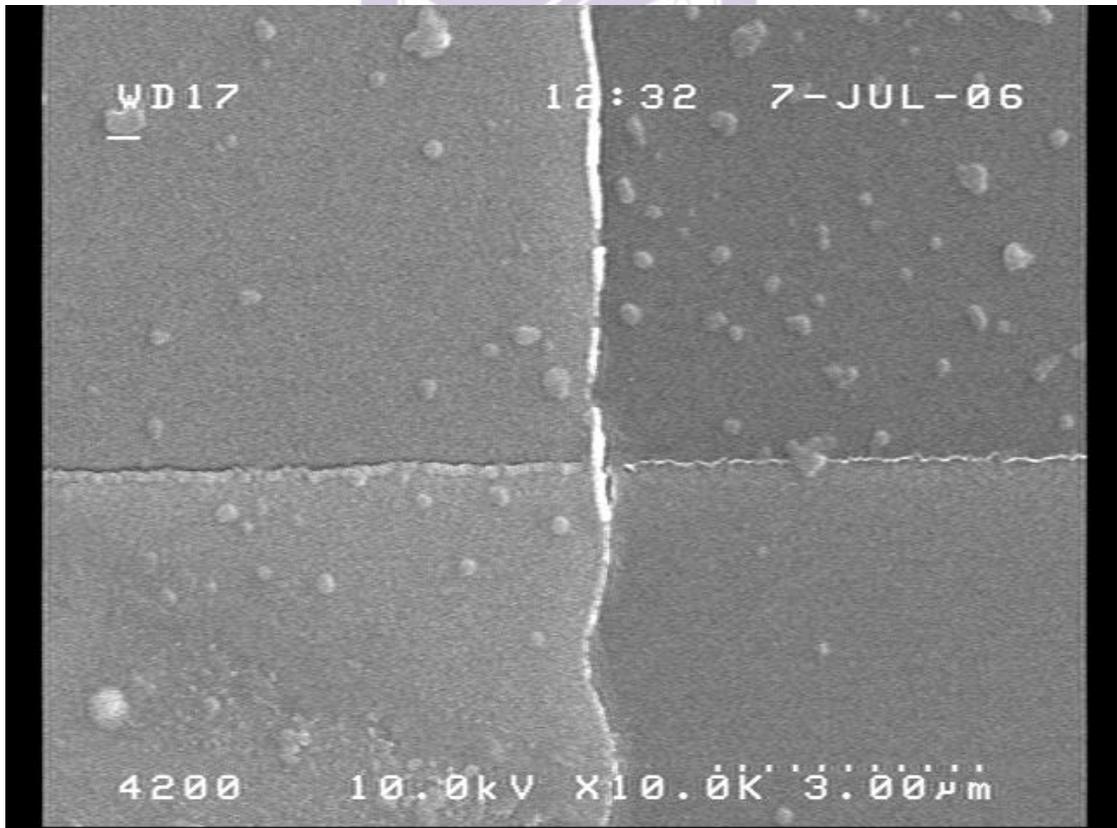


圖 4-6 薄膜交界絕緣層表面 SEM 照片 10000x

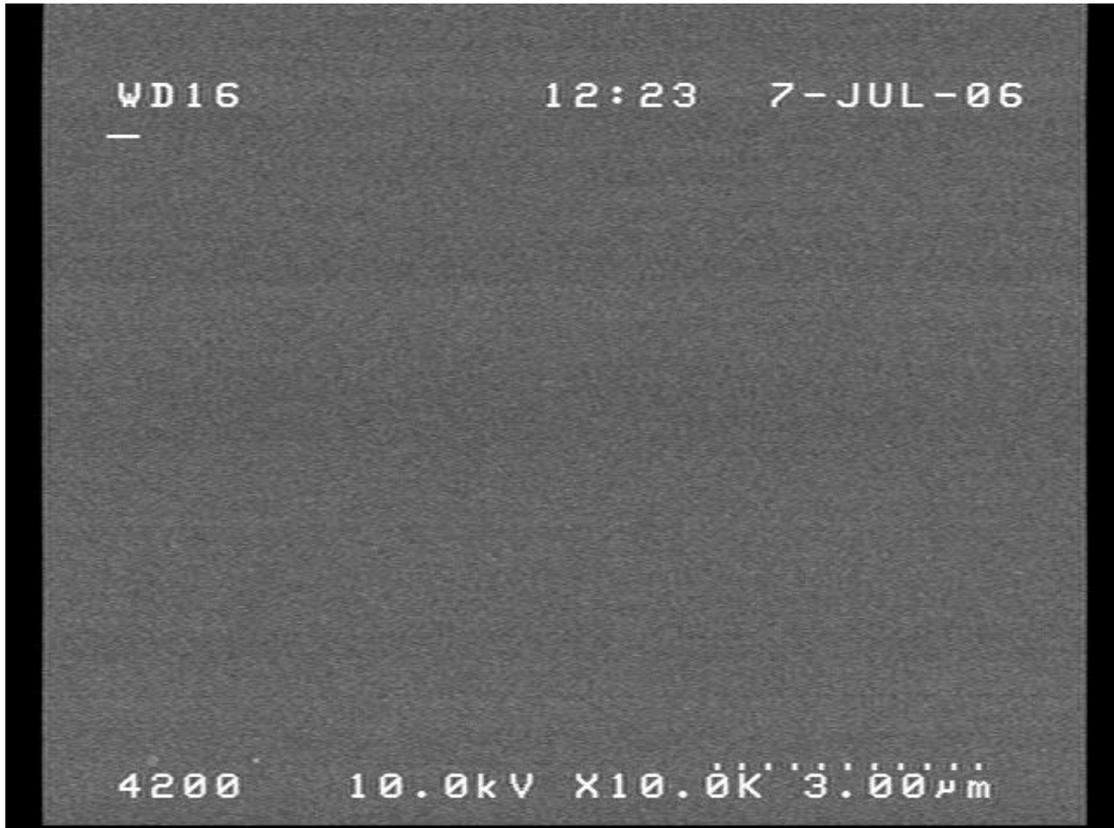


圖 4-7 絕緣層表面 SEM 照片 10000x

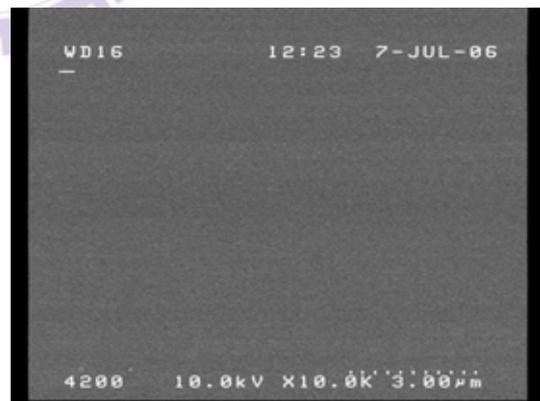
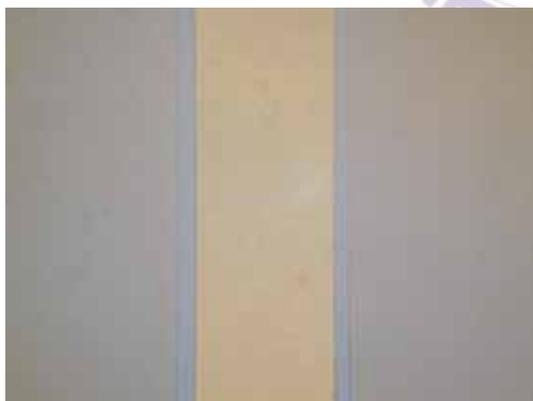


圖 4-8 通道光學顯微鏡照片 600x 圖 4-9 元件通道 SEM 照片 10000x

### 4-3 元件透光率：

本實驗元件外觀如圖 4-10a、b 所示，呈現良好的透光度。而透光率與光波長關係如圖 4-11 所示。其中可見光 400~700 nm 的範圍平均透光率可達到 86.3%，特性良好。(圖中曲線的起伏疑為儀器灰塵所致)。

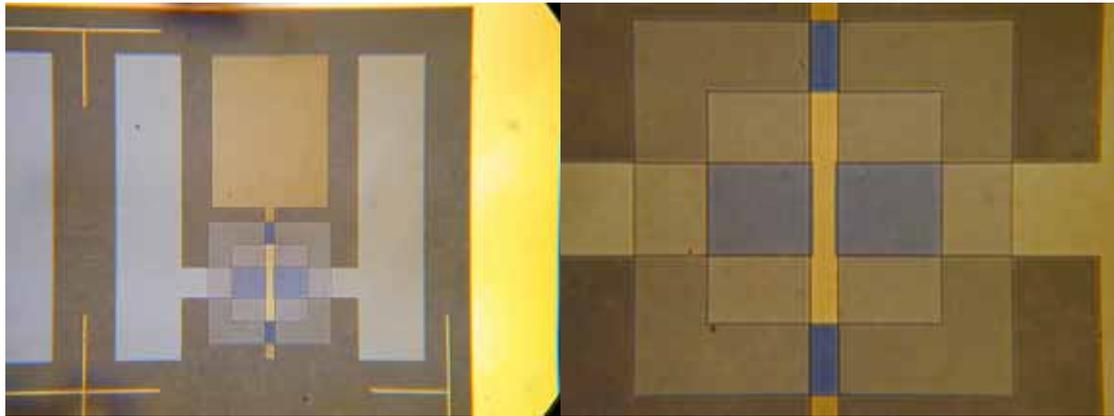


圖 4-10a 元件光學顯微鏡照片  
40x

圖 4-10b 元件光學顯微鏡照片  
100x

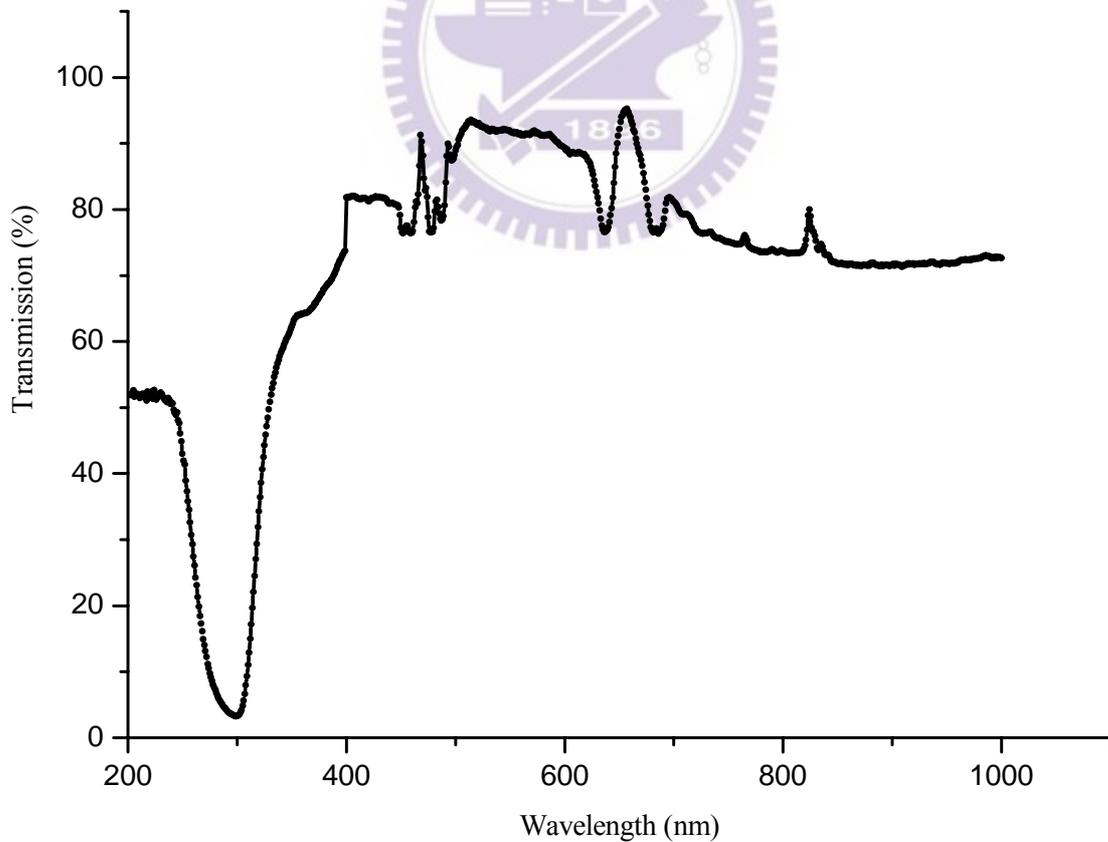


圖 4-11 元件透光率與波長關係

#### 4-4 元件電流-電壓特性：

本實驗依結構設計分成結構 A、結構 B，主要在於通道與電極接面相對位置的不同。而通道長皆為  $50\mu\text{m}$ 、寬長比  $200\mu\text{m}/50\mu\text{m}$ 、電極與通道重疊  $5\mu\text{m}$ 。結構分別如圖 4-12、4-13 所示：

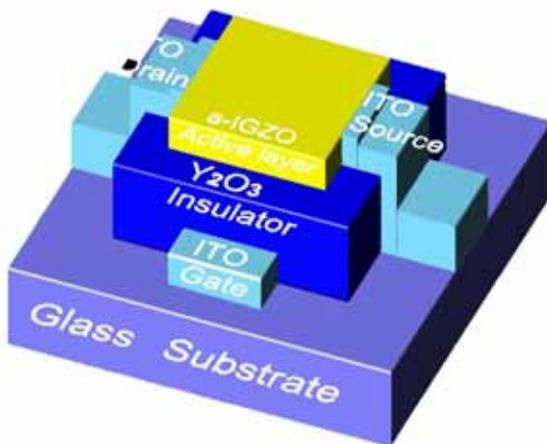


圖 4-12a 元件結構 A 立體示意

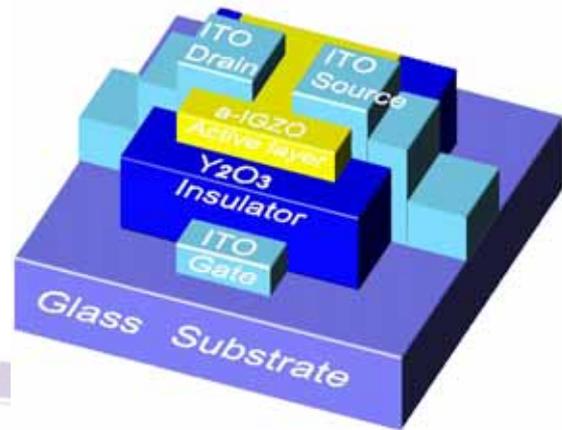


圖 4-13a 元件結構 B 立體示意

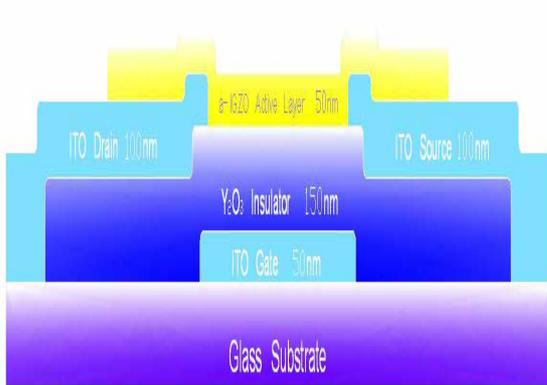


圖 4-12b 元件結構 A 剖面示意

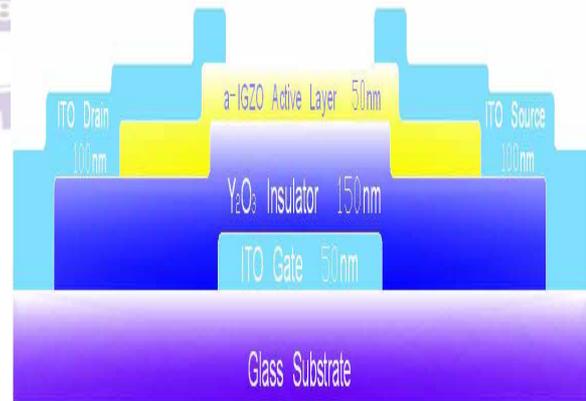


圖 4-13b 元件結構 B 剖面示意

以下分別以結構 A、結構 B 的 I-V 曲線特性來探討設計結果。兩種結構分別以輸出輸入轉換特性 ( $I_D-V_G$ )、絕緣層漏電流 ( $I_G-V_G$ )、元件操作特性 ( $I_D-V_D$ ) 等指標作為比較分析。

結構 A

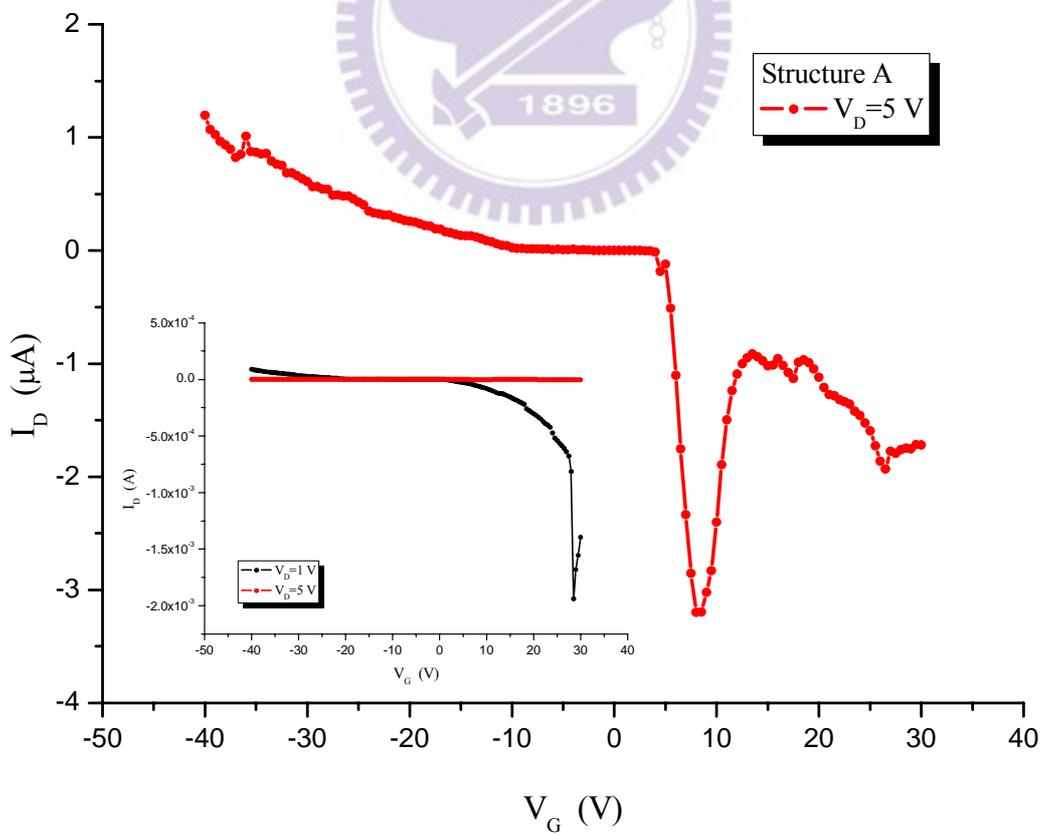
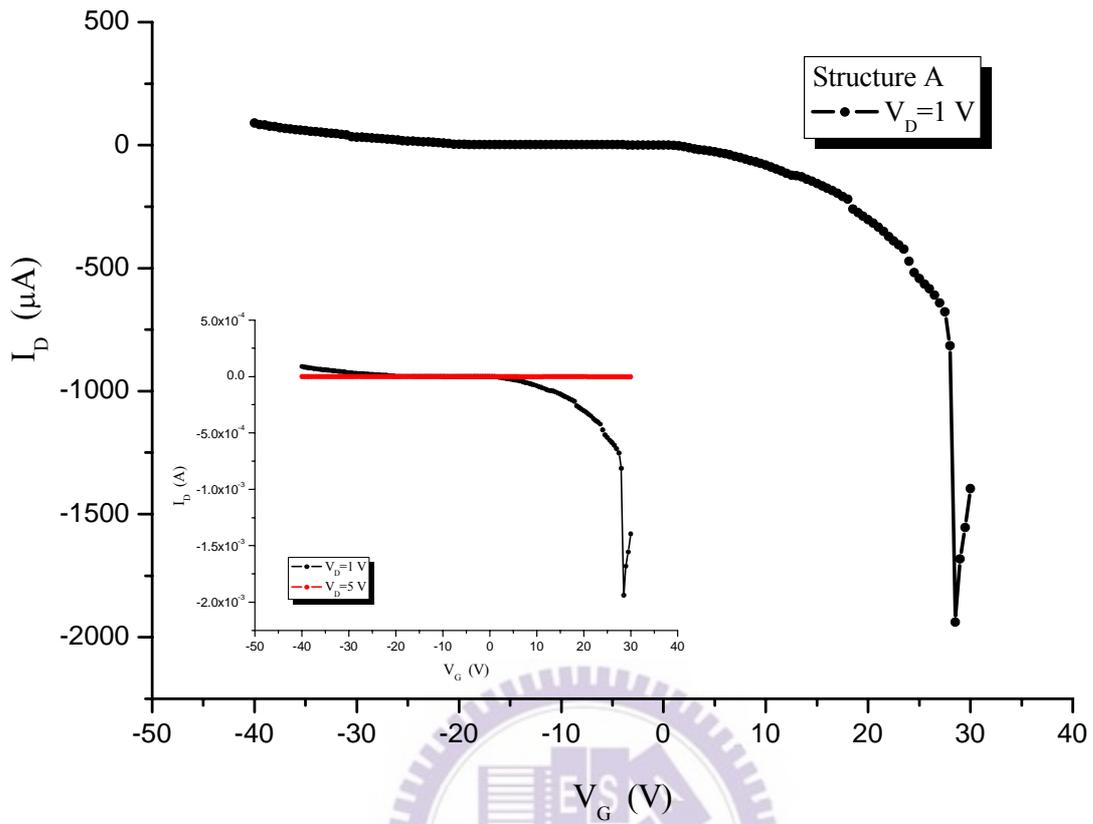


圖 4-14 元件結構 A  $I_D$ - $V_G$  特性

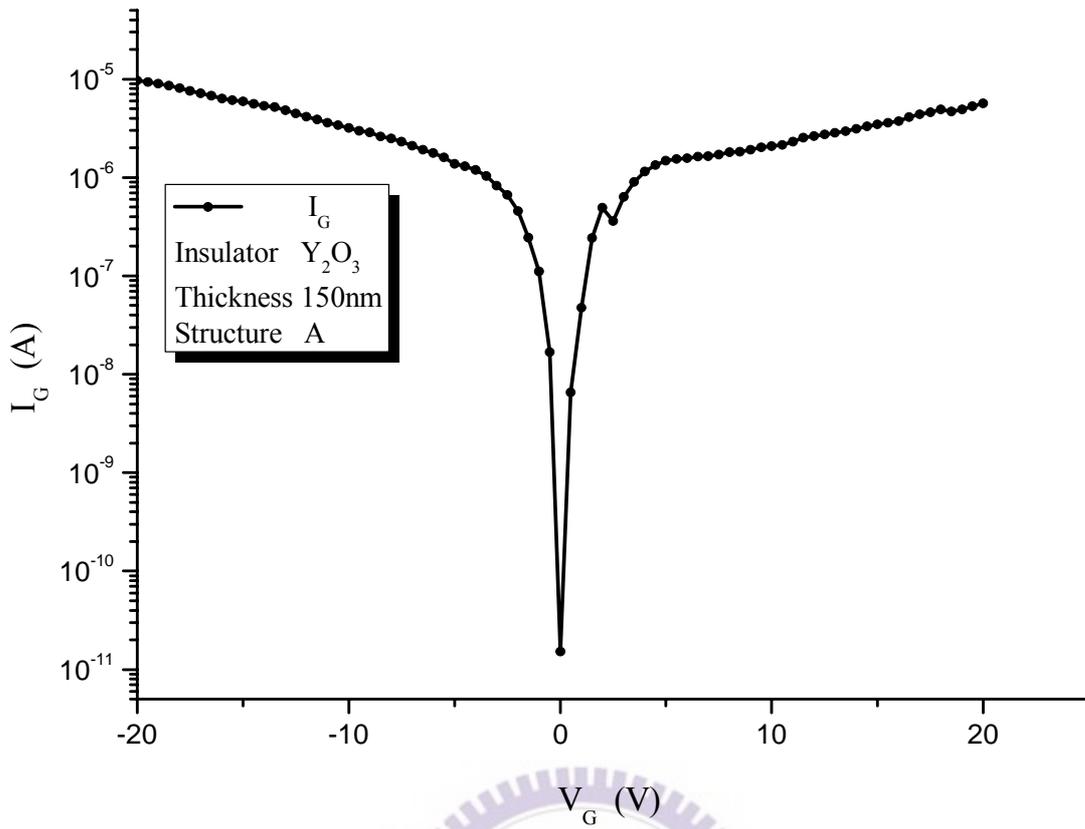


圖 4-15 元件結構 A  $I_G$ - $V_G$  特性

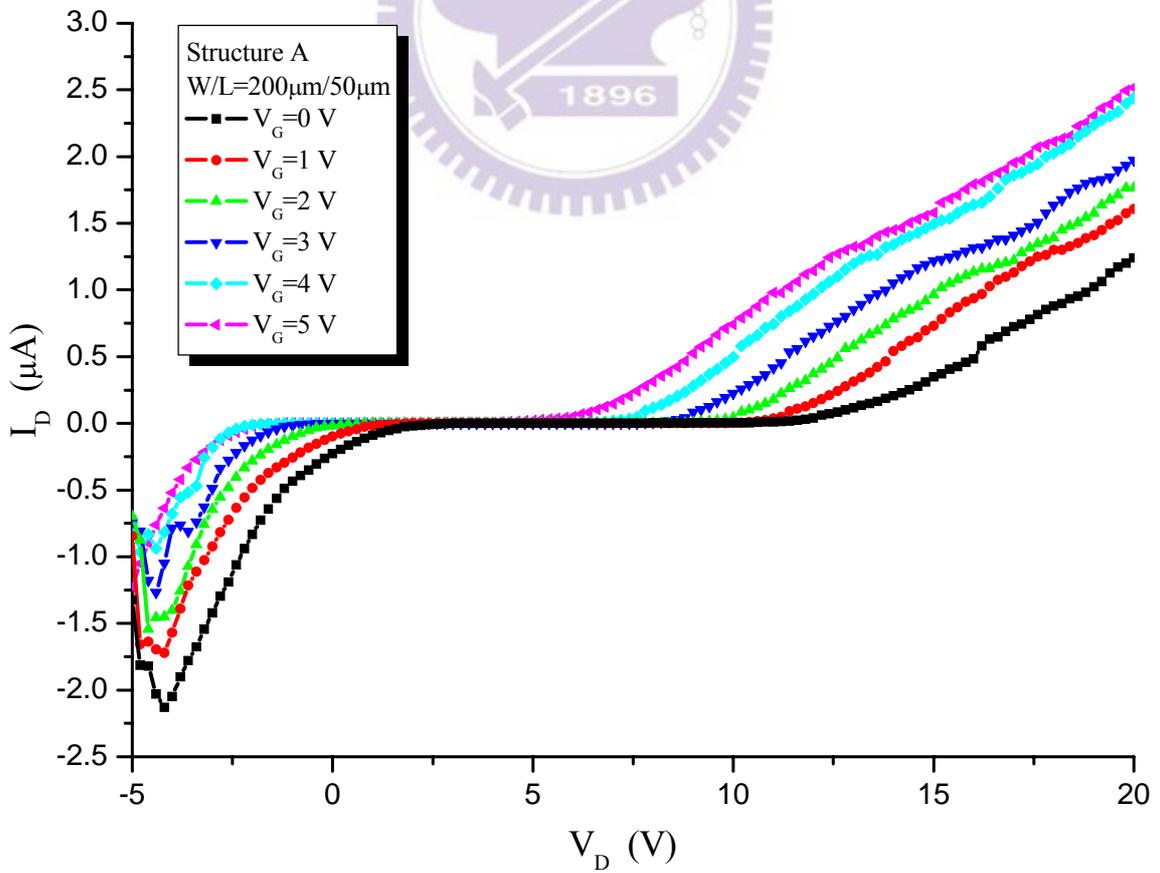


圖 4-16 元件結構 A  $I_D$ - $V_D$  特性

圖 4-14~4-16 顯示以結構 A 設計的元件 I-V 特性。圖 4-14 的  $I_D-V_G$  輸出-輸入轉換特性顯示：當  $V_D=1V$  時，電流直到  $V_G=20V\sim30V$  之間才有一達  $10^3$  倍的電流變化，變化幅度由截止到  $-2000\mu A$ ；而當  $V_D=5V$  時，電流在  $V_G=5V\sim15V$  之間出現轉換特性，元件電流由截止到  $-3.5\mu A$  作變化（由於數據尺度落差太大，兩曲線再合併作圖分別於圖片左下方）。而圖 4-15 的  $I_G-V_G$  特性則顯示絕緣層漏電流最低到  $10^{-11}A$ ，在  $V_G=\pm 20V$  到達  $10^{-5}A$ 。基本上，圖 4-14、4-15 的結果代表結構 A 設計的元件並沒有轉換特性；亦即沒有閘極電壓控制電流的功能。在汲極電壓小 ( $V_D=1V$ )、閘極電壓  $V_G=20V\sim30V$  時，出現的毫安培等級逆向電流，很可能屬於在高閘極偏壓 (Gate bias  $V_G > 20V$ ) 之下，由閘極穿過絕緣層流向汲極的漏電流。而在汲極電壓  $V_D=5V$ 、 $V_G=5V\sim15V$  時，電流皆屬於微安培等級的狀況，僅有  $3.5\mu A$  的差異。亦等於無轉換特性。

圖 4-16 顯示  $I_D-V_D$  元件操作特性，結果顯示曲線並沒有飽和區特性；汲極偏壓介於  $-5V\sim20V$  之間時，整體電流曲線呈現著有一點類似於二極體的整流特性。從前面圖 4-14 的特性而言，此結果不令人意外。由於閘極電壓不能控制通道電流，所以電流特性只能反應出接面整流特性。

結構 B

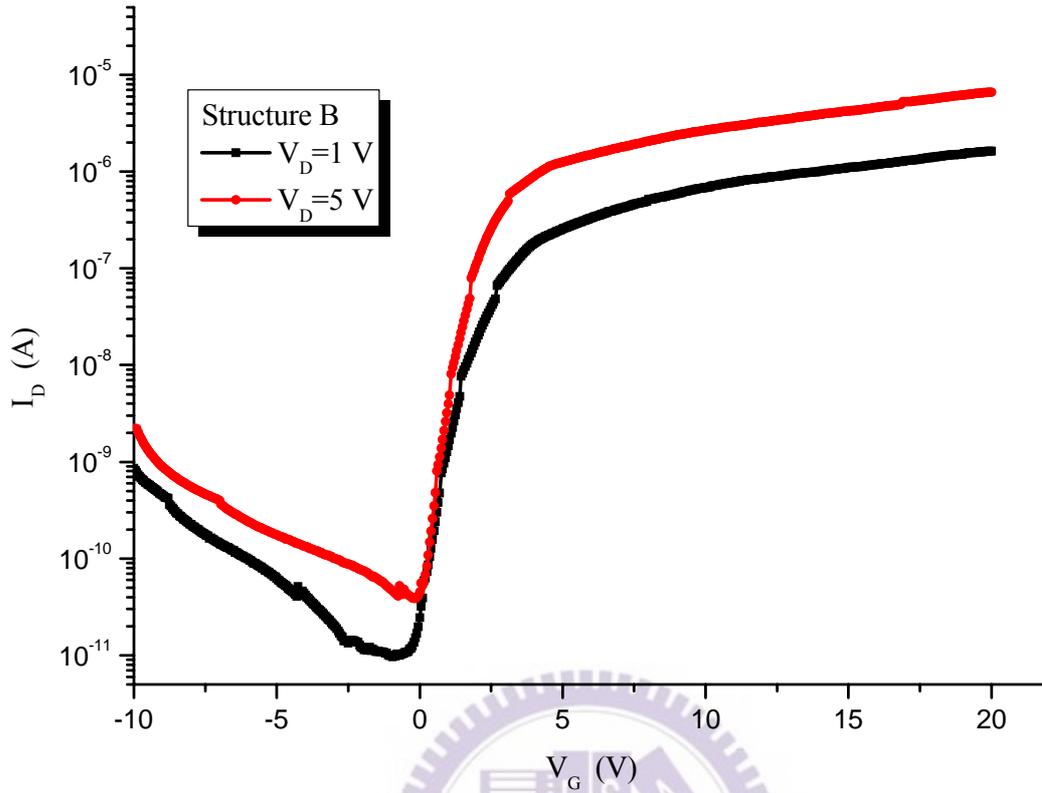


圖 4-17 元件結構 B  $I_D$ - $V_G$  特性

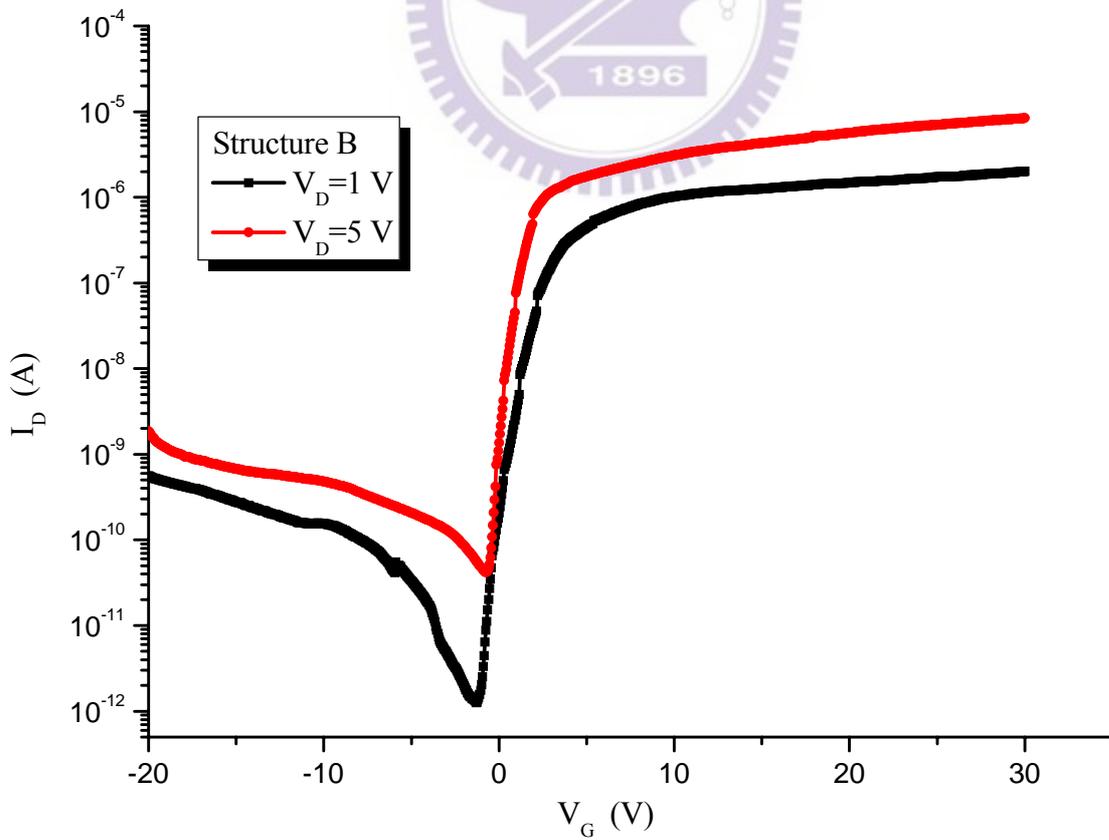


圖 4-18 元件結構 B  $I_D$ - $V_G$  特性

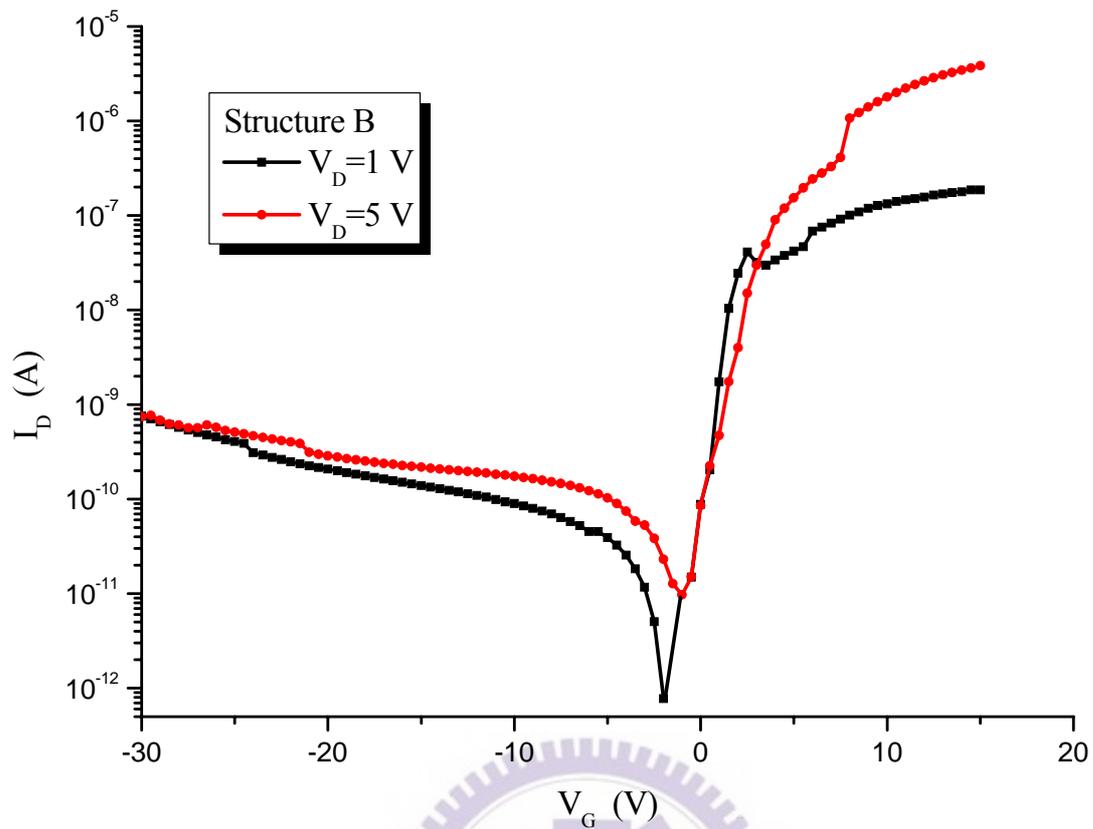


圖 4-19 元件結構 B  $I_D$ - $V_G$  特性

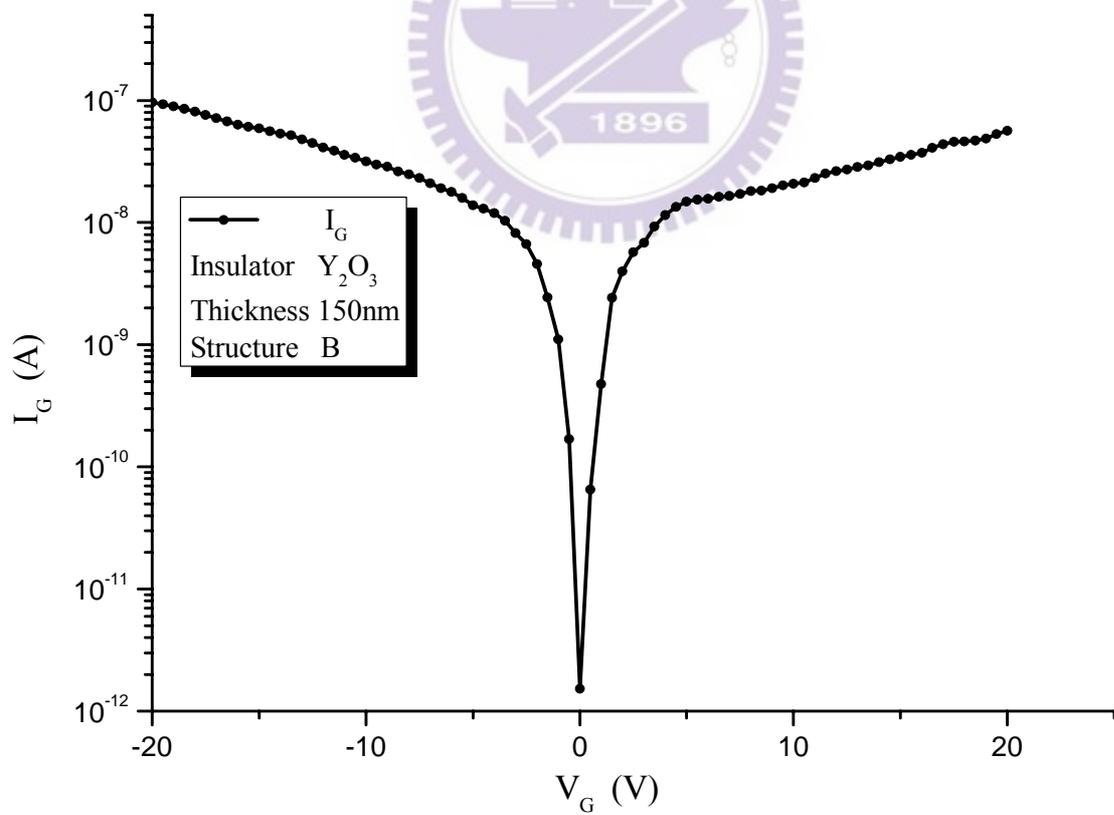


圖 4-20 元件結構 B  $I_G$ - $V_G$  特性

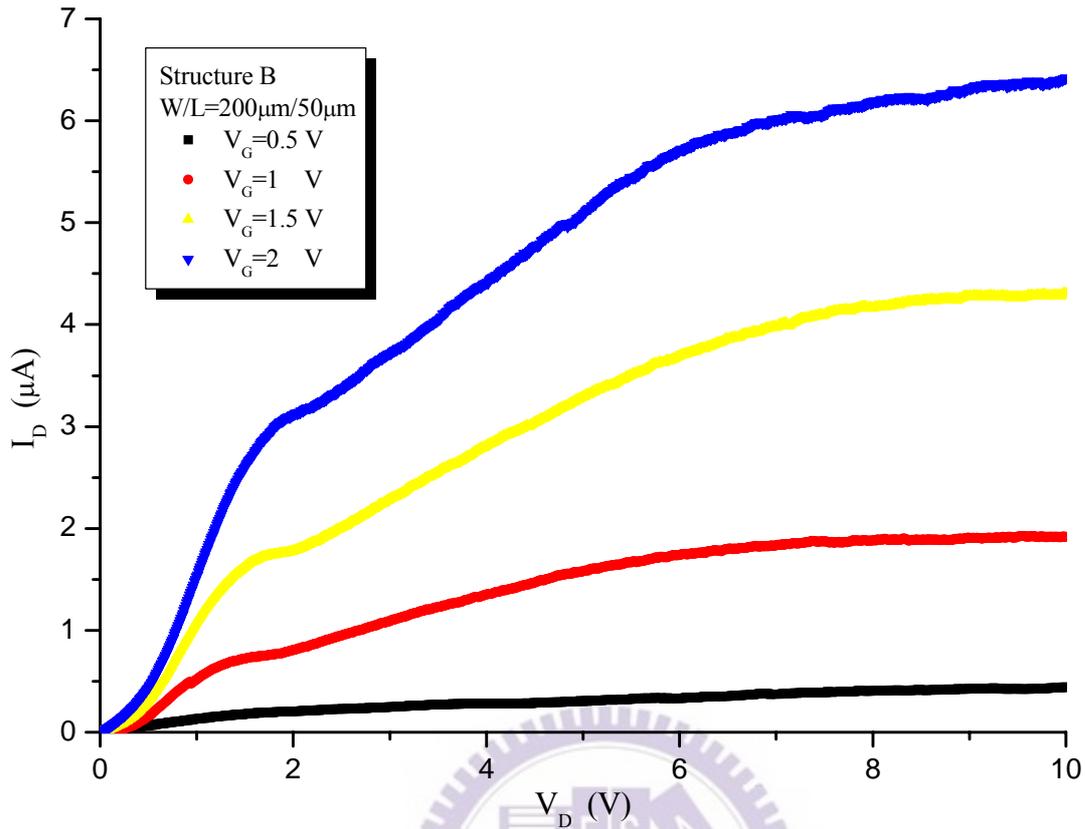


圖 4-21 元件結構 B  $I_D$ - $V_D$ 特性

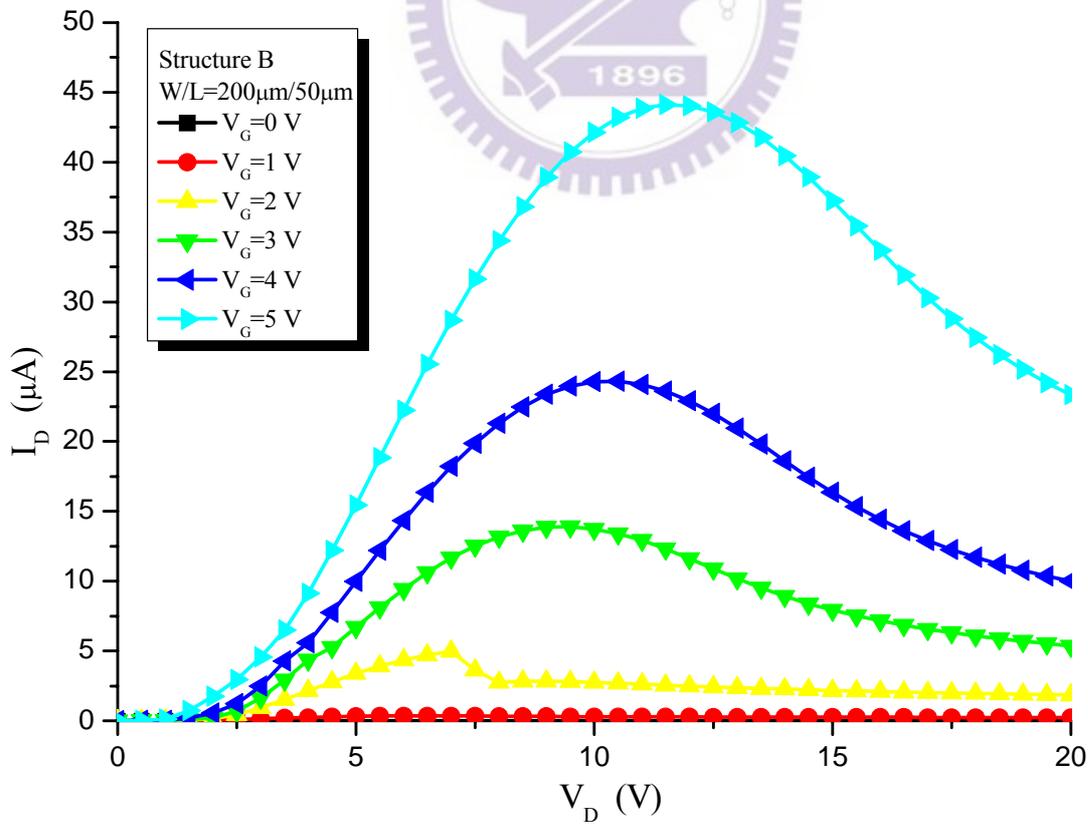


圖 4-22 元件結構 B  $I_D$ - $V_D$ 特性

圖 4-17~4-22 顯示以結構 B 設計的元件 I-V 特性。圖 4-17 顯示元件結構 B 的  $I_D$ - $V_G$  輸出-輸入轉換特性，而圖 4-18、4-19 為逐漸加大閘極偏壓以觀察元件漏電流的特性。結果顯示，以結構 B 而言得到了很好的轉換特性：開關電流比在  $V_D=1$ 、5V 時都可呈現至  $10^5\sim 10^6$  倍，汲極偏壓 5V、閘極偏壓到很高的 -30V 時，最高漏電流僅有  $10^{-9}$ A，元件關閉時最低漏電流僅  $10^{-12}$ A。可說是良好的元件特性。

圖 4-20 顯示元件結構 B 的  $I_G$ - $V_G$  絕緣層漏電流特性。在  $V_G=-20$ V~ $+20$ V 之間最高只有  $10^{-7}$ A，最低只有  $10^{-12}$ A。電流曲線以  $V_G=0$  為軸線左右對稱，可以代表絕緣層薄膜結構良好，沒有薄膜厚度不均勻的問題。圖 4-21、4-22 顯示  $I_D$ - $V_D$  元件操作特性。其中圖 4-21 為  $V_G=0\sim 2$ V 時的電流特性，而圖 4-22 則為  $V_G=0\sim 5$ V 的電流特性。可以觀察到元件已經具備飽和區電流特性，若是從之前的轉換特性看來，這是很合理的結果。然而從電流大小比較則發現：(1)當電流在小偏壓元件剛導通(元件操作在三極體區"triode region")時，元件電流非線性上升，呈現電流導通不順的現象。(2)當電流隨閘極電壓變大而提升至  $10^{-5}$ A 範圍時(圖 4-22)，曲線進入飽和區後卻隨即衰減，顯示出負電阻的行為；而圖 4-21 電流屬於  $10^{-6}$ A 範圍時，則沒有這樣的情況。

由以上數據得知結構 A 特性明顯不如結構 B。在  $I_D$ - $V_G$  特性比較上(圖 4-14、17~19)，結構 A 可以說沒有電流轉換特性，通道電流不受閘極電壓控制，只在閘極高偏壓時顯示出，閘極穿過絕緣層流向汲極的反向漏電流。很遺憾地，結構 A 的元件設計沒有成功。

而相對地結構 B 的特性已可充份滿足 TFT 元件作為電流開關的需求，特性相當良好。不過從 I-V 曲線可看出，當汲極電壓  $V_D < 2$ V，元件電流剛開啟時曲線非線性，電流導通不順，呈現出異質接面的特性。另外當元件電流提升後卻不夠穩定，電流提升之後隨即衰減。這種負電阻特性也意味著元件遷移率的下降。

元件臨界電壓  $V_T$  約為 0.5~1V。元件轉導參數(transconductor  $g_m$ ) 最高為  $0.68\mu\text{A/V}$  ( $\partial I_{DS} / \partial V_{GS}$   $V_{DS}=5$ V)。元件遷移率在  $V_G=5$ V 時： $\mu_{\text{sat}}=8\sim 14 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ ； $V_G=4$ V 時： $\mu_{\text{sat}}=7\sim 14 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ ； $V_G=3$ V 時： $\mu_{\text{sat}}=10\sim 19 \text{ cm}^2\text{V}^{-1}\text{S}^{-1}$  ( $I_D = W/2L \cdot C_{\text{ox}} \mu_{\text{sat}} (V_{GS} - V_T)^2$   $V_T=1$ V)。

#### 4-5 結果討論：

##### 1 結構 A 沒有元件特性：

在原本的考慮中，結構 A 的設計上希望可以降低接面的接觸面積，使載子傳輸更加順利；然而結果卻無法得到元件特性，閘極電壓無法控制電流開關，且漏電流大。其原因可能為（1）電極與通道界面性質不理想：由於製程是 lift-off 方式，薄膜被直接掀起可能造成邊緣性質不好（如圖 4-23、24 所示）；以結構 A 而言薄膜邊緣特性影響載子傳輸很大。所以 lift-off 之後，若是通道層 a-IGZO 薄膜沉積在性質不佳的汲極、源極 ITO 薄膜邊緣，即造成載子傳輸不理想。而絕緣層  $Y_2O_3$  沉積在邊緣性質不理想的閘極之上，也可能會沉積不好而造成很大的漏電流。另外性質不理想的薄膜邊緣，也可能使製程上光阻或雜質殘留而污染接面的機率大為提高，使得元件特性劣化。（2）薄膜載子是利用聲子熱能的跳躍(hopping)式或穿隧(tunneling)式傳輸，在界面同是 n-type 的狀況下，能障高度與寬度不大，載子可能會因為不甚高的能障直接跳過狹窄的通道，而不受閘極電壓控制。

##### 2 結構 B 的特性：

元件剛開啟時 ( $V_D < 2V$ ) 的 I-V 曲線非線性、電流不暢通現象，彰顯了結構上設計的異質界面性質；基本上電極 ITO 與通道 a-IGZO 載子濃度差約  $10^3$  倍，在界面面積大，載子起始時獲得的能量不夠，無法順利的穿過能障；直到電壓上升，能量足夠跳過或穿隧過能障後，電流才開始上升，所以曲線呈現出類似 Schottky contact 的非線性現象。雖然本實驗材料都是非晶相，但由  $I_D-V_G$  曲線轉換的陡峭程度，可以判斷此一現象應該與界面缺陷捕陷載子的效應 (interface state) 無關；並且以  $I_D-V_G$  曲線的陡峭現象而言，代表著載子在電壓切換時迅速通過界面，並沒有滯留或堆積的情況，這也是薄膜界面缺陷密度並不會太高的一種旁證。

以操作特性而言，當  $I_D-V_D$  特性電流變大至  $10^5 A$  幅度時，電流卻隨電壓上升而下降，呈現出負電阻的效應；並且電流越大，電流衰減的幅度也越大。再加上以圖 4-19 而言，偏壓範圍變大後，曲線出

現不平滑的現象。因此根據這些電流電壓變大而造成特性衰減的現象，我們推測是電晶體的自我加熱效應(self-heating)所致。隨著汲極偏壓加大電場上升，在原子無序排列的非晶薄膜內傳輸的載子速度加快，與薄膜原子的碰撞散射頻率變大，溫度隨之提升；而溫度提升後聲子散射(phonon scattering)的效應也隨之提升，使得遷移率降低，於是導通電流隨之降低，而造成所觀察到的負電阻 I-V 特性。



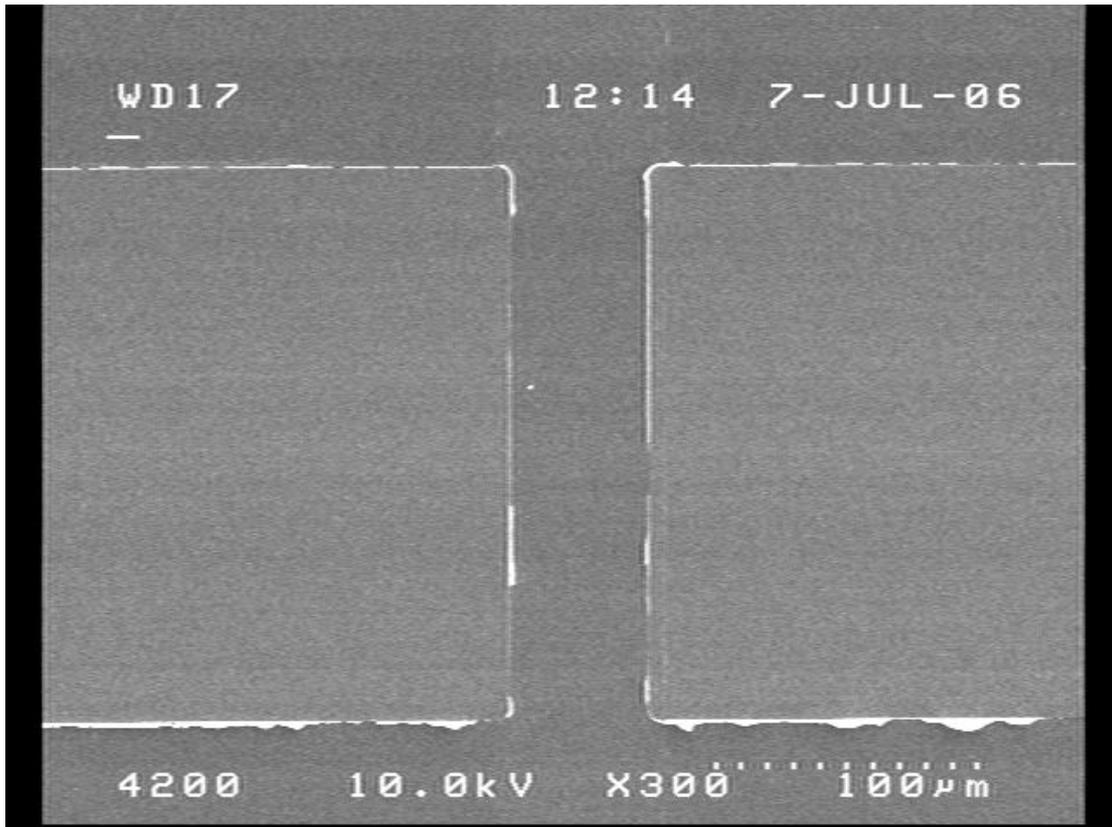


圖 4-23 結構 A 薄膜邊緣 SEM 照片 300x

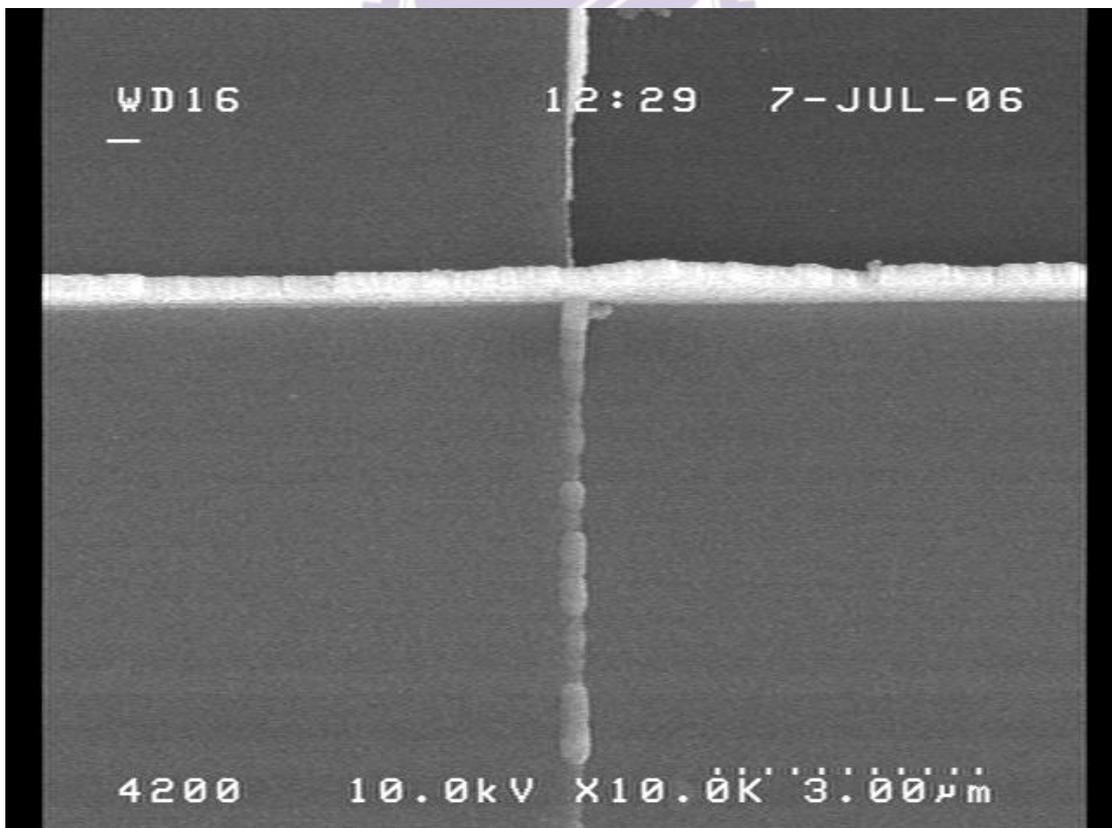


圖 4-24 結構 A 薄膜邊緣 SEM 照片 10000x

## 第五章 結論

經過鍍金接點後的霍爾量測、製程上靶材燒結、薄膜均勻性、微影光罩對準、潔淨度的種種改善，以及結構的重新設計。我們終於使用底部閘極的結構製成擁有高開關電流比  $10^5 \sim 10^6$ 、低元件截止電流  $10^{-12} \text{A}$ 、高元件遷移率  $\mu_{\text{sat}} = 7 \sim 19 \text{ cm}^2 \text{V}^{-1} \text{S}^{-1}$  以及可見光平均透光率 86.3% 的透明薄膜電晶體。對於載子濃度的重新界定。我們考量到利用載子濃度差，提昇接面位障，來改善電流不受閘極偏壓控制的問題；不過卻犧牲了電流開啟時的特性。以下是總結以及未來工作展望：

### 5-1 要點歸納：

#### 1 a-IGZO 的接面性質：

由霍爾量測與元件特性可得知，a-IGZO 與金屬以及 ITO 的接面具有 Schottky contact 的異質接面特性。雖然元件電極與通道的整流特性依此性質，而利用載子濃度差來設計形成，卻可能造成剛導通時電流特性非線性與導通不順。

#### 2 Lift-off 製程：

室溫下利用 Lift-off 製程大幅簡化了製程步驟；然而薄膜掀離後邊緣特性較差，因此只有結構 B 得到元件特性。這部份也證明了使用頂部閘極結構時，狹長的閘極薄膜跨越在絕緣層與通道層薄膜邊緣，將使閘極電性變差；因此上個研究之中元件特性不理想。

#### 3 元件自我加熱效應：

由電流曲線特性發現，當元件電流提升時，會有電流隨電壓提升而下降的負電阻效應；這意味著元件遷移率的下降（變化幅度約從  $14 \sim 8$ 、 $14 \sim 7$ 、 $19 \sim 10 \text{ cm}^2 \text{V}^{-1} \text{S}^{-1}$ ）。我們推測當電流提升，載子碰撞與散射的機率變大，使薄膜溫度提升，便隨之使遷移率降低。這種狀況類似於矽製 TFT 的自我加熱（self-heating）機制。

## 5-2 未來工作：

AOS 是深具潛力的透明、寬能隙半導體材料，尤其可於室溫下沉積、可撓曲，更是極大的優點。然而其詳細物理機制的研究仍有待努力。結構上而言，使用 Lift-off 製程的條件下，底部閘極結構比之頂部閘極較為優良；不過其接面特性的提升仍有待進步。所以如何能夠更精準地控制薄膜載子濃度，是未來重要的一項課題。

在 a-IGZO 作為主動層而構成之 TFT 的優點已被證實之後，薄膜沉積、製程的再進步，就是剩下來的最重要工作。如何更快、更均勻、大面積的沉積薄膜、載子濃度的精確控制、Lift-off 製程的進步，或是更好的室溫製程…這些則是未來可以再繼續、再更進一步研究探討的部份。



## 參考文獻

- [1]. “Flat panel display 2005” 葉文昌，劉松柏等 譯，「平面顯示器及未來發展趨勢. 2005, 技術篇」，龍環文化，民國 94 年。
- [2]. Kenji Nomura, Hiromichi Ohta, Akihiro Takagi, Toshio Kamiya, Masahiro Hirano & Hideo Hosono, *Nature* **432**, 488 (2004).
- [3]. 陳建利，國立交通大學，碩士論文，民國 94 年。
- [4]. Akihiro Takagi, Kenji Nomura, Hiromichi Ohta, Hiroshi Yanagi, Toshio Kamiya, Masahiro Hirano & Hideo Hosono, *Thin Solid Films* **486**, 38 (2005).
- [5]. Hiromichi Ohta, Kenji Nomura, Hidenori Hiramatsu, Kazushige Ueda, Toshio Kamiya, Masahiro Hirano & Hideo Hosono, *Solid-State Electronics* **47**, 2261 (2003).
- [6]. Masahiro Orita, Hiromichi Ohta, Masahiro Hirano, Satoru Narushima & Hideo Hosono, *Phil. Mag. B* **81**, 501 (2001).
- [7]. D. C. Paine, T. Whitson, D. Janiac, R. Beresford, C. Ow-Yang & B. Lewis, *Appl. Phys.* **85**, 8445 (1999).
- [8]. M. Yasukawa, Hideo Hosono, N. Ueda & H. Kawazoe, *Jpn. J. Appl. Phys.* **34**, L281 (1996).
- [9]. Hideo Hosono, N. Kukuchi, N. Ueda, H. Kawazoe & K. Shimizu, *Appl. Phys. Lett.* **67**, 2663 (1995).
- [10]. Hideo Hosono, Y. Yamashita, N. Ueda, H. Kawazoe & K. Shimizu, *Appl. Phys. Lett.* **68**, 661 (1996).
- [11]. J. D. Perkins, J. A. del Cueto, J. L. Alleman, C. Warmsingh, B. M. Keyes, L. M. Gedvilas, P. A. Parilla, B. To, D. W. Readey, D. S. Ginley, *Thin Solid Films* **411**, 152 (2002).
- [12]. Toshio Kamiya, Satoru Narushima, Hiroshi Mizoguchi, Ken-ichi Shimizu, Kazushige Ueda, Hiromichi Ohta, Masahiro Hirano &

- Hideo Hosono, *Adv. Funct. Mater.* **15**, 968 (2005).
- [13]. H. Kawazoe, M. Yasukawa, H. Hyodo, M. Kurita, H. Yanagi & Hideo Hosono, *Nature* **389**, 939 (1997).
- [14]. Kazushige Ueda, T. Hase, H. Yanagi, H. Kawazoe, Hideo Hosono, Hiromichi Ohta, Masahiro Orita & Masahiro Hirano, *J. Appl. Phys.* **89**, 1790 (2001).
- [15]. H. Yanagi, T. Hase, S. Ibuki, Kazushige Ueda & Hideo Hosono, *Appl. Phys. Lett.* **78**, 1583 (2001).
- [16]. A. Kudo, H. Yanagi, Hideo Hosono & H. Kawazoe, *Appl. Phys. Lett.* **73**, 220 (1998).
- [17]. Masahiro Orita, Hiroaki Tanji, Masataka Mizuho, Hirohiko Adachi & Isao Tanaka, *Phys. Rev. B* **61**, 1811 (2000).
- [18]. Hiromichi Ohta, Kenji Nomura, Masahiro Orita, Masahiro Hirano, Kazushige Ueda, Toshiyuki Suzuki, Yuichi Ikuhara, & Hideo Hosono, *Adv. Funct. Mater.* **13**, 139 (2003).
- [19]. Kenji Nomura, Toshio Kamiya, Hiromichi Ohta, Kazushige Ueda, Masahiro Hirano & Hideo Hosono, *Appl. Phys. Lett.* **85**, 1993 (2004).
- [20]. Kenji Nomura, Hiromichi Ohta, Kazushige Ueda, Toshio Kamiya, Masahiro Hirano & Hideo Hosono, *Science* **300**, 1269 (2003).
- [21]. 紀國鐘，鄭晃忠主編，「液晶顯示器技術手冊」，四版，台灣電子材料與元件協會，民國 93 年。
- [22]. Donald A. Neamen, “*Semiconductor Physics & Device*”, 3/E, Ch9. (2003).