

# 矽化金屬互補式半導體製程之 新型靜電放電防護元件

學生：陳啟銘

指導教授：柯明道 教授

國立交通大學電機資訊學院 電子與光電學程 (研究所)碩士班

## 摘要

矽化金屬沉積(salicidation)是高速互補式金氧半導體的重要製程技術，然而當此項技術應用在 N 型金氧半導體靜電放電保護元件上便有幾項問題存在，其中最重要的問題是 N 型金氧半導體元件的靜電放電保護準位過低。因為矽化金屬沉積降低汲極端的平穩電阻，使得電流集中在表面，因此產生多手指機制均勻啟動失效的問題以致於降低半導體靜電放電保護元件的 ESD 準位。所以如何在汲極與閘極之間形成一個適當平穩的電阻便是一個重要的課題。一般有幾種解決方式如汲極端的阻絕(salicide blocking of drain side)，使用額外的 N-well 平穩電阻(external N-well ballast resistors)，靜電放電防護元件植佈方法(ESD implantation methods)。然而汲極端的阻絕因為使用較多道製程，成本較高，而且存在因為蝕刻阻絕材料造成的漏電流的問題。而靜電放電保護元件植佈方法則有成本高及例如熱載子的可靠性問題，本篇論文中利用 N-well 電阻加在 N 型金氧半導體元件的汲極端，同時在 N-Well 電阻上方形成 Field Oxide (FOX)，假性閘極(dummy-gate)。如此分別在 FOX, 假性閘極下方的 N-Well 電阻解決了 ESD 準位過低的問題，這些 N 型金氧半導體元件不需要額外的製程便可以被製造出來。

為了與新型元件做比較，傳統的矽化金屬沉積 N 型金氧半導體元件，以及使用矽化金屬阻絕(salicide blocking)的元件將一併被製造，而這四種靜電放電防護 N 型金氧半導體元件將被提出來討論比較。



# New ESD Protection Devices with Dummy-Gate Structure in a Fully-Salicided CMOS Technology

Student: Chi-Ming Chen

Advisor: Prof. Ming-Dou Ker

*Degree Program of Electrical Engineering and Computer Science  
National Chiao-Tung University*



## ABSTRACT

Salicidation is one of the key processes for high performance quarter-micron CMOS devices. However, several problems occur when salicide technology is implemented in ESD protection NMOS transistors. The most difficult problem is the low ESD robustness of output NMOS transistors. A salicided drain may reduce the desired ballast resistance at the drain junction, which results in current localization and failure of multi-finger uniform turn-on, thus the ESD characteristics will be degraded very much. It's very important to make a ballast resistance between drain contact and gate edge for ESD robustness.

There are several solutions such as salicide blocking of the drain area, using external N-well ballast resistors, and ESD implantation method to improve ESD robustness. However, salicide blocking method is expensive because it needs several extra process steps, and has the problem that larger leakage current can be caused by the etching of blocking materials. ESD implantation method can improve ESD

robustness but it results in extra cost and other hot carriers reliability issue. In this thesis, we proposed two novel ESD protection NMOS transistors, FOX structure transistor with external N-well resistors, and dummy-gate structure transistor with external N-well resistors to form ballast resistors between drain contact and gate edge. To compare with the novel ESD protection NMOS transistors, transistors with fully-salicided and salicide blocking structures are also fabricated. Those four ESD protection NMOS transistors are compared and discussed in this thesis.



## 誌謝

首先我要對我的指導教授 柯明道教授獻上最誠摯的謝意，感謝老師在電路上的許多建議與指導，並教導我許多報告與書寫論文的技术。柯明道教授也為我爭取到許多下晶片的機會，使我們能將設計的元件做實際上的驗證。感謝林坤賢學長、張智毅學長、徐國鈞學長、楊明達學長、徐新智學長、鄧至剛學長以及張瑋仁、陳榮昇、許勝福，在我遭遇到問題的時候，耐心的幫我找出問題的所在。我也要感謝他們，在我遇到瓶頸的時候，能夠適時的給予協助。還有我的同學，在我們日常生活的討論中，讓我學習到許多東西。同時我也要感謝實驗室的所有人，有了大家的幫忙，我才有辦法開心及順利的完成碩士課程。

最後我也要由衷的感謝我的父親、母親，因為你們從小的栽培，我才能夠順順利利的達成現在的成就；還有太太，謝謝你的支持。

陳啟銘

西元 2004 年 6 月