

# 鎳矽/矽界面蕭基能位障研究

學生：張 洪 銓

指導教授：許 鈺 宗

國立交通大學 奈米科技研究所碩士班

## 摘 要

金屬半導體界面在電子元件製造上應用甚廣，除了用來製作蕭基二極體外，大部份是應用在製作元件與外部電路的接觸墊 (contact pads) 上。儘管金屬半導體界面仍有許多不理想的因素需要被探究，但以實用的角度，似乎並不需要研究這樣的細節。然而，隨著進入奈米世代，這件事情有了變化。科學家發現，即使是同樣材料，當其尺寸小至具有某一維度的奈米等級時 (在此意指數十奈米以下)，某些物理特性會和過去在微米以上、我們所熟悉的不同。金屬半導體界面的蕭基能位障 (Schottky barrier)，就是其中一個例子。此時此刻，我們急切需要對這樣的系統—金屬半導體界面，以新的角度去了解。

在本論文裡，我們發展一個以 n 型鎳矽/矽奈米線蕭基二極體 (NiSi/Si nanowire Schottky diode) 為基礎，以四點探針架構為輔助的量測鎳矽/矽界面的蕭基能位障高 (Schottky barrier height) 的平台。我們的企圖是未來能以這樣的平台為基礎，而單純透過改變奈米線尺寸的方式，而達

成鎳矽/矽接面面積的縮小化。我們也將會利用此平台來探討奈米等級金屬半導體接面的小尺寸效應的問題。

從實驗的結果來看，我們證實了這種設計的確可以減少部份寄生電阻效應，而讓所量測、計算的蕭基能位障高得到一個較接近文獻記載的值——一般認為鎳矽/矽接面的蕭基能位障高約在 0.7~0.75 eV 之間，而以我們線寬為 5 微米的微米線元件來說，採用四點探針的架構，可以將量測的值從 0.531 eV 推進到 0.534 eV。

此外，我們也探討了，為何這樣的架構套用在奈米線上，效果不如預期的原因。我們也提出未來元件設計的建議，以避免這種現象。



# Study of Schottky Barrier Height of NiSi/Si Junction

Student : Hung-Chuan Chang

Advisor : Jeng-Tzong Sheu

Institute of Nanotechnology  
National Chiao Tung University

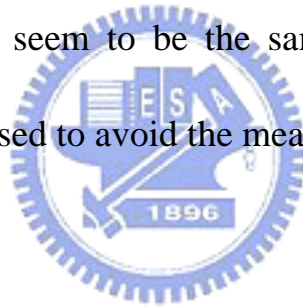
## Abstract

Metal-semiconductor junctions are widely used in electronic devices. Other than just electric contact pads, they are also adopted as Schottky diodes, which have nonlinear current-voltage characteristics. Although the details of Schottky barrier formation in these junctions are not yet fully understood, it does not affect the use of metal-semiconductor junctions. However, as the size of materials approaching nanometers, some physical parameters' characteristics seem to be different as known in micrometer scale. And Schottky barrier height is one of these physical parameters. At the moment, we need a new consideration to the topic of the small-size effect of nano-scaled metal-semiconductor junctions.

In this thesis, we develop a platform based on NiSi/n-Si nanowire Schottky diode and assisted with four-point probe structure to extract Schottky barrier height of the NiSi/n-Si junction. The attempt of this research is to change the

area of the junction by changing the width of the nanowire. Making use of this platform, we could study the small-size effect of nano-scaled metal-semiconductor junctions.

From the result of our experiments, four-point probe structure could reduce parts of parasitical series resistance of NiSi/n-Si microwire/submicrowire Schottky diode, then help extract the real junction characteristics including Schottky barrier height. We also discussed the reason why the two current-voltage curves of 400-nanometer-wide devices with and without four-point probe structure seem to be the same. Based on the results a new device structure was proposed to avoid the measurement drawback.



# 誌謝

首先要感謝我的指導教授—許鈺宗博士。在老師的指導下，我學會了對事情的獨立思考與解決問題的能力，更重要的是對自己的實驗與學業負責任的態度。再來我要感謝帶我進入 nanowires 這一領域的建宏和昇平學長，我從你們身上分別學習到學問必須了解徹底、融會貫通的態度與做實驗的方法。我也要感謝實驗室的家豪、振嘉、俊佑和柏鈞學長，感謝你們在我困惑、茫然、無助的時候，提醒我方向；在實驗遇到挫折的時候，提供你們的經驗與專業知識。

我要感謝我的同學們：皓恆、威豪、宇書、仁豪、成業，感謝你們在我碩士生涯中，對我的幫忙協助與支持鼓勵。在你們的帶領下，我玩到了人生第一次的 go cart 小賽車，也第一次登上了玉山頂。我們也像戰友般，相互扶持。

我要感謝實驗室的學弟妹們：延宸、玠澤、宥任、振庭、學宏、裕得和奕貞，感謝你們於冬天寒風刺骨的晚上、暖呼呼的被窩裡，還願意爬起來，陪我一起來排機台、做實驗。感謝你們願意給我教導你們的機會，也願意接受我那些「難聽」，但卻是誠心誠意希望你們更好的建議。

我要感謝國家奈米元件實驗室、交大奈米中心及同步輻射中心提供我們設備來完成實驗，也要感謝工作人員：張桑華先生、林宛貞小姐、胡進

章先生、范秀蘭小姐、倪月珍小姐、黃月美小姐、陳聯珠小姐及蔡元皓先生等，幫忙解決機台上或製程上的問題。

我要感謝爺、奶、爸、媽、哥及晴瑄對我一路以來的支持與包容，感謝你們給我一個空間來完成這兩年的學業。我也會好好照顧自己的身體，不會再讓你們擔心。你們總是我心靈上的港口，沒有你們我做不到。

最後，我要感謝我自己。若這兩年內每一次的風風雨雨、每一次的實驗失敗後，我只要選擇了其中一次來逃避或放棄的話，我不會走到今天這個位置。



張洪銓 謹識於台灣新竹

2006年7月

# 目 錄

中文摘要 .....	i
英文摘要 .....	iii
誌謝 .....	v
目錄 .....	vii
表目錄 .....	x
圖目錄 .....	xi
<b>第一章 緒論</b> .....	<b>1</b>
1-1 緣起 .....	1
1-2 文獻回顧 .....	3
1-3 鏽矽/矽接面蕭基能位障研究 .....	5
1-4 論文架構 .....	7
1-4.1 研究目的 .....	7
1-4.2 後續章節介紹 .....	7
<b>第二章 實驗設計與元件製造</b> .....	<b>9</b>
2-1 實驗設計 .....	9
2-2 元件製造 .....	11



<b>第三章 研究方法</b>	19
3-1 量測蕭基能位障高的儀器組合	19
3-2 量測蕭基能位障高的方法	19
3-2.1 電流-電壓法 (I-V 法)	20
3-2.2 電流-溫度法 (I-T 法)	22
<b>第四章 實驗結果與討論</b>	25
4-1 實驗結果—以電流-電壓法量測	25
4-1.1 線寬 8 微米、有效長度 20 微米之元件的量測	25
4-1.2 線寬 5 微米、有效長度 20 微米之元件的量測	27
4-1.3 線寬 400 奈米、有效長度 20 微米之元件的量測	28
4-1.4 n 值及蕭基能位障高之計算結果	29
4-2 實驗結果—以電流-溫度法量測	30
4-3 對照實驗—一般結構 (垂直式) 的鎳矽/矽蕭基二極體	30
4-4 以聚焦離子束與電子束顯微系統 (FIB/SEM) 作觀察	32
4-5 討論	36
4-5.1 四點探針架構用在鎳矽/矽接面的可行性	36
4-5.2 取線性線的位置會影響到所計算的蕭基能位障高	40
4-5.3 鎳矽對 p 型矽接面與對 n 形矽接面的蕭基能位障高	42



第五章 結論與展望 .....	44
5-1 結論 .....	44
5-2 展望—未來工作的建議 .....	46
參考文獻 .....	47
簡歷 .....	50



# 表 目 錄

表 4-1 n 值及蕭基能位障高之計算結果

表 4-2 一般常見的金屬對矽的蕭基能位障高



# 圖目錄

圖 1-1 Tivarus 的實驗架構。

圖 1-2 Tivarus 的實驗結果。

圖 1-3 四點探針架構示意圖：

(a) 兩端點量測法；

(b) 四點探針量測法。

圖 2-1 元件設計的概念。

圖 2-2 微米線與次微米線截面的高寬比例示意圖。

圖 2-3 光罩設計。

圖 2-4 於 SOI 晶圓上，成長約 30 奈米厚的 thermal oxide。

圖 2-5 定義出 hard-mask：

(a) 以黃光製程配合 BOE 溶液，蝕刻出微米線的 hard-mask；

(b) 如同(a)之作法，但奈米線的 hard-mask 必須透過原子力顯微鏡氧化的方式來製作。

圖 2-6 以 TMAH 溶液對表層矽蝕刻：

(a) 以 TMAH 溶液對表層矽蝕刻；

(b) 以 AFM 掃 TMAH 蝕刻後留下的矽奈米線，左圖為 LFM 模式，右圖為 Topography 模式，底層為 buried oxide 的晶粒結構。

圖 2-7 以 BOE 溶液撥除 hard-mask。

圖 2-8 鎳矽化物的製作：

(a)以 E-Gun 鍍鎳，蓋住一半奈米線；

(b)使用 RTA，讓鎳與表層矽形成鎳矽化物；

(c)以硝酸水溶液等去除未反應的鎳；

(d)若不去除未反應的鎳，左半面兩個腳位可能形成等電位面，而損害了四點探針架構的效果。

圖 2-9 完成圖。

圖 3-1 量測蕭基能位障高的儀器組合。

圖 3-2 利用電流-電壓法所得到的線性圖形。

圖 3-3 利用電流-溫度法所得到的線性圖形。

圖 4-1 線寬 8 微米、高度 33 奈米、有效長度 20 微米之元件的量測：

(a)電流密度-電壓圖；

(b)電流密度-逆向偏壓圖；

(c)對電流密度取以 10 為底的對數-電壓圖。

圖 4-2 線寬 5 微米、高度 33 奈米、有效長度 20 微米之元件的量測：

(a)電流密度-電壓圖；

(b)電流密度-逆向偏壓圖；

(c)對電流密度取以 10 為底的對數-電壓圖。

圖 4-3 線寬 400 奈米、高度 33 奈米、有效長度 20 微米之元件的量測：

(a) 電流密度-電壓圖；

(b) 電流密度-逆向偏壓圖；

(c) 對電流密度取以 10 為底的對數-電壓圖。

圖 4-4 電流密度除以絕對溫度的平方-1000 除以絕對溫度圖。

圖 4-5 垂直式鎳矽/矽蕭基二極體示意圖。

圖 4-6 垂直式鎳矽/矽蕭基二極體的電流-電壓特性圖。

圖 4-7 俯視圖：

(a) 以 SEM 模式拍攝鎳矽/矽次微米線蕭基二極體的俯視圖；

(b) 鎳矽/矽接面的俯視圖。

圖 4-8 側視圖：

(a) 以 FIB 模式於次微米線的側方挖開一個孔洞；

(b) 鎳矽/矽接面的側視圖。

圖 4-9 剖面圖：

(a) 鎳矽次微米線的剖面圖；

(b) 上圖的放大圖。

圖 4-10 寄生電阻會造成量測到較大的  $n$  值與較小的蕭基能位障高。

圖 4-11 元件兩端的電壓差 ( $V_m - V_s$ ) 減去四點探針所量到的接面的電壓差 ( $V_1 - V_2$ ) 對前者作圖。

圖 4-12 元件的接面電阻與寄生電阻示意圖：

- (a) 因元件設計的關係，即使採用四點探針量測法，但仍不可避免的會納入導線本身的電阻。
- (b) 上圖的電路示意圖。

圖 4-13 電流和電壓呈指數關係的示意圖。

