

# 第一章

## 緒論

### 1-1 緣起

為何要研究奈米等級金屬半導體界面？主要的理由在於，在電子元件的製作上，它既可以當作元件的主要部份—例如蕭基二極體，也可以當作元件與外部電路的連接部份—例如接觸墊（contact pads）[1]。

目前公認的金屬半導體界面的理論架構，是在西元一九三零年代由德國科學家 Walter Schottky 等人所提出的—Schottky-Mott 模型[2][3]。這個理論預測蕭基能位障高（Schottky barrier height）是由金屬的功函數（work function）與半導體的電子親和力（electron affinity）之差值來決定。

不幸的是，實際的金屬半導體界面的蕭基能位障高，並不是都可以符合 Schottky-Mott 模型的預測。這個原因可能和界面的懸垂鍵（dangling bonds）、缺陷（defects）、及界面處電偶極（electric dipoles）的產生有關[4][5]，往往會造成界面處的費米階被釘住的現象（Fermi-level pinning），於是會形成一個較 Schottky-Mott 模型預測來得高或低的蕭基能位障。一般認為，Schottky 等人提出的模型，適用在理想的界面上。於

是，數十年來陸續有人提出以 Schottky 模型為基礎的修正理論—例如「unified defect model (UDM)」、「metal-induced gap state (MIGS)」、「disorder-induced gap state (DIGS)」及「effective work function (EWF)」等。然而，到目前為止，並沒有一個理論是適用在所有情況的 [6, 7]。

若以半導體工業的角度來看，金屬半導體界面理論的不完備，並不影響其產品的製造。主要理由在於，除了當作蕭基二極體的主體外，金屬半導體界面大部份還是擔任一個元件內的金屬接觸墊的角色—只要形成歐姆界面即可 (Ohmic contacts)。

但隨著半導體世代來到了九十奈米以下，科學家發現，蕭基能位障在奈米尺度界面面積的特性與我們所熟悉的在微米尺度界面面積的特性不同 (詳見下一小節的說明) [7-13]。若隨著半導體世代繼續縮小尺寸，現今電晶體源/汲極所採用的淺界面式金屬矽化物對矽的蕭基界面 (其中一個維度小於二十奈米)，及用來取代多晶矽閘極的金屬矽化物 (其中一個維度約略等於電晶體通道長度，即小於一百奈米)，是否也會遇到和我們過去的知識、經驗所不同的情況？此外，在新穎的奈米電子元件裡，例如以碳奈米管等一維的奈米結構所製作出的電晶體，得以利用碳奈米管與金屬間的蕭基界面來決定導通電流的主要載子為電子或電洞 [14]—我們是否真的了解該奈米界面 (nano-contacts) 的物理機制？

此時此刻，不論是繼續遵循尺寸下縮的半導體工業界或正在學術單位研發的新穎的奈米電子元件，似乎都有必要去針對奈米等級金屬半導體界面作研究。

## 1-2 文獻回顧

根據近年來的研究成果發現[7-13]，當金屬半導體界面面積直徑小於數十奈米時，影響其蕭基能位障的因素似乎和我們過去所熟知的不同，也更複雜。以 C.Tivarus 等人所做的實驗為例[8, 9]，見圖 1-1：

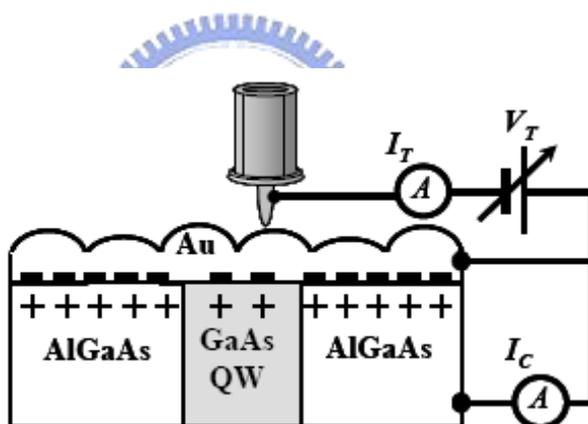


圖 1-1 Tivarus 的實驗架構

首先於 n 型(001)GaAs 基板上以分子束磊晶(Molecular Beam Epitaxy)的方式，交替成長 200 奈米厚的 n 型  $Al_{0.3}Ga_{0.7}As$  及不同厚度（從 1 奈米到 15 奈米厚）的 n 型 GaAs。然後將晶圓沿著[110]的方向裂開，並以 E-Gun 或 Thermal Coater 的方式於斷裂面鍍上一層金，即形成圖 1-1 中之試片。以觀察當材料具有一個維度的奈米尺寸下，其蕭基能位障高的變化情形。

經由上方的 STM (Scanning Tunneling Microscopy) 調變探針與試片表面的距離與所加的偏壓大小，可以將電子流導入試片—通過金與 GaAs 的蕭基界面，並從基板流至一個外部的電流計，以偵測該導通電流的大小。於是，蕭基能位障高便能透過這些數值而被計算出來。其結果如下圖 1-2 所示：

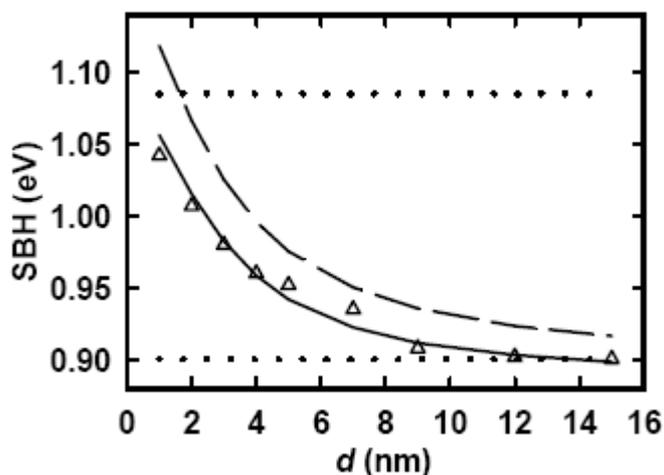


圖 1-2 Tivarus 的實驗結果。1.08 eV 附近的橫線為金對大結構的 AlGaAs 的蕭基能位障高，0.90 eV 附近的橫線為金對大結構的 GaAs 的蕭基能位障高，三角型為實驗值，虛線為單純考慮量子侷限效應的模擬值，實線為綜合考慮量子侷限效應與其他非理想因素的模擬值。

他們發現當量測對象由 15 奈米厚的 GaAs 變為 1 奈米厚的 GaAs 時，所算得的蕭基能位障高會有漸漸上升的趨勢。他們認為這個原因主要是受到量子侷限效應的影響 (quantum confinement) [15]—隨著材料的尺寸小至

數十奈米（不同材料有不同標準），電子所看到的能帶不再是連續式的而是分裂式的，而造成導電帶（conduction band）的最低位置上升、價電帶（valence band）的最高位置下降，結果是能階隙（energy gap）變大。於是當電子要從金跳至 GaAs 導電帶上的態（state）時，其所需要的能量因此而增加，也就是指蕭基能位障增高了。

除此效應之外，他們也考慮那些會造成奈米尺度金屬半導體接面的蕭基能位障降低的因素，例如接面缺陷的總量減少、局部的不均勻電場導致 image-forced lowering 的產生[16]。只不過這兩種效應對蕭基能位障高的影響程度不如量子侷限效應。他們並模擬出這三種效應的總合來證實符合他們的實驗，如圖 1-2。



Hideki Hasegawa 等人在相似的實驗也得到類似的結論[7]。另外，有些研究團隊發現金屬半導體接面面積直徑於數十奈米以下時，蕭基能位障會變薄[10-12]，而讓導通電流中穿隧電流（tunneling current）的比例大於熱游離輻射（thermionic emission）[17]的機制所造成的電流。

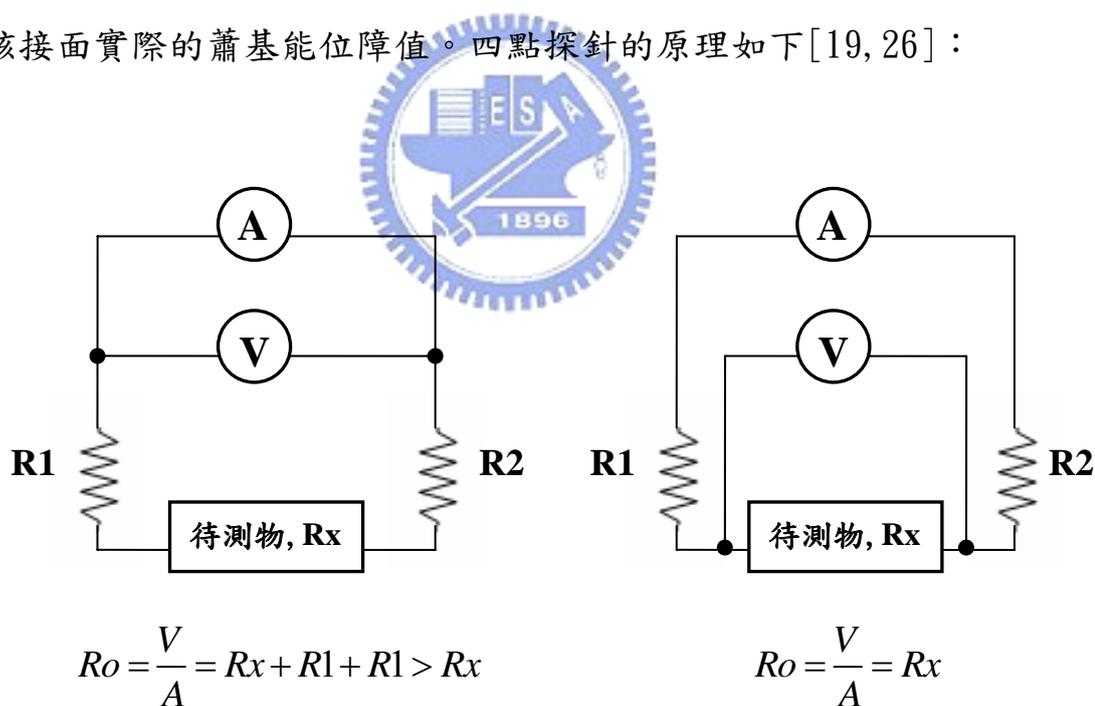
### 1-3 鎳矽/矽接面蕭基能位障研究

如同 Tivarus 等人採用量子井配合金膜以形成奈米接面來探討奈米等級金屬半導體接面特性的問題，我們設想採用鎳矽/矽奈米線蕭基二極體[18]（鎳矽/矽接面的其中一個維度可小於五十奈米）來探討相同的問題。

但在進一步使用此工具來探討蕭基能位障的小尺寸效應前，我們必須先克服下述的問題：

鎳矽/矽奈米線蕭基二極體的設計，具有本質上不可避免的奈米線本身的串聯電阻、奈米線之外左右兩端的串聯電阻、延展電阻（spreading resistance）、與接觸電阻（contact resistance），以致於在量測蕭基能位障時，其結果往往會受到這些寄生電阻效應的影響。

因此，我們引入了四點探針的架構，以期能避開這些寄生效應，而萃取出真正的鎳矽/矽接面的整流特性。也才能在後續的計算中，得到一個較接近該接面實際的蕭基能位障值。四點探針的原理如下[19, 26]：



上圖中  $R_x$  為待測物，而  $R_1$  與  $R_2$  分別代表代測物左右兩端導線上的串聯電阻、延展電阻、與接觸電阻之合效應。圖 1-3(a) 為兩端點量測法的示

意圖，我們可以發現，用這個方法所求得的  $R_o$  會大於待測物本身的電阻。但是若我們能夠採用四點探針的架構，如圖 1-3(b)，且讓兩個量測電壓的腳位越接近待測物時，那麼所求得的  $R_o$  會較接近待測物本身的電阻。

對我們來說，鎳矽/矽界面即為待測物，而兩端多餘的奈米線及更外面的金屬接觸墊即為  $R1$  與  $R2$ 。

## 1-4 論文架構

### 1-4.1 研究目的

本論文的研究目的為：設計並製造一個以鎳矽/矽蕭基二極體架構為基礎，並可透過四點探針的架構來測得較接近真實的奈米等級鎳矽/矽（金屬半導體）接面的蕭基能位障高的平台。

我們在此必須驗證這種結構設計與製程的可行性，以作為下一階段用來探討奈米等級金屬半導體界面特性的基礎。

### 1-4.2 後續章節介紹

本論文分為五個章節。第一章為「緒論」，而第二章為「實驗設計與元件製造」，後者說明本論文所採用的元件的結構設計、實驗控制變因、元件的製造程序和過程中遇到的問題。

第三章為「研究方法」，主要是敘述如何去量測一個已經製作完成的元

件的蕭基能位障高。

第四章為「實驗結果與討論」，展示利用第三章所講述的方法作量測所得到的實驗結果，再針對這些實驗結果作進一步的整理、分析與歸納。

第五章為「結論與展望」，會將本論文所達到的成果作個總結，並提出若要將此架構應用在探討奈米等級金屬半導體接面的小尺寸效應的問題上，那麼元件在設計及製造上該注意什麼的建議。



## 第二章

# 實驗設計與元件製造

### 2-1 實驗設計

元件設計的概念，是以鎳矽/矽奈米線蕭基二極體為基礎，再搭配四點探針的架構來設計新的元件。如下圖 2-1 所示：

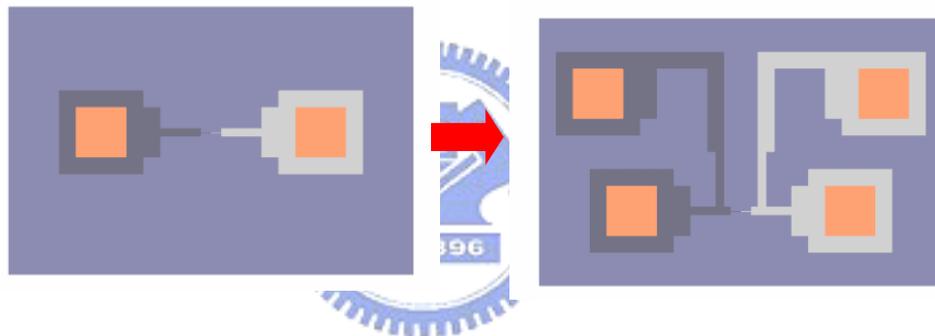


圖 2-1 元件設計的概念：左圖為原始的兩端點量測法的設計，右圖為新的四點探針量測法的設計。

另外，為了創造鎳矽/矽接面面積的差異，在其它幾何條件相同的情況下（例如導線長度皆為二十微米），我們設計不同的導線寬度：8 微米寬、5 微米寬及奈米線，而定義了接面面積的寬度；透過於 SOI（Silicon-on-Insulator）晶圓上成長的 thermal oxide 膜厚與剩下的表層矽的厚度，而定義了接面面積的高度。鎳矽/矽接面面積的高寬比例示意圖可以從下圖 2-2 得知：

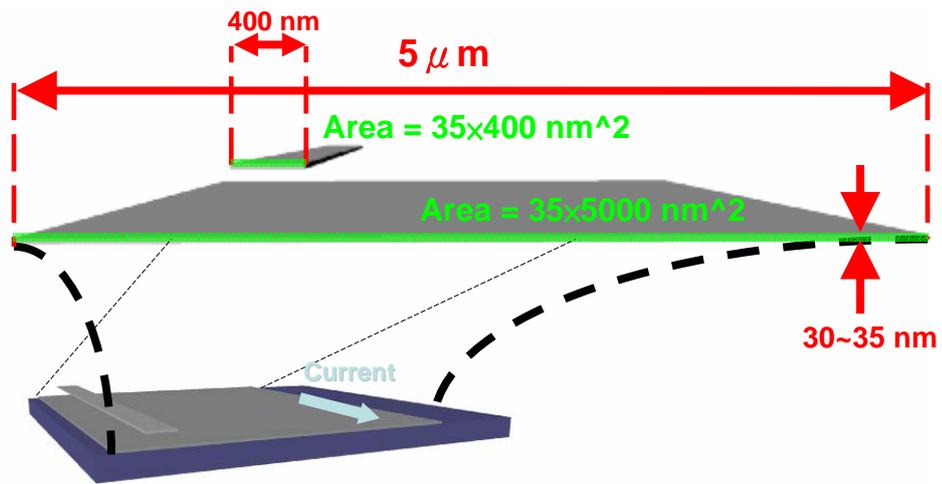


圖 2-2 微米線與次微米線截面的高寬比例示意圖。

而最後的光罩設計如下圖 2-3 所示，其中上圖為微米線設計，下圖為奈米線設計。黃線部份為元件的主體，紅線部份為金屬接觸墊，藍線部份為鍍鎳之處。

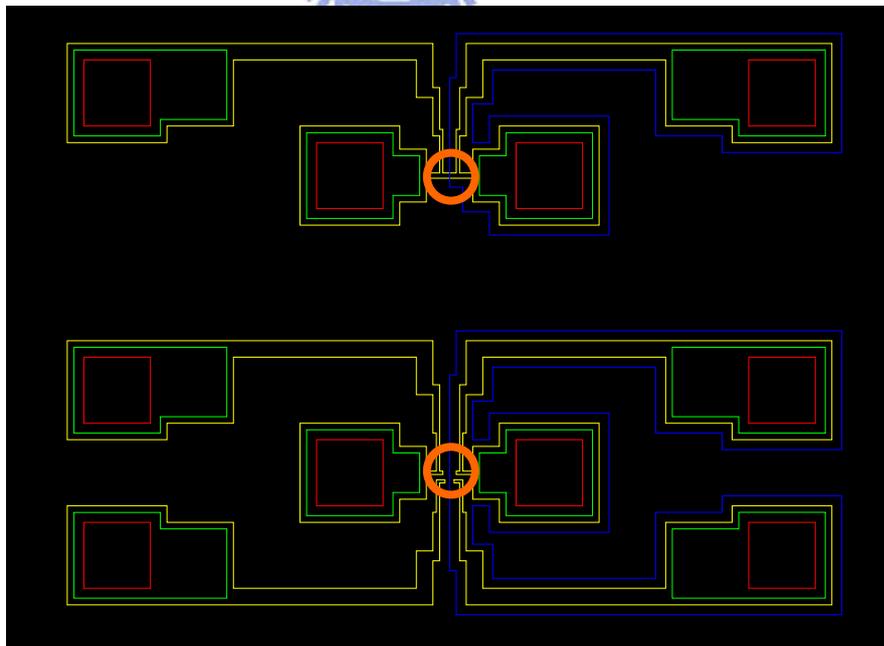
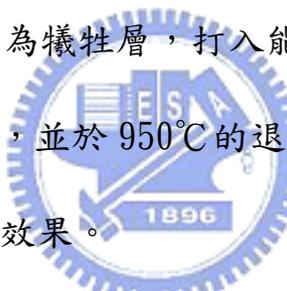


圖 2-3 光罩設計：橘色圓圈內為微米線或奈米線所在。

## 2-2 元件製造

本實驗的元件試片是在國家奈米元件實驗室的 10000 級無塵室、交通大學奈米中心的 10000 級無塵室、及利用本實驗室自有的機台製作完成。

製造的流程說明如下：

1. 如圖 2-4，首先先是一個具有約 50 奈米厚的表層單晶矽及約 150 奈米厚的 buried oxide 的 p 型 (100) SOI (Silicon-on-Insulator) 晶圓上，利用乾式氧化的方式，來成長約 30 奈米厚的 thermal oxide—此時會留下約 35 奈米厚的表層單晶矽。若要製作 n 型的元件，我們以這層 thermal oxide 作為犧牲層，打入能量約為 10 KeV、劑量約為  $5 \times 10^{13} \text{ cm}^{-2}$  的磷離子，並於  $950^\circ\text{C}$  的退火後，以創造表層授體 (donor) 濃度達  $5 \times 10^{18} \text{ cm}^{-2}$  的效果。
2. 不剝除整面 thermal oxide，經由第一道光罩於其上定義出元件的形貌，再用 BOE (Buffer-Oxide-Etch) 溶液來蝕刻未受光阻保護的部份，我們得到被蝕刻出圖樣的 thermal oxide—作為之後蝕刻表層矽的 hard-mask，如圖 2-5。
3. 然後，我們以第二道光罩配合光阻的硬烤，於各元件的接觸墊 (contact pad) 處，留下無光阻的孔洞，以作為進一步植入離子的通道。若是 n 型元件，我們選用能量約為 10 KeV、劑量約為  $5 \times 10^{15} \text{ cm}^{-2}$  的磷離子打入，讓矽之表層具有高濃度之授體，以形成歐姆界面。

4. 我們可以於同樣晶片上製作出 8 微米、5 微米及 0.5 微米以下導線的 hard-mask。前兩者可以簡單透過黃光製程來定義，如圖 2-5(a)；而 0.5 微米以下導線的 hard-mask，則必須藉由原子力顯微鏡氧化 (AFM-oxidation) 的方式來完成[20]，如圖 2-5(b)。

我們使用 NanoInk®公司製造的 NSCRIPTOR DPN SYSTEM™ 以作為原子力顯微鏡氧化的工具[21]。利用其所附屬的用來控制環境變數的 Environmental Chamber 系統，讓實驗進行在相對濕對 50±5 %、溫度 25±2 °C 的條件下。我們使用鍍有 PtIr 導電膜的探針以作為氧化表層單晶矽實驗的上電極，另外於試片表層夾一金屬夾以作為下電極，在探針為接觸模式 (contact mode) 下，於上下電極外加一偏壓，以使得表層單晶矽得以被氧化。實驗的結果發現：於探針下壓力 (setpoint) 固定為 0.8 伏特的情況下，偏壓大小或探針描寫速度各自與氧化線線寬呈負相關，另外探針的折舊程度也會影響到氧化線線寬的大小。一般在偏壓值設定為 8 伏特、探針描寫速度設定為 2 微米/秒的條件下，可以氧化出約 200~400 奈米的氧化線線寬。

5. 在用黃光製程與原子力顯微鏡氧化的方式製作出 hard-mask 之後，我們採用 25% Tetramethylammonium Hydroxide 溶液 (TMAH)，以濕式蝕刻的方式，蝕刻未受 hard-mask 保護的表層矽，如圖 2-6(a)(b)。
6. 在蝕刻出表層矽的微米線及奈米線的結構後，我們利用 BOE 溶液來撥

除在其上的作為 hard-mask 的氧化層，才能使得後續鍍在其上的鎳金屬能與表層矽作直接接觸—形成鎳矽化物之用，如圖 2-7。BOE 溶液蝕刻二氧化矽的速率，依本論文採用的機台、製程參數、及藥品作測試，發現約在 12.1~12.5 埃/秒之間。我們可以參考此數值，作為蝕刻終點的判斷—對於約 30 奈米厚的氧化層，我們選擇浸泡 BOE 溶液約 35 秒，以確保該氧化層確實被撥除。

7. 我們使用第三道光罩與黃光製程，顯影掉導線左半部份的光阻。繼之以 ULVAC®公司製造的 Dual E-Gun Evaporation System，在  $4 \times 10^{-6}$  torr 的真空條件下，鍍率設為 1 埃/秒，鍍上約 300 埃厚的鎳金屬。再者，以丙酮 (Acetone) 配合超音波震盪的方式，針對已鍍上鎳金屬的含光阻圖樣的試片作 lift-off 的動作，其結果如圖 2-8(a)所示。繼之以快速退火爐 (Rapid Thermal Annealing, RTA) 於昇溫速率  $50^\circ\text{C}/\text{秒}$ 、適當的製程溫度與製程時間等條件下，去製作鎳矽化物—NiSi[18]，如圖 2-8(b)。然後，我們以硝酸水溶液[18]或硫酸加過氧化氫的組合[22]來去除未和表層矽反應形成鎳矽化物的鎳金屬，如圖 2-8(c)—一方面避免多餘的鎳金屬於後續昇溫製程中驅入既形成的 NiSi 晶相裡，而成為具有較高阻值的  $\text{Ni}_2\text{Si}$  晶相[23]；另一方面是為了切斷兩個接觸墊間的短路路徑，否則兩者會因中間的鎳金屬的存在而接近為等電位面，而損害了四點探針架構的效果，如圖 2-8(d)。

8. 最後，我們使用第四道光罩與黃光製程，繼之以真空濺鍍機 (Sputtering System)，於各元件的接觸墊處，在同一次製程之中先後鍍上約 10 奈米厚的鈦及約 100 奈米厚的金，以作為金屬電極之用。元件的完成圖見圖 2-9。我們也嘗試使用常壓退火爐管 (Atmospheric Furnace) 於製程溫度小於 500°C、氮氣流量設為 10 升/分鐘的條件下，針對金屬電極作退火。



圖 2-4 於 SOI 晶圓上，成長約 30 奈米厚的 thermal oxide。

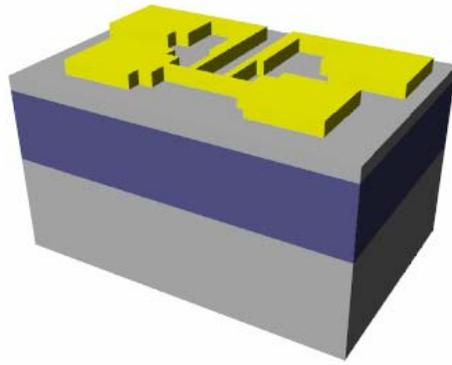


圖 2-5(a) 以黃光製程配合 BOE 溶液，蝕刻出微米線的 hard-mask。

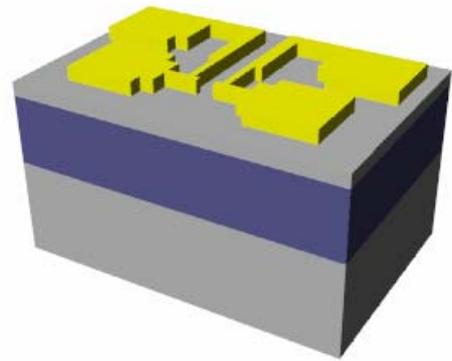


圖 2-5(b) 如同(a)之作法，但奈米線的 hard-mask 必須透過原子力顯微鏡氧化的方式來製作。

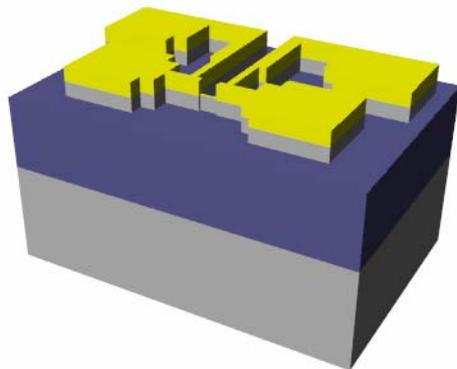


圖 2-6(a) 以 TMAH 溶液對表層矽蝕刻。

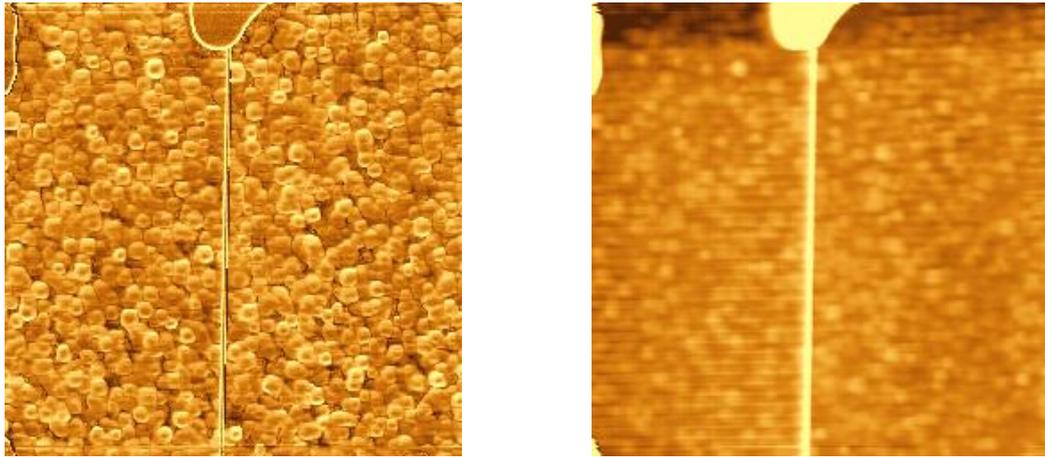


圖 2-6(b) 以 AFM 掃 TMAH 蝕刻後留下的矽奈米線，左圖為 LFM 模式，右圖為 Topography 模式，底層為 buried oxide 的晶粒結構。

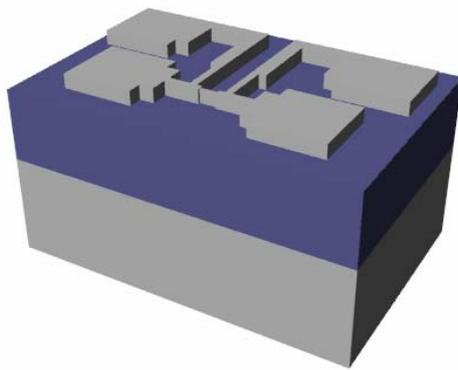


圖 2-7 以 BOE 溶液撥除 hard-mask。

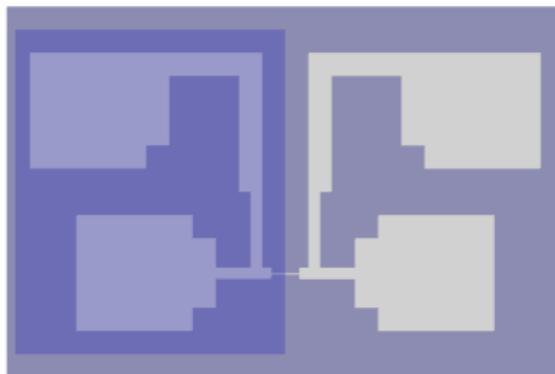


圖 2-8(a) 以 E-Gun 鍍鎳，蓋住一半奈米線。

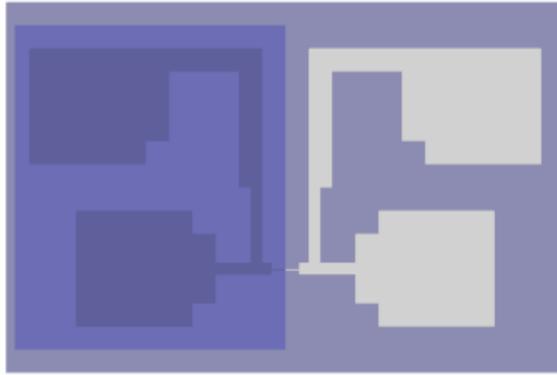


圖 2-8(b) 使用 RTA，讓鎳與表層矽形成鎳矽化物。

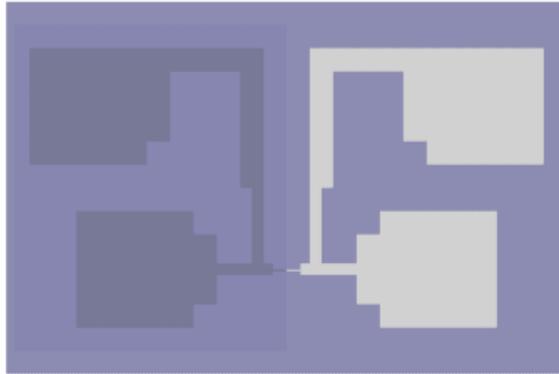


圖 2-8(c) 以硝酸水溶液等去除未反應的鎳。

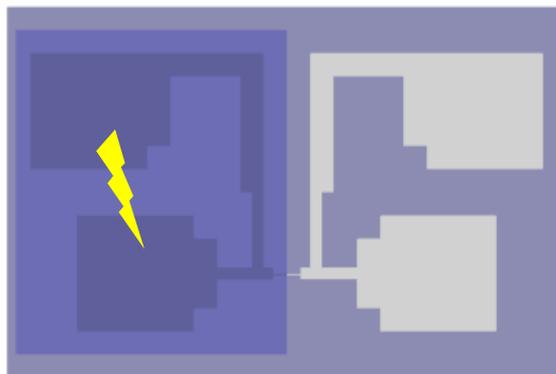


圖 2-8(d) 若不去除未反應的鎳，左半面兩個腳位可能形成等電位面，而損害了四點探針架構的效果。

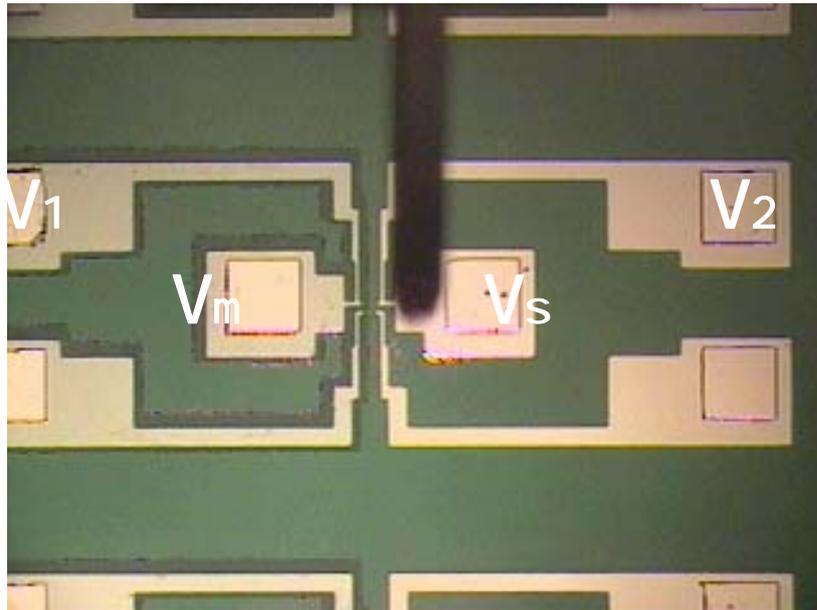


圖 2-9 完成圖



# 第三章

## 研究方法

### 3-1 量測蕭基能位障高的儀器組合

我們使用 HP4155B 半導體參數分析儀及 Probe Station 之組合來量測蕭基能位障高。其接線如下圖所示（在此省略包覆 Probe Station 的黑箱及位於晶片下方可供加熱的載台）：

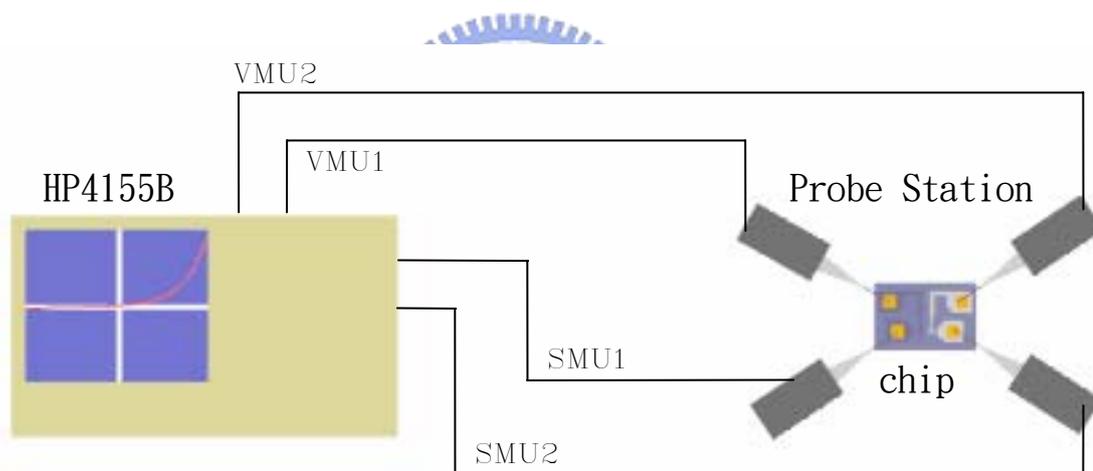


圖 3-1 量測蕭基能位障高的儀器組合

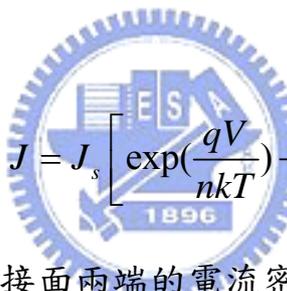
### 3-2 量測蕭基能位障高的方法

量測蕭基能位障高的方法有電流-電壓法（I-V 法）、電流-溫度法（I-T 法）、電容-電壓法（C-V 法）、與光電流法。在本論文中，只採用前面兩者以作為量測，原因是光電流法需要特別的機台，而電容-電壓法以 HP4284

去執行，其最小可量到的電容值約在飛法拉（femto-farad），但估算奈米線上的鎳矽/矽接面的電容值約小於它 1~2 個等級，所以採用電容-電壓法有實際量測上的困難。以下就本論文所採用的電流-電壓法及電流-溫度法作介紹[24-26]。

### 3-2.1 電流-電壓法（I-V 法）

若金屬半導體接面的電流的主要部份是來自於熱游離輻射（thermionic emission）的電流機制。也就是指此接面的電流-電壓特性會遵循下列的方程式：



$$J = J_s \left[ \exp\left(\frac{qV}{nkT}\right) - 1 \right] \quad (3.1)$$

其中  $J$  為流經金屬半導體接面兩端的電流密度， $J_s$  為其逆向飽和電流密度，單位皆為安培/平方公尺； $q$  為單一電子所帶的電量大小，即為  $1.6 \times 10^{-19}$  庫倫； $V$  為橫跨此金屬半導體接面兩端的電壓，單位為伏特； $n$  為理想因子，不具單位； $k$  為波茲曼常數，即為  $1.38 \times 10^{-23}$  焦耳/絕對溫度； $T$  為量測發生時的溫度，單位為絕對溫度。於  $qV \gg nkT$  的條件下，(3.1) 式近似為

$$J \approx J_s \left[ \exp\left(\frac{qV}{nkT}\right) \right] \quad (3.2)$$

若對 (3.2) 式的左右兩端取自然對數，再經適當的整理，可得

$$\text{Log}(J) \approx \text{Log}(J_s) + \frac{1}{\text{Ln}(10)} \frac{qV}{nkT} \quad (3.3)$$

若對  $\text{Log}(J)$  與  $V$  這兩個變數作圖，我們可以得到一個正斜率的線性圖形，如圖 3-2。我們可以從此圖形的 Y 軸截距求得  $J_s$  值，而從斜率求得  $n$  值。

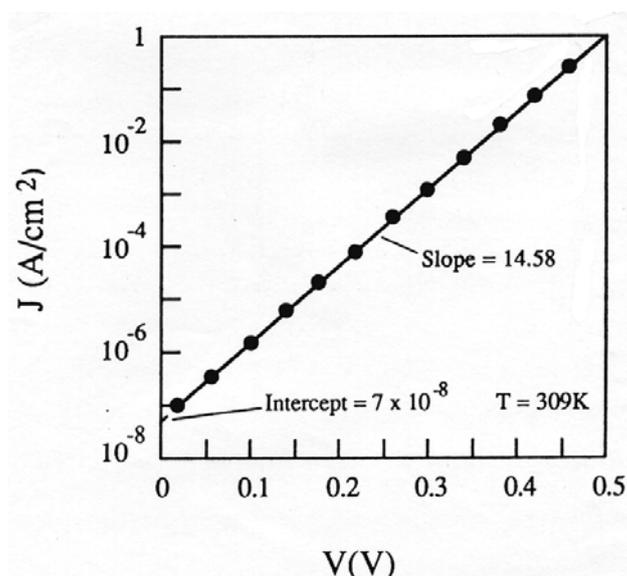


圖 3-2 利用電流-電壓法所得到的線性圖形[24]

另外，(3.1) 式中的  $J_s$  又有下列關係：

$$J_s = A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \quad (3.4)$$

其中  $A^*$  為李察生常數，其值因不同半導體材料、不同植入離子而不同，也會因不同製程而有變異[3]。對於 n 型矽來說，其李察生常數約為  $110 \sim 112 \text{ A/cm}^2 \text{K}^2$ 。 $\phi_B$  為該金屬半導體接面的蕭基能位障高，單位為伏特。

(3.4) 式可以重新整理為

$$\phi_B = \frac{kT}{q} \text{Ln}\left(\frac{A^* T^2}{J_s}\right) \quad (3.5)$$

若  $A^*$  以 n 型矽的李察生常數 ( $\sim 112 \text{ A/cm}^2 \text{K}^2$ ) 代入，且從電流-電壓圖

的 Y 軸截距求得  $J_s$  值，我們可以得到蕭基能位障 ( $\phi_B$ ) 的大小。

電流-電壓法主要是利用外差的方式，求取當電壓為 0 伏特時的  $J_s$  與  $\phi_B$  值。其誤差會來自於所採用的李察生常數的誤差。但因該常數存在於自然對數內，見(3.5)式，所以我們通常可以忽略此項誤差。

### 3-2.2 電流-溫度法 (I-T 法)

如同電流-電壓法，在金屬半導體接面的電流的主要部份是來自於熱游離輻射的電流機制之條件成立下。該接面的電流-電壓特性會遵循 (3.1)

式。合併 (3.1) 式與 (3.4) 式可得：

$$J = A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \left[ \exp\left(\frac{qV}{nkT}\right) - 1 \right] \quad (3.6)$$

於  $qV \gg nkT$  的條件下，(3.6) 式近似為

$$J \approx A^* T^2 \exp\left(-\frac{q\phi_B}{kT}\right) \left[ \exp\left(\frac{qV}{nkT}\right) \right] \quad (3.7)$$

若對 (3.7) 式的左右兩端取自然對數，再經適當的整理，可得

$$\text{Log}\left(\frac{J}{T^2}\right) = \text{Log}(A^*) + \frac{1}{\text{Ln}(10)} \frac{q}{1000k} \left( \frac{V}{n} - \phi_B \right) \frac{1000}{T} \quad (3.8)$$

若對  $\text{Log}\left(\frac{J}{T^2}\right)$  與  $\frac{1000}{T}$  這兩個變數作圖，我們可以得到一個負斜率的線性圖形，如圖 3-3。我們可以從此圖形的 Y 軸截距求得  $A^*$  值，而從斜率及代入由電流-電壓法所得到的  $n$  值，可以求得  $\phi_B$  值，如下式：

$$\phi_B = \frac{V}{n} - \frac{\text{Ln}(10) \cdot 1000k}{q} \cdot \text{Slope} \quad (3.9)$$

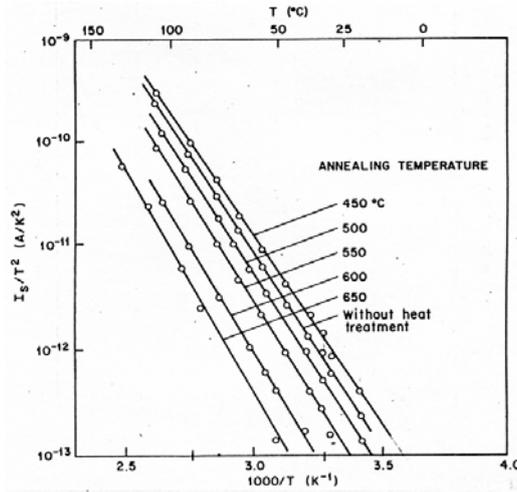


圖 3-3 利用電流-溫度法所得到的線性圖形[24]

電流-溫度法主要是觀察當溫度改變下，電流密度所產生的相對應的改變。所以我們必須固定加於金屬半導體接面的偏壓值的大小，以作為控制變因。通常這個值會取在 0.1~0.2 伏特的範圍之內（形成順向偏壓即可）。

用此法所得到的兩個物理參數— $A^*$  與  $\phi_B$ ，各自有其誤差來源：

1.  $A^*$  的誤差來源：若要求得  $A^*$ ，根據之前所述，必須利用外差的方式，求取當「 $1000/\text{某絕對溫度}$ 」接近  $0 \text{ K}^{-1}$ （某絕對溫度需大於攝氏正幾萬度才能滿足）時的 Y 軸截距。而實驗溫度的改變範圍實際上只介於攝氏正負一百度之間，若換算成所需的電流-溫度圖形的 X 軸尺度，分別會對應到  $2.68$  和  $5.78 \text{ K}^{-1}$ 。問題在於， $2.68 \sim 5.78 \text{ K}^{-1}$  代表約二百度的溫度範圍，而  $0 \sim 2.68 \text{ K}^{-1}$  卻代表幾萬度以上的溫度範圍，要用相對

小的範圍去預測相對大的範圍，預測的結果存在不確定性！

2.  $\phi_B$  的誤差來源：利用電流-溫度圖形的斜率來求得  $\phi_B$  的方法，其誤差主要是受到所代入  $n$  值的誤差的影響。我們注意 (3.9) 式的右方第一項—不論  $V$  或  $n$  各為多少 ( $V$  通常介於 0.1~0.2 伏特之間；而  $n$  通常介於 1~2 之間)， $\frac{V}{n}$  的誤差量約為 0.1 伏特。而這 0.1 伏特的誤差量是否會影響到用 (3.9) 式所求得的  $\phi_B$  的大小取決於該式的右方第一項與第二項的比例關係。



# 第四章

## 實驗結果與討論

### 4-1 實驗結果—以電流-電壓法量測

定義「有效長度」為兩個量電壓接觸墊 (V1 及 V2) 連接導線的引線之間的距離。實驗的對象分為 (相同的製程條件, 不同的幾何尺寸):

1. 線寬 8 微米、高度 33 奈米、有效長度 20 微米之元件—微米線
2. 線寬 5 微米、高度 33 奈米、有效長度 20 微米之元件—微米線
3. 線寬 400 奈米、高度 33 奈米、有效長度 20 微米之元件—次微米線



#### 4-1.1 線寬 8 微米、高度 33 奈米、有效長度 20 微米之元件的量測

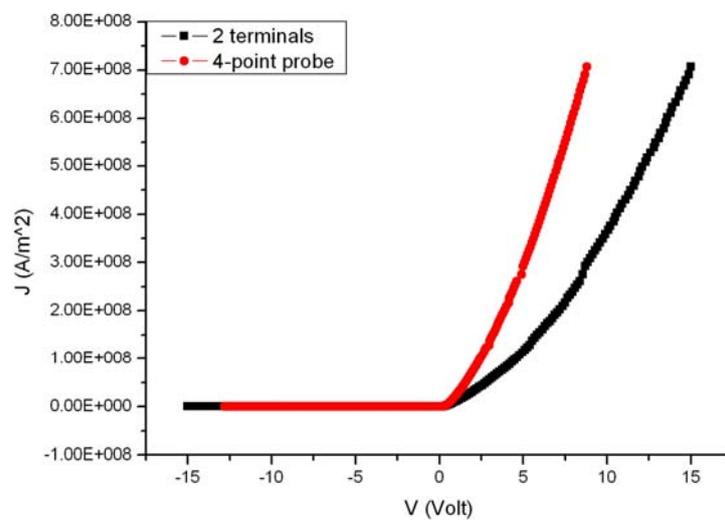


圖 4-1(a) 電流密度-電壓圖

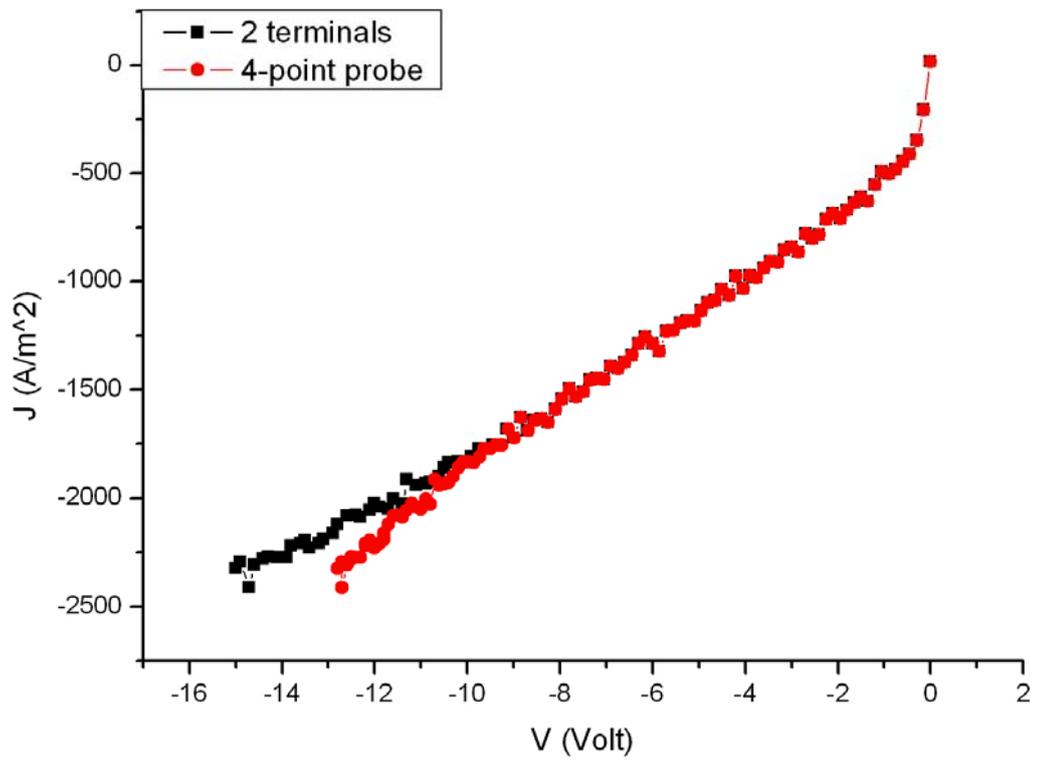


圖 4-1(b) 電流密度-逆向偏壓圖

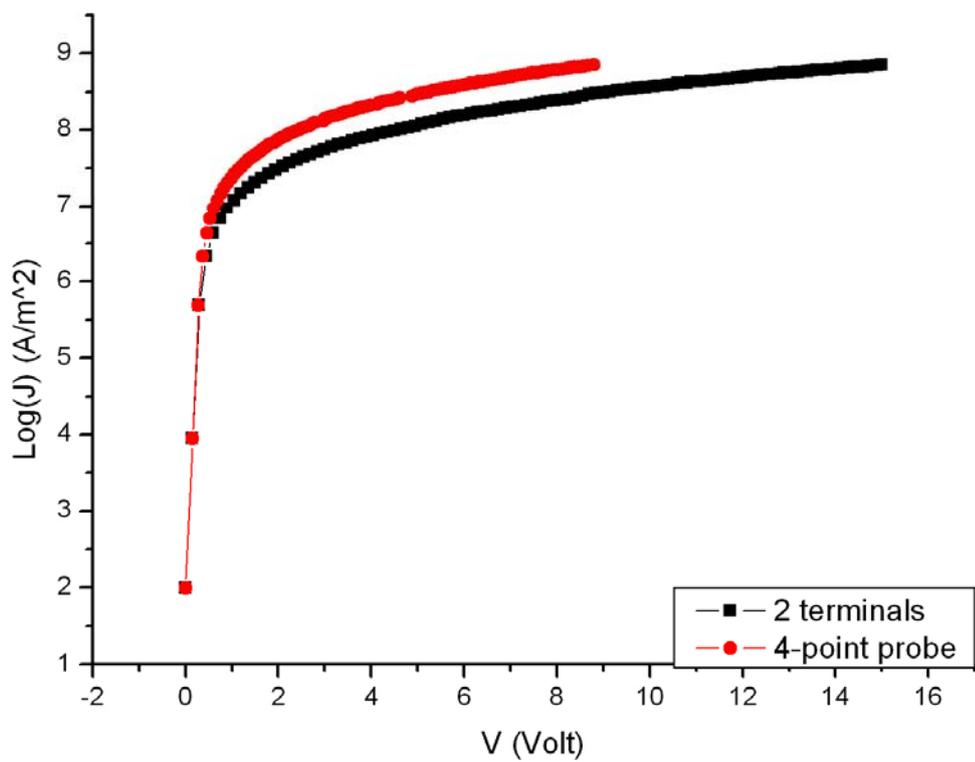


圖 4-1(c) 對電流密度取以 10 為底的對數-電壓圖

4-1.2 線寬 5 微米、高度 33 奈米、有效長度 20 微米之元件的量測

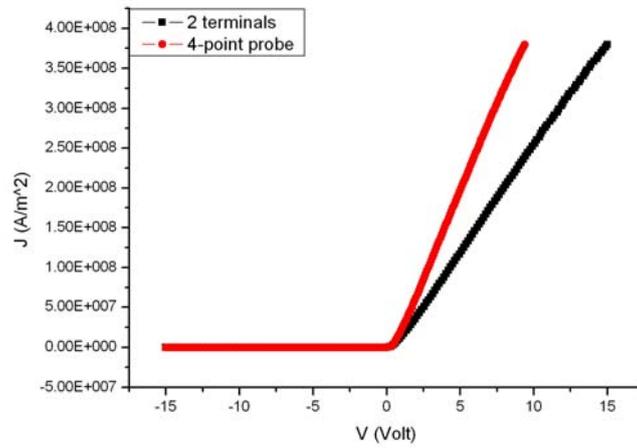


圖 4-2(a) 電流密度-電壓圖

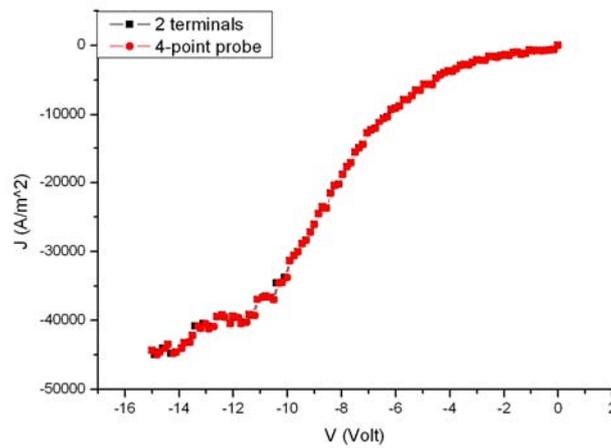


圖 4-2(b) 電流密度-逆向偏壓圖

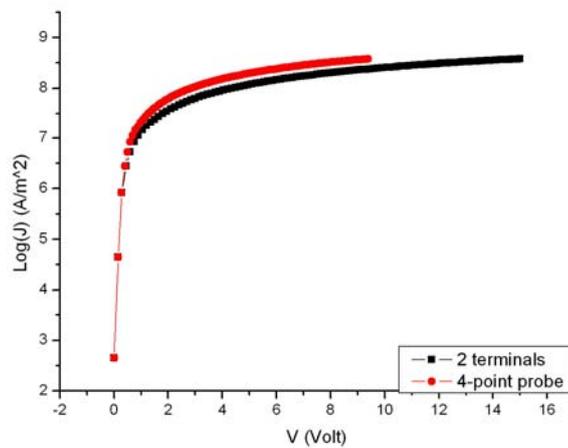


圖 4-2(c) 對電流密度取以 10 為底的對數-電壓圖

### 4-1.3 線寬 400 奈米、高度 33 奈米、有效長度 20 微米之元件的量測

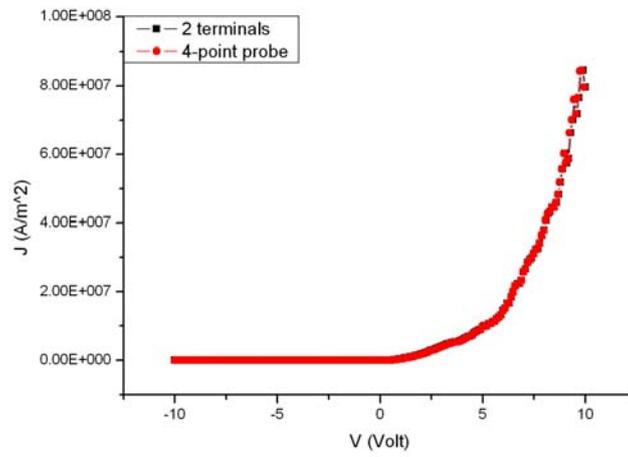


圖 4-3(a) 電流密度-電壓圖

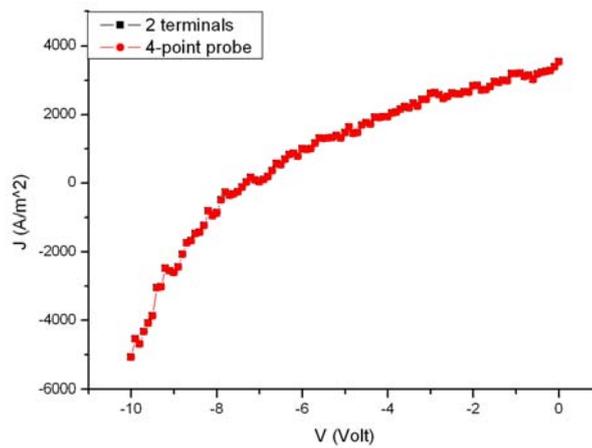


圖 4-3(b) 電流密度-逆向偏壓圖

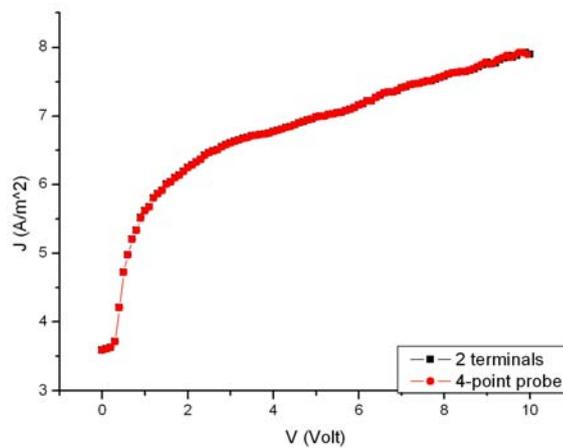


圖 4-3(c) 對電流密度取以 10 為底的對數-電壓圖

#### 4-1.4 n 值及蕭基能位障高之計算結果

一般在計算蕭基能位障高時，其線性線通常會取在二極體發生導通（turn on）時的門檻電壓值的附近。在此，為了觀察取線性的位置是如何影響到所計算出來的蕭基能位障高，我們刻意將取線性線的位置依序定在三個區間內—0.1~0.3 伏特、0.3~0.8 伏特、及 5 伏特以後，然後尋找各區間內的線性線，並求出其直線方程式，再與(3.3)式或(3.8)式作比較。

表 4-1 n 值及蕭基能位障高之計算結果

| Devices  | Structures    | Parameters | 0.1~0.3 V | 0.3~0.8 V | 5~ V     |
|--|---------------|------------|-----------|-----------|----------|
| traditional  | 2 terminals   | n          | 1.232     | 1.536     | 13.244   |
|  |               | SBH        | 0.614     | 0.605     | 0.463    |
|  | 4-point probe | n          |           |           |          |
|  |               | SBH        |           |           |          |
| W= 8 $\mu\text{m}$<br>H= 33 nm<br>L = 20 $\mu\text{m}$ | 2 terminals   | n          | 1.385     | 4.304     | 13.689   |
|  |               | SBH        | 0.531     | 0.384     | 0.302    |
|  | 4-point probe | n          | 1.300     | 3.118     | 8.661    |
|  |               | SBH        | 0.534     | 0.400     | 0.310    |
| W= 5 $\mu\text{m}$<br>H= 33 nm<br>L = 20 $\mu\text{m}$ | 2 terminals   | n          | 1.341     | 1.565     | 22.95    |
|  |               | SBH        | 0.517     | 0.517     | 0.268    |
|  | 4-point probe | n          | 1.341     | 1.363     | 10.889   |
|  |               | SBH        | 0.517     | 0.521     | 0.283    |
| W= 400 nm<br>H= 33 nm<br>L = 20 $\mu\text{m}$          | 2 terminals   | n          | $\Delta$  | $\Delta$  | $\Delta$ |
|  |               | SBH        | $\Delta$  | $\Delta$  | $\Delta$ |
|  | 4-point probe | n          | 3.331     | 5.188     | 10.082   |
|  |               | SBH        | 0.522     | 0.479     | 0.428    |

註：因為 W= 400 nm 的元件，其兩端點量測與四點探針量測所得的到的電流-電壓特性幾乎無法區分，在此用「 $\Delta$ 」來表之。

## 4-2 實驗結果—以電流-溫度法量測

以下為針對線寬 5 微米、高度 35 奈米、有效長度 15 微米之元件所作做的量測。紅線的部份為升溫量測—從 288 K 到 443 K，而黑線的部份為降溫量測（需抽真空）—從 57 K 到 300 K。

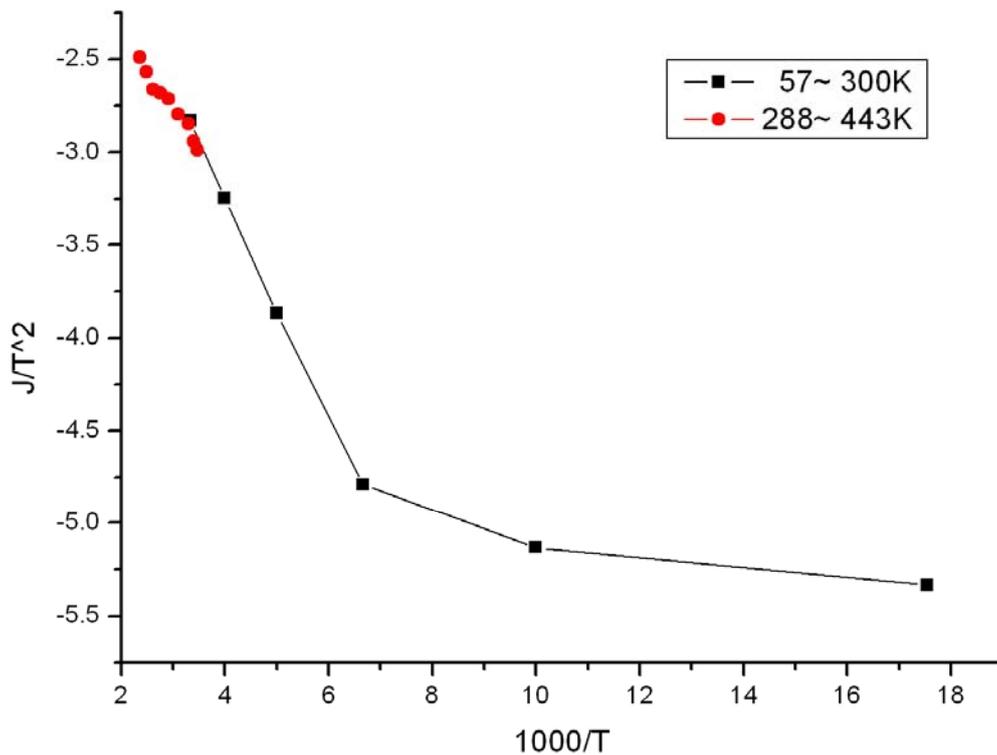


圖 4-4 電流密度除以絕對溫度的平方-1000 除以絕對溫度圖

## 4-3 對照實驗—一般結構（垂直式）的鎳矽/矽蕭基二極體

我們製作如下圖 4-5 的一般結構（垂直式）的鎳矽/矽蕭基二極體，作為觀察鎳/矽界面經由 500°C、60 秒的快速退火爐製程而形成鎳矽/矽界面的電流-電壓變化。以驗證用這種製程參數來形成鎳矽/矽界面是否可以有

效提升該接面的導電性。

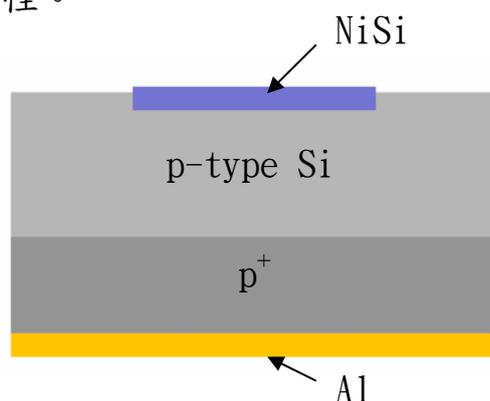


圖 4-5 垂直式鎳矽/矽蕭基二極體示意圖

上圖頂端的鎳矽/矽接面為圓形，且分為大小兩種直徑—大的直徑約為 390 微米，小的直徑約為 270 微米。實驗的結果如圖 4-6 所示。

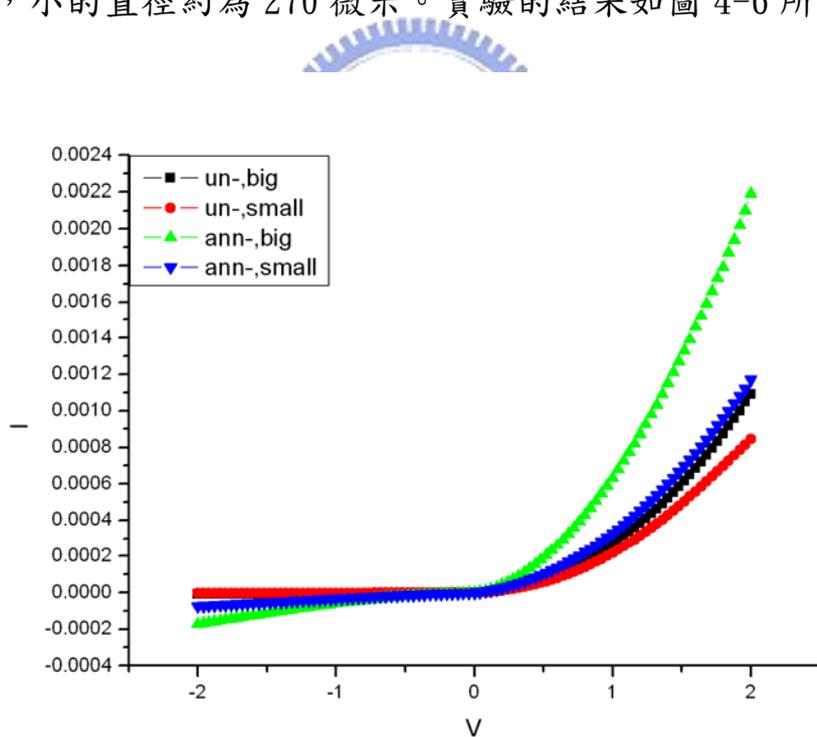


圖 4-6 垂直式鎳矽/矽蕭基二極體的電流-電壓特性圖

比較同樣是小的接面面積的電流-電壓特性於快速退火前後的變化（退火前為該圖中的紅線，退火後為該圖中的藍線），可以注意到於順向或逆向

偏壓下，退火後的導電性皆上升。此外，可以注意到大的接面面積的電流值於相同電壓之下會大於小的接面面積的電流值。

#### 4-4 以聚焦離子束與電子束顯微系統 (FIB/SEM) 作觀察

我們以聚焦離子束與電子束顯微系統 (FIB/SEM) 作觀察，圖 4-7(a) 為以其中的 SEM 模式拍攝鎳矽/矽次微米線 (線寬約 450 奈米、高度約 35 奈米) 蕭基二極體的俯視圖，紅色圓圈圈起來的部份為鎳矽/矽接面的位

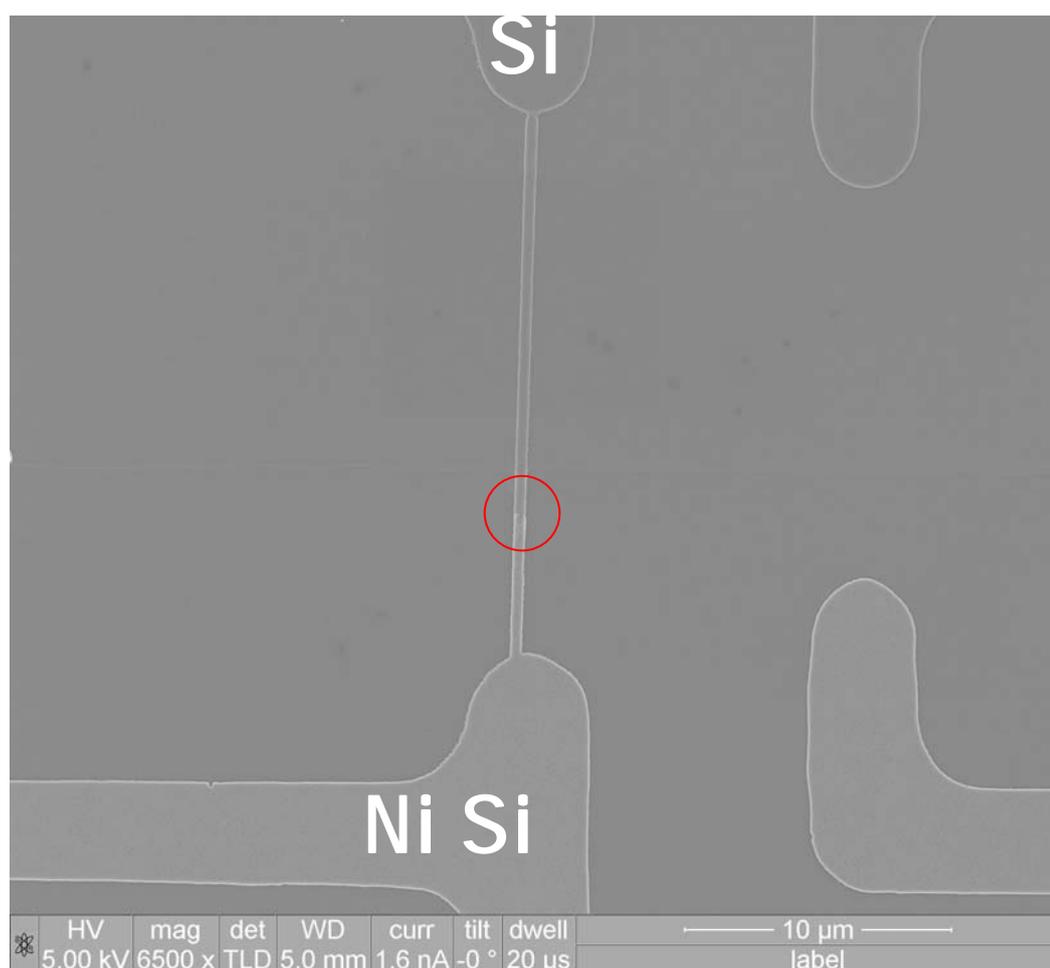


圖 4-7(a) 以 SEM 模式拍攝鎳矽/矽次微米線蕭基二極體的俯視圖。

置，而可以注意到在整張圖的中間隱約有一條橫線，這是當初包覆一半鎳金屬於其上，再用硝酸水溶液等去除後，所留下的軌跡。另外，紅色圓圈的上方顏色較暗，而下方較亮—可判斷下方的導電度較好，為鎳矽的材質。

圖 4-7(b)為針對該次微米線上的鎳矽/矽接面作放大，其線寬約為 450 奈米。值得注意的是，如之前的研究[18]，當鎳與矽形成鎳矽化物時，鎳矽奈米線的部份相較於矽奈米線的部份，體積會膨脹約 1.2 倍。但是在這張圖上似乎沒有觀察到這種現象，主要的原因可能是當初為了確保鎳金屬完全被硝酸水溶液等去除，而讓元件浸泡在該溶液中的時間較長，但在這過程中，鎳矽次微米線的部份可能也會因此而被蝕刻。這個部份需要作進一步的實驗探討。

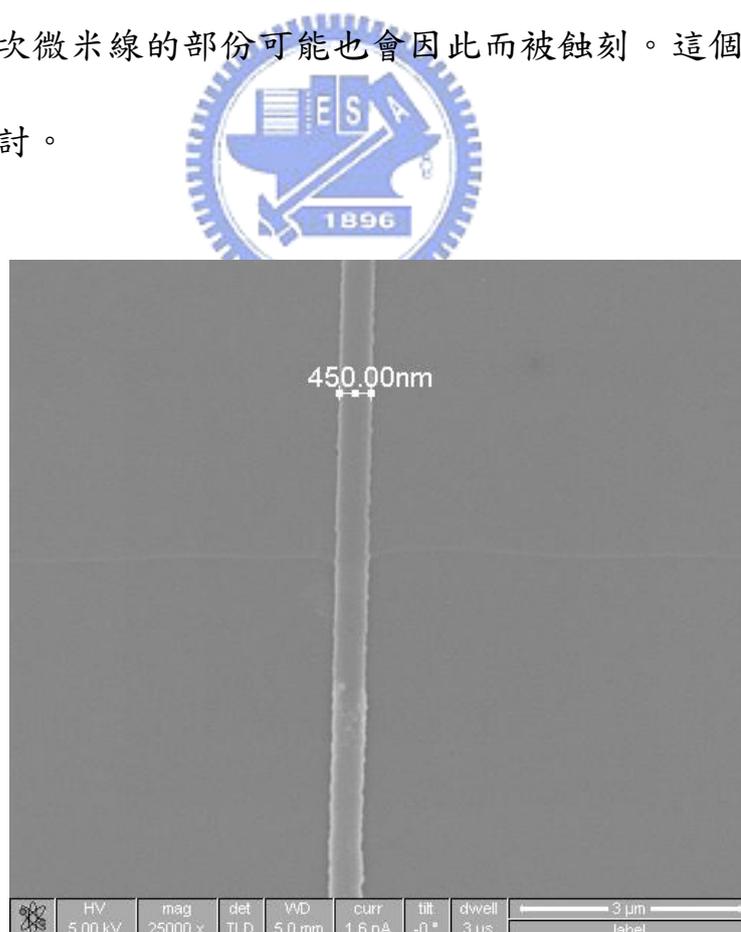


圖 4-7(b) 鎳矽/矽接面的俯視圖

當以 FIB 模式於次微米線的側方挖開一個孔洞後，如圖 4-8(a)所示(其上方梯形突起部份為鉑金屬保護層)，再以 SEM 模式拍攝鎳矽/矽次微米線蕭基二極體的側視圖，如圖 4-8(b)。

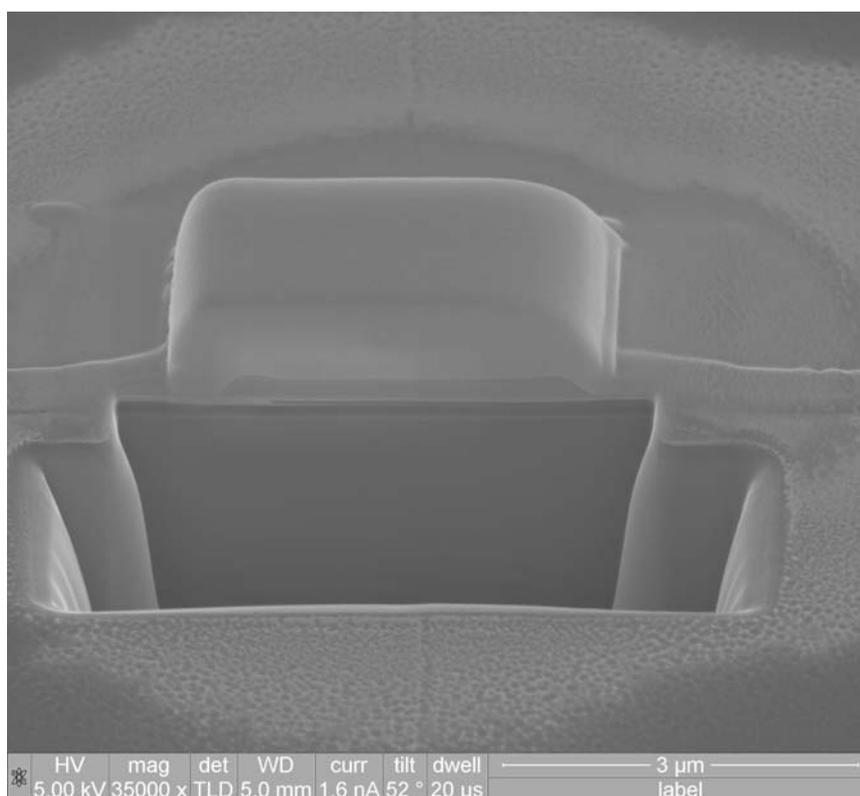


圖 4-8(a) 以 FIB 模式於次微米線的側方挖開一個孔洞。

圖 4-9(a)為以 SEM 模式拍攝鎳矽次微米線的剖面圖。該鎳矽次微米線的厚度約在 35~45 奈米之間、下方的 BOX 層的厚度約在 145~155 奈米之間，都與預期相符。此外，在次微米線的外圍也發現 BOX 經 BOE 溶液蝕刻後的過蝕刻現象 (over-etch)，如圖 4-9(b)。

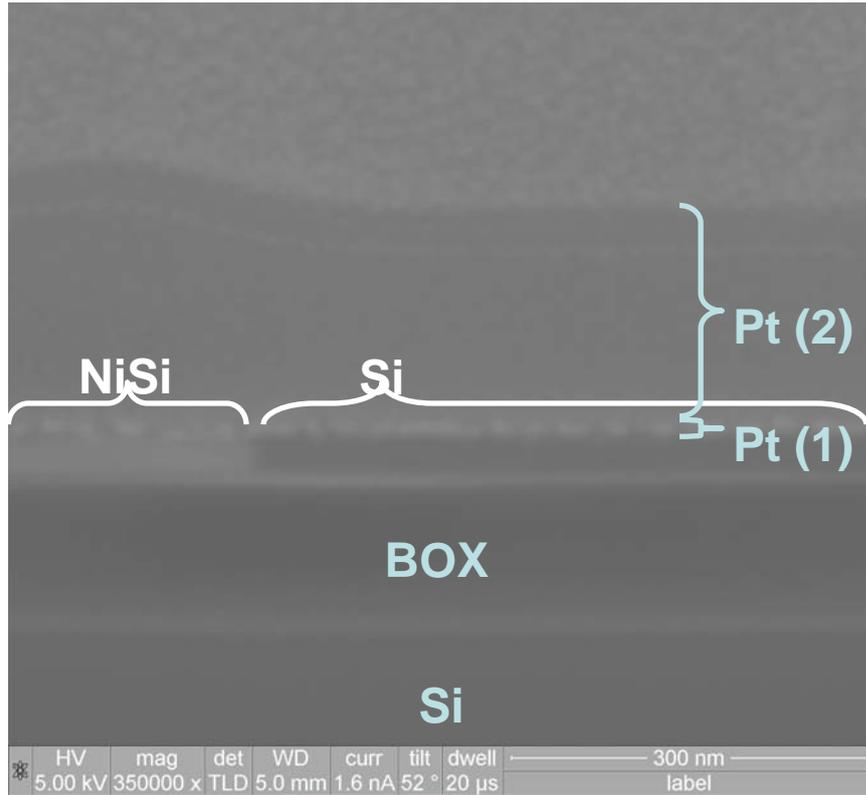


圖 4-8(b) 鎳矽/矽接面的側視圖

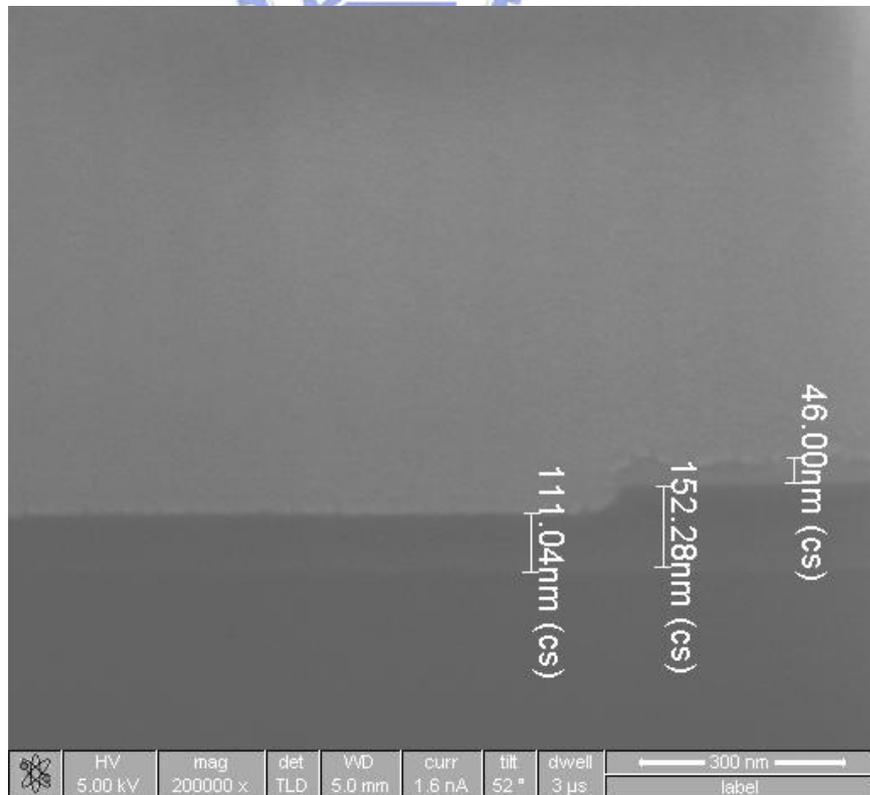


圖 4-9(a) 鎳矽次微米線的剖面圖



圖 4-9(b) 上圖的放大圖。

## 4-5 討論

### 4-5.1 四點探針架構用在鎳矽/矽微米線或次微米線蕭基二極體的可行性

以下分別討論微米線與次微米線的情況：

#### 1. 線寬 8 微米及 5 微米的微米線：

如圖 4-1(c)及 4-2(c)，我們發現採用四點探針架構於相同的電壓之下，其電流-電壓曲線會產生向上偏移的行為，這意指了有較大的電流密度，也就是說有較小的寄生電阻！

如圖 4-10，一條向上偏移的以 10 為底的對數曲線（紅線）與原本的以 10 為底的對數曲線（黑線），將兩者的線性線皆取在相同的 0.3~0.8 伏特的電壓區間內，此時前者會得到一條斜率較大、Y 軸截距較小的線性線（桃紅色）—根據(3.3)式及(3.5)式，這分別造就了較接近 1

的  $n$  值及較高的蕭基能位障高（意即寄生電阻會造成量測到較大的  $n$  值與較小的蕭基能位障高），如表 4-1 所示。

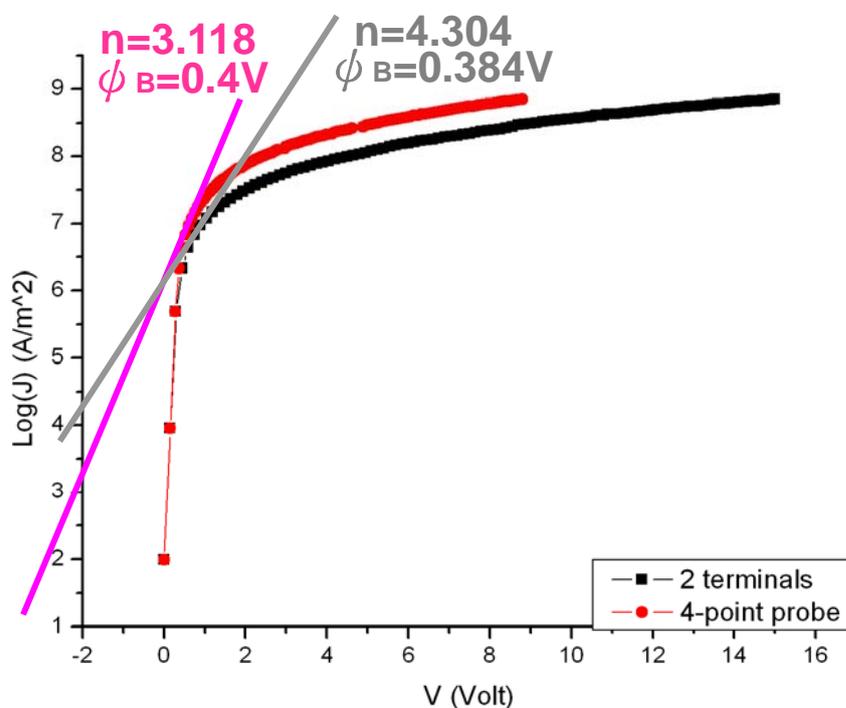


圖 4-10 以線寬 8 微米的微米線為例，寄生電阻會造成量測到較大的  $n$  值與較小的蕭基能位障高。

一般鍍矽對  $n$  型矽的蕭基能位障高介於 0.7~0.75 伏特之間，如表 4-2 所示 [26]。我們發現採用四點探針量測法計算所得的蕭基能位障高會較採用兩端點量測法計算所得的蕭基能位障高接近此值。於是，透過四點探針的架構來解決寄生電阻效應的策略，在此獲得實驗的印證。

## 2. 線寬 400 奈米的次微米線：

如圖 4-3(c)，我們發現採用四點探針架構於相同的電壓之下，兩者的電流-電壓曲線似乎不像微米線般有明顯的偏移，但確實仍有些微

表 4-2 一般常見的金屬對矽的蕭基能位障高[26]

| Metal | $\phi_B$ (eV) |           |
|-------|---------------|-----------|
|       | n-type Si     | p-type Si |
| Ag    | 0.78          | 0.54      |
| Al    | 0.74          | 0.58      |
| Au    | 0.80          | 0.32      |
| Co    | 0.70          |           |
| Cr    | 0.61          | 0.50      |
| Cu    | 0.58          | 0.46      |
| Hf    | 0.55          | 0.60      |
| Mg    | 0.40          |           |
| Mo    | 0.68          | 0.42      |
| Ni    | 0.61          | 0.51      |
| Pb    |               | 0.55      |
| Pd    | 0.77          |           |
| Pt    | 0.90          |           |
| Ti    | 0.50          | 0.61      |
| V     | 0.70          |           |
| W     | 0.67          |           |
| Zn    | 0.75          | 0.50      |



| Metal              | $\phi_B$ (eV) |           |
|--------------------|---------------|-----------|
|                    | n-type Si     | p-type Si |
| CoSi               | 0.68          |           |
| CoSi <sub>2</sub>  | 0.64          |           |
| CrSi <sub>4</sub>  | 0.57          |           |
| HfSi               | 0.4-0.5       |           |
| IrSi               | 0.93          |           |
| MnSi               | 0.76          |           |
| MoSi <sub>2</sub>  | 0.55          |           |
| NiSi               | 0.70-0.75     |           |
| Ni <sub>2</sub> Si | 0.70-0.75     |           |
| NiSi <sub>2</sub>  | 0.70          |           |
| Pd <sub>2</sub> Si | 0.75          | 0.35      |
| PtSi               | 0.85          | 0.25      |
| RhSi               | 0.70          | 0.33      |
| TaSi <sub>2</sub>  | 0.59          |           |
| TiSi <sub>2</sub>  | 0.60          |           |
| WSi <sub>2</sub>   | 0.65          |           |
| ZrSi <sub>2</sub>  | 0.55          | 0.55      |

的分裂產生。我們可以換個方式來看這件事情：若選取 HP4155B 在量測電流-電壓特性時的任一次取樣點，從該取樣點的記錄中，我們可以發現元件兩端點的電壓差 ( $V_m - V_s$ ) 都會大於四點探針所量到的電壓差 ( $V_1 - V_2$ )，如圖 4-11 所示。這代表四點探針所量到的電壓差確實是比較接近跨在鍍矽/矽接面上的電壓差。因此，我們不能論定四點探針的架構並不適用於次微米線或奈米線！

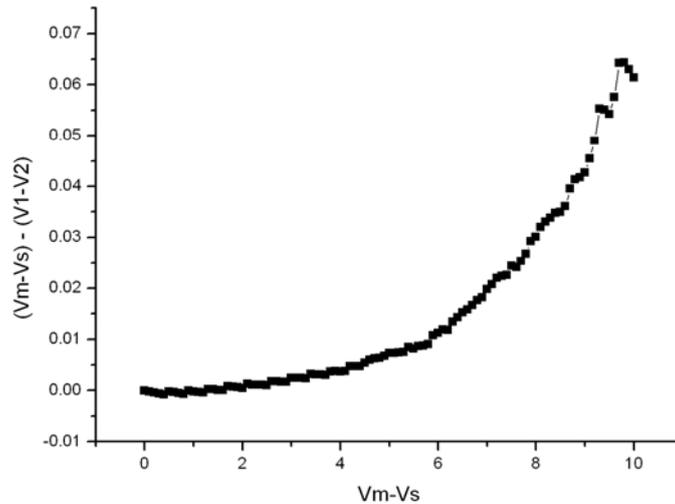


圖 4-11 元件兩端的電壓差 ( $V_m - V_s$ ) 減去四點探針所量到的接面的電壓差 ( $V_1 - V_2$ ) 對前者作圖。

之所以會有不明顯的偏移現象的原因是，在這個「電路系統」中大部份的電壓是被具有高電阻的次微米線所佔去（當其他條件相同時，電阻值會和截面積呈反比，而微米線的截面積約為次微米線的截面積 12.5 倍，所以次微米線的電阻值會大於微米線的電阻值約 12.5 倍），而次微米線之外左右兩端串聯電阻、延展電阻、及接觸電阻所佔的電壓比例是相對小的。以此系統的整體來看，後者因為比例小，而可以被忽略。於是，不論我們是採用四點探針量測法或是採用兩端點量測法，量測的結果是不會像在微米線時一樣因導線之外的寄生電阻的電壓降存在而造成這兩種量法的結果的差異——這種問題同樣也會發生在未來的奈米線元件上。

為解決這種困擾，我們建議之後的元件設計，兩個量電壓接觸墊

(V1 及 V2) 連接導線的引線越接近中間的鎳矽/矽接面越好 (即有效長度越短越好), 才能根本上避免次微米線或奈米線本身的電阻。但這又需考量之後的鍍鎳製程, 其在微影時是否有能力對準得到?

#### 4-5.2 取線性線的位置會影響到所計算的蕭基能位障高

從表 4-1 的結果, 我們發現只有將線性線取在第一區間內, 才可以得到一個介於 1~2 之間的  $n$  值。那麼為何第二區間和第三區間不能得到相同的結果呢? 關鍵在於鎳矽/矽接面的電流-電壓特性與元件的寄生電阻的匹配問題。

我們必須先有兩點認知: 首先, 以我們的元件設計, 如圖 4-12(a) 所示, 即使採用四點探針量測法, 但仍不可避免的會納入導線本身的電阻。其電路示意圖如圖 4-12(b) 所示。

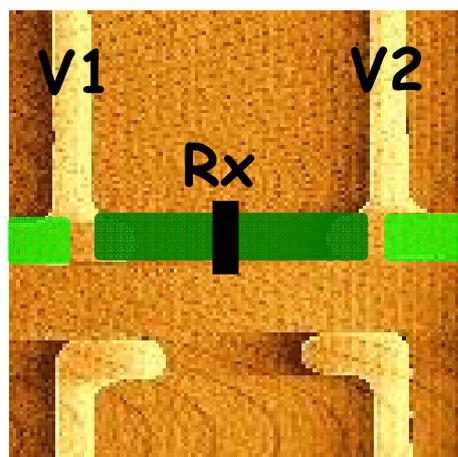


圖 4-12(a) 因元件設計的關係, 即使採用四點探針量測法, 但仍不可避免的會納入導線本身的電阻 (深綠色的部份)。

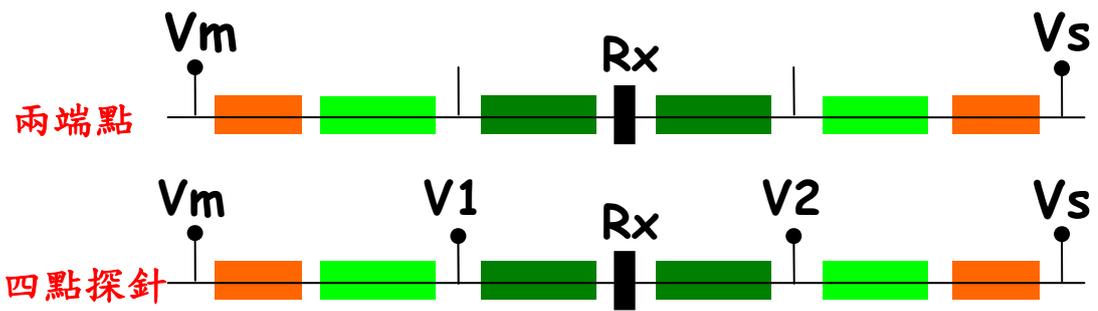


圖 4-12(b) 上圖的電路示意圖。橘色部份為接觸電阻，淺綠色部份為延展電阻及導線之外左右兩端串聯電阻，深綠色部份為導線本身的電阻，黑色部份為鎳矽/矽接面的電阻。

再者，對於一個金屬半導體接面，即使不是理想接面，而發生費米階被釘住的現象，若沒刻意製作成歐姆接面，通常會形成蕭基接面，而具有一個蕭基能位障[1]。在一般的情況下，電流主要會以熱游離輻射的方式通過此位障，造成該接面兩端的電流和電壓呈指數關係，如圖 4-13 所示。滿足此特性關係的金屬半導體接面就像一個可變電阻，於順向偏壓下，電阻值會隨著電壓越大而變小。

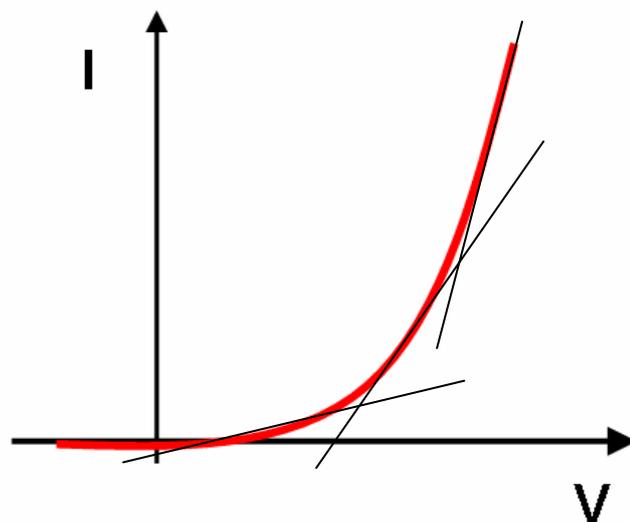


圖 4-13 電流和電壓呈指數關係的示意圖

同時考量以上兩點：當整個元件被外加一個小偏壓時，例如 0.1~0.3 伏特，鎳矽/矽接面的電阻和元件的寄生電阻大小接近，所以不論以四點探針量測法或是以兩端點量測法去量，得到的電流-電壓特性會明顯地反應出鎳矽/矽接面的特性；然而，當整個元件被外加一個大偏壓時，例如 5 伏特以上，此時鎳矽/矽接面的電阻會變小，但元件的寄生電阻卻不變，造成鎳矽/矽接面的電阻比例上不如元件的寄生電阻，再以四點探針量測法或是以兩端點量測法去量，得到的電流-電壓特性此時主要是由元件的寄生電阻來決定！所以，若想觀察的對象是鎳矽/矽接面，那麼必須以電流-電壓圖上的較小的順向偏壓的特性作分析——於是我們選擇將線性線取在蕭基二極體發生導通時的門檻電壓值的鄰近範圍內。

從表 4-1 的結果，我們也可以發現對於次微米線來說，即使線性線取在第一區間內，其  $n$  值仍大於 2（在此為 3.331）。這種現象的主要原因是，次微米線本身的電阻已大於鎳矽/矽接面的電阻，更大於其他的寄生電阻。於是當蕭基二極體恰發生導通時，其電流-電壓特性除了反應出鎳矽/矽接面電阻的特性外，也會反應出次微米線本身電阻的特性。

#### 4-5.3 鎳矽對 p 型矽接面與對 n 形矽接面的蕭基能位障高

從表 4-1 的結果，我們發現將以相同製程參數製作的 p 型垂直式蕭基二極體與鎳矽/矽微米線或次微米線蕭基二極體的蕭基能位障高加起來（分

別為 0.614 eV 及 0.517~0.534 eV)，其和大約在 1.131~1.148 eV 之間，這接近矽能帶隙的大小（約 1.12 eV [3]）。也符合 Sze 所述—即使算出對 n 型的蕭基能位障高較小，而對 p 型的蕭基能位障高較大，但其和仍應與該半導體材料的能帶隙的大小一致[3]。



# 第五章

## 結論與展望

### 5-1 結論

根據近年來的研究成果發現，當金屬半導體接面面積直徑小於數十奈米時，影響其蕭基能位障的機制似乎和我們過去所熟知的不同，也更複雜。

如同 Tivarus 等人採用量子井配合金膜以形成奈米接面來探討奈米等級金屬半導體接面特性的問題，我們設想採用鎳矽/矽奈米線蕭基二極體（鎳矽/矽接面的其中一個維度可小於五十奈米）來探討相同的問題。但在進一步使用此工具來探討蕭基能位障的小尺寸效應前，我們必須先克服該元件既有的寄生電阻效應—奈米線本身的電阻、奈米線之外左右兩端的串聯電阻、延展電阻、及接觸電阻。

因此，我們引入了四點探針的架構，以期能避開這些寄生效應，而萃取出真正的鎳矽/矽接面的整流特性。也才能在後續的計算中，得到一個較接近該接面實際的蕭基能位障高。

本論文的研究目的為：設計並製造一個以鎳矽/矽奈米線蕭基二極體架構為基礎，並可透過四點探針的架構來測得較接近真實的奈米等級鎳矽/矽（金屬半導體）接面的蕭基能位障高的平台。

我們達到的成果與結論如下：

1. 成功製造 n 型鎳矽/矽微米線與次微米線（線寬 400 奈米、高度 33 奈米）蕭基二極體，及其含四點探針架構的設計。
2. 解釋寄生電阻效應對量測鎳矽/矽微米線與次微米線蕭基二極體的影響：寄生電阻效應會造成量測到較大的 n 值及較小的蕭基能位障高。
3. 以元件設計來避開寄生電阻效應：
  - (1) 證實四點探針架構在輔助萃取鎳矽/矽微米線與次微米線蕭基二極體的鎳矽/矽接面的蕭基能位障高的可行性，並解釋了為何用在次微米線上的效果不明顯的原因。
  - (2) 四點探針架構設計的建議：兩個量測電壓的腳位越接近鎳矽/矽接面越能避開導線本身的電阻，但也要考慮黃光製程是否可以承受。
4. 以量測方法來避開寄生電阻效應：以實驗與計算證實取線性線的位置會影響到所計算的蕭基能位障高。為了不讓鎳矽/矽接面的電流-電壓特性因比例太小而受到寄生電阻的電流-電壓特性掩蓋，我們選擇將線性線取在蕭基二極體發生導通時的門檻電壓值的鄰近範圍內（約在 0.1~0.3 伏特之間）。
5. 透過 p 型垂直式蕭基二極體，印證用這種快速退火爐的製程參數來形成鎳矽/矽接面可以有效提升原本的鎳/矽接面的導電性。
6. 當我們將以相同製程參數製作的 p 型垂直式蕭基二極體與鎳矽/矽微米

線或次微米線蕭基二極體的蕭基能位障高加起來，可以得到接近矽能帶隙的大小的值（我們實驗得到的值在 1.131~1.148 eV 之間，而文獻上記載矽能帶隙的大小約為 1.12 eV），這符合理論的預期。

## 5-2 展望—未來工作的建議

下列幾個問題，需要進一步的研究探討：

### 1. 關於製程的：

- (1) 鎳矽/矽接面於快速退火爐製程的溫度與時間的最佳化。
- (2) 金屬接觸墊於常壓退火製程的溫度與時間的最佳化。
- (3) 使用 NSCRIPTOR DPN SYSTEM™ 作氧化的製程條件及 TMAH 蝕刻的製程條件的穩定化。
- (4) 去鎳金屬溶液的選擇與製程條件的最佳化。

### 2. 探討奈米等級金屬半導體接面的小尺寸效應的問題。

3. 以此平台為基礎，但以其他金屬材料取代鎳。發展通用的量測蕭基能位障高的工具。

## 參考文獻

- [1] Dieter K. Schroder, "Semiconductor Material and Devices Characterization, 2<sup>nd</sup> ed.," pp.133-134, Wiley, 1998.
- [2] E. H. Rhoderick and R. H. Williams, "Metal-Semiconductor Contacts," pp.11-15, Clarendon Press, Oxford, 1988.
- [3] S. M. Sze, "Semiconductor Devices, Physics and Technology," pp.159-166, Wiley, 1985.
- [4] S. M. Sze, "Semiconductor Devices, Physics and Technology," pp.161-162, Wiley, 1985.
- [5] B. L. Anderson and R. L. Anderson, "Fundamentals of Semiconductor Devices," pp.317-333, McGraw-Hill, 2005.
- [6] Hideki Hasegawa and A. Hiraki, "Metal-semiconductor interfaces," pp.280, IOS, Tokyo. 1995.
- [7] Hideki Hasegawa et al., "Properties of nanometer-sized metal-semiconductor interfaces of GaAs and InP formed by an in-situ electrochemical process," J. Vac. Sci. Technol. B, vol.17(4), pp.1856-1866, 1999.
- [8] C. Tivarus and J. P. Pelz, "Direct measurement of quantum confinement effects at metal to quantum-well nano-contacts," Physical Rev. Lett., vol. 94 (206803), pp.1-4, 2005.
- [9] C. Tivarus et al., "Nanoscale characterization metal/ semiconductor nano-contacts," Characterization and Metrology for ULSI Technology, vol.788, pp.280-284, 2005.
- [10] G. D. J. Smit, S. Rogge, and T. M. Klapwijk, "Enhanced tunneling across

nanometer-scale metal-semiconductor interfaces,” *Apply Phys. Lett.*, vol.80, pp.2568-2570, 2002.

[11] G. D. J. Smit, M. G. Flokstra, S. Rogge, and T. M. Klapwijk, “Scaling of micro-fabricated nanometer-sized Schottky diodes,” *Microelectronic Eng.*, vol.64, pp.429-433, 2002.

[12] G. D. J. Smit, S. Rogge, and T. M. Klapwijk, “Scaling of nano-Schottky-diodes,” *Cond. Mat.*, vol.2, 2002.

[13] Francois Leonard and J. Tersoff, “Role of Fermi-level pinning in nanotube Schottky diodes,” *Phys. Rev. Lett.*, vol.84, pp.4693-4696, 2000.

[14] J. A. Misewich, R. Martel, Ph. Avouris, J. C. Tsang, S. Heinze, and J. Tersoff, “Electrically induced optical emission from a carbon nanotube FET,” *Science*, vol.300, pp.753-786, 2003.

[15] <http://www.evidenttech.com/qdot-definition/quantum-dot-introduction.php>

[16] Donald A. Neamen, “Semiconductor Physics and Devices, 2<sup>nd</sup> ed.,” pp.314-318, McGraw-Hill, 1997.

[17] S. M. Sze, “Semiconductor Devices, Physics and Technology,” pp.166-171, Wiley, 1985.

[18] J. T. Sheu et al., “Fabrication and electrical transport properties of nickel monosilicide nanowires,” 5th IEEE Conference on Nanotechnology, pp.780-783, 2005.

[19] Dieter K. Schroder, “Semiconductor Material and Devices Characterization, 2<sup>nd</sup> ed.,” pp.2-17, Wiley, 1998.

[20] K. M. Chang et al., “An alternative process for silicon nanowire fabrication with SPL and wet etching system,” *J. Electrochem. Soc.*, vol.151, pp.G679-G682, 2004.

[21] [http://www.nanoink.net/3110\\_nscriptor.html](http://www.nanoink.net/3110_nscriptor.html)

[22] Toyota Morimoto et al., “Self-aligned Nickel-Mono-Silicide technology for high-speed deep submicrometer logic CMOS ULSI,” IEEE Trans. on Electron Devices, vol.42, pp915-922, 1995.

[23] Hirishi Iwai et al., “NiSi salicide technology for scaled CMOS,” Microelectronics Eng., vol. 60, pp.157-169, 2002.

[24] Dieter K. Schroder, “Semiconductor Material and Devices Characterization, 2<sup>nd</sup> ed.,” pp.168-176, Wiley, 1998.

[25] E. H. Rhoderick and R. H. Williams, “Metal-Semiconductor Contacts,” pp.38-46, Clarendon Press, Oxford, 1988.

[26] B. Y. Tsui, “Lecture-notes of integrated process, ” Dep. of E.E., NCTU, 2005.



# 簡歷

姓 名：張 洪 銓

生 日：民國 68 年 10 月 30 日

出生地：台 北

學 歷：國立交通大學 理學院 電子物理學系畢

(88 年 9 月 ~ 91 年 6 月)

國立交通大學 工學院 奈米科技研究所畢

(93 年 9 月 ~ 95 年 6 月)



碩士論文題目：

(中文) 鎳矽/矽界面蕭基能位障研究

(英文) **Study of Schottky Barrier Height of NiSi/Si Junction**