

國立交通大學

電機資訊學院 電子與光電學程

碩 士 論 文

離子佈植對雙擴散汲極金氧半場效電晶體之影響



**Impact of Ion Implantation Condition on the Characteristics
of Double-Diffusion Drain MOSFETs**

研 究 生：沈啟誠

指導教授：崔秉鉞 教授

中 華 民 國 九 十 三 年 十 一 月

離子佈植對雙擴散汲極金氧半場效電晶體之影響

**Impact of Ion Implantation Condition on the Characteristics
of Double-Diffusion Drain MOSFETs**

研 究 生：沈啟誠

Student : Chi-Cheng Sheng

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui



A Thesis

**Submitted to Degree Program of Electrical Engineering Computer Science
College of Electrical Engineering and Computer Science
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Electrics and Electro-Optical Engineering
November 2004
Hsinchu, Taiwan, Republic of China**

中華民國九十三年十一月

離子佈植對雙擴散汲極金氧半場效電晶體之影響

研究生：沈啟誠

指導教授：崔秉鉞

國立交通大學電機資訊學院 電子與光電學程(研究所)碩士班

摘要

隨著半導體製程的發展，將高壓/高功率元件與傳統互補式金氧半場效電晶體的製程技術整合在一起，已成為今日應用市場上最重要的發展。其中雙擴散汲極金氧半場效電晶體是高壓元件中最早被運用的方式，由於其構造簡單，在製程上並不需要加太多的製程條件及光罩數。對於操作電壓在 20V 以下之元件而言，雙擴散汲極金氧半場效電晶體，仍舊是所有高壓元件中的首選。

在本篇論文中，我們首先藉由模擬的方式去探討離子的植入條件對雙擴散汲極金氧半場效電晶體在電性上的影響，藉此去了解其發生的物理機制，並將由模擬出的結果及趨勢，選擇最適當的條件以改善元件的特性。從過程中，我們發現將植入能量提高，可以提升元件的耐壓能力，並減緩其突然折回的問題，但卻會降低其趨動能力；若提高植入劑量，則可以改善其近似飽合的現象，提高其導通電流及降低關閉漏電流，但其崩潰電壓卻會因此降低。因此，植入劑量及能量便成為改善元件效能上的平衡機制，同時利用高劑量及高能量的條件，將是本篇論文嘗試解決問題的方向。最後成功驗證高植入能量(240KeV)

及高植入劑量($1.4 \times 10^{13} \text{cm}^{-2}$)的條件可以大幅改善元件的特性，不僅緩和了許多的效應，亦在不影響崩潰電壓太大的情況之下，提升了電流約70%，關閉電流由原來 50pA 降至約 20pA。在此結果之下，尚可縮小元件的尺寸，增加元件密度，並降低導通電阻，對於類似的元件極具競爭力。



Impact of Ion Implantation Condition on the Characteristics of Double-Diffusion Drain MOSFETs

Student : Chi-Cheng Sheng

Advisor : Bing-Yue Tsui

Degree Program of Electrical Engineering Computer Science
National Chiao Tung University

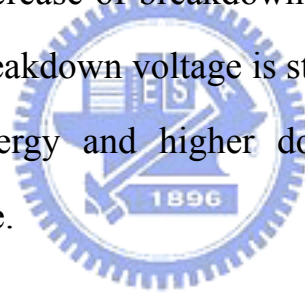


With the progress of integrated circuit technology and the trend of system-on-a-chip (SOC), integrating high power devices with low power circuit is an important in the marketing of electronic application. The Double-Diffusion Drain MOS (DDDMOS) is the first device structure proposed to sustain high drain voltage. Although several advanced high voltage devices were developed in the past 20 years, DDDMOS is still the first choice for devices operating at voltage lower than 20 V due to its simple process.

In this thesis, we focus on the impact of ion implantation condition on the performance of DDDMOS. Using TCAD simulation tools, it is observed that with the increase of implantation energy, the breakdown

voltage increases and the snapback issue is relaxed. However, the driving capability will be degraded due to the formation of non-converted p-type region on the drain surface. If the implant dosage is increased, the quasisaturation phenomenon at high gate voltage, the driving capability, and the turn-off leakage are all improved, but the breakdown voltage would be degraded. These results imply that high dose and high energy might be the better choice.

On the basis of TCAD simulation, the implantation energy was raised to 240 KeV and the implantation dose was raised to $1.4 \times 10^{13} \text{ cm}^{-2}$. A 70% increase of saturation current and 75% reduction of turn-off current were obtained. Slightly decrease of breakdown voltage was observed due to the high dose. But the breakdown voltage is still higher than 18V. It is expected that with higher energy and higher dose device performance can be improved furthermore.



誌謝

當初決定進研究所之時，在工作上正好面臨了重大的轉變，從原本屬於半導體供應鏈中的產品封裝測試工作，一下子跨到了最前端的元件工程。對於一個跨領域的人來說，這是一個難得的經驗，所幸在這段期間裡，有指導教授 崔秉鉞老師給予許多的協助，讓自己有機會在不同的工作領域中，再次出發。對於已工作數年的我而言，研究學問是一種與業界思考方式完全迥異的態度，崔老師對於實驗計劃、數據分析乃至於論文的研討，不但謹慎求是，對於結果的論證亦要求學生必須邏輯清楚，這些作學問的態度皆為我學習上的典範。

在進修的這段期間，感謝公司裡的長官們，給予時間及論文研究所需的協助。當然更要感謝工作上的伙伴們，無論是協助幫我下實驗的工程師，或是幫我分擔工作的同仁，讓我沒有後顧之憂的完成我的學業。

最後，衷心感激我的妻子林秋秀女士，當我在工作與學業上應接不暇的這些日子裡，必須忍受我早出晚歸，甚至負擔起教養小孩的責任，使我得以全心投入工作及學業。僅以此論文感謝其辛勞及即將出世的孩子。

目 錄

論文摘要(中文)	i
論文摘要(英文)	iii
誌謝	v
目錄	vi
表目錄	viii
圖目錄	ix

第一章 緒論

1.1 高壓金氧半場效電晶體簡介.....	1
1.2 論文研究動機.....	3
1.3 論文架構.....	5

第二章 漂移區對元件特性之影響

2.1 近似飽合現象.....	15
2.2 突然折回崩潰.....	17

第三章 製程模擬與元件實作

3.1 前言	38
3.2 製程模擬結果之探討	39
3.3 元件實作	40

第四章	元件電性量測結果與討論	
4.1	汲極飽合電流(I_{dsat})之探討.....	53
4.2	崩潰電壓(BV_{dd})之探討.....	54
4.3	關閉電流(I_{off})之探討.....	55
第五章	結論與展望	
5.1	結論.....	73
5.2	後續工作.....	74
	參考文獻.....	76



表 目 錄

第一章 緒論

第二章 漂移區對元件特性之影響

表 2-1 改善近似飽合現象對元件特性之影響

表 2-2 離子植入條件對元件特性之影響

第三章 製程模擬與元件實作

表 3-1 雙擴散汲極金氧半場效電晶體模擬參數值

表 3-2 元件製作之離子植入條件分佈表

第四章 元件電性量測結果與討論

表 4-1 實驗結果統計值

表 4-2 模擬關閉崩潰電壓及崩潰發生型式：

(1)表面崩潰，及(2)接面崩潰

圖 目 錄

第一章 緒論

圖 1-1 VMOS 電晶體結構表

圖 1-2 VDMOS 電晶體結構

圖 1-3 UMOS 電晶體結構

圖 1-4 DDDMOS 電晶體結構：(a)對稱型；(b)非對稱型

圖 1-5 LDMOS 電晶體結構：(a)對稱型；(b)非對稱型

圖 1-6 LDMOS 之自我生熱現象

圖 1-7 高壓元件在高閘極偏壓時之近似飽合現象

圖 1-8 高壓元件之寄生雙極性接面電晶體

圖 1-9 高壓元件在基體電流-閘極電壓特性之雙峰現象

第二章 漂移區對元件特性之影響

圖 2-1 DDDMOS 之類型：(a)非對稱型，(b)對稱型其重要參數

圖 2-2 DDDMOS 在操作電壓下，近似飽合現象之解釋

圖 2-3 提高漂移區之濃度以改善近似飽合之現象：

(a) 130KeV， $6.5 \times 10^{12} \text{ cm}^{-2}$ ，(b) 130KeV， $8.5 \times 10^{12} \text{ cm}^{-2}$

圖 2-4 提高漂移區之濃度對其片電阻之影響

(元件：W/L/S=20 μm /3 μm /1 μm)

圖 2-5 提高漂移區之濃度對汲極飽合電流之影響

(元件：W/L/S=20 μm /3 μm /1 μm)

圖 2-6 提高漂移區之濃度對元件崩潰電壓之影響

(元件：W/L/S=20 μm /3 μm /1 μum)

圖 2-7 非對稱元件寬度為 $20\ \mu\text{m}$ ，閘極至汲極端接點距離(S)之影響：

(a) $S=2\ \mu\text{m}$ ，(b) $S=1\ \mu\text{m}$

圖 2-8 漂移區之閘極至汲極端接點距離(S)對關閉崩潰電壓之影響

圖 2-9 非對稱元件寬度為 $20\ \mu\text{m}$ ，通道長度(L)之影響：

(a) $L=20\ \mu\text{m}$ ，(b) $L=3\ \mu\text{m}$

圖 2-10 (a)傳統 MOS 元件與(b)DDDMOS 元件之互導比較

圖 2-11 寄生雙接面電晶體所引起之突然折回現象

圖 2-12 元件尺寸 $W/L/S=20\ \mu\text{m}/1.2\ \mu\text{m}/1\ \mu\text{m}$ 之 DDDMOS，突然折回
崩潰發生於累增崩潰之前

圖 2-13 雙擴散汲極區的濃度對寄生雙接面電晶體的影響：

(a) $170\ \text{KeV}$, $6.5\times 10^{12}\ \text{cm}^{-2}$ ，(b) $170\ \text{KeV}$, $1.0\times 10^{13}\ \text{cm}^{-2}$

圖 2-14 不同劑量濃度對關閉崩潰電壓之影響

圖 2-15 不同劑量濃度對導通崩潰電壓之影響

圖 2-16 植入劑量對改善寄生雙接面電晶體效應之影響

第三章 製程模擬與元件實作

圖 3-1 模擬元件($L/S=3\ \mu\text{m}/1\ \mu\text{m}$)之電性特性

圖 3-2 模擬元件($L/S=3\ \mu\text{m}/1\ \mu\text{m}$)電性結果之趨勢圖：

(a) 劑量： 6.5×10^{12} ；(b) 能量： 170KeV

圖 3-3 不同植入條件對汲極飽合電流之趨勢圖，

電壓操作條件： $V_g=13.5\text{V}$ ， $V_d=15\text{V}$

圖 3-4 雙擴散汲極區(漂移區)之濃度分佈圖：

(a) 150KeV , 1×10^{13} ；(b) 240KeV , 1×10^{13}

圖 3-5 在 $V_g = 13.5V$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) $150KeV$, 1×10^{13} ; (b) $240KeV$, 1×10^{13}

(元件： $L/S=3 \mu m/1 \mu m$)

圖 3-6 在 $V_g = 13.5$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) $150KeV$, 1.4×10^{13} ; (b) $240KeV$, 1.4×10^{13}

(元件： $L/S=3 \mu m/1 \mu m$)

圖 3-7 不同植入條件對關閉崩潰電壓之趨勢圖，電壓操作條件：

$V_g=0V$, $V_d=15V$

(元件： $L/S=3 \mu m/1 \mu m$)

圖 3-8 在 $V_g = 0$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) $150KeV$, 1×10^{13} ; (b) $240KeV$, 1×10^{13}

(元件： $L/S=3 \mu m/1 \mu m$)

圖 3-9 在 $V_g = 0$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) $150KeV$, 1.4×10^{13} ; (b) $240KeV$, 1.4×10^{13}

(元件： $L/S=3 \mu m/1 \mu m$)

圖 3-10 DDD_NOS 之簡易製程流程圖

第四章 元件電性量測結果與討論

圖 4-1 離子植入條件與汲極飽合電流之關係圖

圖 4-2 離子植入條件與漂移區片電阻之關係圖

圖 4-3 離子植入能量為 $240KeV$ 之電性比較

量： $(a) 1 \times 10^{13} cm^{-2}$, $(b) 1.4 \times 10^{13} cm^{-2}$

圖 4-4 離子植入條件與崩潰電壓之關係圖

圖 4-5 崩潰電壓發生及最大電場分布示意圖

劑

圖 4-6 模擬電場強度圖： $V_g=0V$ ， $V_d=15V$

(a) $240KeV$, $1.4 \times 10^{13} cm^{-2}$ ，(b) $240KeV$, $1 \times 10^{13} cm^{-2}$

圖 4-7 模擬電場強度圖： $V_g=0V$ ， $V_d=15V$

(a) $120KeV$, $1.4 \times 10^{13} cm^{-2}$ ，(b) $120KeV$, $1 \times 10^{13} cm^{-2}$

圖 4-8 離子植入條件對導通崩潰電壓之關係圖

圖 4-9 離子植入條件與關閉電流之關係圖

圖 4-10 植入劑量對 DDDMOS 之關閉電流的影響：

(a) $240KeV$, $1 \times 10^{13} cm^{-2}$ ，(b) $240KeV$, $1.4 \times 10^{13} cm^{-2}$

圖 4-11 漂移區植入劑量對關閉電流之影響

圖 4-12 漂移區植入劑量對基體漏電流之影響

圖 4-13 汲極飽合電流與關閉電流之關係圖

圖 4-14 關閉電流與崩潰電壓之關係圖



第一章

緒論

1.1 高壓金氧半場效電晶體簡介

隨著半導體製程的發展，各類電子元件在商品化及市場機制的運作下，其應用亦日趨多樣化。高壓金氧半場效電晶體(High Voltage MOS，或簡稱 HVMOS)亦逐漸受到重視，其應用範圍涵蓋電力應用(如：汽車電子、控制馬達、電源供應器等)、平面顯示器應用(如：電漿電視、薄膜電晶體液晶顯示器、有機電激光顯示器之驅動電路及控制電路)及高頻通訊應用等等。

高壓金氧半場效電晶體在結構上，大致上區分為垂直式與水平式兩大類。垂直式之結構，從過去到目前最常見的主要有三種類型：(1)V型垂直通道金氧半場效電晶體(V-shape Channel V-MOS 或簡稱 VMOS，如圖 1-1)[1-3]，但因在 V 型尖端處易產生大電場聚集的現象，而使得元件在該處發生崩潰(Breakdown)，為改善此一問題因而有了可靠度較好的 (2) 垂直式雙擴散金氧半場效電晶體 (Vertical Double-diffused MOS 或簡稱 VDMOS，如圖 1-2)的出現[4]，但由於雙擴散金氧半場效電晶體兩側 P 型基體區域(P-Body Region)與 N 型漂移區(N-Drift Region)之間的空乏區會向內側擠壓，而造成接面場效電晶體的效應(Junction Field Effect Transistor；JFET)，影響其導通電阻[3-4,7-8]。若欲解決此問題，必須拉大兩 P 型基體間的距離，但此方式將影響元件的集積度。為了降低接面場效電晶體的效應，在 1990 年代

有了(3)溝槽式閘極功率金氧半場效電晶體(Trench Gate Power MOSFET 或稱 UMOS，如圖 1-3)的發展[5,7-8]。此類元件雖然在溝槽兩端處會有較大電場聚集，而影響元件的崩潰電壓，但此結構可大大降低導通電阻，並具有高輸入阻抗及高切換速率[2,5-8]，因而逐漸取代其它高功率元件而成為主流。綜合以上所述，垂直式金氧半場效電晶體則除了要提升耐高電壓的能力之外，還要增加其導通電流，故著重在提高元件功率之效能，故此類元件歸納為高功率元件(Power MOS)。由於其易產生大電場及大電流，因此高功率元件多半為離散式元件，其所占之面積亦相對較大以利散熱。

而水平式之結構主要著重在提高元件之耐壓能力，所使用之方法為單純增加汲極區附近靠近通道(Channel)之漂移區域(Drift Region)的長度，由於漂移區域為摻雜濃度較低的部分，因此這樣的結構將導致電晶體的導通電阻(On-Resistance)偏高，但其優點為易與低電壓之互補式金氧半場效電晶體(CMOS)製程技術整合在一起，故適合應用於操作在 100 伏特以下之元件，而常見的類型主要有兩種：(1)一種是用於操作在 20 伏特以下之雙擴散汲極金氧半場效電晶體(Double-Diffused Drain MOSFET 或簡稱 DDDMOS，如圖 1-4)[9-10]，但當汲極電壓增加時，會有寄生的雙接面電晶體(Bipolar Junction Transistor, BJT)效應的產生，甚至易產生所謂突然折回(Snapback)的現象，此一現象對於電路設計者而言，是極不欲見到且不易掌握的特性；(2)另外一種則為操作在 20 伏特以上之側邊雙擴散金氧半場效電晶體(Lateral Double-Diffused MOSFET 或簡稱 LDMOS，如圖 1-5)[11-12]，由於此類元件主要操作在 20 伏特以上，為了避免影響低電壓之週邊電路元件，並降低因高電場所引起的基體(Substrate)漏電現象，往往會在元件之下多一道阻障層(Buried Layer)，但此方式結構較為複雜，將導致其

寄生元件過多，甚而當閘極及汲極操作在高電壓時，其輸出電阻(R_{out})成為負值，即所謂的自我生熱(Self-Heating)的現象如圖 1-6，基於這些有別於一般金氧半場效電晶體的特性，將會增加此類元件在模型化(modeling)的困難度。

1.2 論文研究動機

針對雙擴散汲極金氧半場效電晶體(DDDMOS)，其結構雖然簡單，但特殊的電壓-電流特性，使得電路設計者在設計的過程中，增添了許多的困難度及不確定性。雖然如此，但對於操作在 20 伏特以下之高壓元件而言，雙擴散汲極金氧半場效電晶體在製程上所需的光罩數比起其它的高壓或高功率元件要來得少，極易與一般的互補式金氧半場效電晶體製程整合在一起，成本相對也較低，因此如何改善其存在的問題，為本論文主要探討之重點。

目前工業界普遍使用的金氧半場效電晶體模型工具，以柏克萊大學所提出之模型 BSIM3(Berkeley Short-Channel IGFET Model)為主[13]。但 BSIM3 主要是針對低電壓(<10V)之一般金氧半場效電晶體所設計，對於高功率或高電壓特殊結構之金氧半場效電晶體，則無法提供適當且足夠之模型及參數以滿足所有高功率元件之一般性模型(General Model)。目前在模型化的過程中，遭遇的幾個問題主要有：

(1)BSIM3 並無提供所謂非對稱性(Asymmetric)元件之參數粹取及模型，但對於雙擴散汲極場效電晶體而言，在其汲極端所增加之漂移區是影響及改變電晶體特性最主要的因素，而此區域因屬於摻雜濃度較低之區域，且所接收之電壓亦屬高電壓端，所以此區域不但成為元件的高電阻($\sim 7.5K\Omega/\mu m$)來源，且易受汲極端電壓之影響而改變，因此如何掌握此區域之變化將決定模型化的準確性。

(2)當元件操作在高汲

極電壓，且閘極電壓逐漸增加時，其電壓-電流特性有趨近飽合 (Saturation) 的現象，此現象將導致元件之互導 (Transconductance, g_m) 降低，而影響其電壓增益 (Voltage Gain)，如圖 1-7 所示。藉由場效電晶體的簡單電流與電壓關係，可歸納出下列特性：

$$I_d \propto (V_{gs} - V_t)^\alpha$$

對於一般正常的長通道 MOS 元件： $\alpha \geq 2.0$

對於一般正常的短通道 MOS 元件： $\alpha \geq 1.0$

對於高壓 MOS 元件： $\alpha < 1.0$

因此在電晶體的操作過程中，隱含了一般正常 MOS 元件及高壓 MOS 元件的雙重特性，現有的 BSIM3 主要是針對傳統的金氧半場效電晶體所發展出來的模型，對於高電壓/高功率元件的複雜結構與特性，則明顯不足以描述 (fitting) 其電性上的特性，僅能單獨描述其中一種特性，而無法同時兼顧到數種特性的存在。(3) 基體電流 (Substrate Current) 對閘極電壓 ($I_d - V_g$) 的特性是判斷元件熱載子效應 (Hot Carrier Effect) 的重要指標，但很不幸的雙擴散汲極的結構常會使金氧半場效電晶體產生寄生的雙接面電晶體如圖 1-8，使得基體電流所引起之基體效應 (Substrate-Current-induce Body Effect, SCBE) 趨於嚴重，若在基體電流對閘極電壓的特性上會觀察到有雙峰 (Double-hump) 的產生 (圖 1-9)，此雙峰現象亦為目前 BSIM3 模型尚無法描述之處。造成此一現象，其主要因素亦來自於漂移區仍存在強大之電場，導致撞擊游離 (Impact Ionization) 所致，此一現象不單是元件模型不足的問題而已，影響最大的恐將是其可靠度 (Reliability) 問題。

基於上述雙擴散汲極金氧半場效電晶體在電性上的特殊性質，就目前所能提供的元件特性模型相當有限，因此本論文將探討如何從製程上著手，藉此降低元件的特殊性質，以提高其可靠度及可設計性。

1.3 論文架構

本論文一開始主要是大略概述高電壓/高功率元件的結構及其優缺點，以及其發展演進。並針對高壓元件特殊的性質，在模型化過程所遭遇到的困難，大略簡述。至於後述章節，將針對雙擴散汲極金氧半導體效電晶體進行幾部分的探討：

在第二章裡，將探討漂移區對元件特性的影響。針對漂移區的濃度及元件佈局，依據目前所擁有之電性上的數據，加以比較，及探討其影響的因素。並藉由文獻上所探討之現象，及高壓元件中常見之寄生效應，予以解釋及比較，以作為後續元件模擬及實作時之參考。

第三章則將利用製程及元件模擬軟體(TSUPREM4 及 MEDICI)，針對漂移區予以不同的植入劑量及能量進行模擬。並依據模擬所得之電性上的結果加以比較，再藉由模擬出之元件結構(Profile)、電場分佈及濃度分佈等工具，加以分析並解釋其在電性上的趨勢。最後再依模擬之趨勢決定出最佳化的劑量及能量條件，再予以元件實際製作。

第四章將依據第三章以不同的離子植入條件所模擬出之結果，實際製作出元件，藉著電性上的量測及分析，並配合第二章及第三章所探討之現象加以驗證及解釋。

最後將整個論文做一總結並對未來此類元件可持續進行改善的部分做探討。

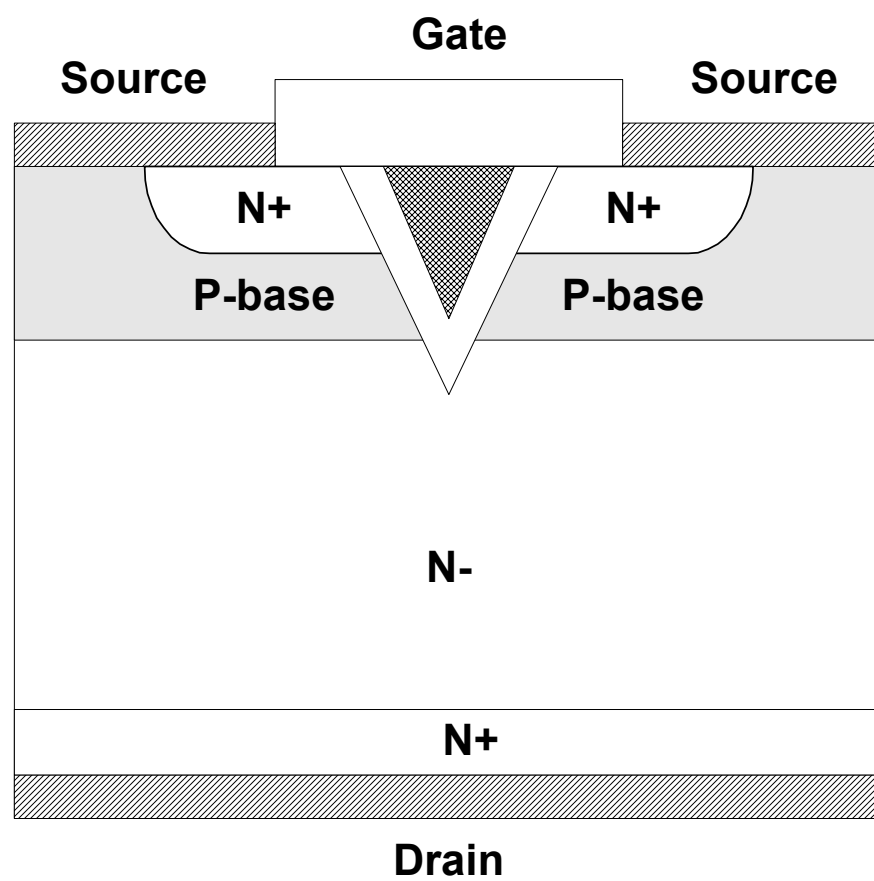


圖 1-1 VMOS 電晶體結構

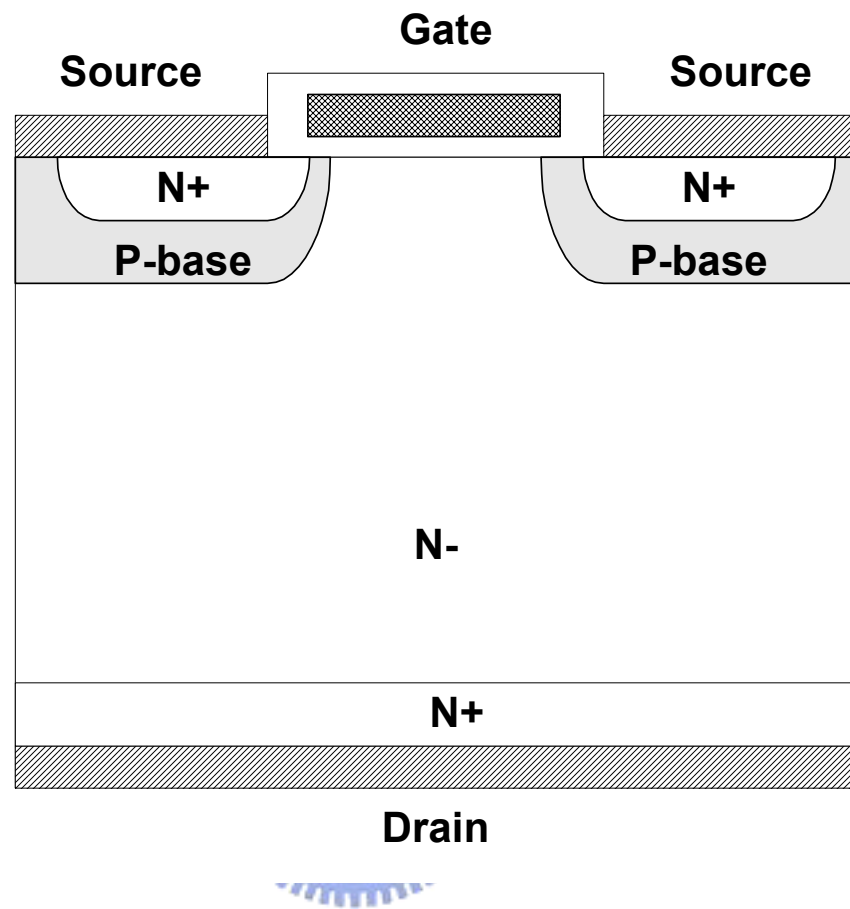
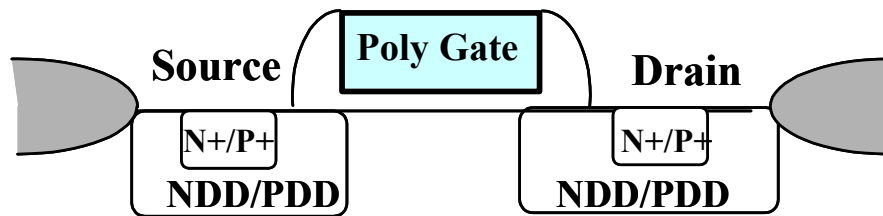
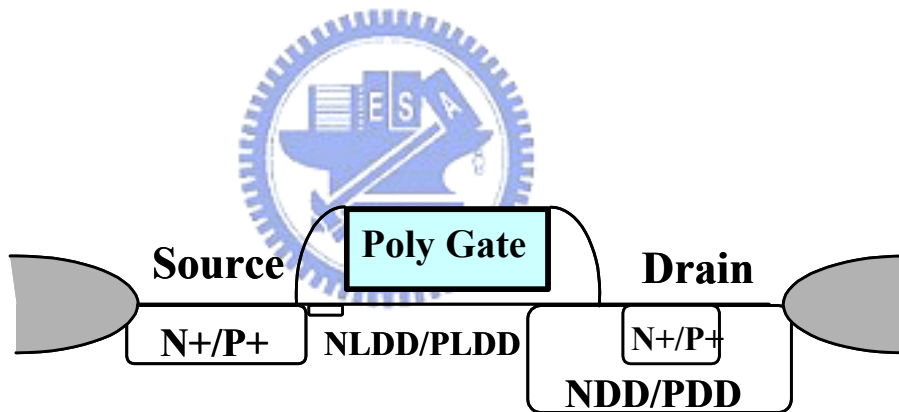


圖 1-2 VDMOS 電晶體結構



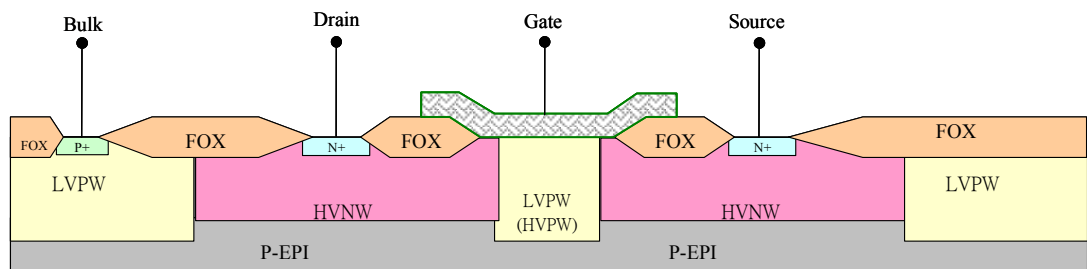
(a)



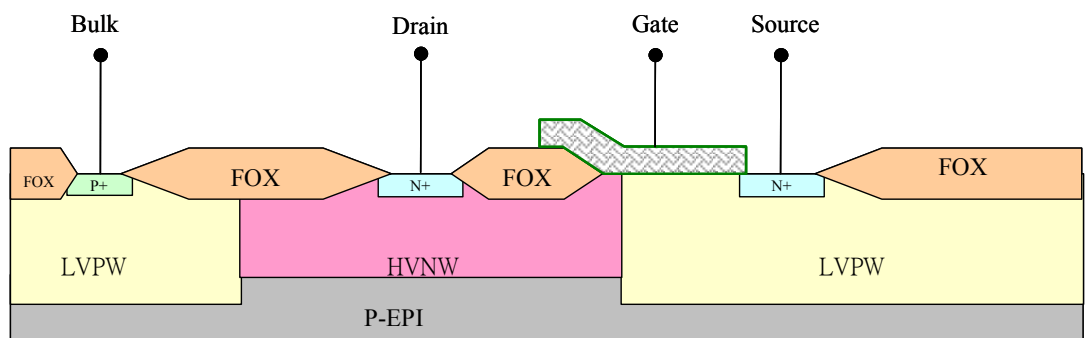
(b)

圖 1-4 DDDMOS 電晶體結構：

(a)對稱型；(b)非對稱型



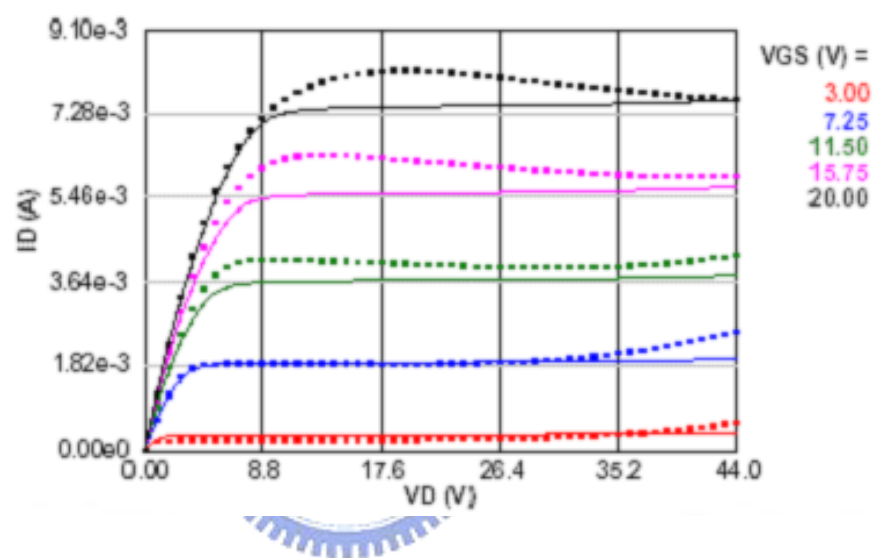
(a)



(b)

圖 1-5 LDMOS 電晶體結構：

(a)對稱型；(b)非對稱型



..... : Measurement Data

—— : Simulation Data

圖 1-6 LDMOS 之自我生熱現象

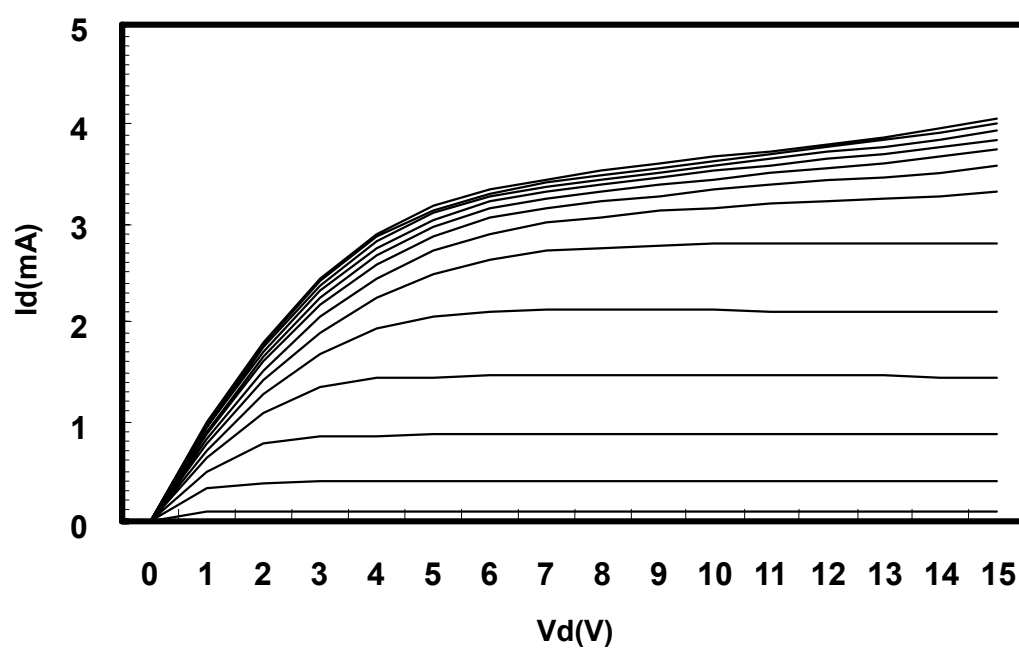


圖 1-7 高壓元件在高閘極偏壓時之近似飽合現象

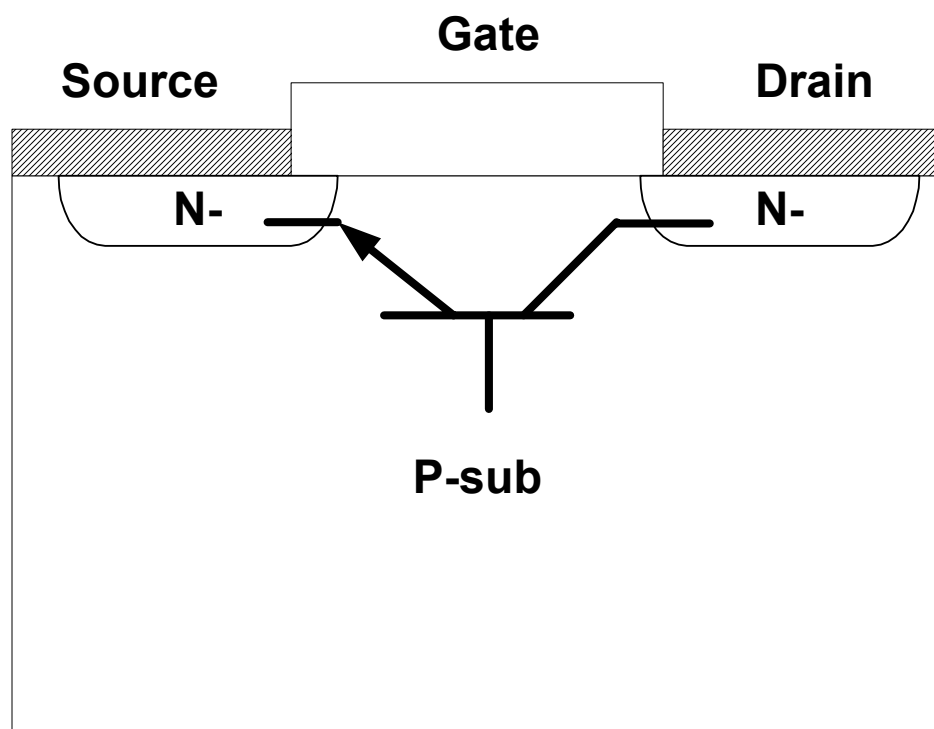


圖 1-8 高壓元件之寄生雙極性接面電晶體

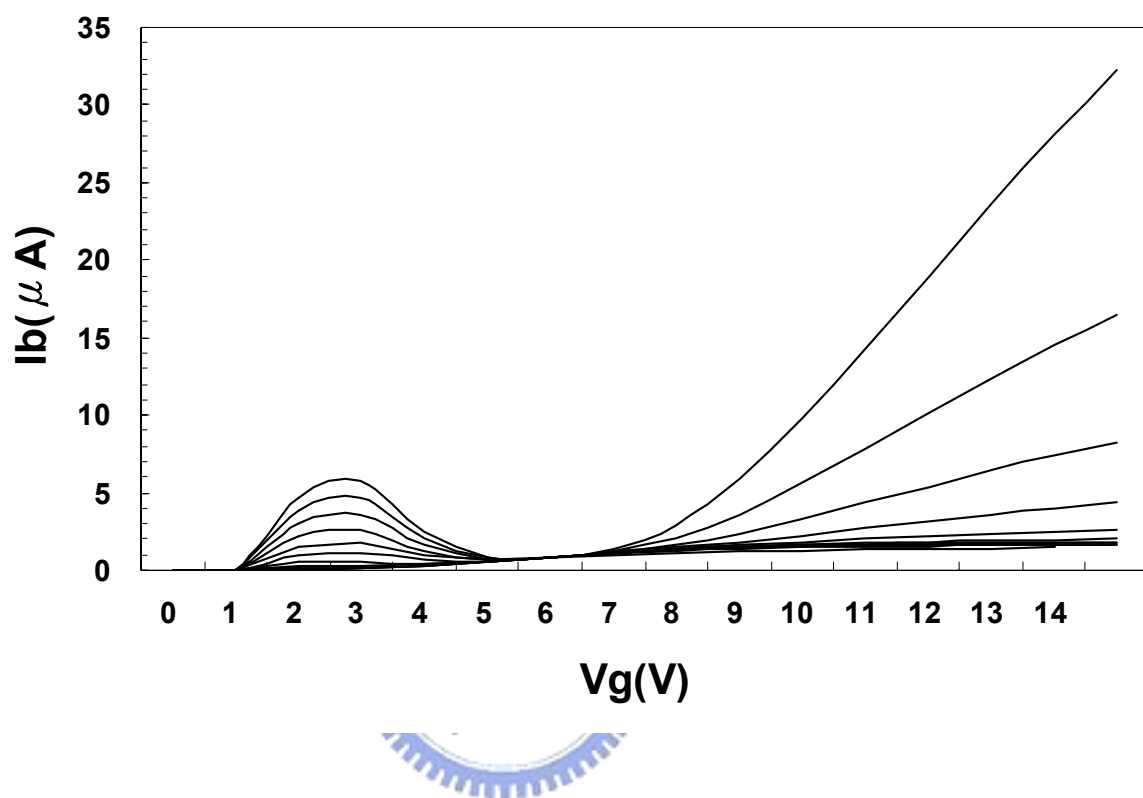


圖 1-9 高壓元件在基體電流-閘極電壓特性之雙峰現象

第二章

漂移區對元件特性之影響

2.1 近似飽合現象

雙擴散汲極金氧半場效電晶體早已被廣泛運用，隨著半導體製程的發展，整合了高壓與低壓電路的設計，同時具備邏輯電路與類比電路的應用，因此電晶體的工作範圍就不侷限在低壓範圍或僅高壓應用。圖 2-1 是雙擴散汲極金氧半場效電晶體常見的兩種結構：非對稱型(Asymmetric)及對稱型(Symmetric)元件，其在元件尺寸上的幾個基本參數亦標示在圖中。當電晶體操作在高電壓及高電流區域時，會受制於近似飽合現象的影響，以致於當閘極電壓增加到一臨界值時，汲極電流會被限制而使得電流增加緩慢，甚至無法藉增加閘極電壓而繼續增加。造成此現象的原因是：[13]

- 1.當汲極電壓(V_{ds})增加時，在漂移區與基體間的空乏區會逐漸擴增如圖 2-2 所示，如此將使得漂移區的區域逐漸縮小，當汲極電壓達到一電壓值時，通道和汲極開始被分離開(separation)。
- 2.當閘極電壓(V_{gs})增加時，通道電阻會逐漸下降，與漂移區的阻抗相比小到幾乎可忽略，因此，閘極電壓的增加對元件阻抗的降低變得較為緩慢，使得汲極電流的增加趨於緩慢。

欲改善此一現象，解決方式有三種：

- 1.增加漂移區的濃度，由圖 2-3 可觀察到此一問題的改善。由於漂移區的濃度增加，其片電阻會下降，因此可提高元件的導通電

流，如圖 2-4、圖 2-5 所示。但是濃度的增加將使得空乏區寬度縮減，電場強度增加，明顯將導致關閉狀態下的崩潰電壓下降，參考圖 2-6。

2. 縮短閘極(Gate Edge)至汲極接點(Contact)之距離 S ，亦即縮短漂移區的長度，可以降低漂移區的阻抗。由圖 2-7 可比較出當 $S=2\ \mu\text{m}$ 時，閘極電壓逐漸增加至 8V，其汲極電流即開使趨近飽合；但當 $S=1\ \mu\text{m}$ 時，閘極電壓約增加至 9V，其汲極電流才開使趨近飽合現象。由於通道至汲極端的距離縮短，再加上阻抗的降低，使得此區域的電場大幅提高，而導致元件的導通崩潰將提早發生，由圖 2-8 即可觀察出此一現象。

3. 增加元件的通道長度(Channel Length)，由圖 2-9 可明顯看出，當通道長度增加，其導通阻抗亦將增加，因為漂移區的阻抗不變，此時施加在漂移區的電壓亦會減少，如此即可避免夾止作用的提早發生。但由於通道阻抗的增加，將使得元件的汲極電流(I_d)明顯下降；另外在電路設計時，為補償汲極電流降低，只得增加元件通道寬度，將使晶片面積(Chip Size)無形中增加許多，而增加製造上的成本。

上述使用的方法，其主要目的皆是要使漂移區的空乏寬度能夠儘量窄，而不使其進入夾止狀態。但無論以何種方式來改善近似飽合的現象，對於元件的特性多少有些副作用，尤其是崩潰電壓的影響甚為明顯從表 2-1 的比較表中，約略可窺視出其影響的特性。儘管如此，近似飽合的現象對於元件的可靠度而言，並不構成問題，但對於設計者而言，所要面臨的問題是其驅動能力較不足，原因在於漂移區的濃度較低，其阻抗較高所致。從圖 2-10 之互導(Transconductance, g_m)的比較中可看出，當元件同時操作在高閘極電壓及高汲極電壓下，對於 18V

的高壓元件而言，其 g_m 將隨著閘極電壓的增加，而從最大值約為 3.5 mA/V，迅速衰減至 1 mA/V 以下；但對於傳統金氧半場效電晶體而言，其 g_m 似乎並沒有太大變化。由關係式：

$$I_d \propto (V_{gs} - V_t)^\alpha$$
$$g_m = \frac{\partial I_d}{\partial V_{gs}} \propto \alpha (V_{gs} - V_t)^{\alpha-1}$$

對於傳統 MOS 元件而言， $\alpha \geq 1.0$ ，其 g_m 會隨著 V_{gs} 的增加而增加，或維持在某一固定值。但對於高壓 MOS 元件而言，其 $\alpha < 1.0$ ，所以 g_m 將隨著 V_{gs} 的增加而降低。換句話說，針對高壓元件的驅動能力而言，當元件操作在飽合區時，其對於提升元件的導通電流是有限的，對於設計者而言，將縮小元件的操作範圍，而降低其可設計性。

然而在提升驅動能力、崩潰電壓及降低寄生效應的過程中，所面臨的另一個問題，卻會影響者元件的可靠度，即所謂的基體電流所引起之基體效應(Substrate-Current-induce Body Effect, SCBE)[7,15,24]，以及突然折回崩潰的問題。

2.2 突然折回崩潰

突然折回崩潰(Snapback Breakdown)主要肇因於撞擊游離(Impact Ionization)所引起之寄生雙極接面電晶體效應，而撞擊游離又為高電場環境所造成之物理現象。在雙擴散汲極金氧半場效電晶體中，會產生高電場的情況主要有：(1)當閘極電壓操作在高電壓時，此時電晶體的閘極氧化層會處在高電場之下($>4 \times 10^6$ V/cm)，(2)當汲極端操作在高電壓範圍時，汲極端的空乏區也會處在高電場之下，此時也是熱載子(Hot Carrier)發生的主要原因，以及(3)閘極端和汲極端同時作用在高電壓範圍，此時除了熱載子的產生之外，更可能因通道熱電子的注入(Channel

Hot-Electron Injection, CHEI), 致使閘極氧化層因注入的電子陷入 (Electron Trapped), 而使電晶體的特性退化。在雙擴散汲極金氧半場效電晶體中, 會產生寄生雙極接面電晶體效應的操作條件, 主要發生在高汲極電壓及低閘極電壓之下(參考圖 2-11), 對於高壓電晶體而言, 最主要的可靠性考量在於雙極接面電晶體的突然折回致使元件崩潰 (Snapback Breakdown)。

圖 2-12 可發現, 對短通道元件而言, 當操作電壓逐漸增加時, 突然折回崩潰會先在累增崩潰之前發生。誠如先前所言, 突然折回崩潰的發生在於熱載子所引起, 而欲降低此效應的方式, 依據文獻所探討 [16-21], 降低雙擴散汲極的濃度, 以趨緩汲極端空乏區的電場強度, 如此可使突然折回發生的操作條件提高, 在圖 2-13(b)中, $V_g=1.5V \sim 7.5V$ 即出現突然折回的 C 型曲線, 與圖 2-13(a)相較之下, 即可發現濃度的增加, 將使突然折回的現象提早發生。此外, 降低漂移區的濃度, 亦可改善元件的關閉崩潰電壓(Turn-off Breakdown Voltage, 如圖 2-6), 但如前一節所探討, 此方式將使汲極端電阻增加, 進而影響元件飽合電流的大小, 甚至使得元件的關閉電流(I_{off} , Turn-off Current)增加(圖 2-14)。除此之外, 我們亦從圖 2-15 中可發現, 降低植入劑量的方式會使元件操作在高閘極電壓時, 其基體電流將明顯增加, 而導致其基體電流所引起之基體效應將更趨嚴重。若漂移區濃度較淡的元件, 操作在高電壓之下的偏壓時, 由於其空乏區的寬度將較高濃度的漂移區來得寬, 因此將使得電位差主要集中在 N^+ 與漂移區的接面, 而使得其最大電場強度高於漂移區濃度較高者[26]。在高電場條件之下, 撞擊游離將因此而漸增, 導致基體電流(I_{sub})增加, 並且提高基體的電位能 (Potential), 使得導通電流亦相對增加。另外從圖 2-16 基體電流對閘極電壓的特性($I_{sub}-V_g$ Curve)上, 會觀察到有所謂雙峰(Double-hump)的平

衡(Trade-off)問題，即降低雙擴散汲極區的濃度，欲改善其高閘極偏壓時的基體效應時，卻會導致在低閘極偏壓時，其基體電流嚴重增加。此亦說明基體電流所引起之基體效應將明顯影響雙擴散汲極金氧半電晶體的操作特性及其可靠度。表 2-2 為總結前述之離子植入條件，對於元件特性影響之比較表，由表中可發現，植入能量與植入劑量的趨勢，成為影響元件特性的蹺蹺板。

突然折回崩潰的問題亦可藉元件佈局(Layout)來改善，將基極端的接點儘可能接近源極端(Source)的接點，以降低基體與源極間的電阻值，避免基極端與源極端之間的電位大於 P-N 接面的導通電壓，甚而有將基極和源極直接聯接在一起的方法。關於在元件佈局的方式，本論文將不詳述其對元件的影響。由於突然折回崩潰與基體電流所引起之基體效應，成為改善元件特性的蹺蹺板，如何從製程上去解決此一問題，為本論文主要探討的重點，因此會將探討的重心放在離子佈植的條件，對於雙擴散汲極電晶體的影響做詳細討論。在下一章節，將針對雙擴散區域的不同離子植入條件，利用製程及元件模擬軟體，來觀察元件在操作電壓下的物理機制，並比較不同條件下的差異，以作為實際製作元件時之參考依據。

	BVdd_off	BVdd_on	Idsat	size
Concentration (D) ↑	↓	↑	↑	
Offset (S) ↓	↓	↓	↑	↓
Channel Length (L) ↑		↑	↓	↑

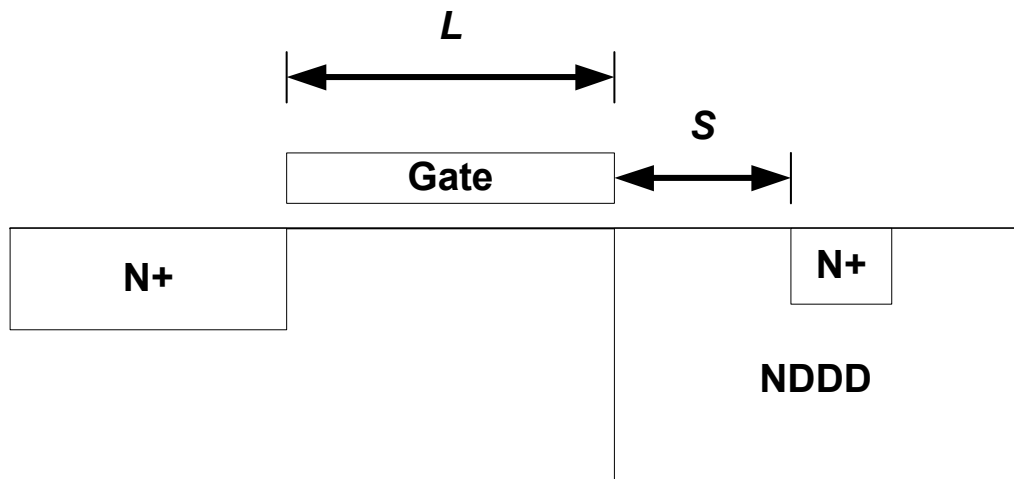


表 2-1 改善近似飽合現象對元件特性之影響

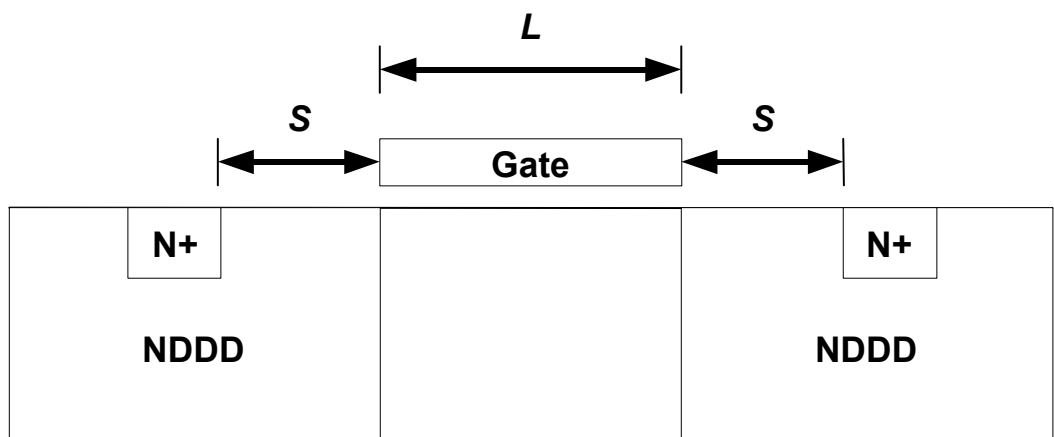
		BVdd_off	Idsat	Ioff	Isub
Energy	↑	↑	↓	↑	↓
Dosage	↑	↓	↑	↓	↑



表 2-2 離子植入條件對元件特性之影響



(a)



(b)

L ：通道長度 (μm)

S ：閘極端至汲極端接點之距離 (μm)

圖 2-1 DDDMOS 之類型：(a)非對稱型，(b)對稱型其重要參數

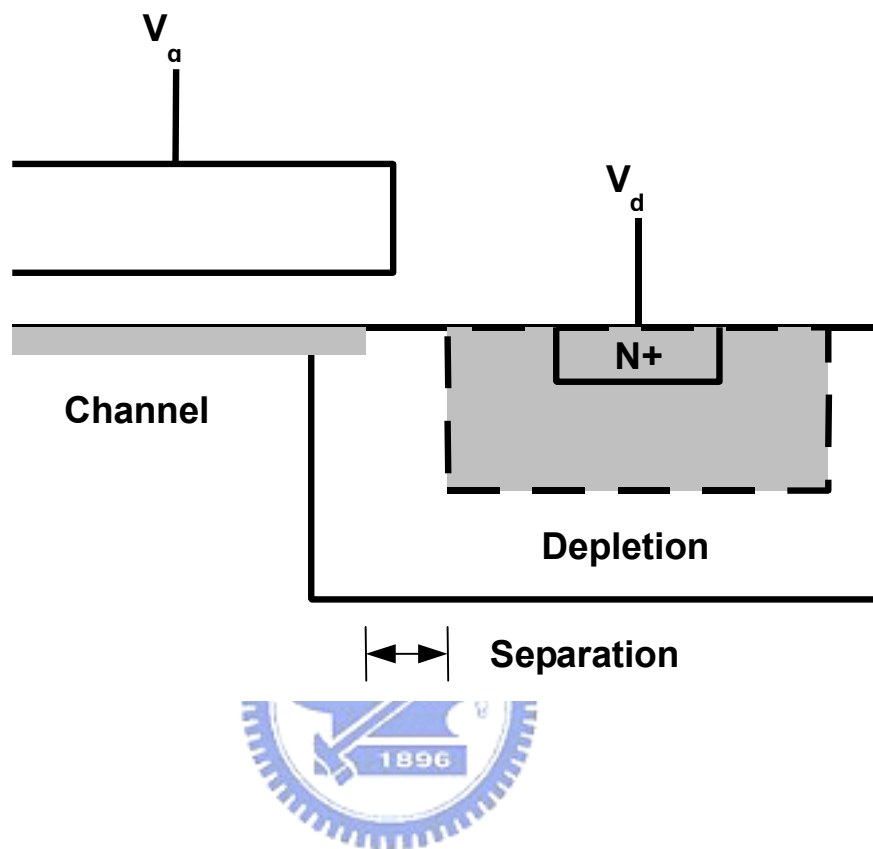
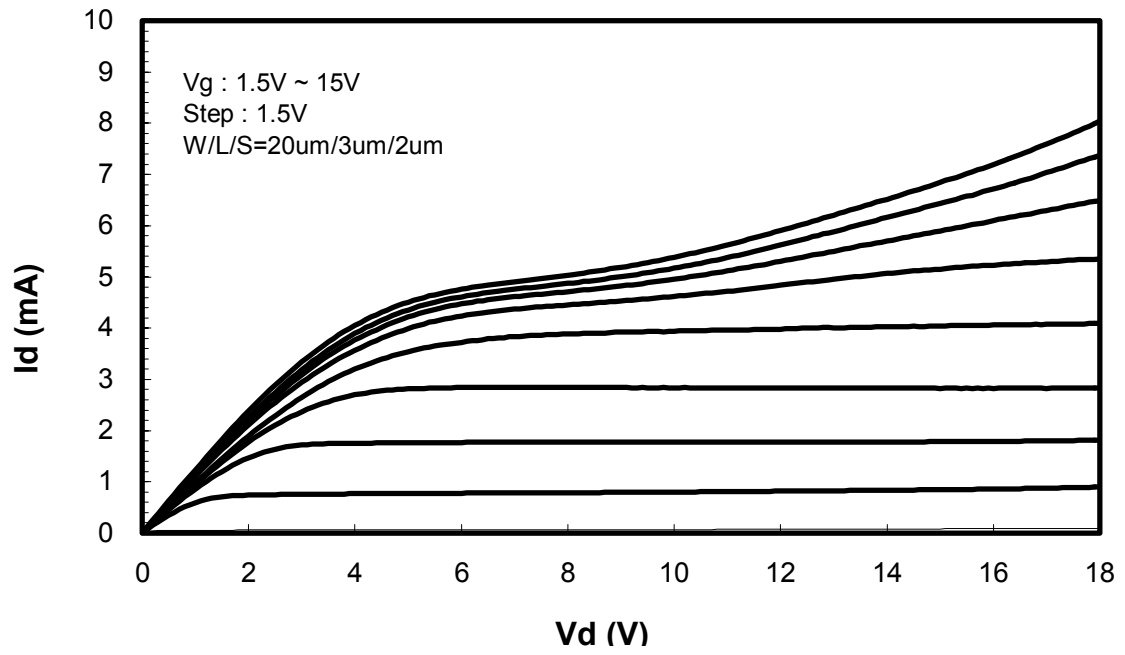
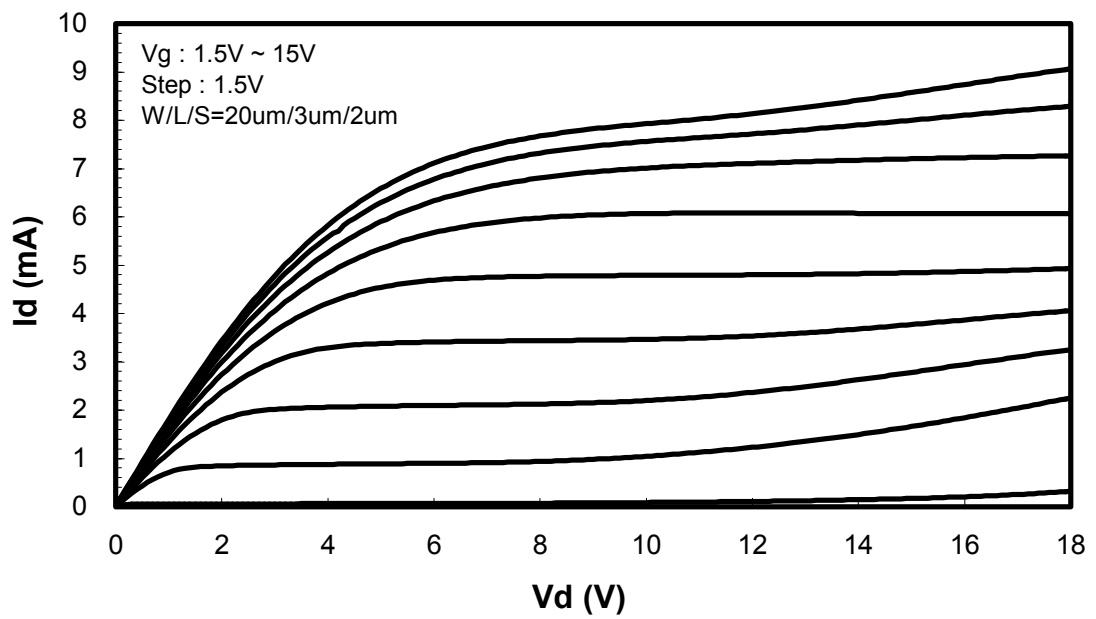


圖 2-2 DDDMOS 在操作電壓下，近似飽合現象之解釋



(a)



(b)

圖 2-3 提高漂移區之濃度以改善近似飽合之現象：

(a) 130KeV, $6.5 \times 10^{12} \text{ cm}^{-2}$, (b) 130KeV, $8.5 \times 10^{12} \text{ cm}^{-2}$

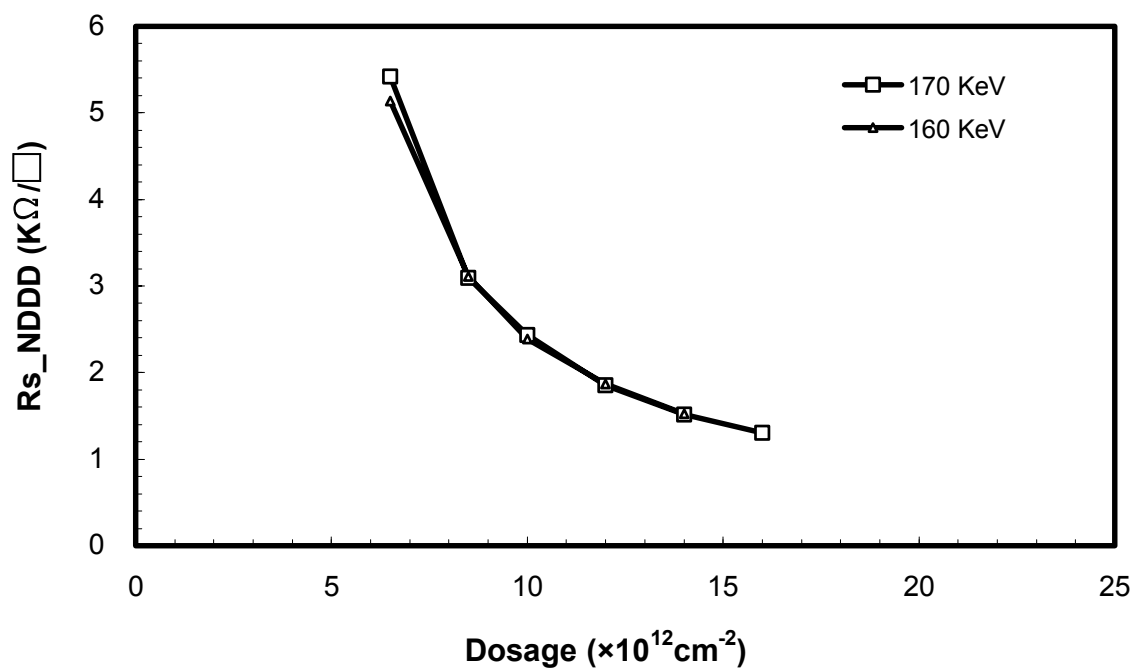


圖 2-4 提高漂移區之濃度對其片電阻之影響

(元件：W/L/S=20 μm /3 μm /1 μm)

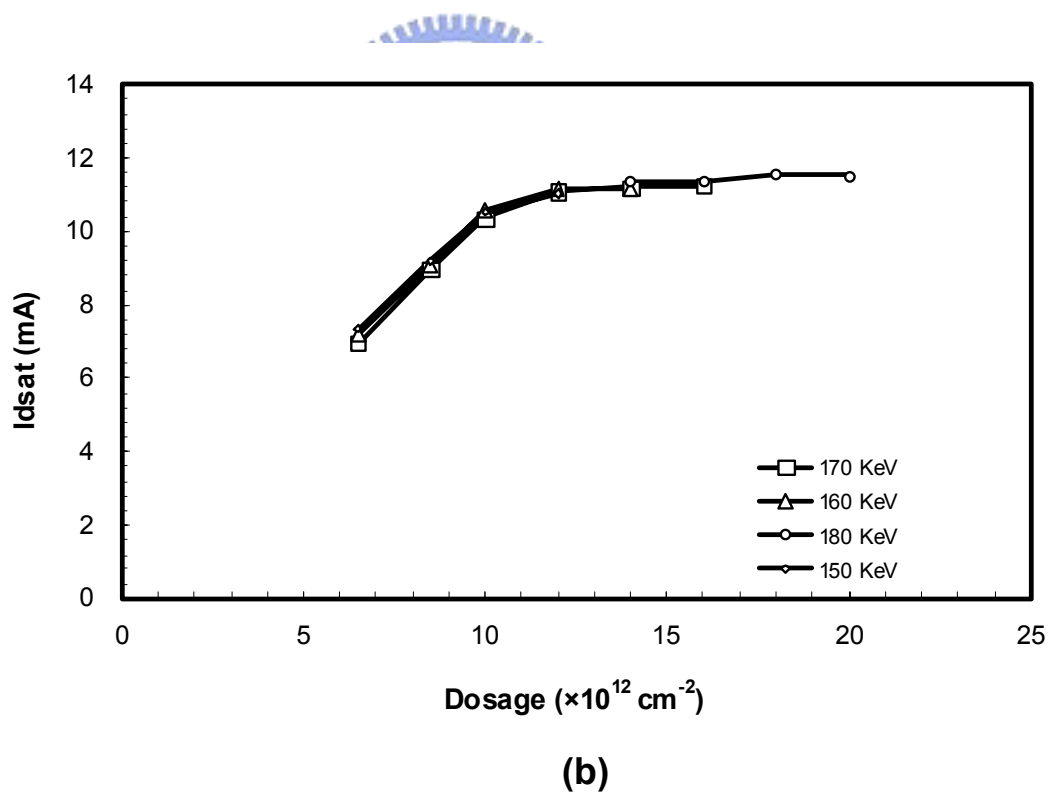
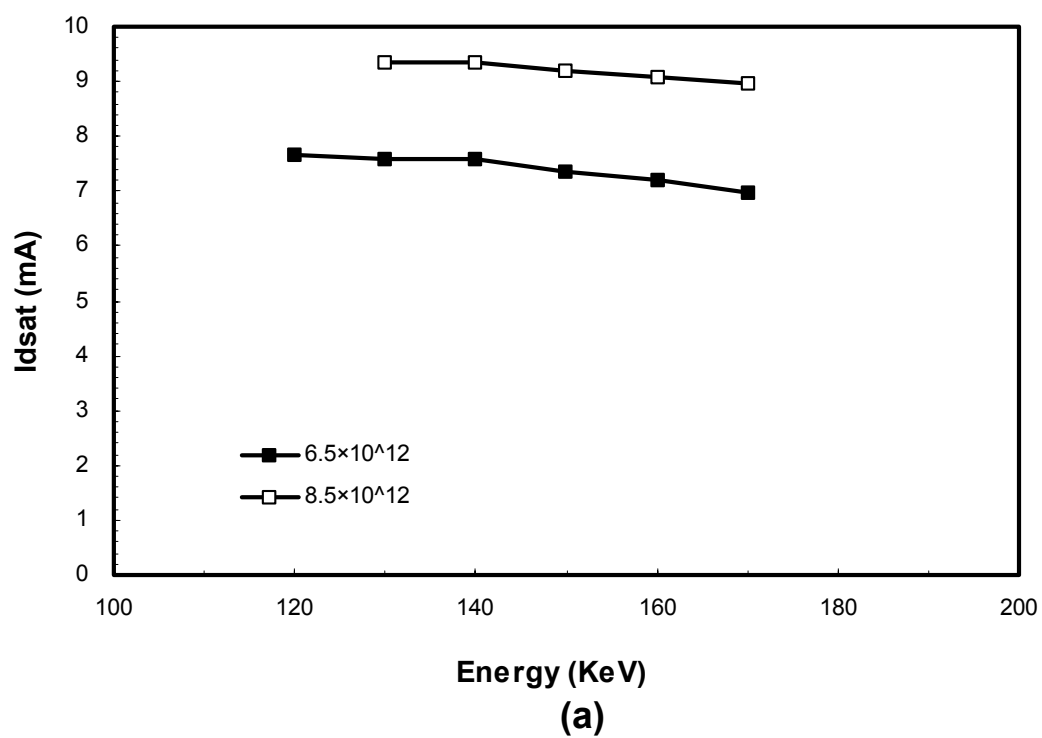
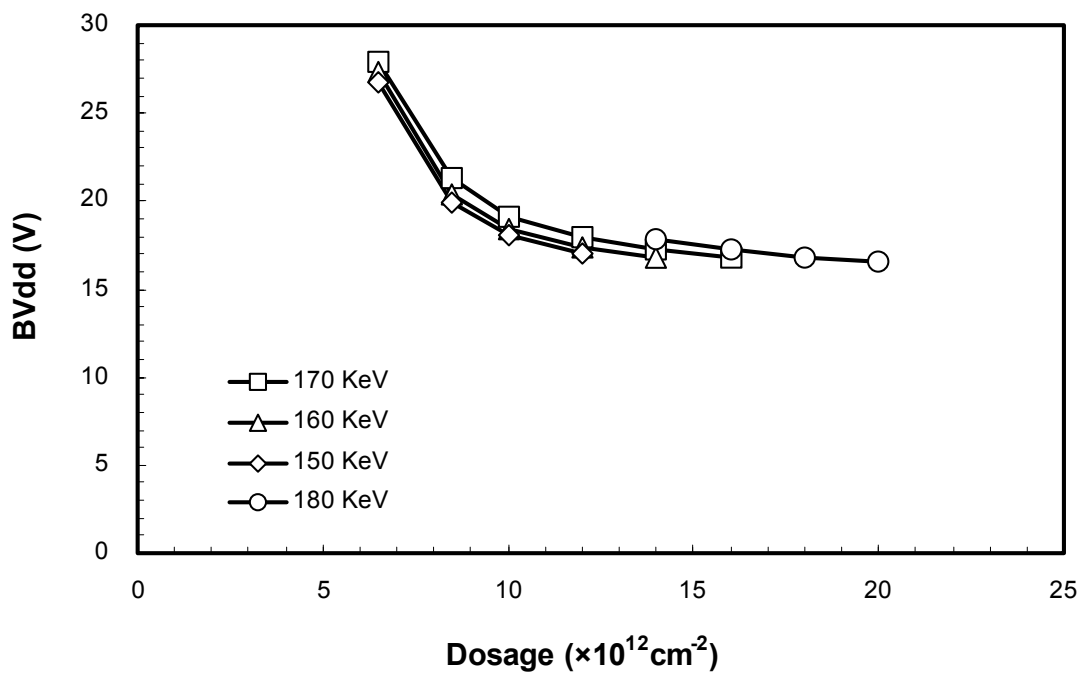
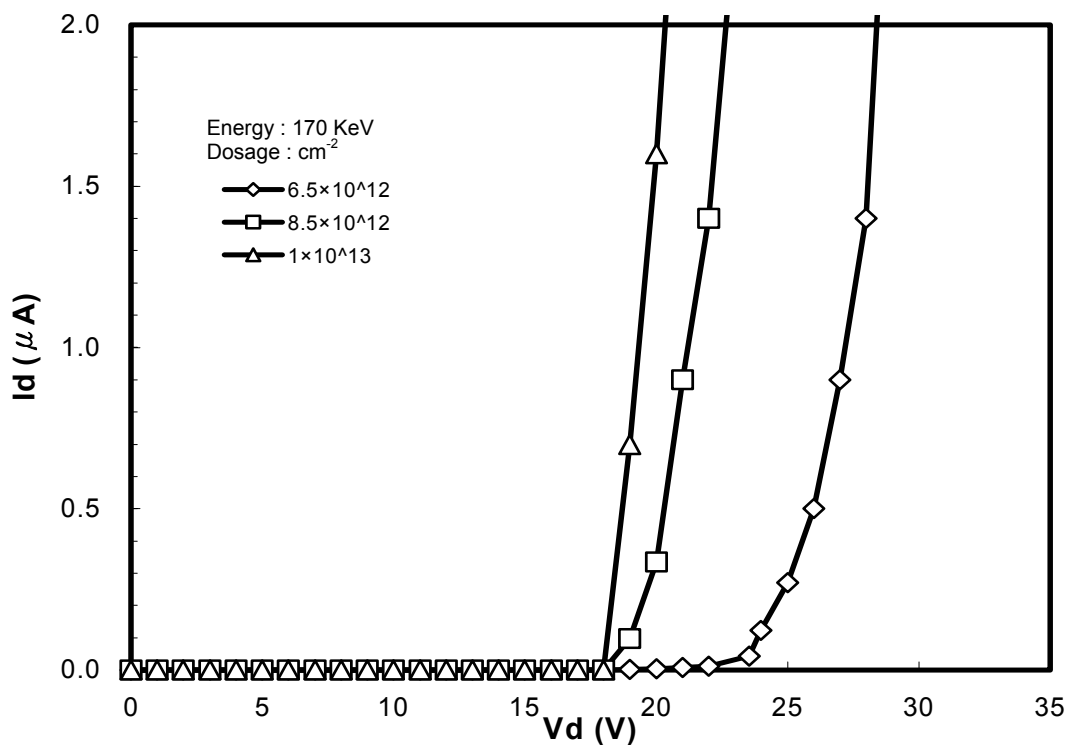


圖 2-5 提高漂移區之濃度對汲極飽合電流之影響

(元件：W/L/S=20 μm /3 μm /1 μm)



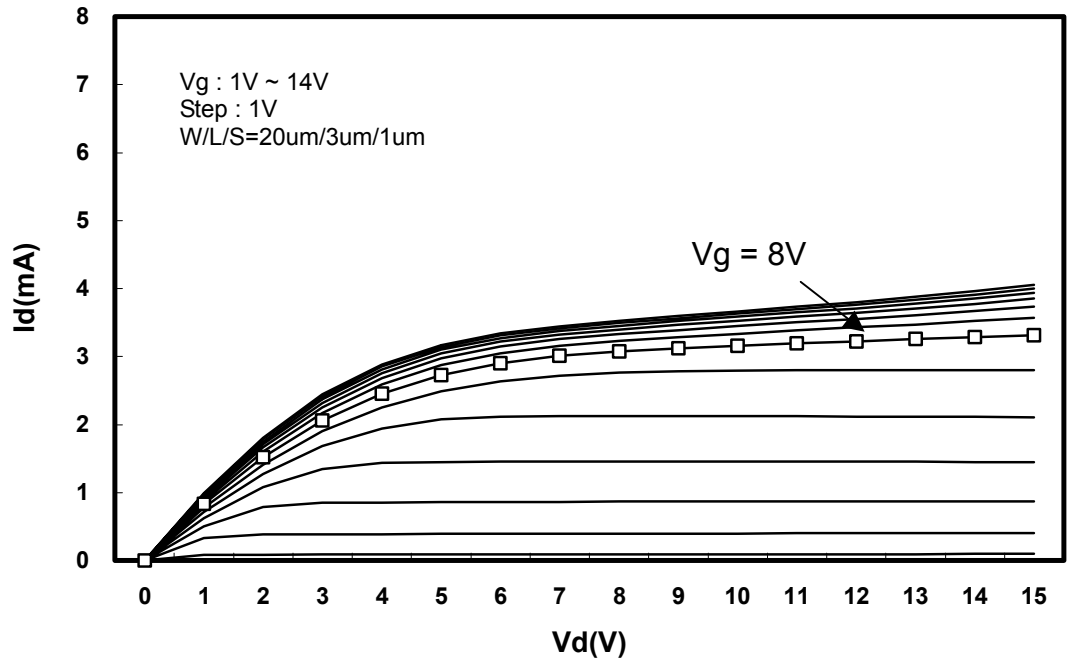
(a)



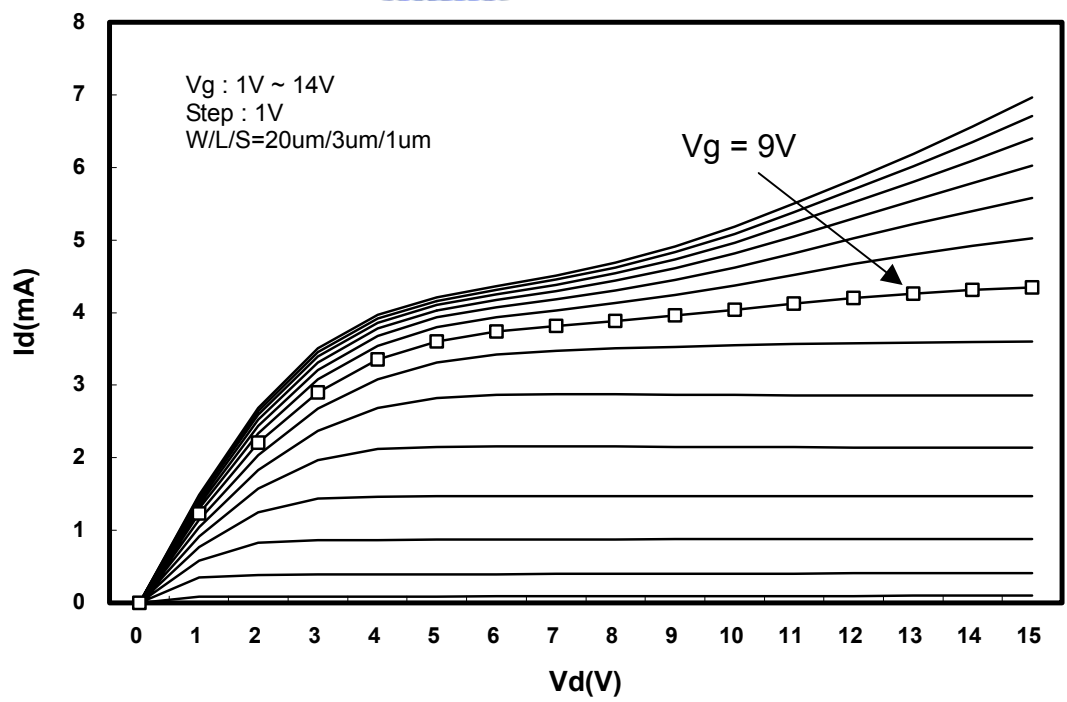
(b)

圖 2-6 提高漂移區之濃度對元件崩潰電壓之影響

(元件：W/L/S=20 μm /3 μm /1 μm)



(a)



(b)

圖 2-7 閘極至汲極端接點距離(S)之影響：

(a) $S = 2\mu\text{m}$, (b) $S = 1\mu\text{m}$

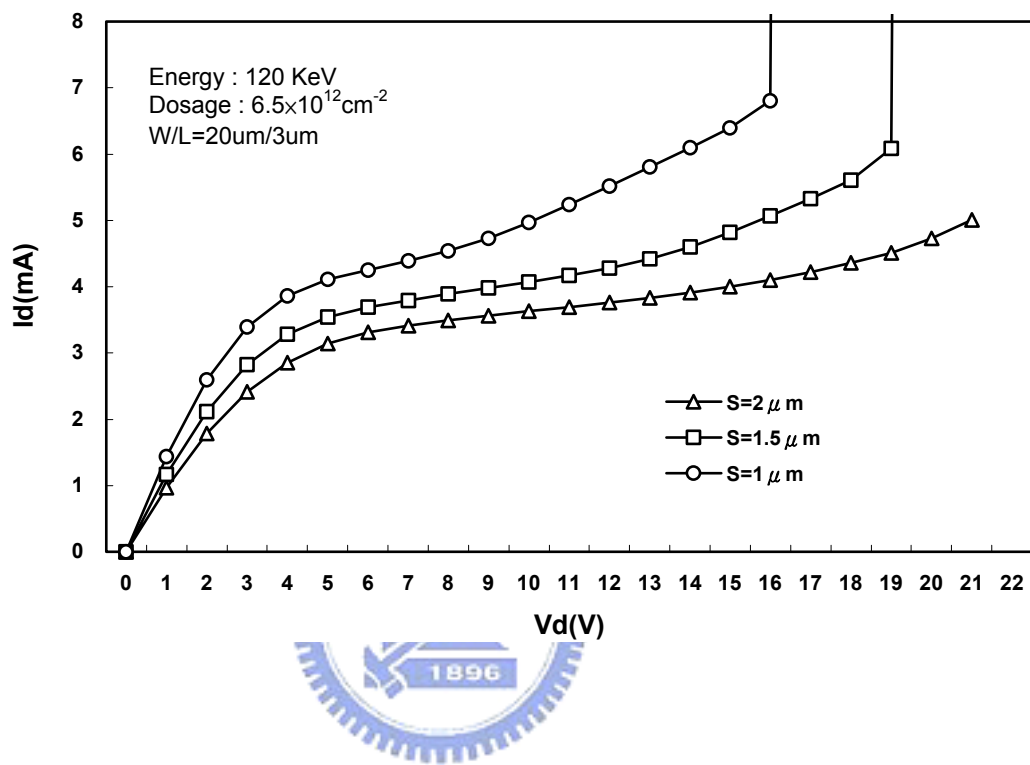
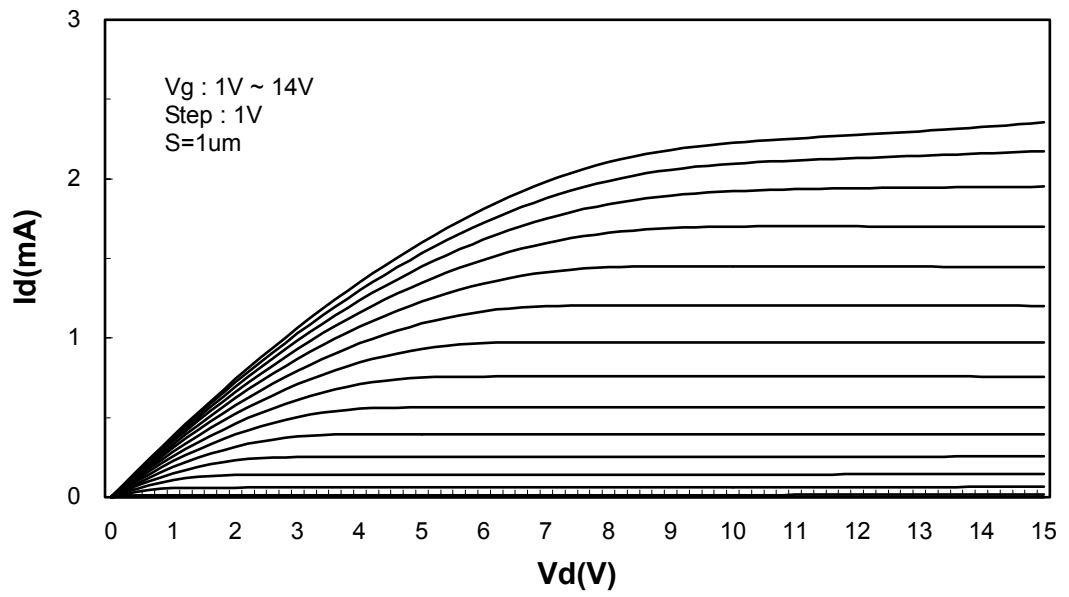
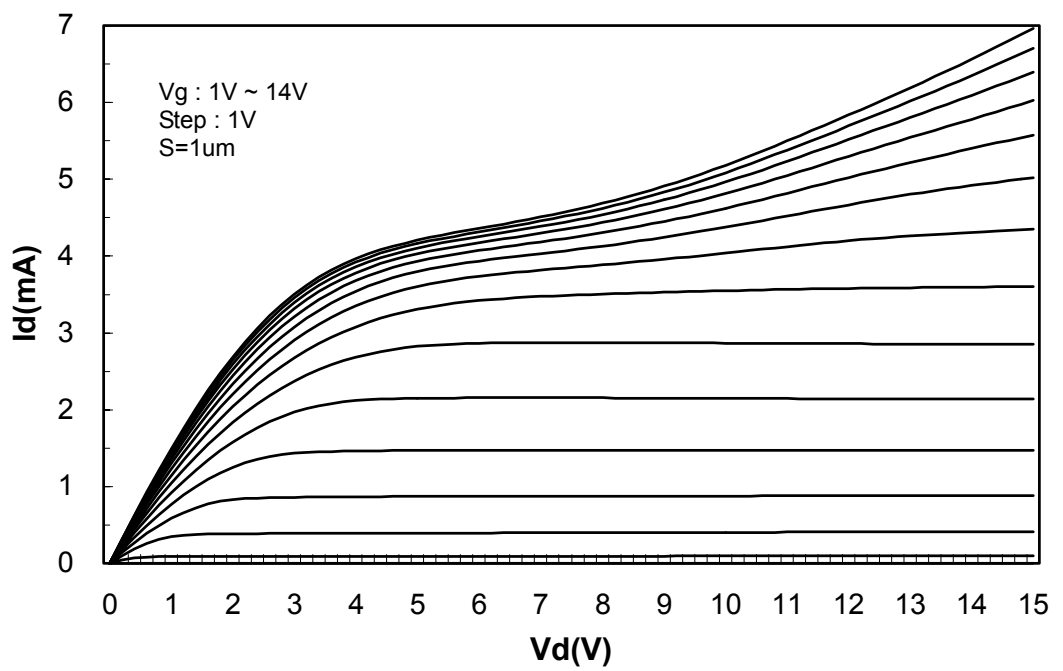


圖 2-8 漂移區之閘極至汲極端接點距離(S)對導通崩潰電壓之影響



(a)



(b)

圖 2-9 非對稱元件寬度為 $20 \mu\text{m}$ ，通道長度(L)之影響：

(a) $L = 20 \mu\text{m}$ ，(b) $L = 3 \mu\text{m}$

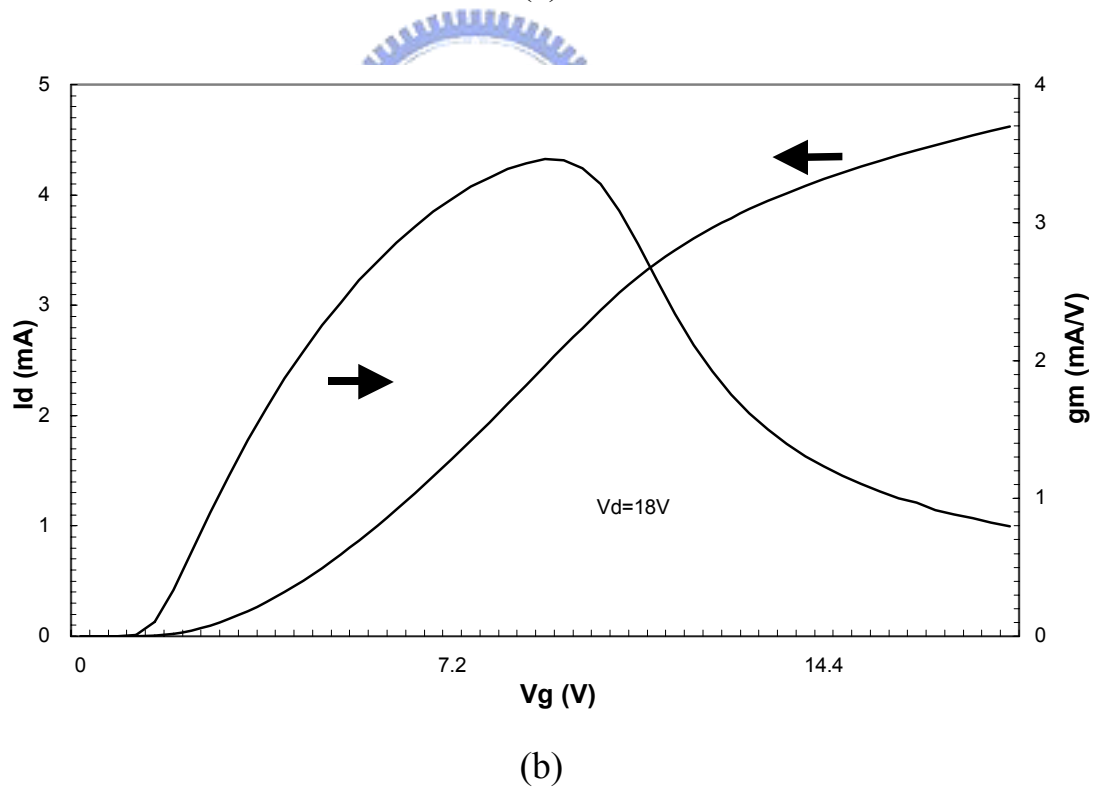
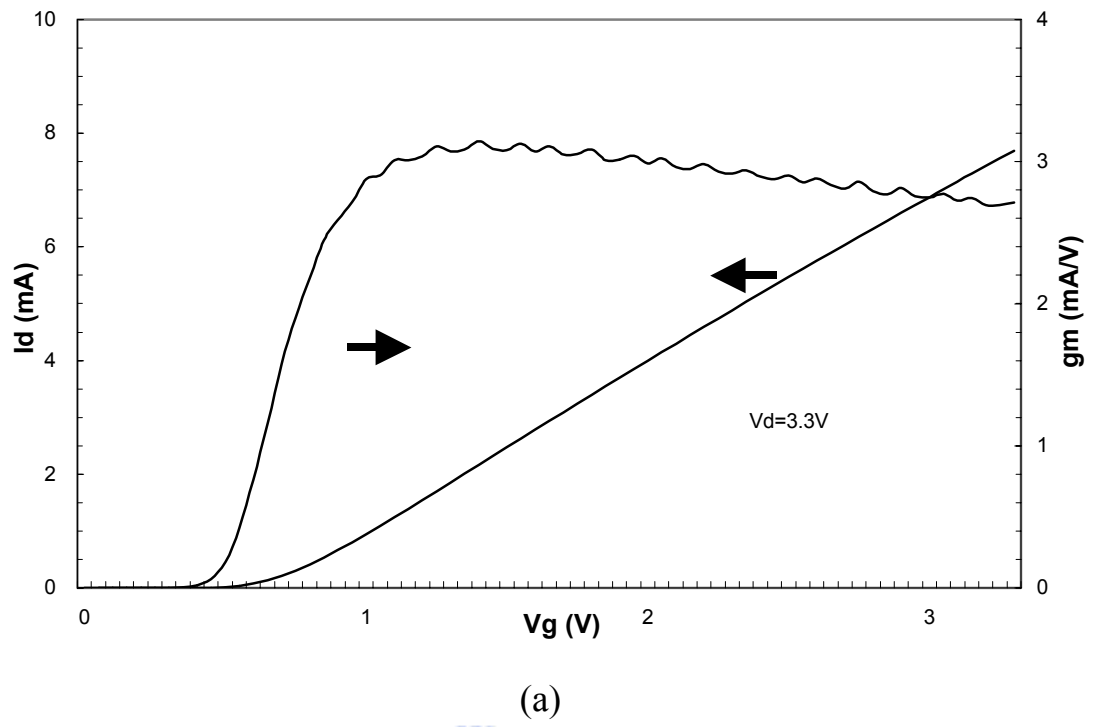


圖 2-10 (a)傳統 MOS 元件與(b)DDDMOS 元件之互導比較

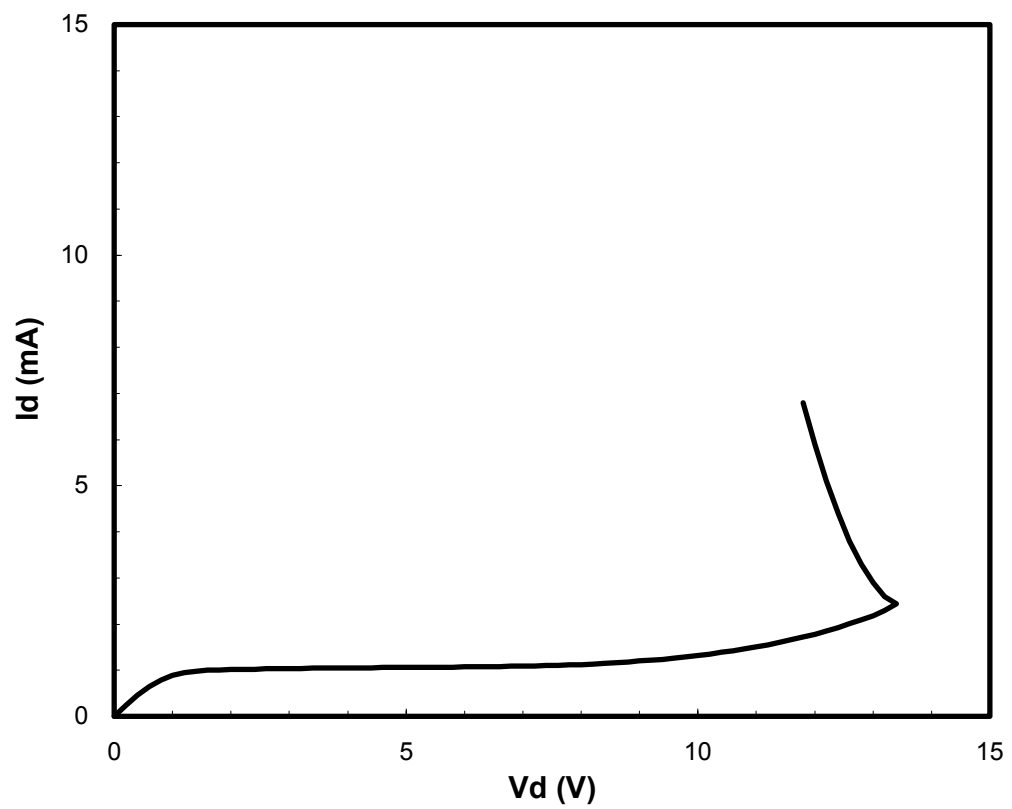


圖 2-11 寄生雙接面電晶體所引起之突然折回現象

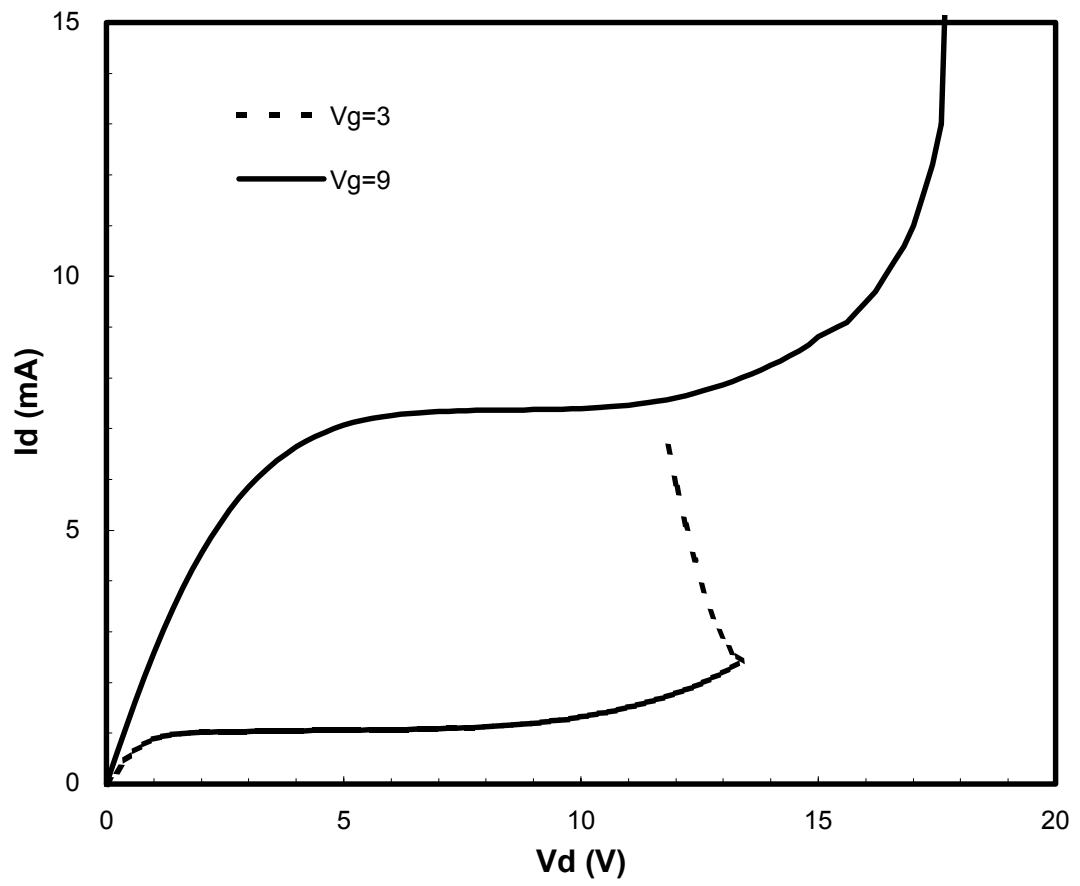
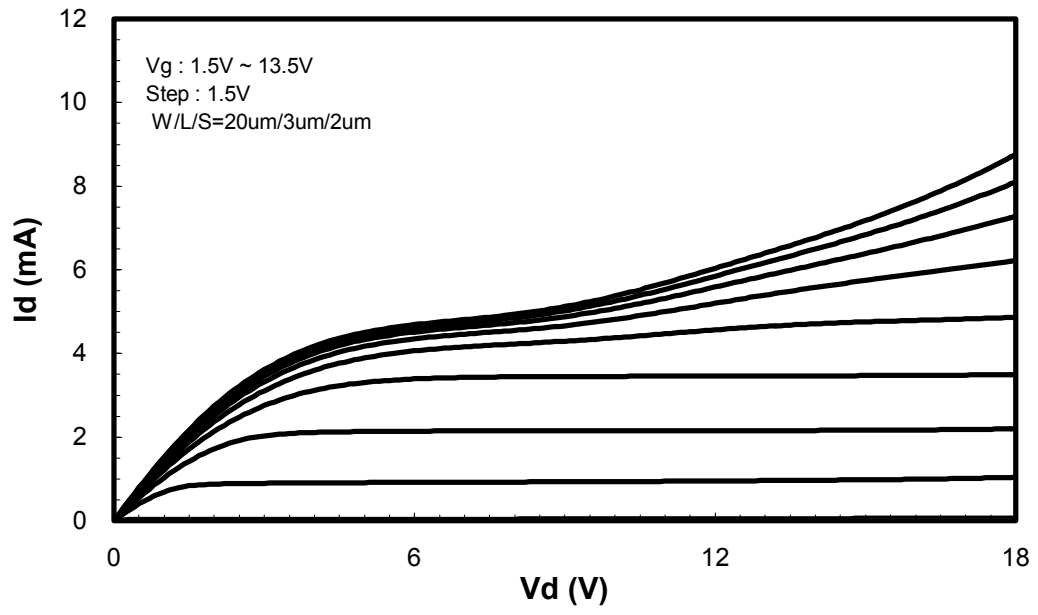
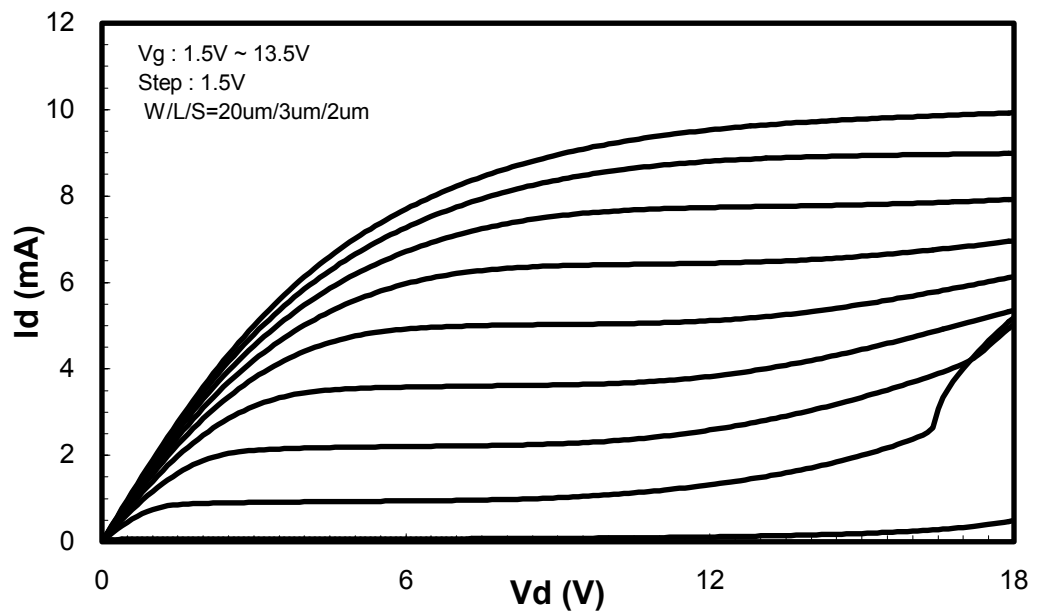


圖 2-12 元件尺寸 $W/L/S=20\ \mu\text{m}/1.2\ \mu\text{m}/1\ \mu\text{m}$ 之 DDDMOS，
突然折回崩潰發生於累增崩潰之前



(a)



(b)

圖 2-13 雙擴散汲極區的濃度對寄生雙接面電晶體的影響：

(a) 170 KeV, $6.5 \times 10^{12} \text{ cm}^{-2}$, (b) 170 KeV, $1 \times 10^{13} \text{ cm}^{-2}$

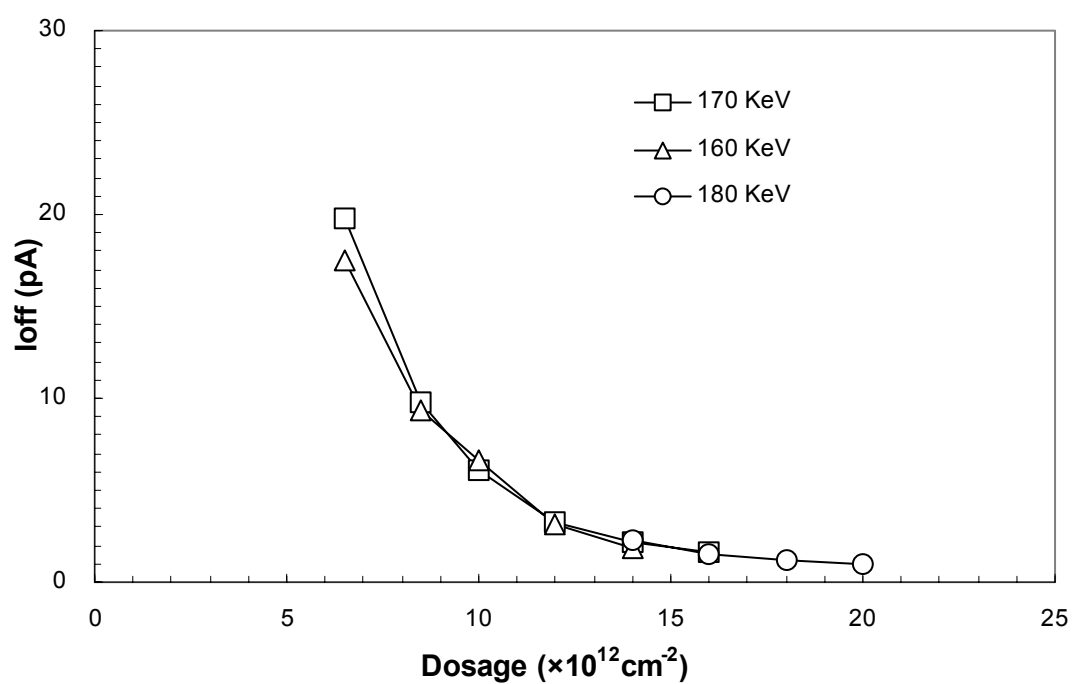


圖 2-14 不同劑量濃度對關閉電流之影響

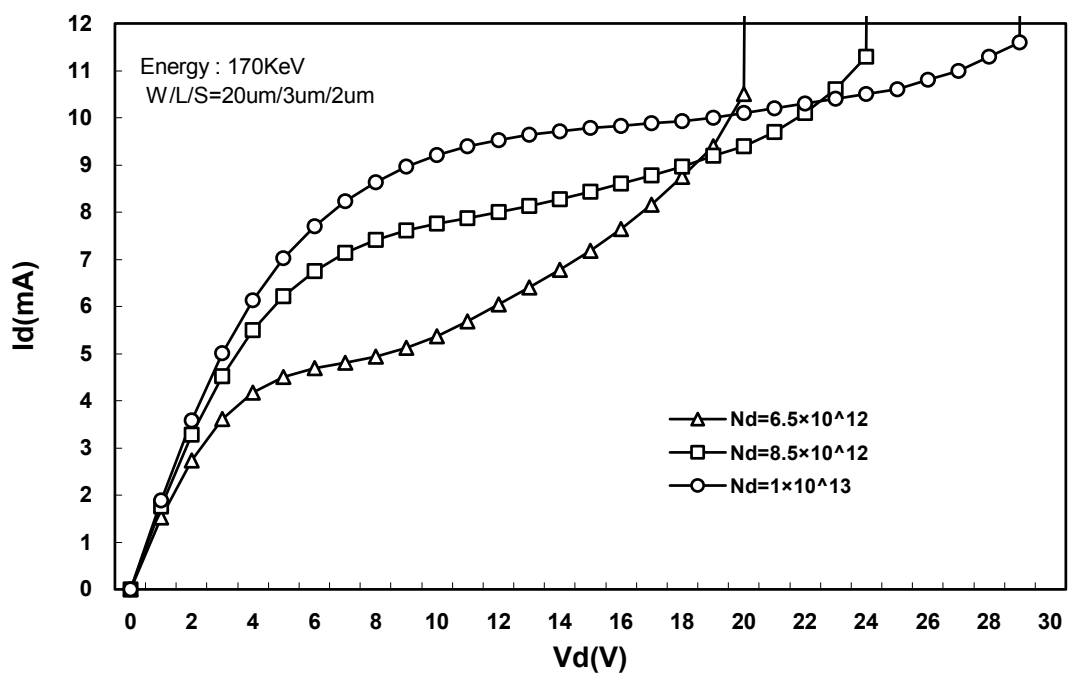


圖 2-15 不同劑量濃度對導通崩潰電壓之影響

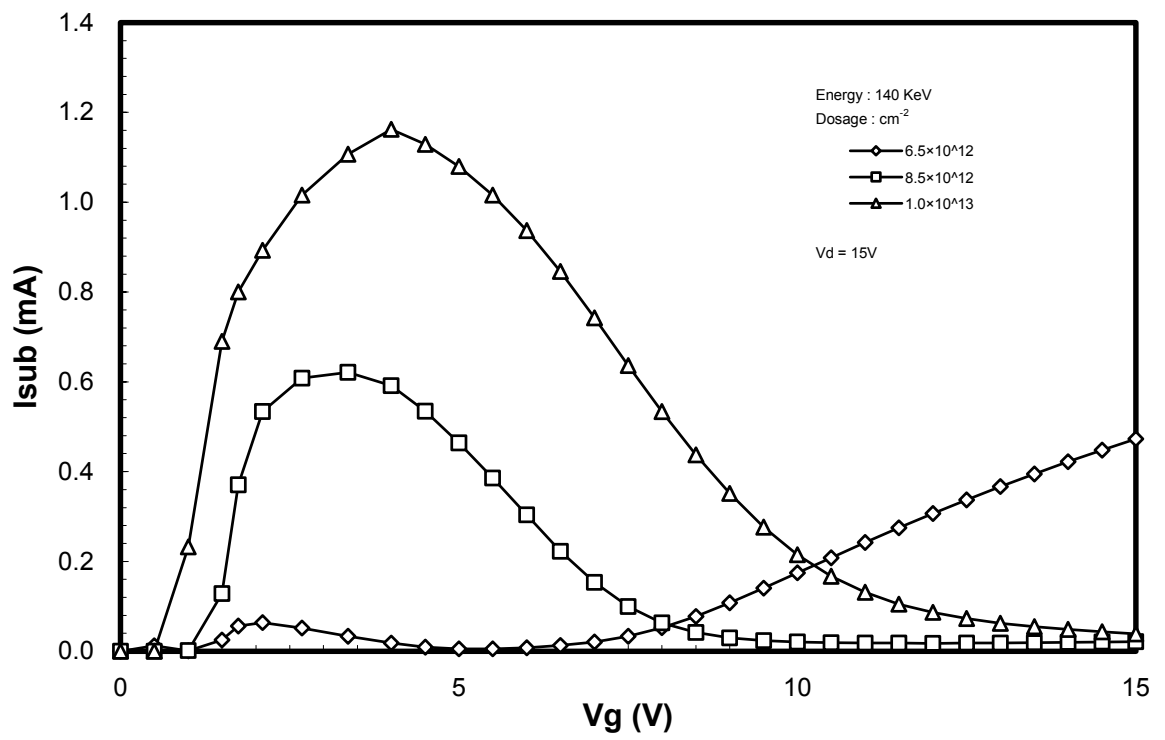


圖 2-16 植入劑量對改善寄生雙接面電晶體效應之影響

第三章

製程模擬與元件實作

3.1 前言

本章將利用製程和元件模擬軟體 TSUPREM4[22]及 MEDICI[23]來探討在不同的離子植入條件下，其物理上和電性上的關聯性，並藉此來決定下一步的實驗條件，以期得到更完整的資料。模擬之元件結構將以第二章的圖 2-1 所示之非對稱元件為基礎，其模擬的幾個重要參數，如表 3-1 所示。在製程模擬過程中，由於其模擬參數並未經過實驗晶片校準，因此我們將根據現有已知之離子植入條件及其電性上的量測數據與元件模擬出之電性結果做比對，以確認模擬結果與實際數據之趨勢是相近的。

根據第二章的敘述及先前的經驗，植入劑量的增加，可以增加汲極飽合電流，降低關閉漏電流，並使元件在高閘極電壓下不致產生近似飽合的現象。但在高劑量($>1 \times 10^{13} \text{cm}^{-2}$)時，汲極飽合電流及關閉漏電流的特性似乎有趨於飽合的現象，亦即高劑量對於提升元件的效能上並無太大的幫助，但若搭配者高植入能量($>180 \text{KeV}$)，卻可以使得元件的崩潰電壓略微提升。因此，在本章節的模擬中，將朝向高植入劑量及能量的探討，以期能在其他特性不被影響之下，提升元件的崩潰電壓。除了前述的目的，我們亦期望在高植入劑量及高植入能量的條件之下，可以緩和閘極在高電壓時，趨近飽合的特殊性質，以提高元件的可設計性。

3.2 製程模擬結果之探討

首先，圖 3-1、圖 3-2 分別為模擬元件特性的結果及趨勢圖。從圖 3-3 模擬植入條件與元件汲極飽合電流的趨勢圖中，可觀察到當植入劑量增加時，可以提高元件的汲極飽合電流；但當植入能量提高時，低劑量元件的汲極電流有下降的趨勢，高劑量元件的汲極電流則小幅增加。我們可藉圖 3-4 的模擬的濃度分佈(Doping Profile)觀察出，植入能量的提高會使濃度分佈的峰值(Peak)較深，使表面濃度降低，漂移區的表面電阻升高，甚至發生表面濃度不足而維持 P-型的現象。此時，通道電流進入漂移區後，被迫繞行漂移區的下方，總電阻增加，因此汲極端飽合電流會下降。但有趣的是，植入劑量的條件為 $1.4 \times 10^{13} \text{ cm}^{-2}$ 的趨勢與劑量 $1.0 \times 10^{13} \text{ cm}^{-2}$ 及 $6.5 \times 10^{12} \text{ cm}^{-2}$ 的趨勢是相反的。可能是因為高劑量的時候，整體片電阻降低，但表面電阻降低得不多，電流不需繞行漂移區下方所造成。由圖 3-5 及 3-6 觀察元件的剖面圖結構(Cross-section)及在操作電壓下的電場分佈，當植入能量從 150KeV 提高到 240KeV，漂移區表面出現 P-型區域，提高劑量可以使此 P-型區域減少。雖然能量的增加將使漂移區的表面濃度降低，但同時也將使元件的有效通道長度變短，而降低通道的導通電阻，因此當植入高劑量時，元件的有效通道長度及漂移區的阻抗將左右整個元件的導通阻抗，因而有不同趨勢變化之情況發生。

圖 3-7 為模擬的崩潰電壓趨勢圖，可發現元件崩潰電壓會隨著植入的能量增加而提高。我們可由圖 3-8 及圖 3-9 的模擬電場分佈圖及空乏區域圖，可比較出當植入劑量減少時，空乏區的寬度會較寬，電場降低，故崩潰電壓增加；當植入能量提高時，漂移區靠近表面的濃度降低，空乏區域較寬，電場強度降低，故崩潰電壓增加。

3.3 元件實作

依據 3.2 模擬之結果，我們決定之實驗條件如表 3-2 所示，關於元件的基本結構，則仍依據表 3-1 之條件，不作結構或圖形上特別的實驗。至於製程程序，則表示於圖 3-10 元件之簡易製程流程圖之中。其中有關傳統互補式金氧半場效電晶體的製程部分，我們不多加描述，但若與雙擴散汲極金氧半場效電晶體有關之部分，則會加註說明於圖示中。由圖中顯示，雙擴散汲極金氧半場效電晶體與傳統的互補式金氧半場效電晶體，在製程條件及程序上幾乎沒有太大差異，這也正如之前我們所說的，雙擴散汲極金氧半場效電晶體極易整合於傳統的互補式金氧半場效電晶體中的原因。



項 目	參 數 值
元件通道長度 (μm)	1.2
元件閘極至汲極端接點距離 (μm)	1
元件操作電壓範圍 (V)	0 ~ 15
元件閘極氧化層厚度 ($\text{\AA}$)	310
離子佈植能量 (KeV)	120 ~ 240
離子佈植劑量 (cm^{-2})	$6.5 \times 10^{12} \sim 2 \times 10^{13}$



表 3-1 雙擴散汲極金氧半場效電晶體模擬參數值

		離子植入劑量 (cm ⁻²)	
		1.0×10 ¹³	1.4×10 ¹³
離子 植入 能量 (KeV)	120	V	
	150		V
	180	V	V
	240	V	V



表 3-2 元件製作之離子植入條件分佈表

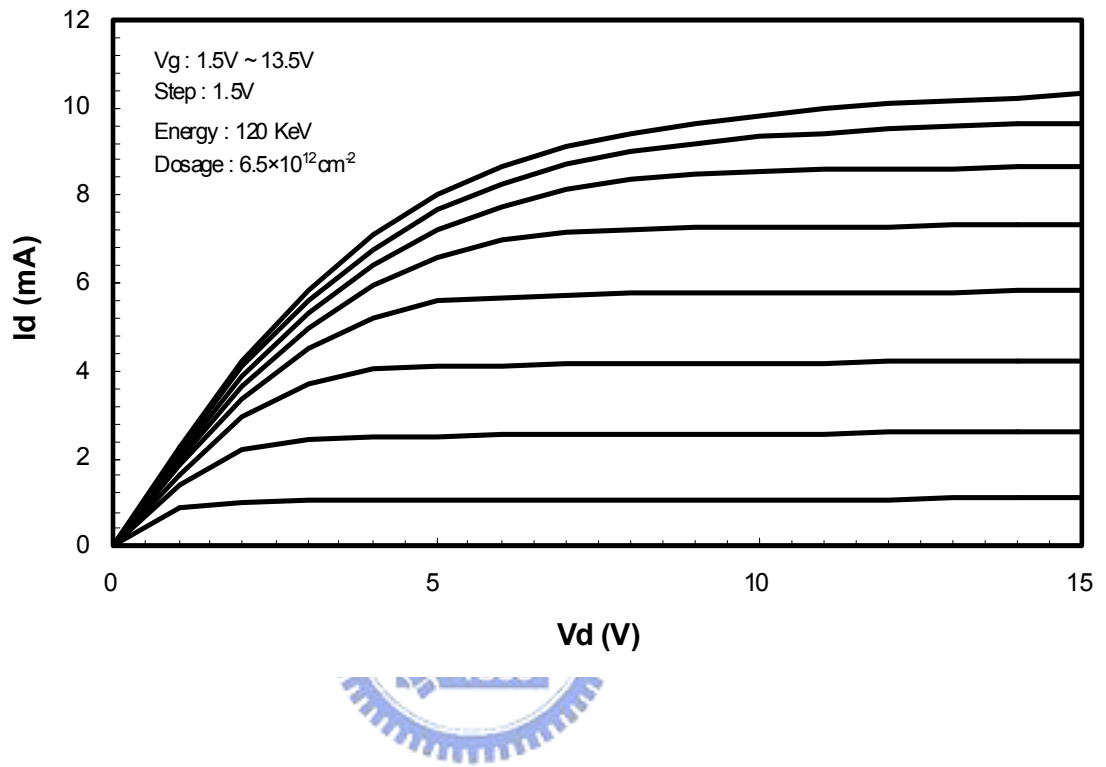
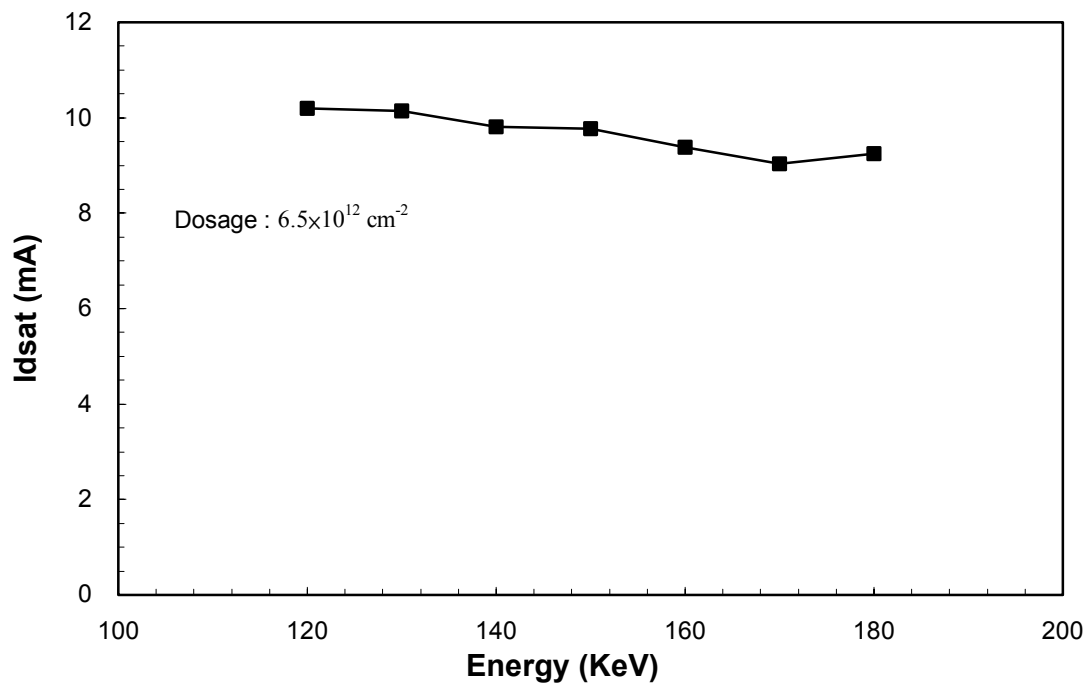
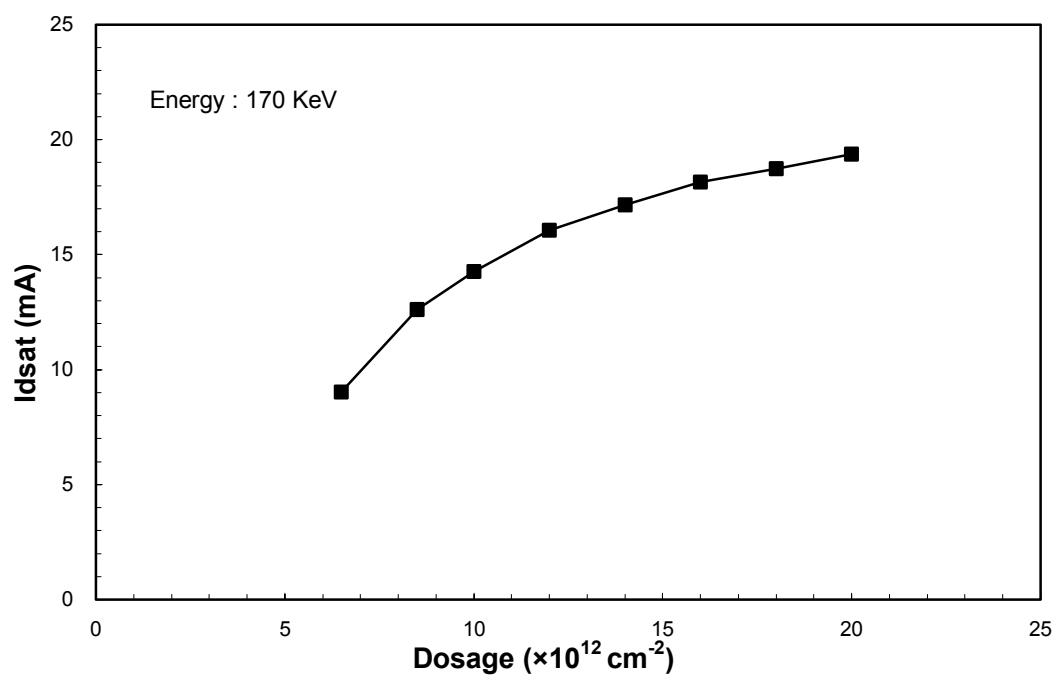


圖 3-1 模擬 DDDMOS 元件($L/S=3 \mu\text{m}/1 \mu\text{m}$)之電性特性



(a)



(b)

圖 3-2 模擬元件($L/S=3 \mu\text{m}/1 \mu\text{m}$)電性結果之趨勢圖

(a) 劑量 : $6.5 \times 10^{12} \text{ cm}^{-2}$; (b) 能量 : 170KeV

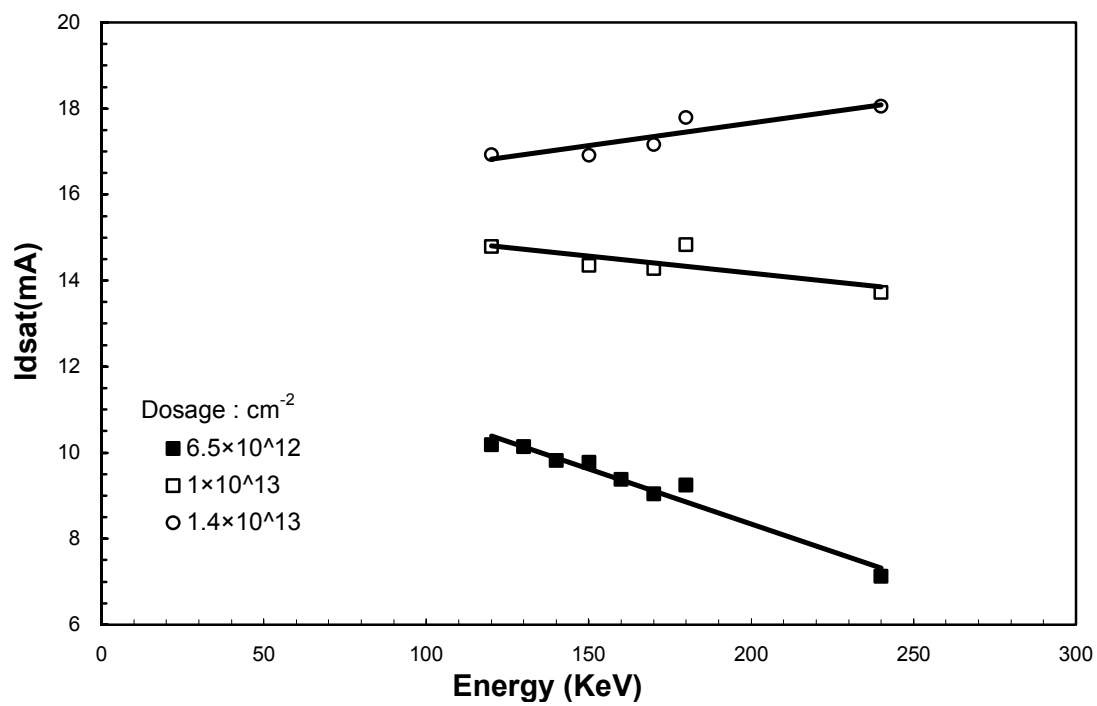
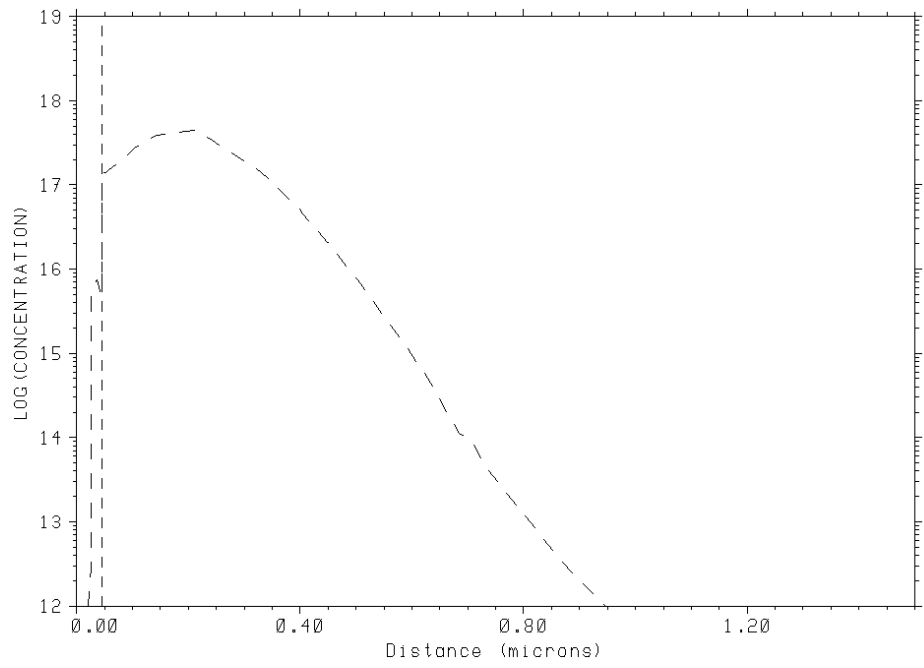
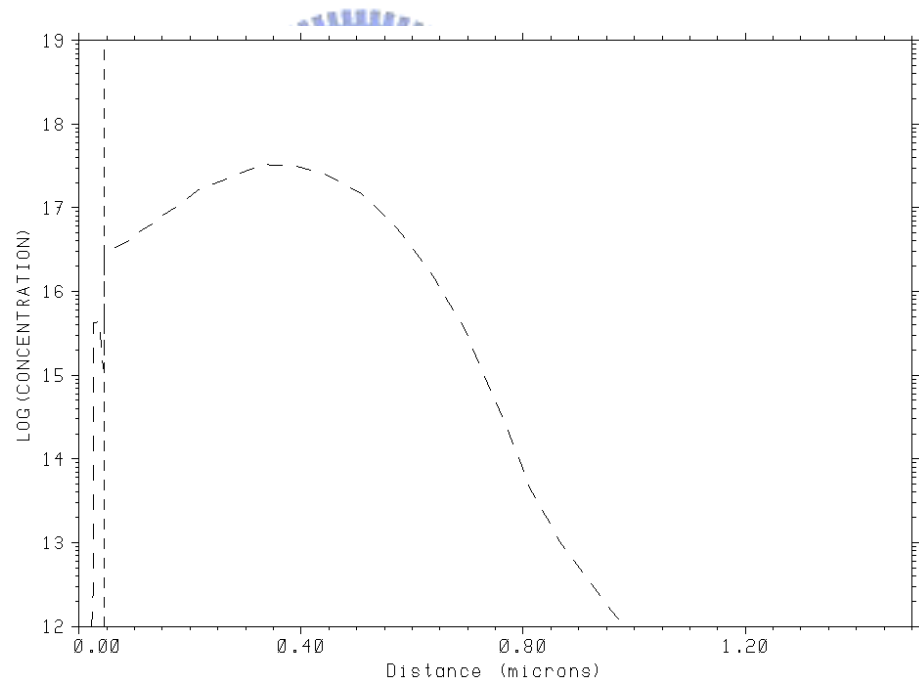


圖 3-3 不同植入條件對汲極飽合電流之趨勢圖，

電壓操作條件： $V_g=13.5\text{V}$ ， $V_d=15\text{V}$



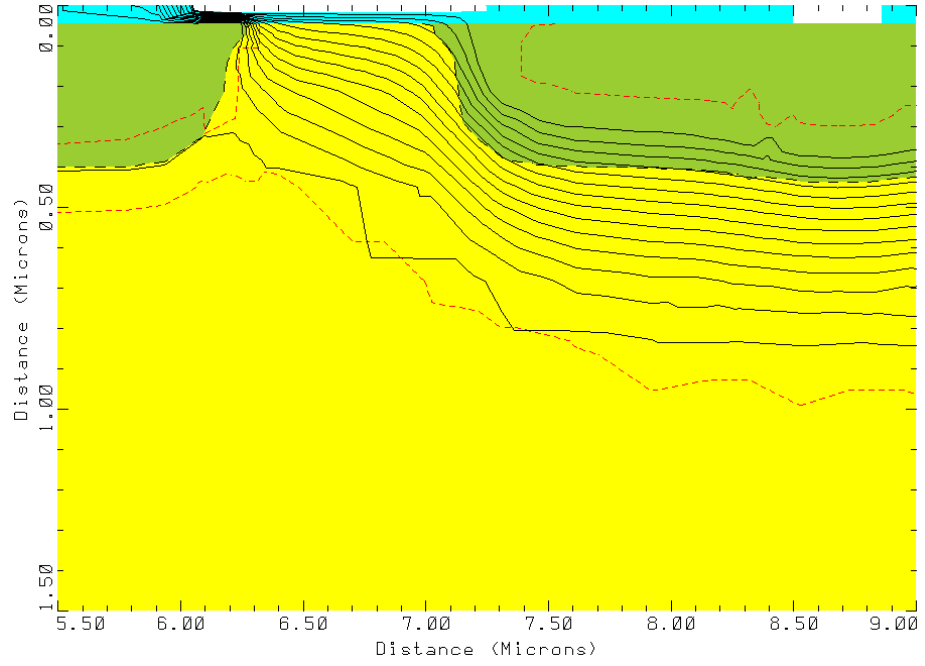
(a)



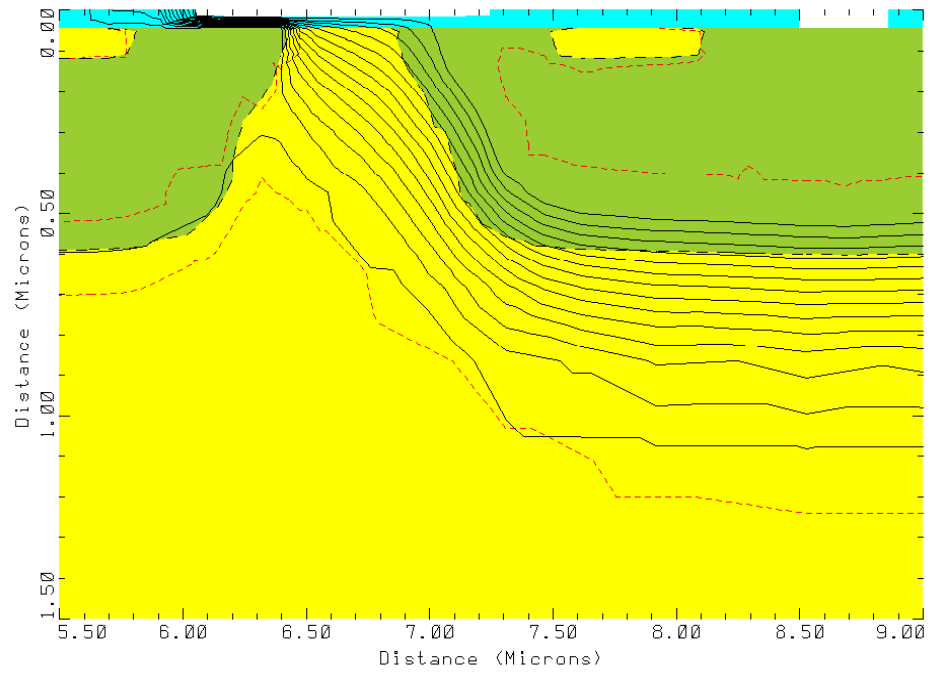
(b)

圖 3-4 雙擴散汲極區(漂移區)之濃度分佈圖：

(a) 150KeV, $1 \times 10^{13} \text{ cm}^{-2}$; (b) 240KeV, $1 \times 10^{13} \text{ cm}^{-2}$



(a)

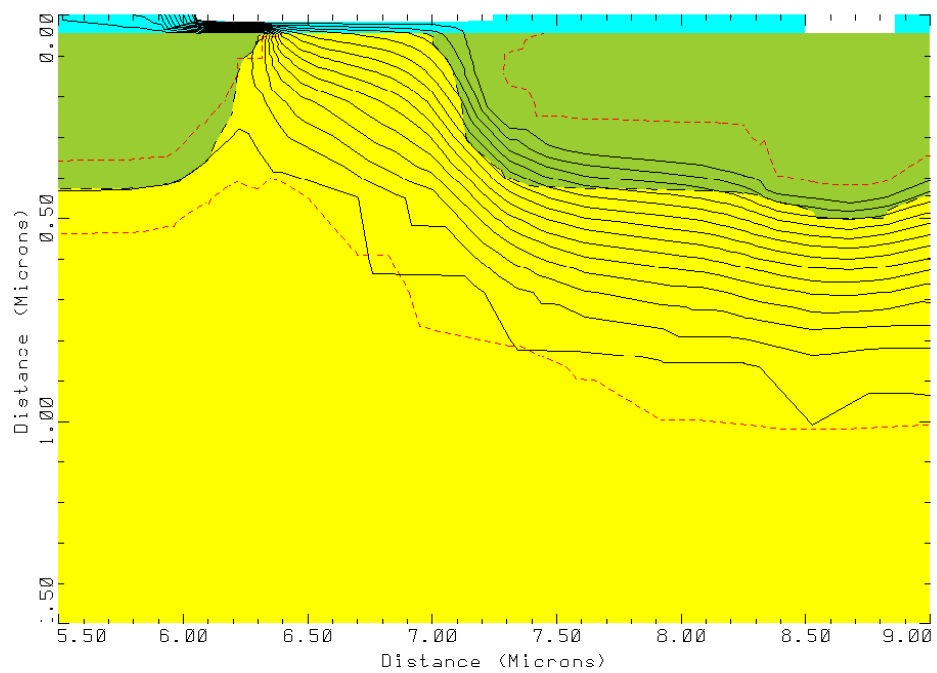


(b)

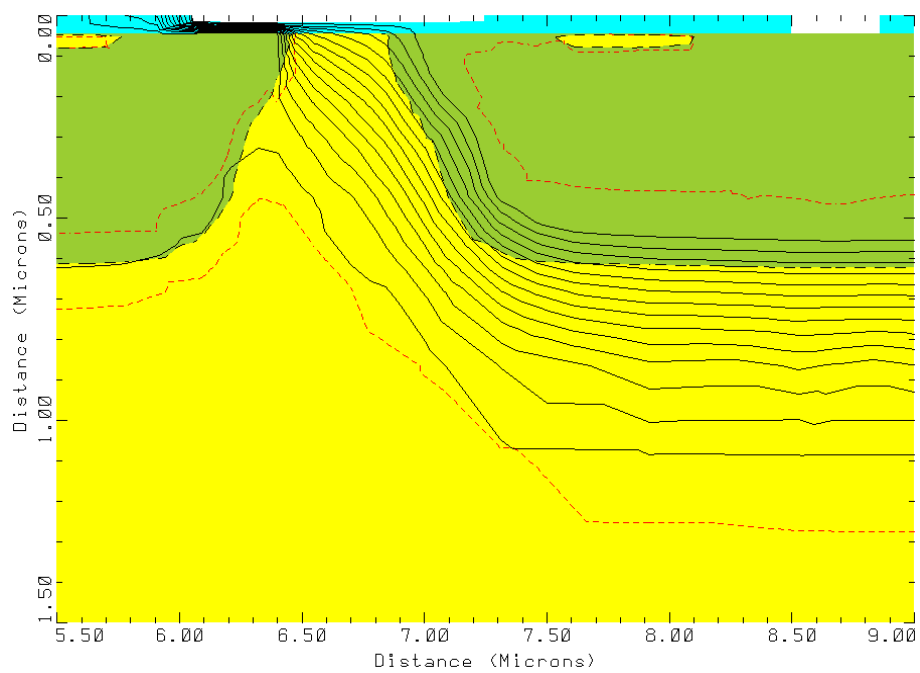
圖 3-5 在 $V_g = 13.5V$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) 150KeV, $1 \times 10^{13} \text{ cm}^{-2}$; (b) 240KeV, $1 \times 10^{13} \text{ cm}^{-2}$

(元件： $L/S=3 \mu\text{m}/1 \mu\text{m}$)



(a)



(b)

圖 3-6 在 $V_g = 13.5$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) 150KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$; (b) 240KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$

(元件： $L/S=3 \mu\text{m}/1 \mu\text{m}$)

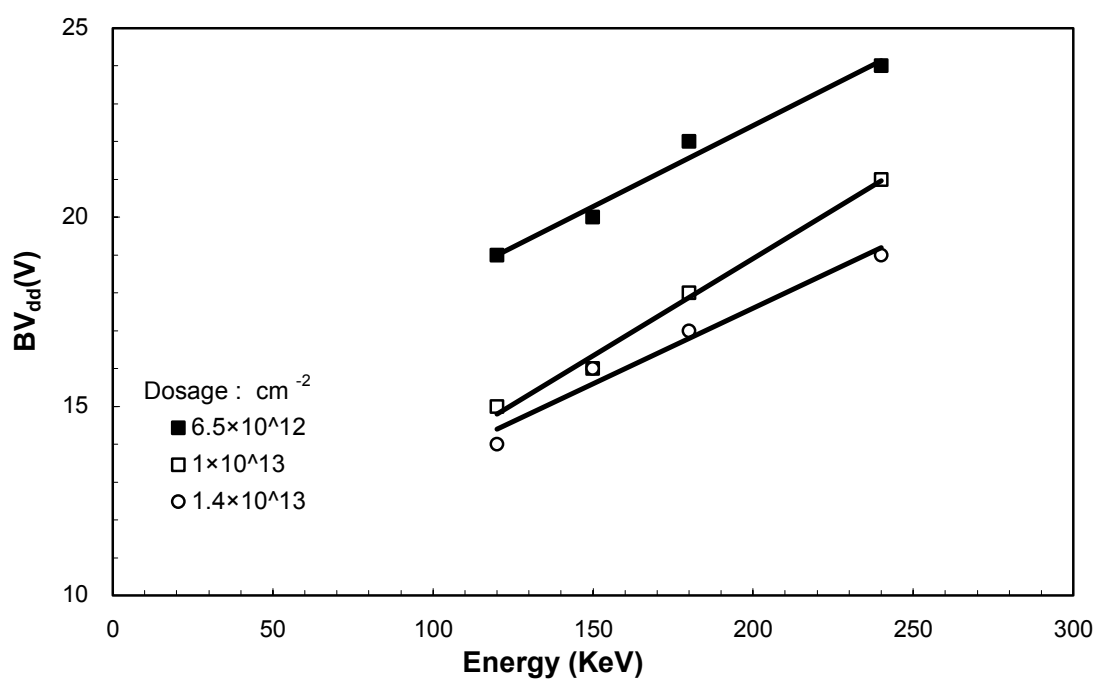
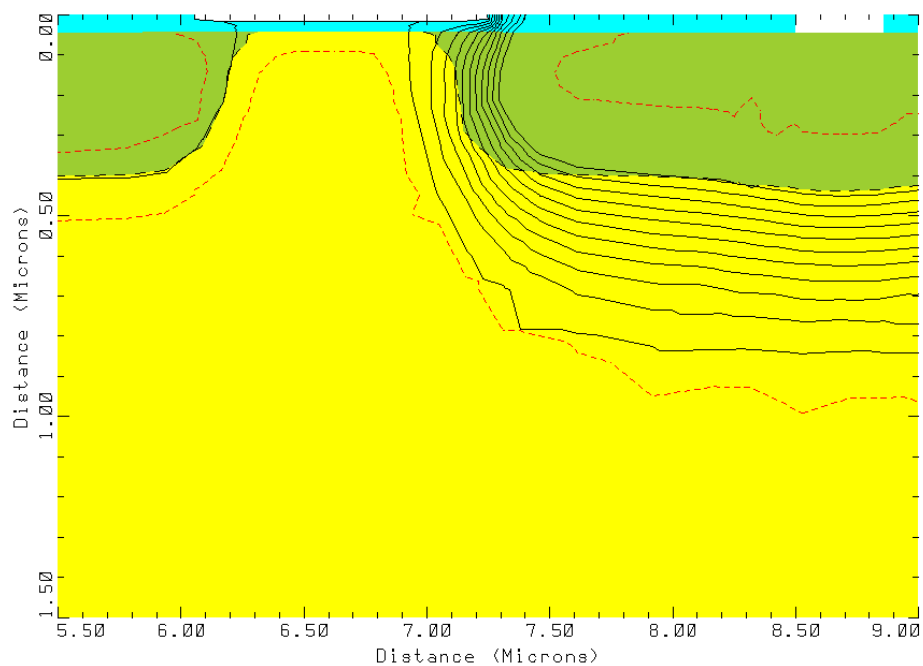


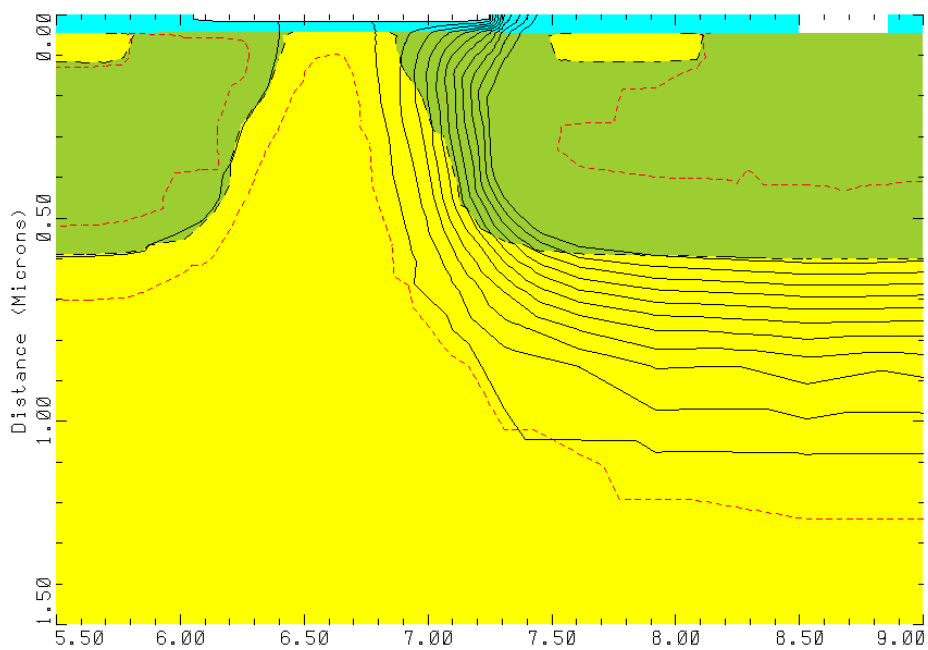
圖 3-7 不同植入條件對關閉崩潰電壓之趨勢圖，

電壓操作條件： $V_g=0V$ ， $V_d=15V$

(元件： $L/S=3 \mu m/1 \mu m$)



(a)

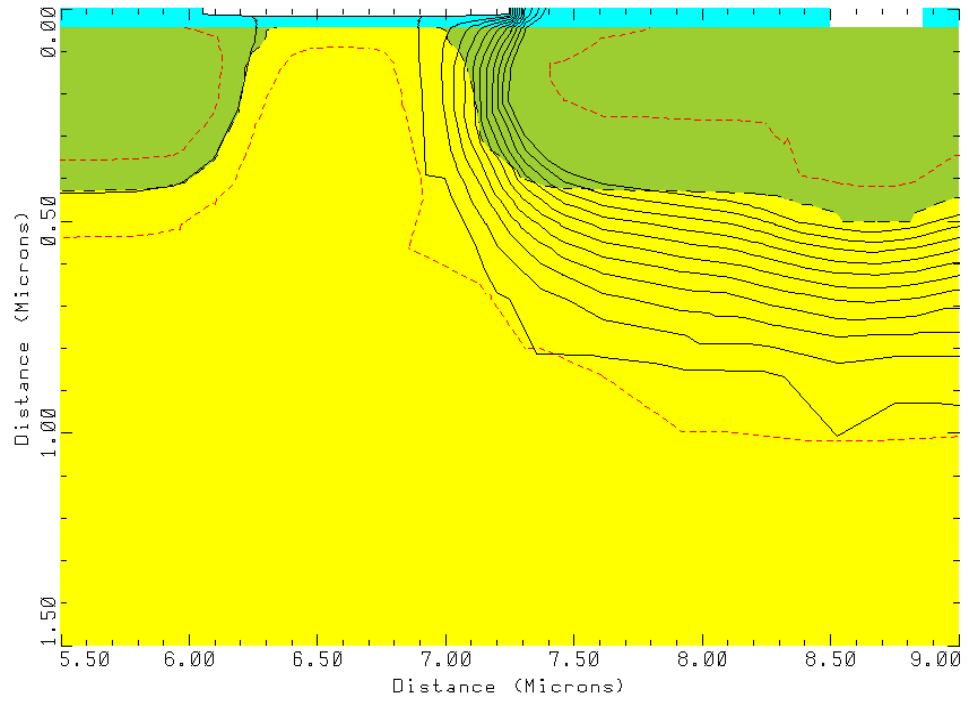


(b)

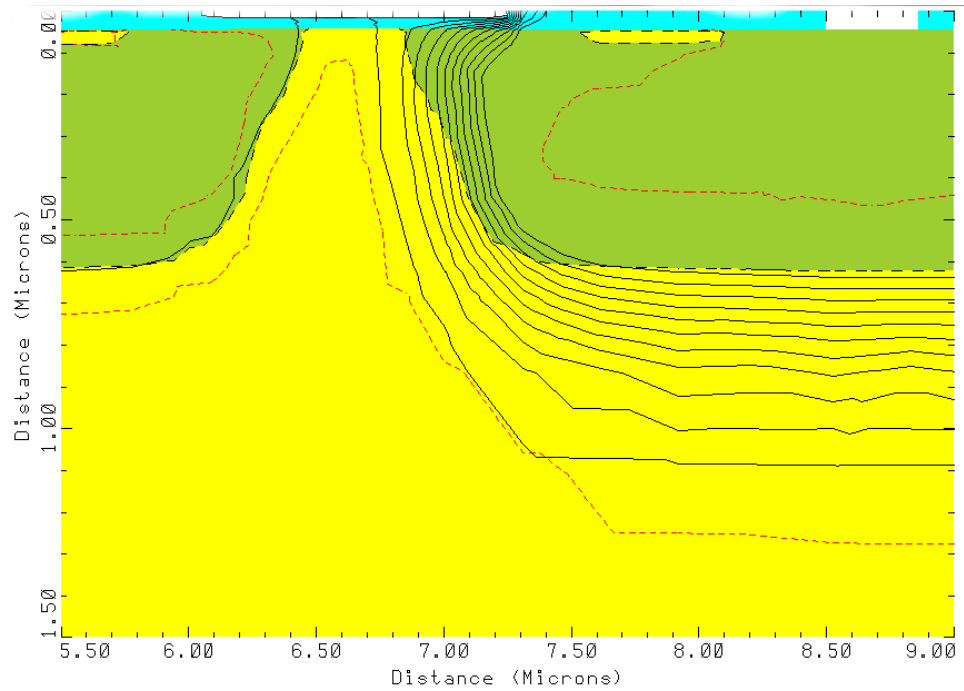
圖 3-8 在 $V_g = 0$, $V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) 150KeV, $1 \times 10^{13} \text{ cm}^{-2}$; (b) 240KeV, $1 \times 10^{13} \text{ cm}^{-2}$

(元件： $L/S = 3 \mu\text{m}/1 \mu\text{m}$)



(a)



(b)

圖 3-9 在 $V_g = 0, V_d = 15V$ 條件下，電場分佈及空乏區圖：

(a) 150KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$; (b) 240KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$

(元件： $L/S=3 \mu\text{m}/1 \mu\text{m}$)

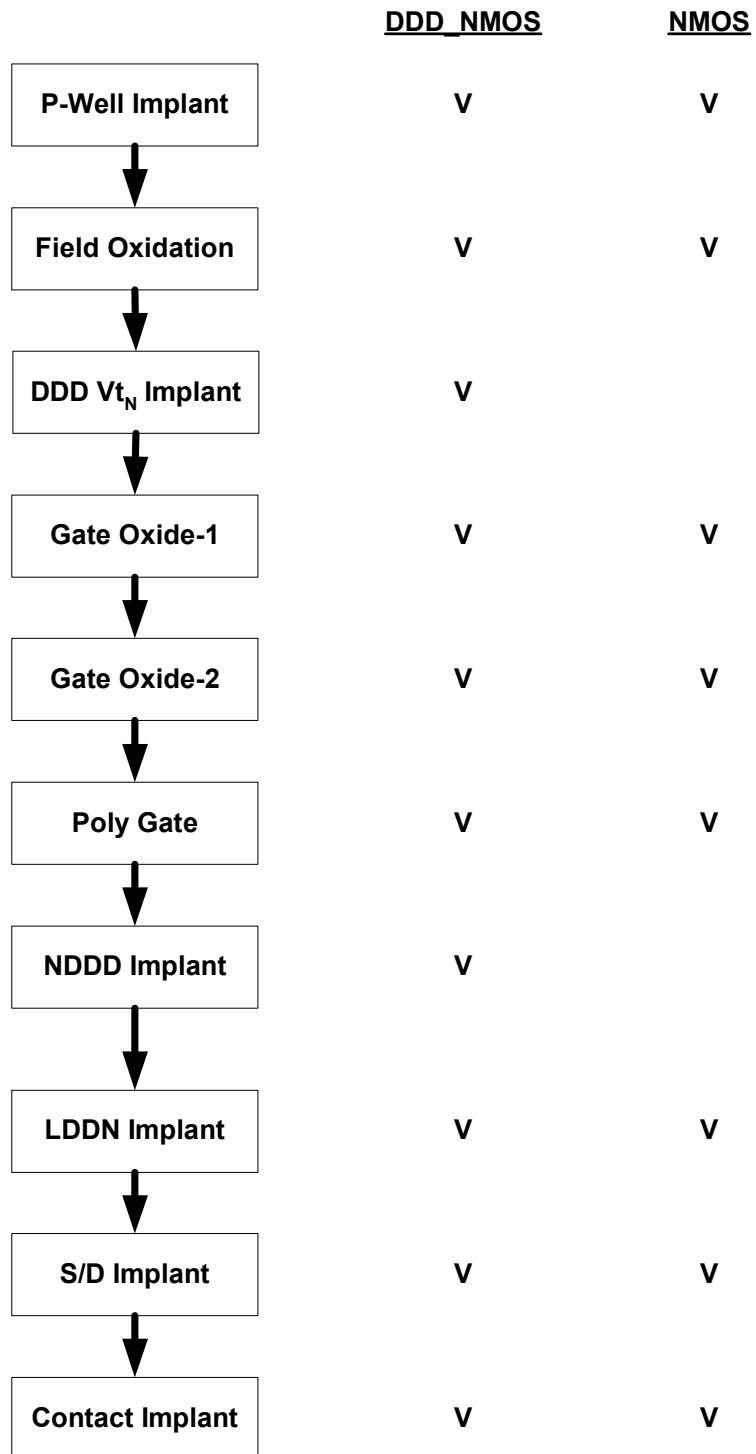


圖 3-10 DDD_NMOS 之簡易製程流程圖

第四章

元件電性量測結果與討論

在本章中，我們除了依據第三章模擬結果，藉由實際的元件製作，以驗證之前的推論外，我們還將從實際量測中去觀察及探討，在模擬中較不易推論的部分，以補在模擬探討中不足之處。

4.1 汲極飽合電流(I_{dsat})之探討

依據第三章模擬結果所擬定之實驗，其電性測量結果及統計值如表 4-1 所示。圖 4-1 為離子植入條件與汲極飽合電流之關係圖，由圖中可觀察出其趨勢與第三章所模擬之趨勢(參考圖 3-2)是一致的，另外可從圖 4-2 漂移區片電阻與植入條件的關係中，可看出植入劑量為 $1 \times 10^{13} \text{cm}^{-2}$ 的條件其片電阻高於 $1.4 \times 10^{13} \text{cm}^{-2}$ 之條件，但與植入的能量似乎並無明顯趨勢，再根據第三章我們所模擬的結果，可判斷當植入條件為 240 KeV, $1 \times 10^{13} \text{cm}^{-2}$ 時，雖然其有效通道變短可降低通道電阻，但電流流入漂移區之後的路徑所造成之整體阻抗，仍舊高於通道電阻許多，以致其汲極飽合電流不升反降。

另外從圖 4-3(b)元件的電流-電壓特性中可看出，不僅提升了元件的汲極飽合電流，先前我們所提及高壓元件在高閘極電壓時，會出現近似飽合的現象亦有明顯的改善。雖然在低閘極電壓時，汲極電壓增加仍有汲極電流些微上升的趨勢，但已不致於在操作電壓範圍之內，即發生折回現象。

4.2 崩潰電壓(BV_{dd})之探討

圖 4-4 為離子植入條件與崩潰電壓之關係圖，從圖中之趨勢我們並無太大的意外，基本上與濃度的關係有著很明顯的趨勢，即提高植入的能量或降低植入的劑量，皆可提升元件的崩潰電壓。另外在表 4-2 為根據模擬的崩潰電壓位置所作的統計，發現崩潰發生之位置有二：一為汲極端漂移區的表面；另一則為汲極端的 P-N 接面的接面底部(圖 4-5)，而決定發生方式的主因仍與漂移區的濃度有關。從表中可發現，如前所述崩潰電壓將隨著植入能量的增加或者劑量的減少而提高，此時，發生崩潰之處以 P-N 接面崩潰為主，原因在於植入的離子濃度高峰(Peak)將因此較深(參考圖 3-4)，亦將使得漂移區表面承受電壓的能力提升，因此 P-N 接面崩潰將先於表面崩潰而發生。反之，高劑量或低能量造成較高的表面濃度，使得最大電場位置移到表面而發生表面崩潰。圖 4-6、圖 4-7 顯示模擬的二維電場分佈，藉此了解不同植入能量及劑量對電場強度的影響。從趨勢上可觀察到，接面的最大電場將會隨著植入能量的提高或植入劑量的降低而減弱，崩潰電壓因此而提升。表面電場則會隨著植入能量的增加而略為降低，從圖 3-9 中可發現，此時電力線的分布主要集中在閘極邊緣的氧化層中，雖然最大的電場強度發生於閘極邊緣，但水平方向電力線的密集程度，不如接面的電力線來得高，所以電子雖然在如此強大的電場之下，但並未得到足夠能量使元件產生崩潰，崩潰電壓未因此而下降。另外，我們亦可觀察到，植入條件對於汲極端的 P-N 接面的電場強度，似乎影響並不是那麼明顯。

另外有趣的現象是，導通崩潰將隨著植入劑量的增加而提早發生(如圖 4-8 所示)，這與我們在圖 2-15 所看到的趨勢是相反的。其主要因

素為植入劑量的增加使得表面濃度提高，電場強度因而增加所致。

4.3 關閉電流(I_{off})之探討

圖 4-8 離子植入條件與關閉電流的關係圖與先前我們所知的經驗是相同的，即影響關閉電流的主要因素在於植入劑量的多寡，至於植入能量的大小，影響不是很明顯，特別是在較高劑量的時候，影響程度會更為趨緩，這是一個好現象。在圖 4-10 中我們可以觀察到，元件在關閉($V_g < V_t$)時漏電流的現象會隨著閘極電壓降低與汲極電壓的增加而增加，造成此現象的主要因素是由所謂的閘極所致汲極端漏電流(Gate-Induced Drain Leakage, GIDL)所引起。此現象的發生機制，是因閘極氧化層之下與漂移區的重疊部分，因閘極端與汲極端的電壓差($V_{DG} > 0V$)，使得漂移區靠近表面的區域被空乏(參考圖 3-8 及圖 3-9)。當汲極-閘極之電位差持續增加，使得電場增強，使得空乏區產生電子-電洞對。在靠近氧化層之處由於電洞的聚集形成反轉層(Inversion Layer)，而電子則由價電帶(Valence Band)直接穿透(Tunneling)位障到達傳導帶(Conduction Band)，而形成所謂的能帶穿透(Band-to-Band Tunneling)的現象。此時，在反轉層的電洞則會因水平方向的電場，流至基體而形成漏電流。

傳統的金氧半場效電晶體的 GIDL 效應會隨閘極/汲極重疊區的濃度增加而增加，這是因為較高的濃度產生較強的電場。但是對於本論文的雙擴散汲極金氧半場效電晶體，圖 4-11 及圖 4-12 均顯示植入劑量增加，關閉電流反而降低，這個現象和傳統的 GIDL 效應相反。在 $V_g < V_t$ 之後，關閉電流隨 V_g 降低而增加的斜率和植入劑量無關，這也表示關閉電流和植入劑量的關係不是 GIDL 造成的。我們猜測是因為劑量低的時候，漂移區很快就完全空乏，空乏區的電荷不多，漂移區電位降

不大，汲極電場較高。劑量增加之後，漂移區的空乏電荷較多，承受較大的電位降，使得汲極電場反而較低。因此在本論文使用的劑量範圍內，增加劑量反而造成較低的汲極漏電流。

另外我們從樣本品片中各取四點位置，並量測其關閉電流與汲極飽合電流的關係，得到圖 4-13 之結果，可看出植入劑量在 $1 \times 10^{13} \text{cm}^{-2}$ 時，其植入的能量將會影響漏電流與飽合電流之間的關係，但主要的因素在於植入能量影響了汲極飽合電流的大小，換句話說，在這樣的植入劑量條件之下，想要得到較高的汲極飽合電流有一種選擇，就是降低植入能量。在 $1.4 \times 10^{13} \text{cm}^{-2}$ 這一組中，其關閉電流之所以趨近於定值($\sim 20 \text{pA}$)的原因，是因為自動量測系統對於電流量測能力的極限所導致，從圖 4-10 中不難看出，實際漏電流將比 20pA 更低。但若從圖 4-14 關閉電流與崩潰電壓之關係圖中，可看出這樣將會使得崩潰電壓降低。所幸，在 $1.4 \times 10^{13} \text{cm}^{-2}$ 這個條件之下，植入能量對於漏電流幾乎沒有影響，但卻可提升元件的汲極飽合電流及崩潰電壓。雖然高植入劑量的條件，在提升汲極飽合電流及崩潰電壓的特性上並不如低劑量那麼顯著，但對於元件整體而言，卻可降低許多的寄生效應，不失是解決雙擴散汲極金氧半場效電晶體的方法之一。

		Wafer No.					
Energy (KeV)	Dosage (cm ⁻²)	#1	#2	#3	#4	#5	#6
120	1.4×10 ¹³	V					
150	1.4×10 ¹³		V				
180	1.0×10 ¹³			V			
180	1.4×10 ¹³				V		
240	1.0×10 ¹³					V	
240	1.4×10 ¹³						V
V_t	(V)	1.1595	1.1245	1.1218	1.1341	1.1365	1.1541
I_{dsat}	(mA)	10.710	11.223	10.691	11.291	10.235	11.714
BV_{dd}	(V) @ V _g =0 I _d =1uA	16.93	16.02	18.87	17.32	19.99	18.24
I_{off}	(pA) @ V _d =13.5V V _g =0V	52.96	17.61	85.01	22.58	82.39	26.58

表 4-1 實驗結果統計值

關閉崩潰電壓(V)		能量 (KeV)			
		120	150	180	240
劑量 (cm ⁻²)	6.5×10 ¹²	19.00	20.00	22.00	24.00
	1×10 ¹³	15.00	16.00	18.00	21.00
	1.4×10 ¹³	14.00	16.00	17.00	19.00

陰影部分代表崩潰電壓為表面崩潰
其他部分則為接面崩潰



表 4-2 模擬關閉崩潰電壓及崩潰發生型式：

(1)表面崩潰，及(2)接面崩潰

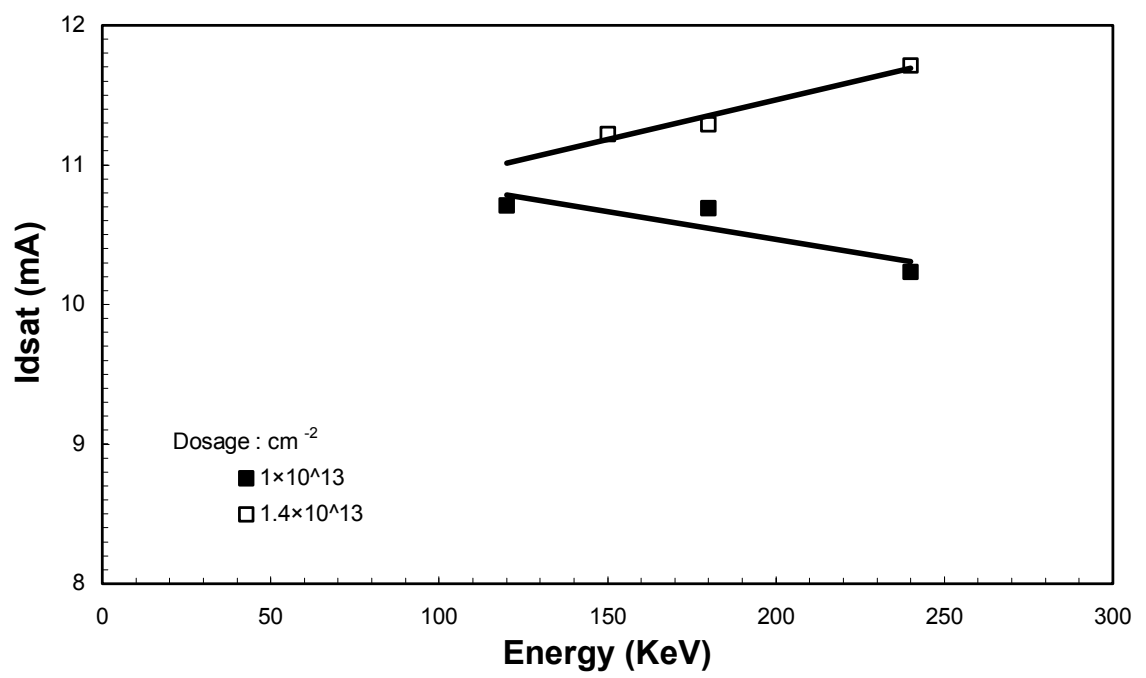


圖 4-1 離子植入條件與汲極飽合電流之關係圖

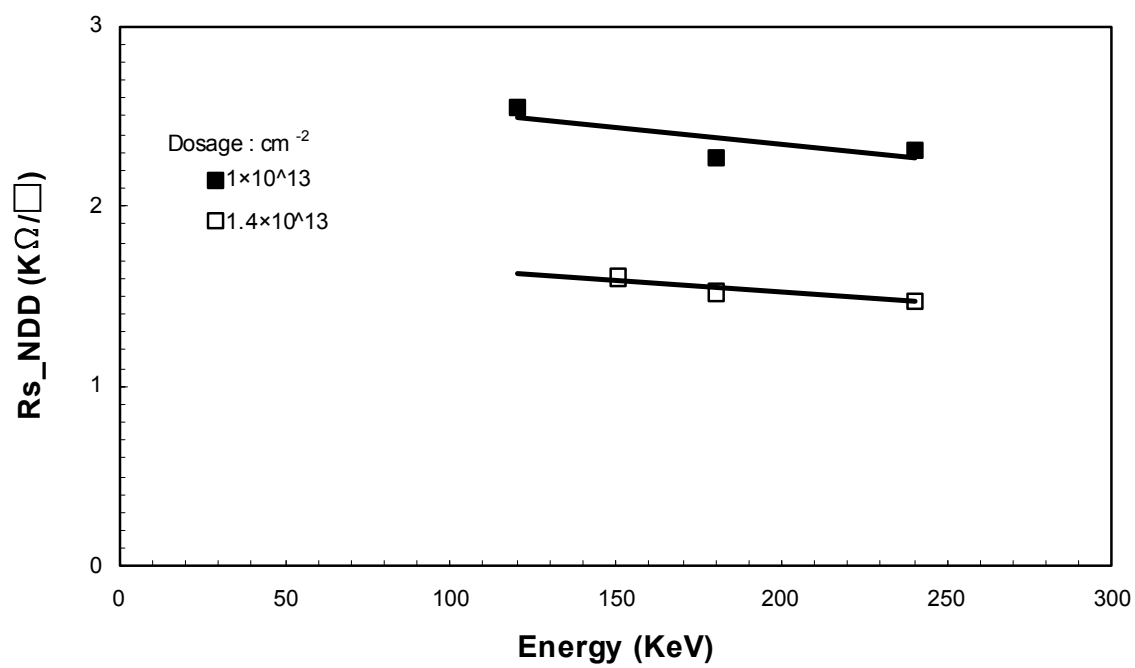


圖 4-2 離子植入條件與漂移區片電阻之關係圖

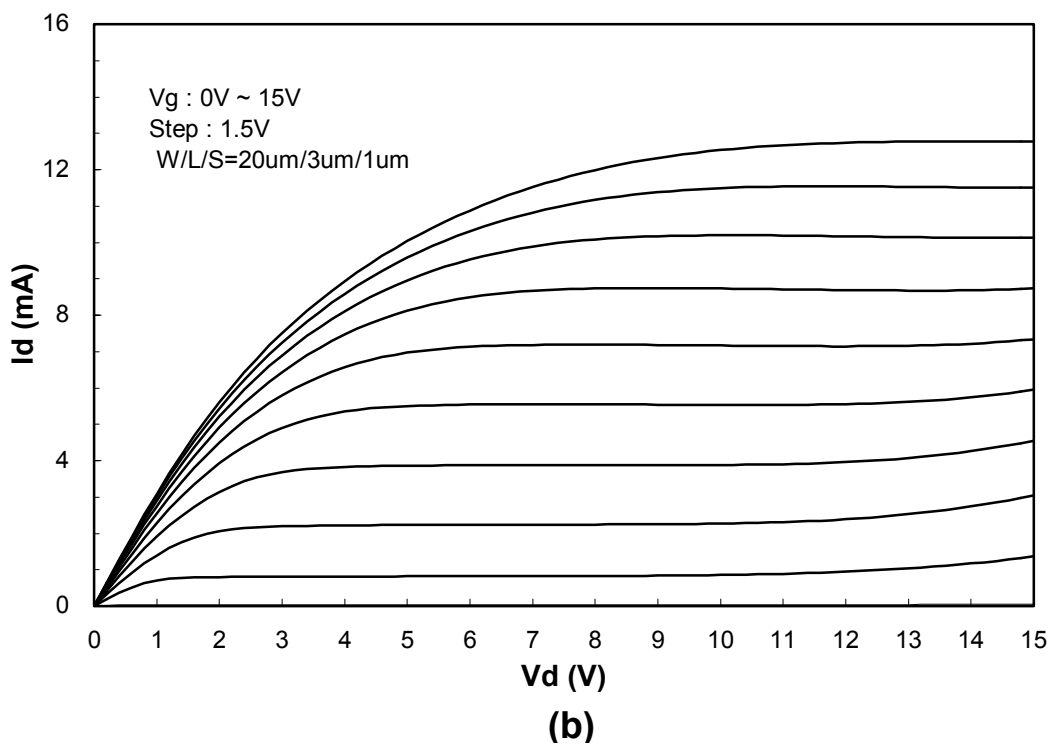
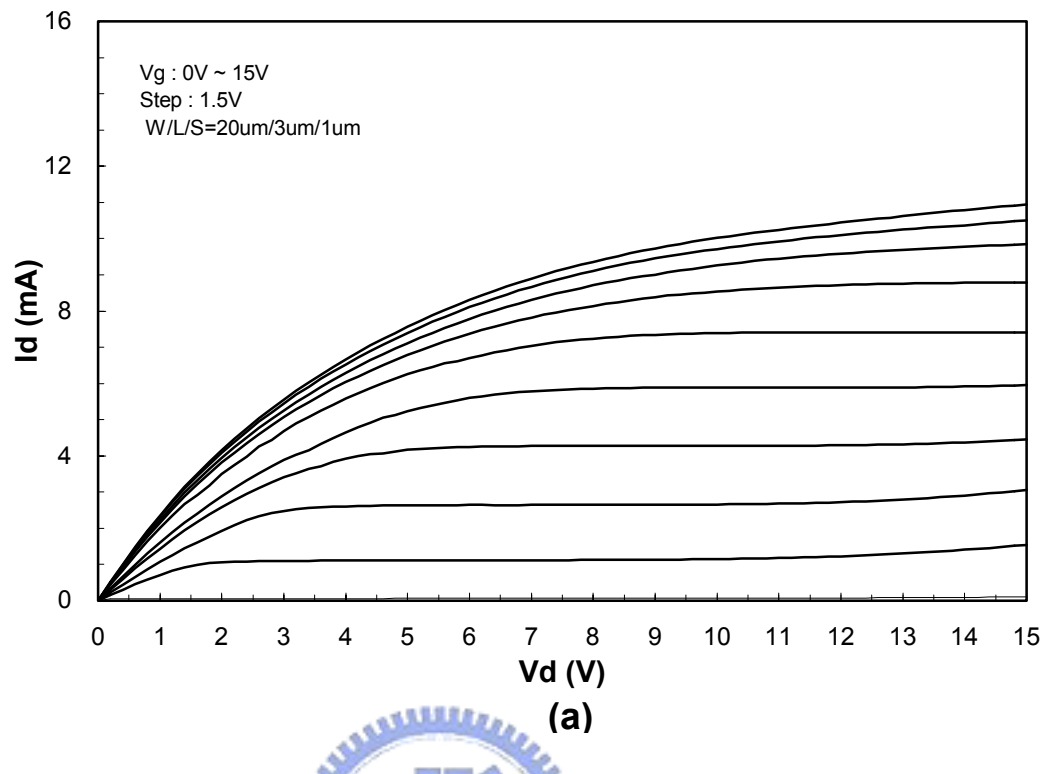


圖 4-3 離子植入能量為 240KeV 之電性比較

劑量：(a) $1 \times 10^{13} \text{ cm}^{-2}$ ，(b) $1.4 \times 10^{13} \text{ cm}^{-2}$

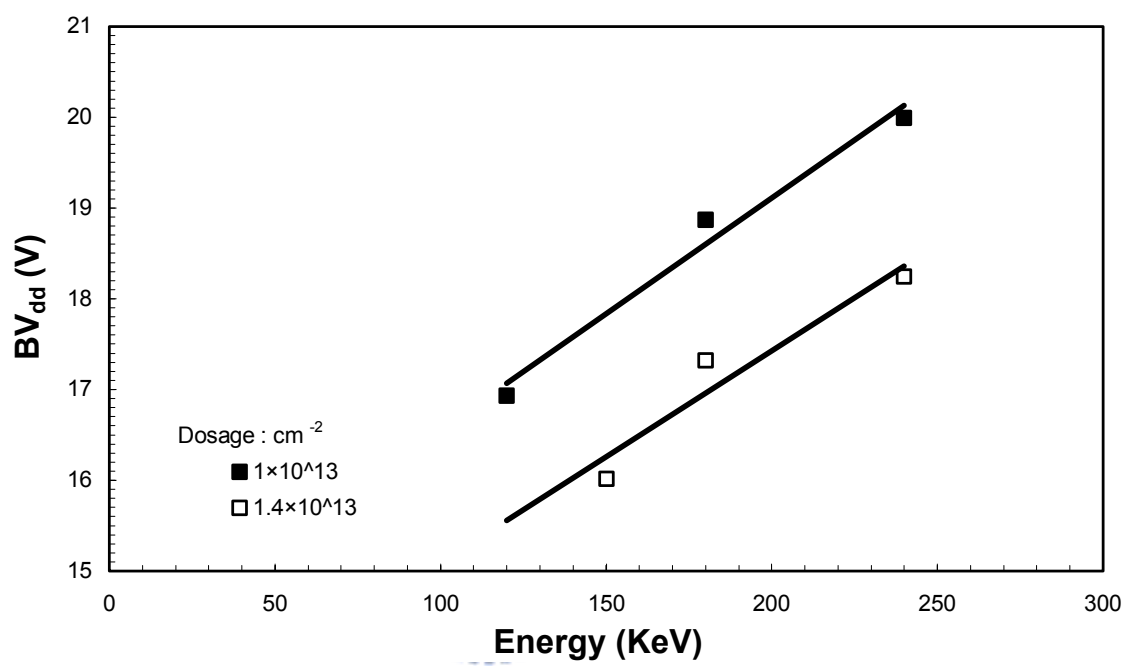


圖 4-4 離子植入條件與崩潰電壓之關係圖

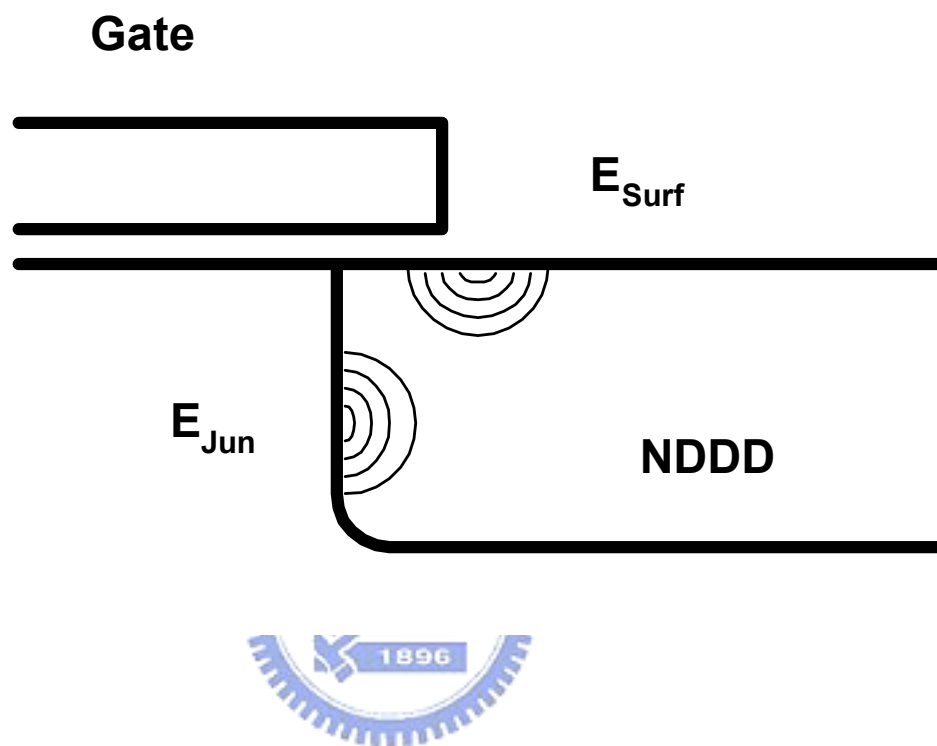
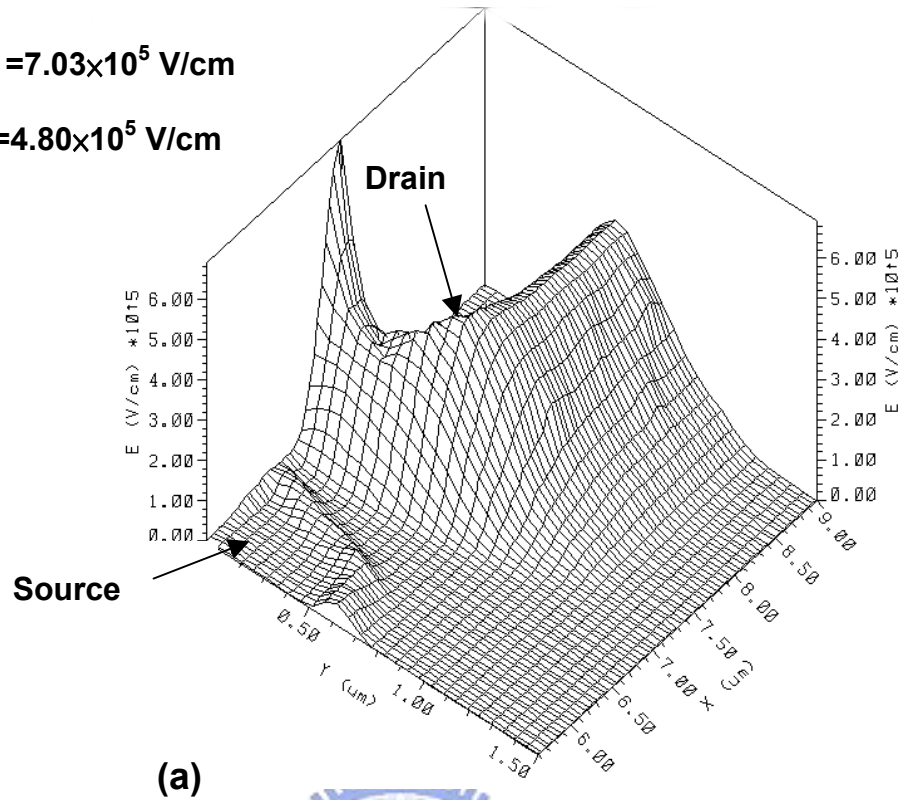


圖 4-5 崩潰電壓發生及最大電場分布示意圖

$$E_{\text{Surf}} = 7.03 \times 10^5 \text{ V/cm}$$

$$E_{\text{Jun}} = 4.80 \times 10^5 \text{ V/cm}$$



$$E_{\text{Surf}} = 6.80 \times 10^5 \text{ V/cm}$$

$$E_{\text{Jun}} = 4.36 \times 10^5 \text{ V/cm}$$

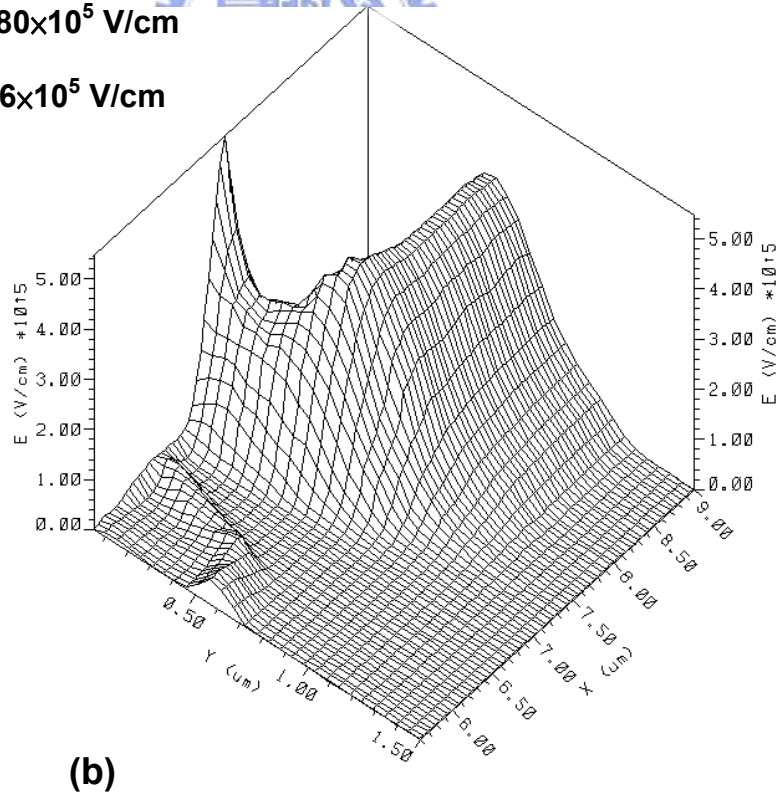
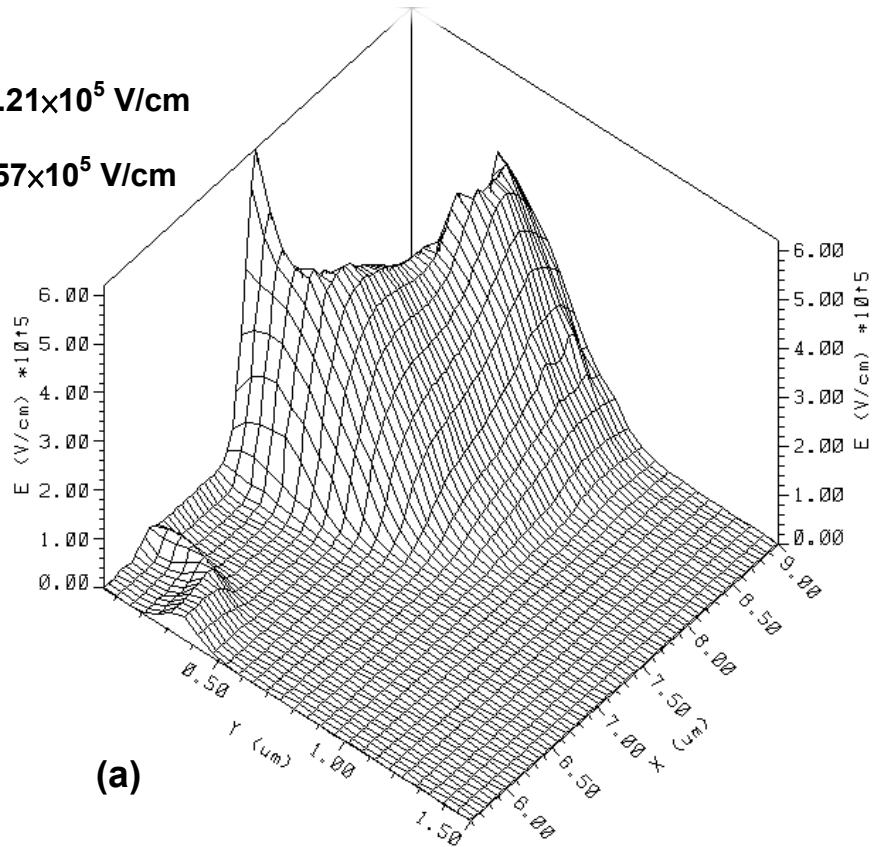


圖 4-6 模擬電場強度圖： $V_g=0\text{V}$ ， $V_d=15\text{V}$

(a) 240KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$ ，(b) 240KeV, $1 \times 10^{13} \text{ cm}^{-2}$

$$E_{\text{Surf}} = 6.21 \times 10^5 \text{ V/cm}$$

$$E_{\text{Jun}} = 5.57 \times 10^5 \text{ V/cm}$$



$$E_{\text{Surf}} = 6.13 \times 10^5 \text{ V/cm}$$

$$E_{\text{Jun}} = 5.32 \times 10^5 \text{ V/cm}$$

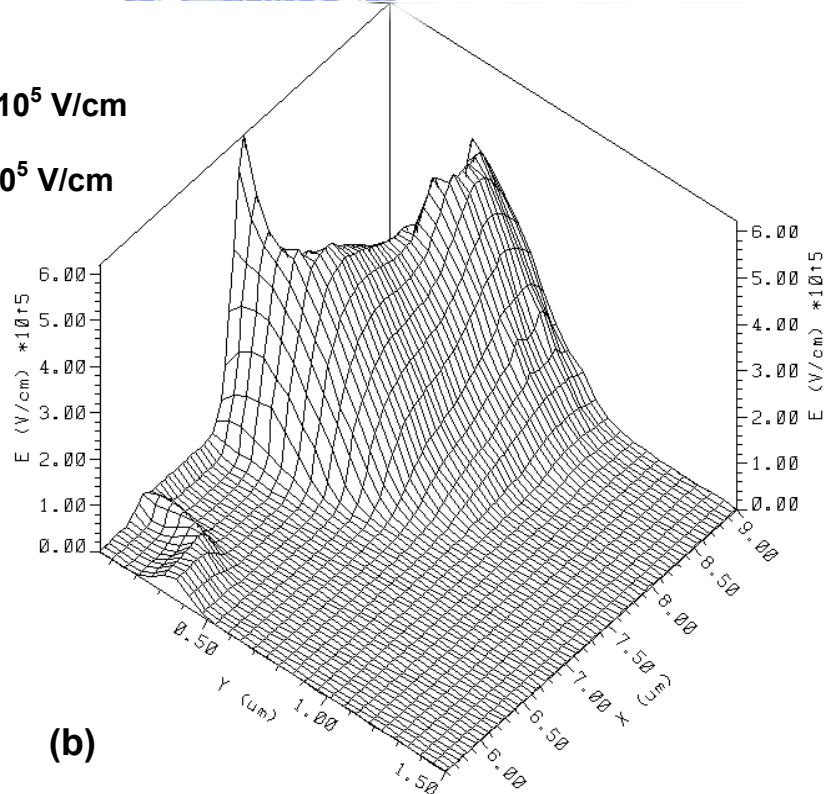


圖 4-7 模擬電場強度圖： $V_g=0\text{V}$ ， $V_d=15\text{V}$

(a) 120KeV , $1.4 \times 10^{13} \text{ cm}^{-2}$ ，(b) 120KeV , $1 \times 10^{13} \text{ cm}^{-2}$

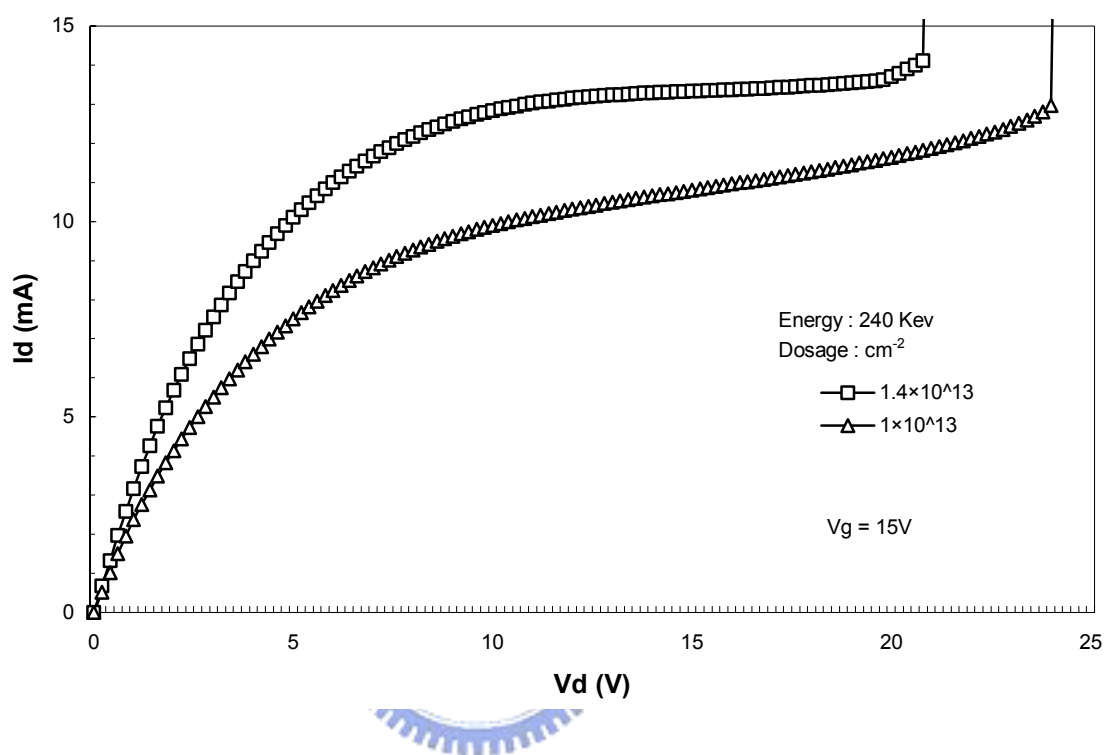


圖 4-8 離子植入條件對導通崩潰電壓之關係圖

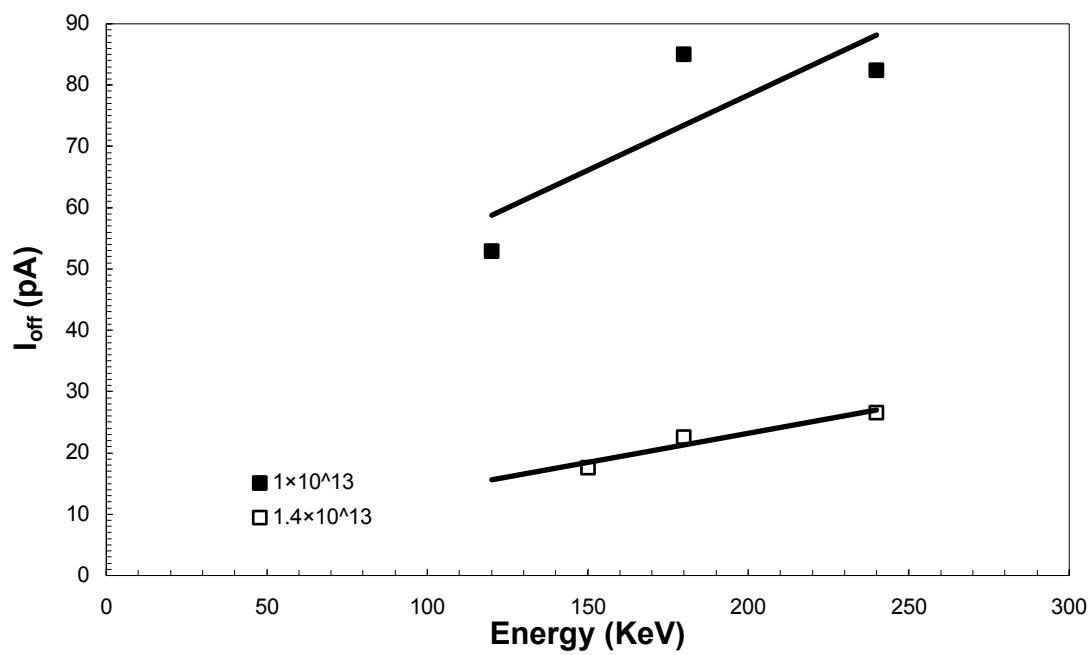
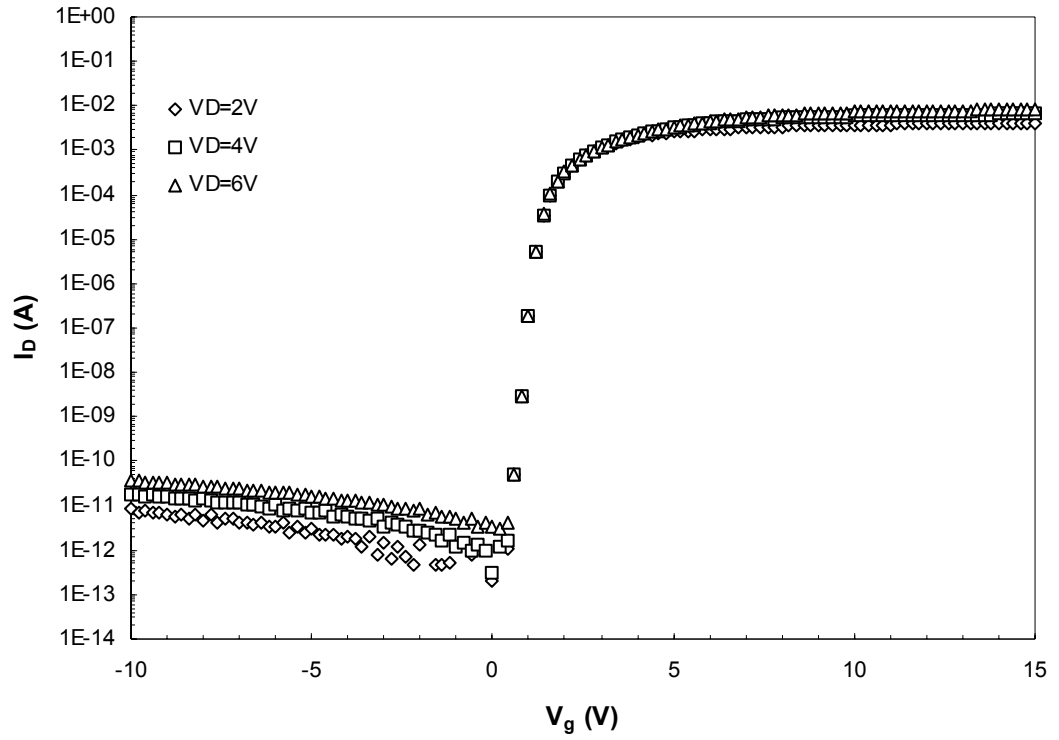
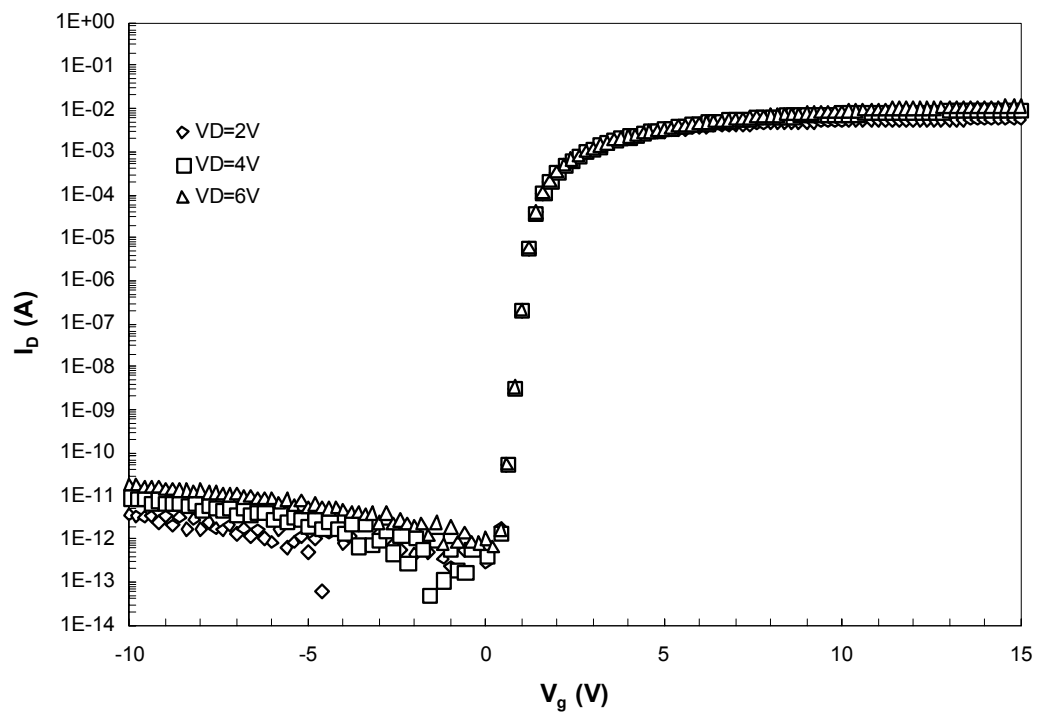


圖 4-9 離子植入條件與關閉電流之關係圖



(a)



(b)

圖 4-10 植入劑量對 DDDMOS 之關閉電流的影響：

(a) 240KeV, $1 \times 10^{13} \text{ cm}^{-2}$, (b) 240KeV, $1.4 \times 10^{13} \text{ cm}^{-2}$

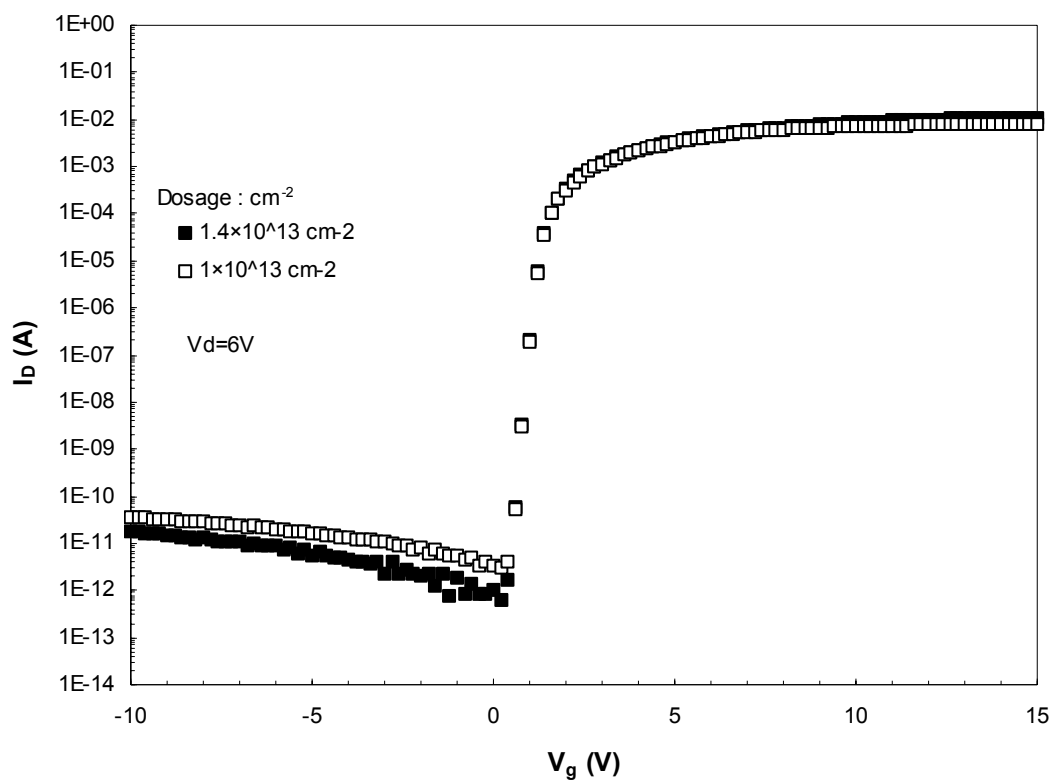


圖 4-11 漂移區植入劑量對關閉電流之影響

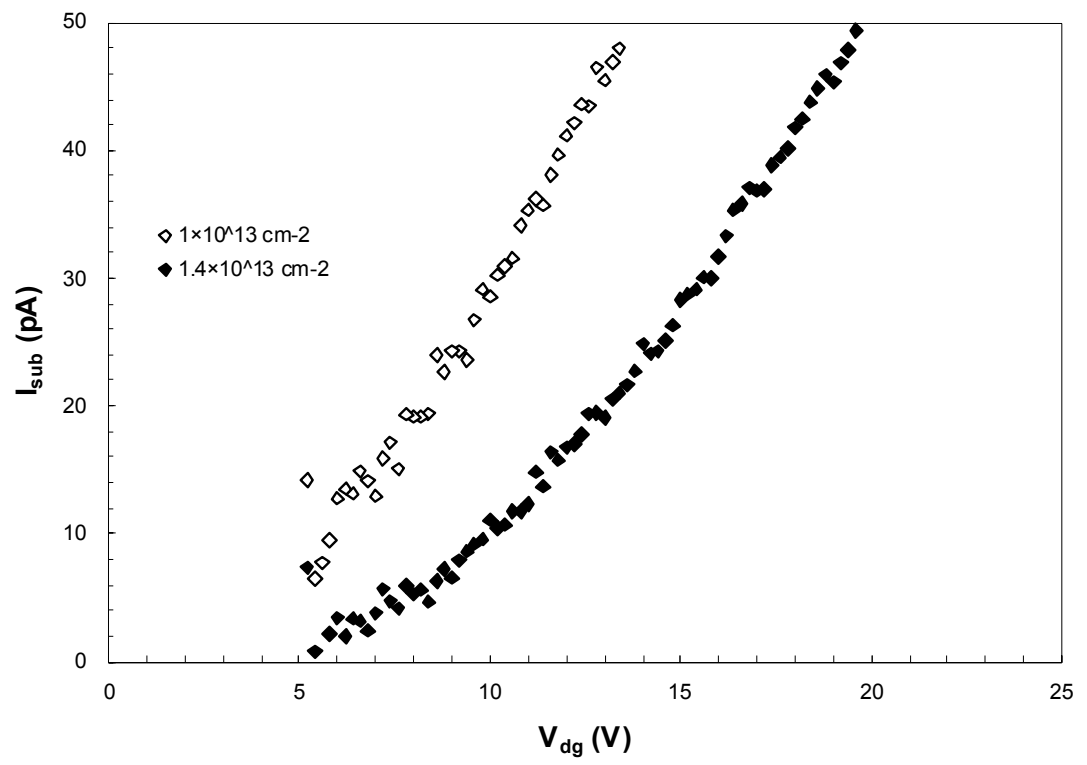


圖 4-12 漂移區植入劑量對基體漏電流之影響

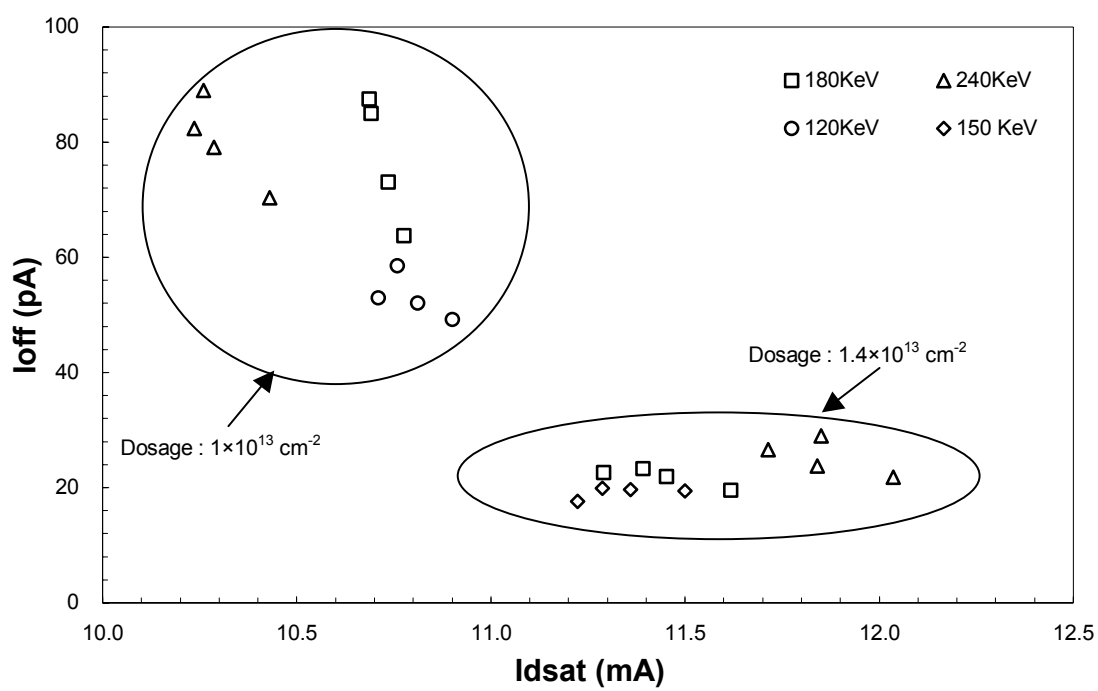


圖 4-13 汲極飽合電流與關閉電流之關係圖

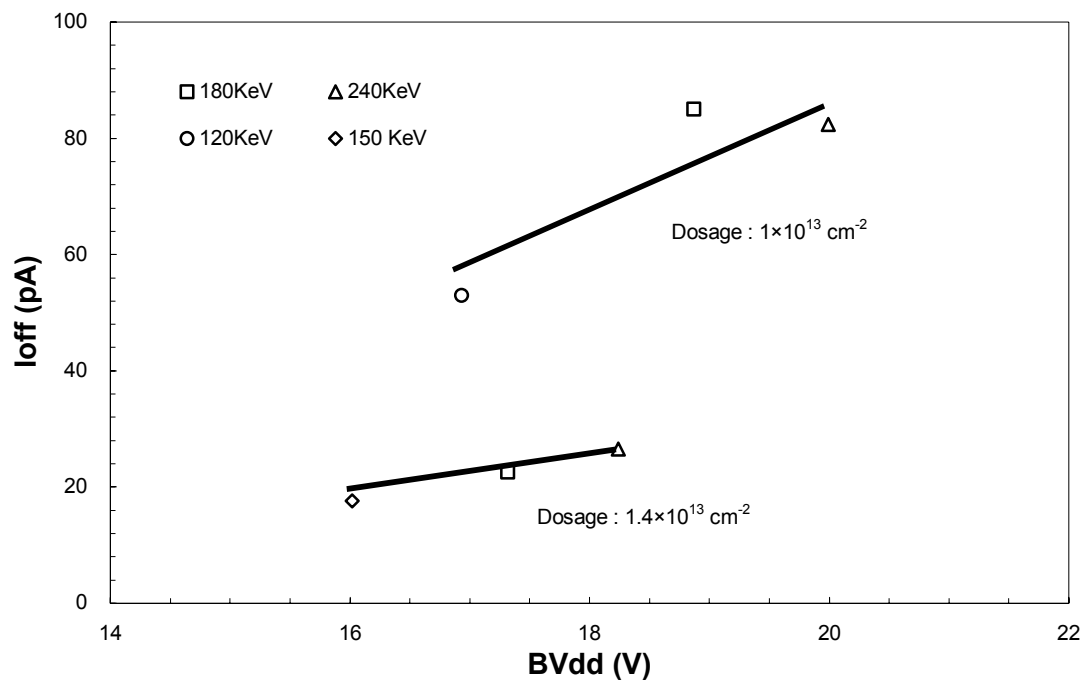


圖 4-14 關閉電流與崩潰電壓之關係圖

第五章

結論與展望

5.1 結論

雙擴散汲極金氧半場效電晶體早已被廣泛運用，由於元件結構簡單，極易與互補式金氧半場效電晶體製程技術整合在一起，因此，如何就既有之製程程序，小幅度變更製程上的條件(Condition)，而不直接更改製程配方(Recipe)，但又能改善元件的特性，將是此類元件比其他高壓元件較具競爭力之處。

本論文即依據此精神，從離子的植入條件上去著手探討其對元件的影響程度及可行性。就觀察整個結果及趨勢，我們可以得到下列幾個結論：

- (1) 若寄生雙接面電晶體及基極電流引起之基體效應在可靠度允許之下被接受時，若欲提升元件的效能(performance)，可將植入劑量提高，但必須在 $1 \times 10^{13} \text{cm}^{-2}$ 以下，否則崩潰電壓將嚴重偏低。
- (2) 若欲改善元件的整體特性，最佳的條件是將植入的劑量及能量調整在約 $1.2 \times 10^{13} \text{cm}^{-2}$ 及 200KeV 以上，並搭配著能量的提高而增加劑量，如此對於元件的崩潰電壓將有所幫助，亦可避免因植入劑量的提高，而使漂移區表面所形成的反形態(type convert)成為阻礙電流行進的因素。不僅如此而已，對於飽合電流可提升約 70%，及降低關閉電流約 75%。
- (3) 就離子植入條件對元件整體特性來看，崩潰電壓與關閉電流的

趨勢是相反的；而飽合電流與關閉電流就植入劑量的趨勢來看是一致的。所以想要提升崩潰電壓，則關閉電流及飽合電流就須有部分程度的犧牲，意謂著在崩潰電壓與關閉電流或飽合電流之間必須依據需求來取得一個平衡點。

- (4) 依據實驗所得的結果及第二章的討論，我們在元件的尺寸上，將有機會使通道長度(L)及閘極至汲極端接點的距離(S)再做適度的縮小，不僅可以提高電晶體的驅動能力，亦可增加晶粒中的電晶體密度，對於雙擴散汲極電晶體在尺寸縮小化(Scaling)上而言，可謂是一重大突破。

正如之前我們所提，雙擴散汲極金氧半場效電晶體主要是被運用於操作電壓在 20V 以下之元件，就上述(3)結論所述，如欲將本論文所討論的離子植入條件實現於更高操作電壓之元件時，首要任務必須使元件至少可以耐壓至 1.1 倍的操作電壓，再依據需求作適度的調整。

5.2 後續工作

截至目前為止，關於基體電流與植入條件之間的關係，以及環境溫度對元件的影響，在本論文中我們尚未釐清及探討，但基本上與熱載子有著很密切的關係，是未來對於元件特性上的探討可以繼續深入的部分。另外針對更高植入劑量或能量的探究，亦是持續研究的課題。

雙擴散汲極金氧半場效電晶體，由於應用於高電壓的條件，其閘極端及汲極端對於元件而言都是很大的偏壓，將使得元件處在很強大的電場之下，對於元件的使用有著很大的影響。因此，在可靠度方面的測試，仍可繼續執行及探究，包括熱載子對閘極氧化層的影響、安全操作面(Safe Operating Area, SOA)、栓鎖效應(Latch-up)測試及環境

溫度測試等。

此外，我們可以藉由植入高劑量、高能量的物理機制，去思索如何在低劑量、低能量下可以達到相似的效果，即在漂移區可多加植入一較淺的 p^- 區域。如同植入能量 240KeV 之下的條件，在漂移區表面所形成接近反型態之區域，用以降低漂移區空乏之後的電場強度，是可以考慮的方式。唯此 p^- 區域要如何控制其深度，是要面臨的挑戰，一旦太深，不但無法改善元件的特性，根據本論文所得之趨勢，反而會使元件的飽合電流降低，這部分是在探究 p^- 植入條件時，必需小心謹慎的部分。

最後，正如一開始曾經探討過的元件尺寸，若能配合本論文所論述的植入條件，去設法縮小尺寸，在電性上仍能保持相同特性，將使得設計者在電路設計時能夠縮減晶粒大小，節省開發時間，如此必能節省製造上的有形及無形的成本。對於雙擴散汲極金氧半場效電晶體而言，其在高壓製程中將占有更重要的地位，並更具競爭力。

参考文献

- [1] F.E. Holmes and C.A.T. Salama, “VMOS — A New MOS Technology,” *Solid-State Electron.*, vol. 17, pp. 1147-1154, 1974.
- [2] D. Ueda, H. Takagi, and G. Kono, “A New Vertical Power MOSFET Structure with Extremely Reduced On-resistance,” *IEEE Trans. On electron Device*, vol. ED-32, pp. 2, 1985
- [3] V.A.K. Temple and P.V. Gray, “Theoretical Comparison of DMOS and VMOS Structures for Voltage and On-resistance,” in *IEDM Tech. Dig.*, 1979, Abstr. 4.5, pp. 88-92.
- [4] S.C. Sun and J.D. Plummer, “Modeling the On-resistance of LDMOS, VDMOS and VMOS Power Transistor,” *IEEE Trans. On electron Device*, vol. ED-27, pp. 356-367, 1980.
- [5] T. Syau, P. Venkatramam, and B.J. Baliga, “Comparison of Ultralow Specific On-resistance UMOSFET Structure,” *IEEE Trans. On electron Device*, vol. ED-41, pp. 800-808, 1994.
- [6] B.J. Baliga, “Trends in Power Discrete Device,” in *Proc. ISPSD'98*, 1998, pp. 5.
- [7] B.J. Baliga, “Power Semiconductor Device,” 2nd Edition, PWS Press, 2000.
- [8] V. Benda *et al*, “Power Semiconductor Device : Theory and Application,” JWS Press, 1999.
- [9] M.D. Pocha and R.W. Dutton, “A Computer-Aided Design Model for High-Voltage Double Diffused MOS (DMOS) Transistors,” *IEEE J.*

- Solid-State Circuit*, vol. SC-11, pp. 718-726, 1976.
- [10] T.J. Rodgers *et al.*, “An Experimental and Theoretical Analysis of Double-Diffused MOS Transistors,” *IEEE J. Solid-State Circuit*, vol. SC-10, pp. 322-330, 1975.
- [11] C. Bassin *et al.*, “High-Voltage Device for 0.5 μ m Standard CMOS Technology,” *IEEE Trans. On electron Device Letters*, vol. 21, pp. 40-42, 2000.
- [12] J. Jang *et al.*, “RF LDMOS Characterization and Compact Modeling,” *IEEE MTT-S Digest 2001*.
- [13] T. Myono *et al.*, “High-Voltage MOS Device Modeling with BSIM3v3 SPICE Model,” *IEICE Trans. Electron.*, vol. E-82C, No.4 April 1999, pp. 630-637.
- [14] A.W. Ludikhuize, “Kirk Effect Limitations in High Voltage IC’s,” *Symposium on Semiconductor Device & IC’s*, pp. 249-252, 1994.
- [15] C.Y. Chang and S.M. Sze, “ULSI Device,” JWS Press, 2000.
- [16] Eiji Takeda *et al.*, “Hot-Carrier Effects in MOS Device,” Academic Press, 1995.
- [17] Hussein Ballan and Michel Declercq, “High Voltage Device and Circuits in Standard CMOS Technologies,” Academic Press, 1998.
- [18] Y. Taur and T.H. Ning, “Fundamentals of Modern VLSI Device,” Cambridge University Press, 1997.
- [19] S.M. Sze, “Physics of Semiconductor device,” JWS Press, 1983.
- [20] S. Wolf and R.N. Tauber, “Silicon Processing for the VLSI era volume 3 : The Submicron MOSFET,” California Lattice Press, 1995.
- [21] A.S. Grove, “Physics and Technology of Semiconductor Devices,”

JWS Press, 1967.

- [22] “User Manual of TSUPREM-4 Version 2003,” Synopsys, 2003.
- [23] “User Manual of MEDICI Version 2003,” Synopsys, 2003.
- [24] J.H. Huang *et al.*, “A Physical Model For MOSFET Output Resistance,” in *IEDM Tech. Dig.*, 1992, pp. 569-572.
- [25] M.K. Orlowski and C. Werner, “Model for the Electric Fields in LDD MOSFET’s — Part II : Field Distribution on the Drain Side,” *IEEE Trans. On electron Device*, vol. ED-36, pp. 382-391, 1989.
- [26] K.W. Terrill *et al.*, “An Analytical for the Channel Electric Field in MOSFET’s with Graded-Drain Structure,” *IEEE Trans. On electron Device Letters*, vol. 11, pp. 440-442, 1984.

