

國立交通大學

電機學院 電子與光電學程

碩士論文

Al/HfO₂/Si 電容應用於
電壓控制振盪器電路之研究

Study of Voltage-Controlled Oscillator Circuit
implemented with Al/HfO₂/Si Capacitors



研究生：潘財盛

指導教授：邱碧秀 教授

郭浩中 教授

中華民國九十六年六月

Al/HfO₂/Si 電容應用於
電壓控制振盪器電路之研究
Study of Voltage-Controlled Oscillator Circuit
implemented with Al/HfO₂/Si Capacitors

研究生：潘財盛

Student: Tsai-Sheng Pan

指導教授：邱碧秀 教授
郭浩中 教授

Advisor : Dr. Bi-Shiou Chiou
Dr. Hao-Chung Ku



A Thesis

Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Electronics and Electro-Optical Engineering

June 2007

Hsinchu, Taiwan, Republic of China

Al/HfO₂/Si 電容應用於 電壓控制振盪器電路的研究

學生：潘財盛

指導教授：邱碧秀 博士

郭浩中 博士

國立交通大學 電機學院 電子與光電學程碩士班

摘要

在最近這幾年，射頻（Radio Frequency, RF）電路所使用的電壓控制振盪器（Voltage Controlled Oscillator, VCO）電路，是需要較大電壓變化量來改變可變電容的電容值，並藉此來改變 VCO 電路的振盪頻率。因為 VCO 電路在 CMOS 製程中所使用的可變電容是金氧半導體（Metal-Oxide-Semiconductor, MOS）電容，然在其閘極（Gate）都使用氧化矽（SiO₂），二氧化矽的介電常數約為 3.9。在本論文實驗的 VCO 電路中之可變電容有 2 種：一種是飛利浦（Philips）廠商所提供型號為 BB135 之 P-N 接面電容；第二種是自製的 Al/HfO₂/Si 電容是使用二氧化鈦（HfO₂）來做為電容的介電材料，因為 HfO₂ 介電常數比氧化矽（SiO₂）大，目的是要在相同厚度以及面積下，就可以有較大的電容值，希望能藉此有較大的單位電壓改變電容值的比值。我們在頻率 100 kHz 下量測 Al/HfO₂/Si 電容並做調變電壓與所量測到的電容值之關係表，所量測的可變電容隨電壓改變的電容值在單位電壓下，可發現其最大與最小之電容值比例約為 4.25，並用此電容做為 VCO 電路中的可變電容。

誌 謝

在這碩士生涯中，最感謝的是 邱碧秀 教授及 郭浩中 教授的共同指導，在研究方向的以及實驗的指引，更感謝口試委員的指導與建議。

但論文的完成不僅僅是個人，更是需要許多人的幫助，在此感謝實驗室的學長姐、何嘉政學長、張麗君學姊、鄧志剛學長等人在實驗上的幫助，以及台灣安捷倫(Agilent)的林進康先生、張靜宜小姐在儀器上不遺餘力地支持，以及台灣安捷倫(Agilent)的林鳴志先生在 ADS 軟體上的幫助，在整個實驗的元件方面，也要感謝 NEC 方面所提供的 BJT 元件，達方電子對於高頻電容所提供的 S 參數以及樣品，也感謝倫飛電腦的李文龍先生在 PCB 的佈局方面提供協助，然而在 PCB 的模擬上也非常感謝 Sigrity 公司的紀柏霖先生、林渭昌先生所借出的 PowerSI 軟體，讓這個實驗能得以順利完成，在此表達我的謝意。

千言萬語道不出心中的感激與謝意，在此求學生涯中能有這些朋友的幫助，讓人銘感於心，謝謝妳們。



Table of contents

中文摘要		i
英文摘要		ii
誌謝		iii
Table of contents		iv
List of figures		vii
List of table		xi
Chapter 1 介紹		1
1.1	背景	1
1.2	相位栓鎖迴路之頻率組件	2
1.3	論文架構	3
Chapter 2 文獻回顧		4
2.1	電感電容式電路之電壓控制振盪器(LC tank VCO)	4
- 2.1.1	串聯共振器	4
2.2	振盪器的相位雜訊	7
- 2.2.1	相位雜訊	7
- 2.2.2	振盪器的雜訊	10
- 2.2.2.1	使用展頻儀器分析	11



- 2.2.3	Lesson's 模式	13
2.3	優點的圖表	17
2.4	電壓控制振盪器的種類	19
- 2.4.1	考畢茲(Colpitts) 核心電路	19
2.5	可變電容	22
- 2.5.1	空乏區	24
2.6	高介電材料	25
Chapter 3 Experimental procedures		26
3.1	電壓控制振盪器電路	26
3.2	VCO 電路的實驗流程	27
3.3	PCB 的佈局及其 S 參數的模擬	30
3.4	Colpitts 電路的模擬	35
3.5	量測 Colpitts 電路與設備	36
3.6	Al/HfO ₂ /Si 電容結構及製作	38
3.7	量測 VCO 電路的儀器架設環境及特性	40
Chapter 4 Results and discussion		42
4.1	Colpitts 電路之模擬	43

- 4.1.1	不同層數 PCB 與回授電容對 Colpitts 電路之模擬	45
- 4.1.2	PCB 之參數對 Colpitts 電路模擬影響	50
4.2	Colpitts 電路之量測	52
4.3	量測可變電容之 C-V 曲線	57
4.4	量測 VCO 電路	60
- 4.4.1	VCO 電路之輸出功率	61
- 4.4.2	VCO 電路電源損耗	62
- 4.4.3	VCO 電路輸出的相位雜訊	63
- 4.4.4	VCO 電路的頻率調變	65
- 4.4.5	VCO 電路的品質因子(Figure of Merit, FOM)	68
4.5	Al/HfO ₂ /Si 浮接電容之驗證	69
- 4.5.1	網路分析儀量測 Al/HfO ₂ /Si 浮接電容過程	70
- 4.5.2	網路分析儀量測 Al/HfO ₂ /Si 浮接電容	72
Chapter 5 Conclusions and future work		79
Reference		81

List of figures

Fig. 1-1	簡易的射頻前端電路方塊圖	2
Fig. 1-2	簡易相位栓鎖迴路方塊圖	3
Fig. 2-1	(a) 串聯式共振器 (b) 串聯式共振的等效電路	4
Fig. 2-2	具有寄生效應的串聯共振器	5
Fig. 2-3	有著寄生效應的串聯共振器	6
Fig. 2-4	(a) 振盪器的射頻展頻 (b) 時域之相位抖動	8
Fig. 2-5	振盪器輸出的頻譜	11
Fig. 2-6	常見的相位雜訊	15
Fig. 2-7	考畢茲(Colpitts)核心電路	19
Fig. 2-8	(a) 二極體可變電容 (b) I-MOS 可變電容 (c) A-MOS 可變電容	22
Fig. 2-9	金屬-絕緣-金屬 可變電容 (a) 拓樸 (b) 結構	22
Fig. 2-10	PMOS 可變電容 (a) 拓樸 (b) 結構	22
Fig. 2-11	基板的 MOS 之電容與電壓的特性	23
Fig. 3-1	Colpitts 型態的電壓控制振盪器之電路圖	27
Fig. 3-2	VCO 電路的實驗流程之方塊圖	29
Fig. 3-3	(a) 計算當 Surface-Microstrip 型式的結構圖 和 (b) 代表當 Coated-Microstrip 型式的結構圖	32
Fig. 3-4	(a) 2 層 PCB 和 (b) 4 層 PCB 的 Colpitts 電路佈局圖	34
Fig. 3-5	用 ADS2005A 軟體來模擬 Colpitts 電路圖	36
Fig. 3-6	網路分析儀 (Vector Network Analyzer, Agilent 5071B) 量測 Colpitts 電路的 S 參數之儀器量測圖	37

Fig. 3-7	(a) Al/HfO ₂ /Si 金-絕緣-矽 (Metal Insulator Silicon, MIS) 結構圖 和 (b) Al/HfO ₂ /Si 浮接電容 (floating capacitor) 結構圖	39
Fig. 3-8	用頻譜分析儀 (Spectrum Analyzer, HP8591E) 量測 VCO 電路之儀器量測圖	41
Fig. 3-9	訊號來源分析儀 (Signal Source Analyzer, SSA, Agilent E5052A) 量測 VCO 電路的相位雜訊 (Phase-Noise) 之儀器量測圖	41
Fig. 4-1	模擬 2 層 PCB 之 Colpitts 電路搭配回授電容為 68pF、82pF 以及 100pF 之 S11 相位圖	46
Fig. 4-2	模擬 4 層 PCB 之 Colpitts 電路搭配回授電容為 68pF、82pF 以及 100pF 之 S11 相位圖	48
Fig. 4-3	Colpitts 電路的不同回授電容的電容值，在 2 層及 4 層板所模擬 S11 在 -180° 時的頻率圖	49
Fig. 4-4	4 層 PCB 的 Colpitts 電路搭配不同 PCB 的參數，所模擬 Colpitts 電路輸入端之 S11 相位圖	51
Fig. 4-5	量測 2 層 PCB 的 Colpitts 電路，在 2L68p、2L82p 以及 2L100p 情況 (a) S11 (b) S11 相位	54
Fig. 4-6	量測 4 層 PCB 的 Colpitts 電路，在 4L68p、4L82p 以及 4L100p 情況 (a) S11 (b) S11 相位	55
Fig. 4-7	在 100 kHz 下分別量測 Al/HfO ₂ /Si 電容以及型號為 BB135 之 P-N 接面電容的 C-V 曲線圖	57
Fig. 4-8	Al/HfO ₂ /Si and BB135(P-N junction) 之單位面積電容與偏壓電壓圖	59

- Fig. 4-9 用 1 MHz 來量測在逆偏作用區之 P-N 接面電容 (BB135, Philips)的電容與偏壓電壓圖 60
- Fig. 4-10 使用 4 層 PCB、回授電容為 68pF 及電源為 5V 之 VCO 電路，並分別量測可變電容為 Al/HfO₂/Si 和型號為 BB135 之 P-N 接面電容的 VCO 電路之輸出功率 61
- Fig. 4-11 使用 4 層 PCB、回授電容為 68pF 以及電源為 5V 之 VCO 電路，並分別量測可變電容為 Al/HfO₂/Si 和型號為 BB135 之 P-N 接面電容的 VCO 電路之電源損耗。 62
- Fig. 4-12 使用 4 層 PCB、回授電容為 68pF、調變電壓為 0V 以及電源為 5V 之 VCO 電路，並分別量測可變電容為 Al/HfO₂/Si 和型號為 BB135 之 P-N 接面電容的 VCO 電路之相位雜訊 64
- Fig. 4-13 量測 Al/HfO₂/Si 可變電容之 VCO 電路，以調變電壓在 (a) -4V (b)-2V (c)0V 為代表 66
- Fig. 4-14 可變電容分別為 Al/HfO₂/Si 浮接電容以及型號為 BB135 的 P-N 接面電容之 VCO 電路，分別量測可變電容在調變電壓範圍為 -4V ~ 0V 以及 0V ~ +1.8V 時，VCO 電路的輸出頻率對應調變電壓 67
- Fig. 4-15 使用網路分析儀 (Vector Network Analyzer, Rohde&Schwarz ZVB8) 的 "De-Embedded" 方式來量測 Al/HfO₂/Si 浮接電容在電壓調變下的 S 參數之設備環境 71
- Fig. 4-16 (a) 含有 SMA 接頭之 2-port 的 PCB 傳輸線圖 和 (b) 含有 SMA 接頭之 2-port 的 2 條傳輸線分別接在 Al/HfO₂/Si 浮接電容的兩端 72
- Fig. 4-17 Al/HfO₂/Si 浮接電容在偏壓電壓為 -4 V~0 V 所量到的 Z₁₁ 相位圖 74

Fig. 4-18	Al/HfO ₂ /Si 浮接電容在偏壓電壓為-4 V~0 V 所量到的 S11 圖	75
Fig. 4-19	Al/HfO ₂ /Si 浮接電容在偏壓電壓為-4 V~0 V 下所量到的 S21 圖	76
Fig. 4-20	Al/HfO ₂ /Si 浮接電容在偏壓電壓為-4 V~0 V 下所量到的 Z21 圖	78
Fig. 5-1	使用 HfO ₂ 介電材料來做為 MOS 電容結構的示意圖	80
Fig. 5-2	使用 BST 介電材料來做為 MIM 電容結構的示意圖	80



List of table

Table 2-1	常用薄膜之介電常數	25
Table 3-1	(a) 2層 PCB 疊構之參數圖 和 (b) 4層 PCB 疊構之參數	32
Table 4-1	2層 PCB 與 4層 PCB 在回授電容為 68pF 時，模擬 Colpitts 電路的輸入端之 S11 為-180°時頻率	49
Table 4-2	模擬 Colpitts 電路中 4層 PCB 之參數分類表	50
Table 4-3	Colpitts 電路之回授電容在 2層 PCB 與 4層 PCB 之分類表	52
Table 4-4	Colpitts 電路在 2L68p、2L82p、2L100p、4L68p、4L82p 以及 4L100p 情況下所量的最大 S11 值及所對應的頻率、S11 相位為 -180°時所對應的頻率之整理表。	56
Table 4-5	VCO 的效能比較表	69



Chapter 1

介紹

幾乎所有的通訊系統以及在射頻（Radio Frequency, RF）電路中所使用的頻率控制技術，都是射頻通訊系統的調變上的頻帶製作、傳輸、接收及解調變功能再經過輸入頻率的合成和數學運算的。

振盪器在射頻系統上是一個很重要的元件。它在傳送端提供了訊號產生器的作用；在接收端上，這個本地振盪器（Local Oscillator, LO）是被混合器使用來作為，由射頻（Radio Frequency）訊號轉換為 IF（Input Frequency）訊號。在許多例子中，可以看到振盪器是被類比或是數位訊號所調變的，以便提供載波以及其被調變過的低頻訊號也是可以被傳送的。電壓控制振盪器對於系統端的設計上有一些要考量的部份：大的輸出功率、高的直流轉 RF 的效率、低雜訊、好的穩定性以及好的頻率調變性...等[1]。

1.1 背景

在 RF 前端都會有一個振盪器的型式存在，如 Fig. 1-1[2]。由 Fig. 1-1[2]可以看出訊號從天線端接收經過印刷電路版（Print Circuit Board, PCB）的傳輸線再經過低雜訊放大器（Low Noise Amplifier, LNA），此訊號在混波器前是稱做為 RF in。而混波器需要本地振盪器的訊號（Local Oscillator, LO），是由參考頻率經由頻率組件及電壓控制振盪器（Voltage Controlled Oscillator, VCO）。而混波器的作用是將天線接受端來的訊號及經由電壓控制振盪器將分離出數 MHz 的調變頻率（Intermediate Frequency, IF），送往基頻帶（Base Band）做解調變處理。

任何無線系統大部份的重要元件是本地振盪器。當使用混波器時，本地振盪器允許頻率轉換以及射頻訊號的頻道（Channel）數做一選擇。這個本地訊號是電壓控制振盪器經由相位栓鎖迴路來改善，做為一個高穩定度的振盪器。一個電壓

控制振盪器基本上是一個增益元件和共振的組合。這個振盪頻率是由儲存能量的電感及電容所決定的，這也稱做為 LC-tank。然而典型的電壓控制振盪器電路都是使用可變二極體電容來做為調變振盪器的頻率。而典型的射頻前端電路接受端就像是 Fig. 1-1，那是有包含低雜訊放大器、混波器、頻率組件、功率放大器（Power Amplifier, PA）以及一些額外高品質的被動元件。

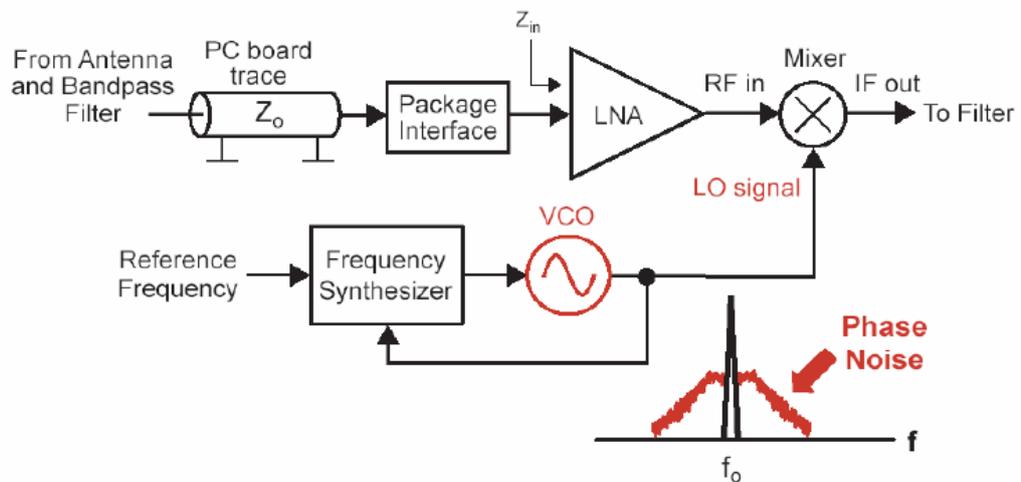


Fig. 1-1 簡易的射頻前端電路方塊圖[2]

1.2 相位栓鎖迴路之頻率組件

這個本地振盪器（Local Oscillator）通常都是用相位栓鎖迴路（Phase-Locked-Loop, PLL）來改善的。一個典型的相位栓鎖迴路是電壓控制振盪器（Voltage Controlled Oscillator, VCO）、低通濾波器、相位偵測器以及頻率除頻器（Frequency Divider）如 Fig. 1-2 所示，一個相位栓鎖迴路電路是要用來將輸出之訊號的頻率能精準地與輸入訊號之頻率相當。藉由頻率除頻器的加入使得多個頻率的疊合是可以達到的。假如除頻器是除以 N 倍，輸出端將會除 N 倍至輸入端。除此之外，假如除頻器是可調式的，將可以藉由簡單的改變 N 倍來產生不同的本地振盪器頻率。如此一來，一個低頻（約 20 MHz）的參考振盪器也可以在數百 MHz

下產生多重的本地振盪器的頻率範圍。

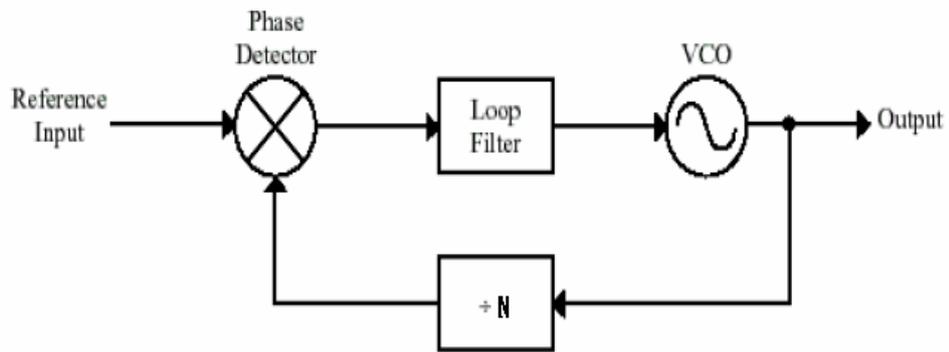


Fig. 1-2 簡易相位柙鎖迴路方塊圖[1]。

1.3 論文架構

在第二章節將會介紹電壓控制振盪器 (Voltage Controlled Oscillator, VCO) 的基本概念。在這篇論文也會介紹電壓控制振盪器輸出的訊號，該要量測那些項目，像是頻率調變範圍、相位雜訊、功率損耗等。針對可變電容部份則會量測電容對電壓的特性。

在第三章則是說明 VCO 的製做過程以及量測的儀器設備介紹。

綜觀之前的文獻回顧，將會在第四章做一完整 VCO 電路的探討。

第五章便是最後的結論及未來展望。

Chapter 2

文獻回顧

這個電壓控制振盪器(Voltage-controlled oscillator, VCO)是射頻電路中重要的元件，因為它是在高頻下作用並且可以利用其特性完成射頻電路的要求。電壓控制振盪器有有回授型以及電感電容(LC tank)等類型。LC tank 型的電壓控制振盪器是最主要也最常被使用的類型。它的相位雜訊(Phase noise)是比其他全整合性結構電路，如鏈狀電路，要來的小。[3].

2.1 電感電容式電路之電壓控制振盪器(LC tank VCO)

電感電容式電路(LC tank)是射頻電路設計中最常被使用的，因為它比其他型式的振盪器電路所產生的相位雜訊要來的小。電感電容式電路(LC tank)振盪器也被稱做為負阻抗振盪器。其振盪器的型式可以分為兩種：串聯式與並聯式。



2.1.1 串聯共振器

一個沒有寄生效應的串聯式共振如圖 Fig. 2-2 所示：

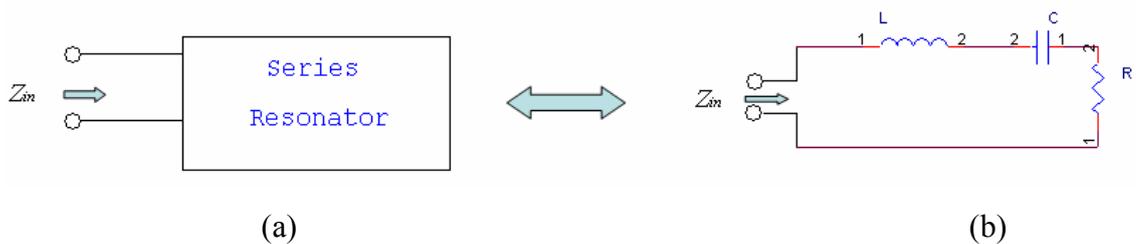


Fig. 2-1 (a) 串聯式共振器 (b) 串聯式共振的等效電路 [3].

一個有寄生效應的串聯共振器如圖 Fig. 2-2. 所示。

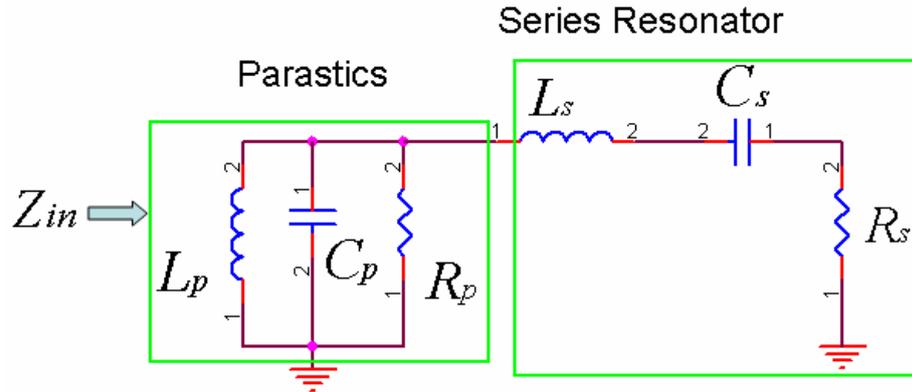


Fig. 2-2 具有寄生效應的串聯共振器 [3].

常有著低品質 (Quality, Q) 並聯寄生元件再跟串聯共振器並聯。在規範的共振電路有零個、部份或是全部元件有寄生效應。針對共振器的串聯元件的有限 Q 值，這並聯的效應並不會影響到共振器的共振性，且在系列共振頻率下，這並無電壓也無能穿過這些並聯元件。

自從 Q 是定義給一個單獨隔離共振器，一個串聯共振可以被一個無關緊要的並聯 L_p 或是 C_p 的串聯共振器。假如兩個或是這些寄生效應是零就沒有並聯振盪了。

針對串聯共振器電路 Q_s 如下:

$$Q_s = \frac{\omega L_s}{R_s} = \frac{1}{\omega C_s R_s} \quad (2.1)$$

Q_s 是可以藉由共振或是易被受影響的 slop 參數所量測的。針對一個串聯式電路，這個 slop 參數 x 被定義如下 [4]:

$$x = \frac{\omega_0}{2} \frac{dX_s(\omega)}{d\omega} \quad (2.2)$$

其中 ω_0 是共振時頻率是零。

這個含有寄生效應的共振過程動作是共振器的串聯電阻呈現在 Fig. 2-3。

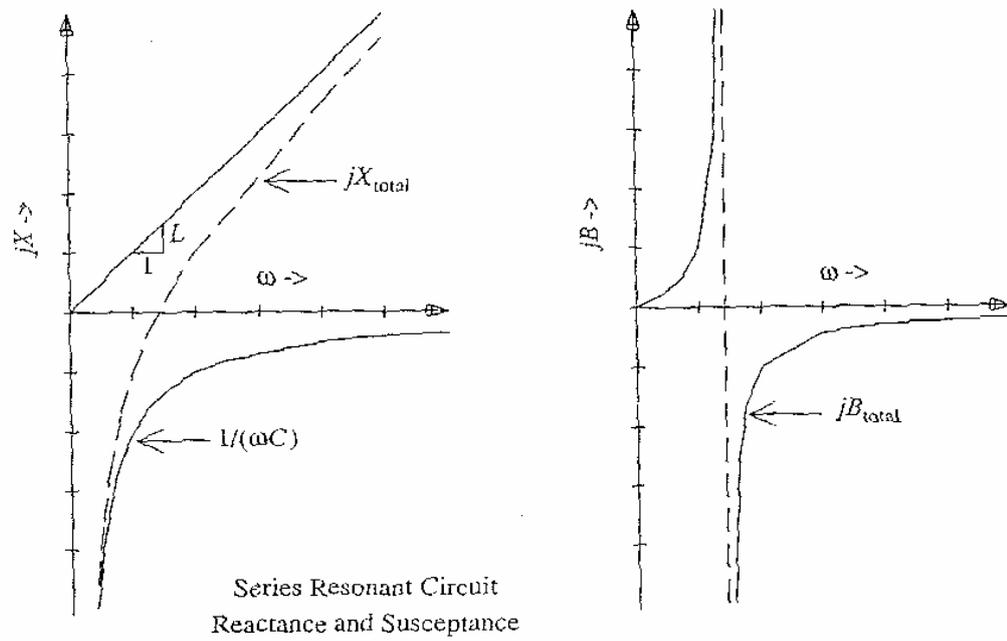


Fig. 2-3 有著寄生效應的串聯共振器 [4].



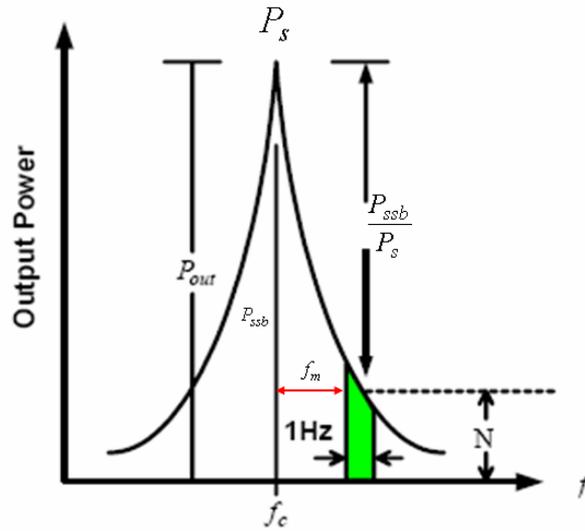
2.2 振盪器的相位雜訊

針對我們所知道振盪器最要考慮的是相位雜訊，所以要先知道雜訊來源、電壓控制振盪器的結構以及它所組成的元件。

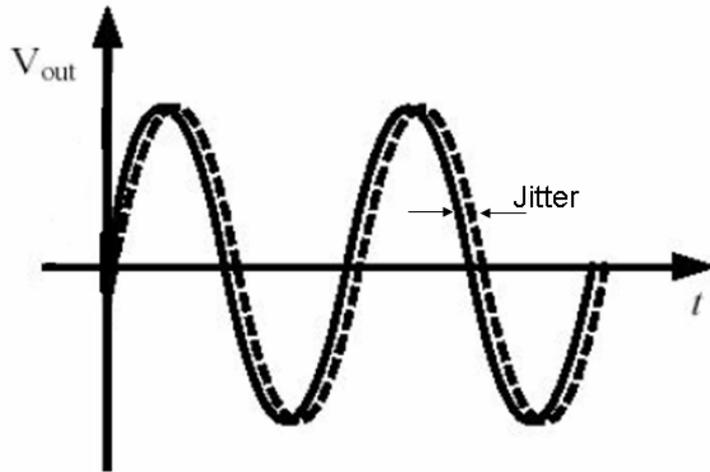
2.2.1 相位雜訊

通訊系統設計者論及抖動(Jitter)就如同元件設計者論及相位雜訊。相位雜訊和時域抖動分別都是要在頻域以及時域去藉由輸出訊號來量測出它的不確定事項。在 Fig. 2-4 圖中分別在時域和頻域來展現出這些不確定事項。時脈抖動在周期訊號是一個重要的指標，這是涉及自由抖動的參考。另一方面，抖動呈現數位訊號在時域中原本理想訊號的短暫變動性。一個有意義的指標是方便以及簡單使用認明可用來辨識如上升或下降邊緣之訊號。





(a)



(b)

Fig. 2-4 (a) 振盪器的射頻展頻 (b) 時域之相位抖動

在頻域中，振盪器的輸出功率在載波頻率不是那麼地集中。以下幾點更確切地說明它的貢獻：在載波的另一方面的展頻貢獻就像是雜訊頻帶。雜訊可以被討論的就像調變的現象一樣。振幅元件相較於頻率調變元件要來的小，而振盪器雜訊相關於載波也大部份展現頻域的調變之雜訊。在美洲國家標準與技術學會(U.S. National Institute of Standards and Technology, NIST)定義：單頻帶相位雜訊 $L(f)$ 是在主頻率的 1 Hz 之旁帶頻率(f)所量測雜訊功率的比值：

$$L(f) = 10 \log \frac{P_{ssb}}{P_c} \quad (2.3)$$

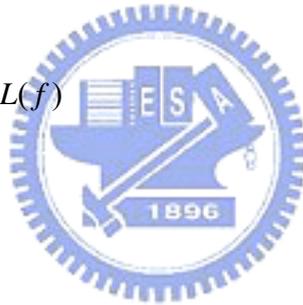
這裡的 $L(f)$ 是表示載波每 Hz 相對的分貝(dB)。1 Hz 的頻寬是相對其他頻寬要來的容易計算。這個 SSB 在載波的相位雜訊是用 log-log 畫要來的普遍。用 log 刻度在頻率軸，相位雜訊在一寬範圍頻率位移可以適當地展現。

另一項目可以展現在每一 Hz 基礎上來顯現相位波動的單一展頻密度--- $S\phi$ 。這是常用來描述相位的不穩定或是一個振盪器的相位雜訊。這個項目展頻密度描述一個連續輸出的能量貢獻，這是解釋在一範圍頻寬能量的單位。 $S\phi$ 被定義如下：

$$S\phi(f) = \frac{\Delta\phi_{rms}^2}{BW \text{ used to measure } \Delta\phi_{rms}} \quad rad^2/Hz \quad (2.4)$$

假如調變的頻帶就如整體相位誤差 $\ll 1$ 徑(rad)，那麼 $L(f)$ 以及 $S\phi(f)$ 是有下列關係

$$S\phi(f) = 2L(f) \quad (2.6)$$



2.2.2 振盪器的雜訊

雜訊的產生是藉由電晶體以及被動元件顯示在訊號的輸出振幅上。在振盪器中有著非線性元件，這都會被振盪器藉由電壓或電流來調變產生。當介紹在振盪器中的雜訊考量下，我們首先會探討雜訊的量測技巧與在載波下的雜訊電壓與電流。這將會允許我們最後用 Leeson's 模式 [5] 去觀察在 1Hz 頻寬下的正規化的表達在單頻寬每 Hz 的雜訊之功率。最後我們分析各種不同的雜訊貢獻以及去計算電壓控制振盪器的雜訊。

我們開始探討不同雜訊的測試技術[5]，這會提升雜訊跟另一個相關的探討。接下來的式子是一般純粹振盪器的展開式：

$$S_{\theta}(f_m) = \text{相位波動的展頻密度}$$

$$S_{\theta}(f_m) = \Delta\theta_{rms}^2$$

$$S_{\bar{f}}(f_m) = \text{頻率波動的展頻密度}$$

$$S_{\bar{f}}(f_m) = \Delta f_{rms}^2$$

$$L(f_m) = \text{在主頻}(f_m)\text{位移頻帶 1-Hz 的雜訊功率比值式單一功率}$$

$$L(f_m) = \frac{N(1 - Hz \ BW)}{C}$$

2.2.2.1 使用展頻儀器分析

最簡易的量測振盪器雜訊就是用頻譜分析儀來量測振盪器輸出的頻譜之密度，如 Fig. 2-5 所示。這方式是可以直接量測 $L(f_m)$ 。這個振盪器的輸出功率是以 dBm。雜訊在主頻之相位移 (f_m) 是可以直接被讀取的。用這方法所做的雜訊之量測總是需要校正因子。另外 1-Hz 的帶通濾波器並不是那麼地普遍，這個雜訊在寬的頻寬的量測是會在每十倍頻率增加下衰減 10dB，會使得結果必須在 1-Hz 下量測到 [5]。

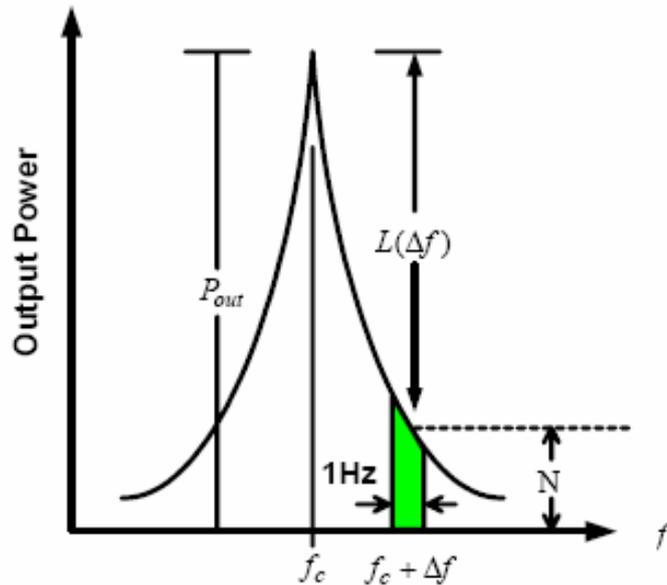


Fig. 2-5 振盪器輸出的頻譜

在這些應用的修正後, $L(f_m)$ 相當於

$$L(f_m) = \frac{N(1 - \text{Hz BW})}{C} \quad (2.6)$$

$$= \frac{\text{noise power with corrections at } f_m}{\text{carrier power}}$$

一個重要的觀點是振盪器雜訊的組成，特別是相位或是 FM 雜訊。振盪器的極限機制，自我極限或是自動增益控制型式都依賴 AM 雜訊。在這些條件下，

$L(f_m)$ 可以在這些方法來相對於相位調變性。假設一個小載波 ($\Delta\theta_{peak} \ll \frac{\pi}{2}$) 是相位調變，那麼一個 Bessel 函數的表格將會被展現，第一階頻帶的比值對於載波 J_0 是

$$\frac{J_1}{J_0} \cong \frac{1}{2} \Delta\theta_{peak} \cong \frac{1}{2} \sqrt{2} \theta_{rms} \quad (2.7)$$

自從 $L(f_m)$ 是雜訊功率 (J_1^2) 對於載波 (J_0^2) 的比值，

$$L(f_m) = \frac{N}{C} = \left(\frac{J_1}{J_0} \right)^2 = \frac{1}{2} \theta_{rms}^2 \quad (2.9)$$

$L(f_m)$ 的描述是當它只可以被假設在 $f_0 \pm \Delta f$ 頻帶是相關的(被有一些調變來源所產生的)。這不是真實的在附加雜訊範圍內，這裡在 $f_0 \pm \Delta f$ 頻率所指的雜訊不是有相關性的(在 $\pm \Delta f$ 所產生的獨立熱雜訊) [5].



2.2.3 Lesson's 模式

將重新整理數學式以及對每一個求值，我們可以針對 1-Hz 頻寬來[5]。

$$L(f_m) = \frac{1}{2} \left[1 + \frac{\omega_m^2}{4\omega_0^2} \left(\frac{P_{in}}{\omega_0 W_e} + \frac{1}{Q_u} + \frac{P_{sig}}{\omega_0 W_e} \right)^2 \right] \left(1 + \frac{\omega_c}{\omega_m} \right) \frac{FkT_0}{P_{avs}}$$

(2.9)

這數學式是極端有意義的，因為它包含了振盪器中大部份會造成相位雜訊 爲了取最小的相位雜訊，以下有幾個遵循的設計方式應用：

1. 找出最大的 Q 值。
2. 將一個高射頻電壓穿過共振器並使得反應能量最大化以及得到一個低的 LC 比例。這個極限是主動元件和調變的二極體以及順偏的二極體的情況下的偏壓之崩潰電壓。
3. 避免在所有的價格飽和並且試著去限制或是下降品質。從限制的線路來隔離調變之線路。
4. 選擇一個最低的雜訊數字的主動元件。感興趣的雜訊數字是在實際操作中元件的阻抗。
5. 相位擾動可以藉由像似場效應電晶體之高阻抗元件，在此訊雜比或是電壓極限是儘可能高的。
6. 選擇一個低白熱(Ficker)雜訊的主動元件。這個白熱(Ficker)雜訊的影響可以藉由 RF 的回授作用來降低。當然這個主動元件的偏壓操作點也是很重要的，而且也需要預防輸入的調變及主動元件的動態輸出電容，這將會造成振幅對相位的轉變以及雜訊的衍生。

7. 這個能量應該可以從共振器來耦合更勝於來自主動元件部份，以致於共振器來限制頻寬，也因為此共振器也類似濾波器的功能。

這個可變二極體的負載效應也會造成損耗，這些損耗可以被電阻的並聯來描述到調變電路上。

這是可能被定義等效雜訊 $R_{a,eq}$ ，並由Nyquist's 方程式來介入

$$V_n = \sqrt{4kT_0 R \cdot \Delta f} \quad (2.10)$$

這裡的 $kT = 4.2 \times 10^{-21} J$ 是在 300K 下所求得, R 是等效雜訊電阻, 以及 Δf 是頻寬決定開路雜訊電呀跨壓在調變二極體上。

一個振盪器的雜訊效能估量是：

$$L(\omega_m) = \frac{1}{8} \frac{FkT}{P_{sav}} \frac{\omega_0^2}{\omega_m^2} \left(\frac{P_{in}}{\omega_0 W_e} + \frac{1}{Q_{unl}} + \frac{P_{sig}}{\omega_0 W_e} \right)^2 \left(1 + \frac{\omega_c}{\omega_m} \right)$$

(2.11)

我們剛將沒有振盪器的雜訊來藉由理論。表現出來方程式(2.11) 是以 1978 年的 Hewlett-Packard 博士來作用。他是第一個介紹白熱(Flicker)效應藉由振幅調變到相位調變轉換效應的人，並加入到 Lesson 方程式。而這一個方程式便是如下所展開[1]：

$$L(f_m) = 10 \cdot \log \left\{ \left[1 + \frac{f_0^2}{(2f_m Q_{load})^2} \right] \left(1 + \frac{f_c}{f_m} \right) \frac{FkT}{2P_{sav}} + \frac{2kTRK_0^2}{f_m^2} \right\} \quad (2.12)$$

這式子裡 $L(f_m)$: 在頻率 f_m 旁的 1-Hz 頻寬所量到的頻帶能量比，用 dB 表示

f_m : 頻率偏移

f_0 : 中心頻率

f_c : flicker 頻率

Q_{load} : 調變電路的負載 Q 值

F : 雜訊因數

kT : 4.1×10^{-21} 在 300k 溫度下(室溫)

R : 調變二極體的環境雜訊電阻

K : 振盪器的電壓增益

我們可以從圖 2-6 看到來看到常見的相位雜訊。

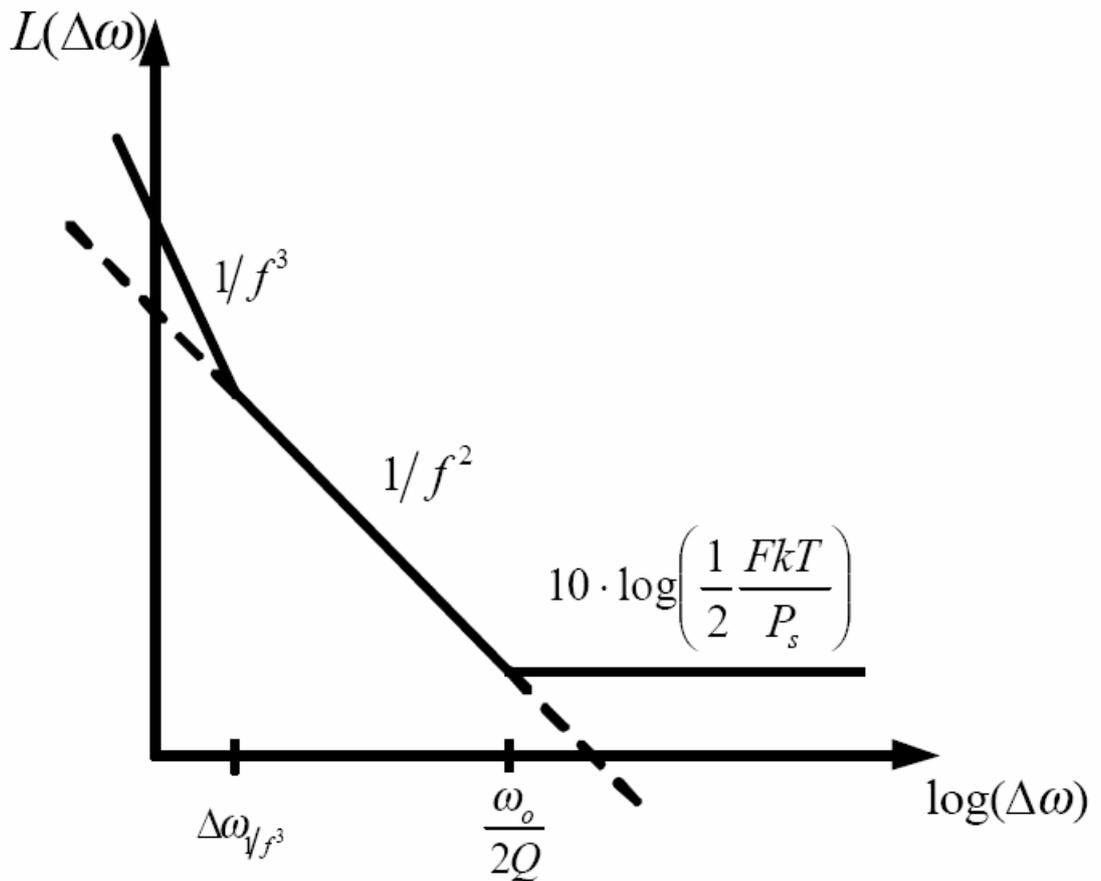


Fig. 2-6 常見的相位雜訊 [4].

方程式(2.12)是基 Rohde et al.。這個增加的項目是介紹一個轉變振盪器與電壓控制振盪器的區別。不論是電壓或是電流相依的電容是外部或是內部造成都沒有差異。它只簡單地影響頻率而已。

針對一個共振振盪器的相位雜訊展頻，我們可以寫成：

$$S_{\phi}(f_m) = \frac{\alpha_R F_0^4 + \alpha_E \left(\frac{F_0}{2Q_L}\right)^2}{f_m^3} + \frac{\left(\frac{2GFkT}{P_0}\right) \left(\frac{F_0}{2Q_L}\right)^2}{f_m^2} + \frac{2\alpha_R Q_L F_0^3}{f_m^2} + \frac{\alpha_E}{f_m} + \frac{2GFkT}{P_0} \quad (2.13)$$

在此式 G ：迴路放大器的壓縮功率增益

F ：迴路放大器的雜訊因子

k ：Boltzmann's 常數

T ：Kelvin 溫度

P_0 ：迴路放大器的輸出載波之功率(瓦)

F_0 ：載波頻率(Hz)

f_m ：載波偏移之頻率(Hertz)

$Q_L (= \pi F_0 \tau_g)$ ：迴授迴路共振器的負載品質(Q)

α_R, α_E ：分別針對共振器與迴路放大器的白熱(Flicker)雜訊常數



2.3 優點的圖表(Figure of Merit, FOM)

我們如何該來比較電壓控制振盪器的優劣呢?我們必需在電壓控制振盪器上要來討論頻率、功率以及相位雜訊。所以相位雜訊用功率比例來改善以及用頻率的平方來減少比例[9, 10]，所以它就最常被定義為：

$$FOM(dBF) = L(offset) - 20 \log \left(\frac{f_0}{f_{offset}} \right) + 10 \log \left(\frac{P_{diss}}{1mW} \right) \quad (2.14)$$

此式中 $L(offset)$ 是相位雜訊， f_0 是中心頻率以及 P_{diss} 是振盪器電路的功率損耗。

當然，我們可以用數種不同優點的圖表(Figure of Merit, FOM)來討論電壓控制振盪器的效能，這些式子如下：

$$FOM = S_{SSB} \left(\frac{\Delta f}{f_0} \right)^2 \frac{P_{vco}}{mW} \quad (2.15)$$

此式中 P_{vco} 是整個電壓控制振盪器的功率損耗。 S_{SSB} 是單頻帶功率展頻密度：

$$S_{SSB} = F \frac{kT}{2P_{sig}} \cdot \frac{R^2}{L^2 \cdot (\Delta\omega)^2} = F \frac{kT}{V_{peak}^2} \cdot \frac{R^3}{L^2 \cdot (\Delta\omega)^2} \quad (2.16)$$

此式中 F 是叫做元件雜訊超越因素或是簡單的雜訊因素[11, 12].

讓我們看另一個 FOM：

$$FOM = 10 \log \left[\frac{kT}{P_{sup}} \left(\frac{f_0}{f_{off}} \right)^2 \right] - S_{\phi}(f_{off}) \quad (2.17)$$

此式中 P_{sup} 是電壓控制振盪器的功率損耗， f_0 是中心頻率， f_{off} 是從中心頻率的偏移頻率以及 $S_{\phi}(f_{off})$ 是在中心頻率的偏移頻率之相位雜訊[13]。

緊接著可以看到另一個優點圖表(FOM)：

$$FOM = 10 \log \left[\frac{kT}{P} \left(\frac{f_{o,\max} - f_{o,\min}}{\Delta f} \right)^2 \right] - L(\Delta f) \quad (2.18)$$

此式中 f_0 是載波頻率， Δf 是頻率的偏移， P 是電壓控制振盪器核心電路的功率損耗， $L(\Delta f)$ 是量測出來的相位雜訊以及 Δf 是載波的偏移頻率[14].

關於另一個優點圖表(FOM)是藉由 CMOS 來討論電壓控制振盪器：

$$FOM = 10 \log \left[\left(\frac{\omega_0}{\Delta \omega} \right)^2 \frac{1}{L(\Delta \omega) \cdot V_{DD} \cdot I_{DD}} \right] \quad (2.19)$$

此式中 ω_0 是中心角頻率， $\Delta \omega$ 是角頻率的偏移， $L(\Delta \omega)$ 是在角頻率 $\Delta \omega$ 偏移下的相位雜訊， V_{DD} 是供應的電源以及 I_{DD} 供應的電流 [15].

無論有許多種針對電壓控制振盪器的優點圖表(FOM)來討論，我們比須知道電壓控制振盪器的相位雜訊 $L(\Delta f)$ 、中心頻率、從中心頻率的偏移之頻率以及從式子(2.18)、(2.19)知道的關鍵元件的功率損耗。

2.4 電壓控制振盪器的種類

有許多振盪器的型式像是交錯型耦合、迴授型、Hartley 以及 Clamp....等。當需要使用單邊頻率振盪器時，我們通常都使用考畢茲(Colpitts)電路來做為電壓控制振盪器。而在需要雙邊頻率振盪器時，都會使用交錯型振盪器。然而在調變頻率的方法不外乎是藉由電感或是電容來控制其頻率。

2.4.1 考畢茲(Colpitts) 核心電路

常用的考畢茲(Colpitts)核心電路如圖 2-7。

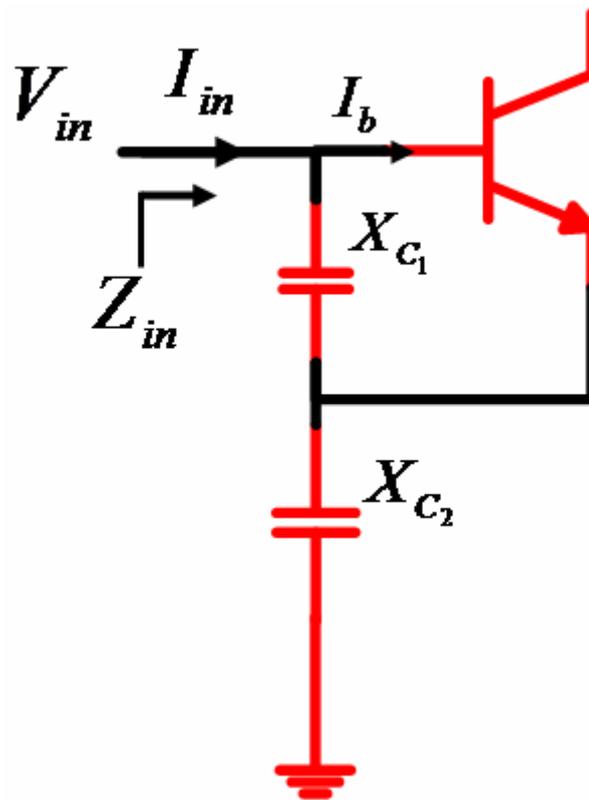


Fig. 2-7 考畢茲(Colpitts)核心電路

這個 C1 和 C2 在此電路是在電晶體的射極(Emitter)以及基極(Base)提供負迴授。

$$V_{in} = I_{in}(X_{C1} + X_{C2}) - I_b(X_{C1} - \beta X_{C2}) \quad (2.20)$$

$$0 = -I_{in}(X_{C1}) + I_b(X_{C1} + h_{ie}) \quad (2.21)$$

重新安排並給 I_b 以及代入式子 (2.21) $I_b = \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})}$

$$V_{in} = I_{in}(X_{C1} + X_{C2}) - \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})} \cdot (X_{C1} - \beta X_{C2}) \quad (2.22)$$

$$V_{in} = I_{in} \cdot X_{C1} + I_{in} \cdot X_{C2} - \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})} (X_{C1} - \beta X_{C2}) \quad (2.23)$$

而且相乘得到

$$\begin{aligned} V_{in} &= I_{in} \cdot X_{C1} + I_{in} \cdot X_{C2} - \frac{I_{in} \cdot X_{C1}}{X_{C1} + h_{ie}} \cdot X_{C1} \\ &\quad + \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})} \cdot \beta \cdot X_{C2} \end{aligned} \quad (2.24)$$

X 是藉由 $X_{C1} + h_{ie}$

$$\begin{aligned} V_{in}(X_{C1} + h_{ie}) &= (X_{C1} + h_{ie})I_{in} \cdot X_{C1} + (X_{C1} + h_{ie})I_{in} \cdot X_{C2} \\ &\quad - (X_{C1} + h_{ie}) \cdot \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})} \cdot X_{C1} \\ &\quad + (X_{C1} + h_{ie}) \frac{I_{in} \cdot X_{C1}}{(X_{C1} + h_{ie})} \cdot \beta X_{C2} \end{aligned} \quad (2.25)$$

並再一次相乘得到

$$\begin{aligned} V_{in}(X_{C1} + h_{ie}) &= I_{in} \cdot X_{C1}^2 + h_{ie} \cdot I_{in} \cdot X_{C1} \\ &\quad + X_{C1} \cdot I_{in} \cdot X_{C1} + X_{C1} \cdot I_{in} \cdot X_{C2} \\ &\quad + h_{ie} \cdot I_{in} \cdot X_{C2} - I_{in} \cdot X_{C1}^2 + X_{C1} \cdot I_{in} \cdot X_{C2} \cdot \beta \end{aligned} \quad (2.26)$$

$$\begin{aligned} V_{in}(X_{C1} + h_{ie}) &= h_{ie} \cdot I_{in} \cdot X_{C1} + X_{C1} \cdot I_{in} \cdot X_{C2} \\ &\quad + h_{ie} \cdot I_{in} \cdot X_{C2} + X_{C1} \cdot I_{in} \cdot X_{C2} \cdot \beta \end{aligned} \quad (2.27)$$

再次安排 I_{in}

$$V_{in}(X_{C1} + h_{ie}) = I_{in} [h_{ie} \cdot (X_{C1} + X_{C2}) + X_{C1} \cdot X_{C2} \cdot I_{in} \cdot (1 + \beta)] \quad (2.28)$$

$$\frac{V_{in}}{I_{in}} = Z_{in} = \frac{h_{ie} \cdot (X_{C1} + X_{C2}) + X_{C1} \cdot X_{C2} (1 + \beta)}{X_{C1} + h_{ie}} \quad (2.29)$$

假如我們假設 $X_{C1} \ll h_{ie}$ ，然後

$$\begin{aligned} \frac{V_{in}}{I_{in}} = Z_{in} &= \frac{h_{ie} \cdot (X_{C1} + X_{C2}) + X_{C1} \cdot X_{C2} \cdot (1 + \beta)}{h_{ie}} \\ &\Rightarrow \frac{h_{ie} \cdot (X_{C1} + X_{C2})}{h_{ie}} + \frac{X_{C1} \cdot X_{C2} \cdot (1 + \beta)}{h_{ie}} \end{aligned} \quad (2.30)$$

$$\frac{V_{in}}{I_{in}} = Z_{in} = X_{C1} + X_{C2} + \frac{X_{C1} \cdot X_{C2} (1 + \beta)}{h_{ie}} \quad (2.31)$$

讓 $g_m = \frac{1 + \beta}{h_{ie}}$ 並展開電抗：

$$\frac{V_{in}}{I_{in}} = Z_{in} = \left[g_m \cdot \frac{1}{j\omega C_1} \cdot \frac{1}{j\omega C_2} \right] + \frac{1}{j\omega C_1} + \frac{1}{j\omega C_2} \quad (2.32)$$

as $j^2 = -1$ then

$$\frac{V_{in}}{I_{in}} = Z_{in} = -g_m \cdot \frac{1}{\omega^2 \cdot C_1 \cdot C_2} + \frac{1}{j\omega [C_1 \cdot C_2 \cdot (C_1 + C_2)]} \quad (2.33)$$

我們便可觀察到考畢茲振盪器 $-g_m \cdot \frac{1}{\omega^2 \cdot C_1 \cdot C_2}$ 是一個輸入阻抗是負的而

且 $\frac{1}{j\omega [C_1 \cdot C_2 \cdot [C_1 + C_2]]}$ 是一個並聯結合 C_1 和 C_2 。

2.5 可變電容

最近這幾年，我們可以觀察到在電壓控制振盪器所使用的可變電容有好幾種，P-N 接面二極體 [18], 反向(inversion) MOS 可變電容 [17] 以及 累積(Accumulation) MOS 可變電容，展示在圖 2-8 [18]. 金屬-絕緣-金屬(Metal-insulator-metal, MIM) 電容展示在圖 2-9。而圖 2-10 是展示 P-MOS 在 A-MOS 的拓樸及結構 [19]。

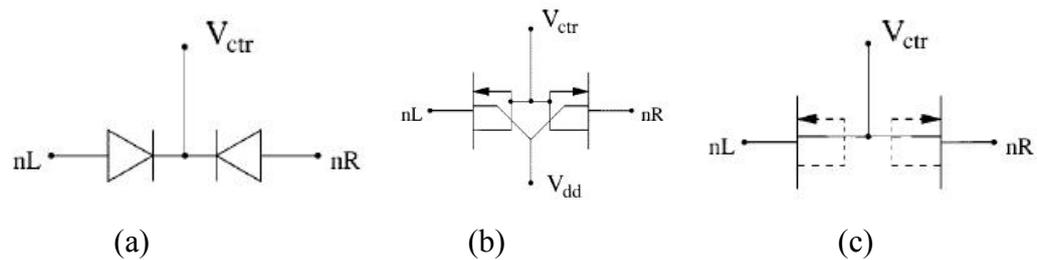


Fig. 2-8 (a) 二極體可變電容 (b) I-MOS 可變電容 (c) A-MOS 可變電容 [17].

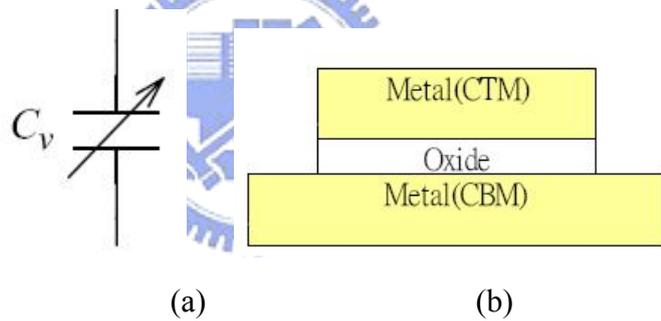


Fig. 2-9 金屬-絕緣-金屬 可變電容 (a) 拓樸 (b) 結構 [18].

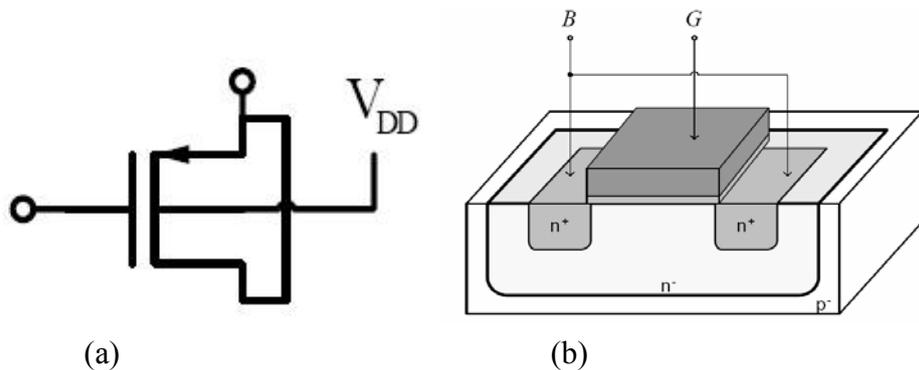


Fig. 2-10 PMOS 可變電容 (a) 拓樸 (b) 結構 [19].

首先，我們必須要知道如何做一個可變電容。

大部份載子會在一已知的鬆弛時間來反應在電場的改變。這個時間是大多數載子重新再分配來反應電子的干擾。

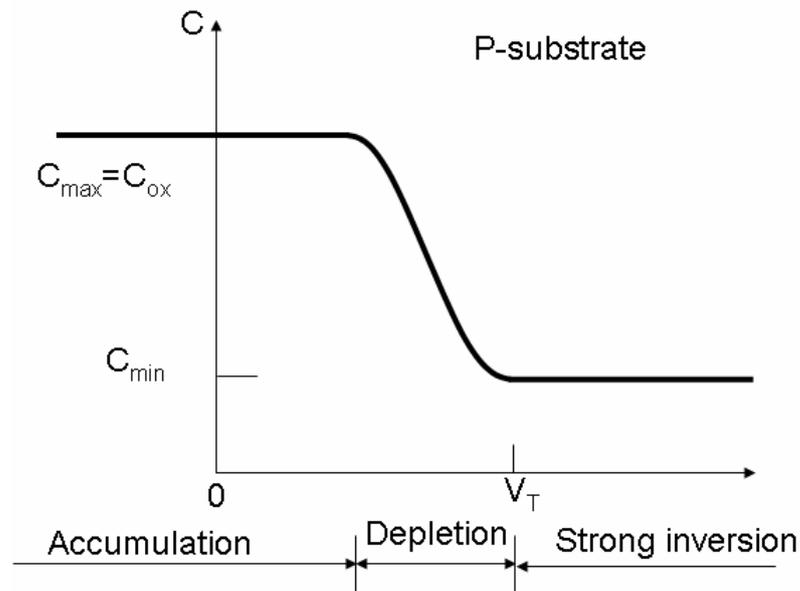


Fig. 2-11 P 基板的 MOS 之電容與電壓的特性 [19].

它是介電常數與傳導性的比例 ϵ/σ 。針對半導體樣品，像是矽或者是砷化鎵，這些都有著 1 ohm-cm 的電阻性，大約是 10^{-12} 秒。無論是交流電的頻率，反應週期是 1us，大多數的載子將不會有任何問題在交流信號下來反應。

這些在 MOS 的大多數載子，從在二氧化矽表面的反轉層以及原先大容量的產生。不論如何，使用 1 MHz 頻率以及週期為 1us 的交流信號電壓，將不可能會從反轉層獲得 ΔQ 少數載子。

這個特性展示在圖 2-11 是從很緩慢的直流電壓調變來觀察到的。

在每一個閘極電壓，交流電壓造成一個調變電荷就像是電容 F/cm^2 來表示：

$$C = \frac{dQ_m}{dV_G} \quad (2.34)$$

在此式 Q_m 是用 C/cm^2 在閘極電壓跟閘極總電荷來表示電荷密度。 ϕ_s 是表面電位能，所以可以將 V_G 寫成

$$V_G = V_{ox} + \phi_s \quad (2.35)$$

這個在閘極上的電荷密度是藉由在半導體中的 Q_s 電荷密度來達到平衡的。

$$Q_m = -Q_s = -(Q_n + Q_d) \quad (2.36)$$

將利用方程式(2.34)、(2.36) 以及(2.37)，可以得到

$$C = \frac{dQ_m}{(dV_{ox} + d\phi_s)} = \{[1/(dQ_m / dV_{ox})] + [1/(dQ_m / d\phi_s)]\}^{-1} \quad (2.37)$$

$$= 1/[1/C_{ox} + 1/C_s]$$

此式中 C_{ox} 以及 C_s 分別是半導體中二氧化矽的電容。在半導體方面， C_s ，在空乏層的電容考量下以及反轉層的電容。

讓我們考慮在半導體的電荷調變下，這個伴隨著提供之交流載有直流偏壓正從空乏區伴隨著反轉區。

2.5.1 空乏區

隨著閘極正電壓增加，電洞是從半導體介面驅動以及一個空乏區在半導體介面發展。這個區間是負電荷受端原子造成的。藉由空乏區寬度 $W = \sqrt{\frac{2\phi_s \epsilon}{qN_A}}$ ，針對這個空乏層的寬度，我們決定電荷以及它的電容：

$$Q_s = Q_d = -qN_A W = -\sqrt{2\epsilon q \phi_s N_A} \quad (2.38)$$

$$C_s = -dQ_s / d\phi_s = \sqrt{\epsilon q N_A / 2\phi_s} \quad (2.39)$$

因為只有大部份載子是混亂的，這系統是很快到達平衡。這個交流信號造成如同圖 2-12 (b) 所示，在電荷中小訊號調變之電荷 ΔQ 在空乏區。這一整個電容考慮的是二氧化矽的連接面電容 C_{ox} ，在空乏區層的 C_s ：

$$1/C = (1/C_s) + (1/C_{ox}) = (W/\epsilon) + (1/C_{ox}) \quad (2.40)$$

一個 V_G 的增加會使得 ϕ_s 增加，會造成在空乏層變寬以及空乏區電容變小。這整個電容會隨著電壓增加而減少，如圖 2-12。

藉由使用方程式(2.38)以及(2.39)，跨壓在二氧化矽以及表面電壓可以使閘極

電壓 V_G 展現來出寬度 W 的項以及總合。一個可以用方程式 (2.40) 來觀察整個 C_{ox}

並使用 V_G :

$$C = \frac{C_{ox}}{\left[1 + \left(\frac{2V_G C_{ox}^2}{qN_A \epsilon} \right) \right]^{1/2}} \quad (2.41)$$

2.7 高介電材料

最近這幾年，薄的絕緣 MOS 結構是普遍被使用在製程上，這必須要有現階段能使用的矽的製程技術。而最常使用的薄膜材料如下：

Material Quantity(units)	SiO ₂	Al ₂ O ₃	AlN	HfO ₂
k	3.9	12.53	9.14	22

Table 2-1 常用薄膜之介電常數 [20]

因為二氧化鈣 (HfO₂) 的介電常數比二氧化矽 (SiO₂)、三氧化二鋁 (Al₂O₃) 以及 氮化鋁(AlN) 都要來的大。所以目前最會被使用到的便是二氧化鈣 (HfO₂)。

Chapter 3

Experimental procedures

3.1 電壓控制振盪器電路

一般電壓控制振盪 (Voltage Controlled Oscillator, VCO) 電路有環型振盪器 (RingBack Oscillator)、交錯耦合振盪器 (Crossing-Coupled Oscillator) 以及 Colpitts 振盪器等，而在此論文實驗中所討論的 VCO 電路是屬於 Colpitts 電路加上電容和電感 (LC-tank) 所組成的，如 Fig. 3-1 所示。由 Fig. 3-1 可看出整體 VCO 電路是由右半邊的 Colpitts 電路、左半邊電容和電感 (LC-tank) 所組成的電路、以及可用來調變 LC-tank 電路中可變電容的電源 (Tunable voltage) 所組成。在 Colpitts 電路中，雙載子電晶體 (Bipolar Junction Transistor, BJT) Q1 的基極 (Base) 工作偏壓點是由電阻 R1 及 R2 所決定的。而電阻 R3 是射極電阻 (Emitter Resistor) 也是決定此電路的負載線。而電容 C1 及 C2 是用來決定 VCO 電路可以振盪的頻率範圍。電容 C3 及 C4 為直流隔離電容 (DC-Block Capacitor)，電容 C3 的功用是將輸出端的直流成份濾掉，讓交流 AC 成份通過，C4 是電容其目的是為了防止直流電壓準位影響到 VCO 核心電路。LC-tank 電路是由電感 L1 和可變電容 C5 及 C6 所組成，因此決定此 VCO 電路的振盪頻率為 $f = \frac{1}{2\pi\sqrt{L_1(C_5 // C_6)}}$ 。然而外加的調變電壓 (Tuning Voltage)，是用來調變 LC-tank 中的可變電容，藉由改變電容偏壓點改變其電容值，進而調整整體 VCO 電路的振盪頻率，而其中電感 L2 的功用防止外界高頻雜訊進入 LC-tank 電路。在此論文中，將使用兩種不同的可變電容在 LC-tank 電路中，其一是飛利浦 (Philips) 公司所提供型號為 BB135 的 P-N 逆偏接面電容，和自行製作的 Al/HfO₂/Si 金-絕緣-半導體 (MIS) 電容，討論不同可變電容對 VCO 電路特性的影響。

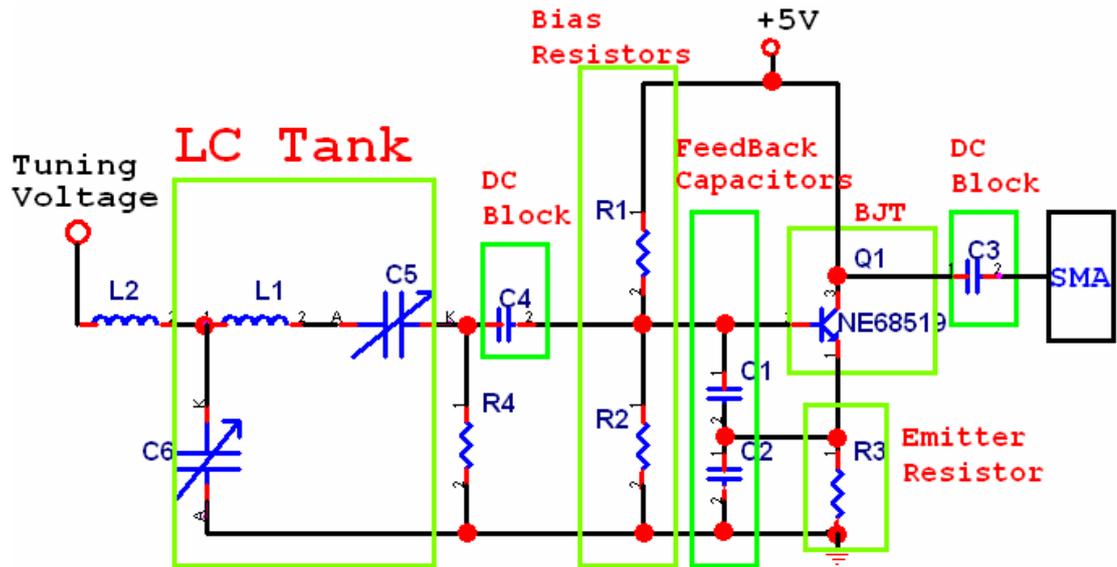


Fig. 3-1 Colpitts 型態的電壓控制振盪器之電路圖。

3.2 VCO 電路的實驗流程

Fig. 3-2 是這一次論文實驗的流程，因為所有的元件都要焊在印刷電路板(Print Circuit Board, PCB) 上，而元件的連接都是經由傳輸線來連接，所以首先要先得到 RF (Radio Frequency) 電路所使用的特性阻抗 50 Ohm 在 PCB 的 trace (對於 PCB 而言，通常稱為 trace，是傳輸線的一種) 寬度，這是根據板子的疊構條件來計算的，計算 PCB 的特性阻抗是使用 Polar 公司的 CITS 軟體。再得到 trace 的寬度後要想知道整個 VCO 電路所用到的元件並瞭解其特性，再依照其元件特性來決定擺放元件之位置並做一佈局，才能進行 VCO 電路之 PCB 的佈局 (Layout)，佈局完的電路佈局圖才可以藉由信真 (Sigrity) 公司的 PowerSI 軟體模擬來得到 PCB 的 S 參數，這其中包含 PCB 之傳輸線、傳輸線之間耦合以及 PCB 之介電參數 (ϵ_r) 及正切損耗 (Loss-Tangent) 等效應。在得到整體 VCO 電路的 PCB 之 S 參數後，並將廠商 (NEC) 所提供高頻 BJT 型號為 NE68519 在 ADS 模擬軟體的設計套件 (Design Kits)、以及廠商達方 (Darfon) 公司所提供電容模型的 S 參數，套入在此論文所使用的安捷倫 (Agilent) 公司之 ADS2005A (Advance Design System 2005 版) 軟體中執行模擬 Colpitts 電路的 S 參數，這是包含 PCB 效應及非理想元件的

Colpitts 電路之 S 參數。模擬 Colpitts 電路的 S 參數分為兩種情況來模擬：第一種是 2 層板及 4 層板的介電常數 (Er) 及正切損失 (Loss-Tangent) 都一樣，要模擬的是在 PCB 上的 Colpitts 電路元件除了回授電容的容值改變外，其餘的 2 層板及 4 層板的 Colpitts 電路元件都相同，模擬的頻率範圍為 1 MHz~500 MHz，藉以分別探討 2 層板及 4 層板對於回授電容的改變時，藉以觀察 Colpitts 電路的最大振盪頻率之影響；另一種是在做完上述之模擬後找出最好的條件，並使 PCB 上的 Colpitts 電路元件相同，所模擬的頻率範圍為 1 MHz~500 MHz，來探討 2 層或是 4 層 PCB 在介電常數 (Er) 及正切損失 (Loss-Tangent) 的不同對 PCB 上的 Colpitts 電路之 S 參數影響。

模擬 Colpitts 電路完之後，做出實際的 Colpitts 電路，並用 2 層及 4 層 PCB 分別將回授電容依電容值的不同來量測 2 層及 4 層 PCB 的 Colpitts 的 S 參數做一分析，分析的是 2 層及 4 層 PCB 所做出的 Colpitts 電路的 S11 及相位，並看是否有負阻抗的產生。挑出 Colpitts 電路效能比較好的條件下，將 VCO 電路中的 Colpitts 電路、LC-tank 電路、穩壓電容以及濾波電感等元件一一焊在 PCB 上，其中 LC-tank 電路中的可變電容將會使用兩種：一種是用 Al/HfO₂/Si 浮接電容，而另一種是飛利浦 (Philips) 所提供型號為 BB135 的 P-N 逆偏界面電容，這個 P-N 逆偏界面電容是可以直接焊在 PCB 上，但 Al/HfO₂/Si 浮接電容的上下電極並無法直接焊在 PCB 上，而是使用打線機 (Wire Bonder) 來透過鋁線分別連接 Al/HfO₂/Si 浮接電容的上下電極與 PCB 上。於此同時也可以使用 Keithley-590 型號的儀器來分別量測 Al/HfO₂/Si 浮接電容及 P-N 逆偏界面電容的電容值相對於調變之電壓 (C-V) 曲線，其量測所使用的頻率是 100 kHz，看這兩種可變電容在 100 kHz 下是否有其電容的可變性。針對 Al/HfO₂/Si 浮接電容在 100 kHz 以上的頻率所量測的特性是使用網路分析儀 (Vector Network Analyzer, VNA) 來量測其 S 參數，所使用的網路分析儀 (Vector Network Analyzer) 型號為 Rohde&Schwarz-ZVB8。針對這兩種可變電容 P-N 逆偏界面電容與 Al/HfO₂/Si 浮接電容分別用於 2 個 VCO 電路中的 LC-tank 電路所做出的 VCO 電路，來量測以下 VCO 電路的特性：一、輸出頻率對應於調變電壓的變化 (Frequency

VS. Tuning-Voltage) ,其使用之量測儀器為訊號來源分析儀 (Signal Source Analyzer, SSA, 型號為 Agilent E5052A) 或是頻譜分析儀 (Spectrum Analyzer, HP8591E) 。二、相位雜訊 (Phase Noise) ,量測之儀器是訊號來源分析儀 (Signal Source Analyzer, SSA, 型號為Agilent E5052A) 。三、輸出功率 (Output Power) 。四、功率損耗 (Power Consumption) 。其中輸出功率以及功率損耗的量測儀器是使用頻譜分析儀 (Spectrum Analyzer, HP8591E) 、電源供應器 (Laboratory DC Power Supply , Model: GPC-3060) 、精密三用電表 (Fluke45 Dual Display Multimeter) 之組合。最後再使用VCO電路常用的品質因子 (Figure Of Merit, FOM) 做為判斷VCO電路的優劣 , 其中FOM包含輸出功率、功率損耗以及相位雜訊之考量。

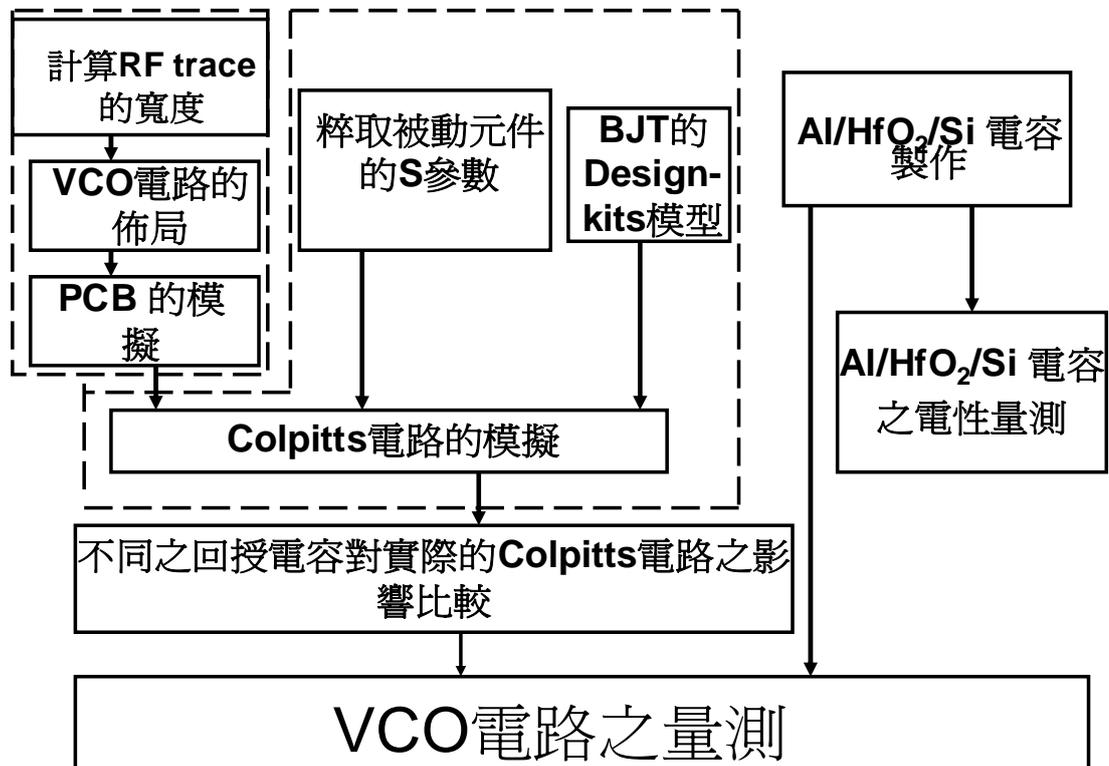


Fig. 3-2 VCO 電路的實驗流程之方塊圖。

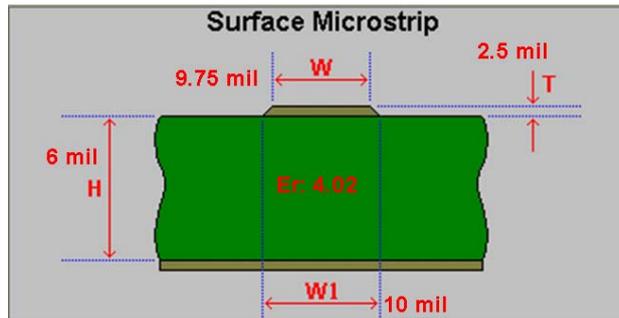
3.3 PCB 的佈局及其 S 參數的模擬

這次論文實驗所使用的是 2 層板 (2-Layer) 及 4 層板 (4-Layer) 的 PCB，因為元件都會焊在 PCB 上，用 RF (Radio Frequency) 電路的特性阻抗為 50 Ohm 之傳輸線來連接，所以要先分別計算在 2 層及 4 層 PCB 上的特性阻抗為 50 Ohm 之 trace (對於 PCB 而言，通常稱為 trace，是傳輸線的一種) 寬度。在設計特性阻抗為 50 Ohm 時，需知道以下之 2 層板 (2-Layer) 及 4 層板 (4-Layer) 的 PCB 參數：一、2 層板 (2-Layer) 及 4 層板 (4-Layer) 分別以銅為 trace 與以整面為銅的參考平面，其中間的 FR4 介質厚度 (H)。二、FR4 的介電常數 (Er)。三、以銅為 trace 的厚度 (T)。在知道上述 2 層板及 4 層 PCB 的疊構參數才能藉由 Polar 公司所發行的計算特性阻抗軟體(此論文所用的是 CITS25)，以便求出在特性阻抗為 50 Ohm 時，其在 2 層板及 4 層板以銅為 trace 的寬度為多少 mil(1 inch=1000 mil)? Fig. 3-3

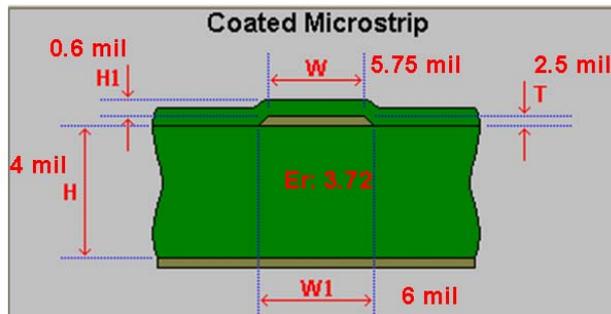
(b) 是代表當 Coated-Microstrip 型態的結構，此結構是用來計算 4 層板之第一層及第四層之 trace 特性阻抗。那是因為整體 4 層板並不能直接去計算其特性阻抗，但可以分別去計算第一層與第二層、第三層與第四層相對應的特性阻抗，其中第二層及第三層為一完整的參考平面。所以在 Fig. 3-3 (b) 的結構是為了要分別計算 4 層板中的第一層與第二層為完整的參考平面層以及第四層與第三層完整的參考平面層時，來計算第一層與第四層之 RF 特性阻抗為 50 Ohm 時其 trace 的寬度為何？在 Fig. 3-3 (a) 為 Surface-Microstrip 型的特性阻抗之計算，以銅為 trace 的厚度 (T) 為 2.5 mil，以銅為 trace 與其銅為參考平面的高度 (H) 為 6 mil，其介電常數 (Er) 是 4.02。因為 PCB 的 trace 製做是照像蝕刻，以銅為 trace 其所蝕刻後為一梯形，所以在此條件下的結構可用 CITS 軟體來計算 RF 特性阻抗為 50 Ohm 時，算出 trace 上方的 trace 寬度 (W) 是 9.75 mil、下方的 trace 寬度 (W1) 是 10 mil。在 Fig. 3-3 (b) 是 Coated-Microstrip 型的結構，此結構是要計算在 4 層板中的第一層及第四層之特性阻抗為 50 Ohm 時，trace 的寬度。Coated-Microstrip 型式與 Surface-Microstrip 型式差別在於是否有絕緣漆，其厚度 (H1) 約為 0.6 mil、

介電常數約為 3。另外 trace 的厚度 (T) 為 2.5 mil，以銅為 trace 與其銅為參考平面的高度 (H) 為 4 mil，其介電常數 (Er) 是 3.72。也因為 PCB 製做是照像蝕刻，所以第一層及第四層以銅為 trace 所蝕刻出來是一梯形，所以在此條件下的結構可用 Polar 軟體來計算 RF 特性阻抗為 50 Ohm，計算出 trace 上方的 trace 寬度 (W) 是 5.75 mil、下方的 trace 寬度 (W1) 是 6 mil 以及。如此一來可分別算出 2 層板及 4 層板的特性阻抗在 50 Ohm 時，其寬度分別為 10 mil 及 6 mil，並將 2 層板及 4 層板的疊構整理在 Table 3-1。

在 Table 3-1 (a) 可以知道 2 層板的 PCB 疊構參數，其橫切面是第一層、介質為 FR4 以及第二層的關係，第一層及第二層橫切面的銅厚度約 2.5 mil，第一層及第二層之間的介質為 FR4，其厚度為 6 mil。在知道疊構以及中間介質的介電常數 (Er) 其數值便使用廠商所提供的 4.02，就可藉由調整 trace 的寬度來計算其特性阻抗為 50 Ohm 時，算出該 trace 寬度為 10 mil 時，其特性阻抗為 50 Ohm。在 Table 3-1 (b) 是 4 層板的 PCB 疊構參數，由此可以看到其橫切面也可以知道第一到第四層的關係。第一層及第四層銅厚度為 2.5 mil，介於第一層跟第二層以及第三層跟第四層的介質為含膠量 62% 的 FR4，厚度約為 3.5 mil，介電常數 (Er) 是用廠商提供的值為 3.72。而第二層跟第三層為整面的銅，其厚度為 1.25 mil 介於這兩層的介質是含膠的 FR4，其厚度約為 25 mil，即可依照其疊構可得知 6 mil 寬度的 trace 其特性阻抗約為 50 Ohm，另外一提的是第一層及第四層表面都會使用絕緣漆保護。



(a)



(b)

Fig. 3-3 (a) 計算當 Surface-Microstrip 型式的結構圖 和 (b) 代表當 Coated-Microstrip 型式的結構圖。

Layer	Finished Cu Wt	Material	Thickness (mils)	Er	Trace Width of the RF
1	1Cu+plating	Copper	2.500		10 mils
	PCB	Core	6.000	4.020	
2	1Cu+plating	Copper	2.500		10 mils

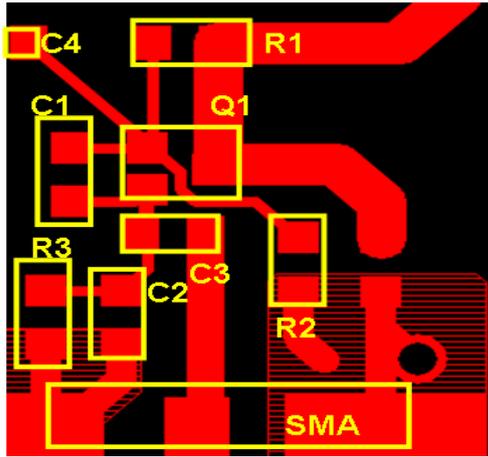
(a)

Layer	Lyr Type	Finished Cu Wt	Material	Thickness	Er	Trace width of the RF
	MASKTOP			0.600		
1	COMP	1Cu+plating	Copper	2.500		6.000
		Prepreg	2112 62%	4.000	3.720	
2	GND	1 oz	Copper	1.250		
			Core	25.000	4.090	
3	power	1 oz	Copper	1.250		
		Prepreg	2112 62%	4.000	3.720	
4	SOLDER	1Cu+plating	Copper	2.500		6.000
	MASKTOP			0.600		

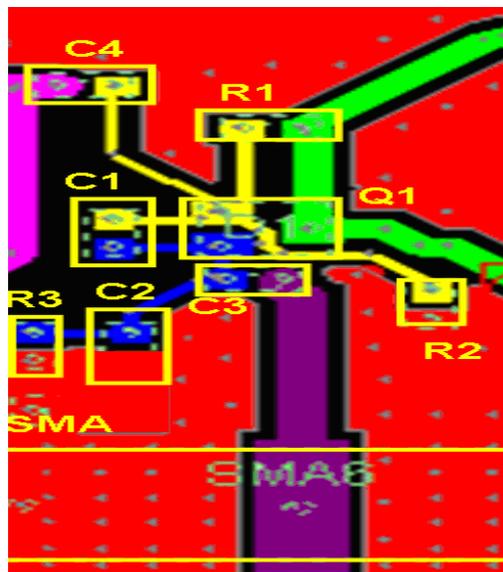
(b)

Table 3-1 (a) 2層 PCB 疊構之參數圖 和 (b) 4層 PCB 疊構之參數。

在得知其疊構及 trace 之寬度就可進行其電路 Layout。然而在 Fig. 3-4(a) 為 2 層 PCB Colpitts 電路之佈局圖跟 Fig. 3-4 (b) 是 4 層 PCB Colpitts 電路之佈局圖。其兩者的佈局原則是：整體 VCO 電路中 trace 的寬度控制、高頻 BJT (Q1) 與迴授電容 (C1 及 C2) 之間的擺放位置要近一點、盡可能不跨另一層以及將 Colpitts 電路與 LC tank 電路分開。所以電容 C1 跟電容 C2 都要靠近 BJT (Q1)，但因電容 C3 是要緊接著輸出端，所以電容 C3 要比電容 C2 來的重要，所以就放在靠近 BJT (Q1) 的地方。而電阻 R1 與電阻 R2 是做為 BJT (Q1) 偏壓之用，所以電阻 R1 跟 Q1 的汲極 (Collector) 是比較寬的 trace；而 Q1 的基極 (Base) 跟電阻 R2 之間的 trace 受限於要穿越 BJT (Q1) 下方，其 trace 寬度是使用 RF 電路 50 Ohm 的寬度，在 2 層板及 4 層板分別為 10 mil 跟 6 mil。在此電路的電阻 R3 是射極電阻，並不需要靠近 Q1，就擺放在電容 C2 旁邊。所以在 Fig. 3-4 (a) 跟 Fig. 3-4 (b) 的 Colpitts 電路元件擺放位置是一樣的，PCB 的層數分別是 2 層跟 4 層。Fig. 3-4 (a) 跟 Fig. 3-4 (b) 2 層及 4 層 PCB 所佈的佈局圖可看出有那些 trace 是使用 RF 電路 50 Ohm 的寬度如下：電阻 R1 連接到 Q1 的基極 (Base) 也聯接到電容 C4、電容 C1 跟電阻 R2 的 trace、電容 C1 連接 Q1 的射極 (Emitter)、電容 C3、電容 C2 以及電阻 R3 的寬度也是使用 RF 電路 50 Ohm 的寬度，在 2 層板及 4 層板的 50 Ohm 特性阻抗之傳輸線寬度分別為 10 mil 跟 6 mil。



(a)



(b)

Fig. 3-4 (a) 2層 PCB 和 (b) 4層 PCB 的 Colpitts 電路佈局圖。

目前安捷倫 (Agilent) 公司以及羅德史瓦茲公司 (Rohde&Schwarz, 簡稱 R&S) 所做出來的網路分析儀 (Vector Network Analyzer, VNA), 並無法直接量測數十個埠 (Port)。所以大部份對於 PCB 多 Port 的萃取, 大多採用模擬的方式取得。這篇論文所用來模擬 PCB layout 的 S 參數是用信真 (Sigrity) 公司的 PowerSI 軟體來萃取, 其要考慮的 PCB、trace 本身以及 trace 跟 trace 之間的交互影響都包含其中。而佈局的重點在於在完成電路 Layout 後, 就可以使用 PowerSI 軟體來對整個板子做一分析並得到其 S 參數。

3.4 Colpitts 電路的模擬

將 Fig. 3-1 中的 Colpitts 型式的電路，包含 BJT (Q1)、電阻 R1~R3 以及電容 C1~C4 等各元件，放入 ADS2005A 軟體中模擬，如 Fig. 3-5 所示。Fig. 3-5 是將 Colpitts 電路套入在 ADS2005A 軟體中進行模擬的線路圖，在 Fig.3-5 可以看到 BJT (NE68519) 是使用廠商 (NEC) 所提供 ADS 軟體的 Design-kits，而其中電容 C1、C2 及 C4 是用 0402 (4mm×2mm) 尺寸的高頻電容，是由達方 (Darfon) 公司所提供的 S 參數。電阻 R1、R2 是決定 BJT 的偏壓點，R3 是射極電阻，並從電容 C4 設一 Port1，於輸出端再設一 Port2。而 layout 過後的 PCB 是使用信真 (Sigriety) 公司的 PowerSI 軟體來模擬 PCB 之傳輸線、傳輸線之間耦合以及 PCB 之介電參數 (Er) 及正切損耗 (Loss-Tangent) 所得到的 S 參數在其 S40P (S40P 是使用 40 個 port 來取得 S 參數)，而在 S40P 中有連接的地方是 Colpitts 電路中所需要的元件所連結的有偏壓電阻、回授電容、射極電阻以及 NE68519 高頻 BJT 的 Design-kits 等。其所模擬的情況分二種：第一種是 2 層板及 4 層板的介電常數 (Er) 及正切損失 (Loss-Tangent) 都一樣，要模擬的是在 PCB 上的 Colpitts 電路元件除了回授電容 (在 Fig. 3-5 中的 C1 和 C2) 的容值改變外，其餘的 2 層板及 4 層板的 Colpitts 電路元件都相同，模擬的頻率範圍為 1MHz~500MHz，藉以分別探討 2 層板及 4 層板對於回授電容的改變時，藉以觀察 Colpitts 電路的最大振盪頻率之影響；另一種是在做完上述之模擬後找出最好的條件，並使 PCB 上的 Colpitts 電路元件相同，所模擬的頻率範圍為 1MHz~500MHz，來探討 2 層或是 4 層 PCB 在介電常數 (Er) 及正切損失 (Loss-Tangent) 的不同對 PCB 上的 Colpitts 電路之 S 參數影響。

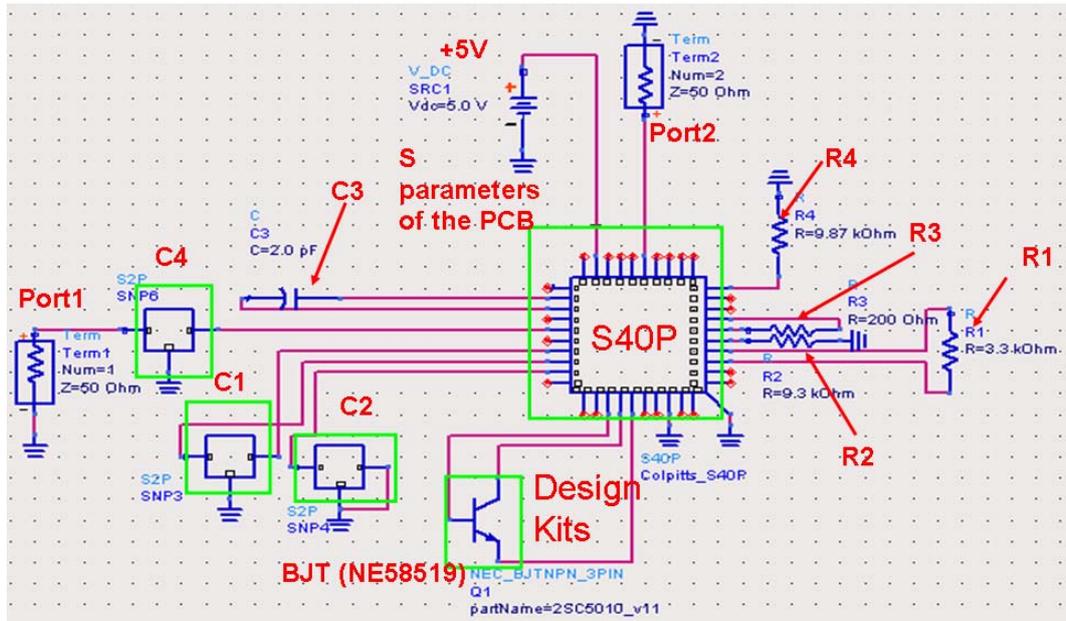


Fig. 3-5 用 ADS2005A 軟體來模擬 Colpitts 電路圖。

3.5 量測 Colpitts 電路與設備

在模擬完 Colpitts 電路後，便依照 Colpitts 電路佈局圖做出一 PCB 的 Colpitts 電路。再將 Colpitts 電路的元件，包含偏壓電阻、射極電阻、穩壓電容以及除了 LC-tank 電路之元件一一焊在 PCB 上。因為前述的模擬條件是 2 層及 4 層 PCB 的 Colpitts 電路來改變回授電容的容值，並觀察不同電容值對 2 層及 4 層 PCB 的 Colpitts 電路之影響，所要看的影響是 S 參數中的 S11、S11 的相位 (Phase) 以及是否有負阻抗的產生。Fig. 3-6 是說明量測 Colpitts 電路的 S 參數之儀器環境，儀器是使用網路分析儀 (Vector Network Analyzer, Agilent 5071B) 以及電源供應器 (Laboratory DC Power Supply, Model: GPC-3060)。將 Colpitts 電路所需的 5V 電源由電源供應器經由電源線來提供，而 Colpitts 電路的輸入及輸出之直流隔離電容 (DC Block Capacitor) 則是分別經由頻寬為 26 GHz 的連接線接至網路分析儀的 Port1 及 Port2，將可量測到 Colpitts 電路的 S 參數，用來分析此 Colpitts 電路的負阻抗及可振盪頻率的範圍。

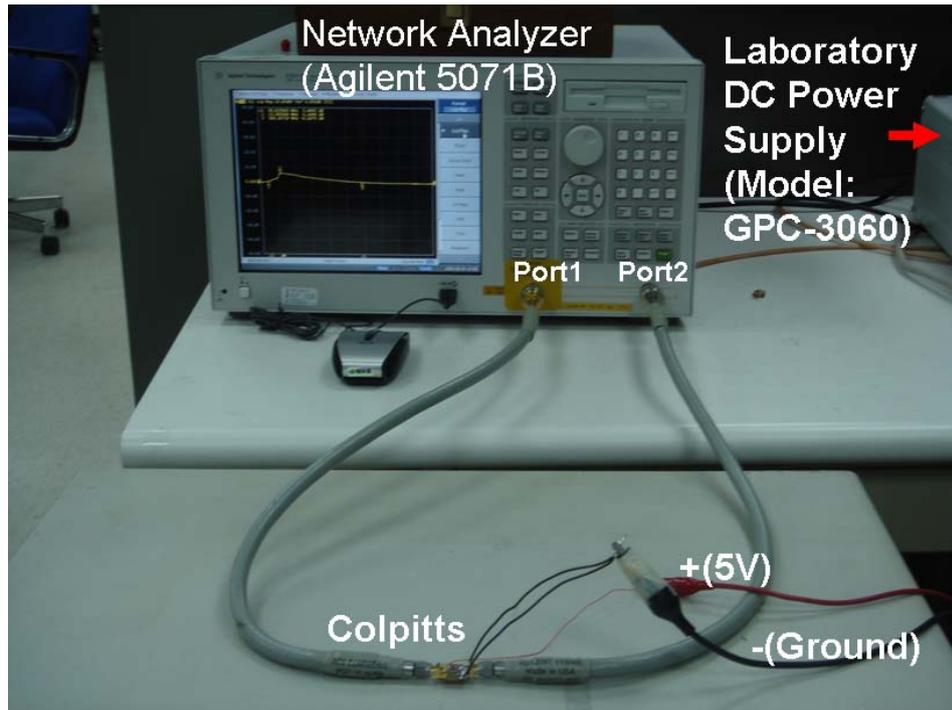


Fig . 3-6 網路分析儀 (Vector Network Analyzer, Agilent 5071B) 量測 Colpitts 電路的 S 參數之儀器量測圖。



3.6 Al/HfO₂/Si 電容結構及製作

因為在VCO電路中LC-tank電路可以改變整體VCO電路的振盪頻率，但LC-tank電路中的可變電容是隨著調變電壓的改變而改變電容值，並藉LC-tank電路改變整體VCO電路的振盪頻率。因為目前最常使用的可變電容的材質是二氧化矽（SiO₂），因為SiO₂的介電常數約為3.9，而二氧化鈦（HfO₂）比SiO₂有較高的介電常數之特性，這也是被許多人拿來研究的材料。因此在本實驗是將HfO₂做一介質，並分別做金屬-絕緣-矽（Metal Insulator Silicon, MIS）電容的結構中的介質以及浮接電容（Floating Capacitor）的結構中的介質，是因為此兩種型式的電容都有隨電壓而改變電容的可變性，可用來取代VCO電路中的可變電容。在此論文實驗中所製做HfO₂的過程，所使用的機器是直流賤鍍機（DC Sputter），其製程所通的氣體流量為氬氣（Ar）24 sccm、氧氣（O₂）3 sccm，是使用反應式濺鍍方法，其製做過程中不加溫。大部份比較穩定的製程所做的HfO₂層其所鍍的厚度為20nm，所以在此論文實驗中所鍍的HfO₂層厚度都是20nm。因為要讓HfO₂要更緻密，所以下來的動作便是要做回火（Anneal），其過程是通入適當的O₂在800°C回火約1小時。鍍鋁是使用蒸鍍機（Thermal Coating）蒸鍍，用shadow mask遮罩來定義電極面積就可將鋁鍍在HfO₂上，其鋁（Al）所鍍的厚度800nm直徑350um。所做出來的結構，如Fig. 3-7(a)是Al/HfO₂/Si MIS電容的結構以及Fig. 3-7(b)是Al/HfO₂/Si浮接電容（Floating Capacitor）的結構。在Fig. 3-7(a)是Al/HfO₂/Si MIS電容結構，所要量測的地方是以金屬在Al/HfO₂/Si MIS電容的上下電極。若是將Al/HfO₂/Si MIS電容的上下電極分別接訊號來源（Source）以及參考的地（Ground），便會在HfO₂與P-Type的矽有MIS電容效應，其區域為上電極之下的HfO₂與下電極中間的P-Type的矽中間。另外Fig. 3-7(b)是Al/HfO₂/Si浮接電容（Floating Capacitor）的結構，如果在左右兩端電極分別接訊號來源（Source）以及參考的地（Ground）便會在HfO₂與P-Type的矽有浮接電容效應，其區域為左右電極下的HfO₂與P-Type的矽之間。為了將以鋁鍍在Al/HfO₂/Si的上下電極，並能夠經由金屬線將其連接出

去，所以使用鋁線之打線機。因為打線機（Wire Bonding）必須是在同一平面下才可打線，所用的金屬線是鋁（Al）線，所以用Fig. 3-7 (b) 之浮接電容結構是透過打線機的方式，將Al/HfO₂/Si 浮接電容VCO電路中的可變電容用這來取代，再經由鋁線來連接VCO電路佈局（layout）圖中的可變電容的位置。量測電容的儀器是使用Keithley-590，量測的頻率是 100KHz。

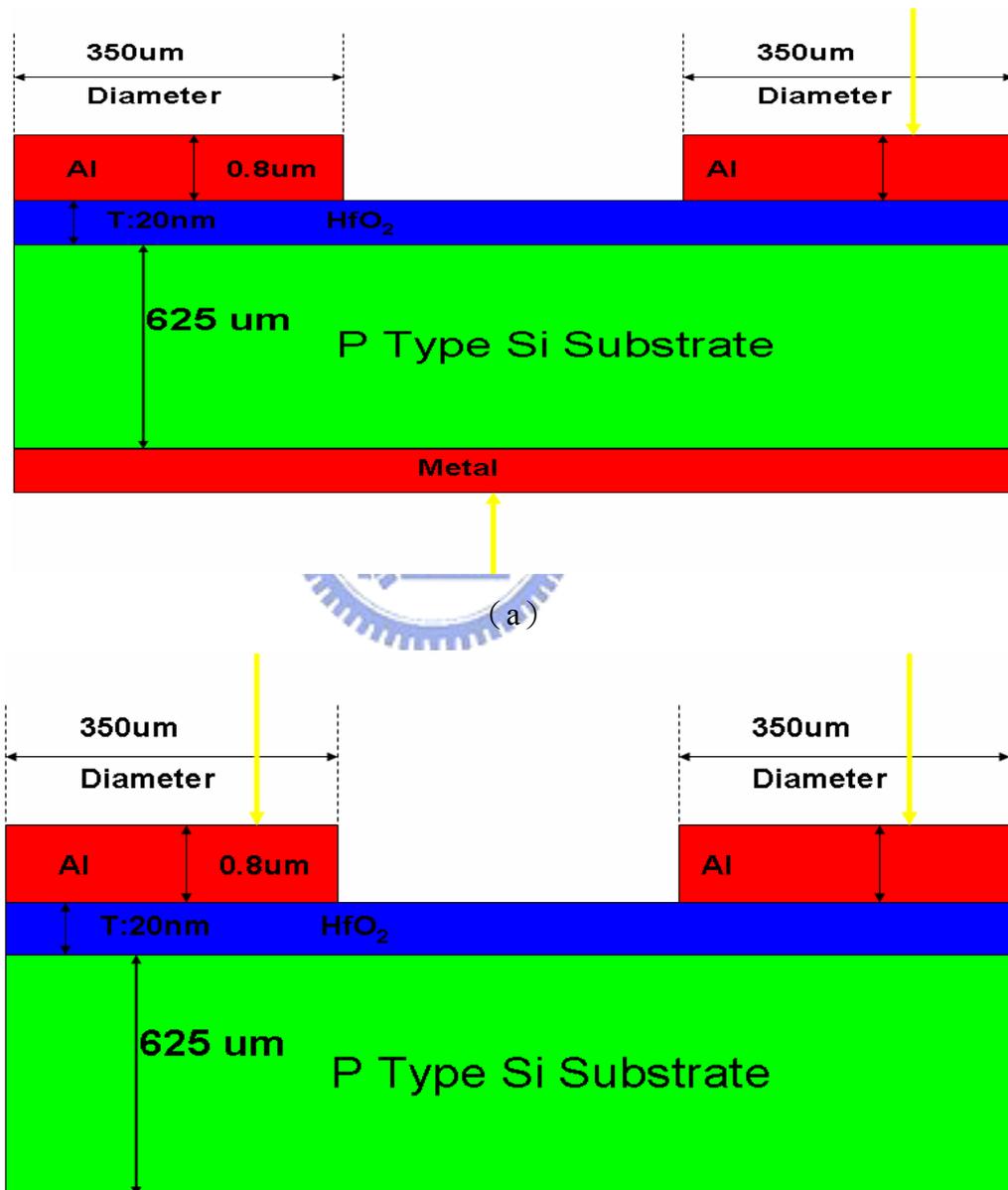


Fig. 3-7 (a) Al/HfO₂/Si金-絕緣-矽（metal insulator silicon, MIS）結構圖 和 (b) Al/HfO₂/Si 浮接電容（floating capacitor）結構圖。

3.7 量測 VCO 電路的儀器架設環境及特性

為了要比較 VCO 電路與 VCO 電路中 Colpitts 電路的優劣及電路性能，所以要實際量測 Colpitts 電路的 S 參數以及 VCO 電路的功率損耗 (Power Consumption)、輸出功率 (Output Power) 及相位雜訊 (Phase Noise) 所使用的儀器有電源供應器 (Laboratory DC Power Supply, Model: GPC-3060)、精密三用電表 (Fluke45 Dual Display Multimeter)、頻譜分析儀 (Spectrum Analyzer, HP 8591E) 以及訊號來源分析儀 (Signal Source Analyzer, SSA, 型號為 Agilent E5052A) 等。Fig. 3-8 是說明量測 VCO 電路的功率損耗以及輸出功率的量測環境，其所需的儀器有一、頻譜分析儀 (HP-8591E)，用來量測 VCO 電路輸出的功率。二、電源供應器 (Laboratory DC Power Supply, Model: GPC-3060) 有兩組 2 電源，分別是用來提供 VCO 電路的電源以及提供 VCO 電路中 LC-tank 的調變電壓使可變電容隨電壓而改變其電容值。三、精密三用電表 (Fluke45 Dual Display Multimeter) 是用來量測流經 VCO 電路之電流。連接方式是電源供應器提供兩組電源，一組是固定 5V 給 VCO 電路做為振盪之電源並串聯一精密三用電表來量測電路之電流；另外一組電源為可調式是接到 VCO 電路中的 LC-tank 電路，並調變其電壓來改變 LC-tank 電路中可變電容的電容值，於此同時將 VCO 電路的輸出接至頻譜分析儀做 VCO 電路的輸出功率及振盪頻率之量測。Fig. 3-9 是量測 VCO 電路的相位雜訊 (Phase-Noise) 之量測環境，其所使用的儀器是訊號來源分析儀 (Signal Source Analyzer, SSA, 型號為 Agilent E5052A)。連接方式是將儀器上的直流電源接到 VCO 電路中的 Colpitts 電路所需的電源，並將可控制之直流電源接到 LC-tank 電路，用來當成調變 LC-tank 電路中的可變電容的電源，然後將 VCO 電路的輸出端經由頻寬為 26 GHz 的連接線接至儀器的 RF 輸入端。

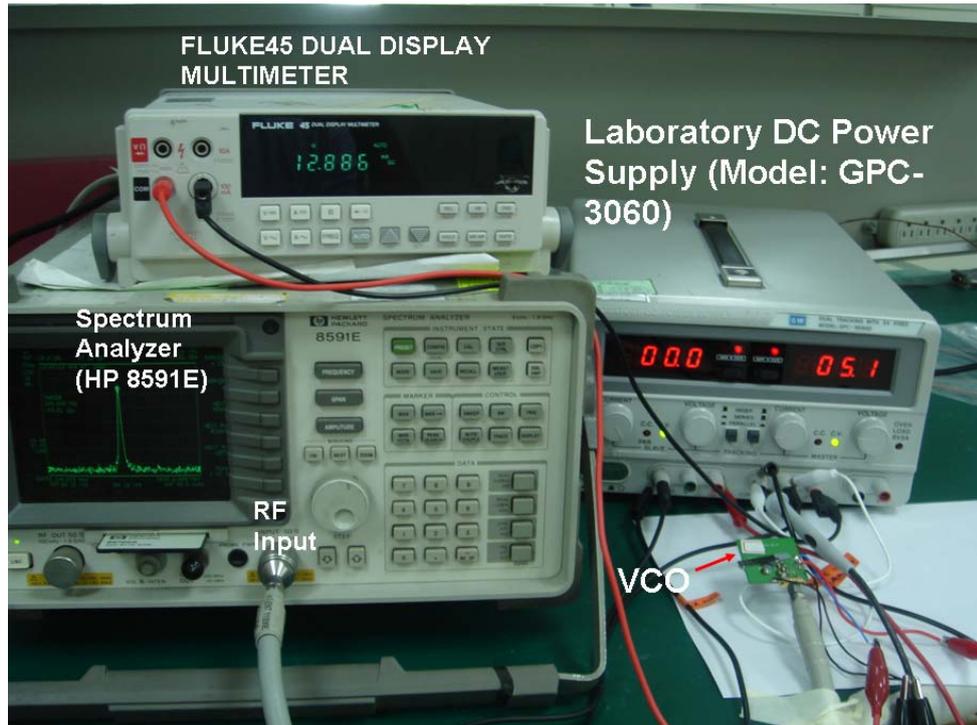


Fig. 3-8 用頻譜分析儀 (Spectrum Analyzer, HP8591E) 量測 VCO 電路之儀器量測圖。

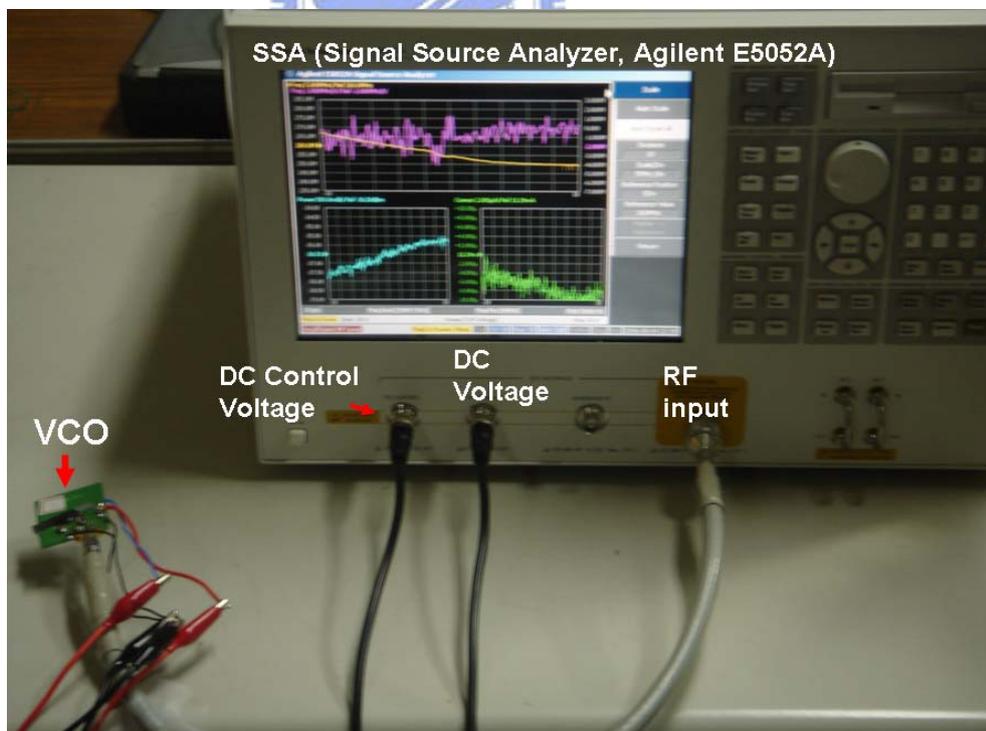


Fig. 3-9 訊號來源分析儀 (Signal Source Analyzer, SSA , Agilent E5052A)量測 VCO 電路的相位雜訊 (Phase-Noise) 之儀器量測圖。

Chapter 4

Results and discussion

在本章節是延續第三章對於 VCO (Voltage Controlled Oscillator) 電路實驗過程後要探討的結果。經過在第四章的 VCO 電路之實驗，接下來便可以分成幾個部份來討論：

1.Colpitts 電路之模擬

因為 Colpitts 電路是影響整個 VCO 電路最重要的電路，所以將會在相同的佈局 (Layout) 下，分別經由信真 (Sigriety) 公司的 PowerSI 軟體得到 2 層及 4 層印刷電路板 (Print Circuit Board, PCB) 之整體 VCO 電路的 PCB 之 S 參數。在得到 2 層板及 4 層板 VCO 電路的 PCB 之 S 參數後，要模擬當回授電容的容值為一定值，模擬 2 層及 4 層的 PCB 之疊構對 Colpitts 電路的影響，其要探討的影響有 Colpitts 電路的可振盪之頻率範圍。並做另一模擬條件，其條件是 Colpitts 電路在 2 層及 4 層的 PCB 相同的 VCO 電路之 PCB 佈局下，改變回授電容的容值，模擬不同的回授電容的電容值對 Colpitts 電路的影響，也是探討 Colpitts 電路的可振盪之頻率範圍。最後再將 PCB 中的介電常數 (ϵ_r) 以及正切損失 (Loss-tangent) 做一改變，進而模擬對 Colpitts 電路的影響，所要探討的是 Colpitts 電路輸入端的 S11 相位，當 S11 相位在 -180° 時，便是決定 Colpitts 電路最大可振盪之頻率。

2.Colpitts 電路的量測

最主要的是將之前所模擬的 Colpitts 電路直接做出一在 PCB 上之 Colpitts 電路，並量測 Colpitts 電路輸入端的 S11、S11 相位以及 Z11，將比較出來比較好的 Colpitts 電路情況，再加上可變電容 (Varactor) 就可用來做為 VCO 電路，並量測 VCO 電路。

3.VCO 電路的量測

本實驗的可變電容為飛利浦 (Philips) 所提供型號為 BB135 之 P-N 接面電容以及自行製作的 Al/HfO₂/Si 浮接電容 (Floating Capacitor) 分別焊接在 VCO 電路中，

但是因為在使用可變電容為Al/HfO₂/Si浮接電容時，Al/HfO₂/Si浮接電容的上下電極並無法直接焊在PCB上，而是需要使用打線機（Wire Bonder）將鋁線分別連接Al/HfO₂/Si浮接電容的上下電極與PCB上。然後分別量測此兩種可變電容的VCO電路的頻率輸出對應調變電壓（Frequency VS. Voltage）、輸出的功率（Output Power）、功率損耗（Power Consumption）以及藉由品質因子（Figure Of Merit, FOM）來判斷此兩種VCO電路的優劣。

4. 可變電容的量測

在VCO電路中的LC-tank電路是決定整體VCO的振盪頻率，是因為LC-tank電路的電感與電容所造成的，其振盪頻率為 $f = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}}$ ，其中 L_{eq} 是等效電感值而 C_{eq} 是等效的電容值。因為LC-tank電路中的可變電容是可以隨電壓而改變其電容值。藉由改變電容值進而改變VCO電路的振盪頻率。量測本實驗所使用型號為BB135之P-N接面電容以及Al/HfO₂/Si電容，其中Al/HfO₂/Si電容會因為使用與量測的方式不同而有金-絕緣-半導體（Metal-Insulator-Silicon, MIS）電容以及浮接電容。將會使用Keithley-590型號儀器來量測型號為BB135之P-N接面電容以及Al/HfO₂/Si電容，並分別量測Al/HfO₂/Si浮接電容及型號為BB135之P-N接面電容的電容值相對於調變電壓（C-V）曲線，其量測所使用的頻率是100 kHz，看這兩種可變電容在100 kHz下是否有隨電壓改變電容的特性。針對Al/HfO₂/Si浮接電容在100 kHz以上的頻率所量測的特性是使用網路分析儀（Vector Network Analyzer, VNA）來量測其S參數，所使用的網路分析儀（Vector Network Analyzer）型號為Rohde&Schwarz-ZVB8。

4.1 Colpitts 電路之模擬

因為Colpitts電路是影響整個VCO電路最重要的電路，所以將Colpitts電路在相同的佈局（Layout）下，分別經由信真（Sigrity）公司的PowerSI軟體得到2層及4層印刷電路板（Print Circuit Board, PCB）之整體VCO電路的PCB之S參

數。在得到整體 VCO 電路的 PCB 之 S 參數後再加上達方 (Darfon) 公司所提供的電容模型的 S 參數，以及 NEC 廠商所提供的高頻雙載子電晶體 (Bipolar Junction Transistor, BJT) 的設計套件 (Design-Kits)，便可以用在安捷倫 (Agilent) 公司的 ADS (Advance Design System) 模擬軟體來模擬 Colpitts 電路的 S 參數，這是包含 PCB 效應及非理想元件的 Colpitts 電路之 S 參數。

第二章中所推導的 Colpitts 電路之輸入阻抗所使用的元件代號與第三章的 Fig. 3-1 的 Colpitts 電路是一致的。Colpitts 電路的輸入阻抗 ($Z_{in} = R + jX$) 推導，但可以在 $X_{C_1} \ll h_{ie}$ 情形下簡化式子，推導簡易之式子，如第二章的式子 (2.33)。在 $X_{C_1} \ll h_{ie}$ 情形下簡化所推導的式子是一合理的假設，因為 $X_{C_1} = \omega \times C_1$ 、 ω 是數百 MHz、 C_1 是數十 pF、而 h_{ie} 的意義是共射組態下輸出短路時之輸入電阻，約數百至數千歐姆 (Ohm)。Colpitts 電路的輸入阻抗簡化為 (2.33) 如下：

$$\frac{V_{in}}{I_{in}} = Z_{in} = \frac{1}{-g_m \cdot \omega^2 \cdot C_1 \cdot C_2} + \frac{1}{j\omega [C_1 \cdot C_2 \cdot (C_1 + C_2)]} \quad (2.33)$$

從式子 (2.33) 可以看出輸入阻抗的實部與虛部都是負的， C_1 及 C_2 為回授電容，是一理想的電容。所以使用 ADS 軟體來模擬 Colpitts 電路輸入端的 S11 相位，是要比較 2 種情況：第一種是 2 層及 4 層板在不同的回授電容 (C_1 及 C_2) 的電容值對 Colpitts 電路輸入端的 S11 相位，S11 相位在 -180° 時便決定 Colpitts 電路的最大振盪頻率；第二種是將 PCB 參數中的介電常數 (ϵ_r) 與正切損失 (Loss-tangent) 的不同是否會對 Colpitts 電路的 S11、S11 相位以及負阻抗是否有所影響。至於為何在模擬 PCB 需考量到 PCB 的介電常數 (ϵ_r) 與正切損失 (Loss-tangent)，是因為 PCB 中的 FR4 為一介質，需考量到介質損失，因為介質損失會在高頻下顯現，並影響 Colpitts 電路在高頻上的效應，如 S11 值變小或是最大可振盪之頻率下降。因為介質中的 $\epsilon = \epsilon' - j\epsilon'' = \epsilon'(1 - j \tan \delta)$ ， ϵ 是複介電常數、 ϵ' 就是所謂的介電常數 (ϵ_r)、而 $\tan \delta$ 就是正切損失 (Loss-tangent) [21]。

4.1.1 不同層數 PCB 與回授電容對 Colpitts 電路之模擬

Fig. 4-1 是說明 Colpitts 電路在 2 層 PCB 中，來模擬在不同的回授電容 (C_1 及 C_2) 的電容值對 Colpitts 電路輸入端的 S_{11} 相位，在 S_{11} 相位在 -180° 時決定 Colpitts 電路最大振盪頻率，模擬時將 PCB 之介電常數設為 4.02 以及正切損失設為 0.025，模擬 Colpitts 電路的電源是 5 伏特 (Voltage, V)，模擬 Colpitts 電路的頻率範圍從 1 MHz~500 MHz，在模擬 Colpitts 電路時，回授電容是使用達方 (Darfon) 公司所提供的 68pF、82pF 以及 100pF 的電容之 S 參數，是一量測實際電容。在 Fig. 4-1 中可看出 2 層 PCB 之 Colpitts 電路與不同電容值的回授電容所模擬的輸入阻抗之 S_{11} 相位，隨著頻率的增加而使 Colpitts 電路的輸入端之 S_{11} 相位慢慢趨近 -180° ，同時也由此來決定 Colpitts 電路搭配回授電容的最大可振盪範圍，也可以從式子 (2.34) 的虛部可得知 Colpitts 電路的輸入阻抗相位是一負值。Colpitts 電路所模擬之回授電容的電容值分別為 68pF、82pF 以及 100pF 時，所模擬的 Colpitts 電路最大可振盪頻率，也是 Colpitts 電路之 S_{11} 相位為 -180° 時之頻率約為 270 MHz、298MHz 以及 325 MHz，超過此頻率便轉態為正的相位。因為 Colpitts 電路的輸入端之 S_{11} 相位在 -180° 之頻率要越大越好，所以 2 層 PCB 之 Colpitts 電路搭配回授電容為 68pF 時，所模擬的 Colpitts 電路的輸入 S_{11} 相位為 -180° 時的頻率比其他回授電容為 82pF 以及 100pF 來的高。

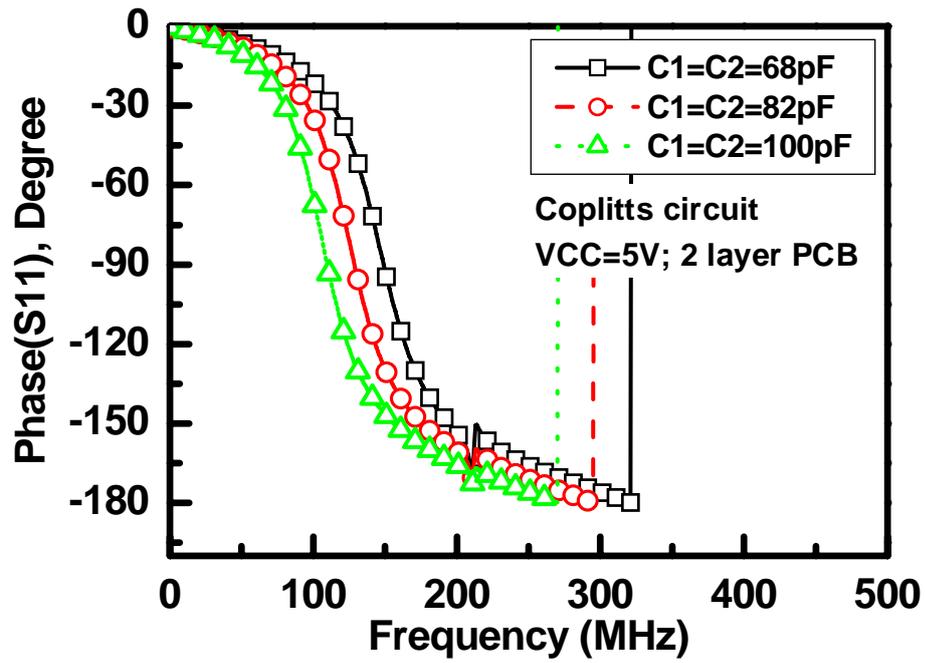


Fig. 4-1 模擬 2 層 PCB 之 Colpitts 電路搭配回授電容為 68pF、82pF 以及 100pF 之 S11 相位圖。



在模擬完不同回授電容的電容值對於 2 層 PCB 搭配 Colpitts 電路之 S11 相位，接著要模擬不同回授電容的電容值對於 4 層 PCB 搭配 Colpitts 電路之 S11 相位，藉以探討在回授電容的電容值及 Colpitts 電路都相同的情況下，來比較 2 層 PCB 與 4 層 PCB 對於 Colpitts 電路的差異。Fig. 4-2 是說明模擬 4 層 PCB 的 Colpitts 電路搭配不同回授電容的電容值，Colpitts 電路的電源是 5V，其 4 層 PCB 的參數為介電常數 4.02 以及正切損失 0.025，回授電容分別為 68pF、82pF 以及 100pF，並模擬 Colpitts 電路的輸入阻抗之 S11 相位，模擬的頻率範圍為 1 MHz~500 MHz。由 Fig. 4-2 可以看出，當模擬 4 層 PCB 搭配達方 (Darfon) 公司所提供回授電容的 S 參數，回授電容的電容值為 68pF、82pF 以及 100pF 時，模擬 Colpitts 電路的輸入端的 S11 相位會隨著頻率的增加，而使 Colpitts 電路的輸入端之 S11 相位慢慢趨近 -180° ，也可以從式子 (2.34) 的虛部可得知 Colpitts 電路的輸入阻抗相位是一負值。同時也由此來決定 Colpitts 電路搭配回授電容的最大可振盪範圍。Colpitts 電路所模擬之回授電容的電容值分別為 68pF、82pF 以及 100pF 時，對 Colpitts 電路最大可振盪頻率，也就是 Colpitts 電路之 S11 相位為 -180° 時之頻率約為 350 MHz、380MHz 以及 410 MHz，超過此頻率便轉態為正的相位。因為 Colpitts 電路的輸入阻抗之 S11 相位在 -180° 之頻率要越大越好，所以 4 層 PCB 之 Colpitts 電路搭配回授電容為 68pF 時，所模擬的 Colpitts 電路之輸入端的 S11 相位為 -180° 時的頻率比其他回授電容為 82pF 以及 100pF 來的高。

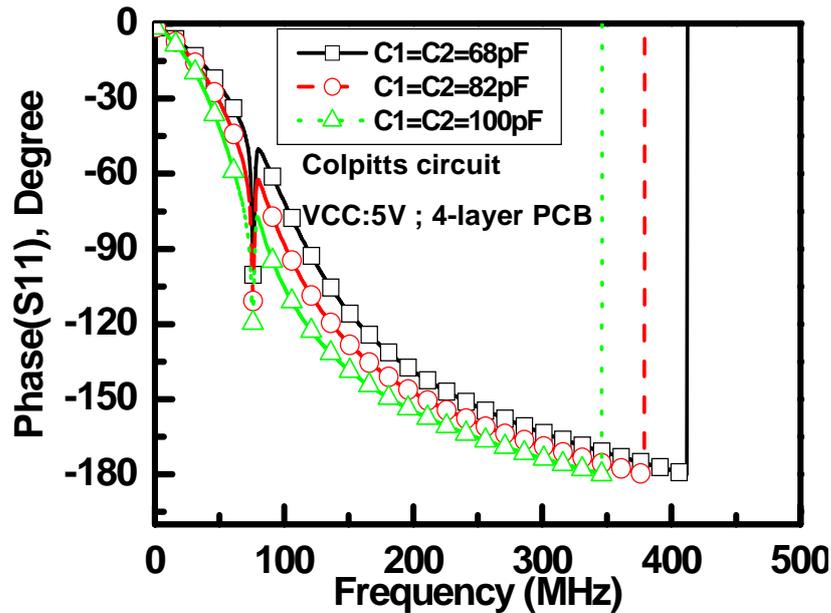


Fig. 4-2 模擬 4 層 PCB 之 Colpitts 電路搭配回授電容為 68pF、82pF 以及 100pF 之 S11 相位圖。

因為不論是將 2 層 PCB 與 4 層 PCB 之 Colpitts 電路在回授電容的電容值為 68pF 時，Colpitts 電路所模擬出來的輸入阻抗之 S11 相位都優於其他回授電容的電容值。所以將 Fig. 4-1 及 Fig. 4-2 中，回授電容為 68pF 在 2 層 PCB 與 4 層 PCB 時，來模擬 Colpitts 電路的輸入端之 S11 相位，整理在 Table 4-1。Table 4-1 是整理 Fig. 4-1 及 Fig. 4-2 而得，並說明 2 層 PCB 與 4 層 PCB 在回授電容為 68pF、82pF 以及 100pF、模擬 Colpitts 電路的電源是 5V、4 層 PCB 的參數為介電常數 4.02 以及正切損失 0.025 以及模擬之頻率範圍是 1 MHz~500 MHz，所模擬 Colpitts 電路的輸入端之 S11 相位為 -180° 時的頻率。在 2 層 PCB 的 Colpitts 電路，回授電容分別為 68pF、82pF 以及 100pF 所模擬的 Colpitts 電路之 S11 相位在 -180° 時的頻率是 270 MHz、298 MHz 以及 325 MHz；然而在 4 層 PCB 的 Colpitts 電路，回授電容分別為 68pF、82pF 以及 100pF 所模擬的 Colpitts 電路之 S11 相位在 -180° 時的頻率是 350 MHz、380 MHz 以及 410 MHz，並整理成 Table 4-1，從 Table 4-1 可以看出 4 層 PCB 的 Colpitts 電路中的回授電容，不論是 68pF、82pF 或是 100pF，所模擬出來的 Colpitts 電路輸入端之 S11 相位為 -180° 時，模擬出來的頻率都高於 2 層 PCB 的 Colpitts 電

路在回授電容為 68pF、82pF 以及 100pF 時的輸入端之 S11 相位 S11 相位為 180° 的頻率。

Table 4-1 2 層 PCB 與 4 層 PCB 在回授電容為 68pF 時，模擬 Colpitts 電路的輸入端之 S11 為 -180° 時頻率。

C1=C2	2-layers Colpitts 電路			4-layer Colpitts 電路		
	68pF	82pF	100pF	68pF	82pF	100pF
S11@-180°	325 MHz	298 MHz	270 MHz	410 MHz	380 MHz	350 MHz

Fig. 4-3 是將 Fig. 4-2 及 Table. 4-1 所整理的圖表，分別模擬 VCO 電路中不同的回授電容(C1、C2)的電容值，在 2 層及 4 層 PCB 之 Colpitts 電路的 S11 在 -180° 之頻率，做一整理，可發現不論是 2 層或是 4 層 PCB 下所模擬的回授電容值越小時，S11 在 -180° 之頻率越大。但因為這論文實驗是要在 200 MHz~300 MHz 做一 VCO 振盪頻率之範圍，故並沒有將電容值往下調降並做一模擬。

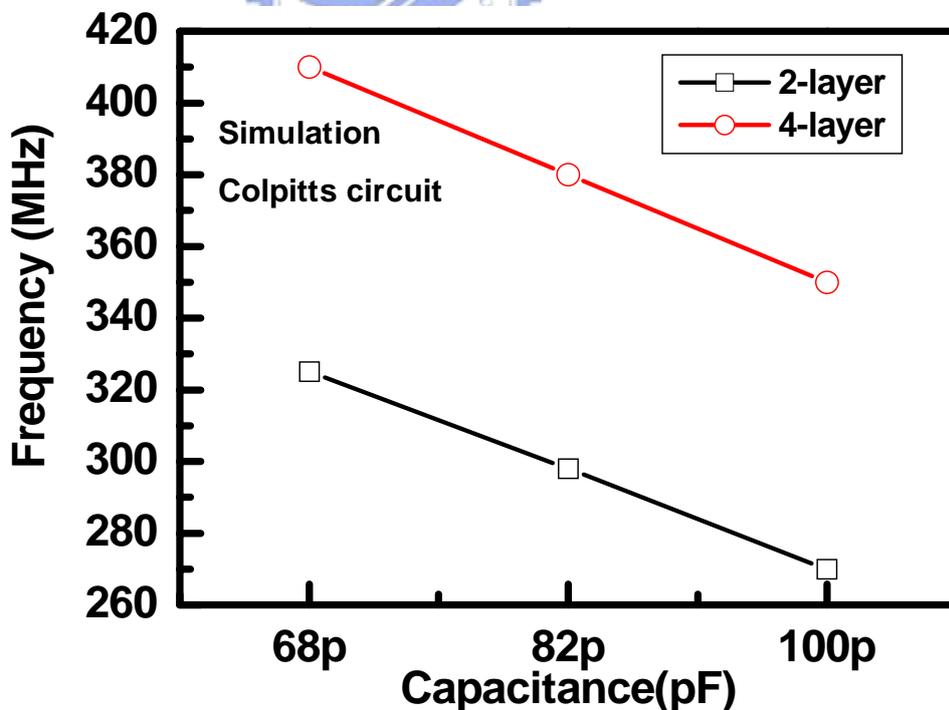


Fig. 4-3 Colpitts 電路的不同回授電容的電容值，在 2 層及 4 層板所模擬 S11 相位在 -180° 時的頻率圖。

4.1.2 PCB 之參數對 Colpitts 電路模擬影響

在上一章節可知，在回授電容（C1、C2）為 68pF 時，可以得到 4 層 PCB 之 Colpitts 電路輸入端的 S11 相位為 -180° 之頻率高於 2 層 PCB 的 Colpitts 電路之回授電容為 68pF 之組合。又因為我們知道 FR4 的介電常數（Er）是會隨著頻率上升而下降，據廠商所提供的 FR4 的介電常數以及正切損失（Loss-Tangent）；其介電常數（Er）從 1 MHz 到數 GHz 時，大約是 4.5 到 3.6 之間，而正切損失（Loss-Tangent）為 0.02 到 0.03 範圍。因為我們已知 4 層 PCB 的 Colpitts 電路以及其回授電容（C1、C2）為 68pF 時，比其他的情況下的 Colpitts 電路輸入端之 S11 相位為 -180° 之頻率要來的高，並在這個章節來討論以下之情況：使用信真(Sigrity)公司的 PowerSI 軟體來萃取(Extract)在不同 PCB 不同的介電常數與正切損失下之 S 參數，並在相同 Colpitts 電路與元件下，用 ADS2005A 模擬軟體來模擬 Colpitts 電路輸入端之 S11 相位。PCB 依照介電常數(Er)及正切損失(Loss-tangent)的搭配，共有 8 種組合來調整 PCB 的介電常數及正切損失參數，如 Table 4-2。將 Table 4-2 裡的介電常數與正切損失的 8 個情況分別在信真(Sigrity)公司的 PowerSI 軟體裡去取出所需的 PCB 的 S 參數。所要模擬的 Colpitts 電路之回授電容為 68pF、電源為 5V 以及模擬的頻率從 1 MHz~500 MHz，所使用的軟體是 ADS2005A，並進行 Colpitts 電路的 S11 相位之模擬。

Table 4-2 模擬 Colpitts 電路中 4 層 PCB 之參數分類表

4 Layer PCB-layout of Colpitts-circuit								
Er	3.6	3.6	3.6	4.02	4.2	4.5	4.5	4.5
Loss Tangent	0.02	0.025	0.03	0.025	0.025	0.02	0.025	0.03

在 Fig. 4-4 是說明 4 層 PCB 在介電常數（Er）與正切損失（Loss-tangent, Lt）所搭配的 8 種情況下，Colpitts 電路的電源為 5V、Colpitts 電路的回授電容均為達方（Darfon）公司所提供電容為 68pF 之 S 參數，所要模擬的是 Colpitts 電路的輸入端之 S11 相位。由 Fig. 4-4 可以看出 PCB 的介電常數（Er）和正切損失

(Loss-tangent) 分別在 3.6~4.5 以及 0.02~0.03 情形下，模擬 Colpitts 電路的輸入端之 S11 相位會隨頻率的增加而趨向 -180° ，當 S11 相位在 -180° 時所對應的頻率為 410 MHz，可以發現 Colpitts 電路的 S11 相位都不會因為介電常數以及正切損失在一合理範圍下而有太大的改變，因為其頻率並不是太高，而是在數百 MHz 之下。

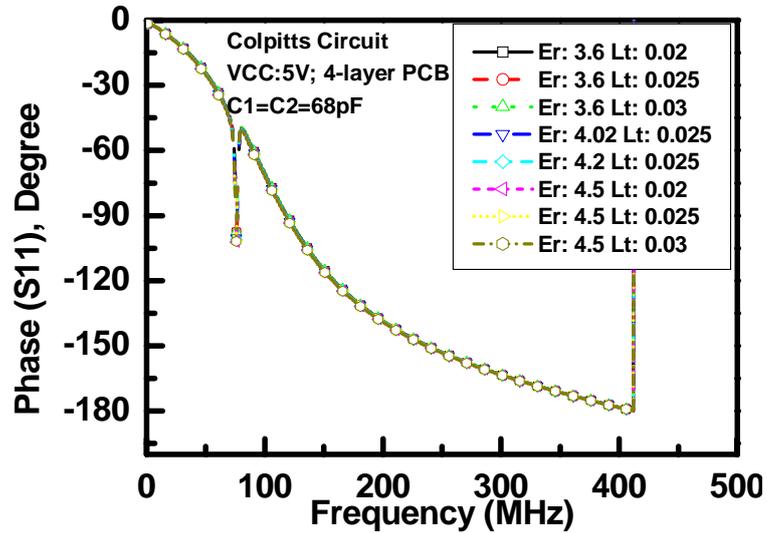


Fig. 4-4 4 層 PCB 的 Colpitts 電路搭配不同 PCB 的參數，所模擬 Colpitts 電路輸入端之 S11 相位圖。



4.2 Colpitts 電路之量測

因為在這論文實驗所用的可變電容是用於數百 MHz，也因為從上一小節 Colpitts 電路搭配不同的回授電容的電容值，可得到適當 Colpitts 電路的最大可振盪頻率，也就是要模擬完 2 層 PCB 與 4 層 PCB 的 Colpitts 電路搭配不同的回授電容的 S11 相位。接著就是將實際的 2 層及 4 層 PCB 的 Colpitts 電路做出來，以便來量測 2 層 PCB 與 4 層 PCB 之 Colpitts 電路搭配不同的回授電容的電容值時，量測實際的 Colpitts 電路之輸入端的 S11 以及 S11 相位。

所以 Table 4-3 是分成好幾個情況來討論，回授電容 (C1 及 C2) 分別在 2 層及 4 層 PCB 對應到 68pF、82pF 及 100pF，如下表所示：

Table 4-3 Colpitts 電路之回授電容在 2 層 PCB 與 4 層 PCB 之分類表

	C ₁ (pF)	C ₂ (pF)	PCB Layers
2L68p	68	68	2
2L82p	82	82	2
2L100p	100	100	2
4L68p	68	68	4
4L82p	82	82	4
4L100p	100	100	4

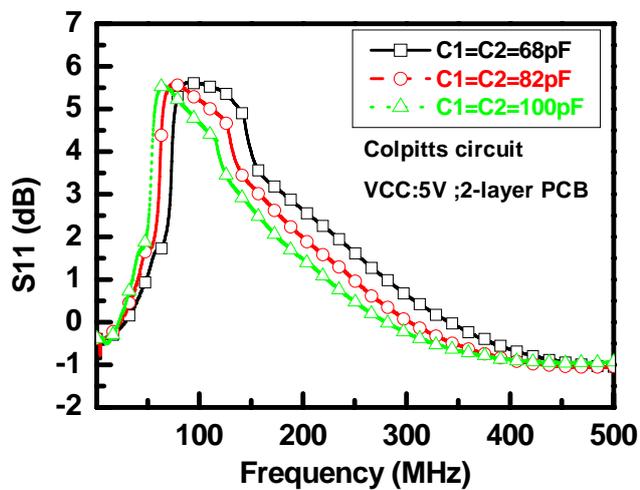
這個章節將 Colpitts 電路的 C₁、C₂ 及 PCB 分成數個情況分別是 2L68p、2L82p、2L100p、4L68p、4L82p 及 4L100p。Fig. 4-5 是說明 2 層 PCB 的 Colpitts 電路之 S11 以及 S11 相位，其所量測的情況為 2L68p、2L82p 及 2L100p，所量測的頻率範圍為 300KHz 到 500MHz，Colpitts 電路的電源為 5V。Colpitts 電路輸入端的 S11 以及 S11 相位，如 Fig. 4-5，在此需先知道 S11 就是一般所稱的回授損失 (Return Loss)，

$$S_{11} = -20 \log \left(\frac{1-\Gamma}{1+\Gamma} \right), \quad \Gamma = \frac{Z_{in} - Z_p}{Z_{in} + Z_p}, \quad \Gamma \text{ 是反射係數，也就是網路分析儀對於 Colpitts}$$

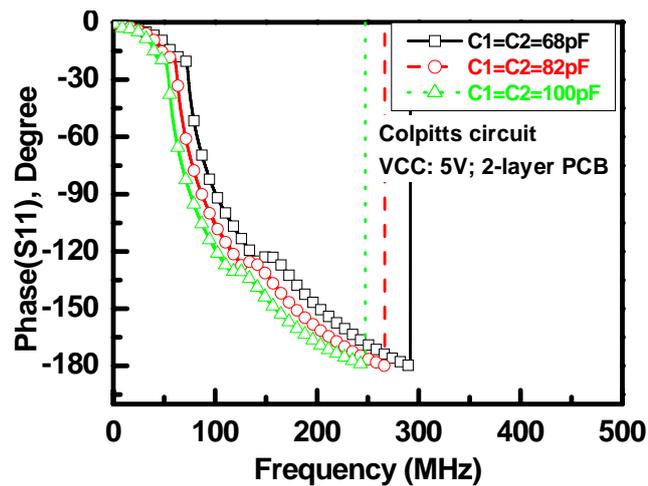
電路之間的反射係數； Z_{in} 是Colpitts電路之輸入阻抗，而 Z_p 是Colpitts電路之輸入阻抗之前的阻抗，也就是網路分析儀的特性阻抗 50 Ohm。因為 Z_p 是網路分析儀的特性阻抗 50 Ohm為一正值，若S11 大於 0，則可知 Z_{in} 是一負值，也就是負阻抗。產生負阻抗是為了在VCO電路可以跟LC-tank電路的正阻抗抵消，進而讓VCO電路的振幅不會慢慢變小，以致於使VCO電路輸出消失。在Fig. 4-6(a)中，在 2L68p的情況下，其S11 最大所對應到的頻率比 2L82p及 2L100p要來的高。在此三種情況下所分別對應到Colpitts電路輸入端的S11 以及頻率為S11=5.6dB @87.39MHz (2L68p)、S11=5.597dB @76.16MHz (2L82p) 以及 S11=5.53dB @64.62MHz (2L100p)，在超過此頻率後，因為實際電容裡的寄生電感效應比電容的效應慢慢變大，使得S11 的正值變小。在Fig. 4-5 (a) 可以得知此三種情形都是可以令Colpitts電路輸入端的S11 大於 0。然而若是要看 2L68p、2L82p及 2L100p 此三種情況的S11 的的相位如Fig. 4-5 (b) 所示。其Colpitts電路輸入端的S11 相位為-180°時，所對應的頻率分別為 291.7MHz (2L68p)、266.7MHz (2L82p) 以及 246.4MHz (2L100p)。在此也可以看出在 2L68p情形下所量到的S11 相位為-180°時，所對應的頻率比 2L82p以及 2L100p情形來的大，可以從 (2.94) 式的虛部得知。

Fig. 4-6 是說明 4 層 PCB 的 Colpitts 電路之 S11 以及 S11 相位，其所量測的情況為 4L68p、4L82p 及 4L100p，所量測的頻率範圍為 300KHz 到 500MHz，Colpitts 電路的電源為 5V。Colpitts 電路輸入端的 S11 以及 S11 相位是展示在 Fig. 4-6。從 Fig. 5-9 (a) 可看出 4L68p 的最大 S11 對應到的頻率比 4L82p 及 4L100p 情況下要來的大；其所分別對應的最大 S11 值以及頻率為 S11=5.47dB @94.87MHz (4L68p)、S11=6.242dB @86.14MHz (4L82p) 以及 S11=5.399dB @66.49MHz (4L100p)，在超過此頻率後，因為實際電容裡的寄生電感效應比電容的效應慢慢變大，使得 S11 的正值變小。由此可看出在此三種情況下 S11 都大於 0。針對 4L68p、4L82p 及 4L100p 情形下，Colpitts 電路的 S11 相位是展示於 Fig. 4-6 (b)。從 Fig. 4-6 (b) 可以看出此 4L68p 情形 Colpitts 電路輸入端的 S11 相位為-180°時，

所對應到的頻率分別為 321MHz (4L68p)、298.2MHz (4L82p) 以及 293.9MHz (4L100p)。4L68p 所量到的 Colpitts 電路輸入端的 S11 相位為 -180° 時，所對應到的頻率比 4L82p 以及 4L100p 要來的大。從 Fig. 4-5 以及 Fig. 4-6 都可以看出 4 層 PCB 的 Colpitts 電路的輸入端的 S11 及 S11 相位都比 2 層板 PCB 要來的好。並在前述得知 S11 的式子，在 Fig. 4-5 (a) 及 Fig. 4-6 (a) 的 S11 在低頻約十幾 MHz 時，S11 開始越來越大，是因為電容性比電感性來得強，隨著頻率的增加，電感性比電容性來的強，便漸漸地失去負阻抗的能力，到最後便使得 S11 小於 0。

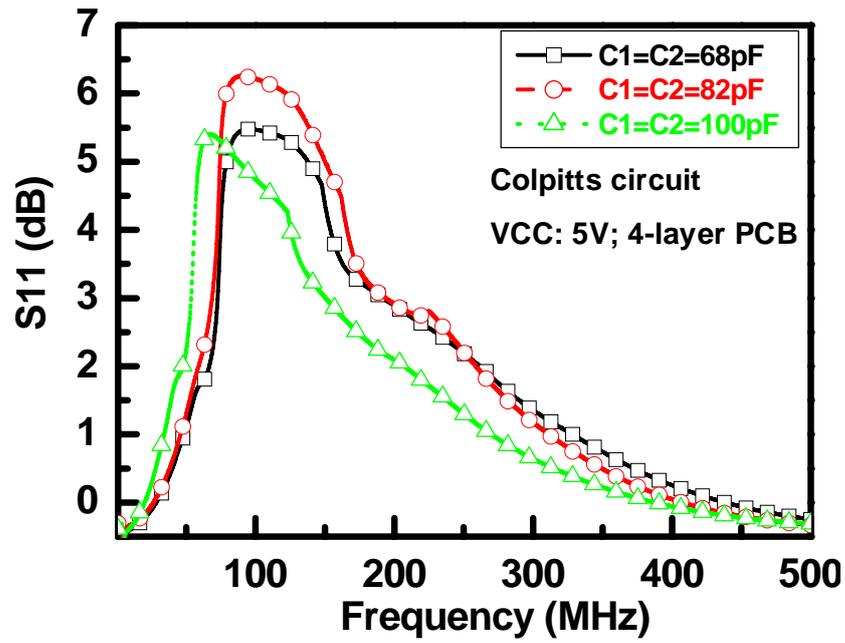


(a)

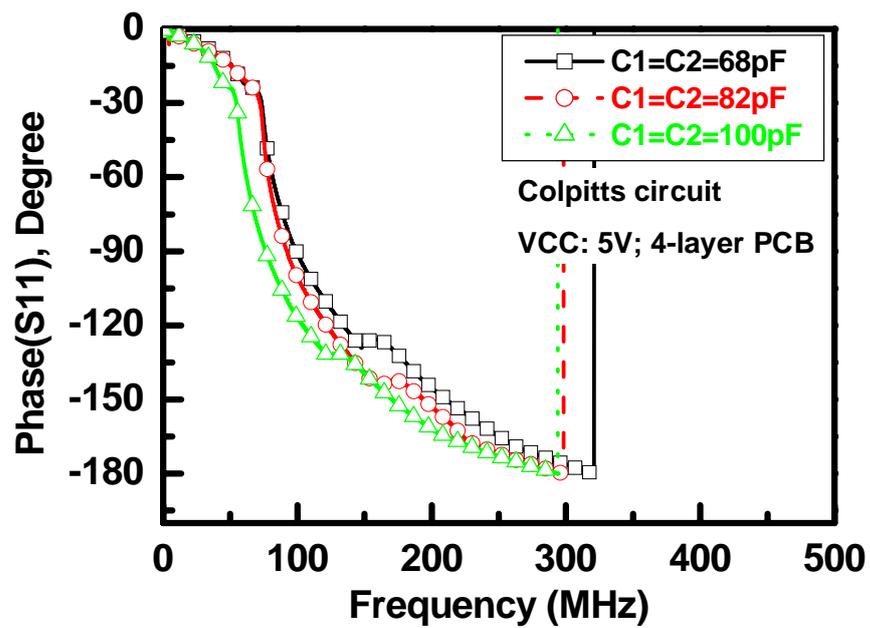


(b)

Fig. 4-5 量測 2 層 PCB 的 Colpitts 電路，在 2L68p-2L82p 以及 2L100p 情況 (a) S11 (b) S11 相位。



(a)



(b)

Fig. 4-6 量測 4 層 PCB 的 Colpitts 電路，在 4L68p、4L82p 以及 4L100p 情況 (a) S11 (b) S11 相位。

我們可以從 Fig. 4-5 以及 Fig. 4-6, 整理出最大 S11 值對應的頻率、最大的 S11 值以及 S11 在 -180° 時對應的頻率, 如 Table 4-4 所示:

Table 4-4 Colpitts 電路在 2L68p、2L82p、2L100p、4L68p、4L82p 以及 4L100p 情況下所量的最大 S11 值及所對應的頻率、S11 相位為 -180° 時所對應的頻率之整理表。

	Maximum frequency of S11	maximum S11	Frequency @ -180° for S11
2L68p	87.39MHz	5.607dB	291.7MHz
2L82p	76.16MHz	5.597dB	266.7MHz
2L100p	64.62MHz	5.53dB	246.4MHz
4L68p	94.87MHz	5.475dB	321.0MHz
4L82p	86.14MHz	6.242dB	298.2MHz
4L100p	66.49MHz	5.399dB	293.9MHz

從 Table 4-4 可看出 4L68P 在 S11、負阻抗及 S11 相位比 4L82p、4L100p、2L68p、2L82p 以及 2L100p 來的優越。

4.3 量測可變電容之 C-V 曲線

在量測完實際Colpitts電路輸入端的S11 以及S11 相位等，接下來便是量測VCO電路中另一個LC-tank電路中的可變電容。在本論文實驗所使用的可變電容有 2種：一種是Al/HfO₂/Si電容；另外一種是飛利浦（Philips）所提供可變電容為BB135型號的P-N接面電容。可變電容有兩種，一種是Al/HfO₂/Si電容，其結構是MIS (Metal Insulator Silicon)、直徑為 350um，而HfO₂厚度是 20nm，另一種P-N接面電容的面積為 280x280 (um²)。所使用的Keithley-590 型號之儀器只能用 100 KHz來對Al/HfO₂/Si以及飛利浦(Philips) 提供的可變電容為BB135 型號的P-N接面電容量測 2 種可變電容的C-V特性曲線，量測條件為Al/HfO₂/Si可變電容所量測的電壓從-10V~+10V，因為P-N接面電容（BB135）是使用在逆偏電壓區，所量測的電壓從0V~+10V，分別量測 2 種可變電容之電容值對應到偏壓電壓曲線如Fig. 4-7。

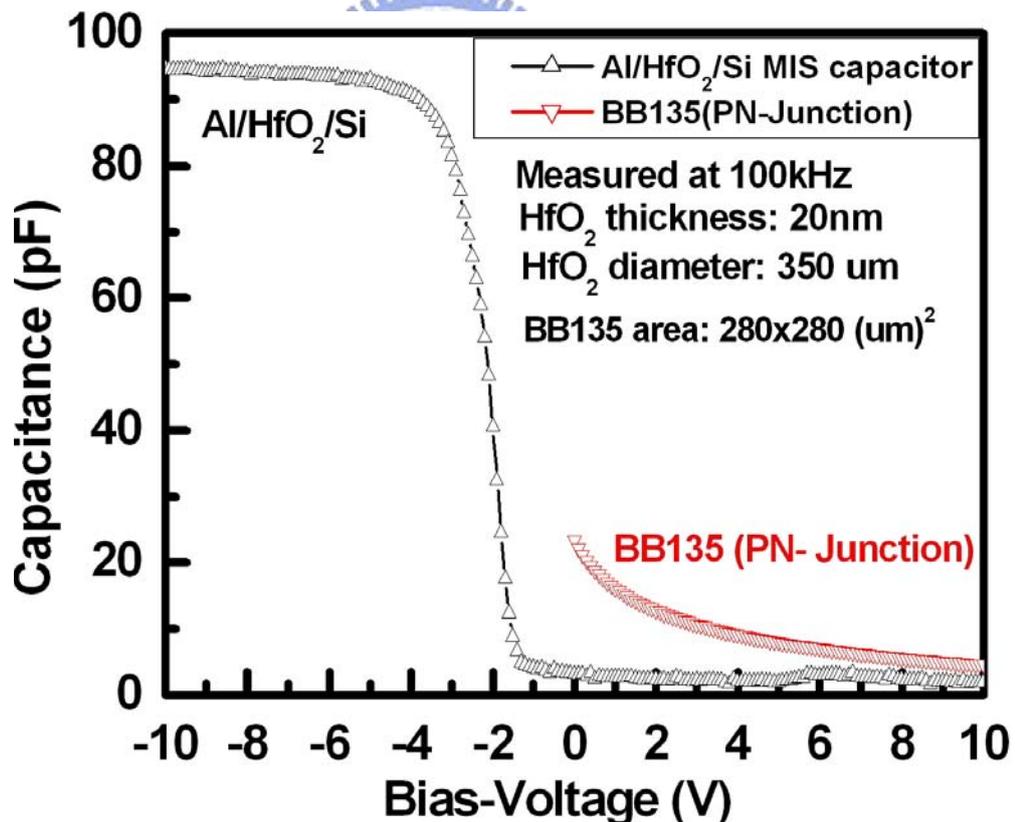


Fig. 4-7 在 100 kHz下分別量測Al/HfO₂/Si電容以及型號為BB135之P-N接面電容的C-V曲線圖。

由Fig. 4-7 可看出Al/HfO₂/Si的C-V曲線確實是有三種操作情況：分別是堆積區域（Accumulation region）、空乏區域（Depletion region）以及反轉區域（Inversion region），分別在第二章的 2.6 節提到此一變化。但因為飛利浦(Philips)所提供的型號為BB135 是P-N接面電容，如果是順偏的情形會造成洩逸電流過大，所以要操作在逆偏條件，使其作用在逆偏情形下所量測之電容值。Al/HfO₂/Si以及P-N接面之可變電容分別是在-10V到+10V以及 0V到+10V所量測到電容值對應到其所偏壓電壓所作的曲線圖，如Fig. 4-7。雖然我們知道在此三種操作情形下要視材料、製程而定。但Fig. 4-7 中Al/HfO₂/Si 可看出在Accumulation區間，其偏壓電壓為-10V到-4V，所量測到的電容值都維持在 94.7pF附近，接近一定值。那是因為半導體之中的HfO₂—在半導體界面處衍生出一層電洞堆積層，跨壓MIS電容器結構上的電壓有一細小微變化改變將會造成金屬電極上的電荷，以及電洞堆積的電荷的一個微改變。如同平行板電容器一般，電荷密度的微改變是發生在HfO₂的邊緣處，可參考第二章 2.6 節。然而Al/HfO₂/Si操作在Depletion情況下，其偏壓電壓為-4V到-2V，所測量到的電容值分別為 94.7pF以及 5.9pF，呈現一個電容劇烈下降的趨勢。其原因為半導體之中衍生出一個空間電荷區域，整個元件的電荷分佈，其HfO₂電容及空乏區電容是互相串聯的。跨降在電容器上的電壓，其一個細小微改變將會造成空間電荷寬度的一個微改變，可參考第二章 2.6 節。Al/HfO₂/Si操作在Inversion情況下，其偏壓電壓為-2V到+10V，其所量測到的電容值都在 5.9pF到 2.9pF之間。雖然我們知道在理想的狀況之下，跨降在Al/HfO₂/Si電容器之上的電壓，其一個微增量改變將會造成反轉層電荷密度的一個微改變。但空間電荷的寬度並不會改變。但因為頻率的效應關係，使得Al/HfO₂/Si電容器在Inversion操作情況並不會跟Accumulation操作情況一樣，其所量測到的電容值跟Depletion操作情況之空間電荷寬度達到最大時之電容值維持差不多，可參考第二章 2.6 節。然而飛利浦(Philips)所提供的型號為BB135 之P-N接面電容僅能操作在逆偏電壓下才可量測到電容值；偏壓電壓由 0V到+10V，量測的頻率為 100KHz，其所量到的電容值由 23.3 pF隨著偏壓電壓的增加而下降至 4.96 pF。再來比較這兩個可變電容，Al/HfO₂/Si以及

型號為BB135 之P-N接面電容其所能調變的比例(C_{Max} / C_{Min})分別為 49.8 及 4.7。由此可知Al/HfO₂/Si在電容調變的比例比型號為BB135 之P-N接面電容要來的大。也是Al/HfO₂/Si可變電容希望使用在此電容調變範圍大的偏壓電壓來用作VCO的元件之一。

然而Fig. 4-8 是Al/HfO₂/Si以及型號為BB135 之P-N接面電容單位電容值對應的偏壓電壓，而Al/HfO₂/Si的直徑為 350um，而HfO₂厚度是 0.02um。由Fig. 4-8 可看出在Al/HfO₂/Si的上下電極不可顛倒，由上電極至下電極的電壓定義為正，如此可知在負電壓範圍為-4 V~0 V，可看出其單位電容值有明顯地變化，在偏壓為-10V~-4V與-2V~10V都維持近一單位電容值，分別約 9.8~9.5 [F/(cm)²]及 0.3~0.2 [F/(cm)²]。然而在偏壓電壓為-4V~-2V其單位電容值大約從 9.3 [F/(cm)²]及 0.3 [F/(cm)²]，是一個單位電容劇烈變化的電場區域。而Fig. 4-9 是由飛利浦(Philips)廠商所提供的電容值對應其偏壓電壓，量測的頻率是 1MHz；所呈現的數值與用 Keithley-590 型號的儀器所量測到的值相似。

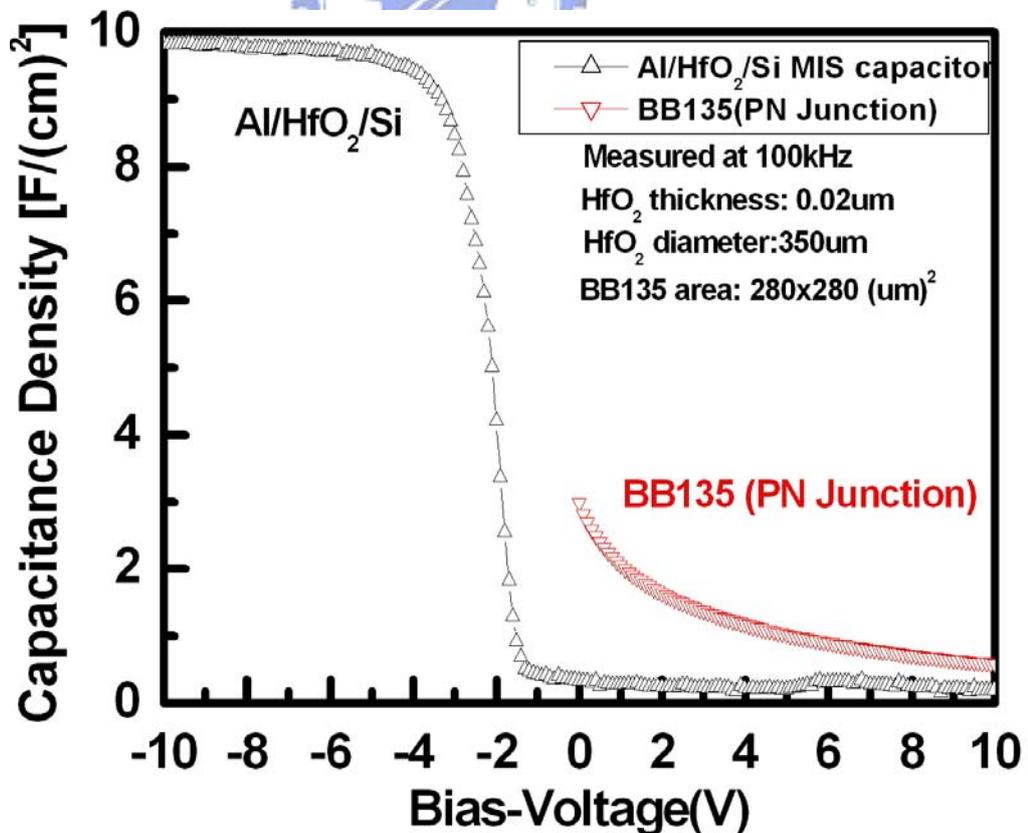
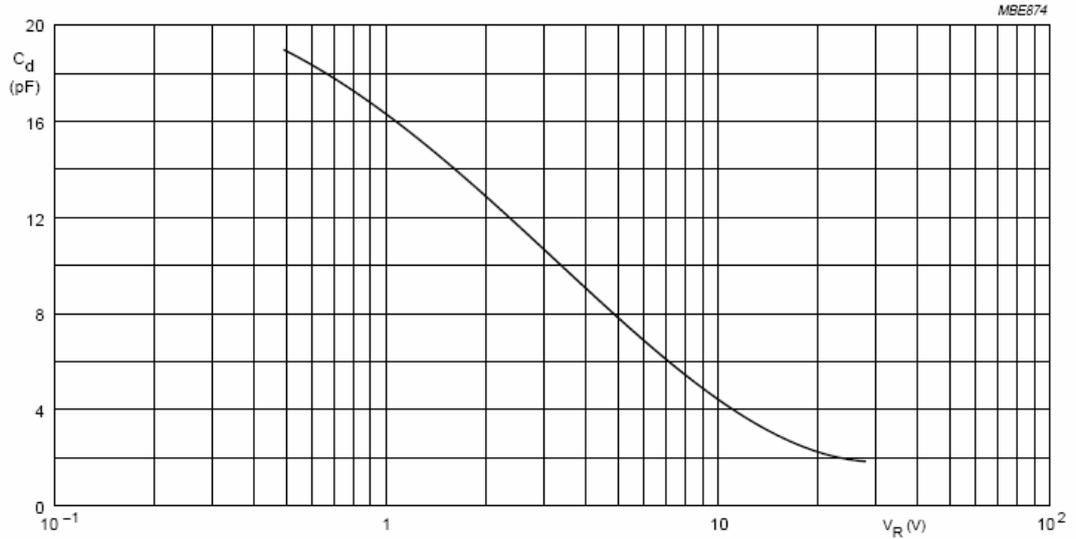


Fig. 4-8 Al/HfO₂/Si and BB135(P-N junction)之單位面積電容與偏壓電壓圖。



$f = 1 \text{ MHz}; T_j = 25 \text{ }^\circ\text{C}.$

Fig. 4-9 用 1 MHz 來量測在逆偏作用區之 P-N 接面電容 (BB135, Philips) 的電容與偏壓電壓圖。

4.4 量測 VCO 電路

在將 Colpitts 電路與 LC-tank 電路中可變電容都做一詳細量測，接下來便是將 Colpitts 電路與 LC-tank 組合為一 VCO 電路 (Voltage Controlled Oscillator)，並做 VCO 電路的量測。關於 VCO 電路的量測有很多項目，其中以 VCO 隨著偏壓電壓而改變的輸出頻率、輸出功率、消耗功率以及 VCO 的相位雜訊 (Phase-Noise) 等。在這個章節中，所用的 VCO 是由以下幾種所組成的：Colpitts 電路、PCB 是用 4 層板、回授電容 (C_1 及 C_2) 為 68pF，VCO 的電源是 5V 以及 LC-tank 電路中的可變電容分別是 Al/HfO₂/Si 以及飛力普 (Philips) 所提供的 BB135 型號 P-N 接面電容。所以將分為幾個小節分別討論不同的可變電容在相同的電路及板材所表現前述所提之 VCO 電路的特性。

4.4.1 VCO 電路之輸出功率

在這一個章節，主要是用Agilent-E5052A儀器來量測Colpitts型態之VCO電路的輸出功率。因此將在LC-tank電路中的Al/HfO₂/Si浮接電容以及型號為BB135之P-N接面電容的可變電容，分別量測VCO電路輸出功率對應其LC-tank電路的調變電壓，調變電壓範圍為-4V~2V，如Fig. 4-10所示。在可變電容是型號為BB135之P-N接面電容時，可看出VCO電路輸出功率會隨偏壓電壓的增加而下降，其偏壓電壓為0V跟1.8V分別所對應的輸出功率為-23.7dBmW及-36.7dBmW，至於為何輸出功率會降低是因為所操作的頻率越靠近S11為-180°以及Colpitts電路的S11在超過94.87 MHz以後，便會隨著頻率的增加而減少，也就是負阻抗越來越小以至於VCO電路越來越不穩定，可參考Fig. 4-6。因為從Fig. 4-7可知Al/HfO₂/Si浮接電容的Depletion電壓範圍為-4V~0V，所以可變電容為Al/HfO₂/Si浮接電容時，但VCO輸出功率並不隨偏壓電壓增加而有所改變，大約是-37.7dBmW。所以在VCO電路搭配型號為BB135之P-N接面的可變電容的輸出功率比Al/HfO₂/Si可變電容要來的大。

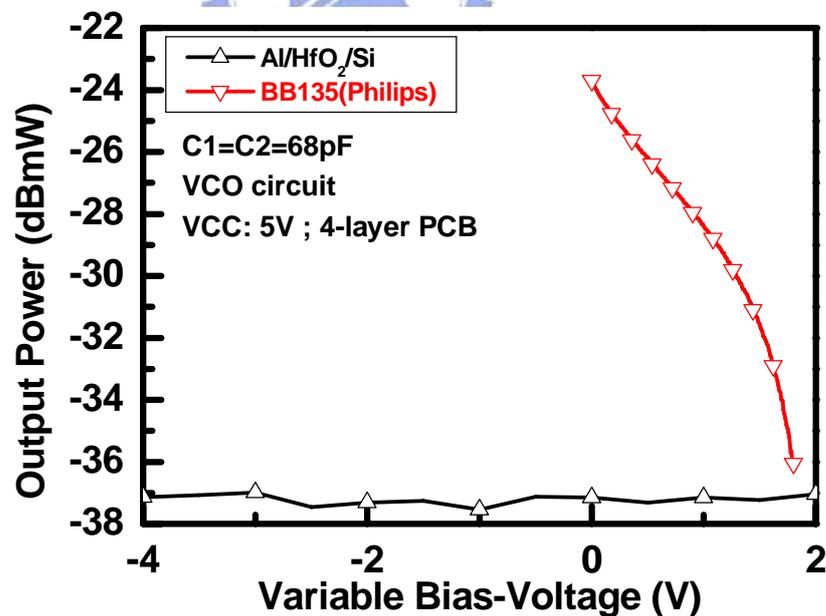


Fig. 4-10 使用 4 層 PCB、回授電容為 68pF 及電源為 5V 之 VCO 電路，並分別量測可變電容為 Al/HfO₂/Si 和型號為 BB135 之 P-N 接面電容的 VCO 電路之輸出功率。

4.4.2 VCO 電路電源損耗

因為功率的損耗 (Power Consumption) 會影響產品在電池狀態下所使用的時間，也會使產品產生熱，而熱會使得VCO電路的振盪頻率較易發生大的偏移相位，也會增加VCO電路的電源電流。所以必須要量測其VCO所產生的功率損耗。Colpitts型態的VCO電路搭配Al/HfO₂/Si電容以及型號為BB135的P-N接面電容來量測其電源損耗，如Fig. 4-11。當可變電容為Al/HfO₂/Si，因為從Fig. 4-7可知Al/HfO₂/Si浮接電容的Depletion電壓範圍為-4 V~0 V，所量測VCO的電源損耗大約為 66.9mW。然而可變電容為BB135之P-N接面電容時，其VCO電路的電源損耗比可變電容為Al/HfO₂/Si時要來的小，大約 65.6~66.2mW。

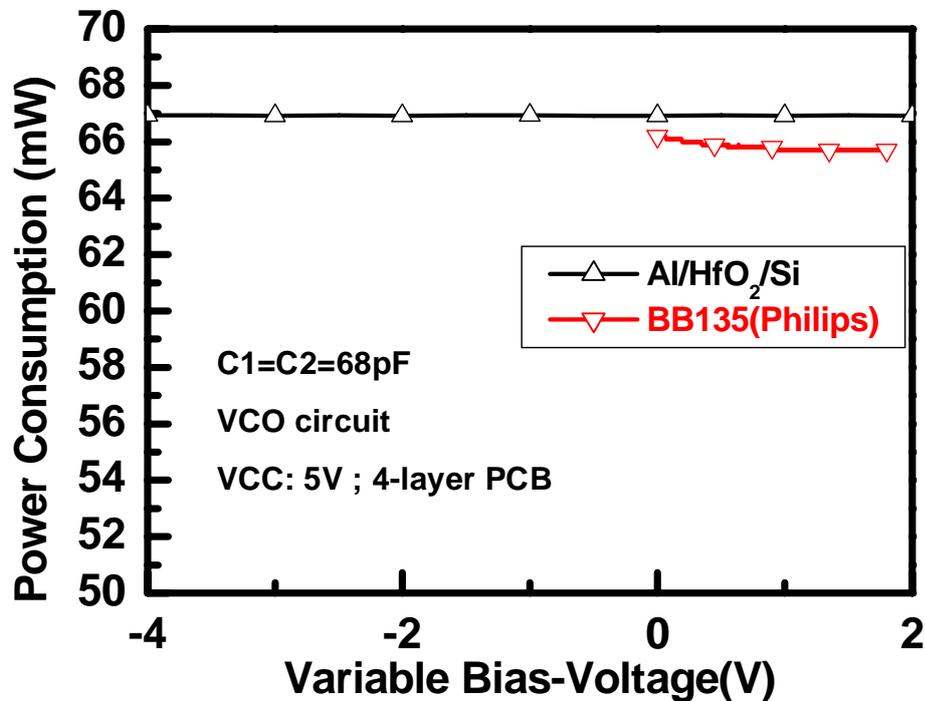


Fig. 4-11 使用 4 層PCB、回授電容為 68pF 以及電源為 5V 之VCO電路，並分別量測可變電容為Al/HfO₂/Si 和型號為BB135之P-N接面電容的VCO電路之電源損耗。

4.4.3 VCO 電路輸出的相位雜訊

在第二章所提到的ISF (Impulse Sensitivity Function) 以及相位雜訊分別是在討論VCO在時域及頻域的穩定度。而VCO電路在頻域所表現出來的穩定度，可用其相位雜訊來表示其VCO電路的相位偏移程度大小，這也是當VCO電路在PLL (Phase Locked Loop) 電路中所扮演的角色好壞。雖然相位雜訊在第二章的 2.3.5 節有探討其來源，但大都是用量測的方式來進行，所以在這一章節是用 Agilent-E5052A儀器來量測VCO電路分別搭配Al/HfO₂/Si浮接電容及型號為BB135之P-N接面電容時的相位雜訊，其VCO電路是Colpitts型態、電源是5V以及回授電容 (C1、C2) 為68pF。從Fig. 4-12並可說明，分別量測VCO電路中所使用的可變電容分別為Al/HfO₂/Si及BB135的相位雜訊，可變電容之調變電壓為0V、量測的偏移之頻率範圍為10 KHz~10 MHz時，VCO電路所振盪之頻率分別為243 MHz以及288 MHz。由Fig. 4-12是分別量測VCO電路的2種可變電容為Al/HfO₂/Si以及P-N接面電容時，搭配Al/HfO₂/Si的可變電容之VCO振盪頻率為243MHz，在偏移頻率為1MHz所量到的相位雜訊為-121.32 dBc/Hz，量測的偏移頻率從10 KHz~1 MHz都是平緩往下遞減是一個1/f²的範圍，超過1 MHz的偏移頻率便是1/f的範圍，f是VCO電路振盪之頻率，可參考2.3.5 章節；當VCO電路中的可變電容為型號BB135之P-N接面電容時，調變電壓為0V時之VCO電路振盪頻率為288MHz，在偏移頻率為1MHz所量到的相位雜訊為-127.09dBc/Hz量測的偏移頻率從10 KHz~1 MHz都是平緩往下遞減是一個1/f²的範圍，超過1 MHz的偏移頻率便是1/f的範圍 [22, 23]，從第二章的Fig. 2-7 通用相位雜訊 (General phase-noise) 不難看出Fig. 4-12 是有互相對應的。

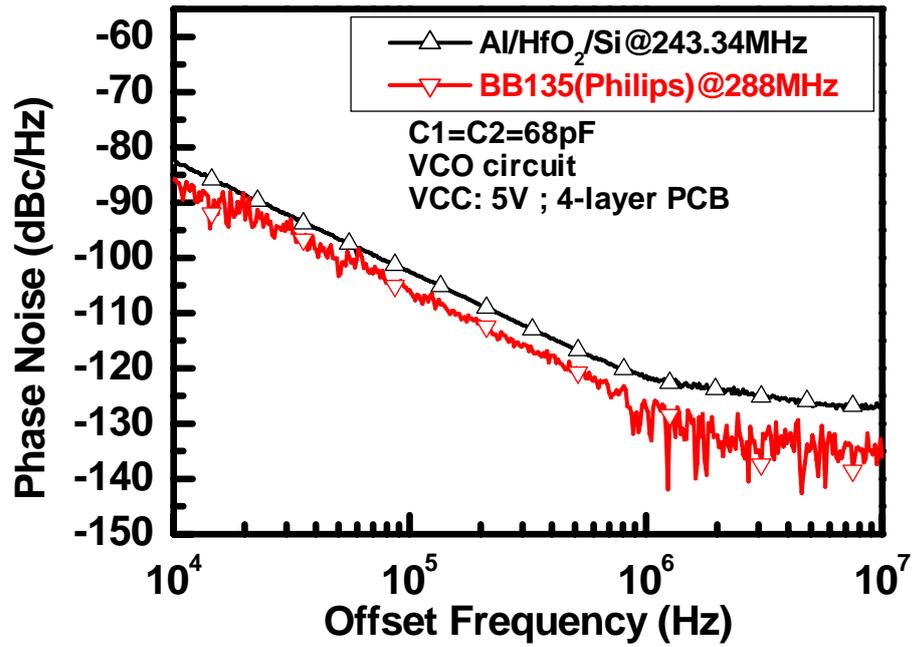
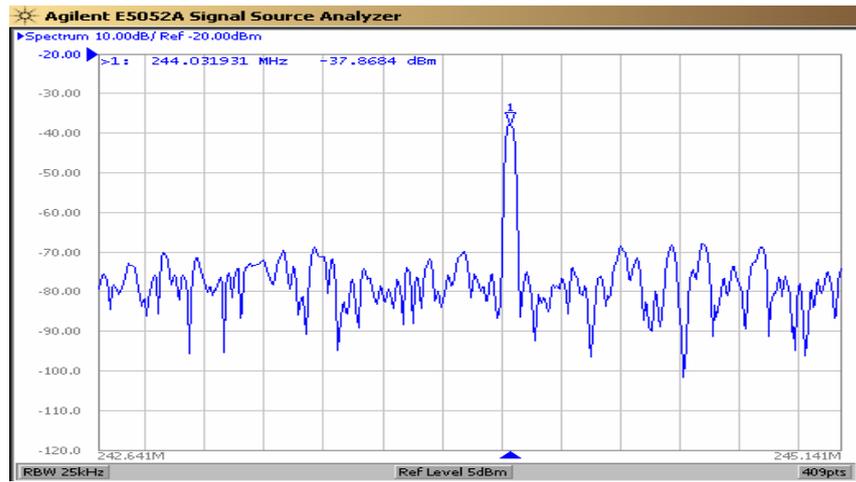


Fig. 4-12 使用 4 層 PCB、回授電容為 68pF、調變電壓為 0V 以及電源為 5V 之 VCO 電路，並分別量測可變電容為 Al/HfO₂/Si 和型號為 BB135 之 P-N 接面電容的 VCO 電路之相位雜訊。

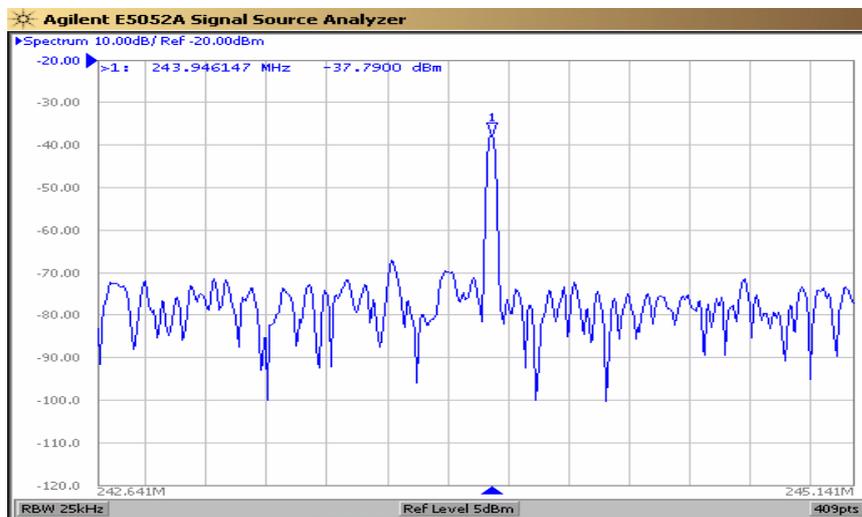


4.4.4 VCO 電路的頻率調變

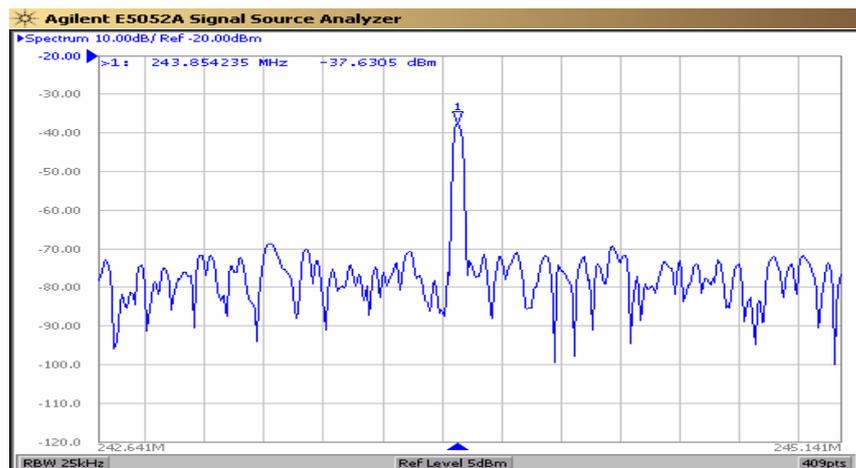
VCO (Voltage Controlled Oscillator) 電路顧名思義就是電壓控制振盪器，所以要量測VCO電路輸出的頻率與調變電壓的關係。量測VCO電路的輸出頻率可用頻譜分析儀 (Spectrum Analyzer) 來量測，也可以使用安捷倫 (Agilent) 的訊號來源分析儀 (Signal Source Analyzer, SSA, 型號為Agilent-E5052A) 及頻譜分析儀 (Spectrum Analyzer, Agilent-E8591E)。因VCO電路輸出的頻率是藉由不同的調變電壓所調控，而此量測環境如Fig. 3-9 以及Fig. 3-10。從章節 4.2 可看出 4 層板、回授電容 (C1, C2) 均為 68pF時，其VCO電路之特性比其他的情況要來的優越，所以在此論文實驗中所使用的VCO電路的條件為 4 層PCB、回授電容 (C1, C2) 均為 68pF以及 5V的電源，VCO電路中的可變電容是Al/HfO₂/Si浮接 (Floating) 電容，Al/HfO₂/Si浮接電容的調變電壓從-10V到+10V，VCO電路的電源是 5V。但因為從Fig. 4-7 可知Al/HfO₂/Si電容在Depletion區域是有調變電容值，所以含有Al/HfO₂/Si浮接電容之VCO電路的輸出頻率以取調變電壓為-4V、-2V以及 0V為輸出頻率為一代表性，並使用訊號來源分析儀 (Signal Source Analyzer, SSA, Agilent-E5052A) 來測量，如Fig. 4-13，從Fig. 4-13 可知量測的圖表，其橫軸是頻率以MHz表示、縱軸是輸出功率以dBm表示。因為飛利浦 (Philips) 所提供型號為BB135 之P-N接面的電容，只能使用其逆向偏壓區，也是使用訊號來源分析儀來測量。



(a)



(b)



(c)

Fig. 4-13 量測Al/HfO₂/Si可變電容之VCO電路，以調變電壓在 (a) -4V (b) -2V (c) 0V 為代表。

將不同的可變電容搭配上相同的VCO電路、板材以及回授電容 (C1, C2) 均為 68pF所量到的振盪頻率以及功率做一整理，如Fig. 4-14。Fig. 4-14 是說明VCO電路輸出的振盪頻率對應其調變電壓，其可變電容分別是Al/HfO₂/Si浮接電容以及型號為BB135的P-N接面電容。由Fig. 4-14可看出當可變電容為Al/HfO₂/Si浮接電容時，其VCO電路之輸出振盪頻率並不隨調變電壓的增加而有所改變，大約在243MHz，並失去隨調變電壓而改變振盪頻率的能力。然而可變電容是型號為BB135之P-N接面電容時，其VCO電路輸出之振盪頻率會隨著調變電壓的增加而增加，但調變電壓超過1.8V時，便不振盪了，那是因為VCO電路中的Colpitts電路輸入端之S11相位接近-180°之頻率約在343MHz。可變電容為型號為BB135之P-N接面電容的調變電壓為0V與1.8V時，其VCO電路所振盪頻率分別為289MHz以及343MHz。如果使型號為BB135之P-N接面的電容之可變電容操作在逆偏-1.8V以上，會使得VCO電路所振盪的頻率操作在不穩定區，可參考Fig. 4-6。其可歸咎於此VCO電路的S11以及S11的相位為-180°所對應的頻率所限制。

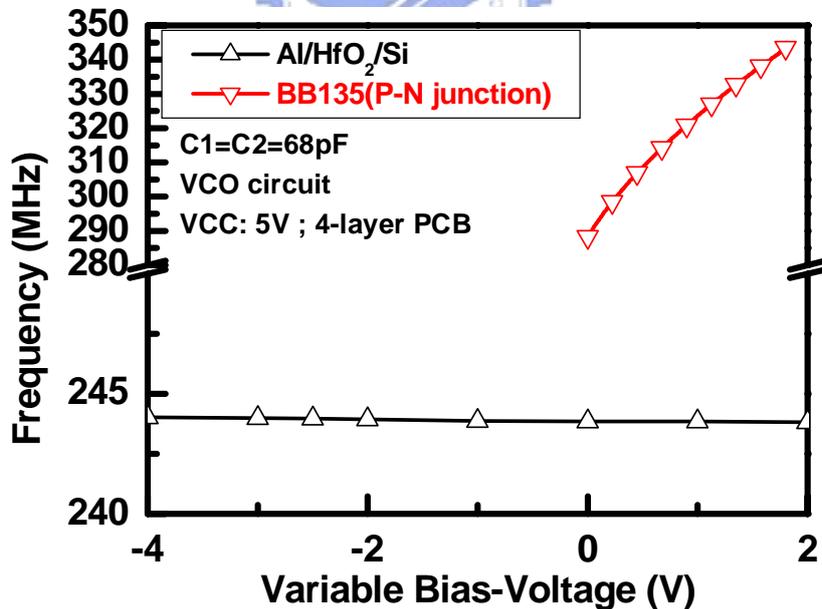


Fig. 4-14 可變電容分別為Al/HfO₂/Si 浮接電容以及型號為BB135的P-N接面電容之 VCO電路，分別量測可變電容在調變電壓範圍為 -4V ~ 0V以及 0V ~ +1.8V時，VCO電路的輸出頻率對應調變電壓。

4.4.5 VCO 電路的品質因子(Figure of Merit, FOM)

每一種的 VCO 電路都有其特性或是其他的用途，所以有許多的 FOM 也因應 VCO 電路不同的用途而產生。通常都會選用式子 (2.14) 來使用決定其 VCO 電路的好壞，因為要挑選耗電小的、相位偏移也要小以及相位雜訊也是要小的 VCO 電路。所使用的是常用的 FOM 式子，如下[24]：

$$FOM(dBF) = -L(offset) + 20\log\left(\frac{f_0}{f_{offset}}\right) - 10\log\left(\frac{P_{diss}}{1mW}\right) \quad (4.1)$$

$L(offset)$ 是該VCO電路在振盪頻率下所量到偏移頻率的相位雜訊用dB表示、 f_0 是振盪頻率、 f_{offset} 是在該振盪頻率的偏移頻率以及 P_{diss} 是該VCO電路的功率損耗用 mW表示。在此實驗所用的VCO電路是搭配Al/HfO₂/Si以及型號為BB135 之P-N接面的可變電容，VCO電路的電源為 5V在量測VCO的相位雜訊所使用的儀器是 Agilent-E5052A 訊號來源分析儀 (Signal Source Analyzer, SSA)。當我們想要比較VCO是否有低耗電、低的相位偏移以及低的相位雜訊的時候。我們可以用式子(4.1) 輕易地表現出Colpitts型態的VCO電路搭配不同的可變電容，分別為浮接 (Floating) 型式的Al/HfO₂/Si及型號為BB135P-N接面電容在 1MHz偏移下的相位偏移、振盪頻率及耗電來分別計算其FOM。所需的資訊可從Fig. 4-10、Fig. 4-11、以及Fig. 4-12 得知，並與其他所做的做一整理如Table 4-5：

Table 4-5 VCO 的效能比較表。

Ref	f_0 [GHz]	Tuning Range	VDD [V]	P_{diss} [mW]	L{1MHz} [dBc/Hz]	FOM [dBc/Hz]	Technology, Var. type
[24]	3.065~5.612	58.7% (1.4V)	1V	3	-120.8	185.6	0.13um SOI CMOS, AMOS
[25]	4.2~5.05	18% (2.5V)	2.5V	14	-114	176.6	0.25um CMOS, AMOS
[26]	5.87~4.73	21.5% (4V)	2V	4	-106	173.96	0.25um CMOS
[27]	1.8~2.45	16.8% (1.5V)	2V	2	-125	187.6	0.35um CMOS, AMOS
[28]	5.51~6.53	26.5% (4V)	1.5V	18	-98.4	161.82	0.35um CMOS, No var
[29]	4.4~5.9	29.12% (0.8V)	0.8V	1.2	-109.65	183.65	0.18um CMOS, IMOS
This work	0.29~0.343	16.7% (1.8V)	5V	66	-127.9	170	NE68519 BJT p-n junction
	0.243	0% (4V)	5V	67	-120.32	163	NE68519 BJT Al/HfO ₂ /Si



由 Table 4-5 VCO 的效能比較表，可看出這一次所做的 VCO 所搭配 Al/HfO₂/Si 電容並沒有頻率調變的效果，但是搭配 p-n 介面的 diode 有 290 MHz ~ 243 MHz 的頻率調變量。也可以從 Table 4-5 得知此次所做的 VCO 的相位雜訊比其他的 VCO 要來的小，約在 -120 dBc/Hz，並與其他的 VCO 做 FOM 的比較，大致上都還算是不錯，約在 163 與 170。

4.5 Al/HfO₂/Si 浮接電容之驗證

因為在 Fig. 4-14 可得知 Al/HfO₂/Si 浮接電容在 VCO 電路中並沒有隨調變電壓而改變 VCO 電路之振盪頻率，並且因為 Keithley-590 型號之儀器只能用 100KHz，所以在考慮要使用頻率比較高來量測的情形下，要量測 Al/HfO₂/Si 浮接電容在一段頻率範圍下的特性，可以使用網路分析儀來量測。

4.5.1 網路分析儀量測Al/HfO₂/Si浮接電容過程

在使用網路分析儀來量測待測物 (Device Under Test, DUT) 的S參數前，要做一校驗 (Calibration) 動作，此校驗動作是要去除儀器本身到待測物之間的寄生效應，才會真實的反應待測物的高頻特性，而會因為不同的情況下使用不同的方法來做一校驗。雖然有以下幾種方式可以做網路分析儀在量測前做一校驗動作，如TRL (Through Reflect Line)、LRM (Line Reflect Match)、SOLT (Short Open Load Through) 以及 De-Embedded... 等方式。而量測待測物是使用比較方便的 "De-Embedded" 方式其量測設備環境如Fig. 4-15所示，電源供應器 (Laboratory DC Power Supply, Model: GPC-3060) 並將直流電壓-10V~+10V的調變電壓接在此網路分析儀後端，再經由儀器內部經過連接線 (Cable) 及PCB上的傳輸線來加諸在待測物上，並量測待測物的S參數，所用的網路分析儀型號為羅德史瓦茲 (Rohde & Schwarz) 公司的 Rohde&Schwarz-ZVB8。使用 "De-Embedded" 方式來量測 Al/HfO₂/Si浮接電容 (Floating Capacitor)，其 "De-Embedded" 方式是將已校驗過的埠 (Port) 到待測物之間的傳輸線或是其連接線的效應扣除，就類似治具 (Test Fixture) 並用來做一輔助工具，可參考Fig. 4-16 (a) 所示。在Fig. 4-16 (a) 跟Fig. 4-16 (b) 中所使用的PCB之傳輸線是在2層PCB，板厚為0.55 mm，傳輸線長度為1721 mil，然而為達到RF 50 Ohm的要求，傳輸線的寬度為30 mil，在量測時所用的SMA接頭 (SubMiniature version A，是RF電路中常使用的接頭，頻寬到18 GHz) 是母頭，其內直徑2.5mm。因為待測物的頻率只需要量到1 GHz，所以將傳輸線所要量測的頻率範圍設為1 MHz~1 GHz。Fig. 4-16 (a) 可以看出是含有SMA接頭之2-port的PCB傳輸線，因為網路分析儀接出來的連接線透過SMA接頭，再經由PCB的傳輸線連接到待測物。所以目的是使用 "De-Embedded" 方式之前必須要取得其待測物至埠 (Port) 之間的傳輸線之S參數，也就是要量測2個SMA接頭之間的傳輸線之S參數。將量測到的傳輸線的S參數輸入到網路分析儀，以便使用網路分析儀本身的 "De-Embedded" 功能，這是可以用來去除欲量測待測物所聯接的PCB的傳輸線

效應；Fig. 4-16 (b) 是說明含有SMA接頭之2-port的2條傳輸線分別使用鋁線當成連接線，來接在Al/HfO₂/Si 浮接電容的兩端，並使用俗稱「黑膠」來包覆起來，為了使已經連接的鋁線不易脫落以及不受外力拉扯。將之前量測到的傳輸線之S參數輸入到網路分析儀，來使用網路分析儀本身的"De-Embedded"功能，來扣除欲量測待測物所聯接的PCB的傳輸線效應，以便量測到真實的Al/HfO₂/Si 浮接電容之S參數。

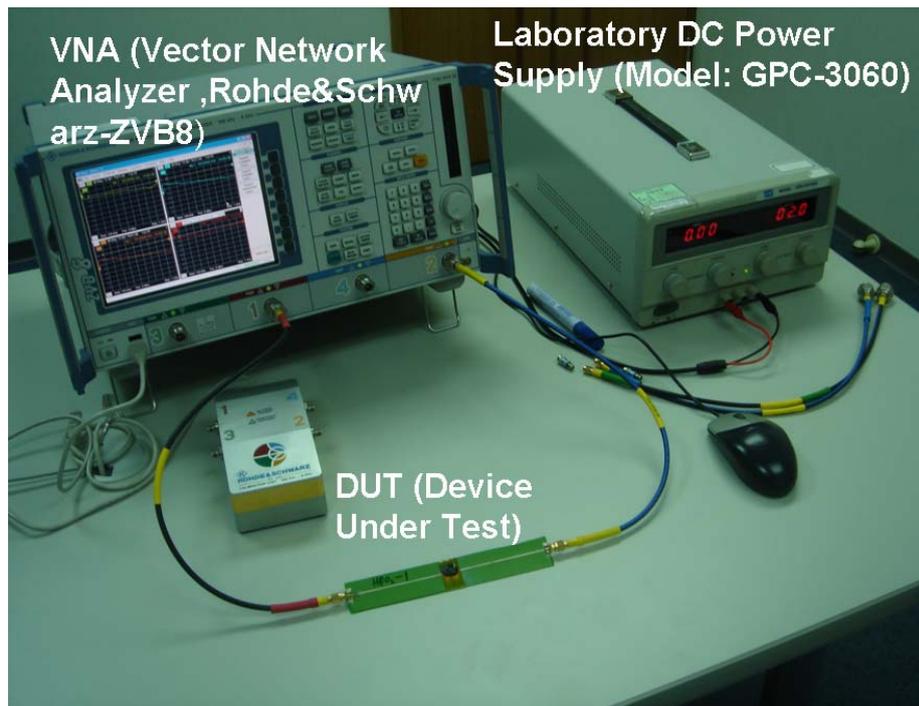
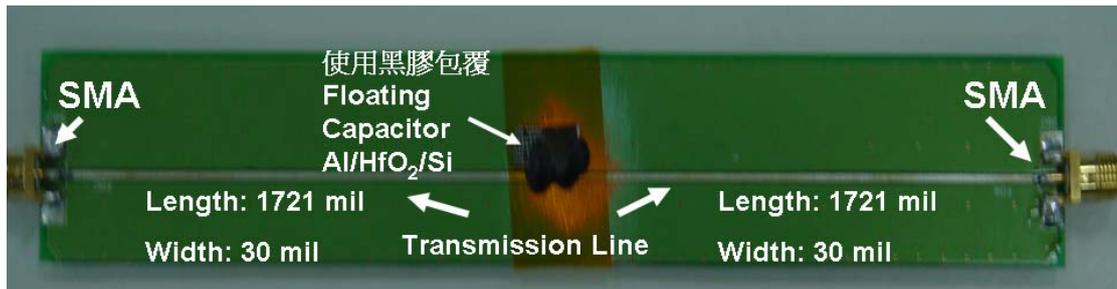


Fig. 4-15 使用網路分析儀 (Vector Network Analyzer, Rohde&Schwarz-ZVB8) 的 "De-Embedded" 方式來量測Al/HfO₂/Si 浮接電容在電壓調變下的S參數之設備環境。



(a)



(b)

Fig. 4-16 (a)含有SMA接頭之 2-port的PCB傳輸線圖 和(b)含有SMA接頭之 2-port的 2 條傳輸線分別接在Al/HfO₂/Si 浮接電容的兩端。

4.5.2 網路分析儀量測Al/HfO₂/Si 浮接電容

除了 5.3 章節所提到量測電容的電容值，另一個方法就是用網路分析儀 (Vector Network Analyzer, VNA) 儀器來量測，其所表示的參數有S參數、Z參數.... 不等的參數表示法。而這一章節正是用 5.5.1 章節所量到的S參數及Z參數來探討 Al/HfO₂/Si浮接 (Floating) 電容，而此Al/HfO₂/Si浮接電容是用VNA的Port1 及Port2 來量測並使用" De-embedded "方法，量測到實際Al/HfO₂/Si浮接電容端點。因為從 Fig. 4-6 得知其可變電容在-4V~-2V的偏壓電壓下電容值有劇烈的改變，而其餘的電壓區域為-10V~-4V以及 0V~+10V的電壓偏壓下所量到的S參數及Z參數分別與 -4V~0V所量到的相似，在此並不多做在-10V~-4V以及 0V~+10V的電壓偏壓所量到的S參數及Z參數的探討。

因為使用網路分析儀來量測待測物，可以得到不同頻率下的參數，所以在此

論文實驗是用 2port 來量測 Al/HfO₂/Si 浮接電容在不同偏壓下的頻率特性。因為 Al/HfO₂/Si 浮接電容是用 VNA 的 Port1 及 Port2 所量測到的，所以要先知道 S 參數的定義：

$$\begin{bmatrix} V_1^- \\ V_2^- \end{bmatrix} = \begin{bmatrix} S11 & S12 \\ S21 & S22 \end{bmatrix} \cdot \begin{bmatrix} V_1^+ \\ V_2^+ \end{bmatrix} ; \text{其中 } V_1^-、V_2^- \text{ 分別是從 Port1 及 Port2 所量到的入射電}$$

壓， $V_1^+、V_2^+$ 分別是從 Port1 及 Port2 所量到的反射電壓， $S11 = \frac{V_1^-}{V_1^+} \Big|_{V_2^+=0}$ 以及

$$S21 = \frac{V_2^-}{V_1^+} \Big|_{V_2^+=0}。$$

以下是 Z 參數的定義：

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z11 & Z12 \\ Z21 & Z22 \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} , V_1 \text{ 及 } V_2 \text{ 分別是 Port1 及 Port2 在待測物端所量到的電壓、}$$

I_1 及 I_2 分別是 port1 及 port2 在待測物端所流進的電流，可以知道 $Z11 = \frac{V_1}{I_1} \Big|_{I_2=0}$ 及

$$Z21 = \frac{V_2}{I_1} \Big|_{I_2=0}。$$

因為從 Fig. 4-7 可以得知 Al/HfO₂/Si 電容在 Depletion 區域之偏壓電壓為 -4V~0V，所以要在這電壓範圍來量測 Al/HfO₂/Si 電容。Fig. 4-17 是說明 Al/HfO₂/Si 浮接電容在 -4 V~0 V 的偏壓電壓所量到的 Z11 相位，量測的頻率範圍從 1 MHz~ 500 MHz，。由 Fig. 4-17 可以看出 Al/HfO₂/Si 浮接電容不論偏壓電壓在 -4 V~ 0 V 時，Al/HfO₂/Si 浮接電容的 Z11 相位在 100 MHz 以下是負的、100 MHz~200 MHz 之間的 Z11 相位是正的、200 MHz~300 MHz 之間的 Z11 相位是負的以及 300 MHz~ 400 MHz 之間的 Z11 相位是正的。並可發現偏壓電壓 -4 V~ 0 V 時，Al/HfO₂/Si 浮接電容的 Z11 相位都是幾乎一樣的。

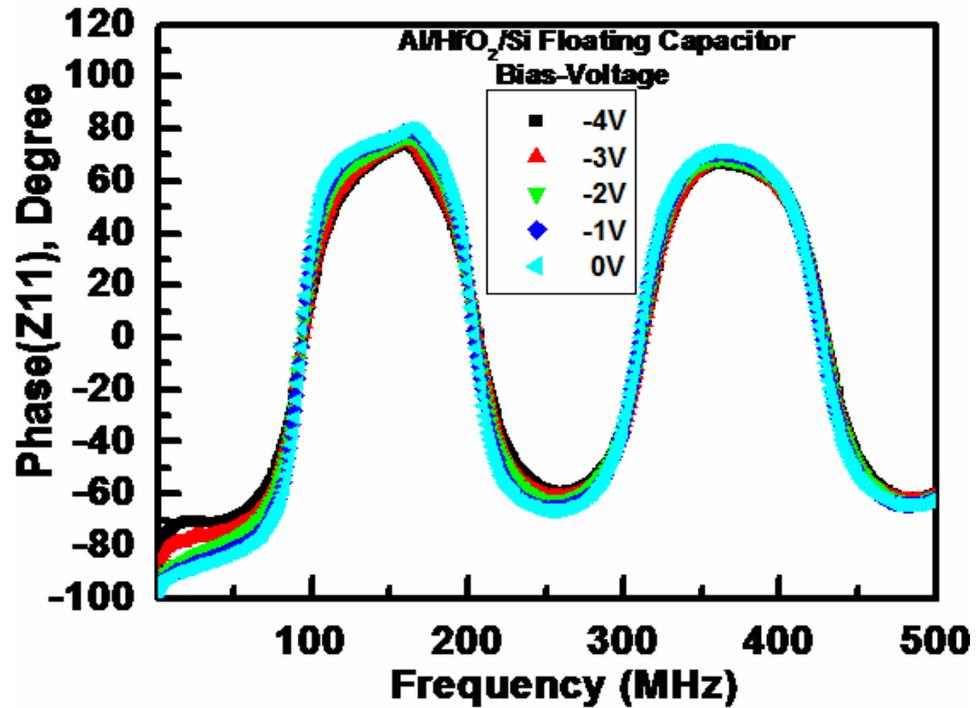


Fig. 4-17 Al/HfO₂/Si浮接電容在偏壓電壓為-4 V~0 V所量到的Z11 相位圖。

Fig. 4-18 是說明Al/HfO₂/Si浮接電容在不同的偏壓電壓下所量到的S11，

$$S_{11} = -20 \log \left(\frac{1-\Gamma}{1+\Gamma} \right), \quad \Gamma = \frac{Z_{in} - Z_p}{Z_{in} + Z_p}$$

電路之間的反射係數； Z_{in} 是Colpitts電路之輸入阻抗，而 Z_p 是Colpitts電路輸入阻

抗之前的阻抗，也就是網路分析儀的特性阻抗 50 Ohm。因為 Z_p 是網路分析儀的

特性阻抗 50 Ohm為一正值。由S11 公式可得知，如果Al/HfO₂/Si浮接電容在不同偏

壓下呈現不同的阻抗，所量到Al/HfO₂/Si浮接電容的S11 是不一樣的。在Fig. 4-18

可以看出Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓下，Al/HfO₂/Si浮接電容的S11 (dB)

在 1 MHz~100 MHz區間有很大的變化；超過 100 MHz以後變化的區間漸漸縮小，

甚至在 300 MHz以後的S11 都很相近。這代表著Al/HfO₂/Si在-4V~0V偏壓下，其所

對應的S11 在 100 MHz以下有劇烈變化，這也就是說明Fig. 4-6 可以看到Al/HfO₂/Si

電容在Depletion region時，Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓下的電容值變化

較劇烈；而在 100 MHz~300 MHz 時，Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓下的

S11 變化較不劇烈，超過 300 MHz已無電容值的變化。

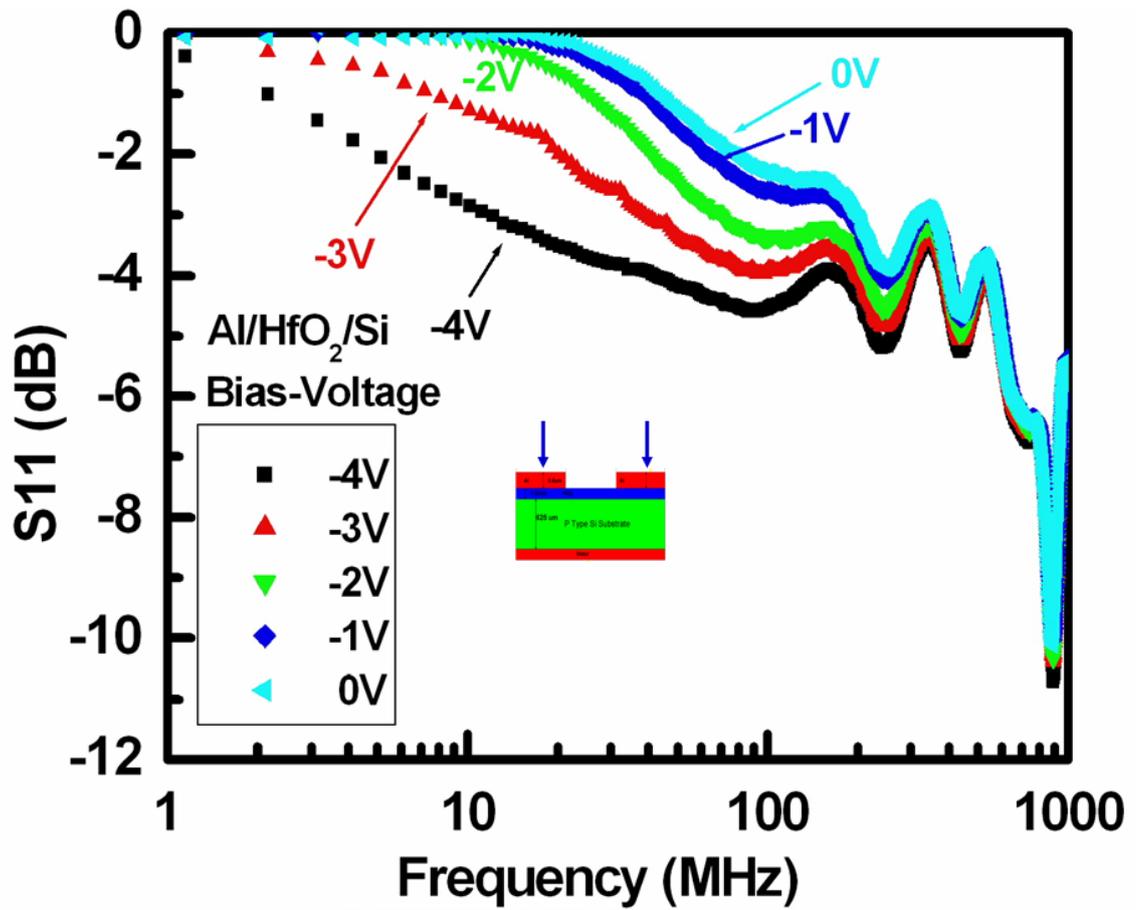


Fig. 4-18 Al/HfO₂/Si浮接電容在偏壓電壓為-4 V~0 V所量到的S11圖。

Fig. 4-19 是說明Al/HfO₂/Si浮接電容在不同的偏壓電壓下所量到的S21圖，由公式可知 $S_{21} = \frac{V_2^-}{V_1^+} \Big|_{V_2^+ = 0}$ ，S21 是從網路分析儀的Port1 量到透射的電壓，從Port2 接收到反射的電壓，S21 是Port1 至Port2 中間的電壓接收能力，若中間的待測物在某一待測頻率下為一阻抗時，則S21 是代表Port1 至Port2 中間的功率接收能力。因為網路分析儀是頻率不斷地發送接收，所以網路分析儀是可以看出待測物在每一個頻率下的特性。若中間的待測物為一電容性待測物時，所量到的S21 會隨頻率而上升，這是因為電容隨頻率的上升，越能夠使得接收功率越多，也就是S21 越大。在 Fig. 4-19 中在 100 MHz以下可看出兩點，第一點：Al/HfO₂/Si在-4 V~0 V偏壓電壓下越往高頻其S21 的相差值越小，越沒有電容值的變化。第二點：若是以電容器用S21 表示，若待測物是一理想的電容器，其S21 會隨著頻率的增加而增加，因為待測物並非一理想的電容性負載，而有寄生電感的產生便會隨頻率增加而增加電感性效應，所以在某一頻率下S21 會在最高點，然後待測物的電感性便慢慢顯現而使得S21 隨頻率增加而降低。所以由Fig. 4-19 看來，Al/HfO₂/Si浮接電容在-4 V~0 V 的偏壓下時，所量到的S21 在 100 MHz以下是有電容值的變化；但隨著頻率的增加其變化率也變小。

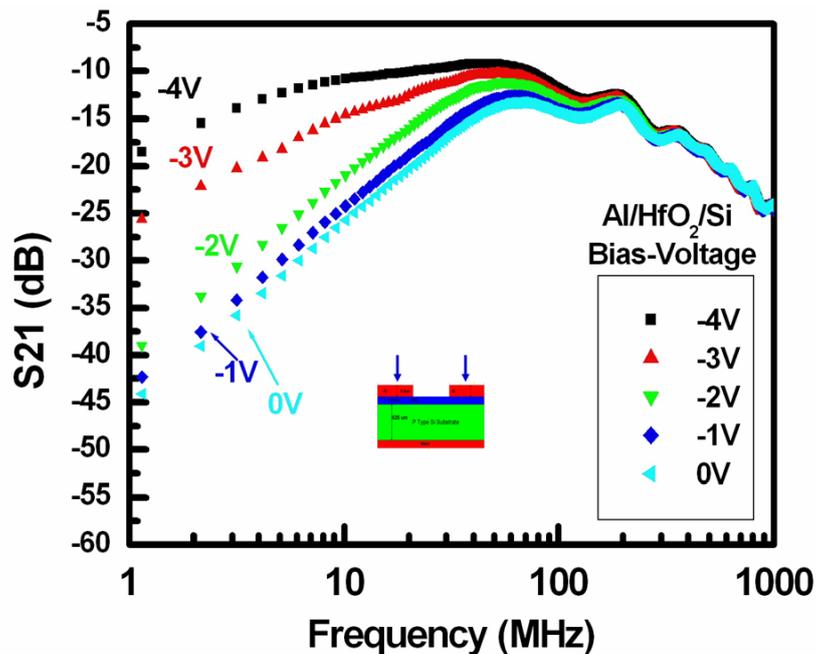


Fig. 4-19 Al/HfO₂/Si浮接電容在偏壓電壓為-4 V~0 V下所量到的S21 圖。

Fig. 4-20 是說明Al/HfO₂/Si浮接電容在不同的偏壓電壓下所量到的Z21圖，由公式可知 $Z_{21} = \frac{V_2}{I_1} \Big|_{I_2=0}$ ，Z21 是從網路分析儀的Port1 流過去的電流，從Port2 接收到電壓，Z21 是Port1 至Port2 中間的阻抗，如果待測物是電容性負載，Z21 會隨頻率的增加而下降，因為待測物並非一理想的電容性負載，而有寄生電感的產生便會隨頻率增加而增加電感性效應，所以在某一頻率下Z21 會在最低點，然後待測物的電感性便慢慢顯現而使得Z21 隨頻率增加而增加。由Fig. 4-20 可看出Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓時，在 100 MHz以下所量到的Al/HfO₂/Si浮接電容之Z21 隨頻率的增加而下降，這是因為在 100 MHz以下Al/HfO₂/Si浮接電容呈現電容性，也只有在電容性時，Z21 才會隨著頻率的增加。由此可知Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓電壓時，所量測到的Z21 在 100 MHz以下是會隨著頻率的增加而下降，其各個偏壓電壓下Z21 隨著頻率的增加而減小Z21 的變化；亦即Al/HfO₂/Si浮接電容在-4 V~0 V的偏壓電壓下時，所量測到的Al/HfO₂/Si浮接電容之Z21 在 100 MHz以下隨著頻率的增加，其電容性也隨之減小。Al/HfO₂/Si浮接電容在在-4 V~0 V的偏壓電壓下時，所量測到的Al/HfO₂/Si浮接電容之Z21 在 100 MHz~200 MHz，其Z21 隨著頻率的增加而呈現電感性的減少，另在 200 MHz~250 MHz其Z21 隨著頻率的增加而減少電容性。值得注意的一點，不論Al/HfO₂/Si浮接電容在偏壓電壓-4V~0V時，所量測到的Al/HfO₂/Si浮接電容在 100 MHz以後之Z21 的值都近似一樣，也就是Al/HfO₂/Si浮接電容在 100MHz之前，Z21 都不隨著電壓的變化而有所改變，失去其隨偏壓電壓而改變的特性。

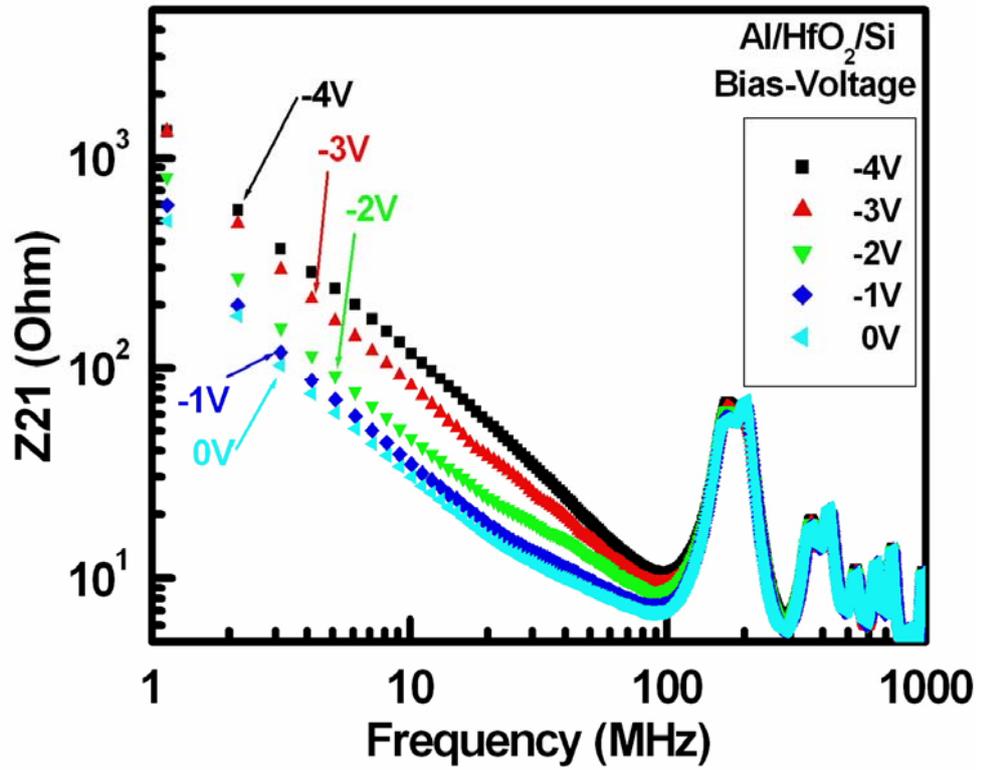


Fig. 4-20 Al/HfO₂/Si浮接電容在偏壓電壓為-4 V~0 V下所量到的Z21 圖。



Chapter 5

Conclusions and future work

這篇論文實驗所量測的VCO電路是使用Colpitts電路型態，在模擬與量測Colpitts電路都可以發現Colpitts電路確實可以提供VCO電路所需的負阻抗。實際在量測2層與4層PCB的Colpitts電路時，在相同的回授電容之電容值下，不論模擬或是實際量測下，4層PCB之Colpitts電路的S11相位為 -180° 所對應的頻率都比2層PCB之Colpitts電路要來的高，所以在實際的VCO電路使用的是4層PCB。在VCO電路中實際使用的可變電容有兩種，一種是飛利浦（Philips）廠商所提供型號為BB135之P-N接面電容，另外一個就是Al/HfO₂/Si浮接電容（Floating Capacitor）。在VCO電路所搭配這兩種不同的可變電容，所使用的VCO電路元件以及佈局（Layout）是一樣的，搭配這兩種不同的可變電容之VCO電路，量測出來的結果除了Al/HfO₂/Si可變電容在VCO電路中輸出的頻率是無法調變外，其餘的輸出功率、耗電流以及相位雜訊的量測上，都與另一個VCO電路中可變電容型號為BB135之P-N接面電容所量測的數據是差不多。雖然在這篇論文所使用的Al/HfO₂/Si浮接電容做為VCO電路中的可變電容，振盪頻率在200MHz以上並沒有發揮其電容調變效果，Al/HfO₂/Si浮接電容在高頻下無法發揮其電壓調變電容效果，這可用網路分析儀所量到的S參數可看出其端倪。因為這篇論文所使用的Al/HfO₂/Si浮接電容之可變電容並無在高頻下調變電壓改變其電容值，推敲有幾種原因：

- 一、這次使用的可變電容型式是浮接電容，旁邊並不像MOS電容般有電荷能快速供給，以至於在高頻下並無電壓調變電容之效果。
- 二、這次製做HfO₂介電層的製程是參考一般常用的製程，可能其製程上並沒有掌控的很好，以至於在高頻下並無電壓調變電容之效果。

因為本論文實驗的Al/HfO₂/Si電容在100 KHz以上之頻率，是無法使用

Keithley-590 型號的儀器來量測電容值，所以使用網路分析儀來量測其S參數並做一分析，希望下次能使用其他方法來驗證此電容在高頻下是否能經由電壓的調變來改變Al/HfO₂/Si電容的電容值。

未來有機會的話，將會做以下幾件事：

- 一、可將MOS中的閘極（Gate）所使用的氧化矽（SiO₂）用HfO₂來取代，因為旁邊有電荷可快速填補，應該有機會在高頻下仍保有電容隨電壓的調變性，將會使用MOS電容的結構方式，如Fig. 5-1。

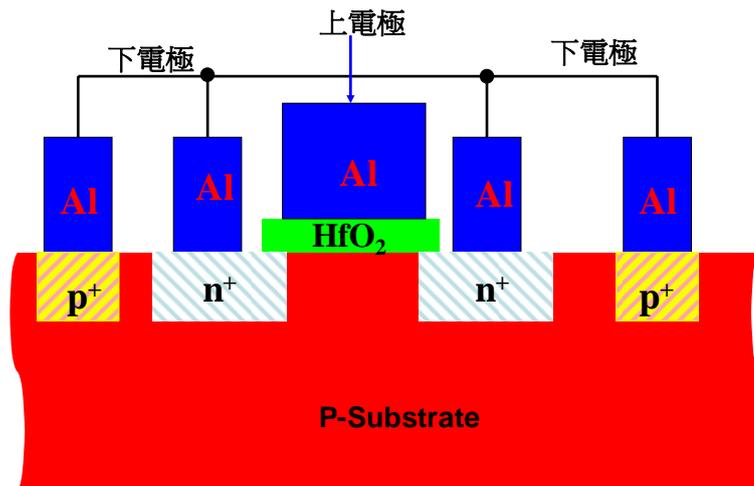


Fig. 5-1 使用 HfO₂ 介電材料來做為 MOS 電容結構的示意圖

- 二、將製作HfO₂過程中做一改變，即是使用直流濺鍍機（DC Sputter）將Hf的靶材用在真空度為 10⁻⁶ 托爾（Torr）的真空腔中鍍在矽（Silicon）上，接著用 800~1000 °C 中迴火（anneal）。

- 三、做一個MIM電容，介質使用的是BaSrTiO₃（Barium Strontium Titanate, BST），因為BST做為介質是可以藉由電壓控制來達到不同的介電常數，進而改變其電容值，其MIM電容結構如Fig. 5-2。

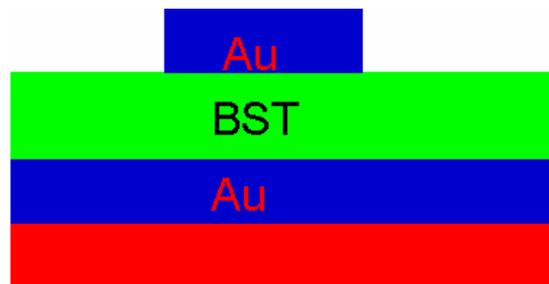


Fig. 5-2 使用 BST 介電材料來做為 MIM 電容結構的示意圖

REFERENCES

- [1] K. Chang, I. Bahl, and V. Nair, RF/Microwave circuit design for wireless application, *New York: Wiley*, 2002.
- [2] C. P. Yue, VCO Design Overview postor, *CMU*, 2002.
- [3] R. J. Weber, Introduction to microwave circuits: radio frequency and design applications, *New York: IEEE Press*, 2001.
- [4] K. Chang, I. Bahl, and V. Nair, RF and microwave circuit and component design for wireless systems, *New York: Wiley*, 2002.
- [5] V. D. George, P. Anthony M, Rohde, and L. Ulrich, Microwave circuit design using linear and nonlinear techniques, *New York: John Wiley & Sons*, 1990.
- [6] 蘇煜仁, 射頻壓控震盪器使用多重靜電驅動電極之微機械式可變電容, *交通大學碩士論文*, 民國 92 年.
- [7] I. Bahl and P. Bhartia, Microwave solid state circuit design, second edition, *New York: Wiley*, 2003.
- [8] M. Odyniec, RF and microwave oscillator design, *Boston: Artech House*, 2002.
- [9] H. Shin, Z. Xu, and M. F. Chang, A 1.8-V 6/9-GHz switchable dual-band quadrature LC VCO in SiGe BiCMOS technology, *IEEE Radio Frequency Integrated Circuits Symposium 2-4*, June 2002, pp.71 – 74.
- [10] C. Y. Wu and C. Y. Yu, A 0.8V 5.9GHz wide tuning range CMOS VCO using inversion-mode bandswitching varactors, *IEEE Radio Frequency Integrated Circuits Symposium Vol. 5*, May 2005, pp.5079 – 5082.

- [11] M. Tiebout, Low-power low-phase-noise differentially tuned quadrature VCO Design in standard CMOS, *IEEE J. Solid-State Circuits*, Vol. 36, July 2001, pp.1018– 1024.
- [12] D. Leenaerts, C. Dijkmans, and M. Thompson, A 0.18 μm CMOS 2.45 GHz, low-power quadrature VCO with 15% tuning range, *IEEE Radio Frequency Integrated Circuits Symposium*, June 2002, pp.67 – 70.
- [13] J. Bhattacharjee, D. Mukherjee, E. Gebara, S. Nuttinck, and J. Laskar, A 5.8 GHz full integrated low-power low-phase-noise LC VCO for wireless application, *IEEE Radio Frequency Integrated Circuits Symposium*, June 2003, pp.295 – 298.
- [14] A. D. Berny, A. M. Niknejad, and R.G. Meyer, A wideband low-phase noise CMOS VCO, *IEEE Custom Integrated Circuits Conf.*, Sept. 2003, pp.555 – 558.
- [15] K. Kwok and H.C. Luong, Ultra-low-voltage high performance CMOS VCOs use transformer feedback, *IEEE J. Solid-State Circuits*, Vol. 40, Mar 2005, pp.652 – 660.
- [16] D. Ham and Hajimiri A, Concepts and methods in optimization of ntegrated LC VCOs, *IEEE J. Solid-State Circuits*, Vol. 36, June 2001, pp.896 – 909.
- [17] P. Andreani and S. Mattisson, On the use of MOS varactors in RF VCO's, *IEEE J. Solid-State Circuits*, June 2000, pp.905 –910.
- [18] F. Svelto, P. Erratico, S. Manzini, and R. Castello, A metal oxide semiconductor Varactor, *IEEE Electron Device Letters*, April 1999, pp.164 –166.

- [19] K. Kano, Semiconductor devices, *Upper Saddle River, N.J. Prentice Hall*, 1998, pp.369 –378.
- [20] M. V. Fischetti, D. Neumayer, E. Cartier, Reduction of the Electron Mobility in High-k MOS systems caused by Remote Scattering with Interfacial Optical Phonons, *IBM*, March, 2003
- [21] D. M. Pozar. Microwave engineering, second edition, *New York: Wiley*, 1998.
- [22] S. Levantino, C. Samori, A. Bonfanti, S. L. J. Gierkink, A. L. Lacaita, and V. Bocuzzi, Frequency dependence on bias current in 5 GHz CMOS VCOs: impact on tuning range and flicker noise upconversion, *IEEE J. Solid-State Circuits*, Vol. 37, August 2002.
- [23] T. H. Lee and A. Hajimiri, Oscillator phase noise: a tutorial, *IEEE J. Solid-State Circuits*, Vol. 35, March 2000, pp.326 –336
- [24] Harale, I. Jacobsson, I. B. Mingquan, I. L. Aspemyr, M. Abdelkarim and C. Geert, Low phase noise sub-1 V supply 12 and 18 GHz VCOs in 90 nm CMOS, *IEEE MTT-S International Microwave Symposium Digest*, June 2006, pp.573 –576.
- [25] Neric H. W. Fong, J. O. Plouchart, N. Zamdmer, D. Liu, Lawrence F. Wagner, C. Plett, and N. G. Tarr, Design of wide-band CMOS VCO for multiband wireless LAN applications, *IEEE Journal of Solid-State Circuit*, Vol. 38, pp. 1333-1342, Aug. 2003.

- [26] C. Samori, S. Levantino, and V. Boccuzzi, A-94dBc/Hz@100kHz, fully-integrityd, 5 GHz, CMOS VCO with 18% tuning range for Bluetooth application, *in Proc. IEEE Custom Integrated Circuits Conf.*, pp.201- 204, 2001.
- [27] B. Jung and R. Harjani, A Wide Tuning Range VCO using Capacitive Source Degeneration, *In proc. ISCAS' 04*, pp. 145-148.
- [28] F. Svelto, S. Deantoni, and R. Castello, A 1mA, -120.5 dBc/Hz at 600kHz from 1.9GHz fully tunable LC CMOS VCO, *in Proc. IEEE Custom Integrated Circuit Conf.*, pp. 577-580, 2000
- [29] T. P. Liu, A 6.5GHz Monolithic CMOS Voltage-Controlled Oscillator, *in IEEE Int. Solid-State Circuit Conf. Dig. Tech Papers*, pp. 404-405, Feb. 1999
- [30] C. Y. Wu , A 0.8 V 5.9 GHz wide tuning range CMOS VCO using inversion mode band switching varactors, *IEEE international symposium Vol. 5*, May 2005, pp. 5079-5082.