

國立交通大學

電機學院 電信學程

碩士論文

利用薄膜製程設計微波通訊元件

Design RF Component in Thin-Film Process



研究生：劉慶鴻

指導教授：張志揚 教授

中華民國九十六年六月

利用薄膜製程設計微波通訊元件
Design RF Component in Thin-Film Process

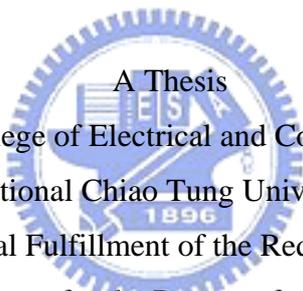
研究生：劉慶鴻

Student : Ching-Hung Liu

指導教授：張志揚 博士

Advisor : Dr. Chi-Yang Chang

國立交通大學
電機學院 電信學程
碩士論文



A Thesis
Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master of Science
in
Communication Engineering
June 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年六月

利用薄膜製程設計微波通訊元件

學生：劉慶鴻

指導教授：張志揚 博士

國立交通大學

電機學院

電信學程碩士班

摘 要

在本論文中，利用薄膜製程(Thin-film)來設計平衡-不平衡轉換器(Balun)，所設計之 Balun 能夠符合 IEEE 802.11b(2.4GHz)無線區域網路系統的規格要求，並能夠提供電源饋入(DC feed)的功能。在此我們利用 modified Marchand Balun 來做為我們這次設計的電路架構，並利用薄膜製程的高精密度特性來達到低損耗、寬頻及可預測性的設計，並實際製造出三種不同規格的 Balun，以驗證我們的理論。同時也設計了帶通濾波器(Bandpass Filter)以及雙工器(Diplexer)來證明電路的特性。

Design RF component in Thin-Film process

student : Ching-Hung Liu

Advisors : Dr. Chi-Yang Chang

Degree Program of Electrical and Computer Engineering
National Chiao Tung University



This thesis presents the design of Balun and filter in thin-film process.

The Balun meets IEEE 802.11b(2.4GHz) wireless LAN's specifications and provides DC feed function. The circuit uses modified Marchand balun structure. The design achieves low loss, broadband and predictability by high precision of thin-film process. Three type baluns are designed to verify the theory. In the mean time, bandpass filters and diplexer are designed various microwave passive circuits implemented by thin-film process.

誌 謝

本論文能夠順利完成，首先要感謝指導教授張志揚博士，在這三年的研究生涯中所給予的指導與鼓勵，讓我得到許多專業上的知識，也讓我在研究方法與態度上獲益良多，同時感謝口試委員對本論文所提出的批評與指教，讓本論文能夠更加完整。

同時也感謝實驗室的學長與同學在這三年來的砥礪與照顧，因為有了你們的協助，讓我能夠在白天的工作之餘，還能夠有餘力進行研究工作。最後要感謝我的父母與公司的長官，因為有你們的支持，才能讓我順利完成所有的研究工作，謝謝！

目 錄

第一章 導論	1
第二章 薄膜(Thin Film)製程簡介	3
2.1 前言	3
2.2 薄膜特徵	3
2.3 薄膜的形成技術	4
2.4 實際製造過程	5
第三章 平衡-不平衡轉換器(Balun)	13
3.1 前言	13
3.2 Balun 的功能	14
3.3 Lumped-Balun	14
3.4 Marchand-Balun	19
3.5 Thin-film Type-A Balun : 50 - 100 ohm	22
3.6 Thin-film Type-B Balun : 50 - 100 ohm	26
3.7 Thin-film Type-C Balun : 50 - 50 ohm	29
3.8 分析	32
第四章 濾波器(Filter)	34
4.1 前言	34
4.2 濾波器電路	34
4.3 薄膜濾波器電路實作	38
第五章 雙工器(Diplexer)	42
5.1 前言	42
5.2 雙工器電路	42

5.3 電路實作.....	47
第六章 總結.....	49
參考文獻.....	51



圖目錄

圖 2.1 薄膜製造程序 1	5
圖 2.2 薄膜製造程序 2	6
圖 2.3 薄膜製造程序 3	6
圖 2.4 薄膜製造程序 4	7
圖 2.5 薄膜製造程序 5	8
圖 2.6 薄膜製造程序 6	8
圖 2.7 薄膜製造程序 7	9
圖 2.8 薄膜製造程序 8	9
圖 2.9 薄膜製造程序 9	10
圖 2.10 薄膜製造程序 10	11
圖 2.11 薄膜製造程序 11	11
圖 2.12 薄膜製造程序 12	12
圖 3.1 RF 接收器示意圖	13
圖 3.2 Balun Function	14
圖 3.3 利用等效傳輸線組成的 Balun	14
圖 3.4 傳輸線的等效 π 模型	15
圖 3.5 傳輸線的 π 型等效電路	17
圖 3.6 Balun π 型等效電路(完整)	18
圖 3.7 Balun π 型等效電路(簡化)	19
圖 3.8 Modified Marchand Balun	19

圖 3.9 Marchand Balun Analysis	20
圖 3.10 Balun cross-section	22
圖 3.11 Type-A Balun Layout	23
圖 3-12 Type-A Balun 平面圖	24
圖 3-13 Type-A Balun 模擬與量測結果	24
圖 3-14 Type-A Balun Loss 模擬與量測結果	25
圖 3-15 Type-A Balun Imbalance 模擬與量測結果	25
圖 3-16 Type-B Balun Layout	26
圖 3-17 Type-B Balun 平面圖	27
圖 3-18 Type-B 模擬與量測結果	27
圖 3-19 Type-B Balun loss 模擬與量測結果	28
圖 3-20 Type-B Balun Imbalance 模擬與量測結果	28
圖 3-21 Type-C Layout	29
圖 3-22 Type-C Balun 平面圖	30
圖 3-23 Type-C 模擬與量測結果	30
圖 3-24 Type-C Balun loss 模擬與量測結果	31
圖 3-25 Type-C Balun Imbalance 模擬與量測結果	31
圖 3-26 Type-A & B 特性比較	32
圖 3-27 Type-B & C 特性比較	33
圖 4-1 濾波器電路架構	35
圖 4-2 濾波器特性	35
圖 4-3 交錯耦合濾波器	36

圖 4-4 交錯耦合濾波器分析一	37
圖 4-5 交錯耦合濾波器分析二	37
圖 4-6 薄膜濾波器電路	38
圖 4-7 薄膜濾波器截面圖	39
圖 4-8 薄膜濾波器 Layout	40
圖 4-9 薄膜濾波器平面圖	40
圖 4-10 薄膜濾波器模擬與量測結果	41
圖 5-1 Diplexer 規格	43
圖 5-2 Diplexer Low Band 電路	43
圖 5-3 Diplexer Low Band 特性	44
圖 5-4 Diplexer High Band 電路	45
圖 5-5 Diplexer High Band 特性	45
圖 5-6 Diplexer 完整電路	46
圖 5-7 Diplexer 完整特性	46
圖 5-8 Diplexer 截面圖	47
圖 5-9 Diplexer Layout	47
圖 5-10 Diplexer 平面圖	48
圖 5-11 Diplexer 模擬與量測結果	48

第一章 導論

在現今的通訊產業中，射頻電路是一種無可或缺的電路方塊，其中可以概分為主動電路與被動電路。主動電路如功率放大器(PA)、低雜訊放大器(LNA)、切換電路(switch)等，而被動電路如帶通濾波器(BPF)、低通濾波器(LPF)、平衡-不平衡轉換器(Balun)等。其中多層結構的低溫陶瓷共燒(LTCC)技術為當今被動式高頻元件的主流製程技術。

LTCC 製程技術提供了工程師所需要的多層結構，再加上材料技術的進步，使得工程師可以在單一元件中使用兩種以上的材料來進行燒結，但是也由於多層結構的緣故，使得利用 LTCC 製程所製造出來的高頻元件一直有厚度過厚的問題，所以在可預見的未來，利用 LTCC 製程所製造的產品，將可能無法符合電子產品所要求的輕薄短小。

而且 LTCC 製程屬於厚膜製程，其精密度受到很大的限制，一般 LTCC 製程的線寬線距限制在大約 75um 左右，製程技術好一點的可以做到 50um 左右，但是即使如此，誤差也在 5~10um 左右。這樣的誤差還僅止於單一平面的討論，由於 LTCC 是屬於多層結構，在製造上還存在著層與層之間的對位誤差，其對位誤差通常都超過 10um，層數越多，對位誤差的影響也越嚴重。這樣的精密度在低頻電路也許還不會構成太大的問題，但是當所有的通訊標準都開始定義在較高頻如 UWB 之後，因精密度所構成影響將會越來越顯著！

因此各方也開始尋找更適合的製程技術來取代 LTCC 製程，其中較具成效的首推薄膜製程。

薄膜製程因為百分之八十的厚度來自載板(substrate)的厚度，以現今載板的厚度多控制在 300um 以下，所以相較於 LTCC 製程而言，厚度是大幅降低。而且因為薄膜製程與半導體製程相當類似，所以精密度相當高，線寬線距可控制在 $12\pm 2\mu\text{m}$ 的水準，對位誤差也小於 5um。相對於 LTCC 製程，其精密度可以說是大幅提高！

因此本文將提出如何利用薄膜製程設計高頻通訊元件，希望利用本文提供各方賢達另一個思考的方向！



第二章 薄膜(Thin Film)製程簡介

2.1 前言

一般而言以原子狀或是分子狀之飛來粒子或其團簇(cluster)，於固體表面堆積而成之固態材料，即稱之為薄膜[1]。薄膜在我們現今的生活中隨處可見，如眼鏡或是鏡頭表面的抗反射層，即為薄膜的一種。相較於現今的電鍍法或是印刷法而言，若厚度在 5 μm 以下稱之為薄膜，反之稱之為厚膜。但是由於近年來電鍍或是印刷技術有著長足的進步，使得利用這些技術所製造之膜厚，慢慢也能夠低於 5 μm ，所以一般以真空濺鍍或蒸鍍等製作者才可稱為薄膜。

由材料觀點來看，薄膜並非只是單純將材料薄化而已，而是賦予一個完全不同的物理特性。



2.2 薄膜特徵

因為膜的薄化所伴隨而來的物性變化通常有以下數種：

- (1) 電的特性：電阻增加、電阻溫度係數減少、異常表皮效果增大、移動度減少、空間電荷限制電流之明顯化、負性電阻的出現、場效果的出現。
- (2) 熱的特性：導熱係數降低、熱電動勢增加。
- (3) 量子效果：尺寸量子效果的出現、穿隧效果的出現。
- (4) 超導特性：超導轉移溫度上升、超導臨界磁場增加、超導近接效果的出現、超導穿隧效果的出現。

- (5) 磁的特性：巨磁阻效果的出現、磁性交換(switching)速率上升。
- (6) 光學特性：反射率的變化、光干涉效果的出現、光色性(photochromism)效果的出現。
- (7) 機械特性：耐磨耗性增大、摩擦抵抗的變化。
- (8) 物理化學特性：撥水親水效果的改善、脫氣效果的改善、抗菌性的出現、分子識別效果的出現。

2.3 薄膜的形成技術

薄膜的形成技術大致上可以區分為物理法(physical vapor deposition, PVD)與化學法(chemical vapor deposition, CVD)。PVD 係於真空中，藉由熱的蒸發或離子撞擊等濺鍍，使得自蒸發源產生的原子或分子氣體，於基板上凝結而形成薄膜的方法。相反的，CVD 則是在基板上，藉由分子氣體的分解或分子間的化學反應，促使分子氣體析出薄膜的方法。

PVD 係由“固體蒸發源→高溫氣化→基板面上凝結”之過程為主要特徵，因此氣體的溫度大於基板的溫度。一般 PVD 法可分成真空蒸鍍法、濺鍍法及離子噴鍍法。

而 CVD 形成方式為將化合物氣體注入反應室，在維持一定高溫之基板表面上，因化合物氣體之化學反應或熱分解而使得薄膜形成，其過程為“常溫化合物氣體→高溫基板上之化學反應→反應生成物之形成”，因此氣體溫度小於基板溫度。而此法有以下優點

- (1) 接近化學量論比組成(熱平衡狀態)。
- (2) 結合及結晶之高完整性(熱平衡狀態)。

- (3) 高純度(氣體反應、蝕刻清淨反應)。
- (4) 雜質濃度之廣範圍控制(氣體)。
- (5) 良好之段差披覆性(或稱階梯覆蓋性)(表面反應)。
- (6) 選擇性成長(表面反應、觸媒反應)。

2.4 實際製造過程

Wafer Clean & Thin Film Metal Deposit



圖. 2-1 薄膜製造程序 1

圖 2-1 是當我們拿到氧化鋁基板(以下稱 wafer)時，我們會先檢查翹曲度，只有翹曲度在一定程度以下的 wafer 才能夠繼續進行生產的程序。檢查完翹曲度之後會進行清潔的程序，因為 wafer 在運送及檢查的過程中都會沾染到大氣中的灰塵，若沒有進行清潔的程序，在未來的生產程序中將會導致薄膜剝離的現象。做完清潔程序之後我們會先進行薄膜金屬沈積的過程，這時才算是開始正式的生產程序。

要在 wafer 上沈積金屬有很多方法，我們所採用的方法是濺鍍法 (sputtering)，濺鍍法的最大優點是成膜均勻，但沈積速度慢，成本高昂。

所以我們只會沈積大約 0.5um 厚度的金屬。

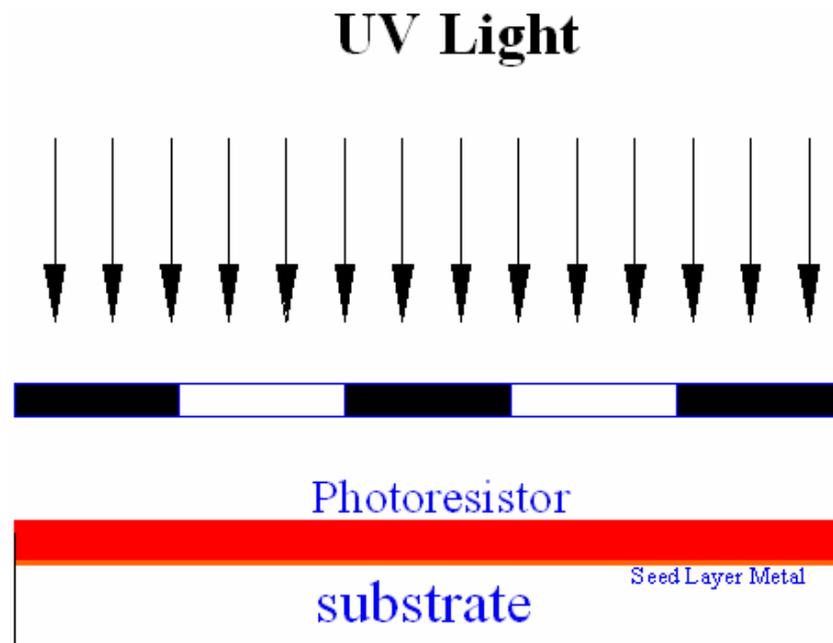


圖. 2-2 薄膜製造程序 2



圖. 2-3 薄膜製造程序 3

在完成金屬沈積程序後，我們會在金屬之上鋪上一層負光阻(圖 2-2)，經過烘乾之後透過光罩曝光，將我們要的電路顯影出來，但是由於是負光

阻，所以吾人所需要的電路之上的光阻會被顯影液吃掉(圖 2-3)，這時再利用電鍍法將我們真正需要的電路鍍起來，電鍍的厚度大約是 4~7um 左右。

Remove & Etching & Deposition of Dielectric layer

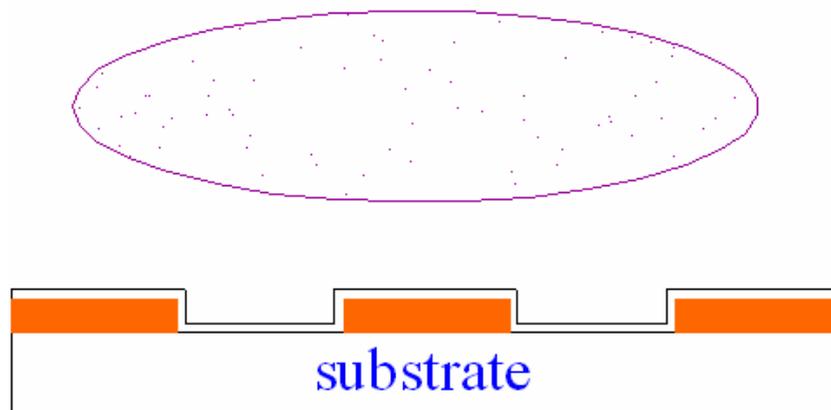


圖. 2-4 薄膜製造程序 4

當我們真正需要的電路鍍起來之後，接者我們會利用特殊液體或是乾式蝕刻製程將所有的光阻全部去掉(圖 2-4)，去完光阻之後我們會把不需要的薄金屬蝕刻掉，但是在蝕刻的過程中，原有的厚金屬也會同樣遭到蝕刻，所以在電鍍厚金屬的時候，必須將金屬厚度電鍍到比目標值還要厚一點，以補償蝕刻製程的損失。

鍍完金屬之後，接者我們要沈積所需要的介電層薄膜。沈積介電層薄膜通常有兩種方法，一種是利用電漿增強化學氣相沈積(PECVD)來製造薄膜，另一種則是利用旋轉塗佈或是印刷技術將所需要的材料沈積在金屬上。

在沈積完所需要的介電層之後，我們可以使用和第一層金屬同樣的技術來製造第二層金屬(圖 2-5、圖 2-6、圖 2-7)，同樣的先利用 sputtering 沈積薄層金屬，然後是上光阻、烘乾、曝光、顯影、電鍍、去光阻、蝕刻

薄金屬等。

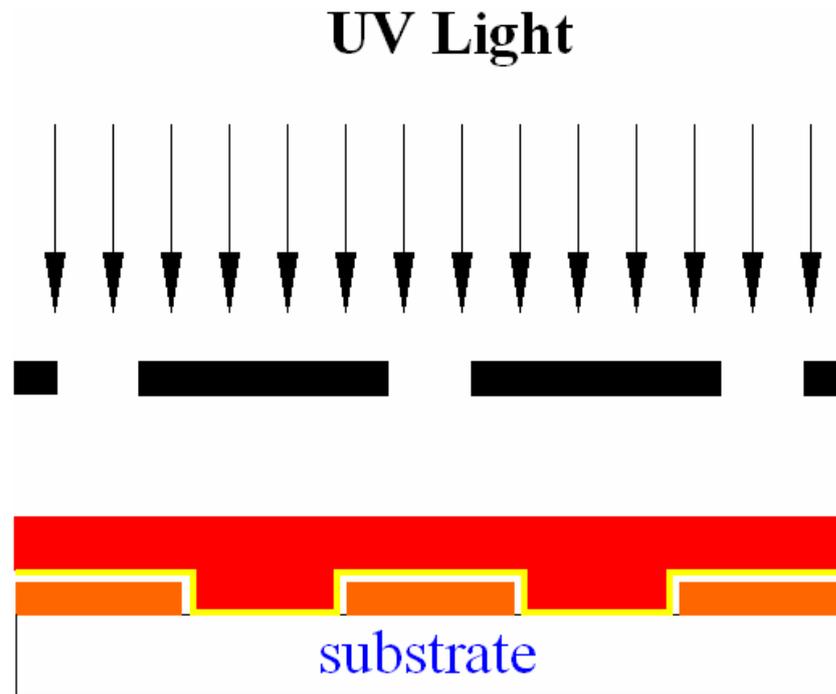


圖. 2-5 薄膜製造程序 5



圖. 2-6 薄膜製造程序 6

有時因為電路設計需要將不同層之間的電路連接起來，所以當我們完成所需要的介電層薄膜之後，會在介電層之上再覆蓋上一層光阻(圖 2-8)，然後透過相同的程序，經過光罩曝光、顯影、蝕刻等程序，將所需要的導

通孔(Via)製作出來。

Remove & Etching

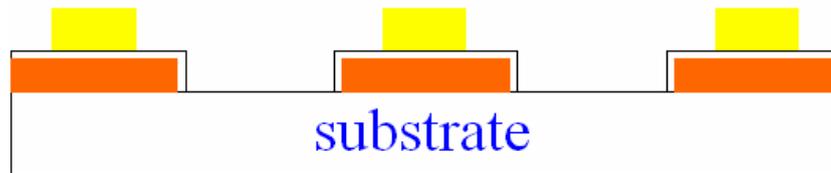


圖. 2-7 薄膜製造程序 7

Second Insulation layer Separated



圖. 2-8 薄膜製造程序 8

當我們把所需要的導通孔製作出來之後，我們會利用同樣的技術來製作金屬，上光阻、烘乾、曝光、顯影、電鍍、去光阻、蝕刻薄金屬等。但是由於導通孔有一定的深度，所以上完光阻之後，在 wafer 上的光阻厚度不一，流入 Via 的光阻厚度厚，停留在金屬上的光阻厚度薄，所以在曝光時必須小心拿捏曝光量。

製作完 Via 之後我們再繼續進行金屬沈積的過程，把我們要的電路完成(圖 2-9)。

Connect Electrode Made

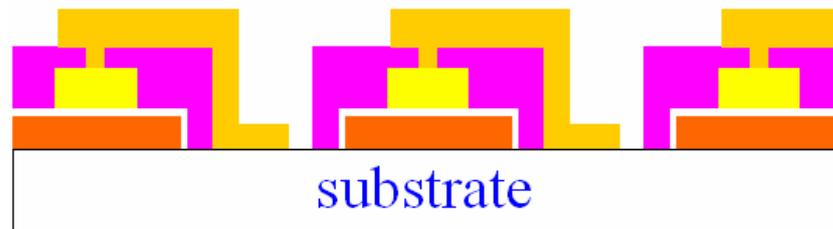


圖. 2-9 薄膜製造程序 9

此時所完成的線路只有正面電路的部分，但是絕大部分的電路都需要背面電路，即接地電路(GND)，所以我們這時會將 wafer 翻過來，開始製造背面的線路(圖 2-10、圖 2-11)。過程和製造正面線路的方法是一樣的，只是通常我們都只會在背面沈積一層金屬層、一層保護用的介電層，所以製造過程較為簡單。

當背面電路完成之後，我們也會在正面電路沈積保護用的介電層，通常是利用印刷技術將所需要的保護層印上去，主要是因為這層保護層必兼具保護、耐濕、抗酸鹼、型號識別的功能，所以必須具備一定的厚度才能達到我們所需要的要求，因此才會選擇使用印刷製程來沈積我們所需要的保護層。

B Side Thin Film Metal Deposite & Photolithography

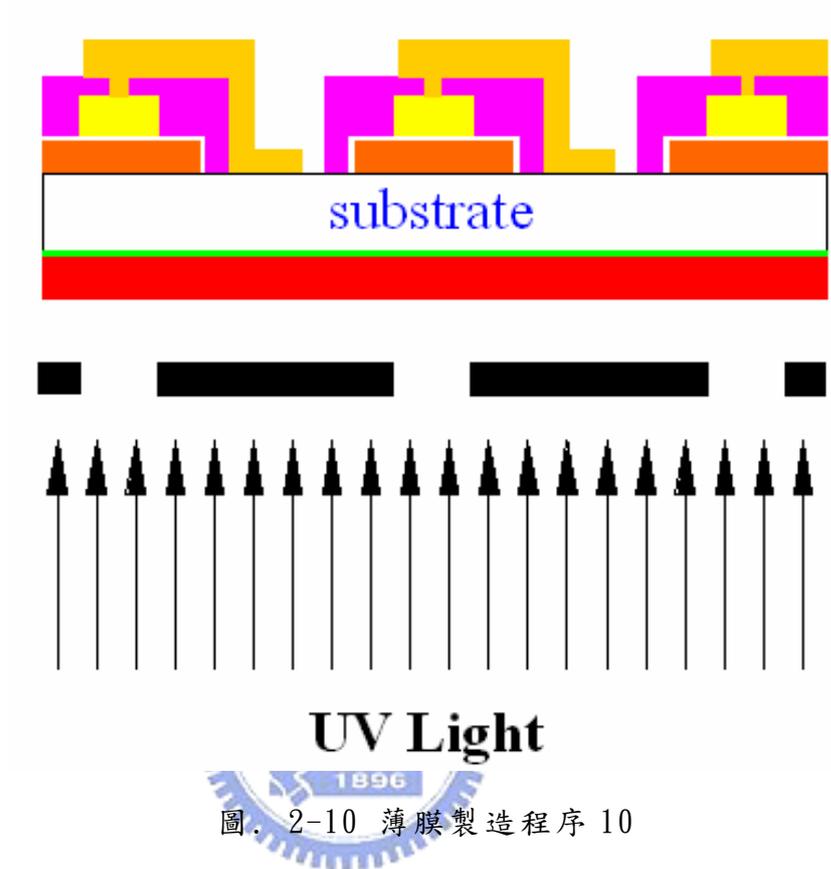


圖. 2-10 薄膜製造程序 10

B Side Developing & Plating

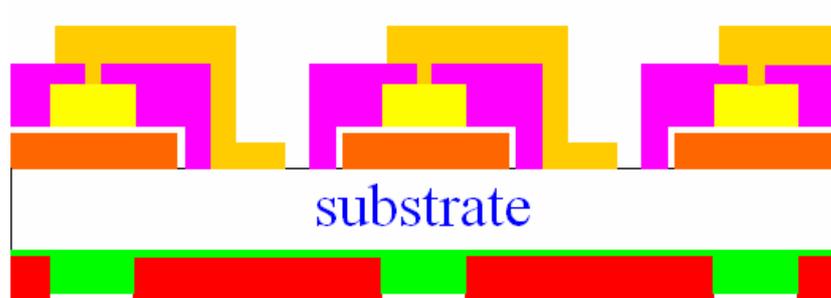


圖. 2-11 薄膜製造程序 11

第三章 平衡-不平衡轉換器(Balun)

3.1 前言

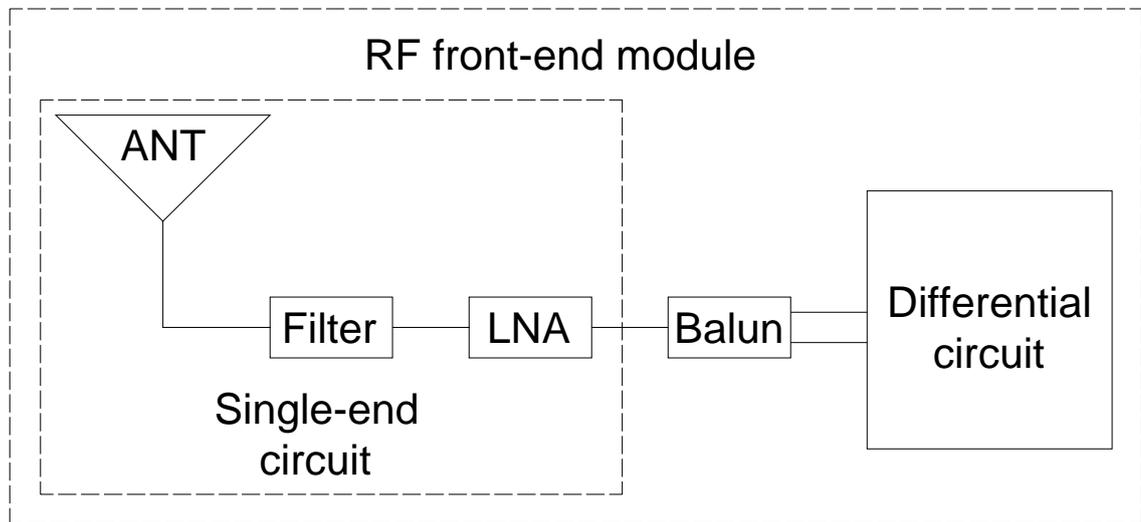


圖 3-1 RF 接收器示意圖

圖 3-1 是一般接收器的示意圖，在現今的射頻通訊電路中，差動電路的使用是越來越頻繁，由於差動電路相較於單端電路(single-end)有著抗雜訊的優點，所以有許多的 RF IC 都使用差動電路作為射頻電路的輸出級。

但是由於微波頻段的差動式功率放大器或是差動式低雜訊放大器有著設計困難與高成本的問題，所以目前在商用頻段的射頻放大器依然以單端式放大器為主流。再者現今的濾波器都是單端電路的設計，即便為了成本考量，捨棄了放大器的使用，依然必須面對濾波器的使用。也因此 RFIC 與放大器之間需要一個 Balun 作為訊號及阻抗轉換的元件。

3.2 Balun 的功能

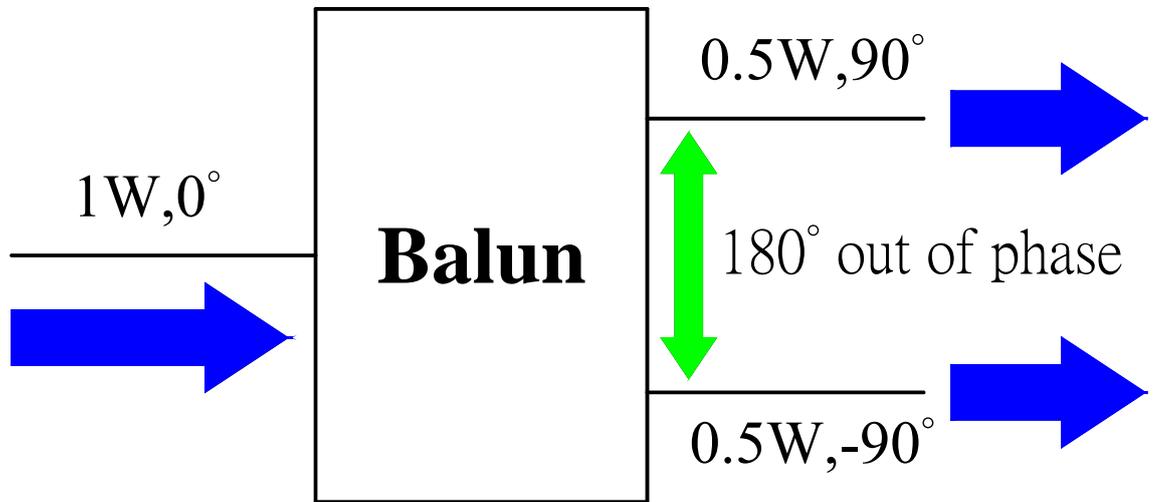


圖 3-2 Balun Funtion

圖 3-2 是 Balun 的功能示意圖。一個理想的 Balun 應該能夠以無損失的型態將訊號一分為二，使其能量相等、相位相差 180 度。除此之外，若是在單端電路與差動電路之間存在阻抗不匹配的情況時，Balun 還必須負起阻抗轉換的功用。

3.3 Lumped-Balun

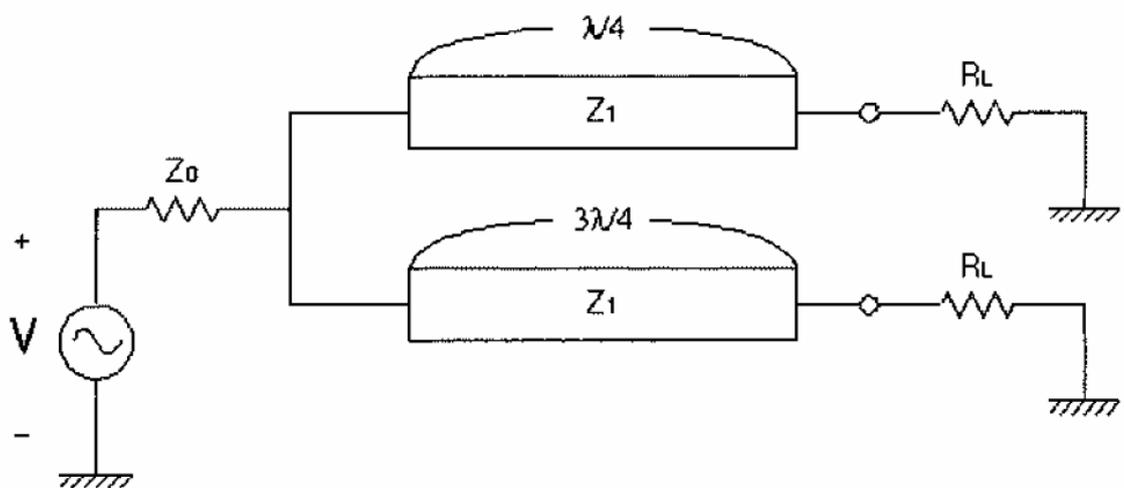


圖 3-3 利用等效傳輸線組成的 Balun

圖 3-3 是利用理想傳輸線完成的 Balun[2]，但若是考慮真實傳輸線的情形，就會發現在平衡端的能量會有明顯的不平衡，因為四分之三波長的能量損耗明顯大過四分之一波長的能量損耗，而且相位相差 180° 只會出現在特定頻率，所以可用頻寬很窄。除此之外，這樣的電路結構會佔用大量的電路板面積。

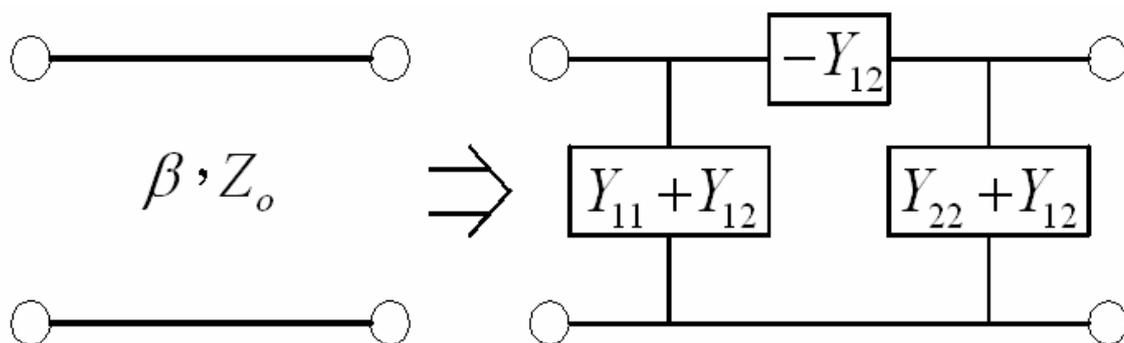


圖 3-4 傳輸線的等效 π 模型

為了節省空間，我們可以利用電感及電容來取代傳輸線。根據電路理論[3]可以將傳輸線等效為 π 型等效電路(圖 3-4)，其中傳輸線的 ABCD 矩陣為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos \beta l & jZ_o \sin \beta l \\ jY_o \sin \beta l & \cos \beta l \end{bmatrix}$$

若將 L 以四分之一波長帶入矩陣中，則矩陣變為：

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} = \begin{bmatrix} \cos \frac{\pi}{4} & jZ_o \sin \frac{\pi}{4} \\ j \frac{\sin \frac{\pi}{4}}{Z_1} & \cos \frac{\pi}{4} \end{bmatrix} = \begin{bmatrix} 0 & jZ_1 \\ \frac{j}{Z_1} & 0 \end{bmatrix}$$

將 ABCD 矩陣轉換為 Y 矩陣：

$$Y_{\lambda/4} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} \frac{D}{B} & \frac{BC - AD}{B} \\ -\frac{1}{B} & \frac{A}{B} \end{bmatrix} = \begin{bmatrix} 0 & \frac{-1}{jZ_1} \\ \frac{-1}{jZ_1} & 0 \end{bmatrix}$$

如此一來我們便可得到四分之一波長傳輸線的 Y 矩陣，同理，我們也

可以得到四分之三波長傳輸線的 Y 矩陣：

$$Y_{3\lambda/4} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} 0 & \frac{1}{jZ_1} \\ \frac{1}{jZ_1} & 0 \end{bmatrix}$$

其中 Z_1 可以表示為： $Z_1 = \sqrt{2Z_o \times R_L}$ 。

從推導的結果可以發現 Y_{11} 及 Y_{22} 為零，而 Y_{12} 及 Y_{21} 為純虛部阻抗，也就

是說我們可以利用電感、電容來代替傳輸線。圖 3-5 為利用電感、電容所組成的傳輸線 π 型等效電路。圖 3-6 為將四分之一波長及四分之三波長傳輸線轉換為 π 型等效電路，其中虛線圈起來的部分，在工作頻率時會呈現開路阻抗，所以可以省略不計(圖 3-7)以節省元件的使用及電路面積。

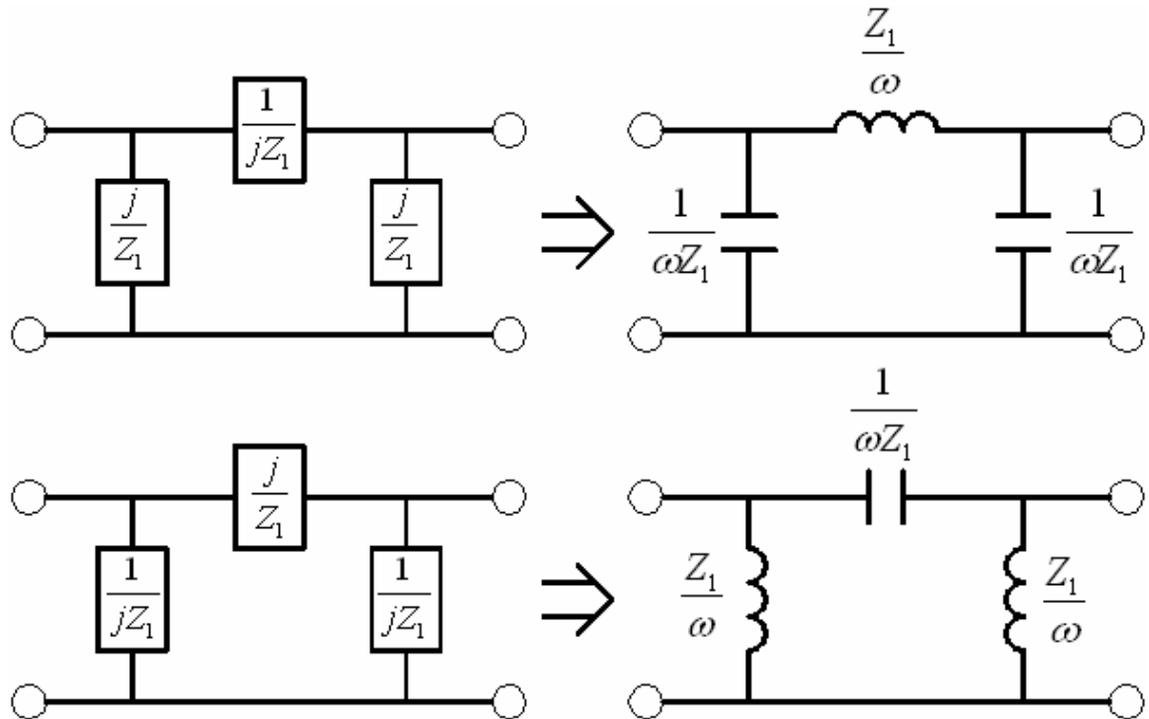


圖 3-5 傳輸線的 π 型等效電路

利用集總元件來設計 Balun 有幾個優點，首先是設計過程簡單，只要知道操作頻率，可以很快速的知道所需的電感值、電容值，而且只要調整感值、容值的組合比率，可以很容易的對任何輸出入阻抗做匹配，即便是 Balance 端的阻抗為複數阻抗(帶有虛部阻抗的輸入阻抗)亦然。同時相對於傳輸線的例子而言，在低頻時，可以縮小電路面積，節省空間，同時不會有傳輸線 Balun 在 Balance 端功率相差過大的缺點，只要謹慎的選擇特性一致的元件，通常在操作頻率之下都能得到不錯的特性。

但是這種電路同時也有幾個缺點，首先是這種電路的可使用頻寬太窄，因為元件值都是根據單一頻率計算出來，所以相對於傳輸線 Balun，可用頻寬並沒有多大的改進。再者由於選擇的是集總元件，所以元件的 Q 值都不會太好，也就是說 Lumped-Balun 的介入損失(insertion loss)會大於傳輸線 Balun。而且由於集總元件有共振頻率的問題，所以 Lumped-Balun 的可用頻率也不會太高，一般大約在 3GHz 以下可以得到可接受的特性，但是若操作在更高頻就很難令人滿意了！

而且以現今的 RF IC 規格來說，幾乎都會要求 Balun 必須提供電源饋入(DC feed)的功能，目的在於能夠透過 Balun 對 RF IC 的差動電路供電，但由於 Lumped-Balun 在串接路徑上使用了電容，這會導致電源被阻隔，而在並聯路徑上使用了電感接地，這會導致電源短路，所以 Lumped-Balun 也無法提供 DC feed 的功能。

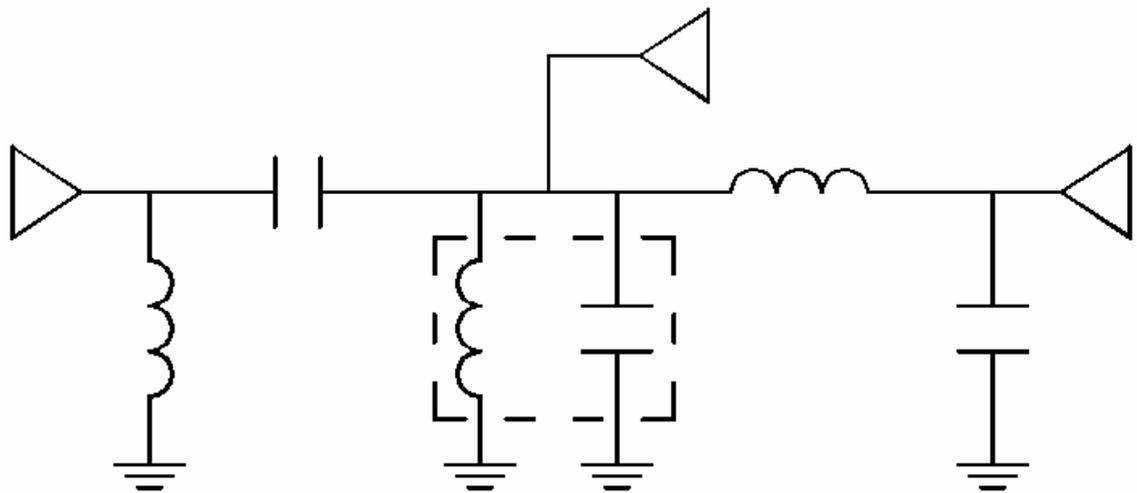


圖 3-6 Balun π 型等效電路(完整)

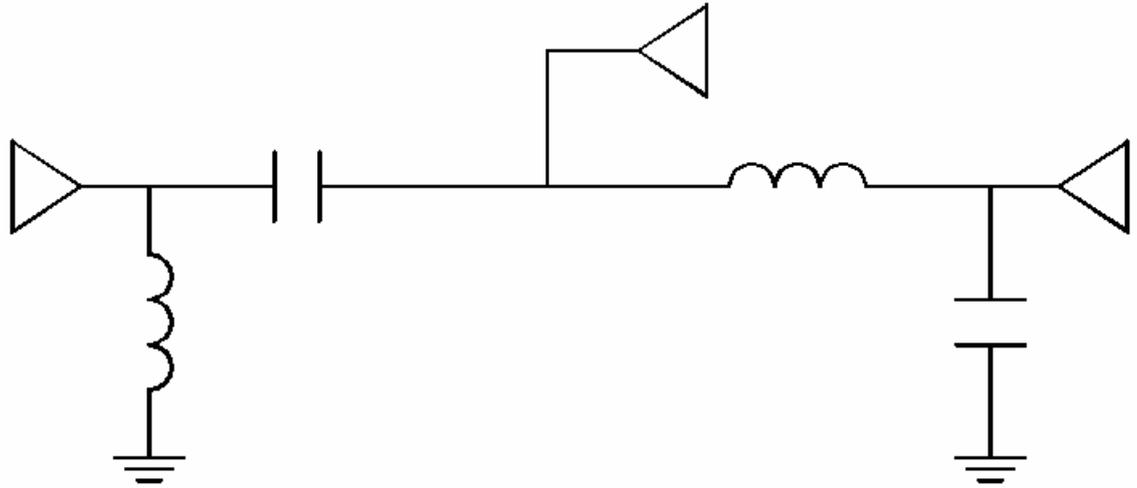


圖 3-7 Balun π 型等效電路(簡化)

3.4 Marchand-Balun

最初的 Marchand-Balun 是利用同軸傳輸線設計而成[4]，圖 3-8 則是利用傳輸線修改而成的 Modified Marchand Balun，從圖中可以看出 Marchand Balun 包含兩段耦合線(coupled-line)，每一段耦合線為 $\lambda/4$ 波長，耦合線可以用微帶線、帶線、Lange-coupler 等方法來完成。

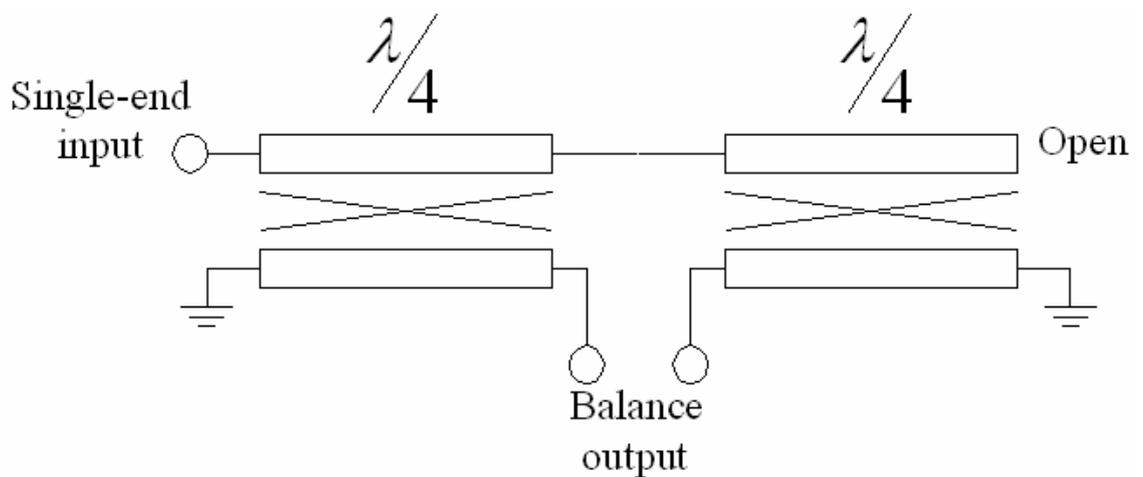


圖 3-8 Modified Marchand Balun

就物理意義而言，我們可以將 Marchand Balun 分成兩個區段，如圖 3-9 所示，第一段耦合線提供正 90° 的相位差，第二段耦合線提供負 90° 的相位差，所以一個完整的 Marchand Balun 會提供 180° 的相位差。

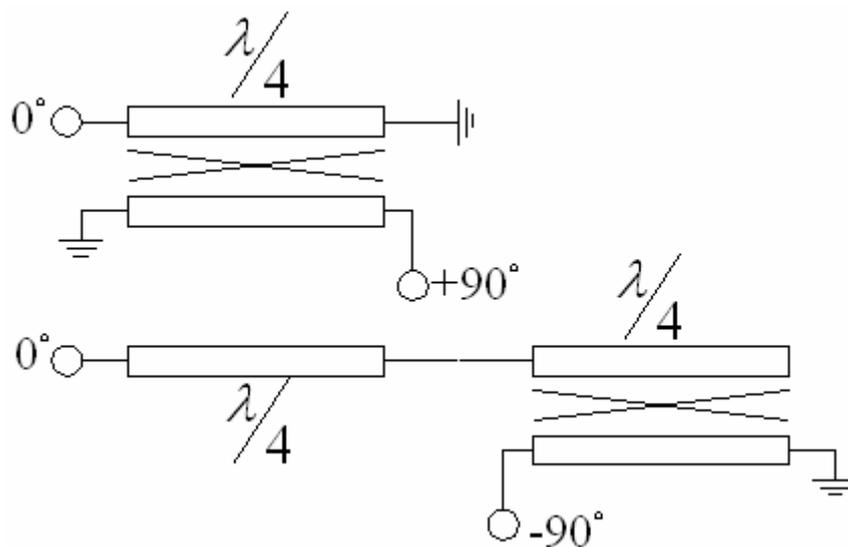


圖 3-9 Marchand Balun Analysis

因為 Marchand Balun 是由 Coupled-line 組成，所以我們可以推出理想耦合線及 Marchand Balun 的 S 矩陣如下[5]：

$$[S]_{coupler} = \begin{bmatrix} 0 & c & -j\sqrt{1-c^2} & 0 \\ c & 0 & 0 & -j\sqrt{1-c^2} \\ -j\sqrt{1-c^2} & 0 & 0 & c \\ 0 & -j\sqrt{1-c^2} & c & 0 \end{bmatrix}$$

$$[S]_{Balun} = \begin{bmatrix} \frac{1-3c^2}{1+c^2} & j\frac{2c\sqrt{1-c^2}}{1+c^2} & -j\frac{2c\sqrt{1-c^2}}{1+c^2} \\ j\frac{2c\sqrt{1-c^2}}{1+c^2} & \frac{1-c^2}{1+c^2} & \frac{2c^2}{1+c^2} \\ -j\frac{2c\sqrt{1-c^2}}{1+c^2} & \frac{2c^2}{1+c^2} & \frac{1-c^2}{1+c^2} \end{bmatrix}$$

在某些情況下，負載阻抗並不等於 Source 端阻抗，若 Balun 的負載阻抗由 Z_o 變成 Z_1 時，則 S 矩陣如下：

$$[S]_{Balun} = \begin{bmatrix} \frac{1-c^2\left(\frac{2Z_1}{Z_o}+1\right)}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & j\frac{2c\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & -j\frac{2c\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} \\ j\frac{2c\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & \frac{1-c^2}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & \frac{2c^2\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} \\ -j\frac{2c\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & \frac{2c^2\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} & \frac{1-c^2}{1+c^2\left(\frac{2Z_1}{Z_o}-1\right)} \end{bmatrix}$$

為了使 Balance 端的功率傳輸達到理想的 -3dB，我們假設

$|S_{21}| = |S_{31}| = \frac{1}{\sqrt{2}}$ ，帶入上式之後可以得出耦合因子 c 如下：

$$\begin{aligned} |S_{21}| &= |S_{31}| = \frac{1}{\sqrt{2}} \\ \Rightarrow j\frac{2c\sqrt{1-c^2}\sqrt{\frac{Z_1}{Z_o}}}{1+c\left(\frac{2Z_1}{Z_o}-1\right)} &= \frac{1}{\sqrt{2}} \Rightarrow \left[c^2\left(\frac{2Z_1}{Z_o}+1\right)-1 \right]^2 = 0 \\ \Rightarrow c &= \frac{1}{\sqrt{\frac{2Z_1}{Z_o}+1}} \end{aligned}$$

若 Source 端與負載端阻抗為 50Ω 時，則耦合因子為 -4.8dB ，所以 Balun 的耦合量是由輸出入阻抗來決定。

3.5 Thin-film Type-A Balun : 50 – 100 Ohm

接下來我們將會利用薄膜製程來設計 Balun，圖 3-10 是實際生產時的截面圖，首先我們選用氧化鋁基板做為我們的載板，所有的電路都會在這上面製造，厚度為 $380\mu\text{m}$ 、 $\epsilon_r = 9.9$ ，當然我們也可以選用矽基板 (Silicon-wafer)，但是成本較高。然後我們使用一種特殊的光阻材料做為我們的介電層，厚度為 $7\mu\text{m}$ 、 $\epsilon_r = 2.85$ ，由於這樣的厚度太厚，所以我們使用旋轉塗佈的方式將我們所需要的材料沈積在電路上。這次 Balun 的電路結構一共使用了三層金屬、兩層介電層。

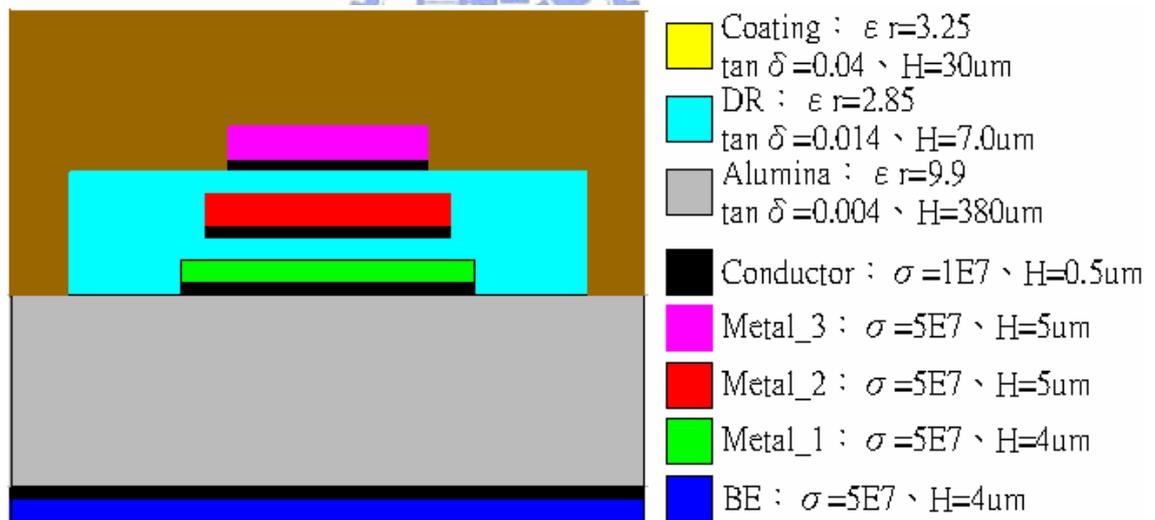


圖 3-10 Balun cross-section

圖 3-11 是 2.4GHz Balun 實際的設計電路圖，尺寸為 $1.6 \times 0.8 \times 0.4\text{mm}$ ，本來為了改善特性，我們可以選擇將電感與接地面採取共平面設計[6]，但是這樣會佔去太大的面積，所以只好將之分開。

其中 Source 端及負載端的阻抗都是 50Ω ，在電路中一共分為上下兩段

耦合線，耦合線段放在第一、二層金屬，電路之間的引出線放在第三層金屬。從電路中可以發現，我們在轉角處都使用了圓角，目的是在於減少損失。

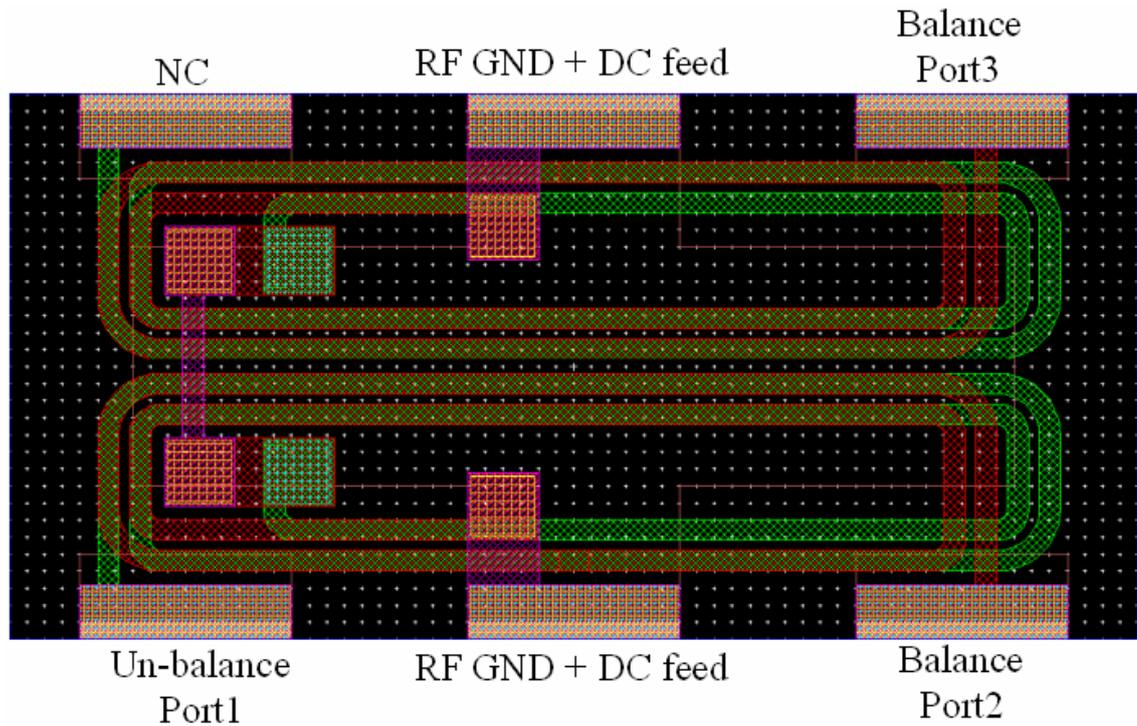


圖 3-11 Type-A Balun Layout

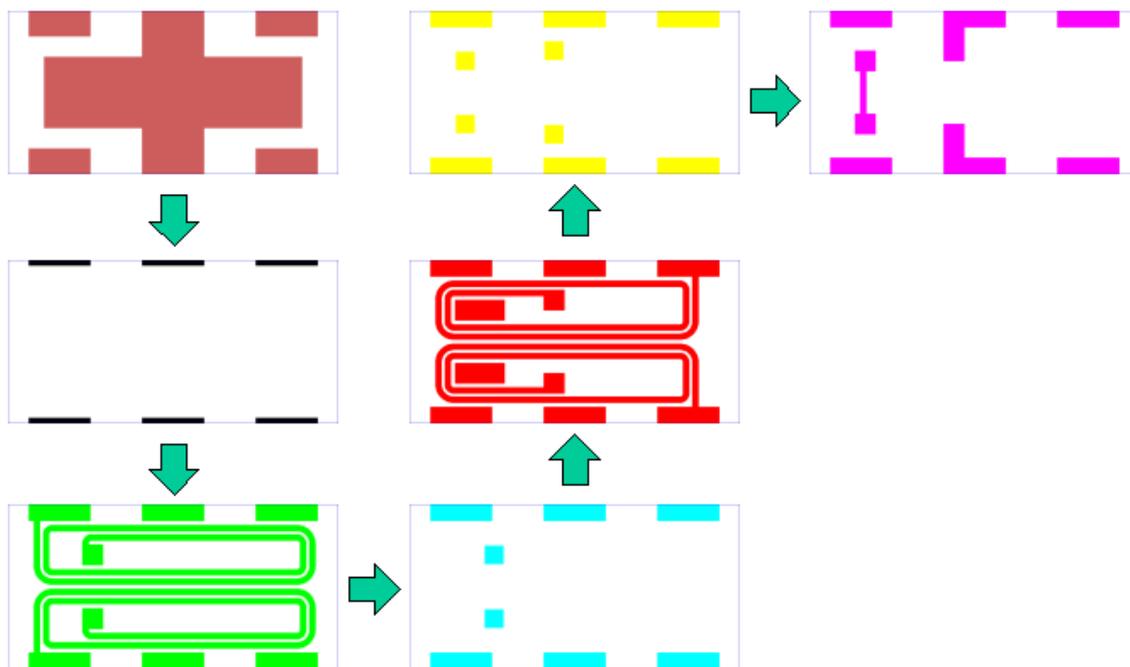


圖 3-12 Type-A Balun 平面圖

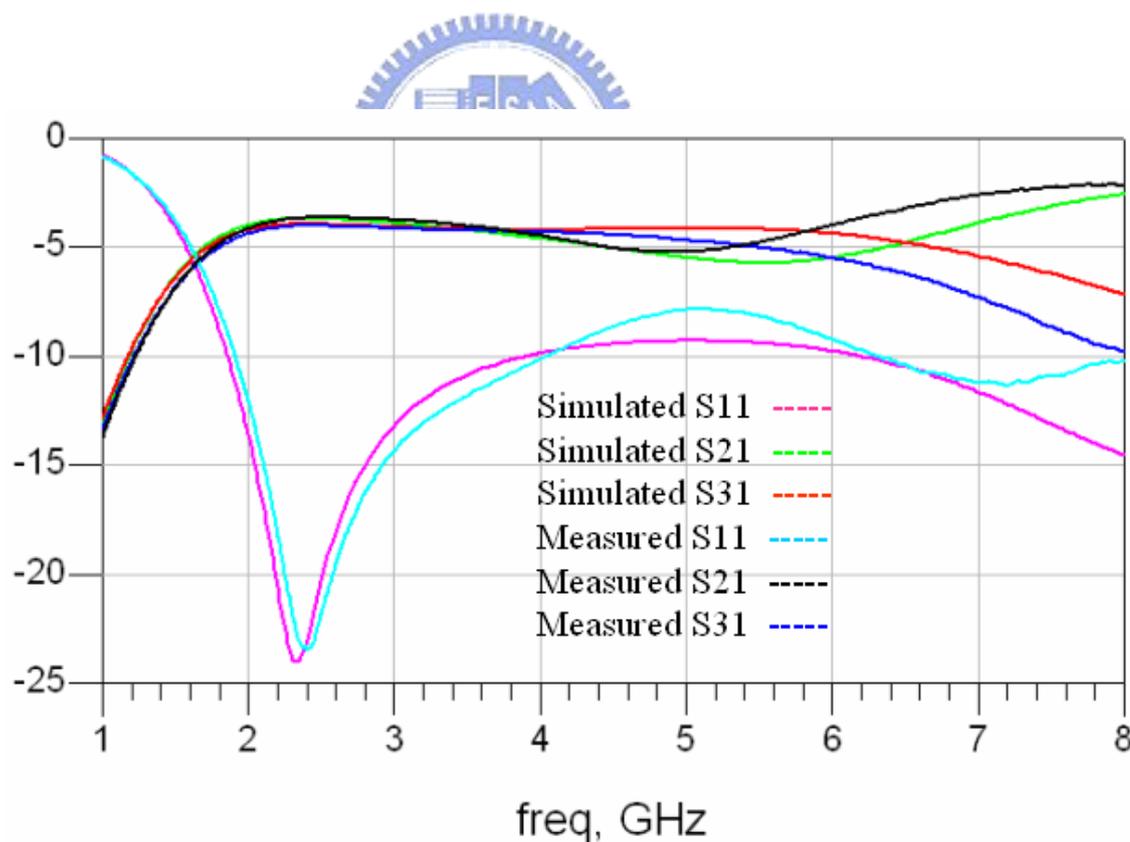


圖 3-13 Type-A Balun 模擬與量測結果

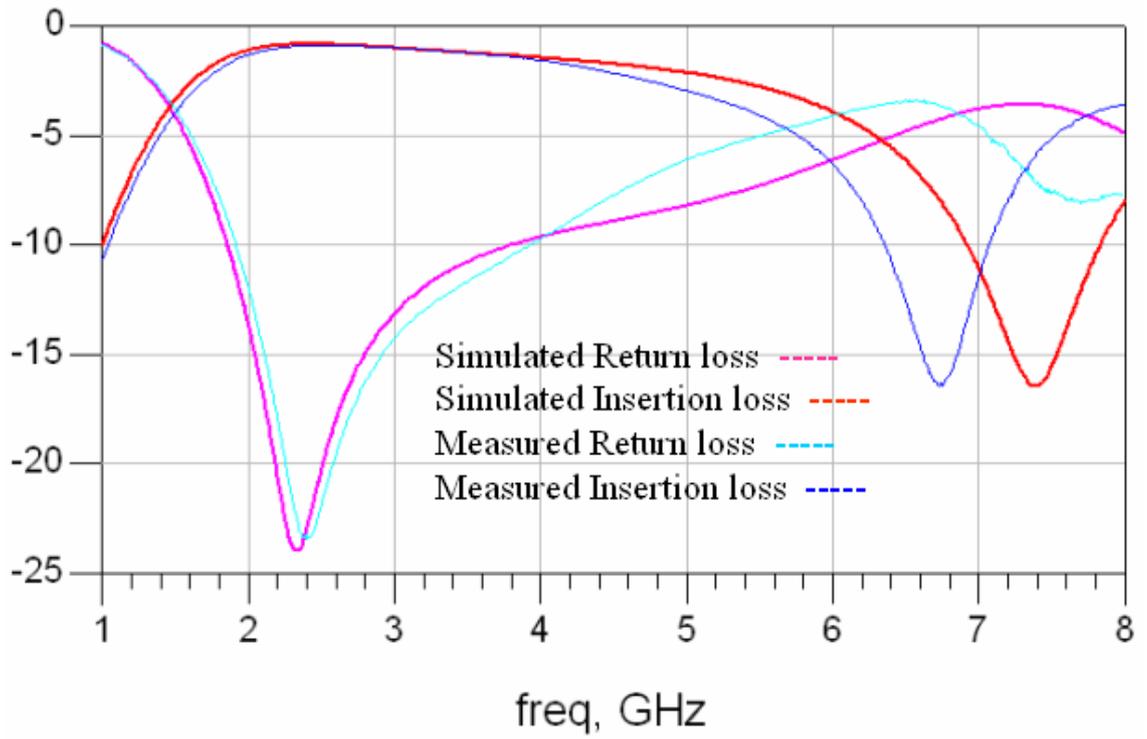


圖 3-14 Type-A Balun Loss 模擬與量測結果

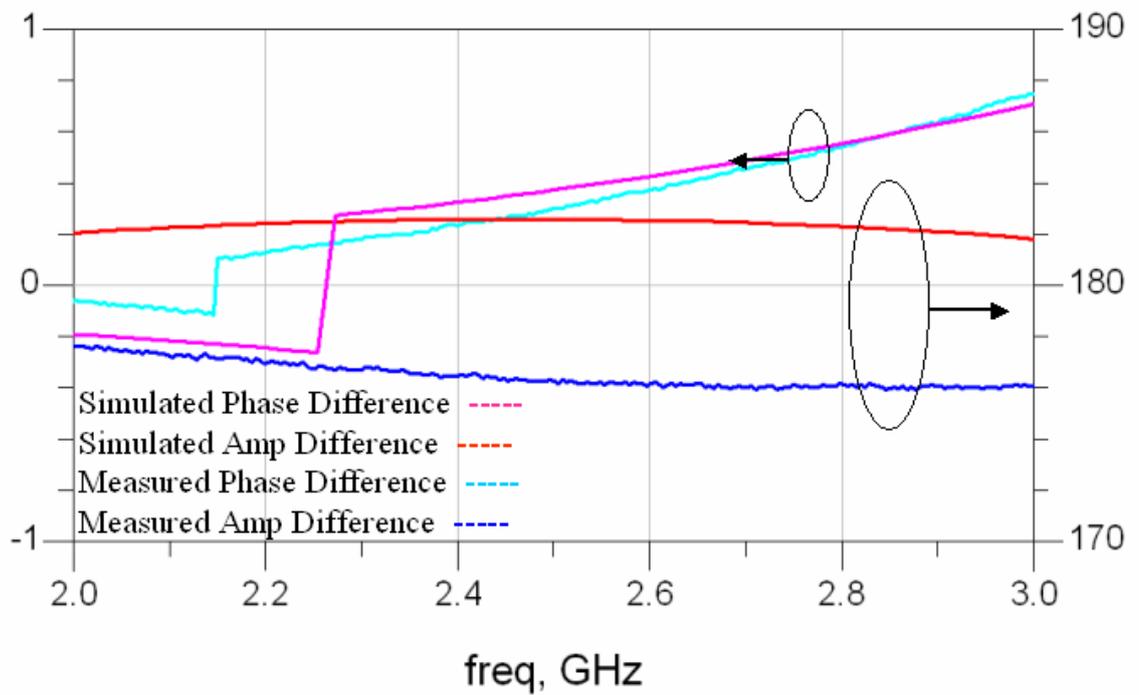


圖 3-15 Type-A Balun Imbalance 模擬與量測結果

3.6 Thin-film Type-B Balun : 50 – 100 Ohm

從 Type-A 電路圖中我們會發現一件事，為了縮短電路面積，耦合線段的部分我們使用螺旋線圈(spiral-coil)來代替，所以在這個部分的設計要領就和設計一個電感的訣竅是一樣的，從各方的研究中發現，如果要增加電感的使用頻寬及增加 Q 值，我們應該盡量將線圈繞成圓形，其次也應該繞成正方形，但是 Type-A 的線圈卻是繞成細長的長方形，這對使用頻寬及 Q 值都有不好的影響，所以我們又重新設計了 Type-B 的 Balun。

從圖 3-16 中我們可以發現，線圈的繞法已經從長方形改成正方形了，所以我們可以合理的預期 Balun 的特性會有所改善。

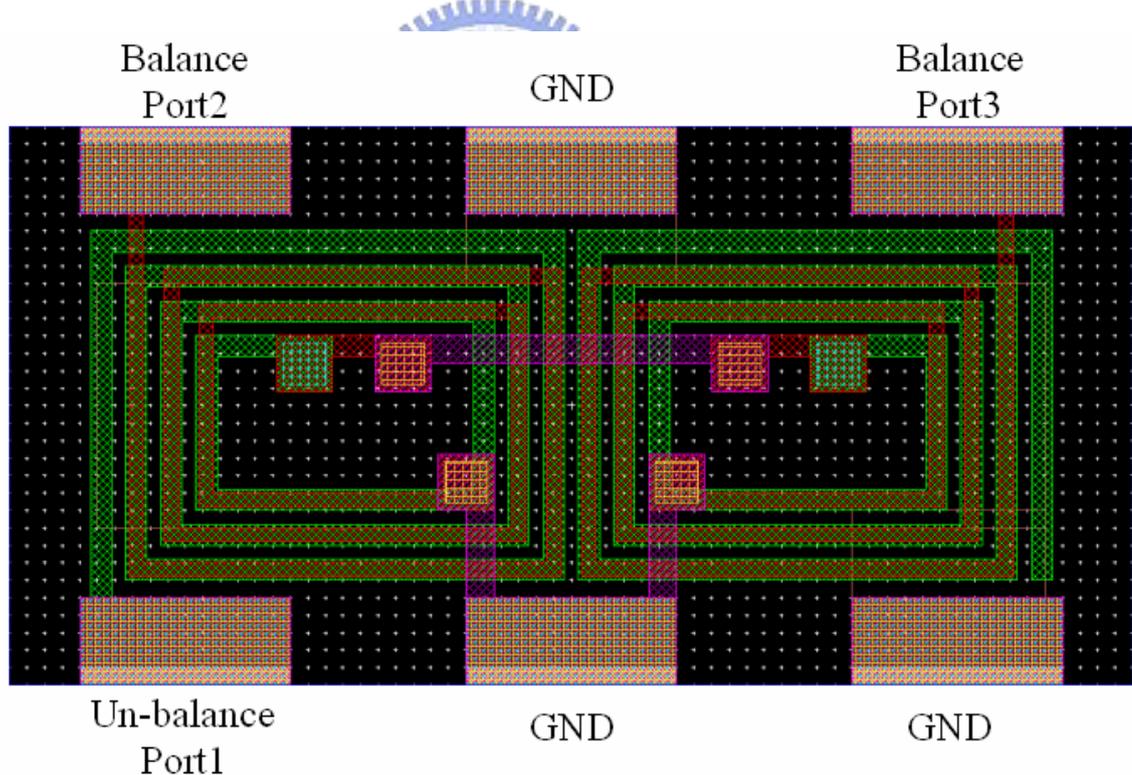


圖 3-16 Type-B Balun Layout

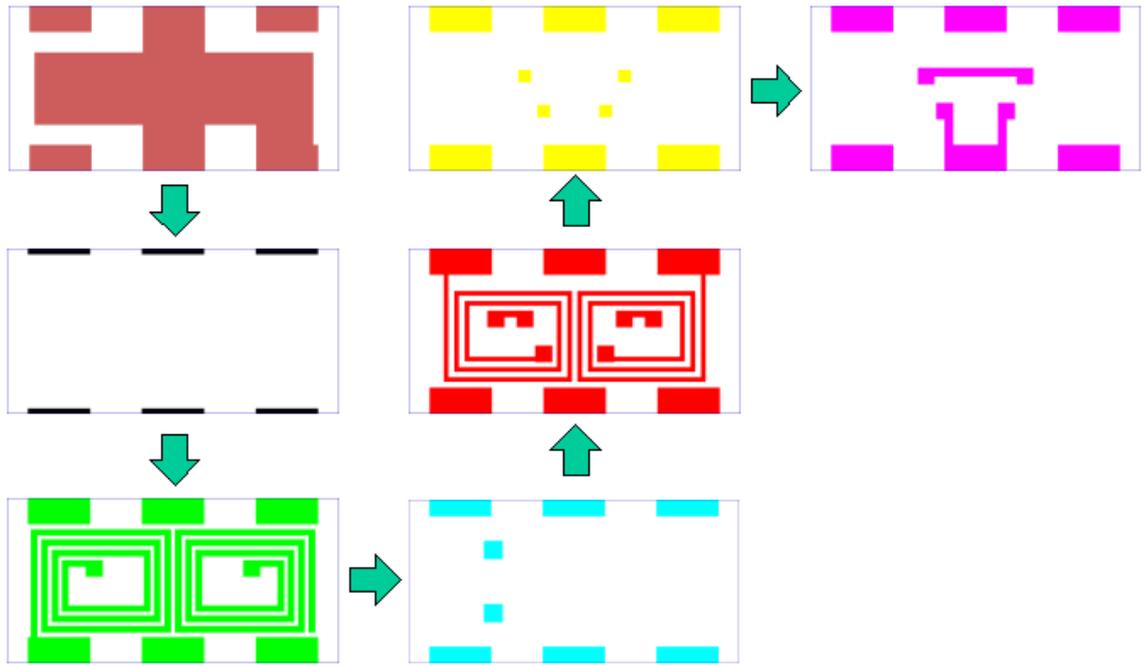


圖 3-17 Type-B Balun 平面圖

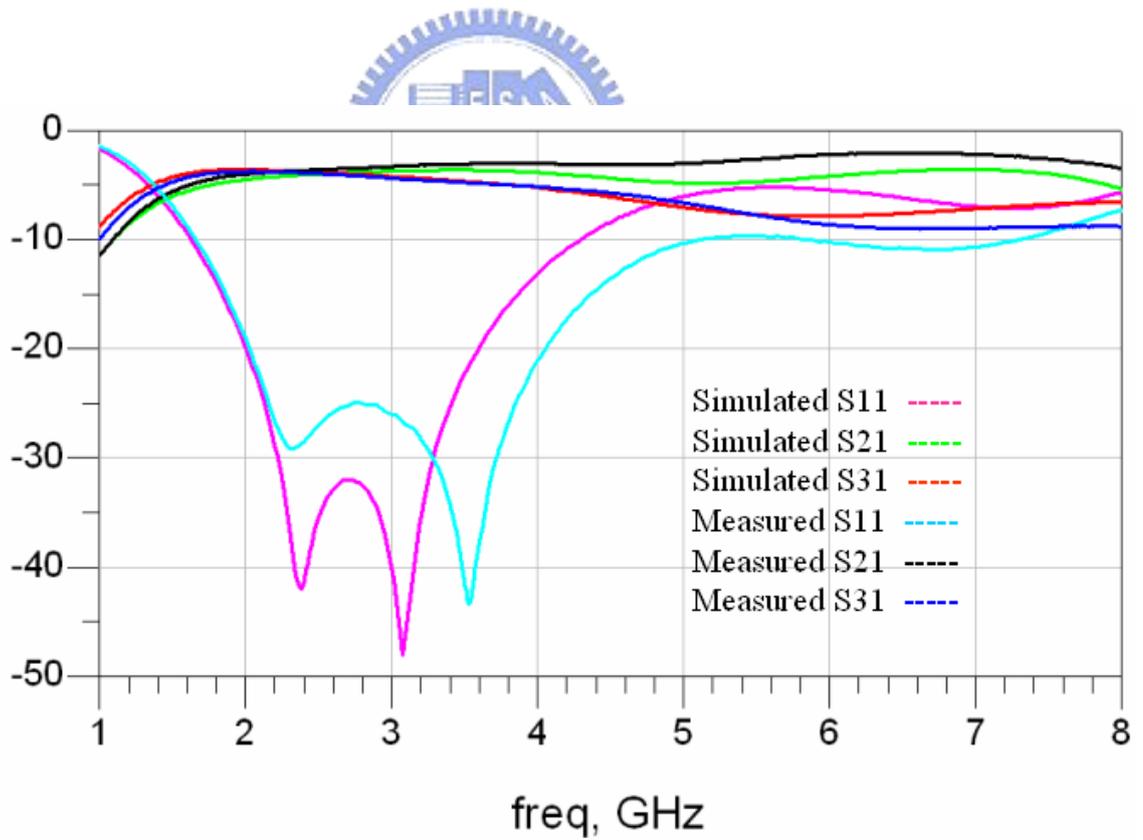


圖 3-18 Type-B 模擬與量測結果

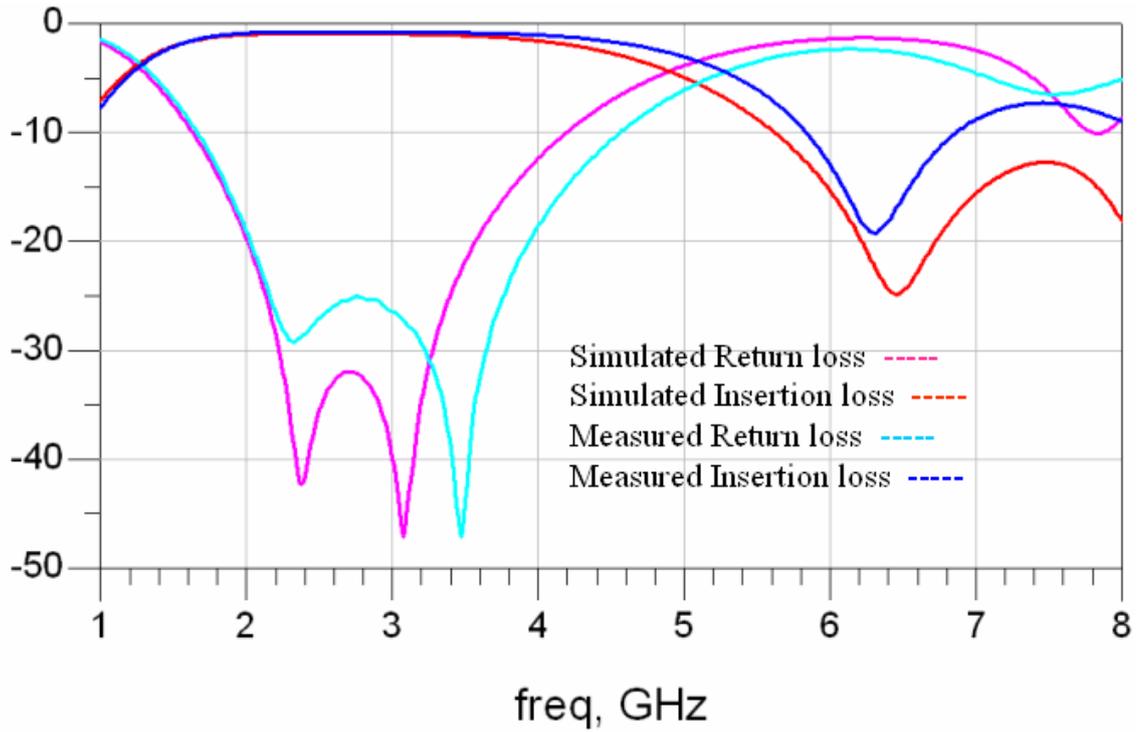


圖 3-19 Type-B Balun loss 模擬與量測結果

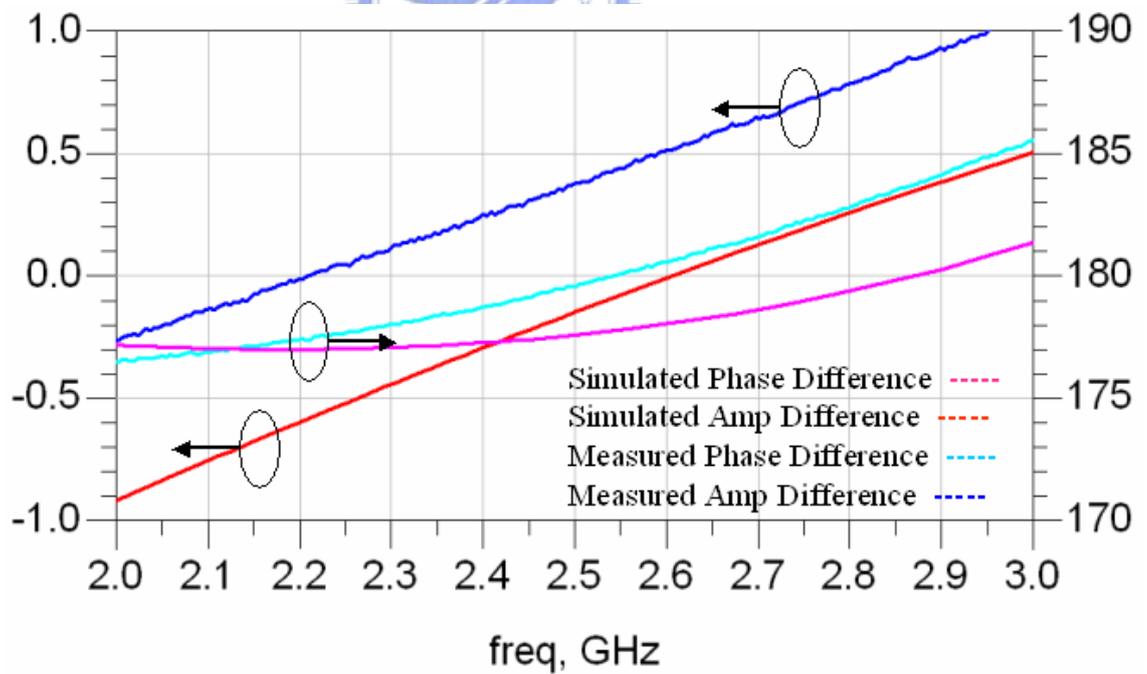


圖 3-20 Type-B Balun Imbalance 模擬與量測結果

3.7 Thin-film Type-C Balun : 50 –50 Ohm

鑑於大多數的 Balun 其 Source 端及負載端的阻抗都假設在 50Ω ，但是現在坊間對 Balun 的規格也開始出現一些特殊的規格，所以 Type-C 是假設 Source 端的阻抗是 50Ω ，但是負載端的阻抗卻是 25Ω 的情形。在之前的公式推導中我們就已經提過，我們可以藉由調整耦合因子來匹配不同的負載阻抗，對設計者而言，最簡單的方法就是調整傳輸線的寬度及距離，若是使用堆疊式製程(如 LTCC 或是薄膜製程)，最簡單的方式是調整介電層之間的厚度，但是對 LTCC 製程而言，介電層厚度幾乎都是固定的，修改的難度很大。對薄膜製程而言，不同的介電層厚度，只要修改不同的曝光及顯影的參數即可，相對於 LTCC 製程是比較簡單的，但是本例在不改變介電層厚度的前提之下，提出以”錯位”的方式來改變耦合因子的方法。

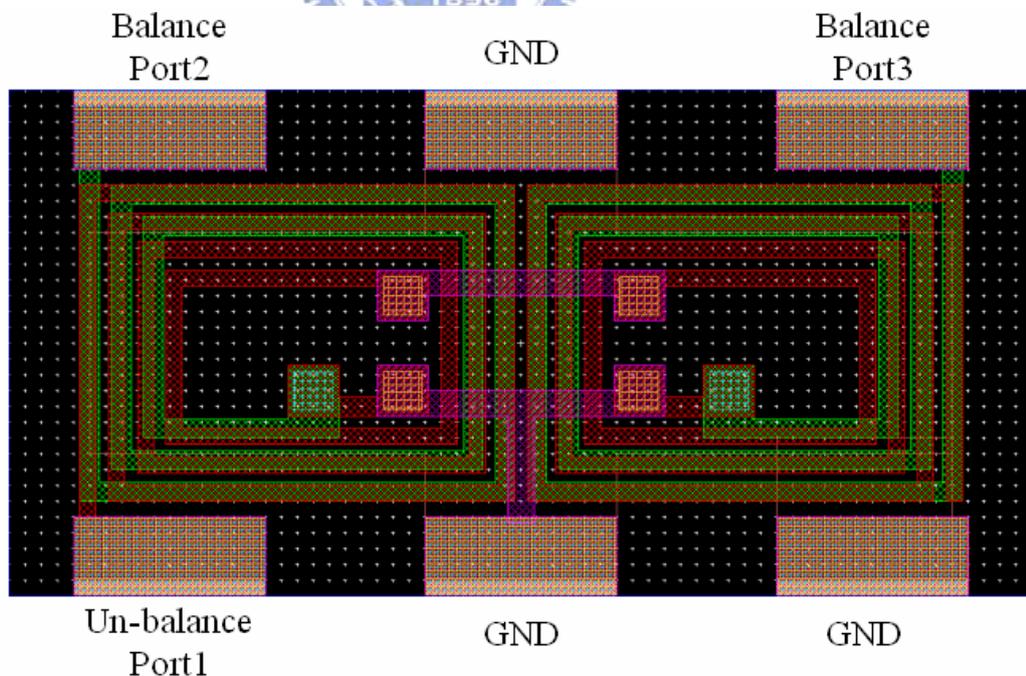


圖 3-21 Type-C Layout

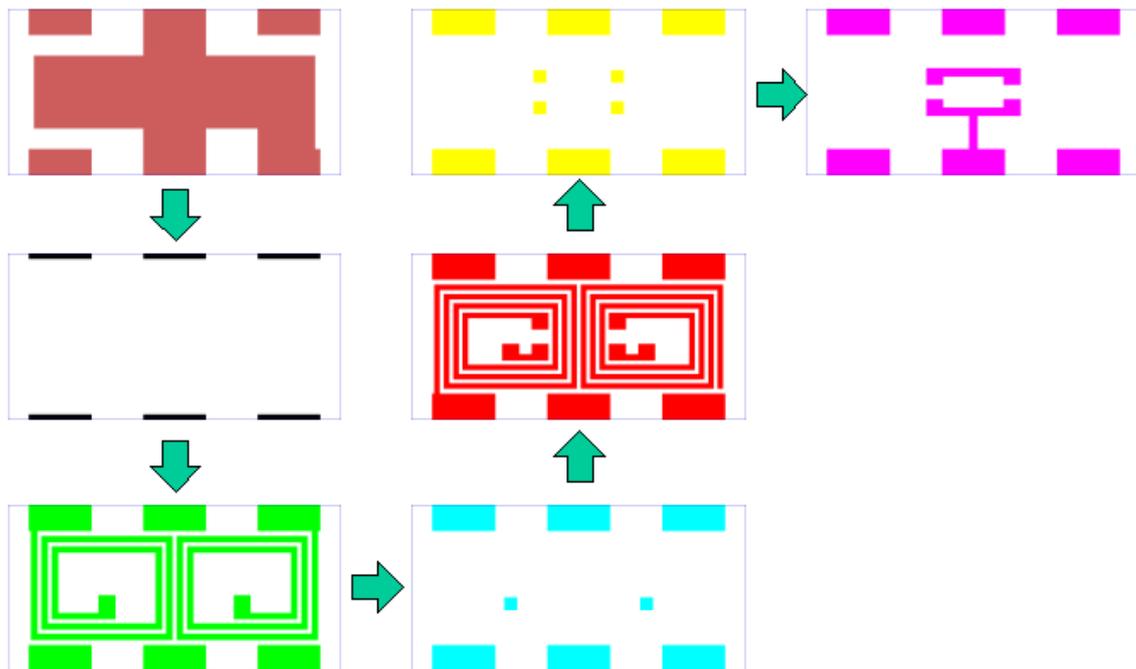


圖 3-22 Type-C Balun 平面圖

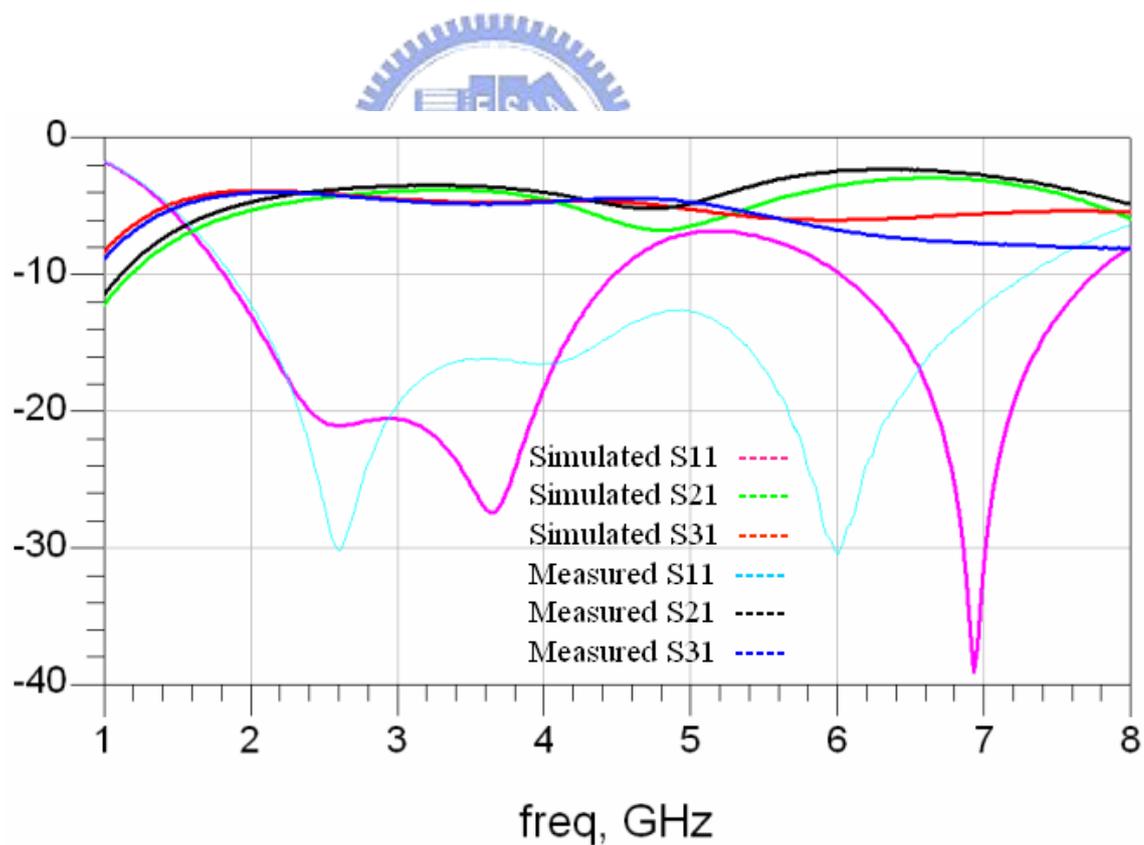


圖 3-23 Type-C 模擬與量測結果

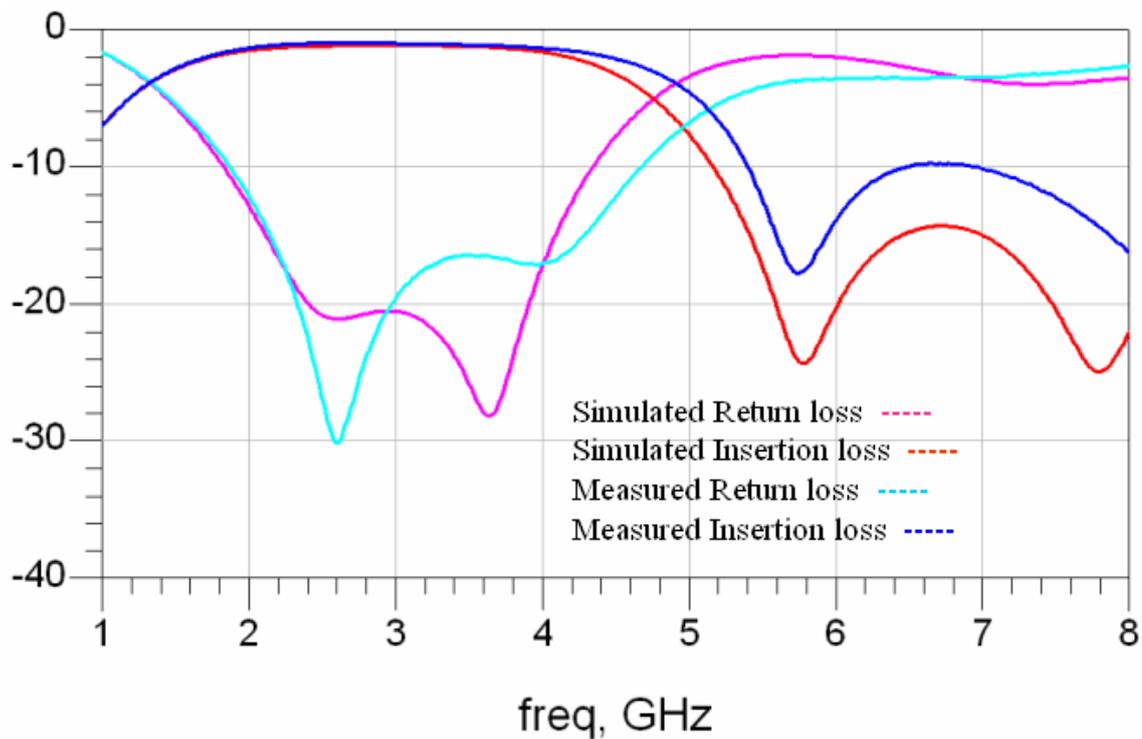


圖 3-24 Type-C Balun loss 模擬與量測結果

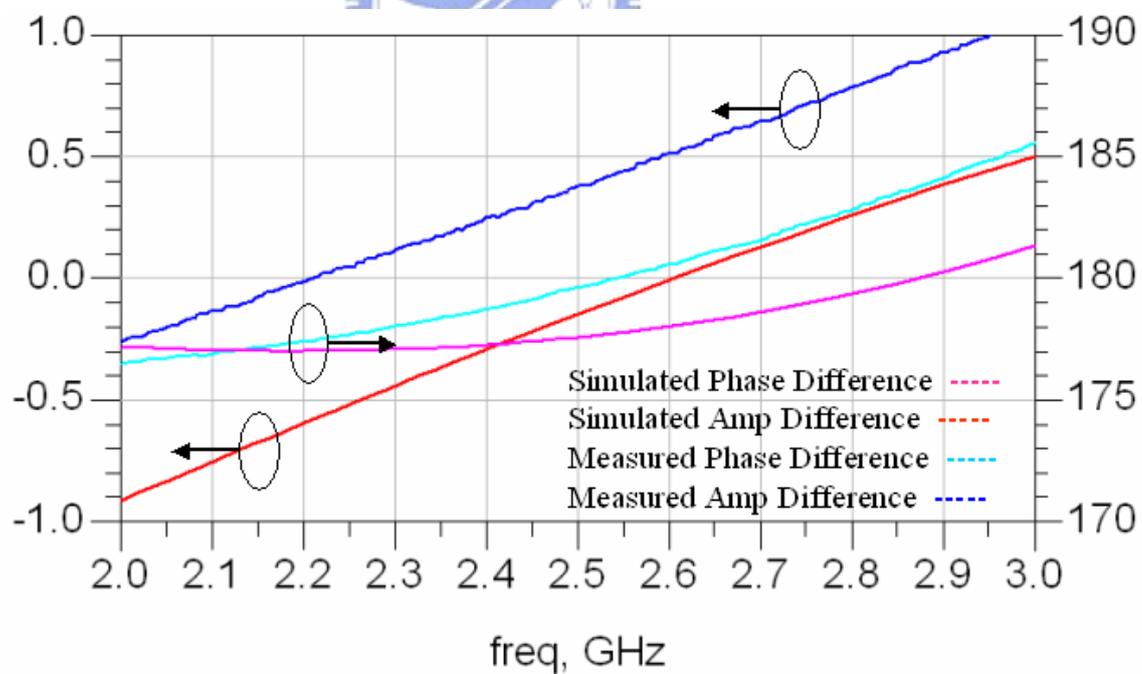


圖 3-25 Type-C Balun Imbalance 模擬與量測結果

3.8 分析

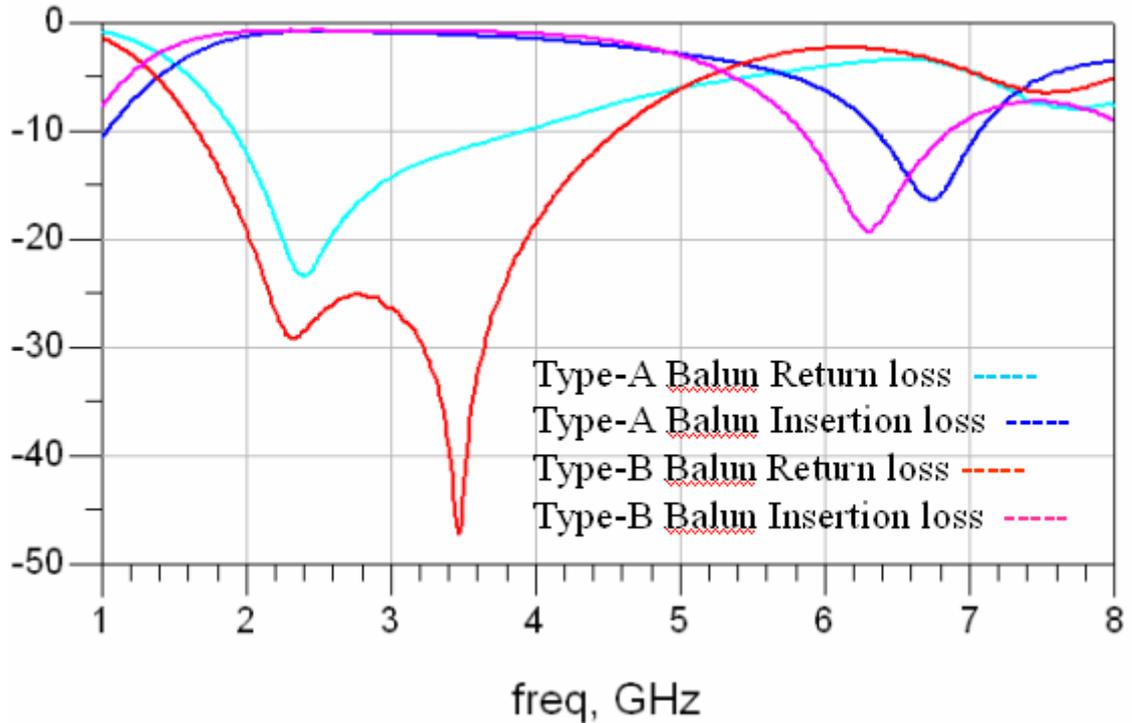


圖 3-26 Type-A & B 特性比較

從圖 3-26 我們可以發現，經過改良的正方形繞圈結構的確具有寬頻、Low loss 的特性，若以 S11 低於 -10dB 為標準來計算頻寬的話，Type-A 的頻寬從 1.914~3.922GHz，BW=2.008GHz。Type-B 的頻寬從 1.661~4.566GHz，BW=3.465GHz。相對於 Type-A 而言，頻寬增加了 44.37%！這是一個很驚人的改進。

接下來我們來比較當 Balun 除了必須轉換信號型態時，同時也必須負起阻抗轉換時的情形。一般而言，如果 Source 端與負載端都是 50Ω 時，此時的 Balun 是最容易設計的，但是我們在設計 Type-C Balun 時，我們假設了負載端的阻抗是 25Ω，而從圖 3-27 中我們發現了加入阻抗轉換功能的 Balun 的頻寬是有所減損的，Type-C 的頻寬是從 1.87~4.67GHz，

BW=2.8GHz，頻寬減少了 3.4%。除了頻寬有所減損之外，介入損失也有所劣化，在整個頻寬範圍內，Type-C 的 loss 比 Type-B 要高出了 0.2~0.4dB 左右！

從前述的特性中我們會發現一件事，由於線圈的設計要領和設計電感是一樣的，所以為了降低 loss，我們可以利用漸進式線圈來設計，也就是說因為電磁渦流損失的原因，使得內圈的等效使用寬度會比實際的線寬為窄，所以在設計線圈時，越內圈的線圈越細，如此一來可以使得中心的空間變大，進而改善 Q 值。

除了使用漸進式線圈之外，還可以將線圈轉彎處從直角改成圓角，如同 Type-A 一樣，這樣的設計也能夠改善線圈的 Q 值。

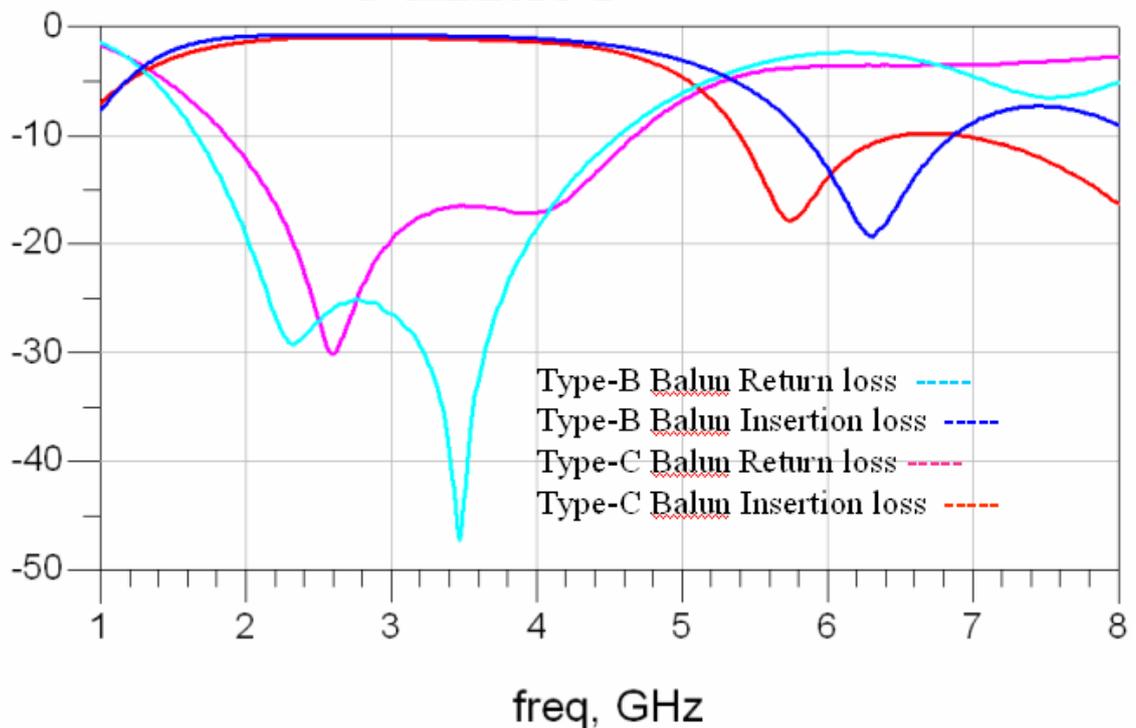


圖 3-27 Type-B & C 特性比較

第四章 濾波器(Filter)

4.1 前言

隨著無線通訊產業的發展，各項無線通訊標準不斷的在生活中應用，如 WLAN、Bluetooth、DECT……………等產品充斥在我們生活中。但是凡是無線通訊產品在工作時最怕的就是干擾！這些干擾可能來自其他通訊標準的產品，甚至現在的產業趨勢更是將不同通訊標準的功能納入同一產品，例如 NB 同時有 WLAN 及 Bluetooth，手機除了有 900/1800 的工作頻段之外，同時也具有 Bluetooth 及 GPS 的功能。

隨著越來越多的通訊功能被納入之後，對工程師而言，防止干擾的能力就越來越重要了，所以濾波器的角色也越來越吃重了。濾波器除了要讓工作頻段的訊號通過(loss 越少越好)，也要將其它的干擾訊號及雜訊濾除，除此之外，為了避免干擾其他通訊產品，也必須將自身產生的雜訊濾除，例如倍頻訊號。所以一個好的濾波器必須同時具備多頻段雜訊濾除的能力。

4.2 濾波器電路

在現今的商業應用中，大部分的濾波器還是使用 LTCC 製程來製造 [7]-[12]，所以濾波器的構成電路大多都是集總元件，像是電感、電容。例如在圖 4-1 中所示的電路，在 LTCC 製程中，這是一個很典型的電路設計，在輸入/輸出的部分，因為考慮到濾波器前後可能會串接其他主動電路，為避免電源直接短路，所以採取串接電容的設計。

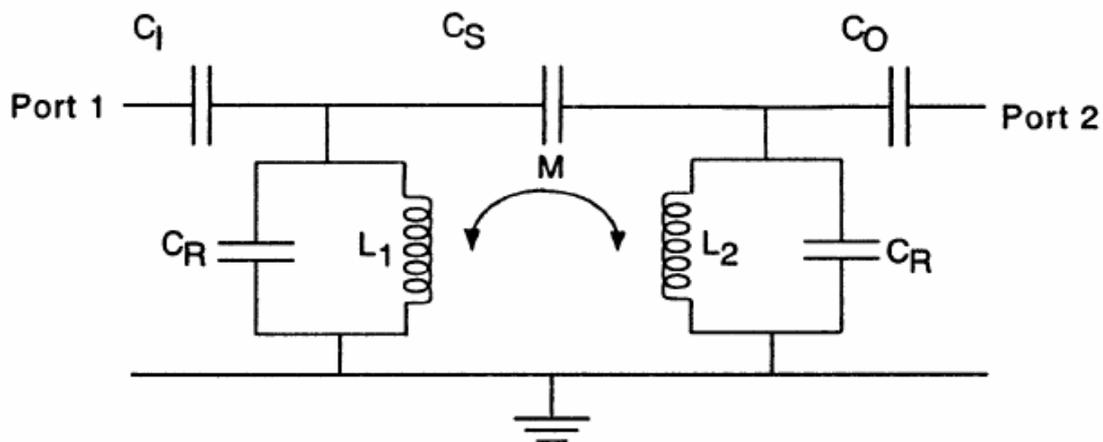


圖 4-1 濾波器電路架構

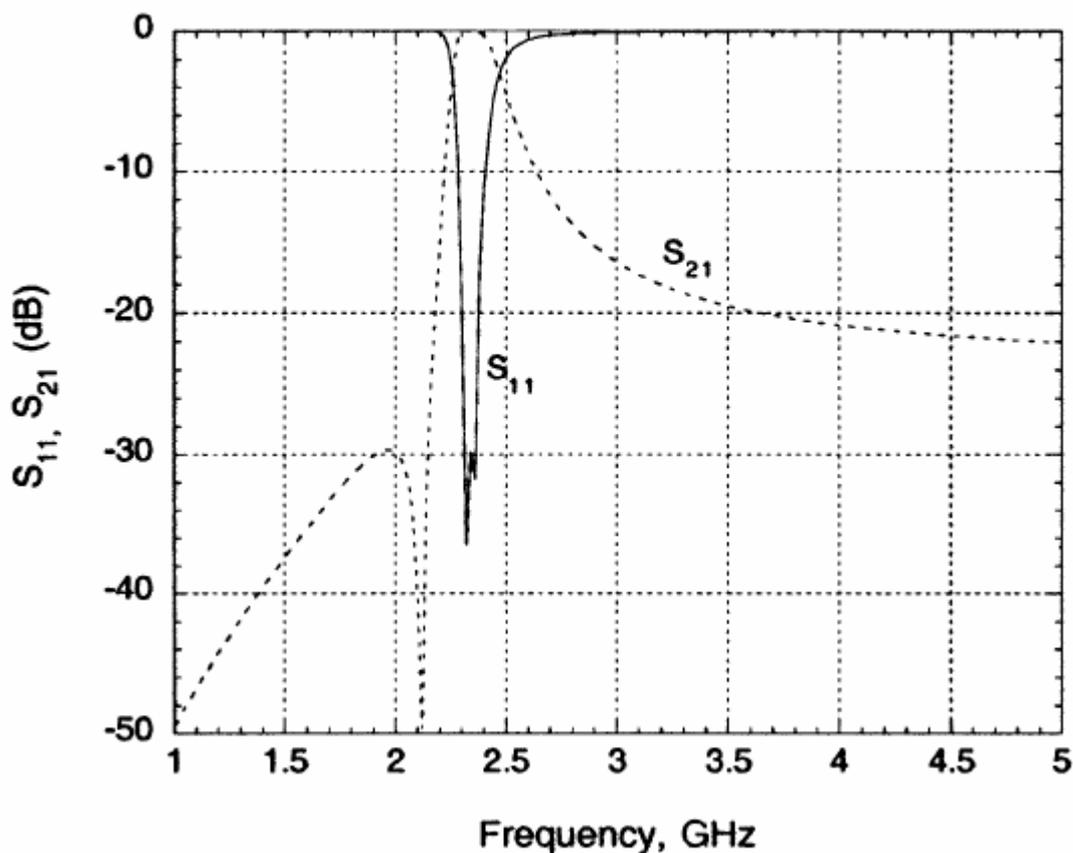


圖 4-2 濾波器特性

而雜訊濾除的功能則是交由兩個接地的並聯諧振電路來完成，在設計濾波器的時候，通常會有需要特別加強濾波功能的頻段，這個頻段可能來自外界的干擾源或是本身電路的雜訊，所以這個時候設計者就必須在電路

設計中引入零點來加強濾波的功能，如圖中的低頻段一般。在電路中，這個零點是由 C_s 與電感間的互耦電感並聯來完成的。由於在原始設計中只有引入了一個零點(在低頻)，所以在高頻沒有零點。

我們若是將電路略做修改便可以同時在高頻與低頻段中各引入一個零點，如圖 4-3 所示，如此一來便可以同時加強濾波器的濾波功能。

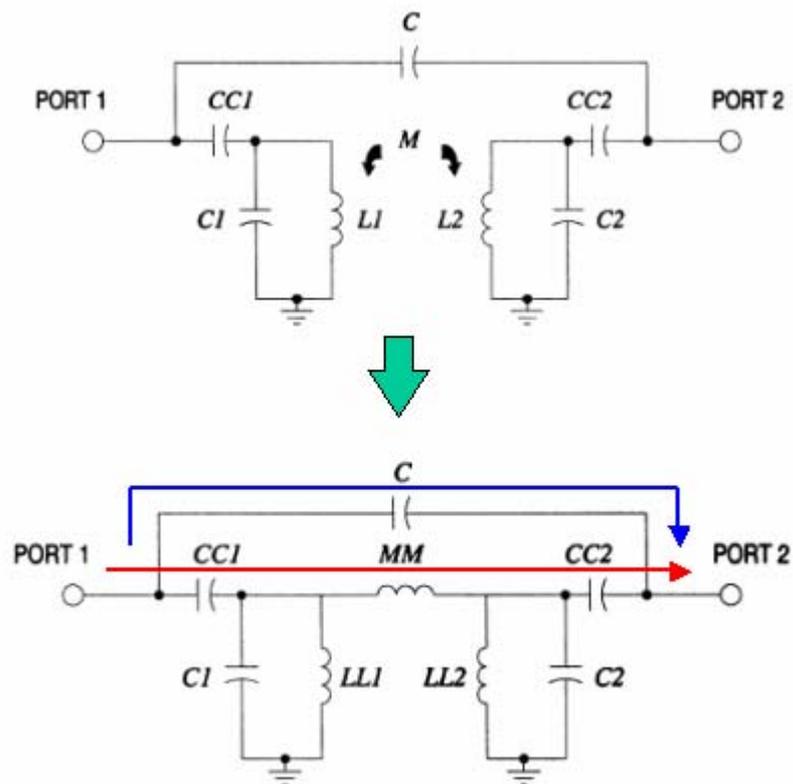


圖 4-3 交錯耦合濾波器

這個電路之所以能夠在高/低頻段各造出一個零點，主要是利用了交錯耦合的技巧。由圖中可以發現訊號由 port1 到 port2 一共有兩條路徑，一條是經過 $CC1$ 、 MM 、 $CC2$ 。另一條是經過電容 C 。如果我們能夠經由特殊的設計讓訊號在經過兩條路徑之後，大小相等、相位相反，如此一來便能夠造出我們要的零點。

由圖 4-4、圖 4-5 中我們可以發現，適當的調整電容 C 就可以調整兩側零點的位置，以達到我們所需要的濾波效果。

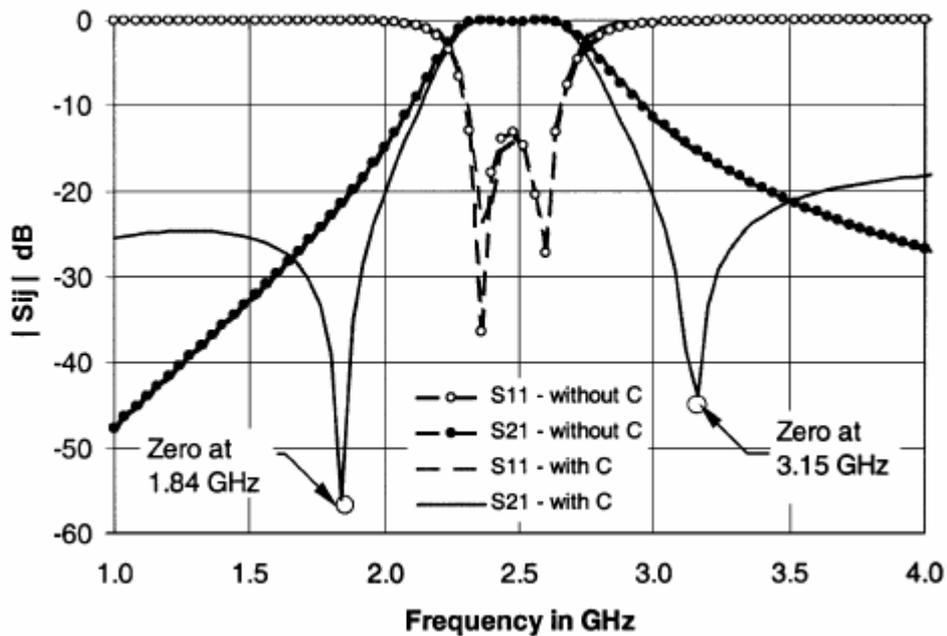


圖 4-4 交錯耦合濾波器分析一

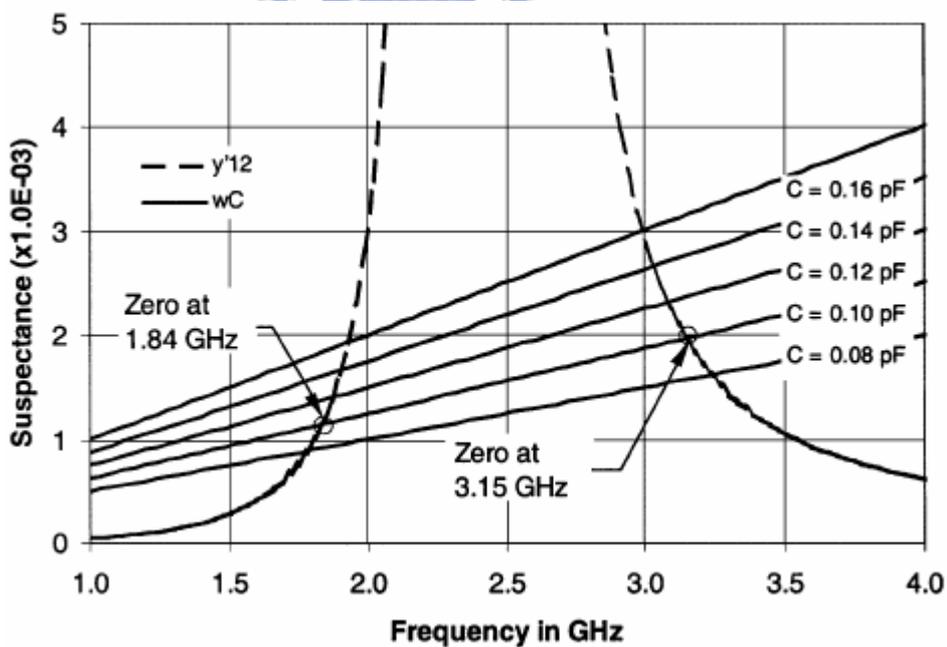


圖 4-5 交錯耦合濾波器分析二

4.3 薄膜濾波器電路實作

以濾波器設計而言，第二種設計在應用上比較廣泛，因為這種設計可以在高低頻段取得較好的濾波器特性，而且這樣的電路結構也很容易在 LTCC 製程中實現，但是由於薄膜製程所能夠運用的層數有限，如果要做到輸出入直接電容耦合，在實際的電路設計上會有困難，所以我們將電路修改為如圖 4-6 所示，

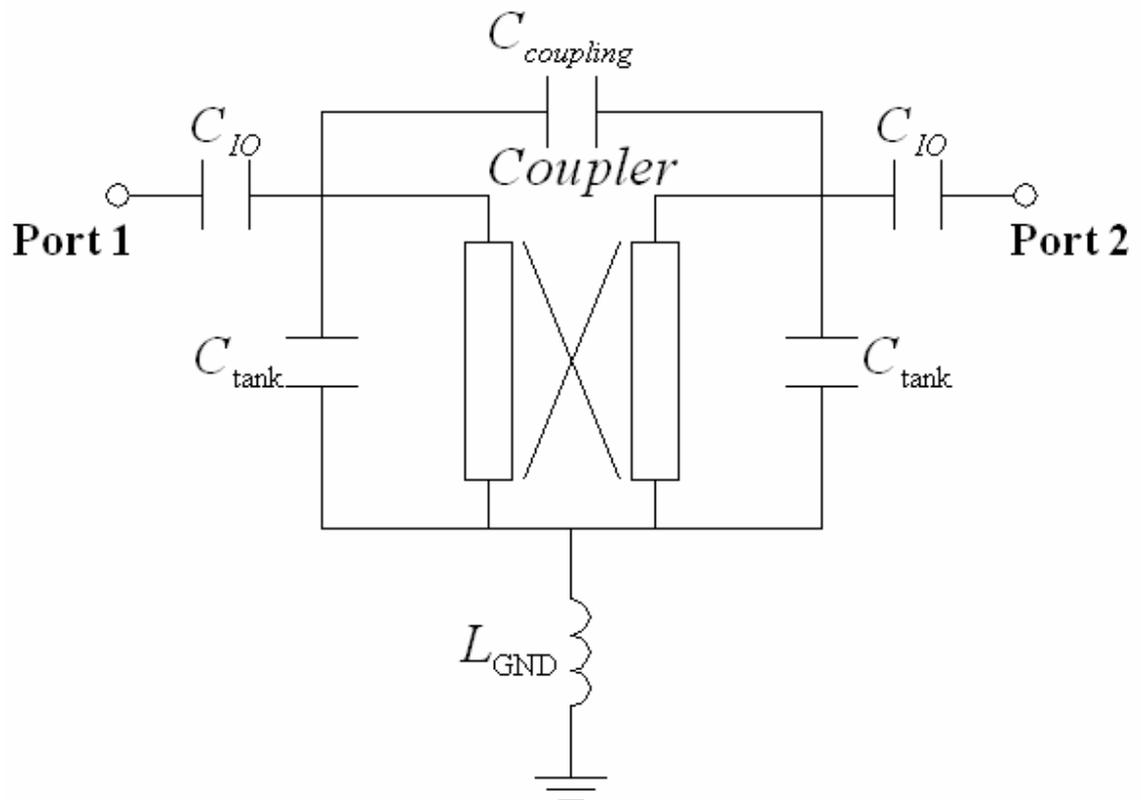


圖 4-6 薄膜濾波器電路

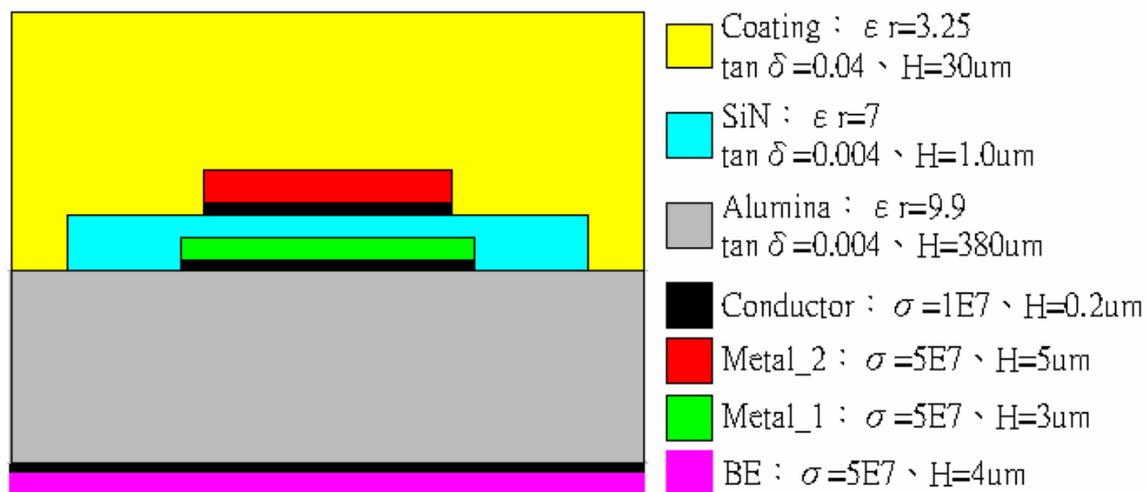


圖 4-7 薄膜濾波器截面圖

圖 4-7 是這次設計的濾波器的截面圖，在正面我們用了兩層金屬、兩層介電材料，第一層介電材料的主要功能是用來提供設計電容的作用，而第二層介電材料主要是用來提供保護電路的作用，具有抗酸鹼、防磨損、耐濕的作用。背面的金屬則是作為接地金屬之用，目的在於隔開濾波器電路與 PCB 電路，尤其是在多層板的環境中，每種板子的厚度都不同，如果沒有這層接地金屬隔離，在不同的環境中，測試出來的特性也不同。

圖 4-8 是從底層金屬到上層電路的線路圖。

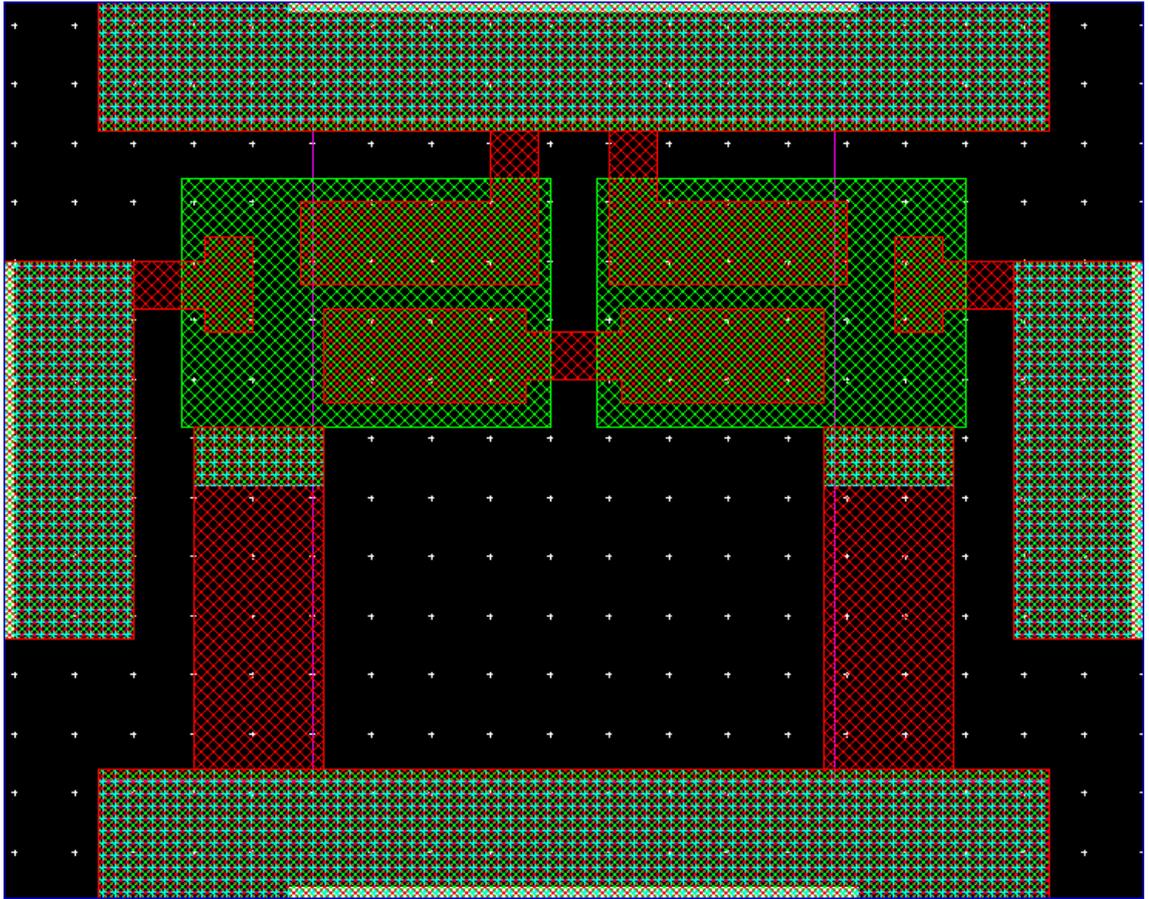


圖 4-8 薄膜濾波器 Layout

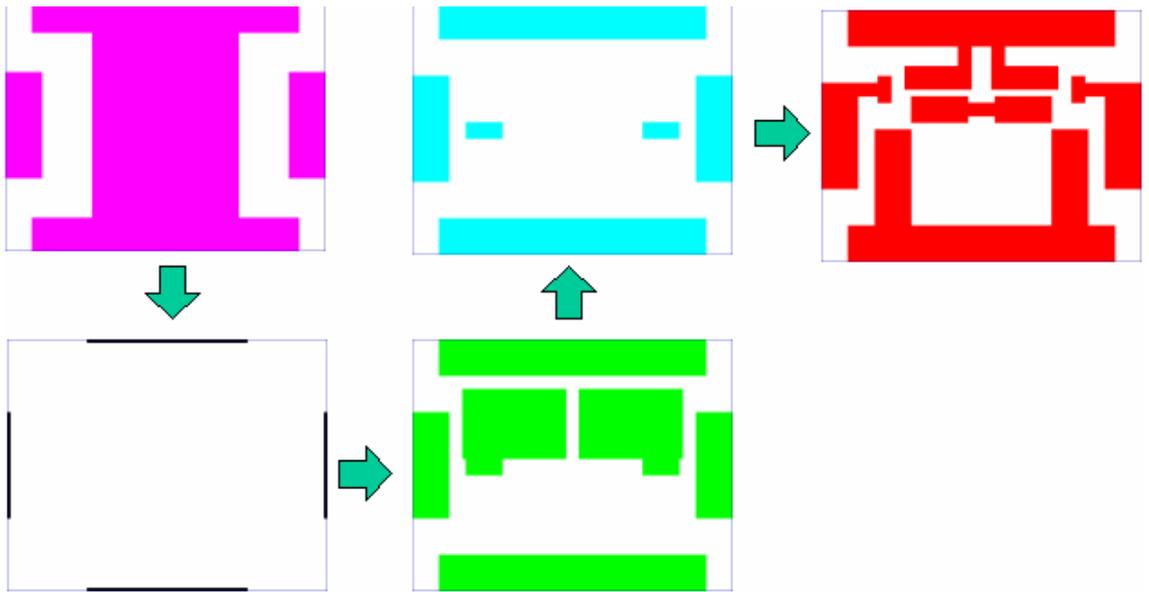


圖 4-9 薄膜濾波器平面圖

圖 4-10 是模擬和量測結果。

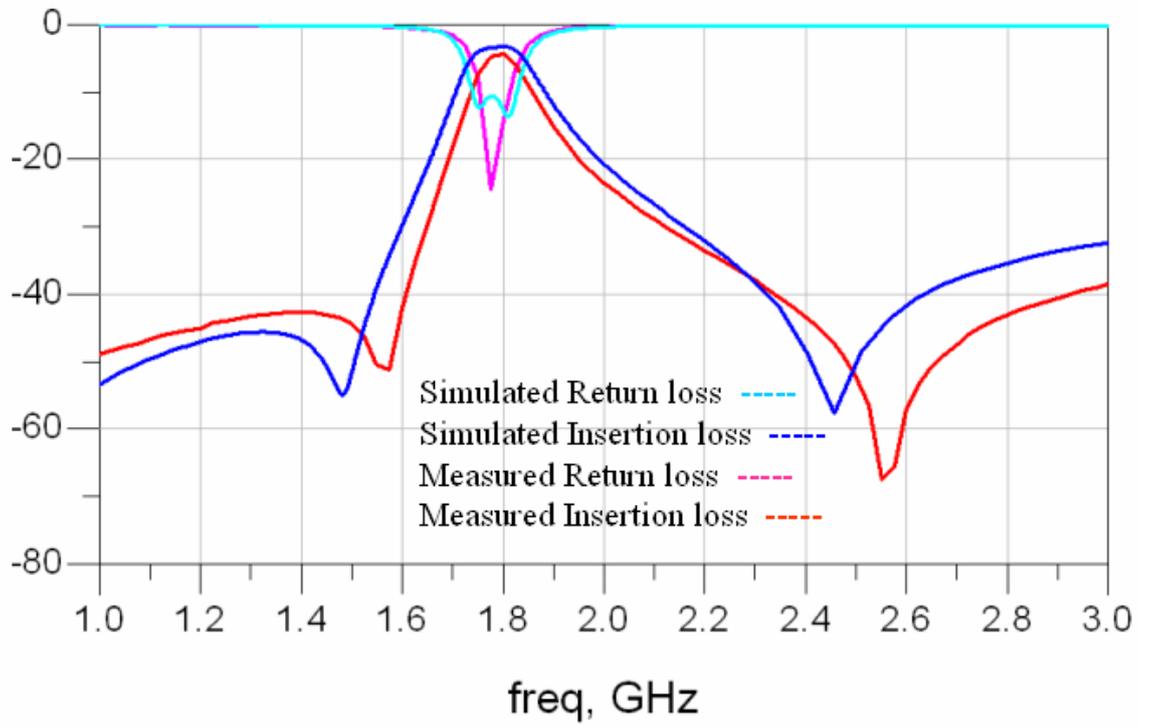


圖 4-10 薄膜濾波器模擬與量測結果

第五章 雙工器(Diplexer)

5.1 前言

隨著現代各種無線通訊標準的設立，單一無線通訊裝置可能會同時具有各種不同的通訊頻段，一般而言都會使用切換器(switch)在不同頻段之間切換，但是 switch 大都是主動式，除了輸出入路徑之外，還必須提供電源路徑，會增加電路設計的困難，再者，一般的 switch 並無法提供基本濾波的功能，所以在電路設計上，還必須額外加上濾波器的元件。

而雙工器藉由電路設計，除了能夠自動分辨出不同頻率之外，還能夠提供濾波器的功能。早期的雙工器大都是由低通濾波器和高通濾波器組合而成，但是到了現代，雙工器也可能是由低通濾波器和帶通濾波器組合而成[13]，甚至是由兩個帶通濾波器[14][15]組成，端視功能需求而定。

5.2 雙工器電路

一般而言，Diplexer 分為高頻段路徑以及低頻段路徑，本次設計的 Diplexer 低頻段路徑的頻率範圍是：824~960MHz，高頻段路徑的頻率範圍是：1710~2170MHz。

圖 5-1 是這次所要設計的 Diplexer 的規格，從規格中可以發現，所使用的頻段幾乎涵蓋了所有目前手機的頻段，而且從規格中我們可以發現低頻段的衰減規格較為嚴苛，所以我們決定低頻段的電路設計採用帶斥濾波器(Band-stop Filter)。

Pass Band	Low : 824~960 MHz High : 1710~2170 MHz
Insertion Loss	Low : 0.70dB Max @ 824~915 MHz Low : 0.85dB Max @ 925~960 MHz High : 0.75dB Max @ 1710~1910 MHz High : 0.85dB Max @ 1910~2170 MHz
Ripple in BW	Low : 0.4dB Max High : 0.5dB Max
Attenuation	Low : 20dB Min @ 1648~1830 MHz Low : 25dB Min @ 2400~2500 MHz Low : 20dB Min @ 2472~2745 MHz Low : 20dB Min @ 3296~3660 MHz High : 10dB Min @ 3420~3820 MHz High : 10dB Min @ 5130~5730 MHz High : 10dB Min @ 6840~7640 MHz
VSWR in BW	Low : 2.0 Max High : 2.0 Max

圖 5-1 Diplexer 規格

圖 5-2 是 Low-Band 的電路，從電路中可以發現，這是一個帶斥濾波器，在一般雙工器的設計中，這是比較少見的電路。而我們則是利用了兩個並聯共振電路以及一個串連共振電路來完成我們的設計。

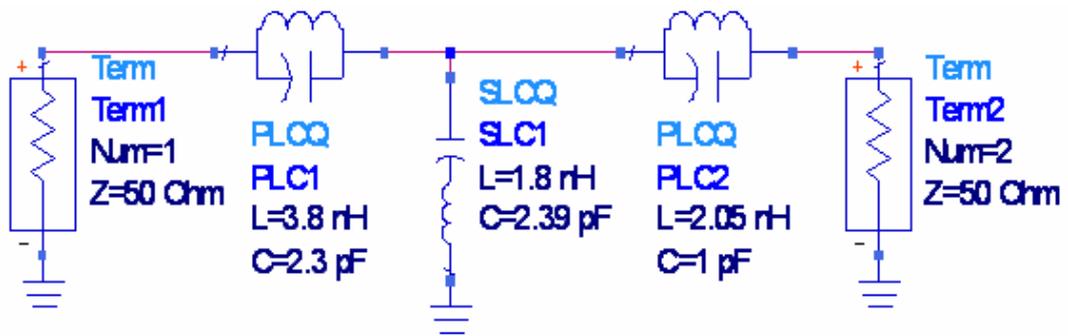


圖 5-2 Diplexer Low Band 電路

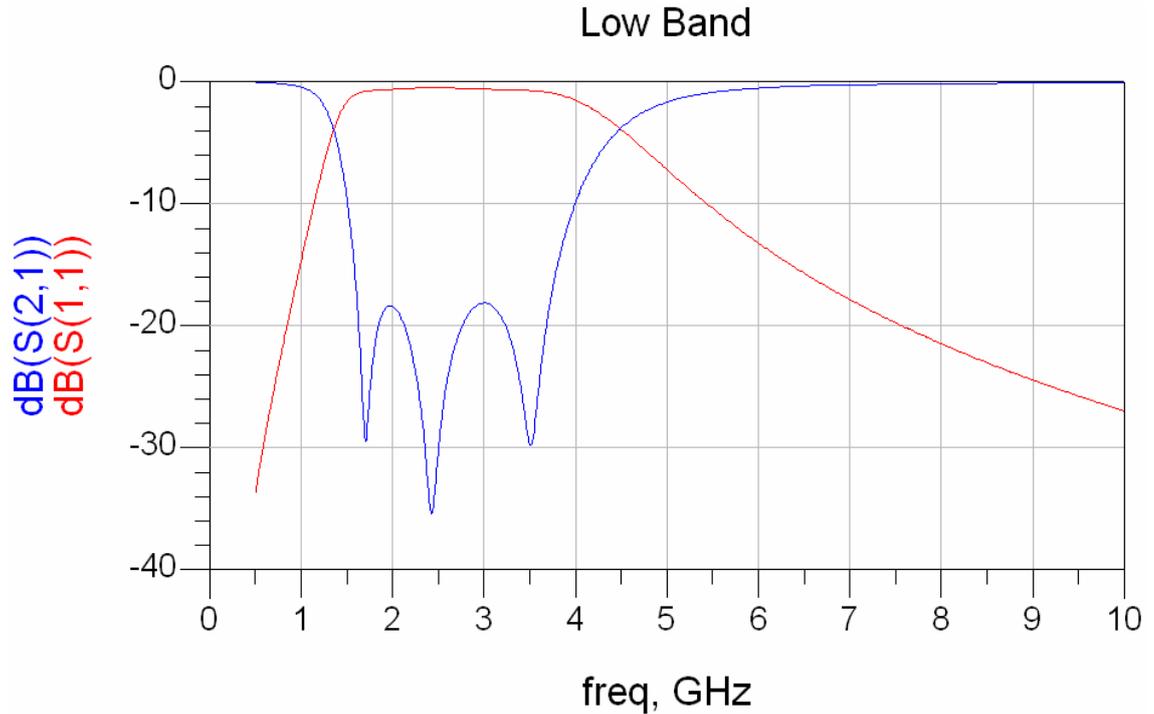


圖 5-3 Diplexer Low Band 特性

圖 5-3 是模擬的結果，在這裡要特別提醒一件事，我們並沒有特別把電路模擬的結果列出來，原因是在於電路模擬的意義是在於瞭解我們所設定的電路是否能夠提供我們所需要的功能。以本例而言，在設計之初便希望能得到三個零點，以作為濾波之用，所以在看到模擬結果之後，表示這樣的電路架構是可行的，至於正確的電容、電感值，並不需要在電路設計階段多花時間修改，因為在實際的 Layout 時，並無法確切的算出正確的電容、電感值，我們的設計過程是嘗試錯誤法來進行的，所以在這裡多花時間並沒有意義。

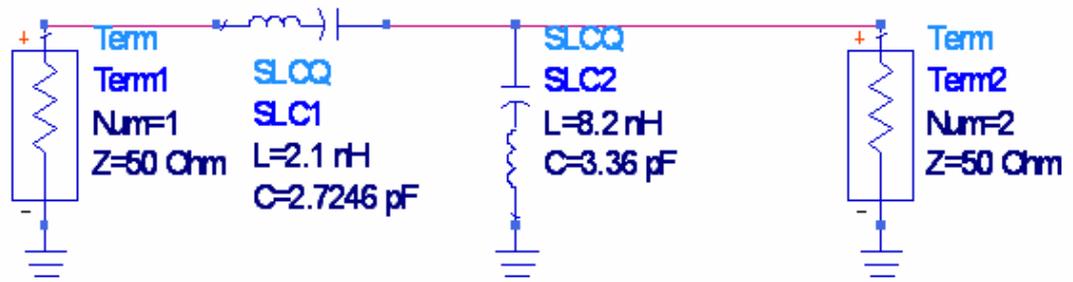


圖 5-4 Diplexer High Band 電路

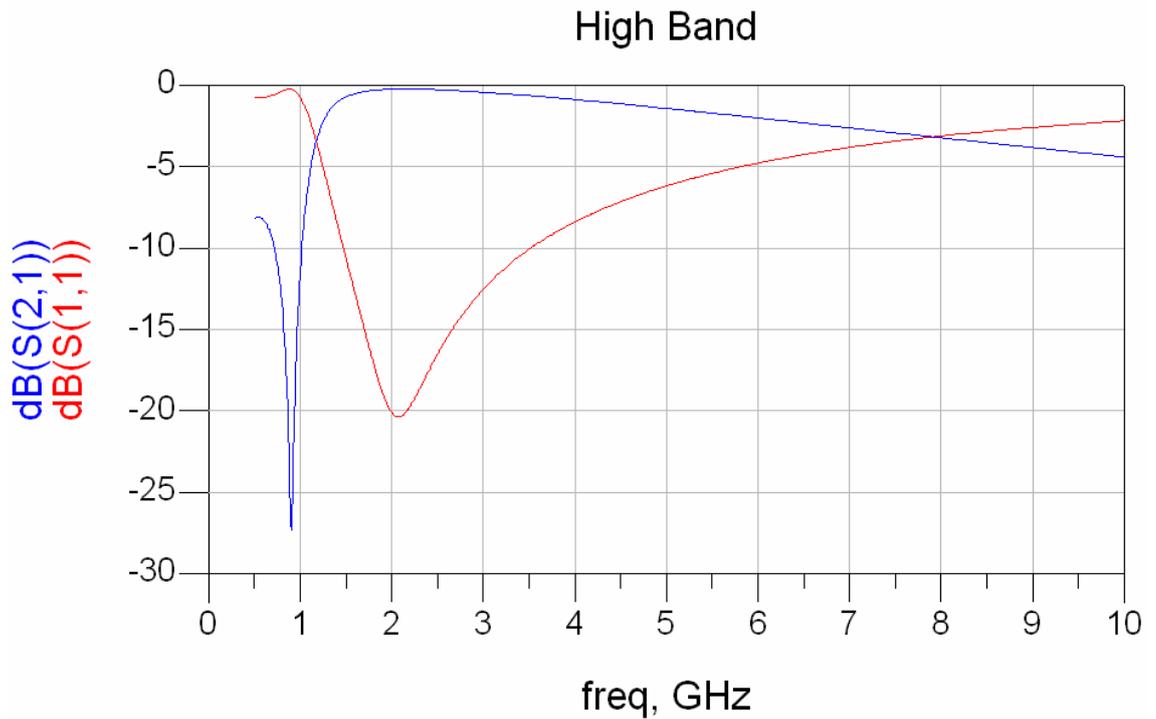


圖 5-5 Diplexer High Band 特性

圖 5-4、圖 5-5 是 High Band 的電路結構及模擬結果，在 High-Band 的電路結構中，我們用了兩個串連共振電路，一個串連共振電路提供類似帶通濾波器的功能，另一個串連共振電路接地，提供低頻段的零點，這個零點有提高 High-Band 與 Low-Band 之間隔離的作用。

圖 5-6、圖 5-7 是將 High-Band 與 Low-Band 並聯的電路架構以及模擬結果。

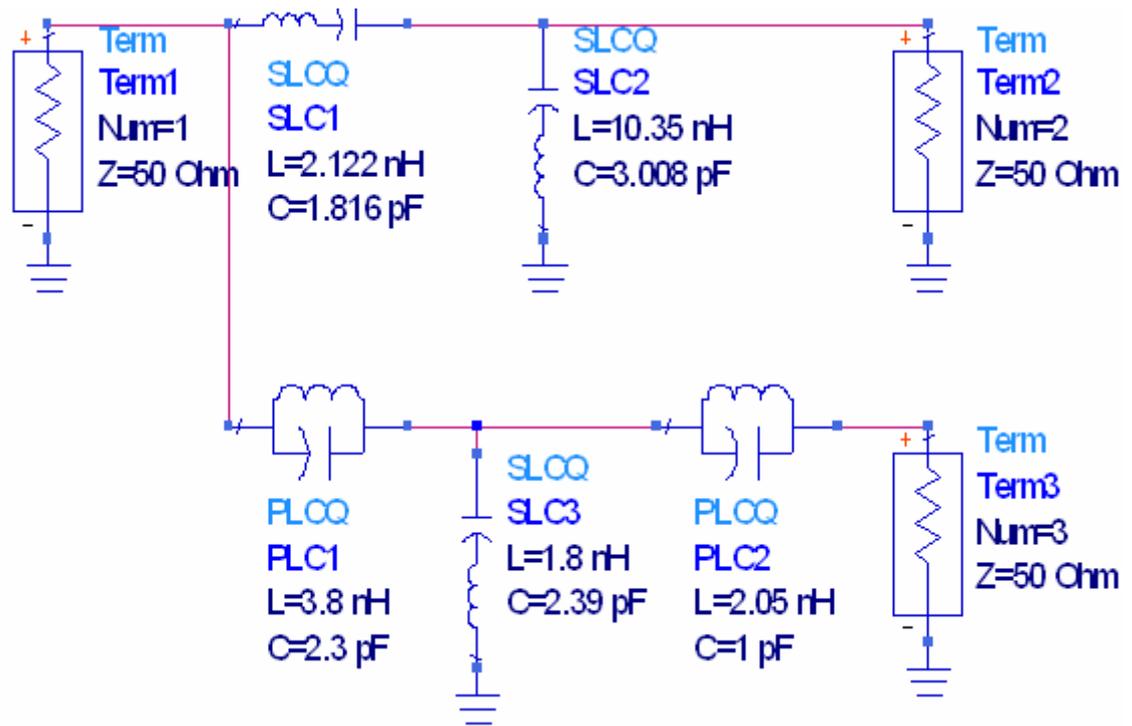


圖 5-6 Diplexer 完整電路

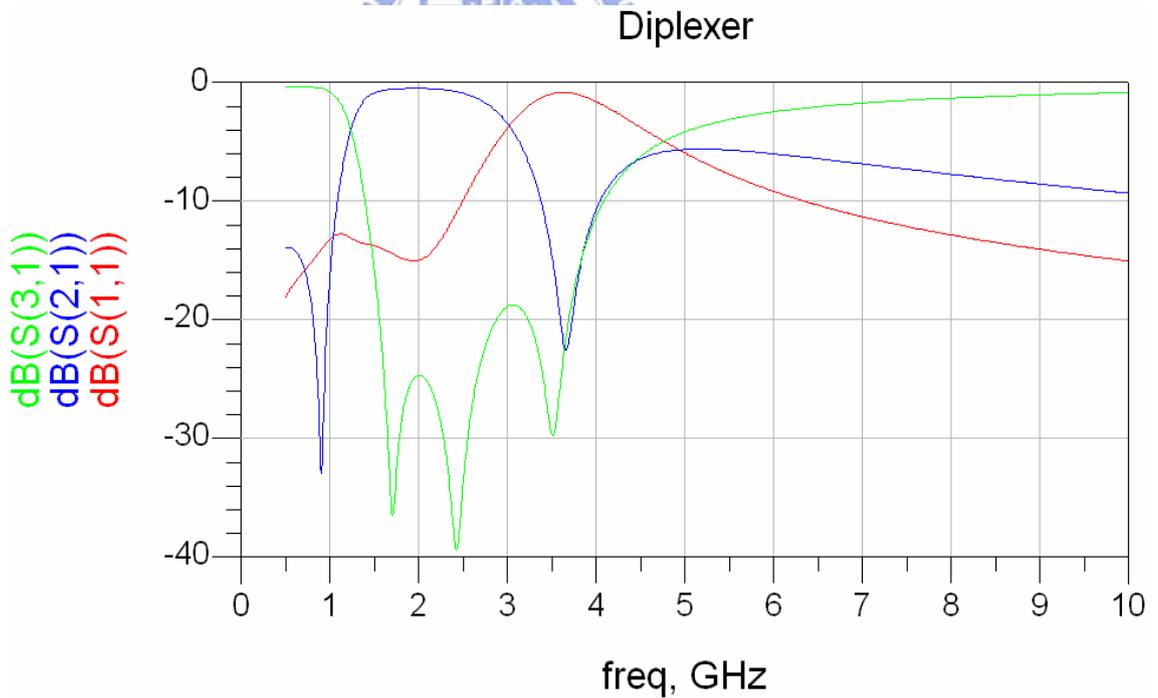


圖 5-7 Diplexer 完整特性

從模擬結果中我們可以發現，結合之後的特性與單獨模擬的特性不太一樣，不論是零點的位置或是衰減的深度，都有所改變。尤其是 High-Band

的特性，在高頻段出現了一個零點。

5.3 電路實作

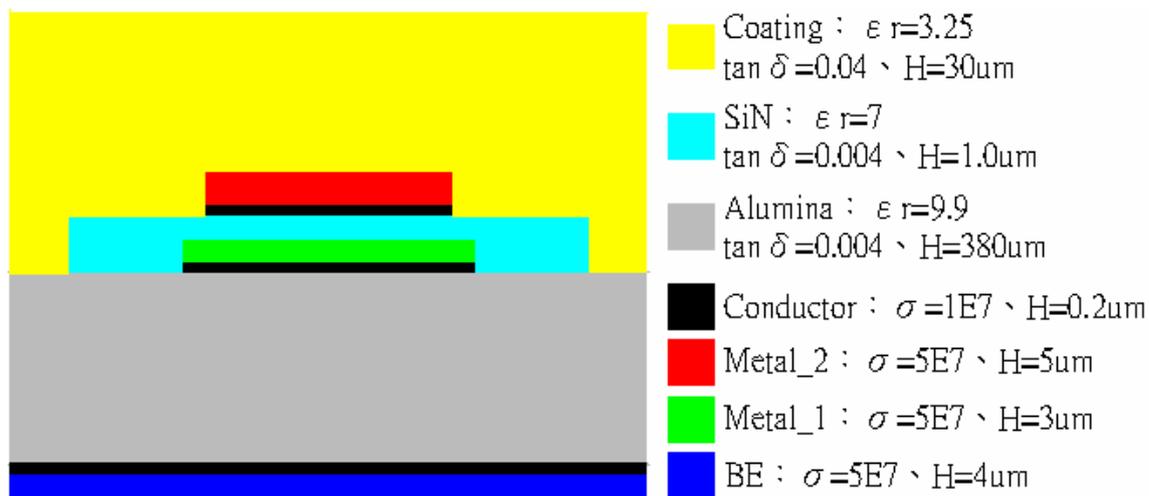


圖 5-8 Diplexer 截面圖

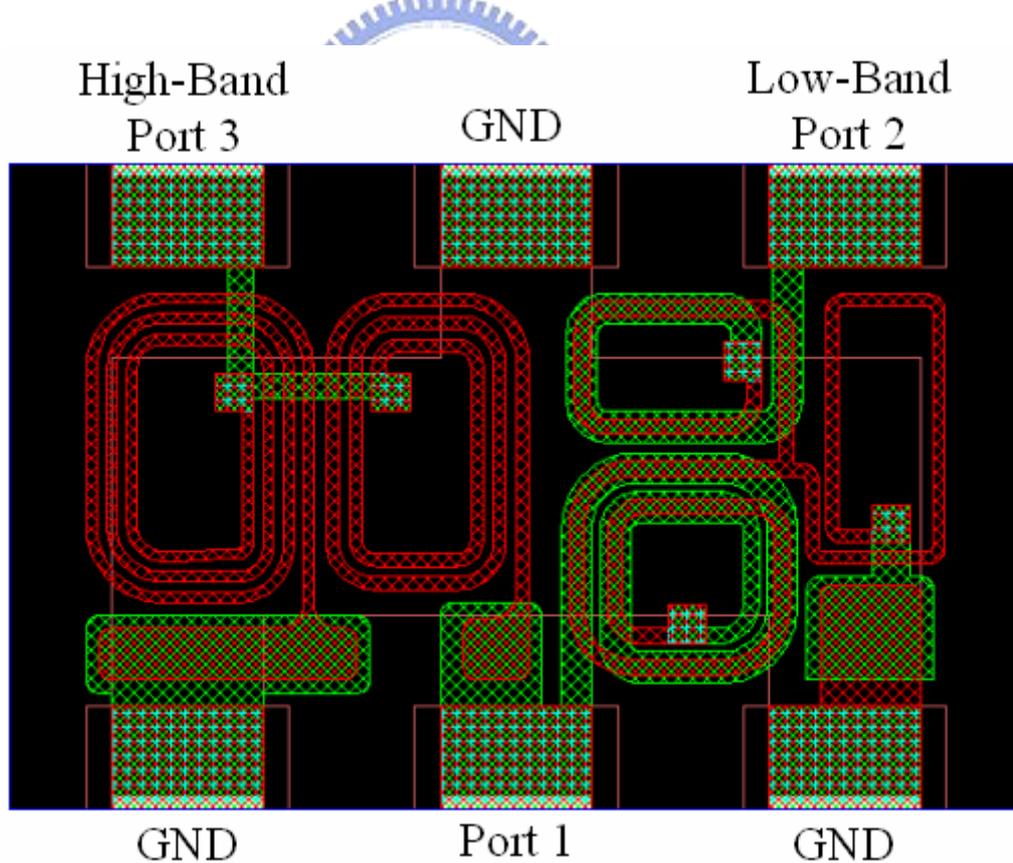


圖 5-9 Diplexer Layout

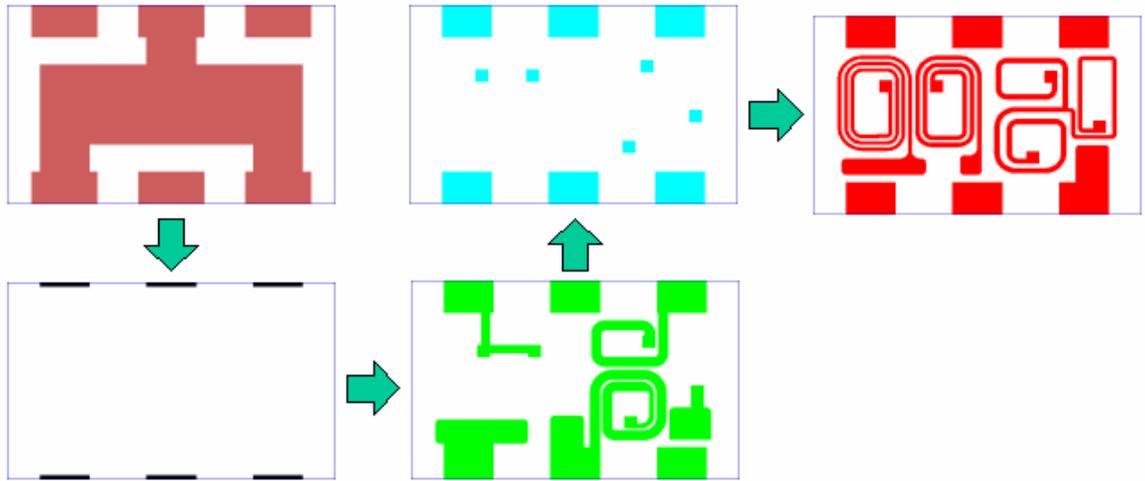


圖 5-10 Diplexer 平面圖

圖 5-8 是這次使用的材料截面圖，和濾波器使用的材料一樣。而圖 5-9 則是這次的 Layout，從 Layout 中可以發現，我們在轉彎處都使用了圓角結構，理由和我們設計 Balun 時的理由是一樣的，這樣的圓角結構可以改善電感的 Q 值，降低損失。圖 5-11 是量測結果。

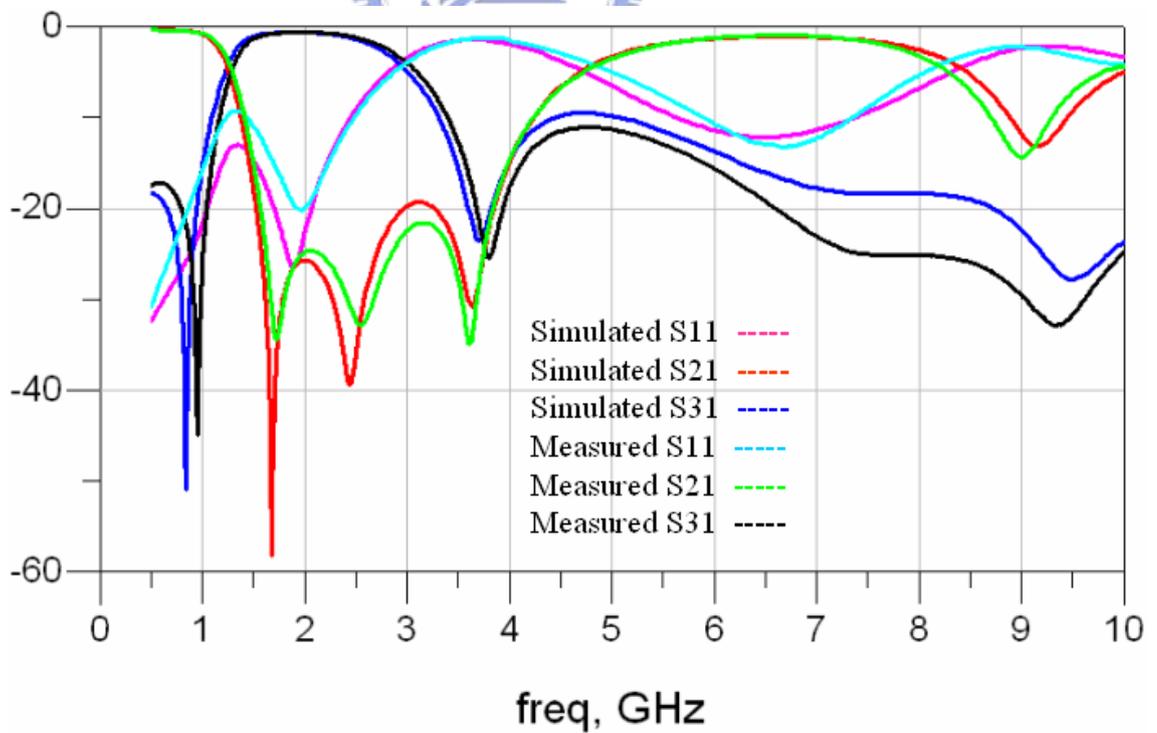


圖 5-11 Diplexer 模擬與量測結果

第六章 總結

本文利用高精密度的薄膜製程完成了 Balun、Band Pass Filter、Diplexer 的設計，證明了微波通訊元件除了可以利用 LTCC 製程來加以實現之外，薄膜製程也是可以考慮利用的方向之一。

在設計 Balun 的時候，我們利用了傳統的 Marchand Balun 來做為我們的電路架構，同時設計了 50-100ohm 以及 50-50ohm 的 Balun，在設計的過程中，我們也利用了傳統設計電感時所使用到的技巧，來改善 Balun 的特性，使得 Balun 的特性不論是在 Insertion loss 或是操作頻寬上都有相當大的改進。

在設計濾波器的時候，我們藉由改變傳統 LTCC 的濾波器結構，來達成同時在高頻及低頻同時創造出一個零點，來加強濾波器的衰減特性。但是綜觀起來，設計與量測上的差距是比較大的，究其原因是在於，薄膜製程在尺寸的控制上具有相當高的精密度，所以濾波器的耦合線特性具有良好的控制，但是在薄膜的厚度上，精準度就比較差了，但是就濾波器的設計而言，電容的成分是佔有比較高的成分，一旦在厚度上出現較大的落差，整體的特性就會有所偏離，這是可以進一步改善的部分。

在設計 Diplexer 時，我們再次看到了薄膜製程在尺寸控制上的優點，因為 Diplexer 的設計中，電感佔有較大的比例，所以藉由薄膜製程製作的 Diplexer，不論是尺寸或是特性上，都與我們的預期相差無幾。唯一美中不足的是 Diplexer 在高頻時的特性與模擬結果有較大的出入，這可能是來自於兩個原因，第一是模擬軟體在演算高頻特性時所具有的誤差，第二是

材料本身在高頻所產生的特性偏移造成的。

因為不論是業界或是學術界，在設計微波通訊元件時，大多都是利用 LTCC 製程來實現其電路，而本論文首次嘗試利用薄膜製程來實現通訊元件的設計，相信不論是電路架構或是在軟體的使用上一定都有不足之處，或許我們可以在實際佈線或是在材料系統的選定，甚至是製程參數的控制上都是我們未來所可以努力改進的方向。



參考文獻

- [1] 白木靖寬, 吉田貞史, “薄膜工程學” Pp. 1-1 ~ 1-3
- [2] Dae-won Lew, Jun-Seok Park, Dal Ahn, Nam-Kee Kang, Chan Sei Yoo, and Jae-Bong Lim, “A Design of the Ceramic Chip Balun Using the Multilayer Configuration.” IEEE Transactions on Microwave Theory and Techniques, Vol. 49, NO. 1, January 2001
- [3] David M. Pozar. “Microwave Engineering.” Pp. 206-213
- [4] N. Marchand, “Transmission Line Conversion Transformers.” Vol. 17, No. 12, 1944, Pp.142
- [5] Kian Sen Ang, Ian D. Robertson, “Analysis and Design of Impedance Transforming Planar Marchand Baluns.” IEEE Transaction Microwave Theory and Techniques, VOL. 49, NO. 2, pp.402-408, Feb. 2001
- [6] D. Cottet, J. Grazy, M. Scheffler, G. Troster, “Experimental Analysis of design option for spiral inductors integrated on low cost MCM-D substrates,” Proc. 51st ECTC, pp.824-830, 2001
- [7] Wing Yan Leung, Kwok Keung M. Cheng, Ke Li Wu, ”Design and implementation of LTCC filters with enhanced stop-band characteristics for Bluetooth applications” Proceedings of APMC2001, Taipei, Taiwan, ROC
- [8] Alexander Simine, Vadim Piatnitsa, Alexander Lapshin, Eino Jakku, Dmitry Kholodnyak, Seppo Leppaevuori, Irina Vendik, “Design of

quasi-lumped element LTCC filters and duplexers for wireless communications.”

- [9] Ching Wen Tang, “Harmonic-suppression LTCC filter with the step impedance quarter wavelength open stub.” IEEE Transactions on microwave theory and techniques, vol. 52, no. 2, February 2004
- [1 0]Wing Yan Leung, Kwok Keung M.Cheng, Ke Li Wu, “Multilayer LTCC bandpass filter design with enhanced stopband characteristics.” IEEE microwave and wireless components letters, vol. 12, no. 7, July 2002
- [1 1]Lap Kun Yeung, Ke Li Wu, “A compact second order LTCC bandpass filter with two finite transmission zeros.” IEEE transactions on microwave theory and techniques, vol. 51, no. 2, February 2003
- [1 2]Albert Sutono, Joy Laskar, W.R. Smith, “Design of Miniature Multilayer on package integrated image reject filters.” IEEE transactions on microwave theory and techniques, vol. 51, no. 1, January 2003
- [1 3]Rodolfo Lucero, Wasiem Qutteneh, Anthony Pavio, David Meyers, John Estes, “Design of an LTCC switch diplexer front-end module for GSM/DCS/PCS applications.” IEEE radio frequency integrated circuits symposium, 2001
- [1 4]Chih Ming Tsai, Sheng Yuan Lee, Chia Cheng Chuang, Chin Chuan Tsai, “A folded coupled-line structure and its application to filter and

diplexer design.” IEEE MTT-S digest, 2002

- [1 5]A.F. Sheta, J.P. Coupez, G. Tanne S. Toutain, J.P. Blot, “Miniature microstrip stepped impedance resonator bandpass filters and diplexers for mobile communications.”IEEE MTT-S digest, 1996

