

國立交通大學

工學院專班半導體材料與製程設備學程

碩士論文



半導體微影覆蓋誤差的控制策略

The Strategy of Overlay Error Control in Semiconductor Lithography

研究生：吳國裕
指導教授：張翼教授

中華民國九十七年一月

半導體微影覆蓋誤差的控制策略

學生：吳國裕

指導教授：張翼教授

國立交通大學工學院專班半導體材料與製程設備學程

摘要

在半導體 IC 製程中，微影技術是決定臨界尺寸大小之關鍵技術，對準與曝光則是微影製程中最重要之技術。隨著晶圓尺寸的增加，特徵尺寸的縮小，覆蓋誤差的控制成爲維持生產良率的關鍵，須以更可靠的方式來補償覆蓋誤差。超過容忍度的覆蓋誤差會造成電路容易發生短路或斷路，降低產品良率。覆蓋誤差必須長期控制在穩定且合乎容忍的範圍內，而微影覆蓋誤差的數學模式通常經由 Inter-field 及 Intra-field 誤差的總合來建立；Inter-field 誤差描述整體影響的特性，而 Intra-field 誤差描述局部影響的特性。

本論文研究方向爲，透過微影製程條件的最佳化，及增加曝光對準精確度來降低微影覆蓋誤差。藉由適當對準策略的應用，對準取樣記號數目選擇及對準取樣記號分佈分散且對稱，可有效增加對準精確度及穩定性，再經由調整曝光機台之設定參數去補償對準覆蓋誤差，進而降低覆蓋誤差，提升產品良率。此外，探討了微影製程條件對微影覆蓋誤差造成影響的可能原因，並透過實驗設計(DOE) 驗證之。我們由實際半導體廠所量得資料，比較不同對準抽樣策略下之覆蓋誤差補償效果，新的對準曝光程式證明比半導體廠現有方式爲佳，實驗資料發現可降低 36.4% 的覆蓋誤差，減少微影製程重工(Rework)率。

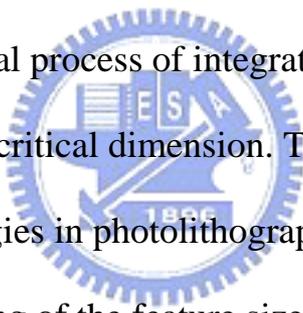
The Strategy of Overlay Error Control in Semiconductor Lithography

Student : Kuo-Yu Wu

Advisor : Dr. Edward Yi Chang

Program of Semiconductor Material and Process Equipment College of Engineering
National Chiao Tung University

ABSTRACT



The lithography is a critical process of integrated circuits manufacturing, and directly influences the limit of critical dimension. The alignment and exposure represents two major technologies in photolithography. With the increase of the wafer diameter and the shrinking of the feature size, the control of the overlay error becomes the key factor of maintaining the yield of products. Therefore the overlay error should be compensated by a more reliable method. , If the overlay error exceeds the limit of design rule tolerance, the outcome of short circuit will decrease the yield of products. It is important to model the overlay errors and then to compensate them into tolerances. The lithograph overlay error is commonly modeled as the sum of inter-filed and intra-field errors; the inter-filed error characterizes the global effect while the intra-filed error represents the field effect.

This paper aimed to minimize the overlay error model by optimizing process factor and increasing the alignment accuracy. We designed the alignment sampling strategies including the number of sampling points and sampling position to increase the alignment accuracy, then, the overlay errors can be corrected by exposure stage and the lens element of equipment. Furthermore, we studied the entire process factors that were overlay related, and optimized the process recipe by DOE methods. We compared the proposed alignment sampling strategy with alternative sampling strategies including the existing alignment strategies based on the model adequacy of alignment and the overlay residual errors. The proposed model and alignment sampling strategy are validated by empirical studies conducted in a fab. From the experiment result we got an excellent overlay improvement .The results demonstrated the practical viability of the proposed approach.



誌 謝

離開學校多年又重拾書本，需要感謝許多人的支持與體諒，三年多的交大研究生涯，終於要告一段落。能完成此研究論文，首先，感謝我的指導教授張翼博士，感謝張教授這三年來的指導與教誨，此外也要感謝謝宗雍教授與張立教授及戴保通教授在擔任論文口試計劃評審委員時給予的許多寶貴建議與指導，讓我的論文的不足之處得以補強。

接著要感謝我的父母及家人全力支持我完成學業。在三年多的學習過程中，必須兼顧工作與學業，最辛苦的莫若於老婆筠婷的支持與體諒，才能讓我有動力並且全心投入完成碩士學位。最後，感謝所有曾經幫助過我的人，沒有大家的支持，我將無法如此順利的完成此論文，感謝大家。



將此論文獻給我最愛的老婆

目 錄

中文提要	i
英文提要	ii
誌謝	iv
目錄	v
表目錄	vi
圖目錄	vii
一、	緒論.....	1
1.1	前言.....	1
1.2	研究背景及動機.....	2
1.3	文獻回顧.....	3
1.4	本文架構	4
二、	半導體微影製程與覆蓋誤差.....	5
2.1	半導體微影製程.....	6
2.2	微影製程設備.....	13
2.2.1	光阻塗佈與顯影設備 (Track)	14
2.2.2	光阻塗佈與顯影製程.....	16
2.2.3	掃描式曝光機 (Scanner)	24
2.2.4	對準系統與對準誤差.....	31
2.3	微影製程量測設備.....	36
2.4	微影覆蓋誤差.....	39
2.4.1	覆蓋誤差之原因.....	39
2.4.2	覆蓋誤差之測量與影響.....	41
2.4.3	覆蓋誤差模式.....	44
三、	實驗方法及設備.....	47
3.1	實驗流程.....	47
3.2	實驗設備及材料.....	49
3.2.1	製程機台.....	50
3.2.2	量測設備.....	50
3.2.3	化學材料.....	50
四、	實驗結果與討論.....	51
4.1	微影疊對誤差因子的選擇與驗證.....	51
4.1.1	曝光機對準系統的比較.....	51
4.1.2	微影覆蓋誤差因子的最佳配置.....	57
4.2	微影對準曝光程式的最佳化.....	67
4.2.1	曝光對準誤差.....	67
4.2.2	降低由對準誤差所引發之覆蓋誤差.....	78

4.3	產品對準誤差改善及良率驗證.....	71
五、	結論.....	76
參考文獻	78
自傳	82



表目錄

表 2-1	造成覆蓋誤差之原因.....	41
表 4-1	曝光機對準系統的覆蓋誤差數據比較.....	56
表 4-2	微影覆蓋誤差實驗配置結果表.....	60
表 4-3	ANOVA 表.....	61
表 4-4	測試實驗分批表.....	73
表 4-5	WAT 電性參數測試比較表.....	74



圖目錄

圖 2.1	ITRS 半導體技術藍圖.....	5
圖 2.2	半導體製程流程圖.....	7
圖 2.3	半導體產品剖面示意圖.....	7
圖 2.4	半導體產品的 SEM 剖面圖.....	8
圖 2.5	微影製程主要流程圖.....	9
圖 2.6	HMDS 塗佈示意圖.....	10
圖 2.7	光阻塗佈機示意圖.....	11
圖 2.8	倍縮投影步進機.....	12
圖 2.9	步進機整合系統圖.....	13
圖 2.10	光阻塗佈與顯影機 ACT-8.....	15
圖 2.11	光阻塗佈與顯影機 ACT-8 內視剖面圖.....	16
圖 2.12	正負光阻反應差異.....	17
圖 2.13	光阻與微影技術之演進.....	19
圖 2.14	光阻噴灑示意圖.....	20
圖 2.15	轉速與光阻厚度關係圖.....	21
圖 2.16	一般光阻塗佈製程的步驟與對應的轉速關係.....	22
圖 2.17	東京電子的顯影模組示意圖.....	24
圖 2.18	傳統的顯影及清洗流程圖.....	25
圖 2.19	光罩與晶片平台做反向的同步運動.....	26
圖 2.20	荷蘭 ASML Scanner 的結構圖.....	27
圖 2.21	微影光源演進圖.....	28
圖 2.22	光罩狹縫成像示意圖.....	29
圖 2.23	光學近接效應修正.....	30
圖 2.24	為曝光機的光學系統圖.....	31
圖 2.25	為偏軸光源基本的曝光原理.....	32
圖 2.26	曝光機對準系統示意圖.....	34
圖 2.27	晶圓對準圖案.....	35
圖 2.28	偏軸對準系統示意圖.....	36
圖 2.29	偏軸對準標記圖案及其分佈.....	36
圖 2.30	圖形覆蓋對準量測機.....	38
圖 2.31	Overlay 游標尺示意圖.....	39
圖 2.32	各種基本的對偏示意圖.....	39
圖 2.33	Overlay 覆蓋標記.....	43
圖 2.34	Overlay 量測記號之分佈.....	44
圖 2.35	各種覆蓋誤差示意圖.....	45
圖 2.36	Overlay 座標系統.....	47
圖 3.1	實驗流程圖.....	50

圖 4.1	TTL 對準系統標記圖案.....	54
圖 4.2	偏軸對準系統標記圖案分佈.....	55
圖 4.3	TTL 對準系統 WTW 覆蓋誤差.....	57
圖 4.4	偏軸對準系統 WTW 覆蓋誤差.....	57
圖 4.5	偏軸對準系統之對準標記圖案.....	58
圖 4.6	半常態機率圖.....	62
圖 4.7	效應之柏拉圖.....	63
圖 4.8	殘差的常態機率圖.....	64
圖 4.9	時間順序的殘差圖.....	65
圖 4.10	殘差對預估值的散佈圖.....	66
圖 4.11	Box-Cox Plot 信賴區間判定.....	67
圖 4.12	交互作用效應圖.....	68
圖 4.13	晶圓對準記號分佈比較.....	70
圖 4.14	八種不同曝光對準取樣.....	71
圖 4.15	八種不同曝光對準取樣策略之覆蓋誤差表現.....	72
圖 4.16	新舊曝光對準程式 WAT 盒鬚圖比較.....	74
圖 4.17	WAT 常態機率圖分布比較.....	76
圖 4.18	新舊對準程式盒鬚圖良率差異比較.....	77
圖 4.19	失效良率分佈比較圖.....	77

