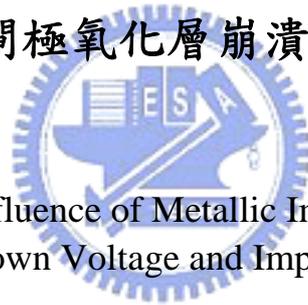


國立交通大學

工學院專班半導體材料與製程設備學程

碩士論文

探討金屬雜質對閘極氧化層崩潰電壓的影響與改善



Investigation into Influence of Metallic Impurity on Gate Oxide
Breakdown Voltage and Improvement

研究生：俞文光

指導教授：陳家富 教授

中華民國九十六年七月

探討金屬雜質對閘極氧化層崩潰電壓的影響與改善

Investigation into Influence of Metallic Impurity on Gate Oxide
Breakdown Voltage and Improvement

研 究 生：俞文光

Student : Yu, Wen-Guang

指 導 教 授：陳家富 博士

Advisor : Dr. Chia-Fu Chen

國 立 交 通 大 學

工學院專班半導體材料與製程設備學程

碩 士 論 文



A Thesis

Master Degree Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master of Science

in

Program of Semiconductor Material and Process Equipment

July 2007

Hsinchu, Taiwan, Republic of China

中華民國 九十六年 七月

探討金屬雜質對閘極氧化層崩潰電壓的影響與改善

學生：俞文光

指導教授：陳家富博士

國立交通大學 工學院專班半導體材料與製程設備學程

摘 要

本論文針對生產線中 $0.15\mu\text{m}$ 製程記憶體的閘極氧化層 (gate oxide) 崩潰電壓 (breakdown Voltage) 的下降變化與閘極氧化層預洗 (pre-gate clean) 過程之間的關係作探討。

經由感應耦合電漿質譜分析儀 (inductively coupled plasma-mass spectrometer, ICP-MS) 與二次離子質譜儀 (secondary ion mass spectroscopy, SIMS) 的實驗數據證明了此產品的閘極氧化層受到金屬雜質污染，而穿透式電子顯微鏡 (transmission electron microscopy, TEM) 的影像顯示晶片的矽底材有缺陷，間接證明了製程發生了異狀。從確定問題製程站別的實驗結果推論此產品應是在閘極氧化層生長前的閘極氧化層預洗 (pre-gate clean) 步驟有異常，導致閘極氧化層 (gate oxide) 崩潰電壓 (breakdown voltage) 突然變低。在尋找污染路徑的實驗中得知此金屬雜質污染是來自於廠務中央雙氧水管路。

本論文提出兩個解決方法，結果顯示(1) 廠務中央供酸管路必須定期維護，並提高更換過濾器的頻率從一年一次提高為半年一次，以避免污染源的再現，(2) 將預洗 (pre-gate clean) 配方中 RCA clean 之 SC2+SC1 clean 順序改為 SC1+SC2，即使在廠務中央供酸管路污染尚

未被移除的狀況下，此新的方法能使崩潰電壓維持在規格內。方法(1)可以降低管路受到污染的機率，方法(2)可確保產品不會再受到管路污染的影響。同時實施這兩個解決方法更可確保產品的崩潰電壓以後不會再受到類似事件的影響。另外，為了加強監控產品，已經建立一個能快速監控電性的機制來及時反映問題。由於量產的產品從投片到電性測試有好幾百道製程，一旦產品在電性測試的站別才發現異常時，出問題的站別可能已經跑了數週，此法就是用最少的製程做出主動區的絕緣 (isolation) 及簡單的金屬氧化半導體 (metal-oxide-semiconductor, MOS) 的結構後就把晶圓作電性量測。此法可在兩天之內就可得到數據，有別於舊法必須等待數週。

本論文證實確實執行以上三個方法，可以改善閘及氧化層崩潰電壓突然異常下降之故障。

Investigation into Influence of Metallic Impurity on Gate Oxide
Breakdown Voltage and Improvement

Student : Yu, Wen-Guang

Advisor : Dr. Chen, Chia-Fu

Program of Semiconductor Material and Process Equipment

College of Engineering

National Chiao Tung University

ABSTRACT

In this paper we focus on the relationship between the breakdown voltage of gate oxide and pre-gate cleaning because the breakdown voltage of gate oxide in 0.15 μm product dropped in the production line suddenly. And then solutions are proposed and carried out in the production line.

We broke down processes to verify the problem and found that the pre-gate oxide cleaning process could be the main root cause. Before the contaminations were found, we switched SC1+SC2 of RCA Clean in the Pre-Gate Clean. Switching SC1 and SC2 is able to have breakdown voltage stay in spec. Data from ICP-MS (Inductively Coupled Plasma-Mass Spectrometer) and SIMS (Secondary Ion Mass Spectroscopy) also show that the gate oxide was contaminated by the metallic impurities. Also we used different chemical suppliers and chemical delivery paths to verify where the contaminations came from and experimental data show that the contaminations came from H₂O₂ in the facility central supply system.

Therefore two solutions were proposed and carried out : 1.) the facility central supply system should be maintained regularly and the filters should be replaced more frequently ; from every 12 months to every 6 months 2.) the pre-gate oxide cleaning should be changed to SC1->SC2->HF from SC2->SC1->HF ,so that the breakdown voltage can stay in spec before the contaminations are removed. The above solutions have been accomplished and proven effectiveness. In order to monitor gate oxide quality, a rapid monitor system has been set up so that such a case won't kill so many wafers in the future. By this rapid monitor, the process engineer can have data within 2 days.

To carry out the above solutions can prevent such an excursion in the future.



誌謝

能夠完成這本論文，首先要感謝家人朋友對我的愛與支持，尤其是我的父親。雖然他已經在我考上交通大學後的第二年就去世了，但是他對我人格的啟發與影響永遠都是這麼的深遠。因為要兼顧研究所學業與工作，而沒有能在最親愛的父親重病住院時，日日親侍榻前，是我最大的遺憾。希望這本論文的完成，能夠與我在天上的父親分享。

衷心感謝指導老師陳家富教授百忙中仍耐心指導，令我受益良多。在研究上的指導讓我獲益良多，尤其是思考邏輯與解決問題的能力上更是進步不少。還有老師的親切與鼓勵，讓我在工作學業兩頭忙碌的情形中，還能夠以愉快的心情完成學業。感謝口試委員在口試時給予我的指正與懇切的建議，讓我的研究更加嚴謹。

感謝黃仲堯同學在學期中的居中協調，熱心協助安排各種必要的事項，讓我們能順利趕上進度。感謝旺宏電子的同事們，他們在我進行本研究實驗時的諸多指導與協助，讓我能夠順利進行。

在我就讀交大期間，在學業上、生活上以及工作上幫助我、愛護我的人，我會永遠記得這份恩情。

目錄

中文摘要.....	i
英文摘要.....	iii
誌謝.....	v
目錄.....	vi
表目錄.....	viii
圖目錄.....	ix
1. 緒論.....	1
2. 基本理論與文獻回顧.....	3
2.1 基本理論.....	3
2.1.1 金屬氧化半導體場效電晶體的構造、原理與特性.....	3
2.1.2 崩潰電壓.....	8
2.1.3 氧化層崩潰電壓的表現特性.....	8
2.1.4 污染物如何影響氧化層的崩潰電壓.....	9
2.1.5 濕式清洗.....	12
2.2 文獻回顧.....	15
2.3 研究動機與目的.....	18
3. 研究方法.....	21
3.1 實驗目的.....	21
3.2. 實驗方法與步驟.....	21
3.2.1 分析污染物的種類的方法與步驟.....	21
3.2.2 確定問題製程站別的方法與步驟.....	23
3.2.3 尋找污染路徑的方法與步驟.....	25
3.2.4 改善 THIN GATE CLEAN 清洗配方的方法與步驟.....	28
4. 結果與討論.....	30
4.1 污染物分析結果.....	30
4.2 確定問題製程站別的實驗結果.....	35
4.3 尋找污染路徑的實驗結果.....	35
4.4 改善 THIN GATE CLEAN 清洗配方的實驗結果.....	38
4.5 化學品傳輸管路之潔淨度的改善.....	41
4.6 建立快速監控閘級氧化層崩潰電壓的方法.....	41

5. 結論.....	43
參考文獻.....	44
簡歷.....	46



表目錄

表 1-1 金屬不純物的影響.....	2
表 2-1 清洗液種類與其使用目的.....	18
表 3-1 尋找污染路徑的實驗設計.....	27
表 4-1 尋找污染路徑實驗的結果.....	37



圖目錄

圖 2-1 (a)為一典型的NMOS 的結構示意圖.....	4
圖 2-1 (b)包括三隻接腳與四隻接腳的NMOS 電路符號.....	4
圖 2-2(a) (b) (c) (d)閘極的正電壓增加，在氧化層與半導體的介面會開始出現導電電子.....	6
圖 2-3 閘極就像是水閘一樣可當作是電子流的控制開關.....	8
圖 2-4 氧化層的崩潰機制可分成三種模式.....	9
圖 2-5 金屬雜質濃度越高，則所造成的氧化層崩潰電壓就越低.....	10
圖 2-6 (a)氧化矽崩潰機制.....	11
圖 2-6 (b) 正電荷會被缺陷陷阱所抓住，造成能帶彎曲.....	11
圖 2-7 氧化層內之電荷示意圖.....	11
圖 2-8濕式化學清洗法在去除污染物的機制: (a)強氧化劑 (b)在鹼性溶液中.....	13
圖 2-9 微塵吸附量與溶液的pH值之關係.....	13
圖 2-10 大多數的金屬會溶解在像SC2這種pH=0~2的酸性溶中.....	14
圖 2-11 清洗程序.....	18
圖 2-12 閘極氧化層崩潰電壓SPC chart顯示崩潰電壓從9V變到1V.....	20
圖 2-13 正常與異常產品之氧化層崩潰模式的比對.....	20
圖 3-1 從第一道閘極氧化層清洗到多晶矽層之製程順序.....	24
圖 3-2 實驗示意圖.....	25
圖 3-3 清洗設備之化學品管路示意圖.....	27
圖 3-4(a)污染晶圓以乾淨 SC1 清洗前後的污染量	29
圖 3-4(b)污染晶圓以污染後 SC1 清洗前後的污染量.....	29
圖 4-1 (a) 崩潰電壓正常 wafer 之 SIMS 分析結果.....	31
圖 4-1 (b) 崩潰電壓正常 wafer 之表層 SIMS 分析結果.....	31
圖 4-1 (c) 崩潰電壓異常 wafer 之 SIMS 分析結果.....	32
圖 4-1 (d) 崩潰電壓異常 wafer 之表層 SIMS 分析結果.....	32

圖 4-2 (a)崩潰電壓正常 wafer 的 TEM 照片.....	33
圖 4-2 (b) 崩潰電壓正常 wafer 的 TEM 放大照片.....	33
圖 4-3 (a)崩潰電壓異常 wafer 的 TEM 照片.....	34
圖 4-3 (b)崩潰電壓異常 wafer 的 TEM 照片.....	34
圖 4-4 hot spot emission 後的 TEM 照片.....	35
圖 4-5 確定問題製程站別的實驗結果.....	36
圖 4-6 確定問題製程站別的實驗的 Vbd 結果.....	36
圖 4-7 尋找污染路徑實驗的 Vbd 結果.....	38
圖 4-8 新舊預洗配方在氧化層崩潰電壓的表現.....	40
圖 4-9 從閘極氧化層崩潰電壓 SPC Chart 顯示新配方可有效抑制氧化 層崩潰電壓的下降.....	40
圖 4-10 將經過不同清洗步驟的 wafer 送 ICP-MS 分析結果.....	41
圖 4-11 雙氧水中央管路維修後,崩潰電壓明顯升.....	42



第一章 緒論

當半導體晶片尺寸邁入奈米世代，半導體廠商對於製造過程中晶圓表面潔淨度的維持與掌控也日益重視，不但大幅增加所需的晶圓清洗製程步驟外，對清洗製程完成後的要求也更為嚴格，務必要達到零微粒、零金屬雜質以及零有機物污染，甚至要確保晶圓表面一定的平坦度及無原始氧化層(native oxide)。而影響電性最主要的污染為金屬雜質。在半導體製程中，若晶圓遭受到金屬雜質的污染，則製作出來的元件的電氣特性將會惡化退化，如閘極氧化層崩潰電壓、漏電流及少數載子復合活期。一般金屬雜質的污染源，主要是來自洗淨材料的化學品，純水及氣體的金屬雜質和製程所引發的，但是矛盾的是半導體清洗製程又需要化學品與純水。越薄之氧化層厚度，其容忍污染之程度就越低，也就是越敏感。因此如何控制在半導體製程中的污染，尤其是在閘極氧化層中的金屬污染控制已成為刻不容緩的課題[2,3,4,11~13,15]。

在閘極氧化層中的金屬雜質對金屬氧化半導體的影響可分三部分，如表 1-1，分別為接合漏電流、氧化層的耐壓性與平帶(flat band)電壓偏移。本文主要針對台灣八吋晶圓廠裡曾發生過的金屬污染事件作探討，這個事件造成工廠裡數以千計的晶片之閘級氧化層崩潰電壓異常以至於要報廢。本文敘述工廠裡的製程工程師如何找出問題並且提出改善方案來解決問題。

表 1-1 金屬不純物的影響

接合漏電流增大	重金屬(Fe, Cu, Ni, Zn, Cr 等)
氧化層耐壓不良	重金屬 鹼金屬(Na, Ca 等)
平帶(Flat Band)電壓偏移	鹼金屬



第二章 基本理論與文獻回顧

2.1 基本理論

金屬氧化半導體(metal oxide semiconductor, MOS)是積體電路中最基本的結構，閘級氧化層可說是金屬氧化半導體的心臟。所有半導體公司都想要提升及維持工廠製程中的閘級氧化層品質，因此在生長閘級氧化層製程之前一定會有一道預洗製程(pre-gate oxide cleaning)來確保氧化層品質。而最常用來判斷氧化層品質的指標則是崩潰電壓。因此以下將分別對金屬氧化半導體、崩潰電壓以及清洗製程來加以說明。

2.1.1 金屬氧化半導體場效電晶體的構造、原理與特性



要知道氧化層在半導體製程中的角色與重要性必須先要了解金屬氧化半導體場效電晶體(MOSFET)。這裡我們以n 通道MOSFET (簡稱NMOS) 為例來介紹它的構造與原理。圖2-1 (a)為一典型的NMOS 的結構示意圖。閘極是由金屬、氧化層和半導體依序疊在一起所形成類似電容的結構(氧化層當作介電質)，故命名為金氧半場效電晶體。閘極只要加上足夠的正電壓，即可在半導體內靠近氧化層的介面上，吸引足夠多的導電電子形成通道，使源極與汲極的n+區導通。故控制閘極的電壓，等效上就是控制氧化層內的電場，就可以控制源極與汲極之間的導電特性。基板本體(body)有時也會接出一隻腳，使MOSFET 變成四隻腳的元件，在大部分的應用中，基板本體會和源極接在一起，使源極、汲

極和基板本體間的pn 接面永遠是不導通的。圖2-1 (b)包括三隻接腳與四隻接腳的NMOS 電路符號。

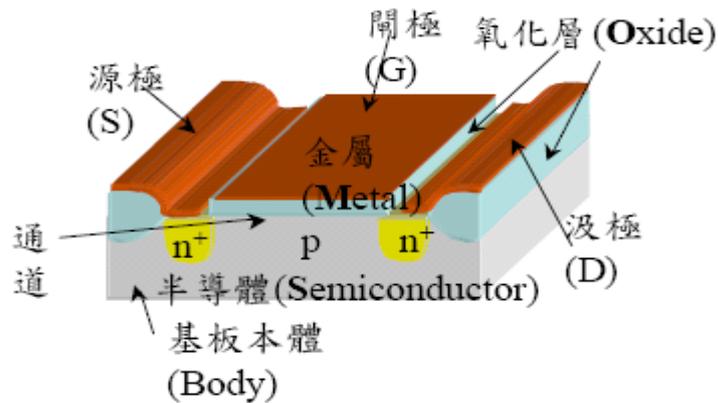


圖2-1 (a)為一典型的NMOS 的結構示意圖

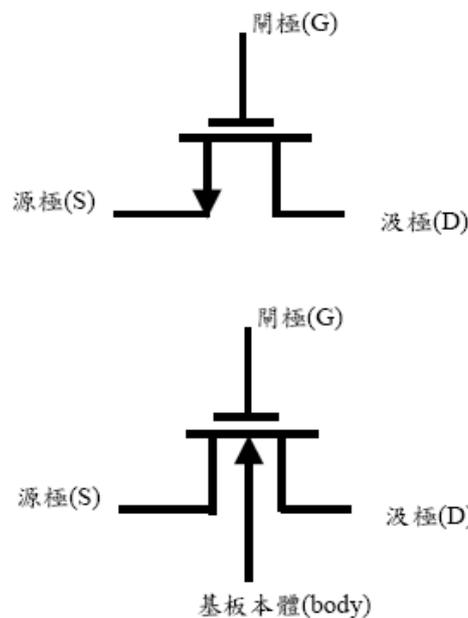


圖2-1 (b)包括三隻接腳與四隻接腳的NMOS 電路符號

由於MOSFET 中，導電電子是在靠近介面的通道運動，因此氧化層與半導體接面必須製作得非常平整。現代的半導體技術能夠在矽晶圓的表面形成結構緻密的二氧化矽(SiO₂)層，而且介面的品質可以有效地被

控制，故常用的MOSFET元件均是以矽晶圓做基板材料。

下面將較仔細的介紹n 通道MOSFET 的工作原理以及元件在不同偏壓情形的變化。當閘極沒加偏壓（相對於基板本體或與之連結之源極），源極與汲極間只是像兩個反向串接的pn 接，互不導通，NMOS 在所謂的截止(cut off)狀態，如圖2-2 (a)，其中還顯示了n⁺型源極與汲極各和p 型基板間pn 接面的空乏區。在閘極與基板本體（和源極相接）間慢慢加上正電壓，由於閘極的結構類似電容，閘極的金屬導體會堆積一些正電荷，而在氧化物絕緣層另一邊，則會吸引等量的負電，我們可以看出是吸引了導電電子，但電子在很短時間內即被多數載體電洞復和了，或者是電洞被閘極的正電荷趕跑了，不管哪一種看法，結果都是在靠近氧化層的p型半導體內形成空乏區，所帶的負電都來自電洞被游離的受子摻雜，如圖2-2 (b)，這裡先討論汲極與源極電位差很小的情形。源極與汲極間仍然不導通，NMOS 在截止區。如果閘極的正電壓持續增加，到達一特定的臨界電壓 V_{th} (threshold voltage)，在氧化層與半導體的介面會開始出現導電電子，如圖2-2 (c)。以後再增加的閘極電壓就不再用來改變空乏區的大小，而是用來增加導電電子層的電子數目，如圖2-2 (d)[2,5]。

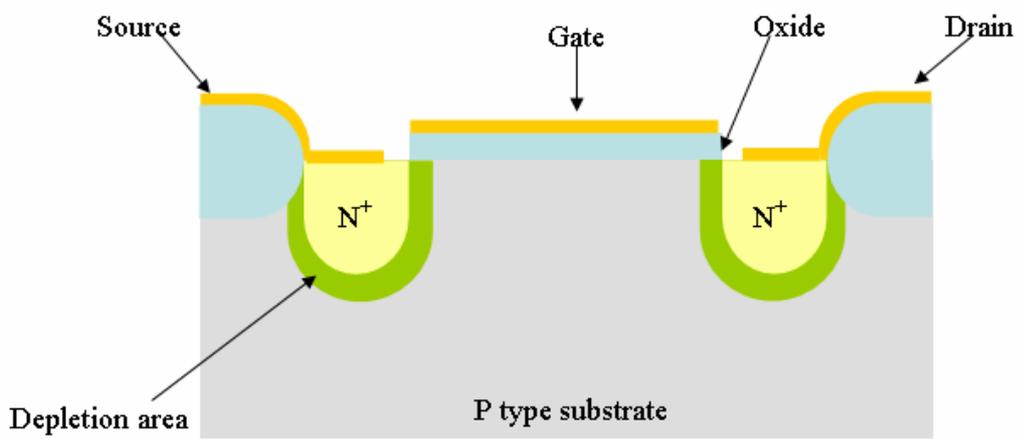


圖 2-2 (a)

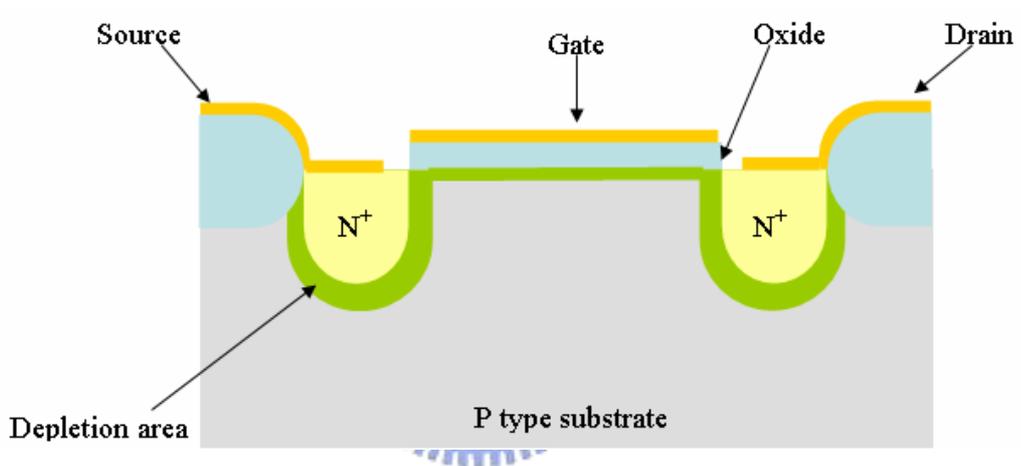
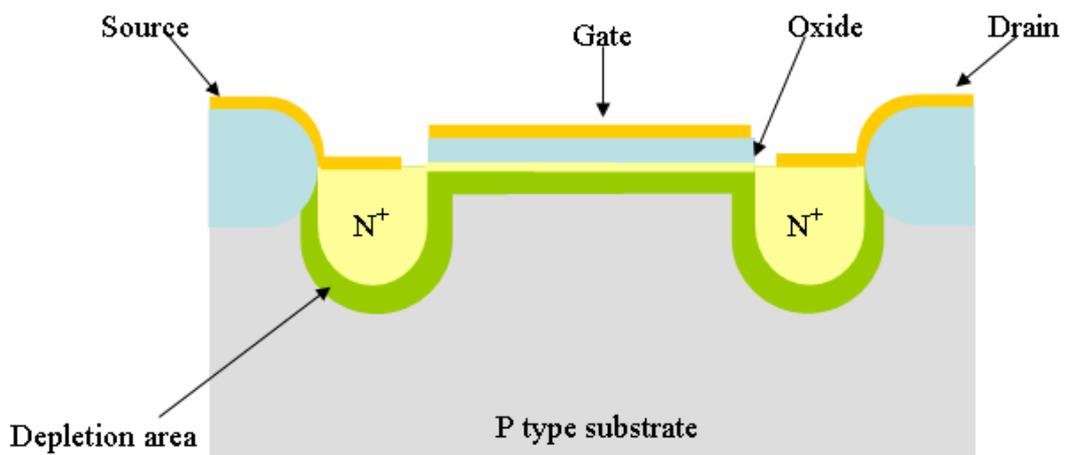
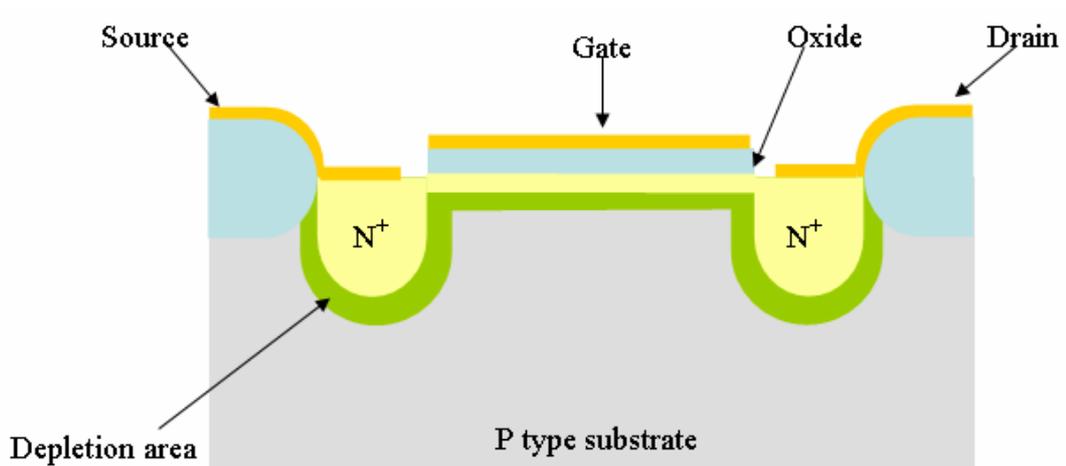


圖 2-2 (b)



當 $V_{GS} = V_{th}$ ，反轉層開始形成，電子開始累積在介

圖 2-2 (c)



當 $V_{GS} > V_{th}$ ，空乏區幾乎沒有變化，累積在介面的電子密度正比於 $V_{GS} - V_{th}$

圖 2-2 (d)

圖 2-2 閘極的正電壓增加，到達一特定的臨界電壓 V_{th} (threshold voltage)，在氧化層與半導體的介面會開始出現導電電子

這時源極與閘極可藉由此導電電子層形成之通道導通[2,5]。

由以上的介紹可以知道，閘極的電壓就像電子流的控制開關，可以想像是水閘一樣控制水流的開關(如圖 2-3)。也因此可知道，閘極氧化層在金屬氧化半導體(MOS)中扮演非常重要的角色。氧化層的品質若是不好，例如說有金屬雜質在其中，那麼這個MOS的閘極的電壓將不能再控制電子流了。也因為如此每個半導體公司都將氧化層的品質監控當做重要的任務。而在氧化層的品質監控的過程中，崩潰電壓是最常見也是最重要的監控氧化層的品質的製程參數之一。以下將會對崩潰電壓做介紹。

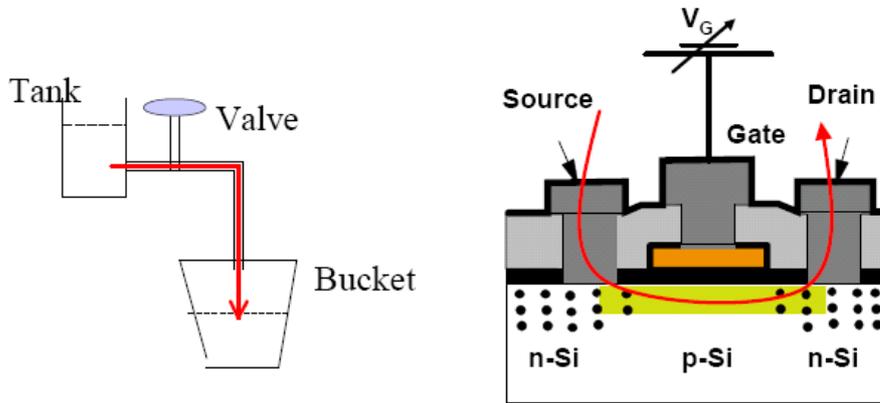


圖 2-3 閘極就像是水閘一樣可當作是電子流的控制開關

2.1.2 崩潰電壓

崩潰電壓定義為複晶氧化層外加一個正或負極性偏壓，使得電流以急劇陡峭的上升所對應的電壓值。

2.1.3 氧化層崩潰電壓的表現特性

氧化層的崩潰機制可分成三種模式(圖 2-4)。第一種為 A 模式崩潰 (A mode)，也就是所謂的剛開始短路，大部分都是由脆弱的缺陷(weak Spots)造成，例如金屬雜質存在於氧化層裡面或氧化層本身有很多的孔洞(pin hole)。其崩潰電場為最低($< 2\text{MV/cm}$)，此種模式的崩潰會造成產品良率的損失，其發生的原因與製程(顆粒、有機污染、金屬雜質)的原因。第二種為模式 C (C mode)，這是種本質崩潰(intrinsic breakdown)，其崩潰電場為最高($> 8\text{MV/cm}$)為材料本身所限制的正常現象，不容易發生可靠性問題。而第三種為模式 B (B mode)，此種崩潰介於模式 A 與 C 之間，為外質性(extrinsic breakdown)的崩潰，大部份要用

電性的應力後才才能顯現出來，雖不會發生立即的故障，但在正常操作中卻隱藏故障發生的機會所以又稱為隱藏性的缺陷(latent defect)，至於發生的原因一般認為可能與因缺陷造成局部等效厚度減少有關[5,7,9]。

2.1.4 污染物如何影響氧化層的崩潰電壓

而金屬雜質所造成氧化層崩潰 (metal contamination induced breakdown)則是屬於A模式崩潰。金屬雜質所造成薄氧化層的初始介電層崩潰通常是由於區域性高電場的建立，造成在氧化層中較脆弱之缺陷 (weak spots)的電荷捕捉效應。當區域的電場達到一個本質上的臨界值時，電流便開始穿透薄氧化層，而產生了崩潰的現象。金屬雜質濃度越高，則所造成的氧化層崩潰電壓就越低，如圖2-5所示[5,7,9]。

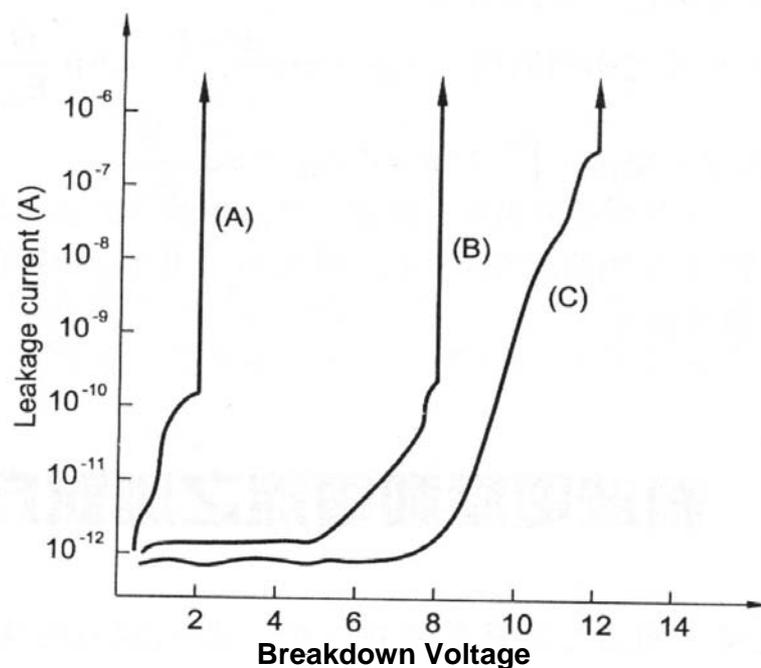


圖 2-4 氧化層的崩潰機制可分成三種模式

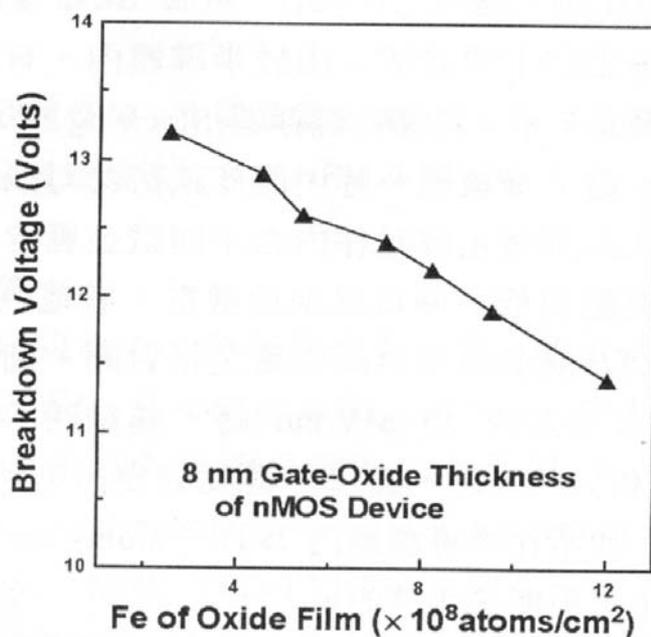


圖2-5 金屬雜質濃度越高，則所造成的氧化層崩潰電壓就越低

氧化層崩潰主要原因有 (1) 在接近氧化矽和矽之介面處有一些正電荷的缺陷，如圖2-6 (a)所示，造成圖2-6(b)之能帶圖往下降，使得在矽基座內的電子可注入或穿透氧化層，而造成崩潰。剛開始時，穿透電流很小，正電荷會往矽表面陰極處移動，而且相信會被一些較弱的缺陷陷阱所抓住，因而使得電子之撞擊離子化之程度更為嚴重。換句話說，將造成無法挽回的借電材料崩潰現象，因此氧化層崩潰最容易發生在缺陷陷阱處。(2) 影響氧化層之可靠度的另一個因素是，如圖1-7所示，氧化矽內的電荷，有介面缺陷電荷(interface trapped charge)、氧化矽之固定電荷(oxide fixed charge)、氧化矽缺陷電荷(oxide trapped charge)與移動離子電荷(mobile ionic charge，如Na⁺、K⁺離子等)氧化矽類之缺陷越多，越容易使電荷過度集中，導致電場分佈不均勻而造成可靠度問題。(3)如上述，

正電荷會被一些較弱的缺陷陷阱所抓住，造成能帶往彎曲。這些缺陷大多來自製程上的汙染、雜質、金屬雜質與有機物的汙染、製程上所衍生之破壞、異質材料的缺陷，甚至場氧化矽(field oxide)邊緣的應力等，都會加強缺陷現象的形成。而其中以金屬雜質是主要造成薄氧化層崩潰的機制並對於氧化層之元件的可靠性影響最為嚴重[1,5,7,9,14]。

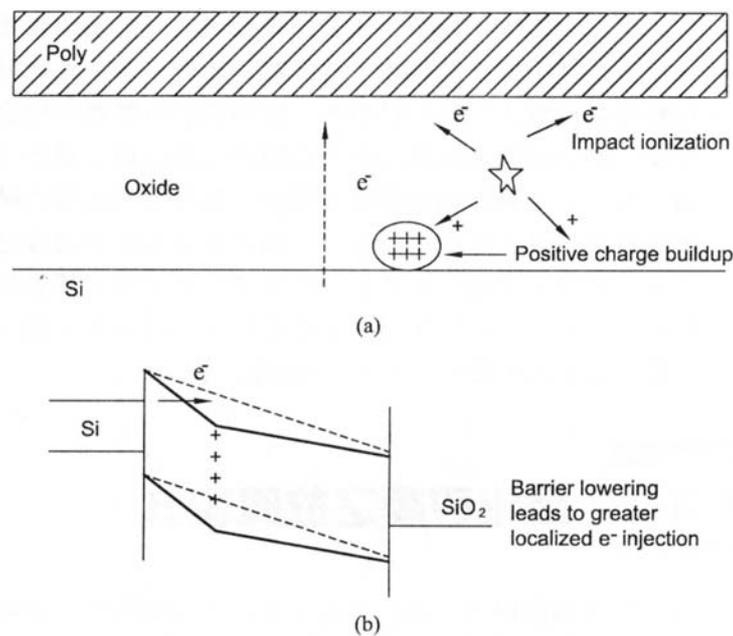


圖 2-6 (a) 氧化矽崩潰機制 (b) 正電荷會被缺陷陷阱所抓住，造成能帶往彎曲

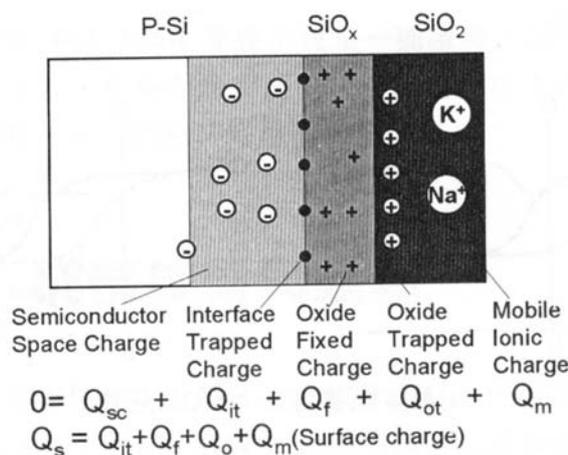


圖 2-7 氧化層內之電荷示意圖

2.1.5 濕式清洗

在晶圓廠前段製程中要成長氧化矽之前先經過清洗步驟是一般半導體廠最常用來確保閘極氧化層的品質的方法。此清洗製程主要是用來去除微塵,金屬雜質以及原始氧化層(native oxide)。一般最常用的為RCA標準清洗法(RCA Standard Clean)—standard clean 1 (SC1) 與standard clean 2 (SC2)。SC1主要配方為 $\text{NH}_4\text{OH} / \text{H}_2\text{O}_2 / \text{H}_2\text{O} @ 30\sim 80^\circ\text{C}$ ：用於鹼水及侵蝕表面，以便於清除微粒子。同時可去除有機物及金屬污染物。而SC2主要配方為 $\text{HCL} / \text{H}_2\text{O}_2 / \text{H}_2\text{O} @ 30\sim 85^\circ\text{C}$ ：主要用於清除金屬污染物。HF氫氟酸或dilute HF稀釋氫氟酸則用來蝕刻氧化層。

SC-1為去離子水+30%雙氧水 +1份29%氨水組成之鹼性過氧化物混合液，加溫至攝氏70 - 80度，過後再以去離子水沖洗（rinse）。SC-1溶液具有兩種去除塵粒污染的機制。第一、溶液的雙氧水可將矽晶圓氧化並生成二氧化矽氧化層然後氨水再將表面氧化層剝離與微塵一起帶走。第二、在鹼性水溶液中，微塵與晶圓表面同時帶負電荷，藉由「電雙層(double layer)排斥力」清除微塵。如圖2-8所示。圖1-9是微塵的吸附力與清洗溶液酸鹼值的關係，從圖中得知，pH值越高去除微塵的效果越佳，反之pH值低的溶液去除微塵的效果則不佳。

Particle Removal Mechanisms

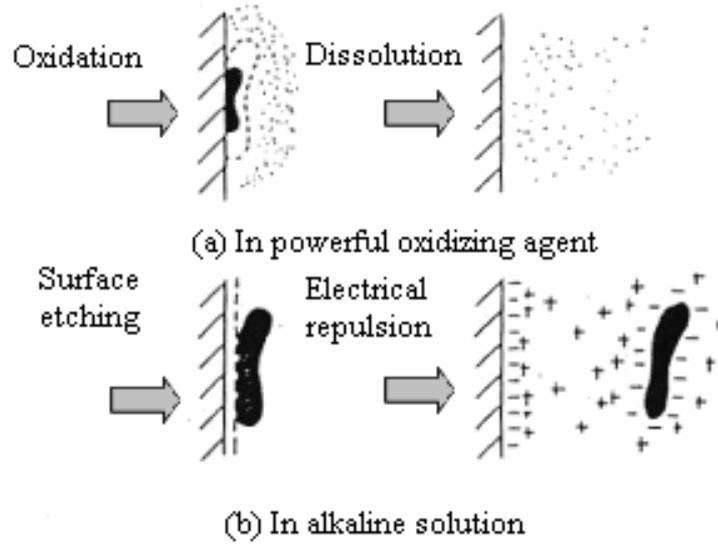


圖 2-8 濕式化學清洗法在去除污染物的機制: (a) 強氧化劑;
(b) 在鹼性溶液中

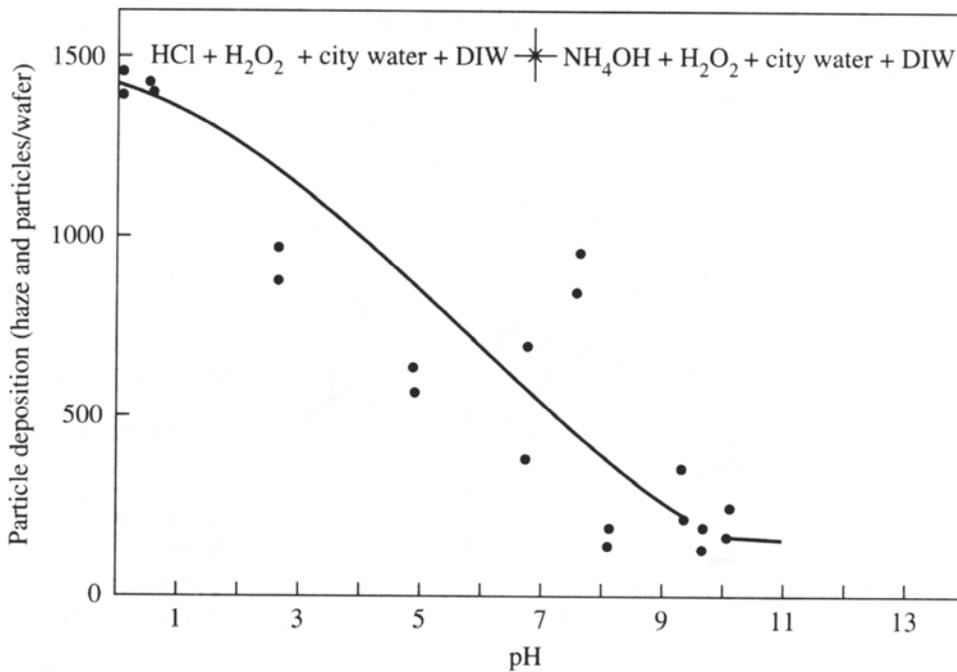
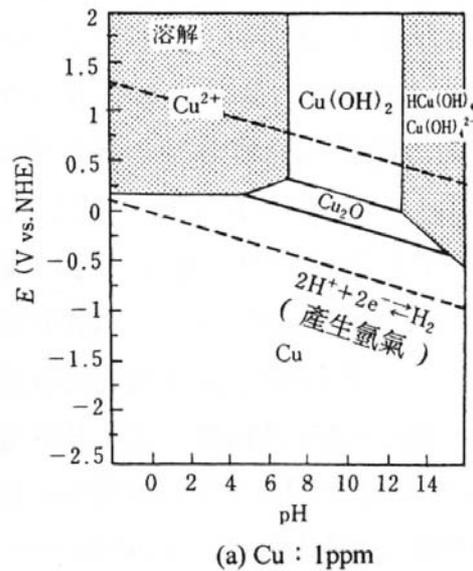
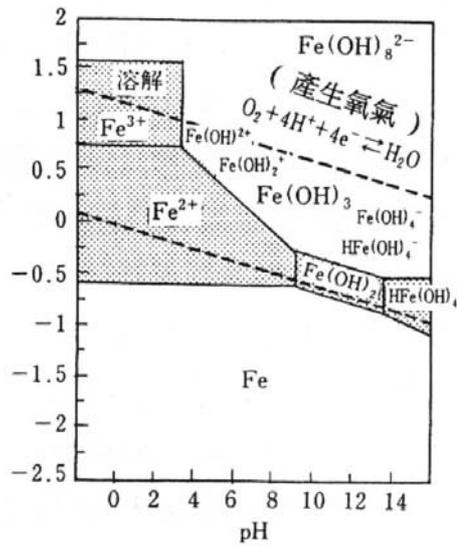


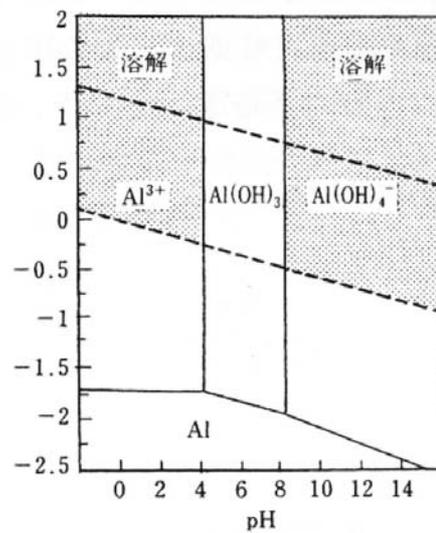
圖2-9 微塵吸附量與溶液的pH值之關係

SC-2為去離子水+30%雙氧水 +37%鹽酸組成之酸性過氧化物混合液，加溫至攝氏70 - 80度，過後再以去離子水沖洗（rinse）。SC-2溶液可溶解鹼金屬離子和鋁、鐵及鎂之氫氧化物，此乃藉由鹽酸中氯離子與殘留金屬離子形錯合物而溶解於水溶液中。另外，由圖 2-10 之三相圖也可看出大多數的金屬會溶解在像SC2這種pH=0~2的酸性溶液中，因此可以藉由溶解去除晶圓上的金屬雜質[3,6,8,10]。





(b) Fe : 1ppm



(c) Al : 100ppm

圖2-10 大多數的金屬會溶解在像SC2這種pH=0~2的酸性溶液中

2.2 文獻回顧

閘級氧化層在 MOSFET 中是非常重要的。為了要增加元件的速度，提高元件電流，降低臨界電壓，閘級氧化層的厚度需要不斷的降低。閘

級氧化層越薄，閘級氧化層的品質要求也就越嚴格，成功的閘級氧化層必須具有很高的崩潰電場。

當閘級氧化層變薄的時候，對於某一固定的操作電壓，其電場強度就增加了。如此一來，電子就可經由穿隧(tunneling)的方法產生漏電流或是崩潰。通常檢驗閘氧化層品質的方法為[17]：

1. 崩潰電壓 (breakdown voltage)：加一階梯電壓到試片，直到漏電電流大於某一數值或有一跳躍(jump) 電流 (稱為 hard breakdown)。
2. 崩潰電荷(charge to breakdown)：加一定電流到試片，直到電壓有一跳躍值。
3. 閘極電壓偏移(gate voltage shift)：加一定電流到試片，量測閘極電壓的變化。
4. 接合漏電流:(junction leakage)：加一定電壓到試片，量測漏電流的變化。

氧化層崩潰電壓不佳代表著氧化層的品質不良，造成氧化層的品質不良的原因很多。如 金屬雜質、微粒子、自生氧化層(native oxide)、表面微粗糙的程度以及有機物...等等。因此通常晶片在生長氧化層之前都會先經過濕式清洗以去除污染物如表 2-1。常用的清洗步驟包括 RCA clean 的 SC1、SC2 與氫氟酸。清洗的順序會依據不同製程的需求而有所

不同，如圖 2-11，例如氫氟酸可以是在最後一個步驟也可能放在 RCA clean 之前，不過一般而言，SC2 會在 SC1 之後[18]。

一般而言，在晶圓廠中金屬污染是造成氧化層崩潰電壓下降最常見的原因。金屬雜質之所以造成氧化層崩潰電壓下降主要是由於成長氧化層時，金屬氧化後在氧化層中或是氧化層與矽的介面生成金屬氧化物或金屬矽酸鹽類，造成局部的物理化學缺陷形成圖 2-4 中 A 或 B 模式的特性。而只要產品的氧化層崩潰電壓表現為 A 或 B 模式的特性，那麼這些產品極有可能會被報廢無法賣給客戶。

一般來說在晶圓廠的製程中任何微量的金屬離子都是不允許的，所以晶圓廠裡的製程人員會建立許多監控的機制來防止產品的電性與良率受到影響。一旦製程人員發現產品的電性與良率有變化，製程人員就會處理受影響的產品並展開調查。

本文提供了一個很好的例子。本文中的製程人員發現產品的崩潰電壓明顯下降後，就著手調查發現崩潰電壓的下降是受到金屬離子的污染並找出污染來源，進而重新建立新的監控機制。

許多文獻都提到 SC2 對降低金屬離子有很好的效果，但是除了 Ogawa Hiroki 與 Horiike Yasuhiro 合著之“半導體潔淨技術”一書中略有說明以外，對 SC1 與 SC2 的清洗順序對微量金屬污染的影響提到的卻不多。本文中的實驗數據說明了 SC1 與 SC2 的清洗順序對微量金屬污染有重大的影響。

表2-1 清洗液種類與其使用目的

清洗液名稱	目的
1. APM : NH ₄ OH/H ₂ O ₂ /H ₂ O	去除微粒、金屬離子與輕有機物。
2. HPM : HCl/H ₂ O ₂ /H ₂ O	去除重金屬離子、鹼金屬離子與金屬的氫氧化物。
3. DHF : HF/DI	去除自然的二氧化矽層、矽玻璃 (PSG, BPSG) 以及銅以外的金屬離子使裸露矽層提供其它化學液作用。
4. SPM : H ₂ SO ₄ /H ₂ O ₂	去除重有機物與氧化物。
5. FPM : HF/H ₂ O ₂ /H ₂ O	去除自然的二氧化矽層。
6. BHF : HF/NH ₄ F	去除氧化薄膜。
7. Hot H ₃ PO ₄	氮化矽層之圖案製作或去除。

資料來源：工研院機械所；工研院 IEK(2003/12)

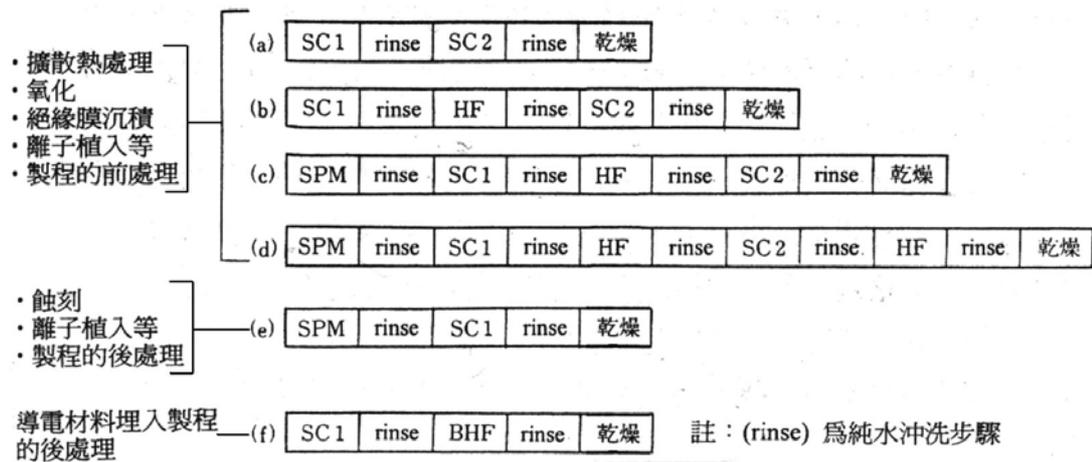


圖 2-11 清洗程序 [18]

2.3 研究動機與目的

對於半導體高科技產業來說，積體電路是由三、四百道複雜製程所建構而成的，為了維持產品的品質，整個製程均會受到嚴密的監控，不論在製程的前段或後段，都會收集產品經過機台所產生的參數資料，並由系統自動產生品質管制圖(statistical process control chart, SPC chart)，

為了確保產品的功能性，在晶圓加工完成後會對產品做多項電性測試 (wafer acceptance test, WAT)，包括抽測與全測。一旦在測試時若發現異常狀況，工程師便需要調出此批產品相關資料紀錄，藉由工程師實務經驗及專業知識，判斷並歸納察覺異常的主要原因，但如果無法在短時間找出異常原因，通常會先停止該產品在工廠內的生產。此計畫案就是針對在晶圓加工完後的電性測試發現閘極氧化層的崩潰電壓異常情形做探討。

品質管制圖(圖 2-12)可以看到 0.15 μ m 製程的閘極氧化層崩潰電壓從 9V 變到 1V，這個異常使得所有與閘極氧化層崩潰電壓這個項目有關的生產站別立刻接到停工的指令。工程師立刻對此項目作氧化層崩潰的模式比對並得到圖 2-13。根據這些數據，氧化層的品質已經有了變化，製程中應該是可能有了雜質，因此必須找出並確認影響氧化層崩潰電壓的因子。再依據實驗的結果可以擬出適合生產線之預防閘極氧化層崩潰電壓受影響的方案。

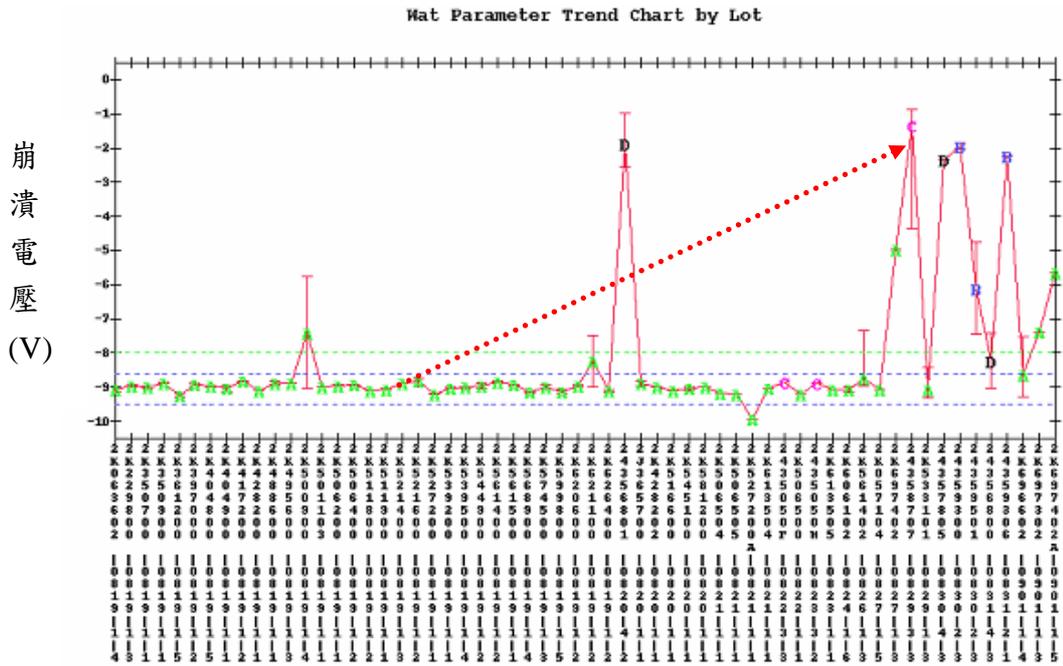


圖 2-12 閘極氧化層崩潰電壓SPC Chart顯示崩潰電壓從9V變到1V

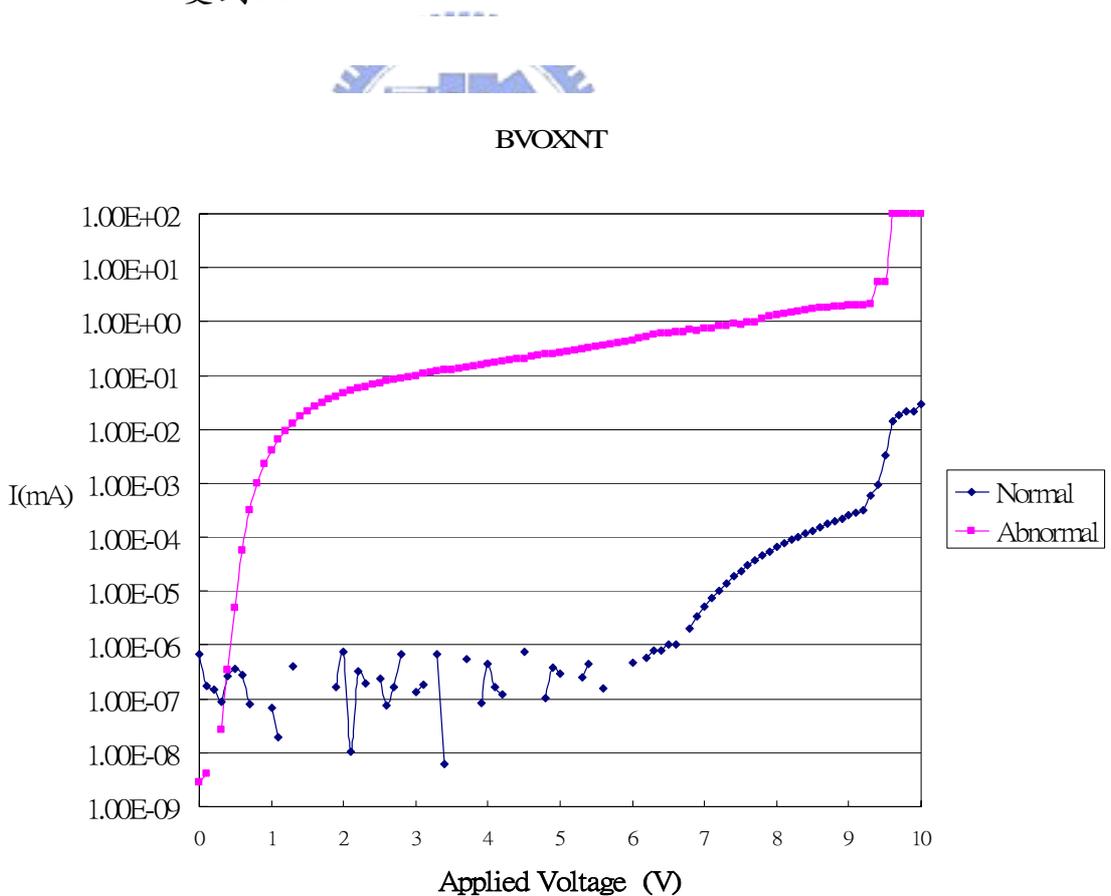


圖 2-13 正常與異常產品之氧化層崩潰模式的比對

第三章 研究方法

本研究的實驗共有三個部分，依序分別為 1) 分析污染物 2) 確定問題製程範圍與尋找污染路徑 3) 提出改善方案並驗證。

3.1 實驗目的

以崩潰電壓失效的模式來判斷，只能推斷應是金屬不純物所造成的。但是並沒有直接證據告訴我們到底是什麼污染了氧化層。因此，需要用各種分析法來了解污染源的成分。

從空白晶圓到出貨之間有數百到製程，所以必須要釐清哪一道製程才是真正影響閘極氧化崩潰電壓的元兇，進而縮小實驗範圍。然後再以各種實驗分析污染的來源。

在確定問題製程範圍後，下一步便是尋找污染路徑。此步驟在於澄清在問題製程中的製程機台是否受到汙染或是問題來自機台本身，並以崩潰電壓失效的模式來判斷。

最後，再依照以上的實驗結果來提出解決方案，並加以驗證。

3.2 實驗方法與步驟

3.2.1 分析污染物的方法與步驟

雖然以崩潰電壓失效的模式來看可這個事件應是金屬不純物所造成的。但是並沒有直接證據。因此，需要用各種分析法來了解污染源的成分。

在這裡會使用到以下幾種分析

1) 二次離子質譜儀(secondary ion mass spectroscopy, SIMS)

這裡使用的儀器型號為 Cameca IMS-4f。

二次離子質譜儀係將具有足夠能量的一次離子 (primary ions) 撞擊到試樣的表面，經與固體作用後，然後將表面的原子或分子撞擊出來，呈離子狀態的二次離子 (secondary ions)，收集至質譜儀 (mass spectrometer)，經質譜之分析，而達到試品表面成份元素之定性及定量分析之研究。

2) 穿透式電子顯微鏡(transmission electron microscopy, TEM)

這裡使用的儀器型號為 FEI/ Tecni F20。

穿透式電子顯微鏡具有極高的穿透能力及高解析度。穿透式電子顯微鏡分析主要偵測的資料可分為三種：(1) 擷取穿透物質的直射電子

(transmitted electron) 或彈性散射電子 (elastic scattering electron) 成像；

(2) 作成電子繞射圖樣 (diffraction pattern, DP)，來作微細組織和晶體結構的研究；(3) 搭配 X-光能譜分析儀 (EDS) 或電子能量散失分析儀

(electron energy loss spectroscopy, EELS) 作化學成份分析。這裡我們需要穿透式電子顯微鏡的成像照片來檢視閘級氧化層的狀況。

方法與步驟如下：

1) 從生產線中電性測試(wafer acceptance test, WAT)站別將崩潰電壓測試結果異常的產品及正常產品各取兩片，共四片。

2) 將四片晶圓分別送實驗室作二次離子質譜儀(secondary ion mass spectroscopy, SIMS)與穿透式電子顯微鏡(transmission electron microscopy, TEM)分析。

3.2.2 確定問題製程站別的方法與步驟

將實驗範圍設定在第一道閘極氧化層清洗前到多晶矽層(如圖 3-1)，在第一道閘極氧化層清洗前選取十二片晶圓分成六組，每組兩片在第一道閘極氧化層清洗分別使用新配方與舊配方，這六組晶片再分別跳過一些製程，然後去量這十二片晶圓的崩潰電壓，如圖 2-2 所示，如此就可判斷哪一道製程出了問題。

在這裡會用到崩潰電壓的量測。

使用的機台型號為 Agilent 4072。



崩潰電壓 V_{bd} 之定義為複晶矽氧化層外加一個正或負極性偏壓，使得電流以急遽陡峭的上升所對應的電壓值。

方法與步驟如下：

- 1) 選定實驗範圍在第一道閘極氧化層清洗前到多晶矽層。
- 2) 在第一道閘極氧化層清洗前選取十二片晶圓。
- 3) 分成六組，每組兩片在第一道閘極氧化層清洗分別使用新配方與舊配方。
- 4) 這六組晶片再分別跳過受懷疑的製程。

5) 量測這十二片晶圓的崩潰電壓

6) 依據量測到的崩潰電壓判斷哪一道製程出了問題

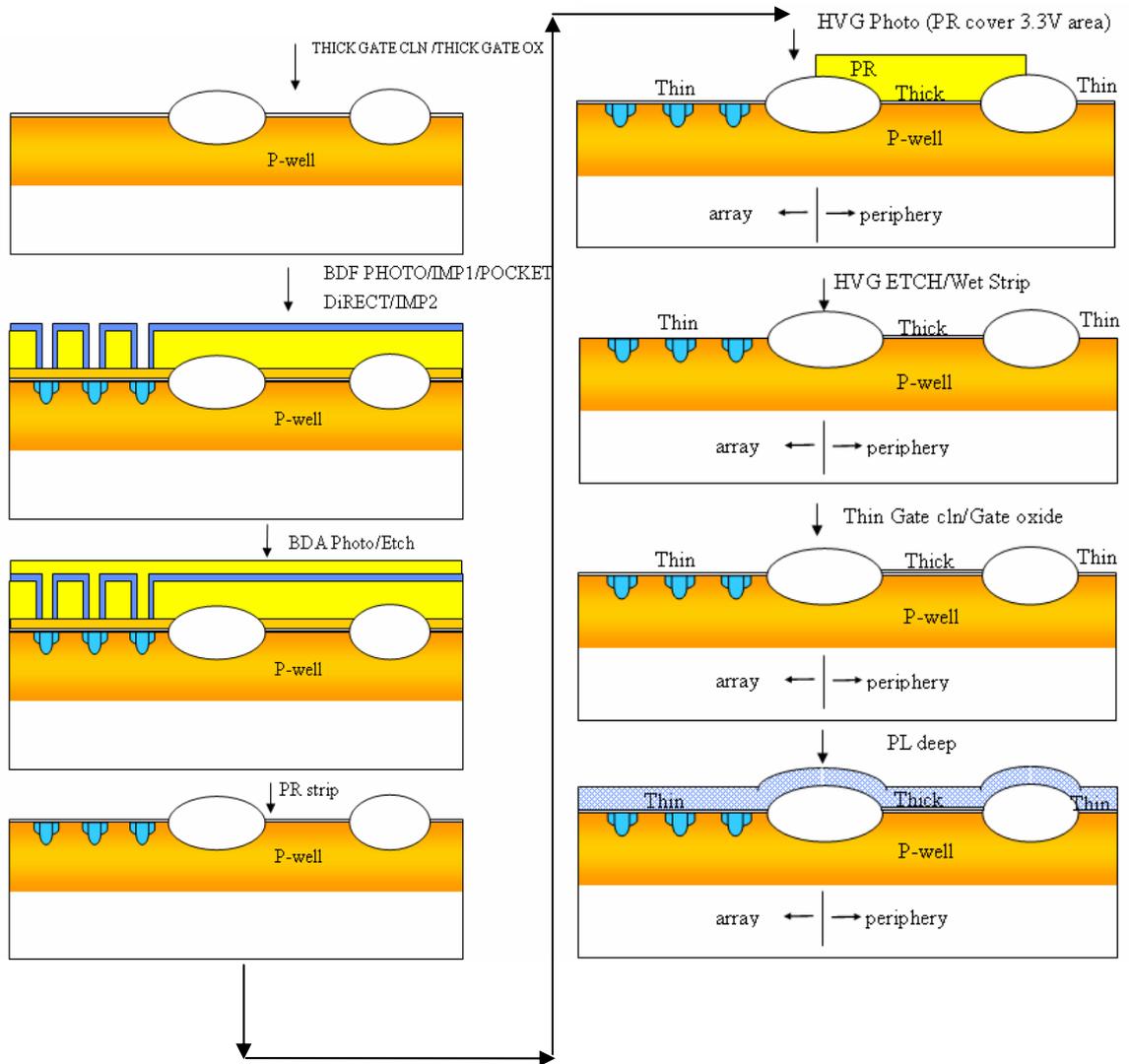


圖 3-1 從第一道閘極氧化層清洗到多晶矽層之製程順序

製程順序

第一組

第二組

第三組

第四組

第五組

第六組

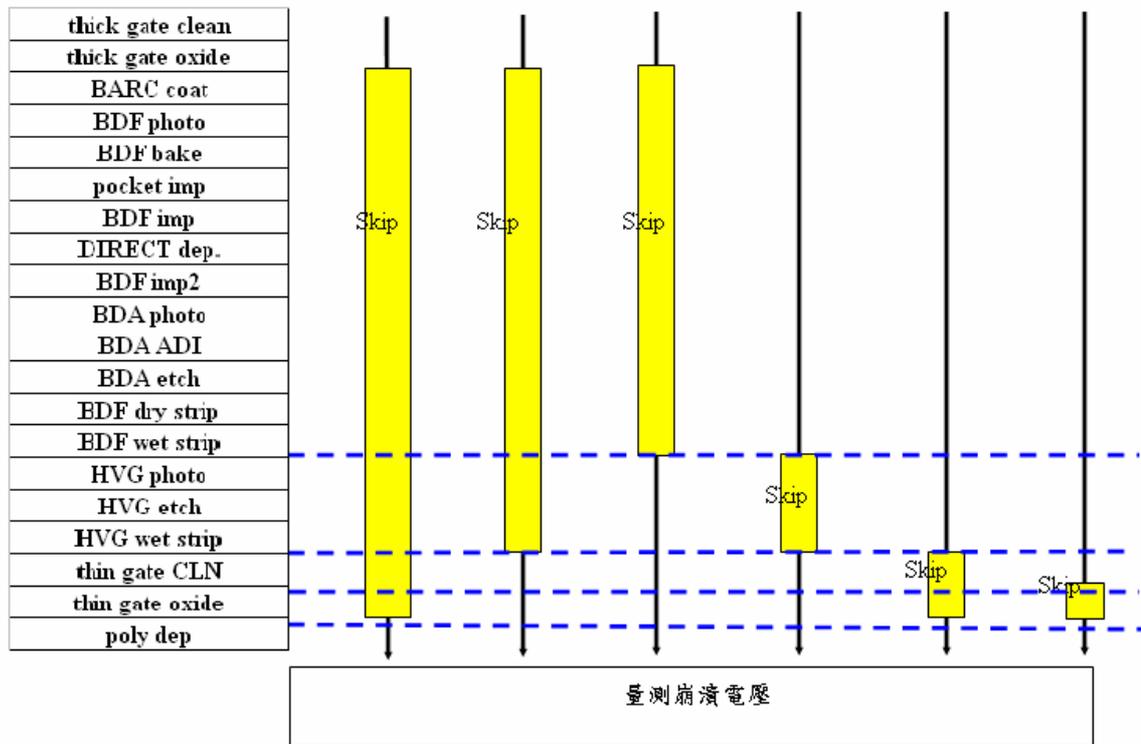


圖 3-2 實驗示意圖

3.2.3 尋找污染路徑的方法與步驟

此實驗目的在於澄清在清洗製程中所用的化學品是否受到汙染，若化學品是受到汙染那麼此實驗也將澄清污染源是來自清洗機台本身或是來自廠務中央供酸系統。SC1 與 SC2 共有三種化學品，分別為氨水、雙氧水及鹽酸，以崩潰電壓失效的模式來判斷，此事件應是屬於金屬汙染，而這三種化學品中鹽酸裡的氯離子是用來去除金屬雜質的，所以推斷此事件是受鹽酸的影響可能性不高。因此，實驗重點將放在氨水及雙氧水。

廠務中央供酸系統的氨水及雙氧水是 M 公司所生產提供的，為了澄

清 M 公司的化學品品質，我們找來另一家日本大廠 K 公司提供我們氨水及雙氧水來交叉實驗比對。供給機台化學品的方式除了廠務中央供酸系統，我們也用人工方式供酸給機台，可以藉此澄清污染源是來自清洗機台本身或是來自廠務中央供酸系統。

在這裡會用到崩潰電壓的量測。

使用的機台型號為 Agilent 4072。

崩潰電壓 V_{bd} 之定義為複晶矽氧化層外加一個正或負極性偏壓，使得電流以急遽陡峭的上升所對應的電壓值。

方法與步驟如下：

- 1) 在第一道閘極氧化層清洗前選取六片晶圓。
- 2) 將六片晶圓分為六個實驗組別，按照表 3-1 中的條件分別使用 K 公司與 M 公司的化學品以及人工與中央供酸兩種不同的方式(如圖 3-3 所示)，以舊的配方來做第一道閘極氧化層清洗。
- 3) 這六片晶圓在清洗完後，便依照正常生產流程繼續往下走直到 WAT 電性量測。
- 4) 依據量測到的崩潰電壓判斷化學品是否受到汙染以及污染源是否來自清洗機台本身或是來自廠務中央供酸系統。

表 3-1 尋找污染路徑的實驗設計

實驗組別	化學品來源		供酸方式	
	氨水	雙氧水	氨水	雙氧水
1	K 公司	K 公司	人工供酸	人工供酸
2	K 公司	原供應商	人工供酸	人工供酸
3	原供應商	K 公司	人工供酸	人工供酸
4	原供應商	原供應商	人工供酸	人工供酸
5	原供應商	原供應商	人工供酸	中央供酸
6	原供應商	原供應商	中央供酸	人工倒酸

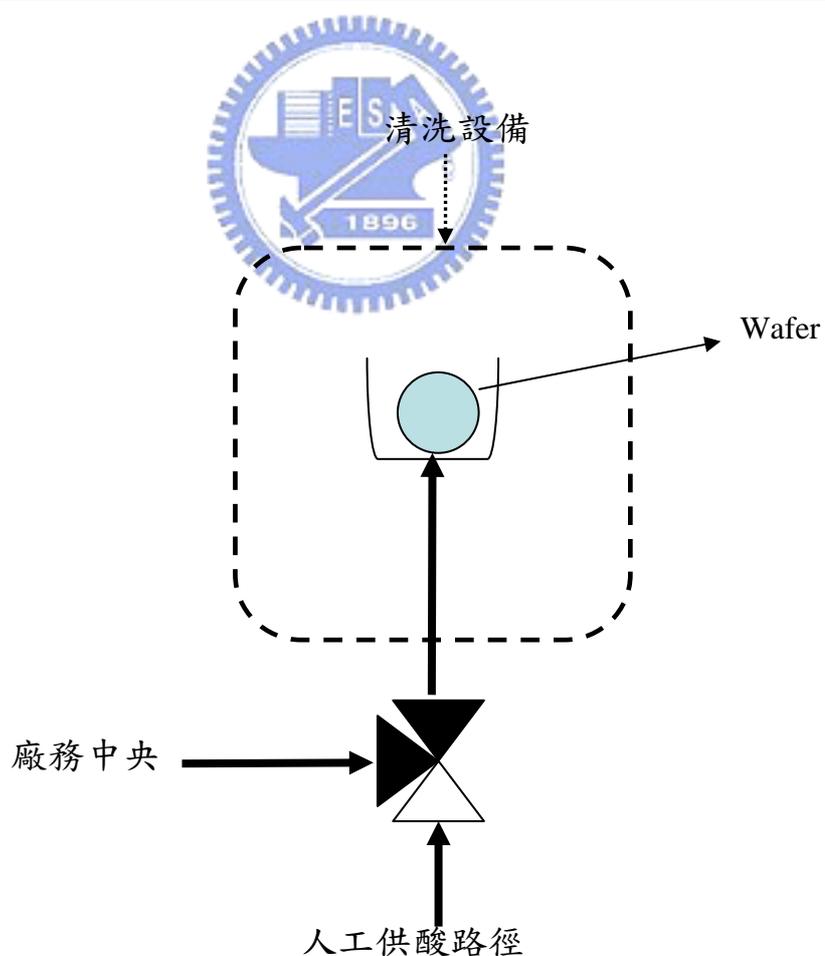


圖 3-3 清洗設備之化學品管路示意圖

3.2.4 改善 THIN GATE CLEAN 清洗配方的方法與步驟

從第二章的背景知識裡我們知道金屬雜質對氧化層崩潰電壓的影響甚重，SC1 並無能力去除金屬雜質，而從尋找污染路徑的實驗結果得知污染源是雙氧水管路帶來的金屬雜質。

此外，根據文獻[16]，當晶圓上有不同鐵離子表面濃度時，經過乾淨的 SC1 容易清洗後，其處理前後的濃度由圖 3-4 (a) 可知處理前後的濃度間沒有關係。另外由圖 3-4 (b) 可知，以不同鐵離子污染濃度的晶圓使用被鐵離子污染的 SC1 溶液處理後的表面濃度和處理前的濃度無關，會成為幾乎相同的濃度。換句話說，在 SC1 中，表面金屬的吸附量是由 SC1 中的金屬不純物濃度來決定的。因此，當 SC1 已經受到金屬不純物污染時，其處理過的晶圓表面也將會吸附 SC1 中的金屬不純物。所以把用來清洗金屬雜質的 SC2 步驟放在 SC1 之後，可以將殘留在經過 SC1 清洗的晶圓表面之金屬雜質洗去。

因此將 SC1 與 SC2 的順序作變換來看看是否有影響。

步驟如下：

- 1) 在 Thin Gate Clean 前選取兩組晶圓分別使用新配方(SC1→SC2→HF)與舊配方(SC2→SC1→HF)來做閘極氧化前清洗，完畢後合併往下一站製程走直到最後一站的電性量測。
- 2) 量測這兩組晶圓的崩潰電壓。使用的機台型號為 Agilent 4072。
- 3) 依據量測到的崩潰電壓判斷哪新配方是否有效，然後再用產品來重複

驗證效果。

4) 另外選取兩組空白晶圓分別使用新配方(SC1→SC2→HF)與舊配方(SC2→SC1→HF)來做清洗

5) 完畢後用 ICP-MS 來對這兩組空白晶圓做分析看看表面的金屬雜質是差異。這裡使用的儀器型號為 Agilent 7500CS。

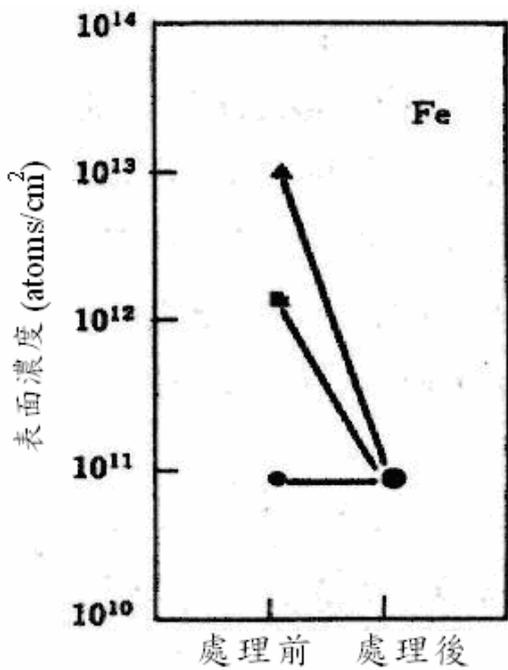


圖 3-4 (a) 污染晶圓以乾淨的 SC1 清洗前後的污染量

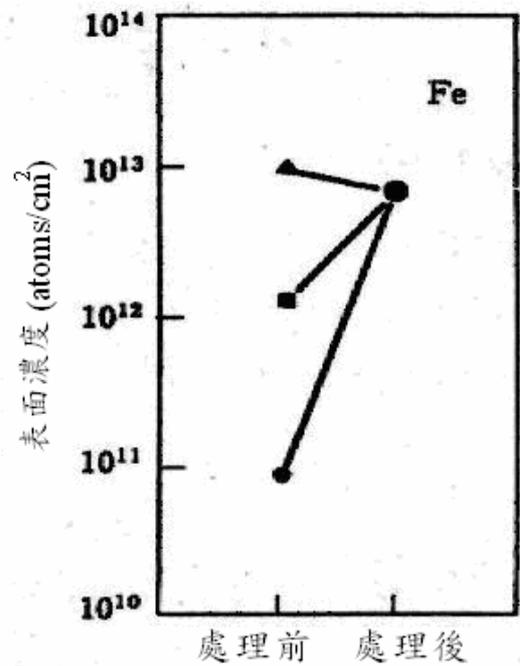


圖 3-4 (b) 污染晶圓以被污染的 SC1 清洗前後的污染量

第四章 結果與討論

4.1 污染物分析結果

SIMS 分析結果：

由於 gate oxide 的厚度約為 70\AA ，所以必須看 SIMS 分析在深度 $0.007\ \mu\text{m}$ 附近的結果。由圖 4-1 (a),(b),(c),(d)可知，崩潰電壓異常 wafer 上的 K、Al、Na 離子濃度比正常 wafer 還要高。

TEM 分析結果：

由圖 4-2 與 4-3 可知，崩潰電壓正常與異常晶片的 TEM 照片皆看不出有異常的情形，氧化層並無明顯偏薄的情形，崩潰電壓正常 wafer 的氧化層反而比並異常 wafer 偏薄 7\AA 。

而由圖 4-4 可知，將崩潰電壓晶片的測試墊(test key)上加大電流(hot Spot emission)後浸泡蝕刻液回撥(strip back)，發現有晶片上出現了方形缺陷。這證明了這些晶片在製程中確實遭遇到一些問題。

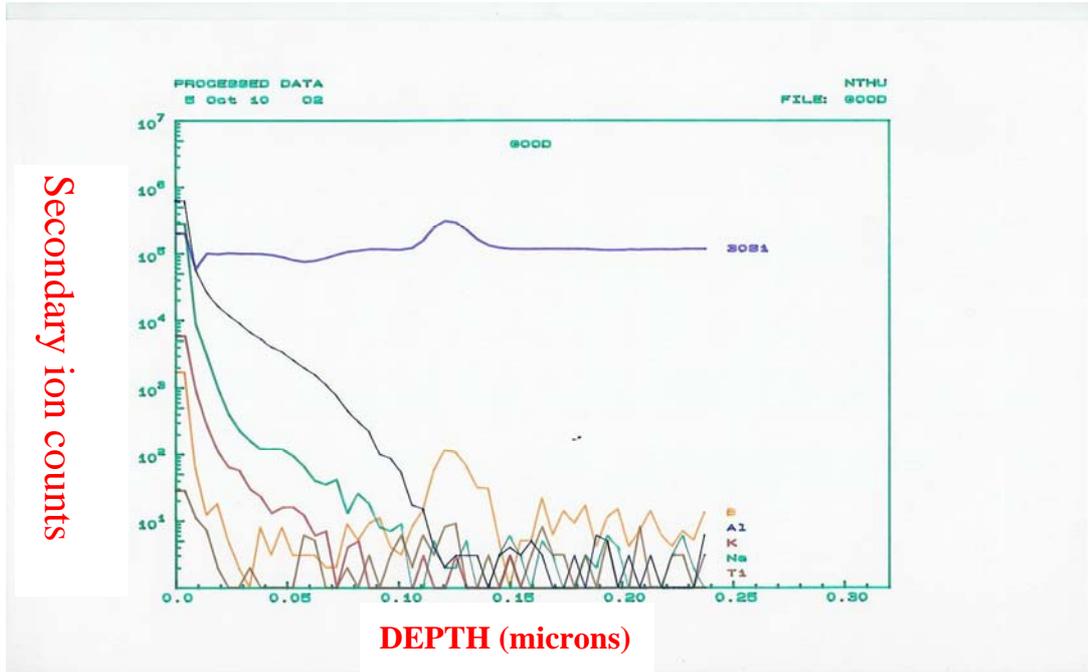


圖 4-1 (a) 崩潰電壓正常 wafer 之 SIMS 分析結果

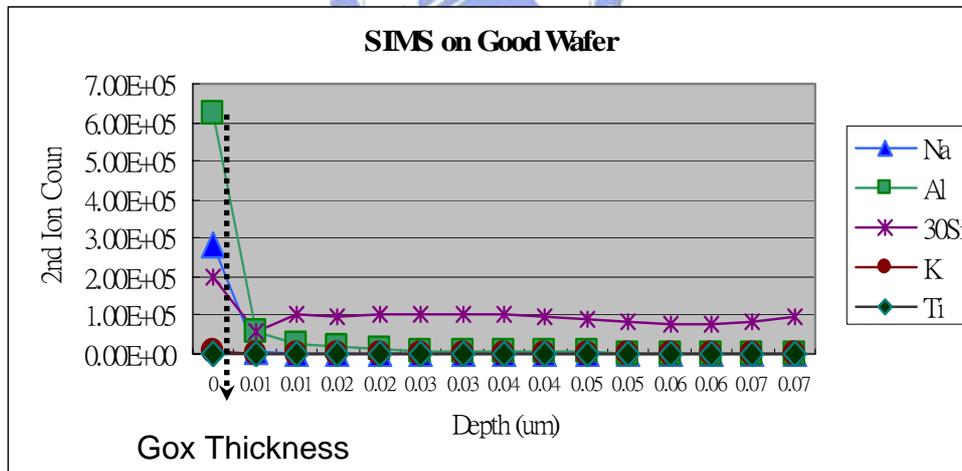


圖 4-1 (b) 崩潰電壓正常 wafer 之表層 SIMS 分析結果

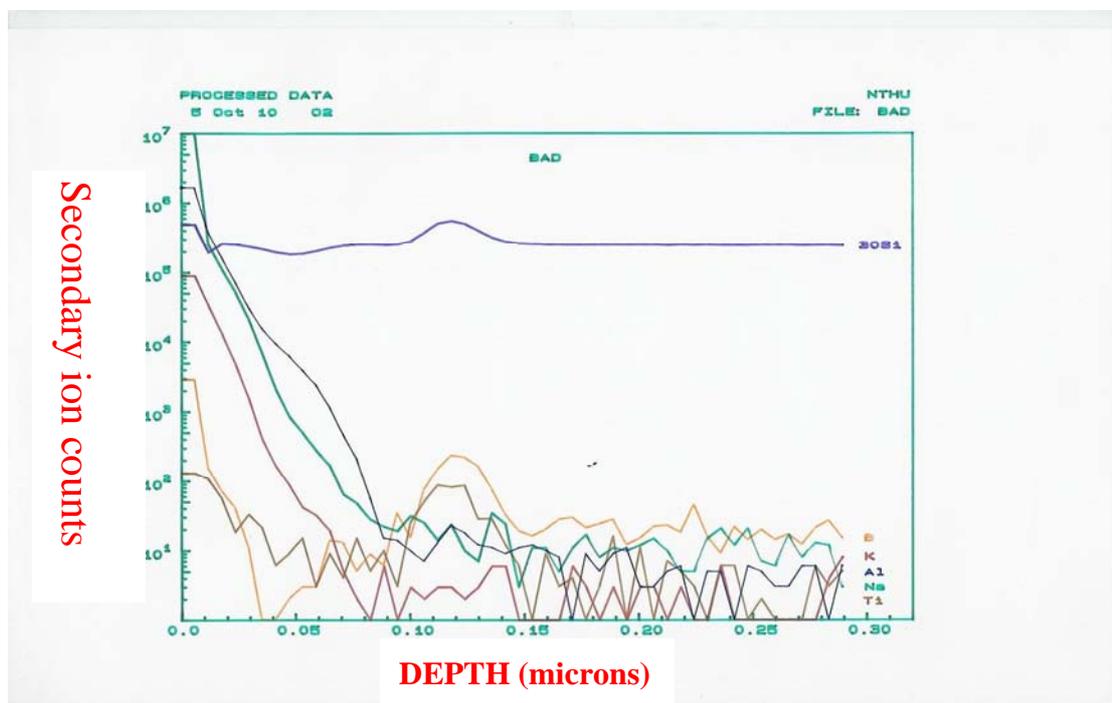


圖 4-1 (c) 崩潰電壓異常 wafer 之 SIMS 分析結果

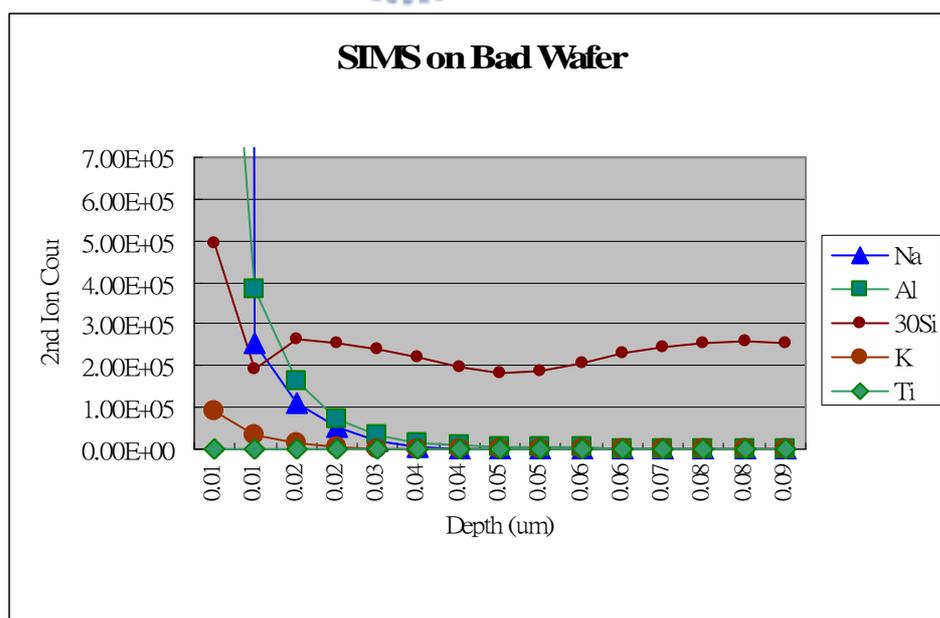


圖 4-1 (d) 崩潰電壓異常 wafer 之表層 SIMS 分析結果

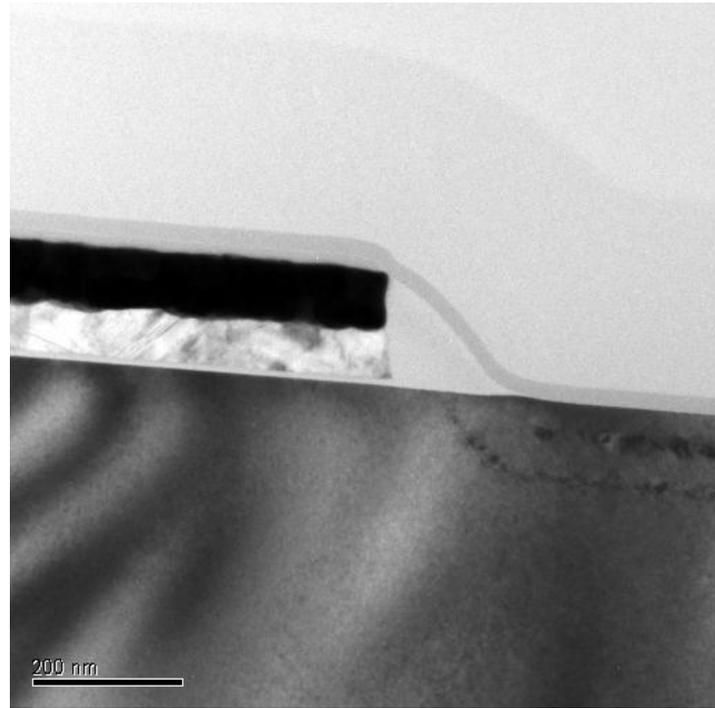


圖 4-2 (a) 崩潰電壓正常 wafer 的 TEM 照片

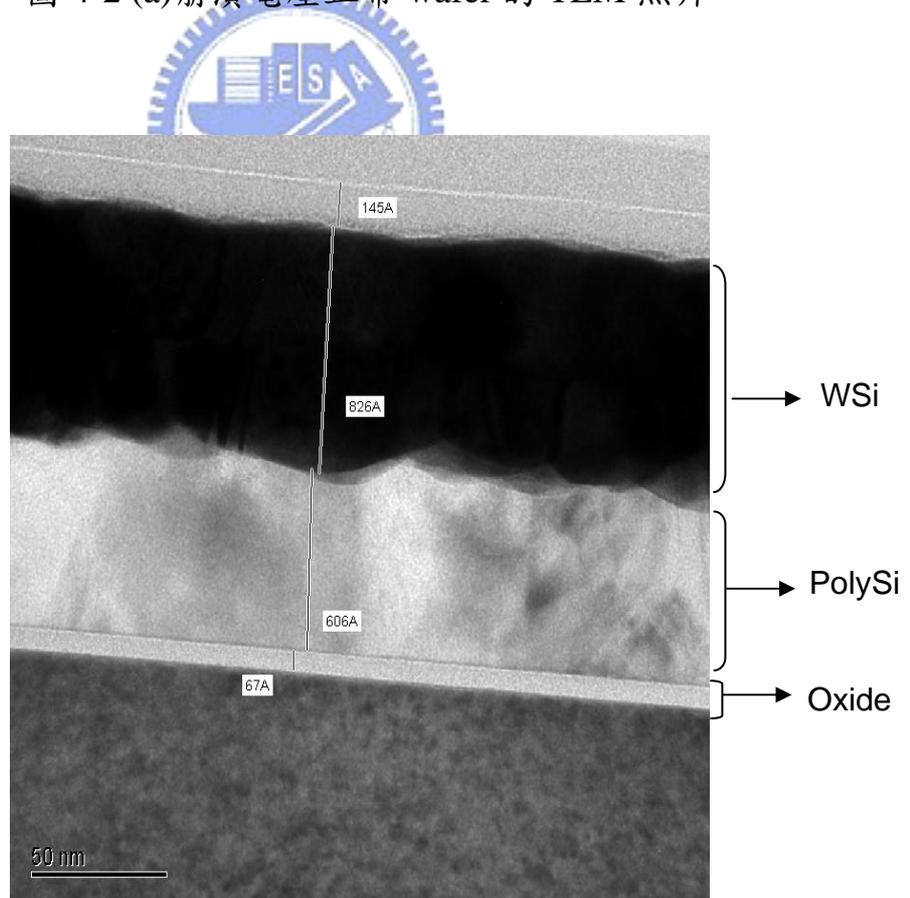


圖 4-2 (b) 崩潰電壓正常 wafer 的 TEM 放大照片

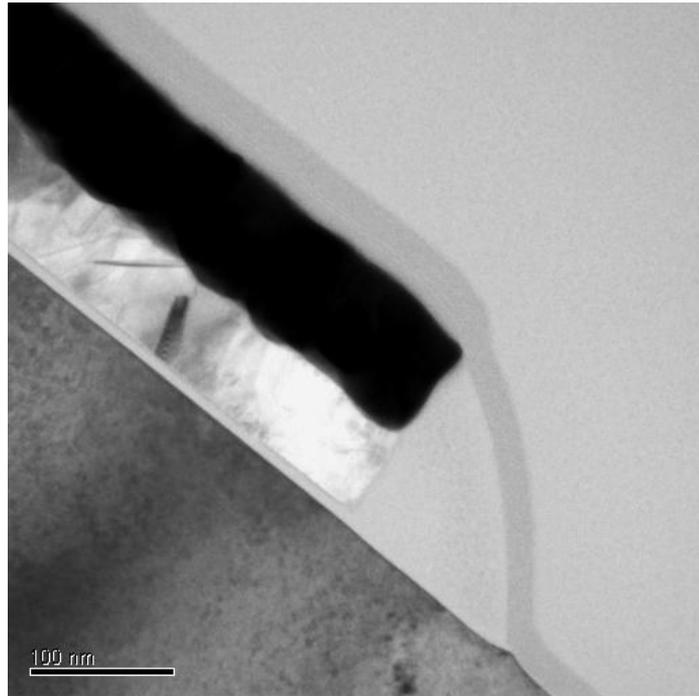


圖 4-3 (a) 崩潰電壓異常 wafer 的 TEM 照片

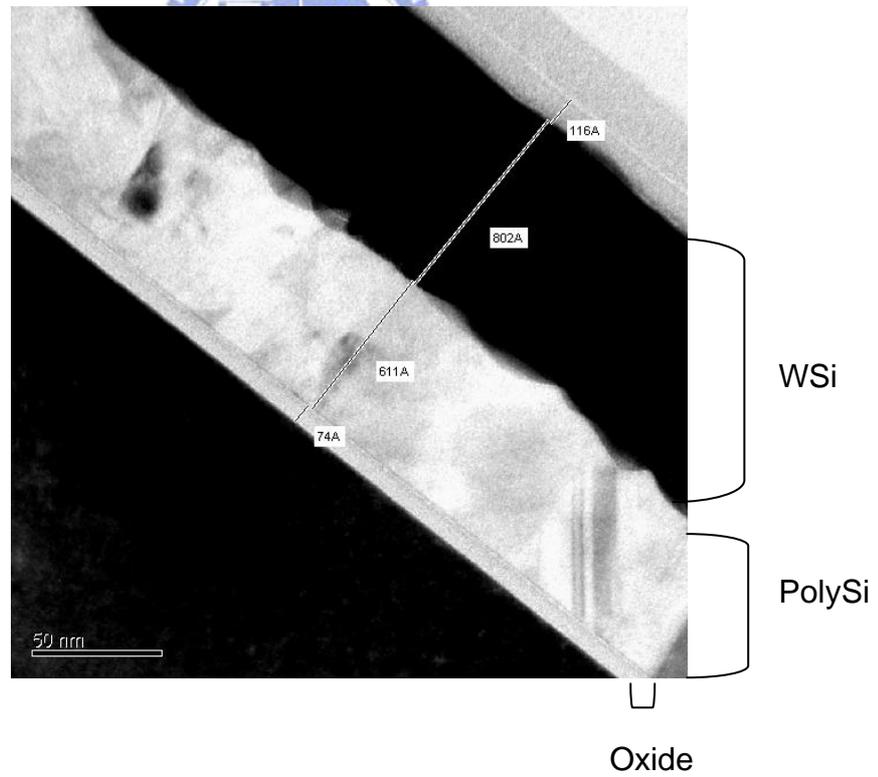


圖 4-3 (b) 崩潰電壓異常 wafer 的 TEM 放大照片

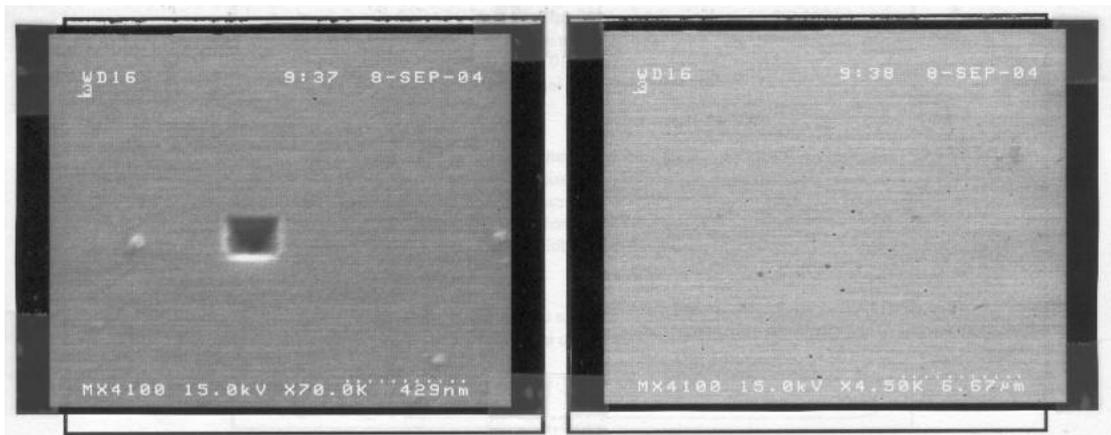


圖 4-4 Hot Spot Emission 後的 TEM 照片

右圖: 做 hot spot emission 後 Strip Back, 發現有 weak point

左圖: weak point 處 Si etch 往晶格方向, 故為方形

4.2 確定問題製程站別的實驗結果

將這十二片晶圓的崩潰電壓量測結果與其所經過的製程比對, 發現只要是經過 thin gate clean 站別的 wafer 都 failed, 而只要是沒經過 thin gate clean 站別的 wafer 都為 passed。很明顯地, 我們可以斷定 thin gate clean 站別出了問題。(如圖 4-5 與 4-6 所示)

4.3 尋找污染路徑的實驗結果

六組實驗中只有一組的 Vbd 是 fail 的, 在表 4-1 中我們加了一組已知的條件(視為第七組), 也就是化學品來源皆是由原供應商而供酸方式皆為中央供酸, 在圖 4-7 中可以看到不同條件的崩潰電壓。實驗結果交叉比對可以得知:

製程順序

第一組 第二組 第三組 第四組 第五組 第六組

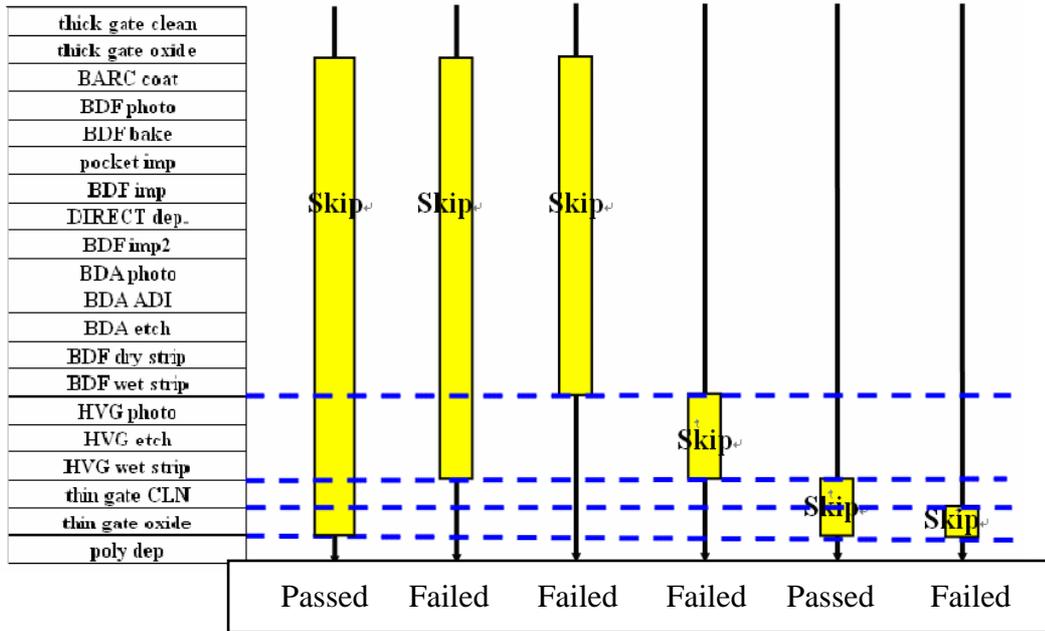


圖 4-5 確定問題製程站別的實驗結果

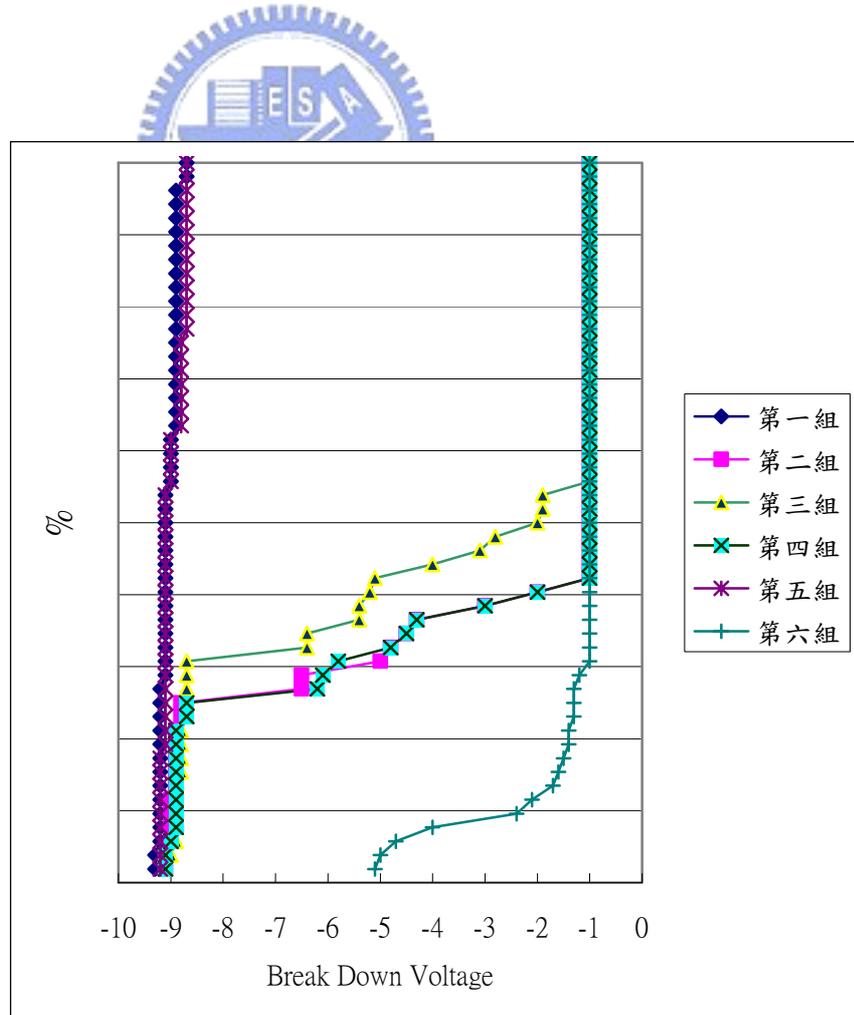


圖 4-6 確定問題製程站別實驗的 Vbd 結果

由第一組的結果可知清洗機台內部管路與 K 公司的化學品應該都沒有問題。以第一組與第二組比較可得知原供應商的雙氧水應該不是污染源。以第一組與第三組比較可得知原供應商的氨水應該不是污染源。以第四組與第六組比較可得知氨水的中央供酸管路應該不是污染源。以第四組與第五組比較可得知雙氧水的中央供酸管路是污染源。

表 4-1 尋找污染路徑實驗的結果

實驗組別	化學品來源		供酸方式		Vbd
	氨水	雙氧水	氨水	雙氧水	
1	K 公司	K 公司	人工供酸	人工供酸	Pass
2	K 公司	原供應商	人工供酸	人工供酸	Pass
3	原供應商	K 公司	人工供酸	人工供酸	Pass
4	原供應商	原供應商	人工供酸	人工供酸	Pass
5	原供應商	原供應商	人工供酸	中央供酸	Fail
6	原供應商	原供應商	中央供酸	人工倒酸	Pass
7	原供應商	原供應商	中央供酸	中央供酸	Fail

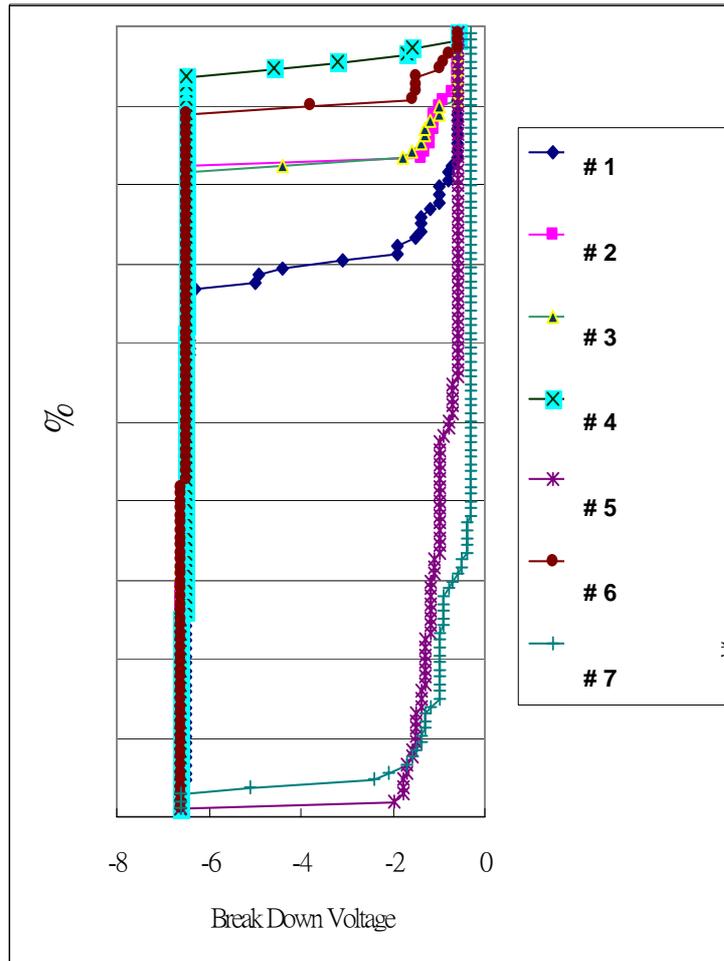


圖 4-7 尋找污染路徑實驗的 Vbd 結果

4.4 改善 THIN GATE CLEAN 清洗配方的實驗結果

由圖 4-8 可得知，新配方(SC1→SC2→HF)可有效抑制氧化層崩潰電壓的下降。而由圖 4-9 可得知用產品來重複驗證的結果都是一致的。也就是說，新的清洗配方可讓產品的崩潰電壓回到規格內。

由圖 4-10 可知，沒有經過任何清洗步驟的晶片表面有最高的金屬離子濃度，其次是經過舊清洗配方(SC2→SC→1HF) 的晶片，再來是只經過 SC1 清洗的晶片，而經過新清洗配方(SC1→SC2→HF) 的晶片表面金屬離子濃度最低。經過舊清洗配方(SC2→SC→1HF) 的 wafer 表面 Na、

Ca、K 的離子濃度都明顯比經過新清洗配方(SC1→SC2→HF)要來的高。

因此，第一個解決此閘極氧化層崩潰電壓下降事件的方法就是將將 thin gate clean 從 SC2→SC1→HF 改為 SC1→SC2→HF，圖 4-9 證明了當在工廠裡金屬不純物濃度沒有變化時，SC1 與 SC2 的前後順序對產品並沒有什麼差異，但是金屬污染若是沒有受到控制的情形下，則將 SC1 放在 SC2 之前的清洗程序可以有效避免閘極氧化層崩潰電壓的變化。

SC2 與 SC1 裡都含有雙氧水，既然雙氧水管路受到污染，為何變換 SC1 與 SC2 的順序會有影響呢？原因在於 SC2 有較佳的去除金屬不純物的能力。在前面的第二章裡有提到金屬在像是 SC2 這樣的酸性的溶液裡是離子狀態，而在像是 SC1 這樣的鹼性的溶液裡會是氫氧化合物，因此在 SC1 溶液金屬不純物裡會留在晶片上，而在 SC2 溶液裡金屬不純物裡則不會留在晶片上。換句話說，SC1 裡的雙氧水雖然污染了晶片但是緊接著的 SC2 卻可將受到污染的晶片再洗乾淨。

最後一個步驟的 HF 也是酸性溶液，為什麼沒有將被 SC1 裡的雙氧水污染的晶片洗乾淨呢？以上的實驗並未給我們明確的答案，不過推論可能是在這裡的氫氟酸使用的是五百比一也就是 0.1% 的濃度太低，以至於去除金屬不純物的能力遠低於 SC2。

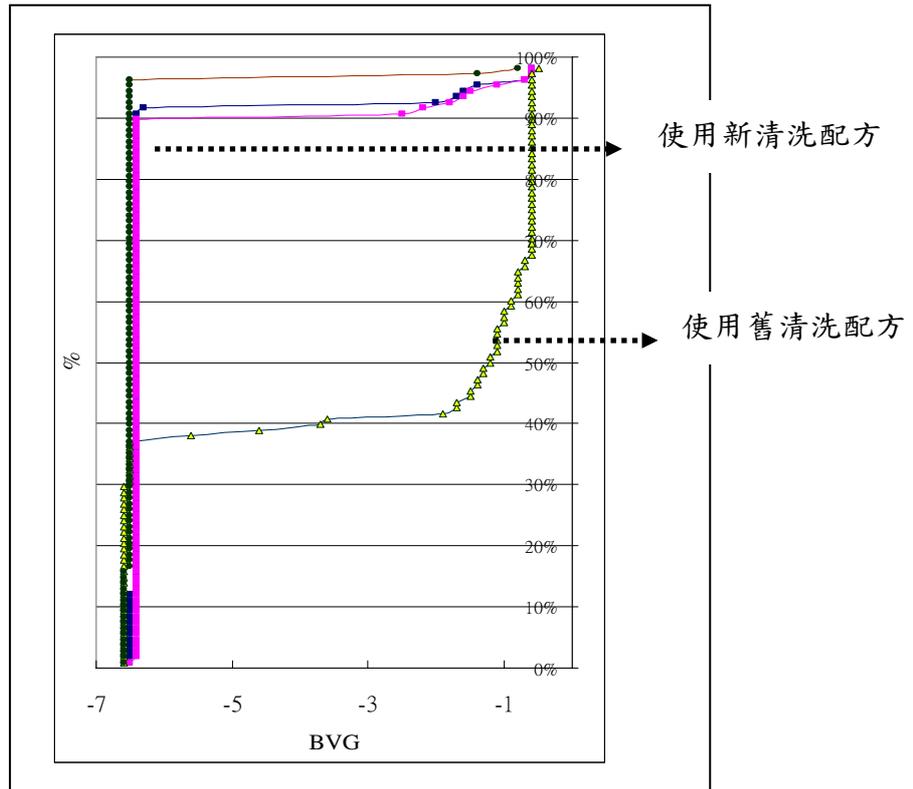


圖 4-8 新舊預洗配方在氧化層崩潰電壓的表現

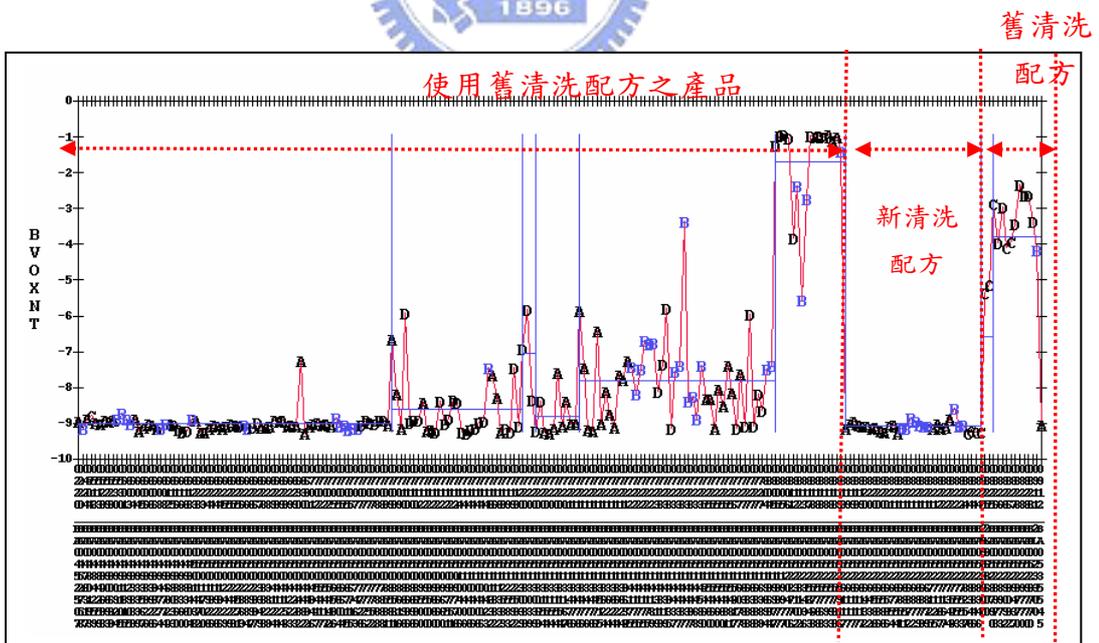


圖 4-9 從閘極氧化層崩潰電壓 SPC Chart 顯示新配方可有效抑制氧化層崩潰電壓的下降

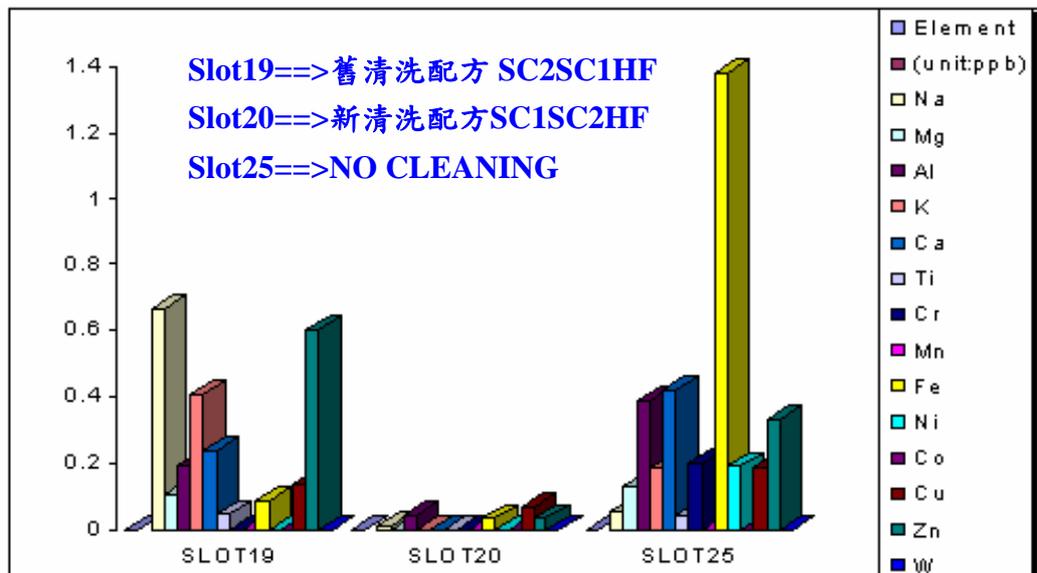


圖 4-10 將經過不同清洗步驟的 wafer 送 ICP-MS 分析結果

4.5 化學品傳輸管路之潔淨度的改善

根據實驗資料，污染源是來自廠務中央雙氧水管路，而且在廠務中央雙氧水管路做過年度維護後 Vbd 亦回到規格內，如圖 4-11。

因此第二個解決方案就是廠務中央供酸管路必須提高維護週期，由目前一年一次改為半年一次，並提高更換過濾器的頻率以避免污染源的再現。

4.6 建立快速監控開極氧化層崩潰電壓的方法

由於量產的產品從投片到電性測試有好幾百道製程，一旦產品跑到電性測試的站別才發現異常時，出問題的站別可能已經跑了數週，因此建立一個能快速監控電性的機制可以防止影響擴大並及時反映問題，也能利用此方法來快速的到實驗數據。

此法就是用最少的製程做出主動區的絕緣(Isolation)及簡單的金屬氧化半

導體(Metal-Oxide-Semiconductor)的結構後就把晶圓送去量測電性。雖然此法對氧化層崩潰電壓並沒有直接的改善，但是卻能幫助快速釐清問題。

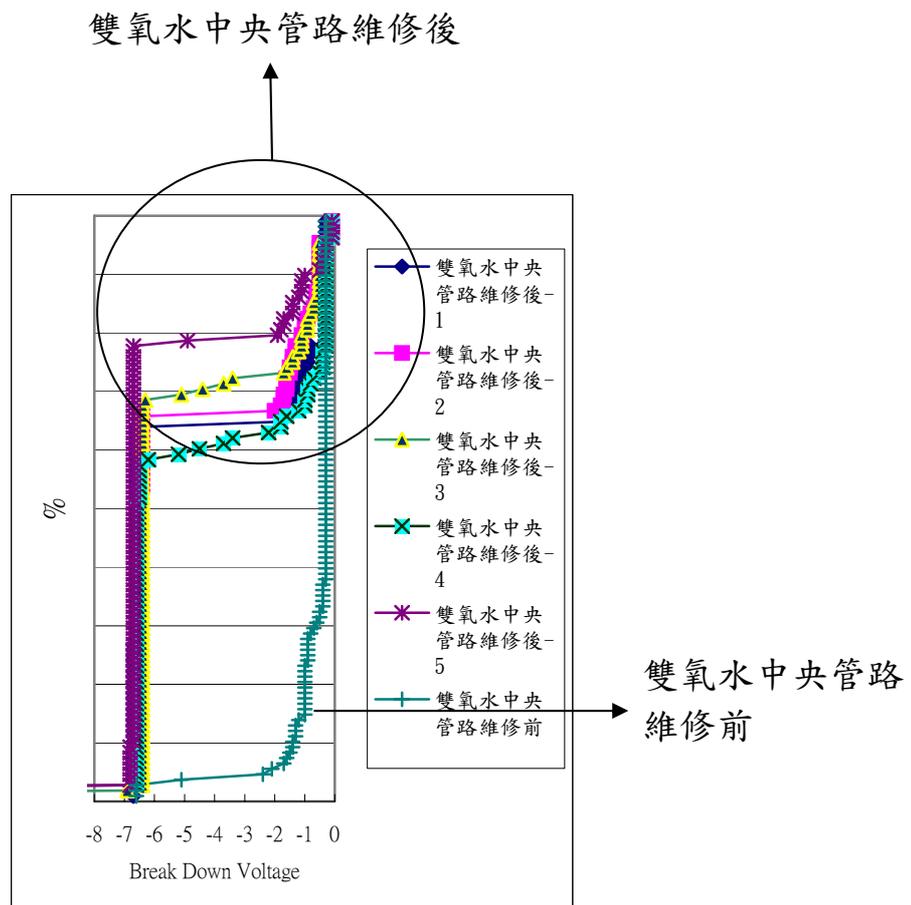


圖 4-11 雙氧水中央管路維修後,崩潰電壓明顯提升

第五章 結論

半導體製造技術越來越進步的同時，對製程中的污染控制要求也越來越高。本文中的金屬雜質污染造成了工廠裡數以萬計的晶片報廢，可見得晶圓廠中污染控制的重要性。

本文中的實驗數據證明了此產品的閘極氧化層受到金屬雜質污染，而此金屬雜質污染是來自於廠務中央雙氧水管路。根據實驗的結果提出兩個解決方案，已經開始在工廠內實施並且證明有效 1) 廠務中央供給化學品管路必須定期維護，並提高更換過濾器的頻率 2) 將預洗(pre-gate clean)配方中 RCA clean 之 SC2+SC1 clean 順序改為 SC1+SC2。第一個解決方案可以降低管路受到污染的機率，第二個解決方案則可確保產品不會再受到管路污染的影響。同時實施這兩個解決方案更可確保產品的崩潰電壓以後不會再受到類似事件的影響。另外，為了加強監控產品，工廠內也已經建立一個能快速監控電性的機制來及時反映問題。

對於晶圓廠中污染控制的重要性，本文提供了一個例子。在未來當積體電路的線距越來越小時，晶圓廠中的工程人員在污染控制上的挑戰會越來越大，但是相信這些問題都會被克服。

參考文獻

1. 莊達人”VLSI 製造技術”，高立圖書有限公司，(2006)，頁 483~485
2. 莊達人”VLSI 製造技術”，高立圖書有限公司，(2006)，頁 84~93
3. Ogawa Hiroki 、Horiike Yasuhiro 著，嚴誠廷譯 “半導體潔淨技術”，普林斯頓國際有限公司，(2003)，頁 12~35
4. Micheal Quirk and Julian Serda 著，羅文雄，蔡榮輝，鄭由盈譯 “半導體製造技術”，頁 136~142
5. 施敏，”半導體元件物理與製作技術”，國立交通大學出版社，(2002)，頁 263~299
6. 鄧宗禹、蔡明蒔，毫微米元件實驗室”以臭氧超純水清洗晶圓表面之簡介與應用”，毫微米通訊,第八卷第二期
7. 趙天生、柯富祥、陳志強、張廖貴術 “薄閘極氧化層之金屬雜質影響與可靠性探討”奈米通訊第六卷第三期
8. C.Y. Chang and S.M. SZE “ULSI TECHNOLOGY”， (1996)，60~100
9. C.Y. Chang and S.M. SZE “ULSI TECHNOLOGY”， (1996)，679~682
10. Wernr Kern, “Handbook of semiconductor wafer cleaning technology”，1993
11. B.D. Choi and D.K. Schroder “Degradation of ultra thin oxides by ion contamination” Applied physics letters , volume ,number 16, 15 October

2001

12. Balu Pathangey, Laura D. McCarthy and David C. Skilbred
“ Effect of metal contaminations in pre-gate oxide cleans for sub-100-nm device” IEEE transaction on device and materials reliability, Vol. 5, No4, December 2005
13. J.F. Buller, B. Bandyopadhyay, S. Garg, and N. Patel “Improved EEPROM tunnel-and gate-oxide quality by integration of low temperature pre-tunnel oxide RCA SC-1 clean” IEEE transaction on semiconductor manufacturing Vol.9, No.3, August 1996
14. Teong-San Yeoh, Nibn R. Kamat, Remesh S. Nair and Shze-Jer Hu* “Gate oxide breakdown model in MOS transistors” 1995 IEEE
15. Robert P. Naujokaitis and Richard G. Cosway ” Effect of HCl and chemical clean on thin oxide growth” 2000 IEEE/SEMI advanced semiconductor manufacturing conference
16. Ogawa Hiroki 、Horiike Yasuhiro 著，嚴誠廷譯 “半導體潔淨技術”，普林斯頓國際有限公司，(2003)，頁 106
17. Ogawa Hiroki 、Horiike Yasuhiro 著，嚴誠廷譯 “半導體潔淨技術”，普林斯頓國際有限公司，(2003)，頁 24-28
18. Ogawa Hiroki 、Horiike Yasuhiro 著，嚴誠廷譯 “半導體潔淨技術”，普林斯頓國際有限公司，(2003)，頁 65

簡歷

姓名：俞文光

性別：男

生日：1971年11月17日

籍貫：台灣雲林縣

地址：新竹縣竹北市光明一路十五號

學歷：市立高雄中學 76.9-79.6

私立中華工學院電機工程系 80.10~84.6

國立交通大學工學院專班半導體材料與製程設備學程 93.9-96.7

經歷：美商奇富麥科技/製程工程師

旺宏電子/Group Leader

愛德華先進科技/製程專員

太陽光電/副理

盛懋科技/研發經理



碩士論文題目：

探討金屬雜質對閘極氧化層崩潰電壓的影響與改善
Investigation into Influence of Metallic Impurity on Gate Oxide Breakdown
Voltage and Improvement