

國立交通大學

工學院專班半導體材料與製程設備學程

碩士論文

覆晶錫銀鉛錫接點 (5- μm Cu 金屬墊層) 之電遷移研究

Electromigration Study In Flip-Chip SnAg Solder

Joints With 5 μm Cu Under-Bump-Metallization

研究生：施雨佐

指導教授：陳智 博士

中華民國九十九年一月

覆晶錫銀鉛錫接點 (5- μm Cu 金屬墊層)之電遷移研究

Electromigration Study In Flip-Chip SnAg Solder
Joints With 5 μm Cu Under-Bump-Metallization

研 究 生：施雨佐

Student : Yu Cho Shih

指 導 教 授：陳 智 博 士

Advisor : Dr. Chih Chen



A Thesis

Master Degree Program of Semiconductor Material and Processing Equipment

College of Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of

Master

in

Program of Semiconductor Material and Processing Equipment

Jan. 2010

Hsinchu, Taiwan, Republic of China

中華民國九十九年一月

覆晶錫銀銲錫接點 (5- μm Cu 金屬墊層)之電遷移研究

研究生：施雨佐

指導教授：陳智 博士

國立交通大學

工學院專班半導體材料與製程設備學程

摘要



在消費性電子產品走向輕、薄、短、小的趨勢中，需要高密度銲錫接點輸入/輸出數目。伴隨著錫球尺寸縮小，覆晶銲錫接點內的電流密度增加，電遷移現象成為元件可靠度的影響關鍵。

含鉛銲錫會對環境造成污染，且歐盟及美國已經通過法令在西元2006年前禁止使用含鉛銲錫，故在電子工業界便積極的研究無鉛銲錫以取代傳統的共晶錫鉛銲錫。目前較受矚目的無鉛銲錫為 Sn-Ag 為主的合金。Sn-Ag 合金的熔點較高約為 220°C ，且其優異的機械性質使其成為無鉛銲錫的候選材料之一。

本文探討無鉛覆晶錫銀銲錫接點於 150°C 的溫度下，通電電流 0.8A，通電平均電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 之電遷移行為及其破壞機制。觀察到孔洞生成主要發生在電子流從 Al 導線進入 bump 的地方，亦即陰極/晶

片端。且孔洞生成伴隨著電阻上升，有沿著介金屬化合物與共晶錫銀
鐳錫的界面的逐漸向右趨勢；同時在觀察到不同的電阻上升狀況下的
鐳錫接點破壞機制或失效模式，討論對應的電遷移破壞機制。



Electromigration study in Flip-Chip SnAg Solder joints with $5\mu\text{m}$ Cu
under-bump-metallization

Student: Yu Cho Shih

Advisor: Dr. Chih Chen

**Program of Semiconductor Material and Processing Equipment
College of Engineering
National Chiao Tung University**

Abstract

As the consumer electronic products move toward lightly, thin, short and smaller, we need higher solder input/output joint density. Therefore, the evolution of the bonding technology has moved from “Wire Bonding” to “Flip Chip technology”. Along with the solder bump shrinking and current density increased, electromigration phenomenon had become a crucial reliability concern.

Pb-containing solder bump will cause environment pollution, and European Union and the US already forbade to use the Pb-containing solder bumps through the law at Y2006. Thus, the electrical industry is hurry to find the substitute to replace eutectic SnPb solder bump. Pb free solders become the basic requirement for the future electronic product. In recent years, Pb free solder bump research and development as become an important part of the

electrical industry. SnAg is one of potential Pb free solder alloys. The Sn-Ag alloy's melting point is about 220°C, and its good mechanical property makes it become a candidate of Pb free solder bump materials.

In this study, we investigate the Electromigration behavior stressed by 0.8A at 150°C. The electromigration behavior and the failure mechanism of the bump are monitored at various stages of electromigration. The microstructure of the solder bumps were observed as the bump resistance increased 20%, 50%, 100%, and 500% of its original value. It is found that void formation is mainly responsible for the increase in bump resistance.



誌謝

在此要先感謝所有伴我一起渡過在職專班碩士生涯的老師和同學們，謝謝指導教授陳智老師的指導，以及眾多實驗室成員的幫忙，使本論文得以順利完成。

承蒙指導教授陳智老師在研究方向上和論文寫作上的引導，以及在 Proposal 和論文口試階段 謝宗雍老師、吳耀銓老師和潘扶民老師的參與和提供寶貴意見與建議。

從一進入實驗室，聖翔學長帶著我們對試片的認識開始，學習研磨試片的過程，到開始在 hot plate 上通電，宗寬學長、龍哥在電子顯微鏡、SEM 上的大力協助，感謝大家在這些一路走來許許多多實驗製程及試片上的指導及幫忙。聖翔、世緯、筱芸、阿丸、龍哥、翔耀、宗寬以及 C C lab 成員們，謝謝大家！

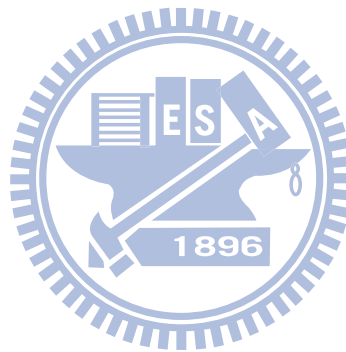
目錄	i
摘要	i
Abstract	iii
誌謝	v
目錄	vi
圖目錄.....	VII
第一章、緒論	1
1-1 覆晶接合技術 (Flip Chip)	1
1-2 無鉛化-無鉛鉛錫	3
1-3 研究動機	5
第二章、文獻回顧.....	10
2-1 電遷移.....	10
2-2 電流聚集效應.....	12
2-3 焦耳熱效應	13
2-4 電遷移活化能的計算.....	14
第三章、實驗方法與步驟	19
3-1 試片結構	19
3-2 實驗方法	19
第四章、結果與討論	24
4-1 試片剖面的觀察與討論	24
4-1-1 孔洞生成的觀察與討論	24
4-1-2 介金屬化合物成長的觀察與討論	26
4-2 試片孔洞生成與電阻上升的討論	27
4-3 結論	28
參考文獻	39

圖 4- 1 電子顯微鏡和光學顯微鏡觀測錫銀鉛錫 Cu 5 μ m UBM未通電試片	29
圖 4-2 錫銀鉛錫 Cu 5 μ m UBM試片 150 $^{\circ}$ C、電流密度 8.4x10 ³ A/cm ² 、通電時間 16.54 hr，電阻上升 25.4%，電子顯微鏡圖片。	30
圖 4-4 錫銀鉛錫Cu 5 μ m UBM試片 150 $^{\circ}$ C、電流密度 8.4 x 10 ³ A/cm ² 、通電時間 66.59 hr，電阻上升 63.1%，電子顯微鏡和光學顯微鏡照圖片。	31
圖 4-5 錫銀鉛錫Cu 5 μ m UBM試片 150 $^{\circ}$ C、電流密度 8.4 x 10 ³ A/cm ² 、通電時間 117.26 hr，電阻上升 101.3%，電子顯微鏡和光學顯微鏡照圖片。	32
圖 4-6 錫銀鉛錫 Cu 5 μ m UBM試片 150 $^{\circ}$ C、電流密度 8.4 x 10 ³ A/cm ² 、通電時間 190.35 hr，電路開路，電子顯微鏡和光學顯微鏡照圖片。	32
圖 4-7 Bump3 在電流密度 8.4 x 10 ³ A/cm ² 通電下，電阻上升對應通電時間之電阻曲線圖。	33
圖 4-8 (a)~(f) b3 電阻上升為 0、25.4% (16.54 hrs) 、50.0% (49.55 hrs)、63.1% (66.59 hrs)、101% (117.26 hrs) 和電路開路下 之 1000X SEM，在b3 左上角電子流進入的地方，可以觀察到孔洞隨著通電時間和電阻上升有逐漸向bump右側的趨勢，而至最後電路開路。	33
圖 4-9 Bump2(電子流由下方進入鉛錫)在基板端介金屬化合物因通電下而變厚。	34
圖 4-10 通電時間 117.26 hr，電阻上升 101.3%， (a) 未經電子流通之Bump1 SEM；(b) 未經電子流通之Bump4 SEM。在介金屬化合物與錫銀交界處可發現零星孔洞。	35

圖 4-11 (a) 未經處理之b1 SEM；(b) 未經處理之b2 SEM；(c) 未經處理之b3 SEM；(d) 未經處理之b4 SEM；在介金屬化合物與錫銀交界處可發現零星孔洞。36

圖 4-12 Schematic structure for the solder bump37

圖 4-13 通電時間 117.26 hr，電阻上升 101.3% 之電阻曲線圖。(a) Bump 2 無明顯變化，(b)Bump3 電阻隨通電時間上升。38



第一章、緒論

1-1 覆晶接合技術 (Flip Chip)

半導體工業是新技術迅速發展的工業，正如同摩爾定律所預測的那樣，隨著元件的尺寸持續不斷的縮小而積體電路(Integrated Circuit, IC)晶片上的電晶體數量卻是快速增加。1965年,英特爾 (Intel) 創始人之一摩爾(Gordon Moore)，注意到電腦晶片上的元件數目幾乎是每 12 個月就會增加一倍，其後雖於 1975 年修正為每 18 個月增加一倍的修正，仍可見積體電路驚人的演進趨勢。

電子封裝技術可以分為三種不同的層級(Level)，如圖 1-1[1]所示，第一層級是將 IC 晶片黏著於封裝機殼上並完成其中的電路連線與密封保護之製程(Chip to Module)；第二層級是將第一層次封裝完成的元件組合於印刷電路板上的製程 (Module to Board)；第三層級則把數個電路板組合於主機板上(Board to Mother Board)。本實驗的研究著重於第一級 Chip to Module。

電子封裝第一層級的晶片封裝(Chip Level Packaging)中，晶片與基板間的電導通方式主要可分為：(1)打線接合(Wire Bonding)；(2)捲帶自動接合(Tape Automated Bonding，TAB)；以及(3)覆晶接合(Flip Chip Bonding)三種主要形式(圖1-2)。隨著積體電路技術不斷微縮，朝高頻、高腳數發展，傳統打線接合封裝已無法滿足電性上的要求。打線接合 (圖1-3) [2]，若以50 μm 線寬及50 μm 的間距推算，僅有400 腳位/ cm^2 ；然而同樣條件下，覆晶接合方式，可有10,000 腳位/ cm^2 的高密度優勢。覆晶接合(Flip Chip)(圖1-4)是採用錒錫凸塊(Solder Bump)作為晶片與基板連接的接合技術，將晶面朝下藉由錒錫凸塊與基板接合，達到晶片與基板接合的方式。其除了具有提高晶片腳位的密度之外，更可以降低雜訊的

干擾、強化電性的效能、提高散熱能力、及縮減封裝體積等優點。

覆晶封裝的目的在於連接晶片與中介層(包括導線架、軟質基板、硬質基板等)。

最早的覆晶式封裝是在 1964 年由 IBM 推出應用在 System/360 的 C4 (Controlled Collapse Chip Connection) 製程[3]，C4 技術的橫截面圖如圖 1-5 所示，覆晶技術可以減小元件尺寸、增進電性、增加 I/O 密度、在迴焊(Reflow)時能自動校準。圖 1-6[4]為 C4 迴焊過程，首先在晶片作 passivation 處理，並鍍上一 BLM layer (ball limiting metallization)，現在一般稱為底部金屬層 UBM (under bump metallization)，如圖 1-6 (1) 所示。此層金屬包含 Cr-Cr/Cu-Cu-Au，其中鉻為接著及擴散阻絕層，因為它與氧化矽的接著較好，並且可以防止銅擴散至矽晶片。Cr/Cu-Cu 為反應層，因為銅與錫很容易反應。最上層為 Au，是用來防止銅氧化及增強迴焊(reflow)初期的反應，因為金與錫的反應更快。第二步驟是將錫鉛銲錫鍍上，那時是用含 97% 的高鉛銲錫，如圖 1-6 (2) 所示，其熔點 (liquidus temperature) 約 320°C。接下來是迴焊(reflow)製程，將溫度增至約 350°C。由於銲錫只會潤濕 (wet) 在此 BLM 金屬上，故第一次迴焊後，其形狀如圖 1-6 (3) 所示，變成一個凸塊 (Bump)。最後，如圖 1-6 (4) 將此凸塊晶片翻轉向下與陶瓷基板對準、加入助銲劑 (flux)、加熱後第二次迴焊完成接合。其基材為陶瓷材料，然而在 C4 技術中的缺點是使用高鉛銲錫，使得迴焊溫度必須高於 350°C，而無法使用輕且低價的有機材料，為了克服此缺點，Tu et. al. 使用複合銲錫結構如圖 1-5，並研究高鉛銲錫和共晶錫鉛銲錫間的擴散反應。

1-2 無鉛化-無鉛錒錫

因應電子產品日趨輕薄短小的需求，覆晶技術搭配球腳格狀陣列(Ball Grid Array, BGA)的封裝已成為現今的封裝主流技術，其中錒錫凸塊的材料選擇更相形重要。一般來說，錒錫凸塊包含兩個部分：一為錒錫球，另一部份則是底部金屬層(Under Bump Metallurgy, UBM)。

長久以來，錒錫中所用到的錒料都是以錒鉛合金為主，因為而含鉛錒錫具有以下優點：一、鉛提供良好的延展性及表面光澤；二、鉛可使錒錫有效降低表面能跟介面能；三、共晶錒鉛(Eutectic PbSn)的熔點為 183°C，相對於純鉛(232°C)與純錒(327°C)有較低的熔點；四、95Pb5Sn 高鉛錒錫的液相點與固相點溫差大約為 10°C，可被當為高溫錒錫使用。因此，具有低熔點的共晶錒鉛錒錫和具有高熔點的高鉛錒錫可被運用為複合錒錫。由於共晶錒鉛具有良好的機械性質，再加上因長年使用的所建立的物理、化學、機械性質資料庫，因此目前共晶錒鉛仍是電子工業最普遍使用的錒錫材料。

然而鉛具有毒性，近年來開始有禁用或限制使用的呼聲。由於環境污染的考量，因此日本在 2005 之後的國內電子元件，製造過程中，要求不得添加鉛[5]，歐盟 2003.2.13 公告 2002/95/EC RoHS 指令(the restriction of the use of certain hazardous substances in electrical and electronic equipment，有害物質禁用指令)，明確要求 2006.7.1 起電子產品不可含有鉛、鎘、汞、6 價鉻等重金屬及 PBB 和 PBDE 等溴化物阻燃劑[6]；影響所及，世界各國皆已開始制訂類似禁令，無鉛化成為未來電子產品基本要求，此外，含鉛錒錫含有少量的 Pb_{210} 同位素，會衰敗為Bi，在衰敗過程會放射出 α 粒子，當這些粒子穿過矽基材元件時，會產生電子和電洞，在這

些電子和電洞再結合前，會對元件中的電容造成電荷累積現象使元件產生“Soft Error”而失效。

近年來無鉛錒錫的研發已經成為電子工業相當重要的一環，無鉛錒料的要求對各項產業帶來非常大的衝擊，因此發展國家非常重視無鉛錒料的研究，紛紛訂定各自的發展計畫，期望可以找到適當的無鉛錒料，把衝擊減到最低。因此選用之無鉛錒錫須具備含鉛錒錫的特性且不具毒性。近年來無鉛錒錫開發已成為微電子工業相當重要的一項研發工作，無鉛錒錫選擇須考慮以下幾點：一、熔點須低於 260°C ，因為目前基板為高分子基板無法承受過高的迴錒溫度，二、良好的熱、電和機械性質，三、合理的價格以及容易取得，四、無毒性與環境汙染之虞，五、易於生產製造。美國的 NCMS (National Center for Manufacturing Sciences)、NEMI (National Electronics Manufacturing Initiative)、歐盟的 BRITE-EURAM、日本的 NEDO (New Energy and Industrial Technology Development Organization) 等機構，各自提出多種不同合金組成的錒料，例如 錒銅 Sn-Cu、錒銀 Sn-Ag、錒鋅 Sn-Zn、錒銀鉍 Sn-Ag-Bi、錒銀銅 Sn-Ag-Cu 等。目前較受矚目的無鉛錒錫為以 Sn-Ag 為主的合金。Sn-Ag 合金的熔點則較高約為 220°C ，而其優異的機械性質使其成為無鉛錒錫的候選材料之一。UBM 通常是由許多金屬層所構成的。其除了必須與錒錫的連接外，還必須阻止 Al 或 Cu 與錒錫在迴錒或使用時的相互反應。現今的 UBM 結構包括 Cr/CrCu/Cu，Ti/Cu/Cu，Ti-W/Cu/Cu，Ni/Cu 及無電鍍 Ni/Cu。至於以 Cu 為主的底部金屬層已經逐漸被淘汰，因為 Sn 和 Cu 會快速反應生成易碎裂的 Cu-Sn 介金屬生成物。而以 Ni 為主的凸塊底層金屬則因其與 Sn 的反應較慢而受到青睞。一般在 Ni/Cu 或無電鍍 Ni/Cu 凸塊底層金屬中，鎳或無電鍍鎳是扮演潤濕層與擴散阻絕層的角色，而銅則是作為導線。因

此本篇研究將以覆晶錫銀鉛錫厚膜 UBM 5 μm 與 Ni/Cu 凸塊底層金屬 作為研究電遷移現象的主題。

1-3 研究動機

高科技新產品不斷追求輕薄短小，使得晶片的尺寸與線寬不斷縮小，封裝技術演進至 FC technology，同時覆晶錫尺寸也跟著微縮，再加上無鉛化的需求。因此本篇研究選用無鉛共晶錫銀鉛錫作為電遷移測試接點，並使用凱文結構量測單顆錫球的電阻變化，來討論當錫球高度下降時對電遷移壽命與破壞模式的影響。



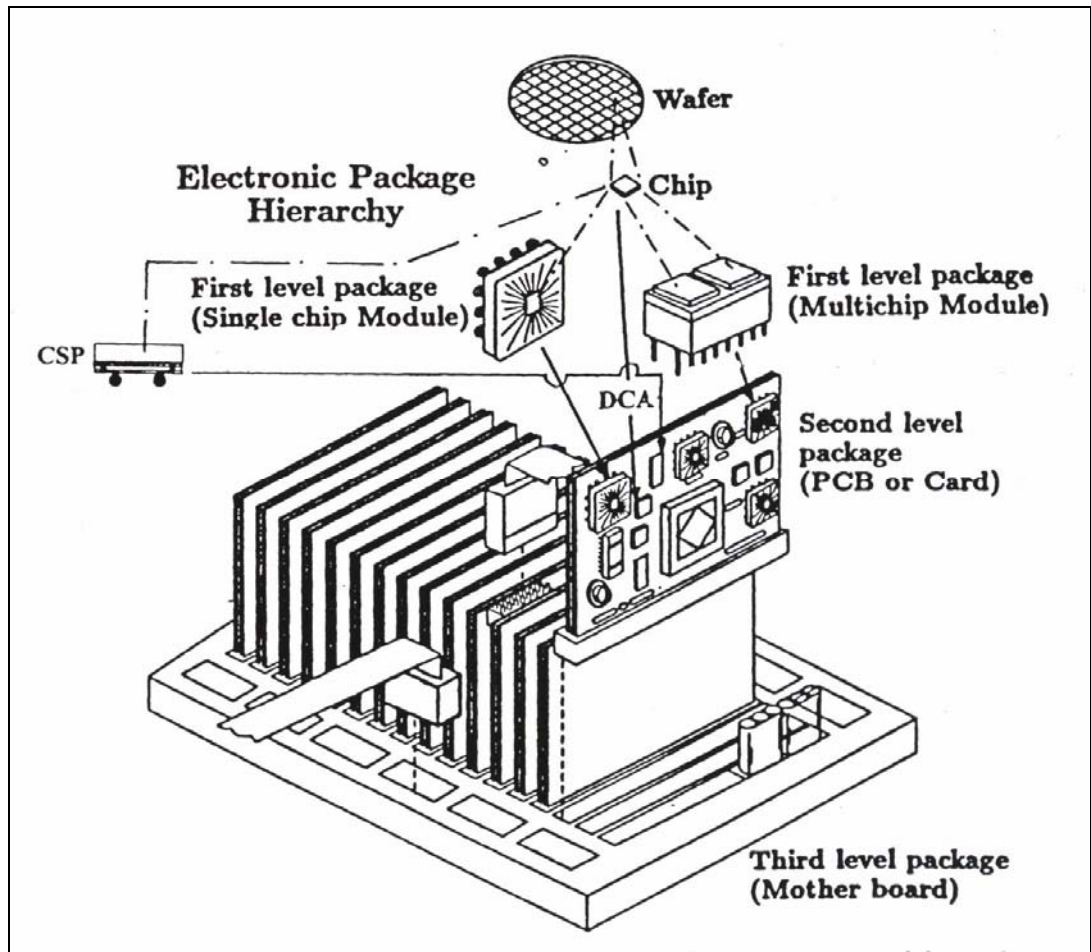
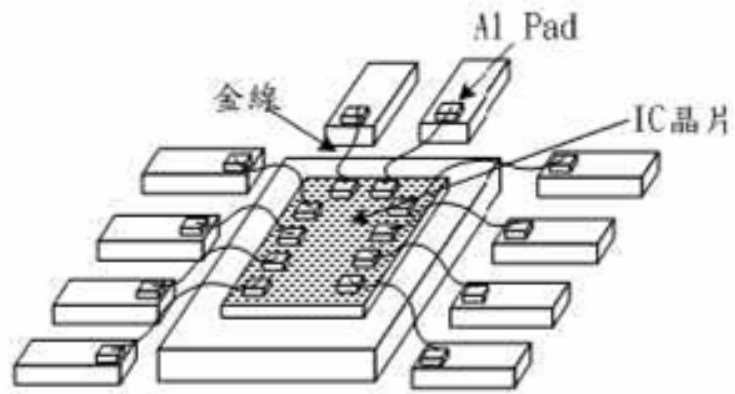
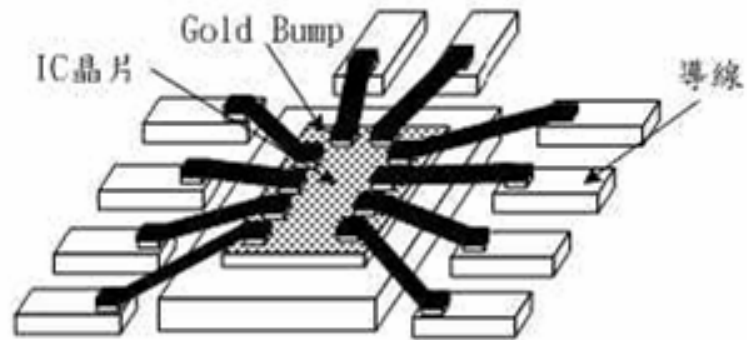


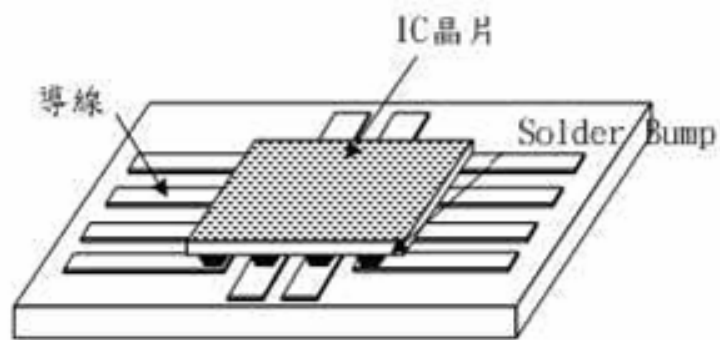
圖 1-1 電子封裝技術中的三種層級 ^[ref 1]



(a)



(b)



(c)

圖 1-2 晶片封裝中三種不同的電導通方式(a)打線接合(b)捲帶式自動接合(c)覆晶

接合 [ref 1]

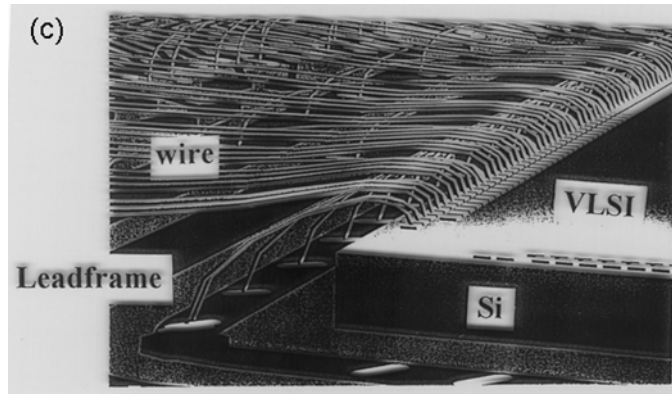


圖 1-3 打線接合(Wire bonding)圖示 [ref 2]

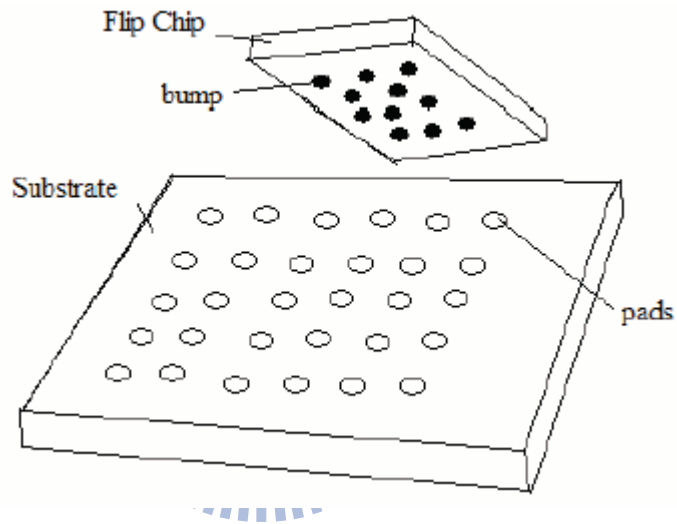


圖 1-4 覆晶接合示意圖 [ref 2]

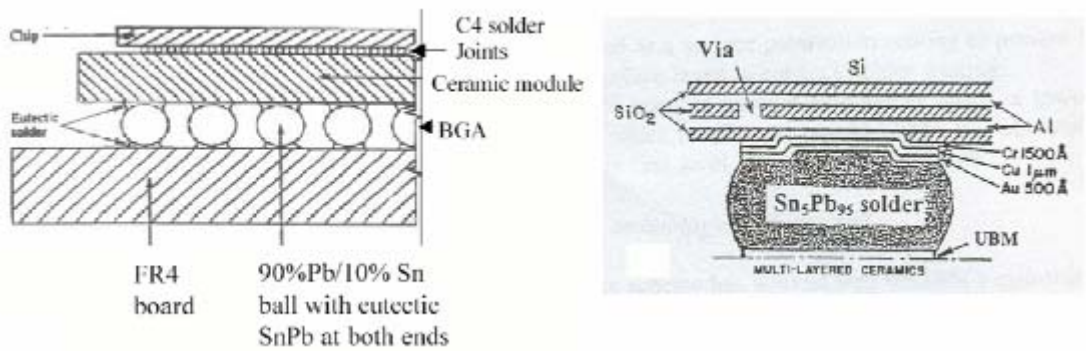


圖 1-5 覆晶封裝與FR4 基版(左圖)及IBM C4 結構剖面示意圖(右圖) [ref 3]

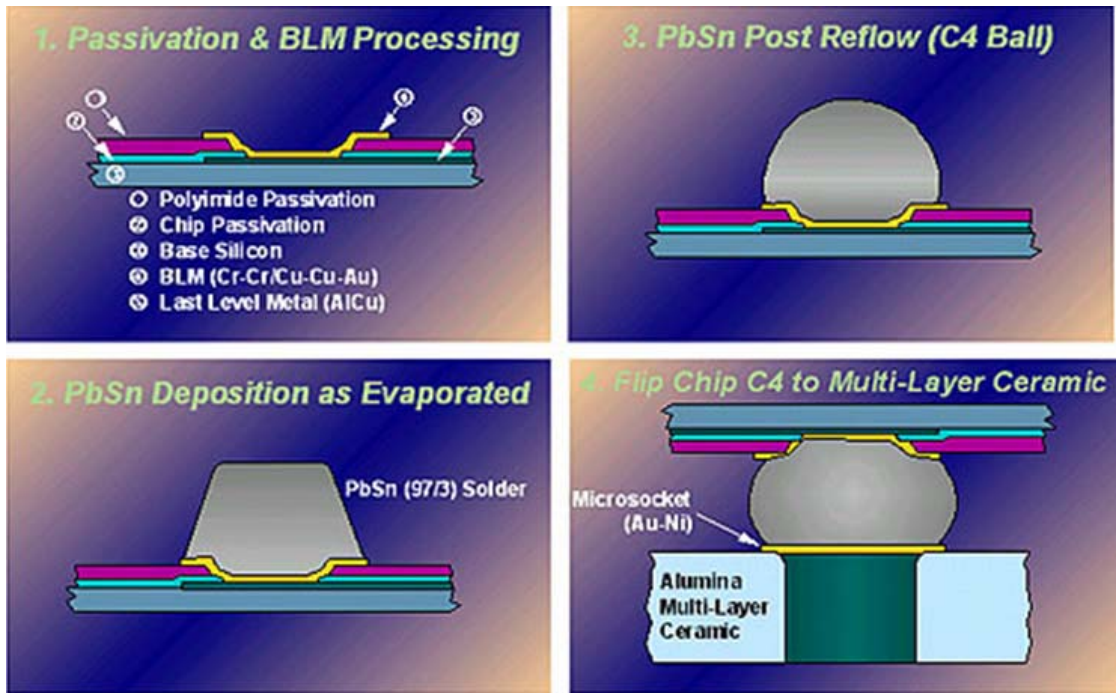
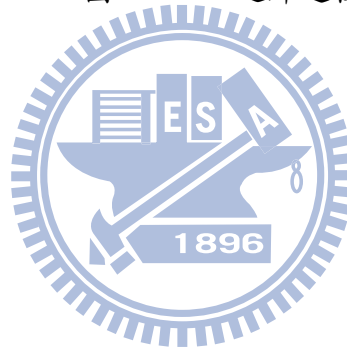


圖 1-6 C4 迴焊過程 [ref 4]



第二章、文獻回顧

2-1 電遷移

電遷移是以電場為驅動力造成質量的轉移，質量轉移的方向與電子流方向相同，電遷移的驅動力由電子風力(Electron Wind Force)和靜電場力(Electrostatic Field Force)所組成，電子風力指的是當電流經過試片時電子撞擊離子所造成的動量交換²¹。當電子流通過試片提供一高電流密度的環境，使電子和離子原子交換劇烈，產生質量上的移動稱為電遷移效應[4]。具代表性研究電遷移現象的即為Blech結構，圖(圖 2-1)為利用Blech結構研究Al導線的電遷移現象[7]。

因為Al的導電度較Mo佳，電子流的流向會在邊緣處往Al導線流，經過長時間會在陰極處發現孔洞而在陽極處有隆起的現象。電子流流經金屬時，會產生類似磨擦力使離子與靜電場相斥，此類似磨擦力的能量為電子風力，因此使離子移動的總驅動力為：

$$F_{driving} = F_{field} + F_{el-wind} \dots\dots\dots(2-1)$$

當施加電場時，其將會承受二個外加作用力，一者為電力 F_{el} ，此一作用力是因鋁離子受外加電場作用的庫倫力，稱為靜電力；其二為電子風力(Electron Wind Force) F_{wd} ，此作用力來自於鋁離子和高電流密度下電子碰撞造成動量轉移所致。當線條非常短的時候，空孔的梯度會變的很大足以抑制電遷移的現象，因在陽極處為壓應力，存在一壓力梯度使原子被推向陰極；此背向應力為電遷移時所產生，為穩態的應力[8][9]。在Blech試片的電遷移過程中，陽極為壓應力的狀態，並且空孔濃度小於平衡空孔濃度；陰極為張應力狀態，且空孔濃度大於平衡濃度。此

壓力梯度產生空孔梯度導致一空孔通量從陰極流向陽極，故在陽極處不會因為空孔的通量產生孔洞。(圖2-2) 為不同長度的Al導線通電後受到應力的情況，較長的Al導線受到的背向應力較小，對Al導線而言，不發生電遷移的臨界長度為10~20 μm 。

圖2-3為J. T. Yue 於1996提出鋁的電遷移模型[10]，可以了解到原子在電流作用下，會受到二種力量的影響。

電遷移模型中，高溫下部份之鋁離子會有機率躍遷至位能井之頂端，此活化的鋁離子，基本上不受限於晶格，處於平衡狀態，即其不會離開也不會掉回位能井內。

Huntington 及 Grone將電遷移力以下式表示：[11]

$$F_{em} = Z^* eE = (Z_{el}^* + Z_{wd}^*) eE \quad (2-2)$$

其中

Z^* 表示有效電荷(effective charge)，其指當受到電遷移效應時，能夠遷移的程度

e 表示電子電荷

E 表示電場($E=\rho j$ ， ρ 為電阻率， j 為電流密度)

Z_{el}^* 表示受擴散影響的離子常數

Z_{wd}^* 表示受電子風力影響的有效價電數

電場所造成原子流動的驅動力可以分為兩部份，電場直接對擴散原子作用力，是為靜電力；而電子與擴散原子之間的動量轉換，又可稱為電子風力。

其中靜電力以(2-3)式表示

$$F_{el} = Z_{el}^* eE \quad (2-3)$$

而電子風力可改寫成(2-4)式

$$F_{wd} = Z_{wd}^* eE \quad (2-4)$$

由於 F_{wd} 與電子流同一方向，而 F_{el} 和電子流呈反方向，且 F_{wd} 遠大於 F_{el} ，是以鋁離子受電子風推擠而沿電子流方向移動，而空位(Vacancy)則由電子流反方向移動。空位和遷移的鋁離子在電遷移過程中是同時產生的。電遷移因空位的產生，而有另一個快速移動的路徑—離子和空位交互躍遷(Ion-Vacancy Jump Process)。多晶狀金屬薄膜中，在晶界(Grain Boundary)以及金屬薄膜與介電層間的界面中，提供大量的空位所致。因此得以解釋多晶狀金屬薄膜的電遷移活化能(0.5~0.6 eV，鋁)遠低於塊材(1.48 eV，鋁)。

2-2 電流聚集效應 (Current crowding effect)

覆晶焊錫凸塊的結構為錐錫球連接到晶片端內連接線與基板端的導線，因為在內連接線的剖面面積比錐錫凸塊小了兩個維度，加上同樣的電流流經，在和錐球與內連接線接面會有很大的電流密度改變，這樣的改變造就了電流集中效應。另一方面，電遷移的作用機制是利用電子與原子間的碰撞所產生的效應，然而電子的行進路線會選擇最短或受最小阻礙的路徑來行走。若路徑為曲線，則因為最內側的路徑電阻較小，所以通過的電子數量較多，於是在彎角的地方也會出現電流聚集的情形。

在Everett C.C. 等人的研究中[12]，提及導線與錐錫凸塊幾何形狀的差異造成錐錫凸塊內部的電流集中情形，錐錫內部電流密度分部分析結果如圖 2-4，並由實驗的結果證實此現象會造成錐錫凸塊中電流集中處有孔洞生成，且使錐錫在電遷移可靠度測試的結果不如預期，結果推得如在設計中引入可減緩電流集中效應的

方法，可以提高鉚錫凸塊的電遷移測試可靠度。圖2-4(a)為覆晶封裝的鉚錫球內的電流分佈與錫球內電流分佈二維模擬，圖2-4(b)為電流密度分佈模擬圖。從中可明顯發現鉚錫錫球電流分佈並不平均，錫球中心的電流密度約小於晶片內連導線與鉚錫錫球界面一個維度。由於覆晶封裝中的獨特鉚錫接點外形，晶片內連導線與鉚錫錫球截面大小相較有二個維度大小之差，因此在流由晶片內連導線進入鉚錫錫球時，二者界面處將有極大的電流密度改變，如此大的電流密度改變，形成了電流聚集效應。

圖2-5為覆晶鉚錫共晶錫鉛，UBM為 Cu/Ni(V)/Al，電遷移破壞孔洞生成與成長的連續過程，可以發現電遷移破壞發生在界面處。孔洞生成的主因在於二者界面處有著較大的電流密度，造成電流聚集效應的影響。

2-3 焦耳熱效應

鉚錫錫球在通電作用下產生焦耳熱，將導致錫球的溫度變化。圖2-6為利用紅外線顯像技術，量測置於70°C熱板、通電中的覆晶鉚錫結構，其因焦耳熱效應造成的溫升分佈及其模擬情形，其中發現主要發熱源存在於鋁導線進入鉚錫處 [13]。金屬在絕對零度時，其原子會於晶格平衡位置上不斷地來回振動，當溫度愈高時，其振幅愈大，因此當電子通過金屬導體時，其所面臨的阻抗也愈大，其阻抗將直接反應於金屬的電阻特性，稱為 TCR 效應(Temperature Coefficient of Resistance Effect)。

因此鉚錫錫球在通電作用下，所產生的焦耳熱，除了造成溫度效應外，也會因 TCR 效應而造成電路阻值的改變。

$$TCR = \left(\frac{R_1 - R_0}{R_0} \right) \left(\frac{1}{T_1 - T_0} \right)$$

其中

T_0 表示參考溫度

T_1 表示為真實溫度

R_0 表示在 T_0 下的電阻

R_1 表示在 T_1 下的電阻

如此即可利用電路阻值的變化，來校正錒錫錫球在通電作用下所受焦耳熱造成的溫升變化。

2-4 電遷移活化能的計算

圖2-7為依Black Equation修正的覆晶錒錫 (a)共晶錒鉛錒錫，(a)共晶錒銀銅錒錫活化能推算，其推算出的共晶錒鉛與共晶錒銀銅的活化能數值分別為0.5eV 與0.8eV [14]。1969年Black 對鋁導線電遷移失效的平均失效時間所提出的公式(式2-5)[15]，在覆晶錒錫的運用上，由於電流聚集效應及焦耳熱效應的影響，需做適當的修正。其中電流聚集效應使其電流密度需以一常數c修正；而焦耳熱效應造成的溫升效應，以 ΔT 修正錒錫錒球內部的溫度表現。修正後之Black Equation如式子 2-6。

$$\text{Black Equation : } MTTF = A \frac{1}{J^n} \exp\left(\frac{Q}{kT}\right) \quad (2-5)$$

修正之Black Equation :

$$MTTF = A \frac{1}{(cJ)^n} \exp\left(\frac{Q}{k(T + \Delta T)}\right) = A' \frac{1}{J^n} \exp\left(\frac{Q}{k(T + \Delta T)}\right) \quad (2-6)$$

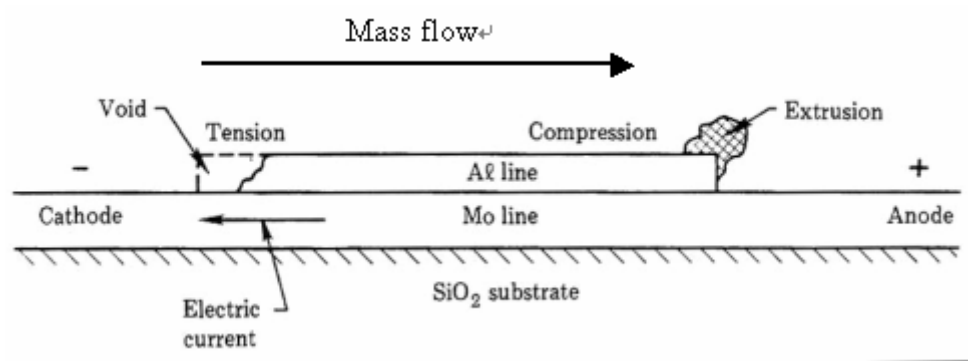


圖 2-1 Blech結構研究鋁導線的電遷移現象 [ref 7]

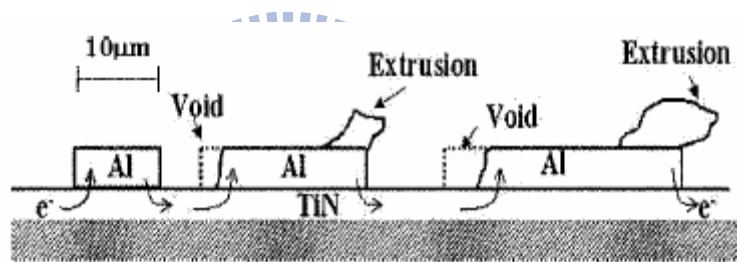


圖 2-2 不同長度的鋁導線通電後電遷移現象 [ref 7]

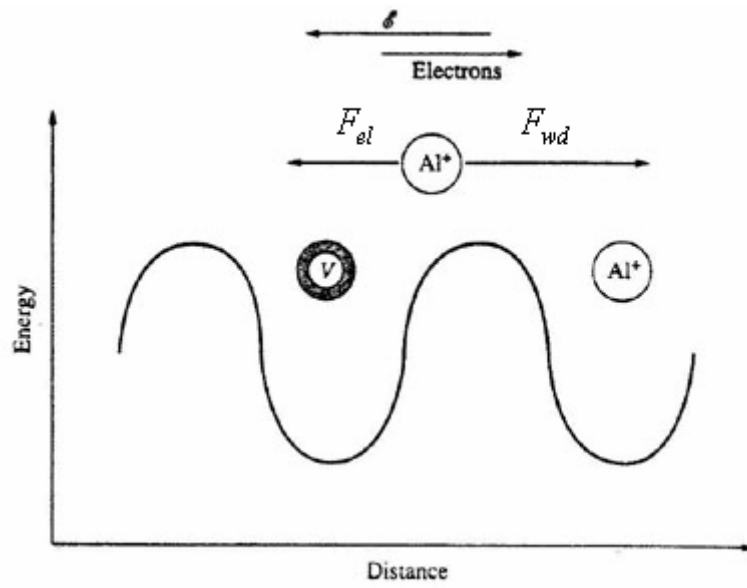


圖 2-3 鋁離子在晶格位能井承受電子(F_{el})和電子風力(F_{wd})示意圖；符號V表鋁離子離開後的空位 [ref10]

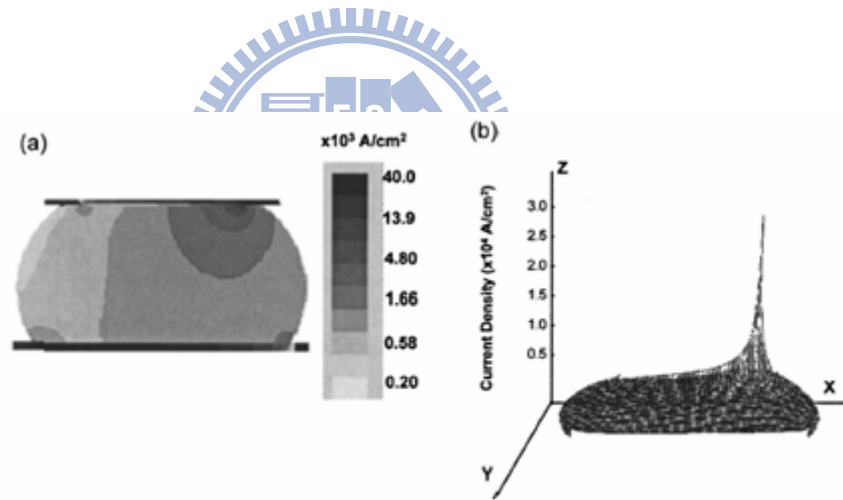


圖 2-4 (a) 錫球內電流分佈二維模擬 (b) 錫球剖面(x-y面)電流密度分佈(z 軸) 模擬示意圖 [ref 12]

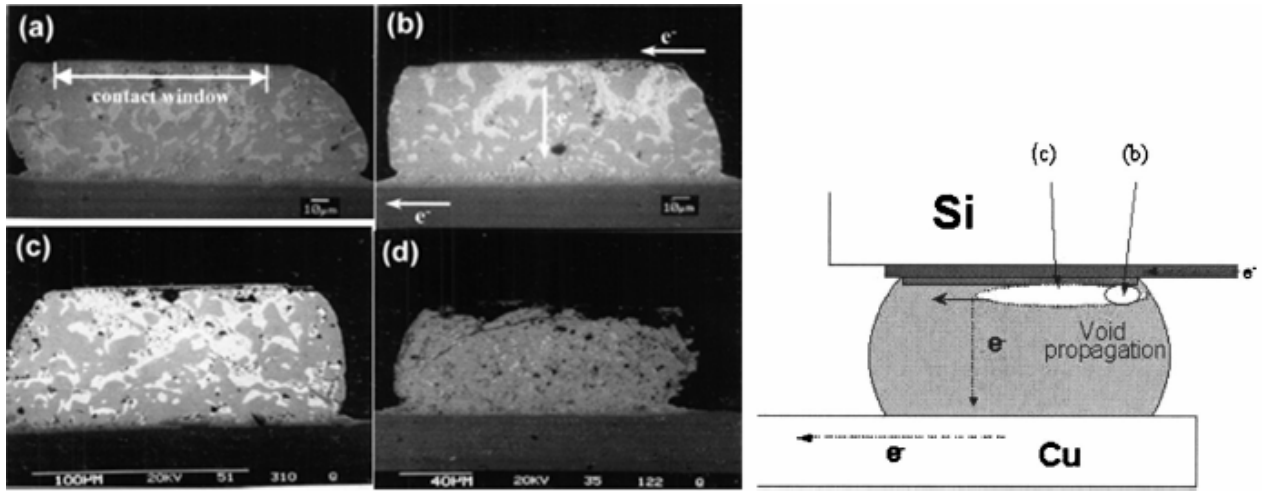


圖 2-5 (a)-(d)覆晶鋅錫共晶錫鉛UBM Cu/Ni(V)/Al 電子顯微鏡電遷移破壞剖面圖，(e) 孔洞生成與成長示意圖。條件：加熱 125°C，電流密度 $2.25 \times 10^4 \text{ A/cm}^2$ ，通電時間(a) 37 hrs, (b) 38 hrs, (c) 40 hrs, and (d) 43 hrs. [ref 12]

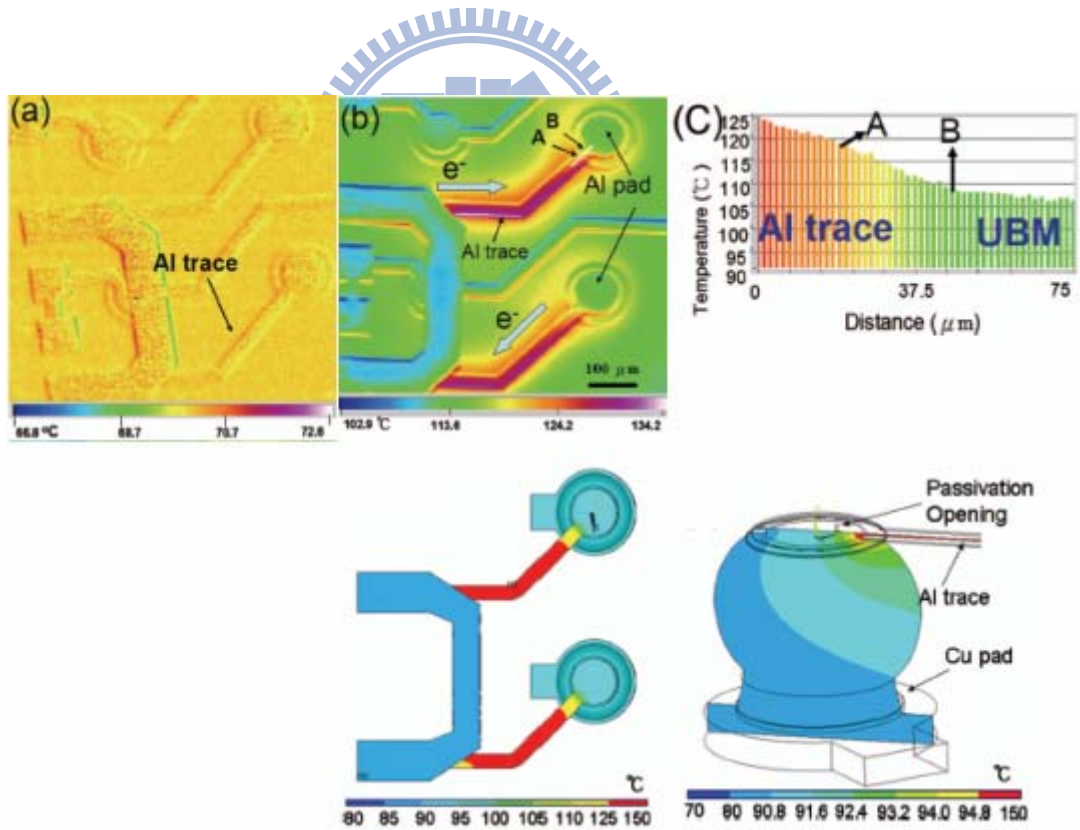


圖 2-6 焦耳熱效應 (a)未通電前溫度分佈(b)通電 0.59A 溫度分佈 (c)圖中所示白線溫度曲線。及其溫度模擬分佈 [ref 13]

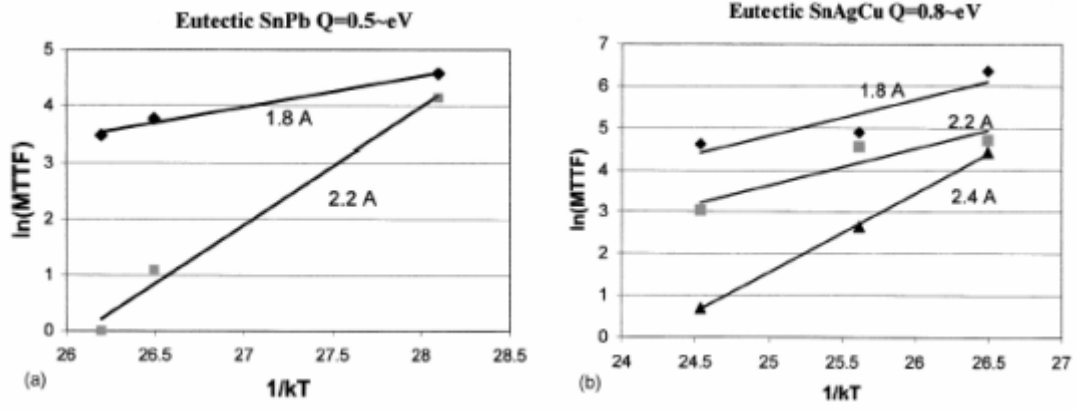


圖 2-7 覆晶鋅錫活化能 (a)共晶錫鉛鋅錫，(b)共晶錫銀銅鋅錫 [ref 14]



第三章、實驗方法與步驟

本實驗，在一定加熱溫度、通電電流的條件下，研究銅UBM覆晶錫銀鉛錫的電遷移破壞模式，其中並針對覆晶錫銀鉛錫通電下的電流聚集效應及焦耳熱所造成的電遷移現象，利用OM 以及 SEM予以觀察。

3-1 試片結構

實驗的試片，係由米輯科技提供的錫銀覆晶封裝試片，其鉛錫錫球結構如(圖3-1)，本文中，採用如(圖3-2)的 Kelvin bump 結構作為研究。此錫銀鉛錫 UBM 種類為Cu，厚度為 $5\mu\text{m}$ ，UBM opening 為 $100\mu\text{m}$ ，錫銀鉛錫直徑 $110\mu\text{m}$ ，高度為 $20\mu\text{m}$ ，錫球間間距為 1mm 。其中鉛導線寬為 $100\mu\text{m}$ 厚 $1.5\mu\text{m}$ 。鉛料是以錫銀鉛錫，先利用電鍍將鉛錫固定在UBM 所在，再以加熱爐加熱到 220°C 約1 分鐘。基板的部份，使用FR4 基板，而其接著的銅墊層之上為 $5\mu\text{m}$ 的無電鍍鎳、 $1\mu\text{m}$ 金，下方銅墊層的直徑為 $280\mu\text{m}$ ，因為基板端的墊層直徑相當大，所以鉛錫高度相對較低，僅有 $20\mu\text{m}$ 。

因為以往的模擬結果顯示電流集中效應會發生在電子流進入鉛錫後約 $20\mu\text{m}$ 的深度，所以在矮的鉛錫 ($20\mu\text{m}$) 當中，由電子流造成的電遷移行為應該會與高的鉛錫相同。

3-2 實驗方法

以一定電流0.8安培施於電路，在 150°C 溫度條件下，為了觀察試片的微結構變化，我們觀察錫球電阻上升為 0%, 20%, 50%, 100%, 500% 及 Open 斷路下，不同電阻變化之電遷移所造成的破壞模式。

3-2-1 錫球電性觀測

(圖3-2) 為本文所指之凱文鐳錫結構俯視圖，利用此結構觀測鐳錫受到電遷移影響時的即時電性變化。結構中含有四顆鐳錫球，此四顆鐳錫球，如圖所示b1、b2、b3及b4，由一鋁導線連接四個墊層。其中鋁導線長3150 μm 、厚1.5 μm 、寬100 μm ，錫球間間距為1mm。此外，圖示之六條導線，係FR4基板與四顆鐳錫球連接的銅導線，分別標示為n1、n2、n3、n4、n5及n6，銅導線厚30 μm 、寬100 μm ，其中錫球b1到b4依序分別連接1、2、2及1條的銅導線，導線分佈如(圖3-2)。

利用此六條銅導線不同的連接方式，可分別量測到b2、b3的單顆鐳錫電阻與晶片內的鋁導線電位差與電阻，如(圖3-3)標註箭頭方向所示。在本研究中，由n3及n4通入一定電流，電子流在b2中從基板端流向晶片端，在b3中則相反方向。利用n1與n2來量測鐳錫b2的電位差，而鐳錫b3的電位差則可利用n5及n6量測得知，如此量測方式即可在電遷移發生的同時量測到兩個電子流不同方向的鐳錫電阻。由於電流集中效應，在以往的研究中孔洞的生成大多顯示在鐳錫球的晶片端，所以本實驗電遷移現象著重在b3電性的量測，當其電阻值變化為初始值的120%，即定義為電遷移破壞。另外利用n1及n2來量測鋁導線的電阻，其量測值將用來作為鐳錫溫度的校正。

將試片置於150 $^{\circ}\text{C}$ 的加熱板上，以晶片面緊貼加熱板方式加熱，並用耐熱膠帶固定，靜置試片直到試片溫度到達平衡才開始量測。電流流經的迴路與量測的位置如(圖3-4)方式接線通電，(圖3-3)之n3及n4通入一定電流0.8A，量測b3鐳錫的電阻值變化，當其變化為初始值的120%後，停止通電及加熱並取下試片。以UBM opening直徑為110 μm ，施以0.8A之一定電流，其所對應電流密度為 8.4×10^3

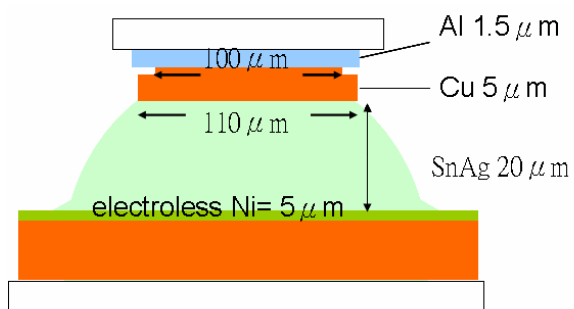
A/cm²。

3-2-2 銲錫錫球破壞模式的觀測

將破壞後試片依序沿(圖3-5)所示方向，以不同號數的SiC 砂紙120、600、1200、2500、4000 依序研磨試片，再以Al₂O₃ 1 μm、0.3 μm、0.05 μm 大小的顆粒作研磨拋光。並藉由光學顯微鏡(OM)、電子顯微鏡(SEM)來觀察其破壞後剖面的影像。

3-2-3 銲錫電阻變化的量測

本研究使用的電源供應器與量測儀器為電流源Keithley 2400與資料交換器(Data switch) Agilent E34970A 配合有二十個獨立頻道的Agilent E34901A 模組，這兩組儀器在量測時間小於90 天、100 mV的量測範圍下，電壓的量測精確度範圍約為5μV。研究中破壞產生之初始階段的銲錫電壓變化約為20 μV，故此兩者儀器在本研究所需的量測範圍內可提供足夠的精確度。



Solder joint without PI

圖 3-1 試片鋁錫凸塊結構示意圖

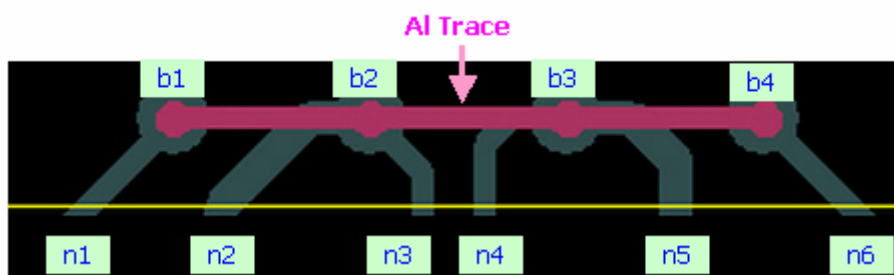


圖 3-2 凱文鋁錫結構俯視示意圖

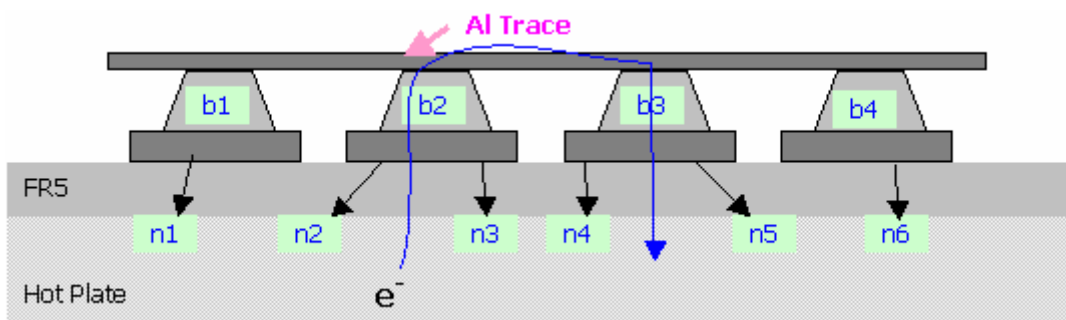


圖 3-3 凱文鋁錫結構剖面示意圖

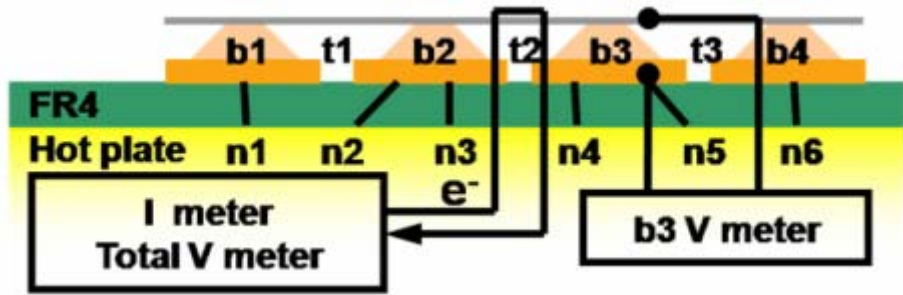


圖 3-4 通電接線示意圖

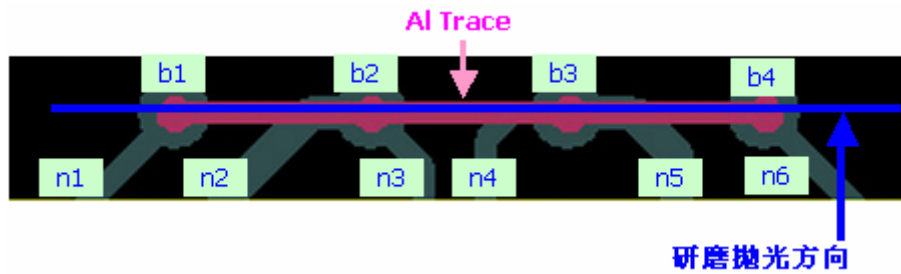


圖 3-5 試片研磨方向示意圖



第四章、結果與討論

本研究先從覆晶錫銀鉛錫接點在通電前可能會影響的因子提出討論之後，再就實驗中觀察到的界面反應，通電之後的微結構變化以OM、SEM來進一步討論當UBM Cu 5 μ m 與錫銀鉛錫通入電流作用下，破壞機制的研究。

4-1 試片剖面的觀察與討論

在實驗中，電子流從 b2 基板端流向晶片端，在 b3 中則相反方向，(圖 3-4)，試片通電後，觀察電遷移現象著重在 b3 電性的量測，當其電阻值發生明顯變化，停止通電並觀察試片剖面以確認失敗模式。

圖 4-1 針對未通電及未加熱的試片先以光學顯微鏡及電子顯微鏡觀察 SnAg Cu 5 μ m UBM 試片，可以看到在 b2 以及 b3 並沒有孔洞生成，然而在 SnAg bump 上方近 UBM 處可觀察到有明顯的介金屬化合物 IMC，另在 OM 圖中也可以看到 UBM Cu 較原本試片結構所描述之 5 μ m Cu 薄。推測這應該是在 reflow 的過程中所消耗掉，並同時生成部分介金屬化合物 IMC。

從 B. Salam, N. N. Ekere 等人在 ECTC 2001[16]的研究中指出，對於鉛錫在不同大小的金屬墊層的情況下，其經熱時效或是回鉛過程會對於介金屬化合物厚度變化，可以有顯著的影響。介金屬化合物的成長，可能由於其快速消耗 UBM 與 pad 導致實驗過程中，電流的分布不同與鉛錫在通電下內部的組成改變。

4-1-1 孔洞生成的觀察與討論

在配合電阻量測而進行不同階段電阻上升的觀察，表 4-1 為覆晶錫銀 SnAg UBM 為 5 μ m Cu在加熱板 150 $^{\circ}$ C、電流密度 8.4 x 10³ A/cm²下，b3 錫球的電阻

變化及時間表，在各個階段中都有發現到不同程度的孔洞生成，而且我們可以很明顯的發現孔洞沿著介金屬化合物與錫銀鍍錫的介面擴展，如圖 4-2 電阻上升 25.4%(通電時間 16.54 hrs)，在電子流向上的b2 和電子流向下的b3 並沒有發現明顯的孔洞生成，而在b2 和 b3 近晶片端可以看到有介金屬化合物的存在。如圖 4-3 電阻上升 50.0% (通電時間 49.55 hrs)，在電子流向下的b3 開始發現有明顯的孔洞生成，但在電子流向上b2 一樣沒有發現明顯的孔洞生成，同時在b2 和 b3 靠近chip 端可以看到有介金屬化合物 的存在，圖 4-4 和 4-5 電阻上升為 63.1% (通電時間 66.59 hrs) 和 101.3% (通電時間 117.26 hrs) 一樣有發現明顯的孔洞生成在b3，b2 雖有零星一兩顆疑似孔洞，但如圖 4-10 比照未通電之b1、b4 在金屬化合物與錫銀交界處可發現零星孔洞，以及未通電之試片如圖 4-11 (a) 未經處理之b1 SEM；(b) 未經處理之b2 SEM；(c) 未經處理之b3 SEM；(d) 未經處理之b4 SEM；在金屬化合物與錫銀交界處可發現零星孔洞，故此應為正常情況；且在 b2 和 b3 近晶片端可以看到有介金屬化合物的存在。綜合以上圖 4-2~4-6，孔洞生成主要發生在b3 左上角電子流進入的地方，同時也伴隨著介金屬化合物 的形成。如圖 4-8 (a)~(f)電阻上升為 0、25.4% (16.54 hrs) 、50% (49.55 hrs)、63.1% (66.59 hrs)、101% (117.26 hrs) 和 電路開路下 之 1000X SEM，在b3 左上角電子流進入的地方，可以觀察到孔洞隨著通電時間和電阻上升有逐漸向Bump右側的趨勢，而至最後電路開路。此處孔洞生成原因應為受Current Crowding Effect 影響，在b3 左上角電子流從Al導線進入Bump的地方，界面處將有極大的電流密度改變，造成電流聚集效應的影響。而由圖中可以觀察到其覆晶錫銀凸塊變化為Cu UBM 消耗溶解、介金屬化合物成長。

在 2004-4 JAP EM in SnAg [17]文中提到在覆晶錫銀SnAg3.5 bump height

130 μm 、Ti 0.1 μm 、Cr/Cu 0.3 μm 、Cu 0.7 μm 、通電溫度 150 $^{\circ}\text{C}$ 、電流密度 $5 \times 10^3 \text{ A/cm}^2$ 下孔洞生成在 cathode/chip side，又在電流密度 $1 \times 10^4 \text{ A/cm}^2$ 下孔洞生成在 cathode/chip side 和 anode /chip side 皆可發現，與本實驗相對照，覆晶錫銀 SnAg3.5 20 μm ，在通電溫度 150 $^{\circ}\text{C}$ 、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 下，孔洞生成主要發生在 b3 左上角電子流進入的地方，也就是 cathode/chip side；另外可據此推測 anode /chip side 發生孔洞生成之電流密度應介於電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 至 $1 \times 10^4 \text{ A/cm}^2$ 之間。

4-1-2 介金屬化合物成長的觀察與討論

此外針對介金屬化合物生成討論，如圖 4-9 可看到 b2(電子流由下方進入鉚錫)在基板端介金屬化合物因通電下而變厚，而參考實驗室相關論文[18]中之高矮錫銀鉚錫凸塊，比較相似條件下 UBM 為 3 μm Ni/5 μm Cu 下高錫銀鉚錫接點的 b2 電阻隨著通電時間增加而上升，內部的無電鍍鎳遭到破壞銅原子進入鉚錫內部形成大量的介金屬化合物；矮錫銀鉚錫凸塊則與本實驗有相似情況，在基板端看到介金屬化合物因通電下而變厚；推測造成此一差異的原因應為矮低錫銀鉚錫凸塊為了高度下降，將使基板端的開口變大，而且基板的銅導線較厚，接觸面積增加，高鉚錫接點的基板端開口大小約為 140 μm ，而矮錫銀鉚錫接點板端開口約為 280 μm ，使電流密度相當大的差異；由基板端進入矮錫銀鉚錫的電流密度遠比晶片端小，且銅導線厚度 (30 μm) 亦遠高於鋁導線厚度 (1.5 μm)，對電流集中效應或焦耳熱效應有減緩的效應，因此矮錫銀鉚錫在基板端並不會發生無電鍍鎳遭到破壞銅原子進入鉚錫內部形成大量的介金屬化合物，而是在基板端發生介金屬化合物變厚。比對在 2005-5 JAP 3D Simulation on Current Density

Distribution [19]文中所提到在針對 5 μ m Cu UBM 做模擬的情況下，可以看到 crowding ratio (局部最大電流密度除以平均電流密度)在晶片端約較錫球底部大上十倍。

接下來的討論電子流方向向下的 b3，晶片端介金屬化合物因通電下消耗銅 UBM 而變厚，我們可以發現孔洞沿著介金屬化合物與共晶錫銀鉛錫的介面擴展，不只在電子流進入的左端生成空孔，在 UBM 的右端介金屬化合物與共晶錫銀的介面也出現孔洞，如圖 4-8 (c)、(e)；而我們也發現銅 UBM 的銅原子隨著電子流的驅動，由晶片端移向基板端，並在基板端與鎳反應形成介金屬化合物，孔洞一樣是沿著介金屬化合物與共晶錫銀鉛錫的介面擴展，但是雖然有大量的銅 UBM 被消耗，在矮鉛錫球的內部並沒有出現像高鉛錫球中大量介金屬化合物生成的情況，認為是因為矮鉛錫的擴散路徑比較短，在電遷移測試下，被電子流驅動的銅原子可以迅速擴散到基板端並在基板端與鎳和錫形成介金屬化合物。

4-2 試片孔洞生成與電阻上升的討論

如圖 4-7 b3 在電流密度 8.4×10^3 A/cm²通電下，電阻上升對應通電時間之電阻曲線圖中可以看到，b3 的電阻從一開始的緩慢上升到約電阻上升 101%處改為較快速上升%。從緩慢上升變為急速上升直到最後b3 電路開路為止，如圖 4-6 此時 b3 整個塌陷。參照 2006-12 APL EM study by Kelvin Probes [20] 中，如圖 4-12 LBM 覆晶鉛錫 SnPb Ni 3 μ m / Cu 5 μ m UBM，所提出的 80% of failure time 做比較，實驗中所得到的電阻開始快速上升時間較短。推測有可能為UBM Cu 5 μ m 與 UBM Ni 3 μ m / Cu 5 μ m差異之故，少了Ni的阻擋，Cu 因此更容易擴散，孔洞生成的速度也較快，也所以電子流向下的錫銀鉛錫凸塊電阻較容易上升。如圖 4-13

可以看到b2 與b3 通電時間 117.26 hr，電阻上升 101.3% 之電阻曲線圖，如前所述b3 有孔洞生成，使得錫球的電阻上升；反之b2 無孔洞生成，只看到介金屬化合物變厚，因此並無明顯電阻上升。

4-3 結論

a. SnAg 底部金屬層銅 $5\mu\text{m}$ ，在通電溫度 150°C 、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 下，由於current crowding effect，孔洞生成主要發生在bump3 左上角電子流從Al導線進入bump的地方，即cathode/chip side。

b. B3 孔洞生成在電子流從 Al 導線進入 bump 的地方，且伴隨著電阻上升有沿著介金屬化合物與共晶錫銀鉛錫的界面的逐漸向右趨勢，與過去的相關研究有類似之趨勢，但測試時間遠小於該文獻，推測原因主要是 UBM 沒有 Ni 作為擴散阻障層。

c. 錫銀鉛錫 b2 之變化主要在基板端，因為基板端的開口較大，而且基板的銅導線較厚，接觸面積增加，電流密度遠比晶片端小，且銅導線厚度（ $30\mu\text{m}$ ）亦遠高於鋁導線厚度（ $1.5\mu\text{m}$ ） ，因此並不會發生無電鍍鎳遭到破壞銅原子進入鉛錫內部形成大量的介金屬化合物，而是在基板端發生介金屬化合物變厚。

d. B3 電阻在電阻上升至 101%時開始快速上升，直到電路開路為止。

SnAg 150 °C	
0.8A	
5 μm UBM	
Time (hr)	R increase ratio (%)
0	0
16.54	25.4
49.55	50.0
66.59	63.1
117.26	101.3
190.35	open

表 4- 1 SnAg 5 μm Cu UBM, 試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$

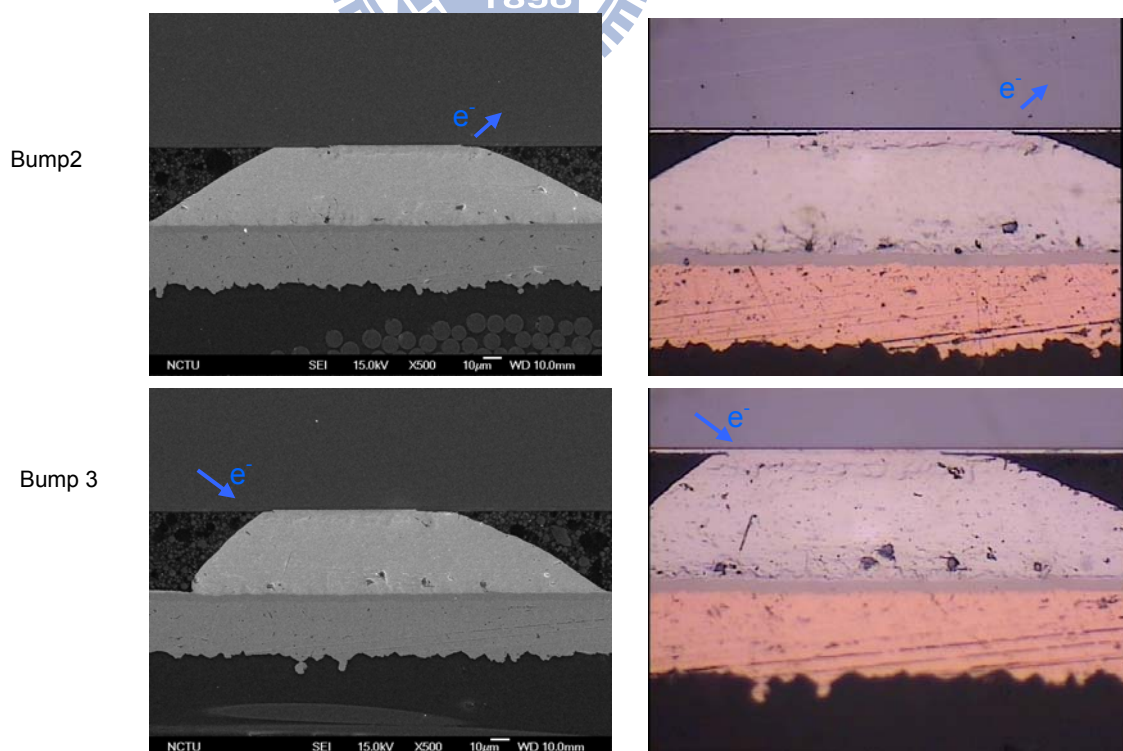
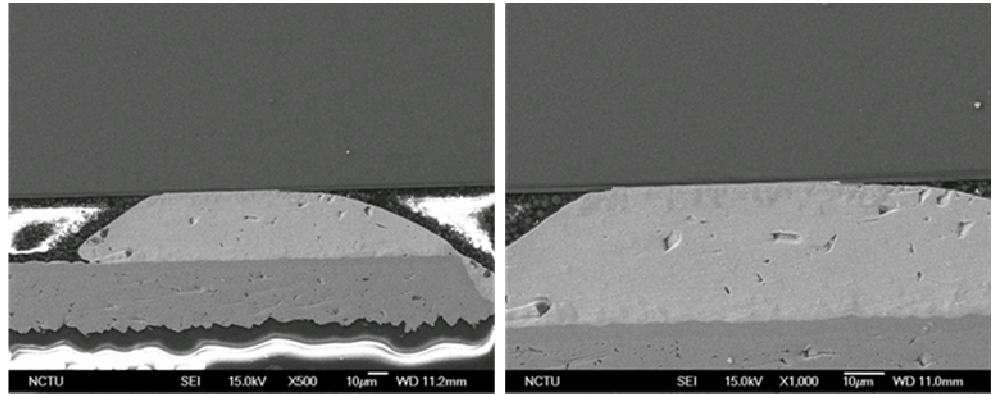
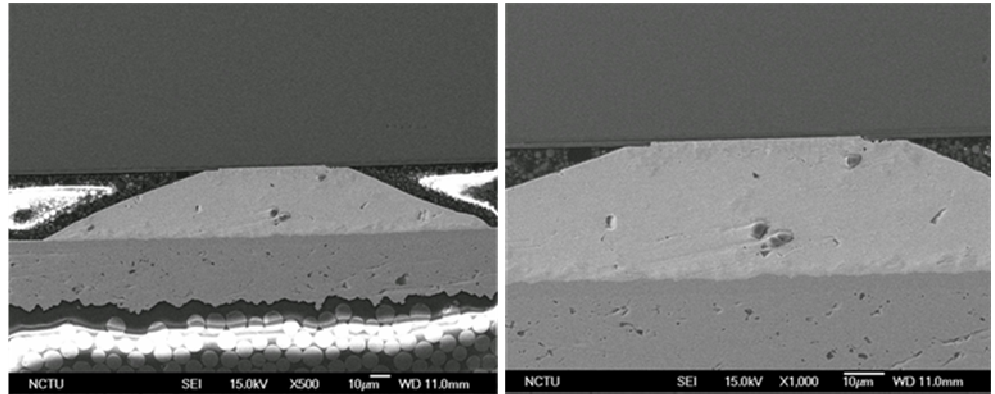


圖 4- 1 電子顯微鏡和光學顯微鏡觀測錫銀鉛錫 Cu 5μm UBM未通電試片

Bump 2



Bump 3



No 9, 16.54 hr 25.4 %

圖 4-2 錫銀鉛錫 Cu 5µm UBM 試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 、通電時間 16.54 hr，電阻上升 25.4%，電子顯微鏡圖片。

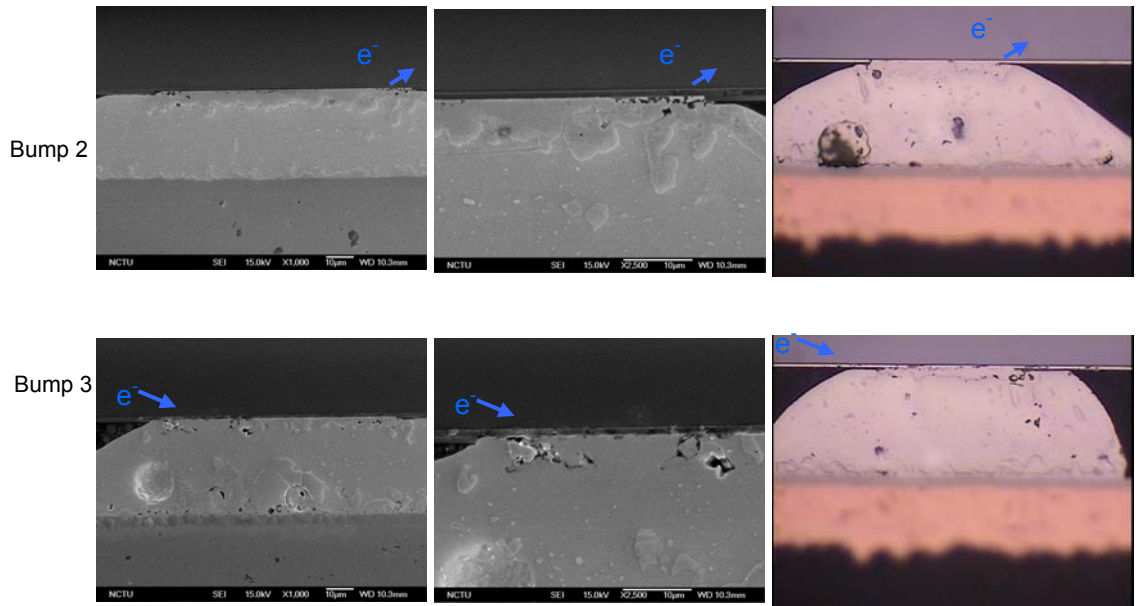


圖 4-3 錫銀鋅錫 Cu UBM試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 、通電時間 49.55 hr，電阻上升 50.0%，電子顯微鏡和光學顯微鏡照圖片。

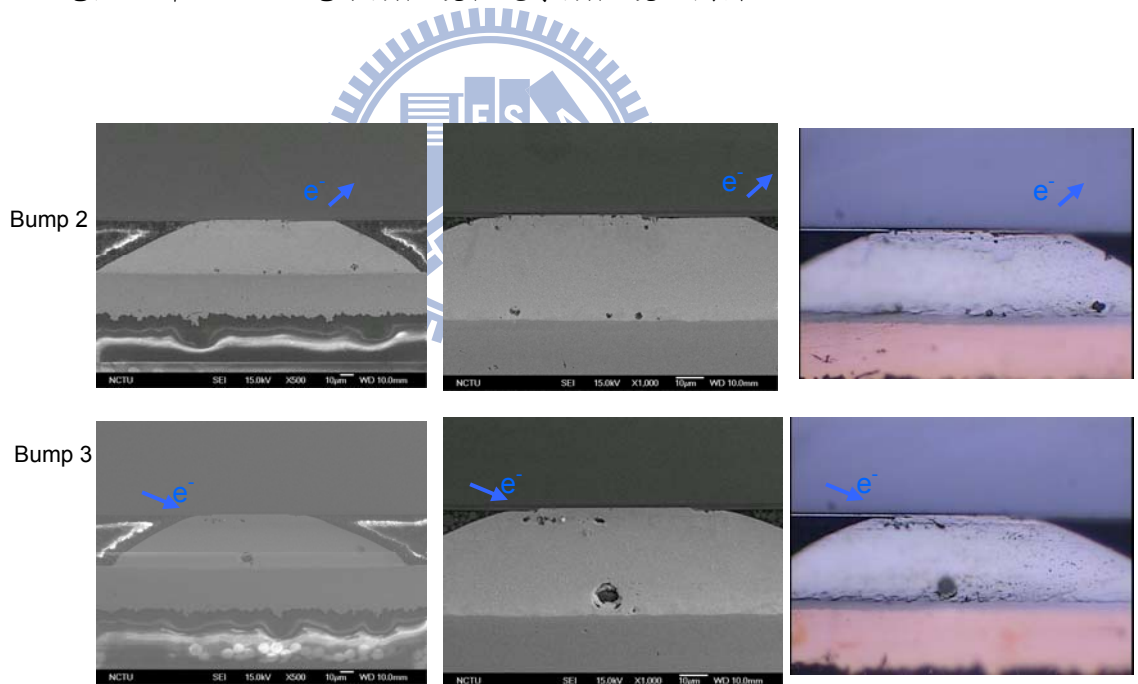


圖 4-4 錫銀鋅錫Cu 5 μm UBM試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 、通電時間 66.59 hr，電阻上升 63.1%，電子顯微鏡和光學顯微鏡照圖片。

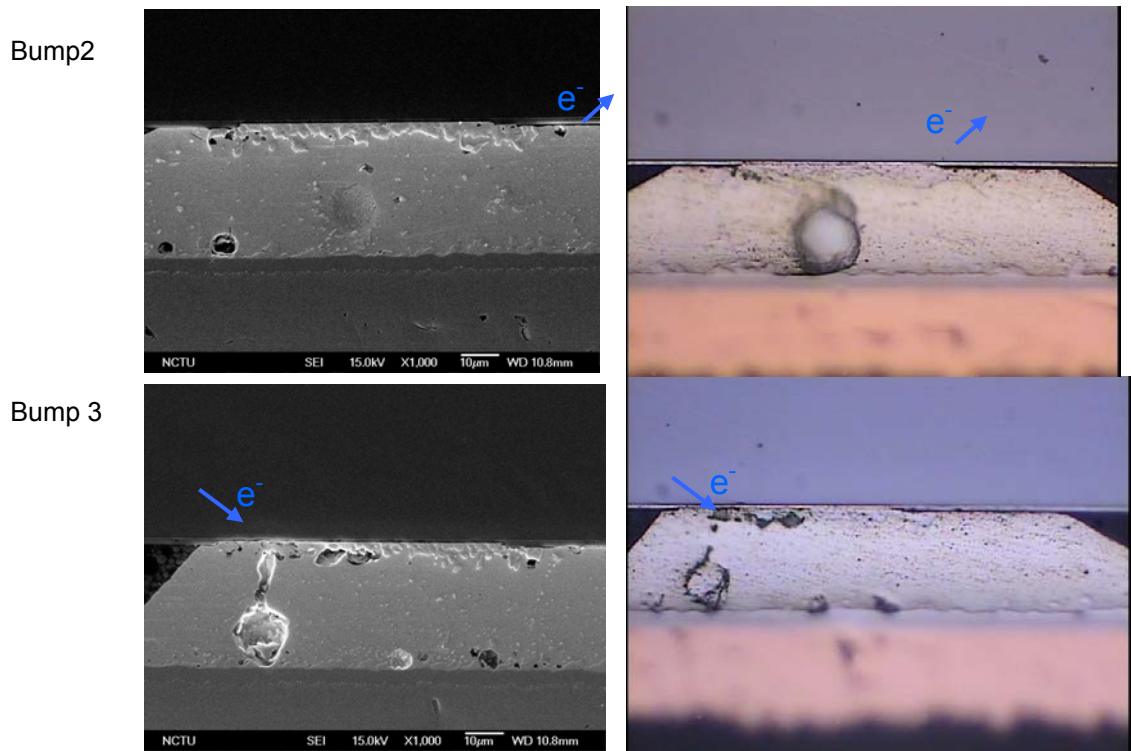


圖 4-5 錫銀鉍錫Cu 5µm UBM試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 、通電時間 117.26 hr，電阻上升 101.3%，電子顯微鏡和光學顯微鏡照圖片。

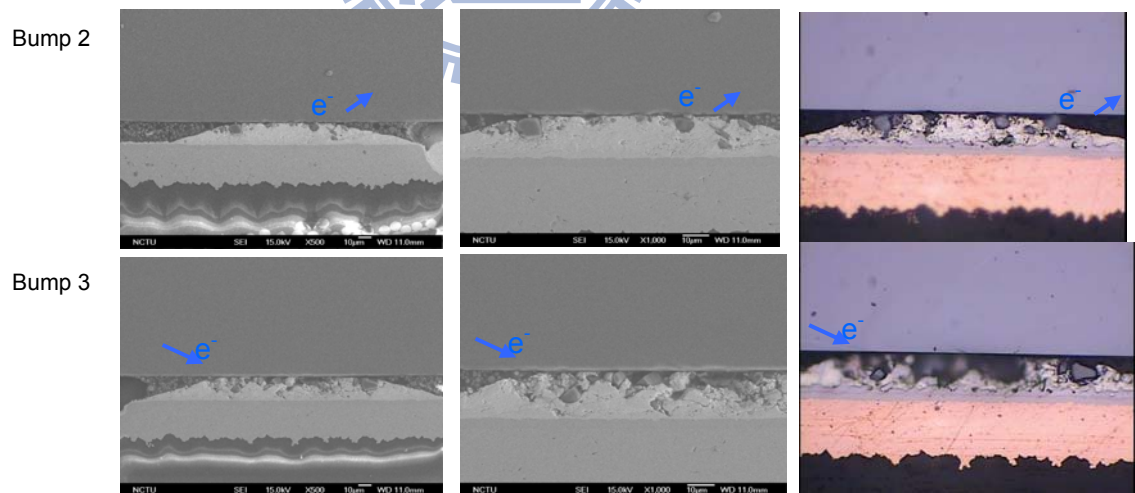


圖 4-6 錫銀鉍錫 Cu 5µm UBM試片 150°C、電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 、通電時間 190.35 hr，電路開路，電子顯微鏡和光學顯微鏡照圖片。

B3 電阻上升對應通電時間

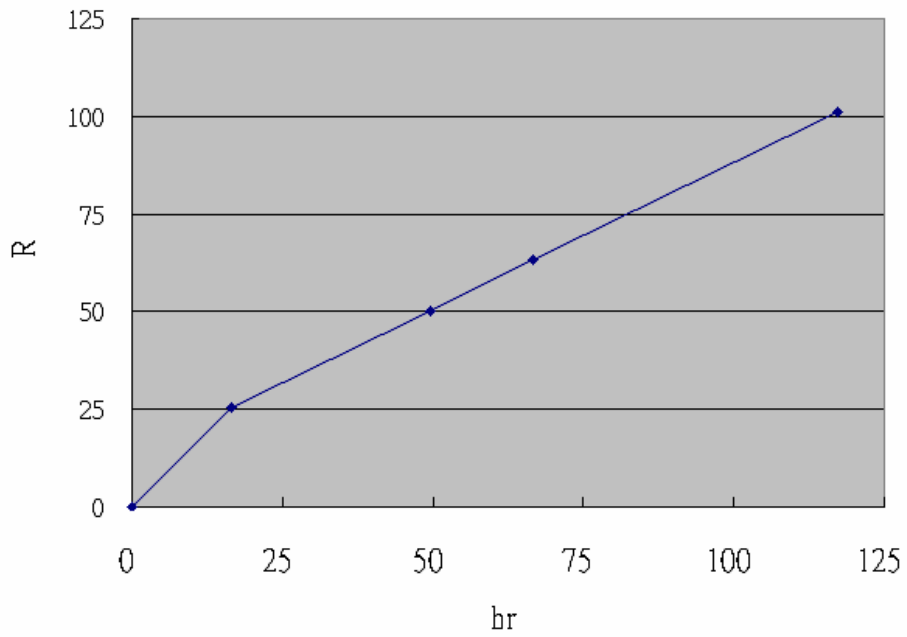


圖 4-7 Bump3 在電流密度 $8.4 \times 10^3 \text{ A/cm}^2$ 通電下，電阻上升對應通電時間之電阻

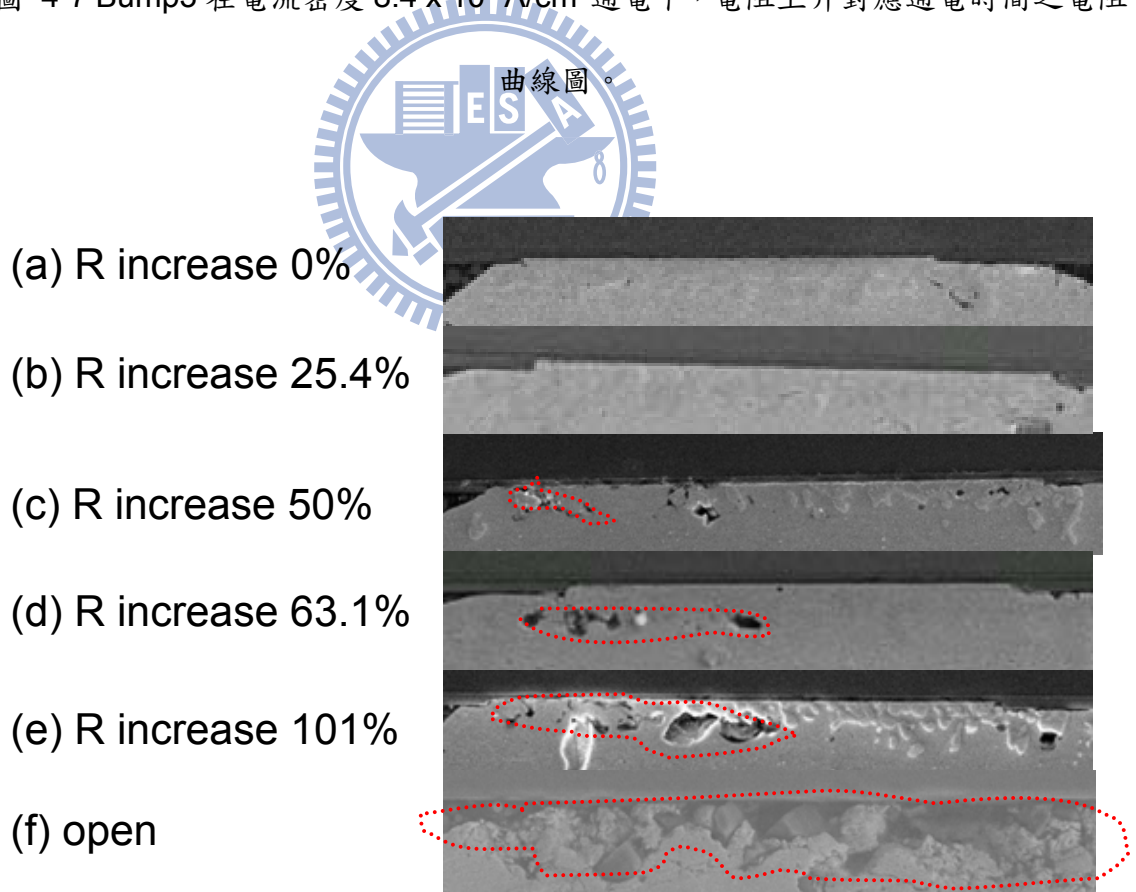
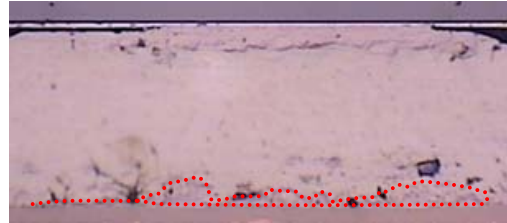


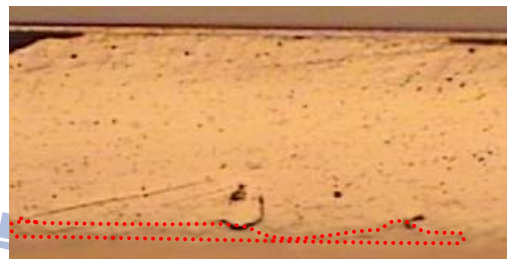
圖 4-8 (a)~(f) b3電阻上升為 0、25.4% (16.54 hrs) 、50.0% (49.55 hrs) 、63.1%

(66.59 hrs)、101% (117.26 hrs) 和電路開路下 之 1000X SEM，在b3 左上角電子流進入的地方，可以觀察到孔洞隨著通電時間和電阻上升有逐漸向bump右側的趨勢，而至最後電路開路。

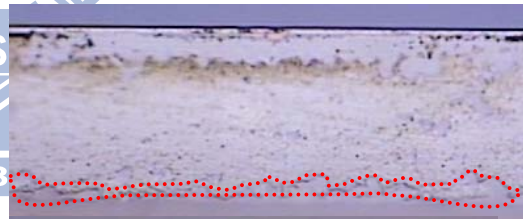
(a) 未測試
Bump3 R increase 0%



(b) 通電時間 16.54 hr
Bump3 R increase 25.4%



(c) 通電時間 49.55 hr
Bump3 R increase 50.0%



(d) 通電時間 117.26 hr
Bump3 R increase 101.3%



(e) 通電時間 190.35 hr
Bump3 open failure

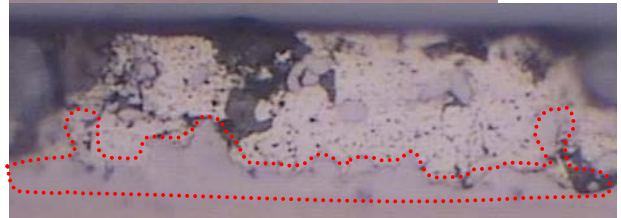


圖 4-9 Bump2(電子流由下方進入鋅錫)在基板端介金屬化合物因通電下而變厚。

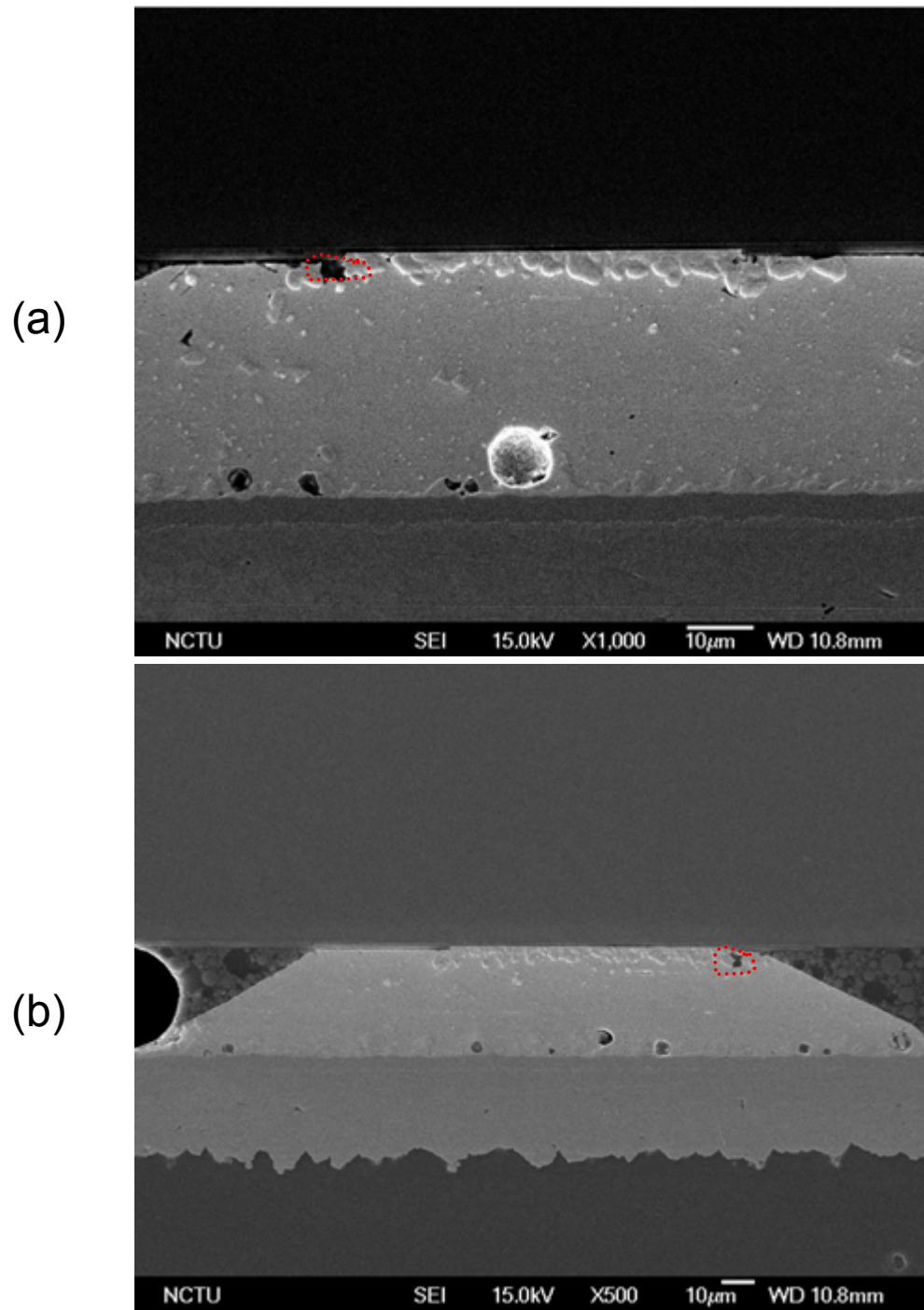


圖 4-10通電時間 117.26 hr，電阻上升 101.3%，(a) 未經電子流通之Bump1 SEM；(b) 未經電子流通之Bump4 SEM。在介金屬化合物與錫銀交界處可發現零星孔洞。

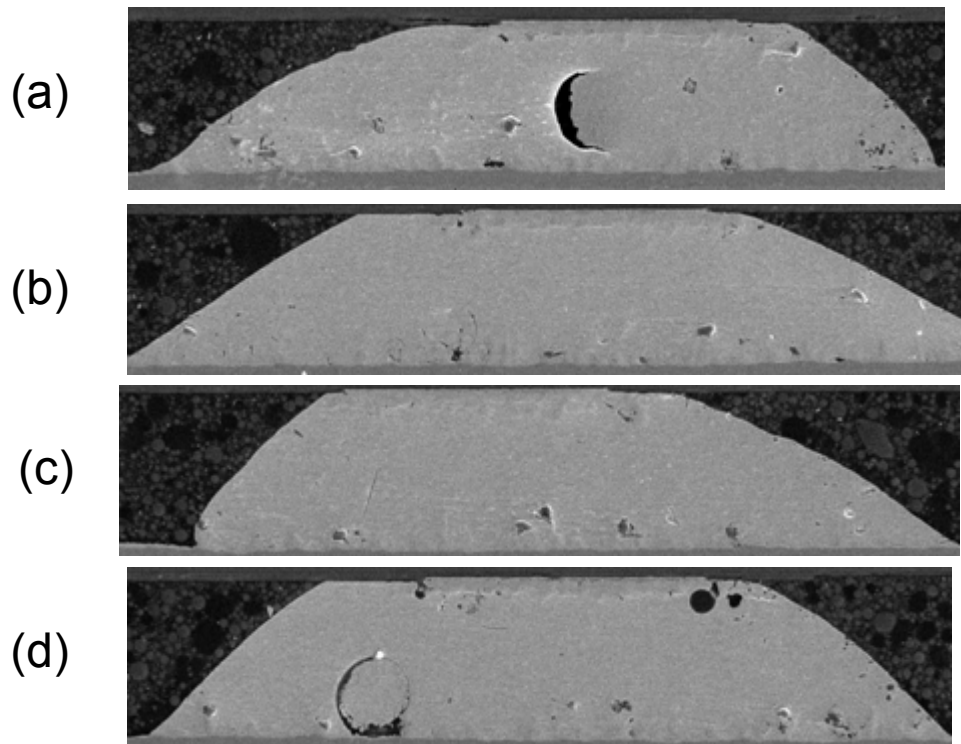


圖 4-11 (a) 未經處理之b1 SEM；(b) 未經處理之b2 SEM；(c) 未經處理之b3 SEM；(d) 未經處理之b4 SEM；在介金屬化合物與錫銀交界處可發現零星孔洞。

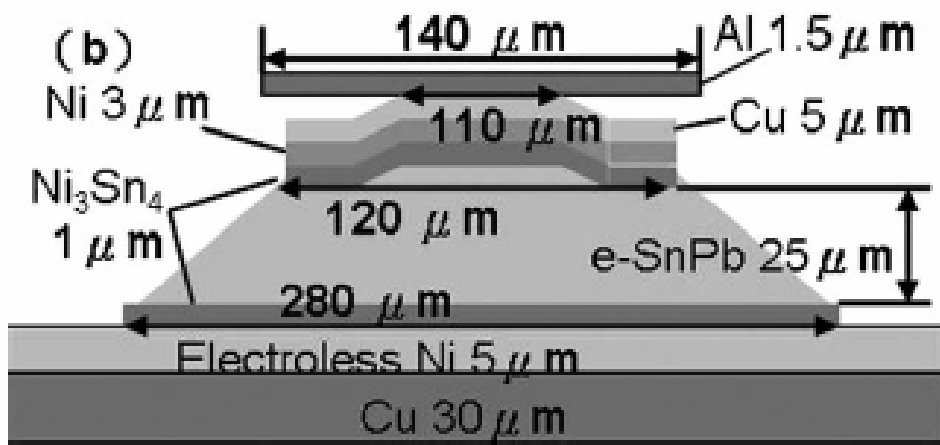
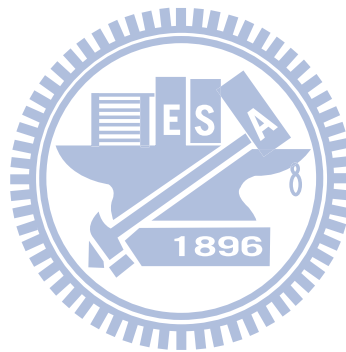
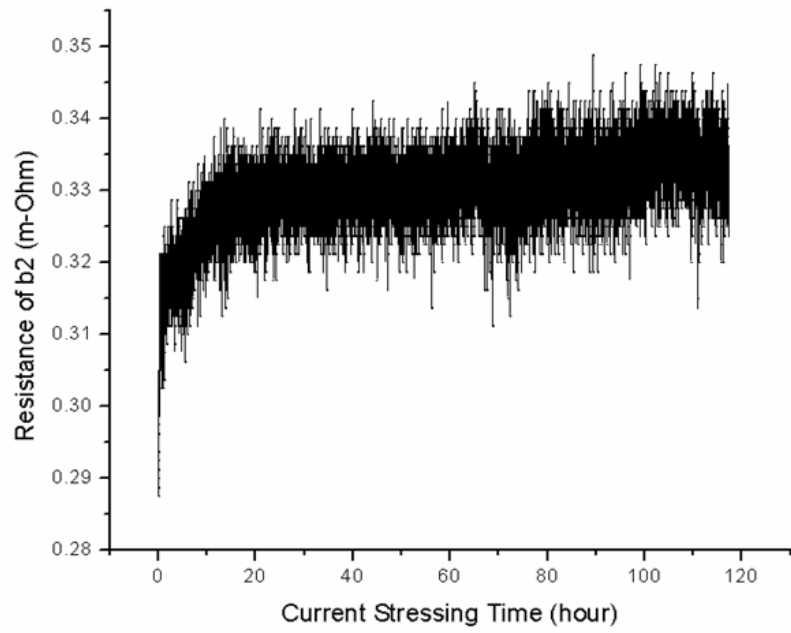


圖 4-12 Schematic structure for the solder bump



(a)



(b)

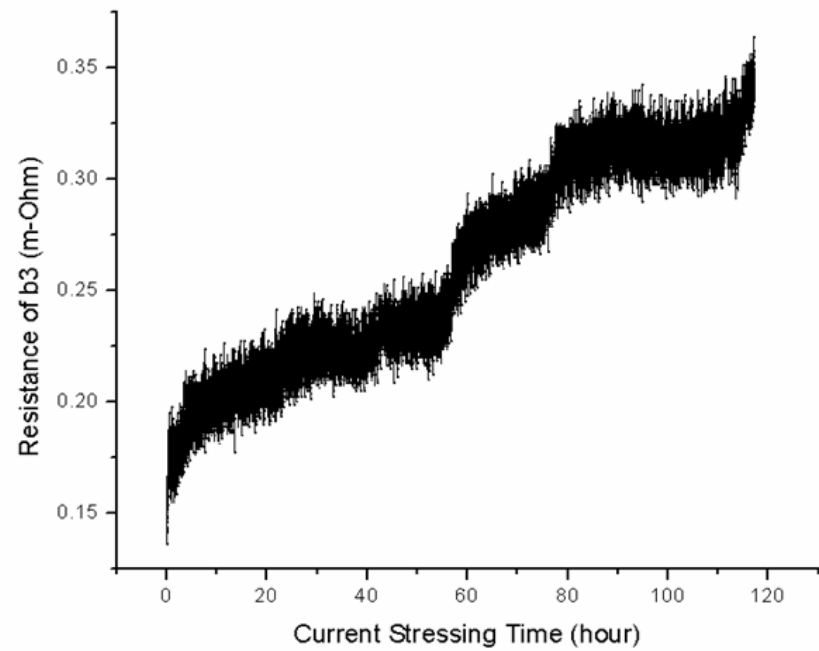


圖 4-13通電時間 117.26 hr，電阻上升 101.3% 之電阻曲線圖。

(a) Bump 2 無明顯變化，(b)Bump3 電阻隨通電時間上升。

參考文獻

1. Intel Technology Journal, Vol. 9, Issue 4 (2005).
2. R.J. Wassink, Soldering in Electronics, Electrochemical Pub. Ltd., p.99, (1984).
3. V. B. Fiks, Soviet Physics – Solid State, Vol. 1, pp. 14-28, 1959.
4. J. R. Black, IEEE Trans. On Electron Devices, ED-16, No4,p338, 1969.
5. Japanese Ministry of Health and Welfare Waste Regulation on Un-Reusable Pb, June 1998
6. European Union Waste in Electrical and Electronic Equipment (WEEE) Directive, 3rd Draft, May 2000.
7. I. A. Blech, "Electromigration in thin aluminium films on titanium nitride", J. Appl. Phys. 47 (4) (1976) 1203-1208
8. K. N. Tu, "Electromigration in stressed thin films", Phys. Rev. B 45 (3) (1992) 1409-1413
9. Christian Witt. Electromigration transport mechanisms and back flow in Al interconnects, first year report, Max-Planck-Institute fur Metallforschung Stuttgart, 91 July, 1998
10. K. N. Tu, J. Appl. Phys., Vol. 94, No. 9, P.5456 (2003)
11. H. B. Huntington and A.R. Grone, "Current-Induced Masker Motion in Gold Wires," J. Phy. & Chem. Solids, 20, 76 (1961).
12. E. C. C. Yeh, W. J. Choi, and K. N. Tu, P. Elenius, and H. Balkan, Appl. Phys. Lett. 80, 580 (2002).
13. S. H. Chiu, T. L. Shao, and Chih Chen, Infrared microscopy of hot spots induced by Joule heating in Flip-chip SnAg solder joints under accelerated electromigration, APL 88, 022110, 2006.

14. W. J. Choi, E. C. C. Yeh, and K. N. Tu J. Appl. Phys. Vol.94, Issue 9, pp.5665-5671 (2003).
15. J. R. Black, Proc. IEEE 57, 1587 (1969).
16. B. Salam, N. N. Ekere, and D. Rajkumar, Study of the Interface Microstructure of Sn-Ag-Cu Lead-free Solders and the Effect of Solder Volume on Intermetallic Layer Formation, ECTC 2001.
17. T. L. Shao, Y. H. Chen, S. H. Chiu, and Chih Chen, Electromigration failure mechanisms for SnAg3.5 solder bumpson Ti/Cr-Cu/Cu and Ni.P./Au metallization pads (2004-4) JAP EM in SnAg
18. [顧旻峰] 顧旻峰碩士論文，國立交通大學材料所 (2008)
19. T. L. Shao, S. W. Liang, T. C. Lin, and Chih Chena, Three-dimensional simulation on current-density distribution in flip-chip solder joints under electric current stressing, JAP 2005.
20. Y. W. Chang, S.W. Liang, and Chih Chen*: Study of void formation due to electromigration in flip-chip solder joints using Kelvin bump probes, Appl. Phys. Lett.