

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文

CMOS 24GHz 混頻器與低雜訊放大器
之設計與實作

The Design Of CMOS 24GHz Mixer and Low Noise Amplifier

研究生：呂永旭

指導教授：鍾世忠 教授

中華民國九十六年六月

CMOS 24GHz 混頻器與低雜訊放大器
之設計與實作

The Design Of CMOS 24GHz Mixer and Low Noise Amplifier

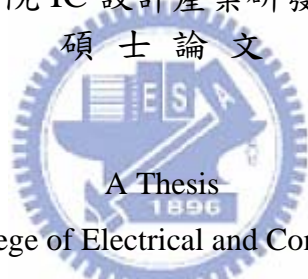
研究生：呂永旭

Student：Yong-Xu Lui

指導教授：鍾世忠

Advisor：Dr. Shyh-Jong Chung

國立交通大學
電機學院 IC 設計產業研發碩士班
碩士論文



Submitted to College of Electrical and Computer Engineering
National Chiao Tung University
in partial Fulfillment of the Requirements
for the Degree of
Master
in

Industrial Technology R & D Master Program on
IC Design

June 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年六月

CMOS 24GHz 混頻器與低雜訊放大器之設計與實作

學生：呂永旭

指導教授：鍾世忠博士

國立交通大學電機學院產業研發碩士班

摘 要



本論文研製之本論文提出操作頻率在 24 GHz 射頻前端接收器，經由國家晶片系統設計中心(CIC)委託台灣積體電路製造股份有限公司(TSMC)以 0.18 μm 互補式金氧半導體製程技術來實現。此射頻前端接收器包含的電路有 24GHz 的降頻混頻器與 24GHz 低雜訊放大器。24GHz 的降頻混頻器已經被完整的設計、製造與量測完成而 24GHz 低雜訊放大器尚在量測中。

24GHz 的降頻混頻器量測結果顯示，模擬時候可以有 4.5dB 的轉換增益，因為佈局的模擬的疏失，使得轉換增益只有-4.5dB，不然預期。24GHz 低雜訊放大器模擬有 10dB 的增益與 3.7dB 雜訊指數，於 0.8V 低電壓操作，消耗電流 9.4mA。

The Design Of CMOS 24GHz Mixer and Low Noise Amplifier

student : Yong-Xu Lui

Advisors : Dr.Shyh-Jong Chung

Industrial Technology R & D Master Program of
Electrical and Computer Engineering College
National Chiao Tung University

ABSTRACT

In this thesis , we focus on 24GHz RF CMOS Mixer and Low Noise Amplifier has been proposed and fabricated in a 0.18 μ m CMOS technology supported by Taiwan Semiconductor Manufacturing Company via Chip Implementation Center(CIC). The 24GHz RF CMOS Mixer is completely designed, fabricated and measured, 24GHz Low Noise Amplifier is measuring.

In 24GHz Mixer ,we implemented Marchand Balun by using TSMC 0.18 μ m CMOS technology process. measured results exhibit that the Mixer can operate well at 24-GHz frequency range. But is doesn't achieve adequate performance due to the oversight of layout. In 24GHz Low Noise Amplifier ,we implemented cascade two Common Source stages by using TSMC 0.18 μ m CMOS technology process.

誌謝

能畢業, 感謝的人真的很多, 從以前什麼都不懂, 首先我要感謝我的指導教授鍾世忠博士, 感謝他的敦敦教誨, 學長峰哥、均富教導微波的理論跟知識, 還有箐偉學姊的幫助, 小阿信學長不斷嘴砲, 讓我有學習的欲望。

再來我要感謝 IC 組清標、佩宗學長、VCO 達人敦智學長、超級塞亞人源哥、LNA 達人煥能學長、能力跟做人一樣好的 useful、只會找喝酒彥祈、顯鴻、克強、淑君、泓偉、清文、小巴、建宏、梅林、小花、小圓、阿雷、小馬、…………。

特別感謝豪傑、約廷、冠璋、聖哲, 由於你們的幫助, 讓我學習很多, 專業的知識, 量測幫忙, 真是感謝了。

最後我要感謝我的家人, 我的父母親, 就是有妳們的支持, 我才能完成學業。

目錄

摘要(中文).....	i
摘要(英文).....	ii
誌謝.....	iii
目錄.....	iv
圖目錄.....	vi
表目錄.....	xi
第一章 導論	1
1.1 研究動機.....	2
1.2 論文組織.....	3
第二章 射頻參數介紹	5
2.1 射頻電路設計規格與需求.....	6
2.2 高頻重要參數.....	9
2.3 雜訊指數.....	18
2.4 靈敏度.....	18
2.5 動態範圍.....	19
2.6 串接系統.....	20

第三章 24GHz 混頻器	22
3.1 簡介.....	23
3.2 主動混波器的原理.....	24
3.3 24GHz CMOS Marchand balun 設計與實現.....	30
3.4 結果與討論.....	45
第四章 24GHz 低雜訊放大器	46
4.1 簡介.....	47
4.2 MOS 雜訊種類.....	48
4.3 CMOS 低雜訊放大器原理.....	54
4.4 24GHz CMOS 低雜訊放大器設計與製作.....	60
4.5 24 GHz 低雜訊放大器討論.....	64
第五章 總結	66
5.1 24GHz 混頻器與低雜訊放大器結論.....	67
5.2 未來工作.....	67
參考文獻	68

圖目錄

圖(1.1) 24GHz FMCW 汽車防撞雷達電路.....	4
圖(2.1) 非線性系統之輸出與輸入關係.....	11
圖(2.2) BJT 輸出電流對輸入電壓關係.....	12
圖(2.3) CMOS 轉導對輸入電壓關係.....	12
圖(2.4) 信號經過非線性系統的輸出.....	13
圖(2.5) 1dB 抑制點之示意圖.....	14
圖(2.6) 交互調變乘積項之頻譜示意圖.....	17
圖(2.7) IIP_3 之示意圖.....	17
圖(2.8) IIP_2 之示意圖.....	17
圖(2.9) 雜訊指數示意圖.....	18
圖(2.10) 動態範圍之示意圖.....	20
圖(2.11) 串接非線性系統示意圖.....	20
圖(3.1) 混頻操作示意圖.....	24
圖(3.2) 混頻頻譜示意圖.....	24
圖(3.3) 單端平衡混頻器混頻示意圖.....	25
圖(3.4) 單端平衡混頻器架構圖.....	26

圖(3.5) 轉導級之 CS 及 CG 架構.....	26
圖(3.6) L0 差動對 L0 輸出方波信號.....	27
圖(3.7) 雙平衡式混頻器.....	28
圖(3.8) Balun 示意圖.....	31
圖(3.9) Marchand Balun 架構圖.....	32
圖(3.10) Marchand Balun S_{11} 分析.....	32
圖(3.11) Marchand Balun S_{22} 分析.....	33
圖(3.12) Marchand Balun S_{33} 分析.....	33
圖(3.13) Marchand Balun S_{21} 分析.....	34
圖(3.14) Marchand Balun S_{31} 分析.....	34
圖(3.15) Marchand Balun S_{23} 分析.....	35
圖(3.16) Marchand Balun S_{32} 分析.....	35
圖(3.17) 變壓器形式 Marchand balun.....	36
圖(3.18) 輸入返回損耗(S_{11})與 Magnitude(S_{21} & S_{31})	37
圖(3.19) phase difference(S_{21} - S_{31})	37
圖(3.20) Marchand Balun 技術降頻器電路.....	38
圖(3.21) (a)單端平衡混波器(b)current bleeding 示意圖.....	40
圖(3.22) RF port return loss.....	40

圖(3.23) LO port return loss.....	40
圖(3.24) CG VS LO power.....	41
圖(3.25) CG VS RF power.....	41
圖(3.26) CG VS RF Frequency.....	41
圖(3.27) CG VS IF Frequency.....	41
圖(3.28) NF VS LO power.....	41
圖(3.29) NF VS RF Frequency (fix LO Frequency).....	41
圖(3.30) NF VS RF & LO Frequency (fix IF Frequency)	42
圖(3.31) Isolation LO to IF	42
圖(3.32) Isolation LO to RF.....	42
圖(3.33) IIP ₃	42
圖(3.34) 24GHz 混頻器 die photo.....	42
圖(3.35)量測 RF port RL.....	43
圖(3.36)量測LO port RL.....	43
圖(3.37) 量測CG VS LO power.....	43
圖(3.38) 量測 CG VS RF power.....	43
圖(3.39)量測 CG VS RF Frequency.....	43
圖(3.40)量測 CG VS IF Frequency.....	43

圖(3.41) 量測 Isolation LO to RF.....	44
圖(3.42) 量測 Isolation LO to IF.....	44
圖(4.1) LNA 功用示意圖.....	47
圖(4.2) LNA、Mixer 串接系統示意圖.....	47
圖(4.3) 低雜訊放大器前後級匹配.....	48
圖(4.4) (a)氧化層—矽界面的不連接鍵結(b)閃爍雜訊頻譜.....	49
圖(4.5) 閃爍雜訊之轉折頻率.....	50
圖(4.6) MOS 電晶體通道熱雜訊模型.....	51
圖(4.7) 閘級感應熱雜訊 $\overline{i_{ng}^2}$ 示意圖.....	52
圖(4.8) MOSFET 之分佈閘極電阻.....	54
圖(4.9) 利用 layout 技巧降低分佈閘極電阻.....	54
圖(4.10) 以電壓源電流源表示雜訊示意圖.....	54
圖(4.11) 電阻性終端架構.....	56
圖(4.12) 轉導終端架構.....	57
圖(4.13) 並聯串聯式回授架構.....	58
圖(4.14) (a)電感退化型架構(b)疊接電感退化式架構.....	59
圖(4.15) 24 GHz低雜訊放大器.....	61
圖(4.16) 電感回授比較.....	72

圖(4.17) 輸入return loss.....	62
圖(4.18) 輸出return loss.....	62
圖(4.19) noise figure.....	63
圖(4.20) 增益 S_{21}	63
圖(4.21) 隔離度 S_{12}	63
圖(4.22) 穩定度 μ	63
圖(4.23) P_{1dB}	63
圖(4.24) IIP_3	63
圖(4.25) 24GHz 低雜訊放大器 die photo.....	64



表目錄

表(3.1) 變壓器形式 Marchand Balun Summary.....	38
表(3.2) 24GHz 混頻器 Summary.....	44
表(4.1) 24GHz 低雜訊放大器預計規格表.....	64



第一章 導論



1.1 研究動機

近幾年來，隨著經濟的快速發展及科技的進步，許多傳統的運輸系統透過先進科技的協助，獲得了有效的改善，然國家經濟生產力與競爭力的日益提昇，人民對於交通的安全更趨重視。國內近十年進行的捷運、高速鐵路、高速公路網等重大交通建設，無不為了要讓人們享受更便捷、安全、舒適的交通服務。不過由於工商行業的發展快速，雖然政府積極開路建橋，但車輛事故率並未因道路狀況改善而降低，追就原因，大部分的交通事故都係人為操作不當所導致，例如酒後駕車、超速行駛等。因此新世紀的交通運輸觀念除了強調快捷性、舒適性外，安全性更需額外加強，且應該是首要重點。所以世界許多先進國家與各大車廠都將車輛的安全問題看成是重要的民生課題，並積極地尋求如何將先進的科技運用在車輛上以提昇車輛行駛時的安全性，以求能夠減少事故以及傷亡。如何利用高科技來輔助駕駛人在有危險情況發生時，能即時提醒駕駛者採取適當應變措施，以盡量降低駕駛人行為不當或突發危險狀況所導致的意外事故，便成為智慧型運輸系統(ITS)領域中重要的研究課題之一，而世界各國正積極發展之汽車防撞雷達系統正是能改善交通問題之有效方法。

汽車防撞雷達(Collision Avoidance Radar, CAR)的目的在輔助人類感測能力的不足，主要是利用先進的通訊、控制與資訊科技，偵測

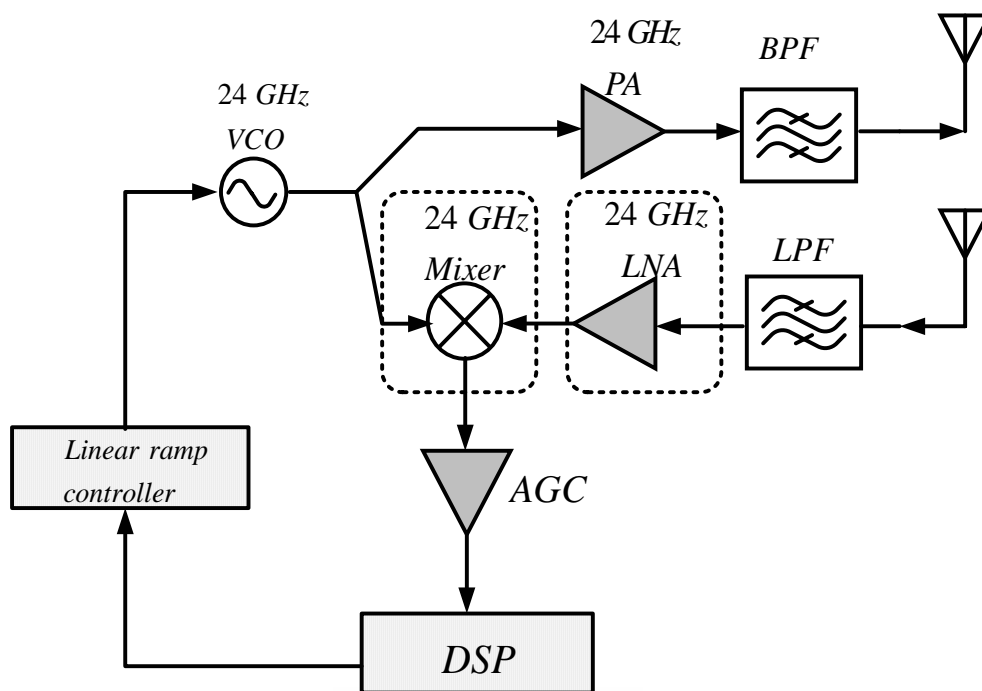
車輛週遭的動態狀況，如其他車輛、行人、或路上障礙物的相對位置、速度與加速度等訊息，並適時通知駕駛人採取必要措施（如加速、減速或保持車道等），以防止發生撞擊，增進車輛駕駛的安全性與舒適度。根據研究，駕駛人如能多 0.5 秒之反應時間，則車輛追撞之機率可減少 60%；而如能再多 0.5 秒，則追撞機率可減少剩下 10%。汽車防撞系統的作用即在利用先進的電子設備，爭取駕駛人的反應時間。

在射頻晶片上的製程技術上，CMOS 製程的成本較低而且有極佳的整合的能力，CMOS 製程整合在同一顆晶片上，必定是一種趨勢。

而本篇論文使用 TSMC CMOS 0.18 μm 來實現 24 GHz 整個調頻連續波(Frequency-Modulated Continuous Wave; FMCW)汽車防撞雷達電路接收端的前端。

1.2 論文組織

本篇論文所要實現是 24GHz FMCW 汽車防撞雷達電路，如圖(1.1)將採用 CMOS 製程技術來設計 24GHz 降頻混波器(Mixer)與 24GHz 低雜訊放大器(low noise amplifier ; LNA)，第二章我們先對一些高頻參數做介紹，第三章我們先討論一些混波器的原理與設計流程跟考量，第四章我們在探討低雜訊放大器(LNA)的原理與設計的流程與考量，第五章我們再對各個電路設計實作個總結。



圖(1.1) 24GHz FMCW 汽車防撞雷達電路,



第二章

射頻參數介紹



2.1 射頻電路設計規格與需求

整個 RF 接收發機可以分成

前端 (Front-end)

-switch , duplexer.

接收機 (Receiver)

- LNA , Mixer, Variable Gain Amplifier (VAG).
- Balun, SAW filter, baseband filter.

發射機(Transmitter)

-PA, Pre-amplifier, Mixer.

頻率合成器(Frequency synthesizer)

- Phase-locked loop (integer-N , fraction-N).
- Phase/Frequency detector(PFD), VCO , divider.

整個接收發機我們會考量特性如下

接收機(Receiver)考慮:

我們在來對接收機的考量做個簡單的介紹:

- (1) Noise figure
- (2) Sensitivity
- (3) Maximum received power
- (4) Dynamic Range

- (5) Receiver Power Gain
- (6) AGC range
- (7) RSSI range
- (8) Image Rejection ratio
- (9) Selectivity
- (10) Constellation Error , EVM

發射機(Transmitter)考慮:

- (1) Output power
- (2) P_{1dB}
- (3) IP_3
- (4) Spurious Emission
- (5) Constellation Error, EVM
- (6) Two-Tone intermodulation Distortion
- (7) Phase noise



我們再對整個射頻電路元件所需考量特性參對做個介紹

濾波器(filter)

- (1) 中心頻率(center frequency)
- (2) 回波損耗(return loss)
- (3) 差入損耗(insertion loss)

- (4) 3dB 頻寬(3dB band width)
- (5) 截止頻帶抑制(band rejection)
- (6) 波型因子(shape factor)

低雜訊放大器 (low noise amplifier ; LNA)

- (1) 雜訊指數 (noise figure ; NF)
- (2) 增益 (gain)
- (3) 輸入與輸出回波損耗(input and output return loss)
- (4) 隔離度 (isolation)
- (5) 輸入三階交叉點(Third - order Input Intercept Point ; IIP_3)
- (6) 輸入 1dB 壓縮點 (input 1dB compression point ; IP_{1dB})
- (7) 穩定係數 (stability factor; μ)

混頻器 (mixer)

- (1) 轉換增益 (conversion gain)
- (2) 雜訊指數(NF)
- (3) 三階交叉點(IP_3)
- (4) 1dB 功率飽和點 (P_{1dB})
- (5) 頻率與頻寬 (frequency and bandwidth):
- (6) 本地振盪功率 (LO power) :
- (7) 隔離度 (isolation)

(8) 鏡像消除 (image-rejection)

功率放大器 (power amplifier)

(1) 輸出功率(output power)

(2) 輸出 1dB 功率飽和點(OIP_{1dB})

(3) 輸出三階交叉點(OIP_3)

(4) 增益與增益平坦度(gain and gain flatness)

(5) 功率增加效率(power added efficiency ; PAE)

(6) 鄰近通道功率比例(adjacent channel power ratio ; ACPR)

(7) 錯誤向量幅度(error vector magnitude ; EVM)

(8) 頻寬(bandwidth ; BW)

(9) 穩定係數(stability factor; μ)



電壓控制振盪器 (voltage control oscillator ;VCO)

(1) 相位雜訊(phase noise)

(2) 輸出功率(output power)

(3) 功率消耗(power consumption)

(4) 頻率可調範圍(frequency turn range)

(5) 品質因素(figure of merit ;FOM)

2.2 高頻重要參數

一個系統(system)處理的訊號不外乎訊號的擴大(amplification),

與頻率的轉換(frequency conversion), 最主要的設計能夠處理大的範圍, 其中包含兩個重要的因素:

- 失真(distortion):最大訊號的水平.
- 靈敏度(sensitivity):最小可以檢測(detectable)的信號的水平.

重要因素分別分別包括在線性(linear)系統、非線性(nonlinear)的系統線性度(linearity)產生失真(distortion)、雜訊(noise)靈敏度及動態範圍(dynamic range)、交互調變(intermodulation)做描述。

2.2.1 線性度 (linearity)

在一線性系統(linear system)輸出等比例對應到輸入, 輸入關係如下式, 則稱此系統為線性系統。



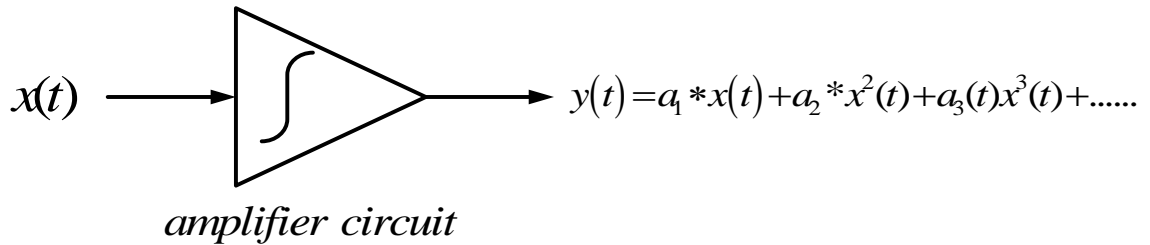
其中 $x(t)$ 、 $y(t)$ 分別為此系統輸入與輸出, a 為相關比例常數。當系統有數個輸入時, 則系統輸出為

$$\begin{aligned} y(t) &= a \cdot [x_1(t) + x_2(t) + \dots + x_n(t)] \\ &= y_1(t) + y_2(t) + \dots + y_n(t) \end{aligned}$$

當系統為非線性系統(nonlinear system), 則輸入與輸出關係近似我們用下式來表示

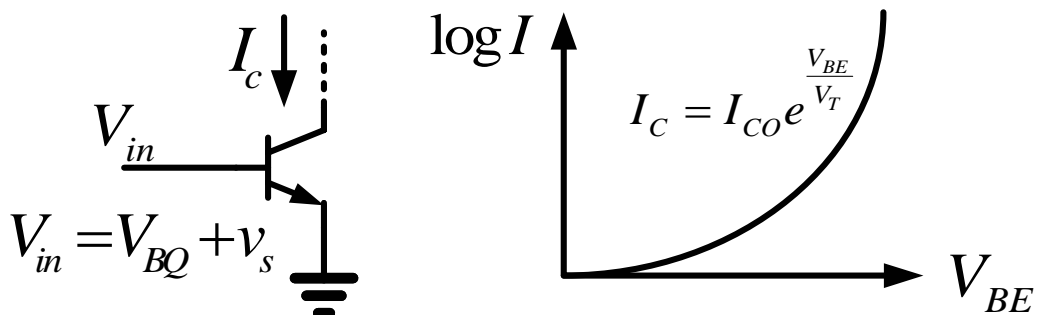
$$y(t) \approx a_1 \cdot x(t) + a_2 \cdot x^2(t) + a_3 \cdot x^3(t) + \dots \quad (2-1)$$

示意圖如圖(2.1)所示。



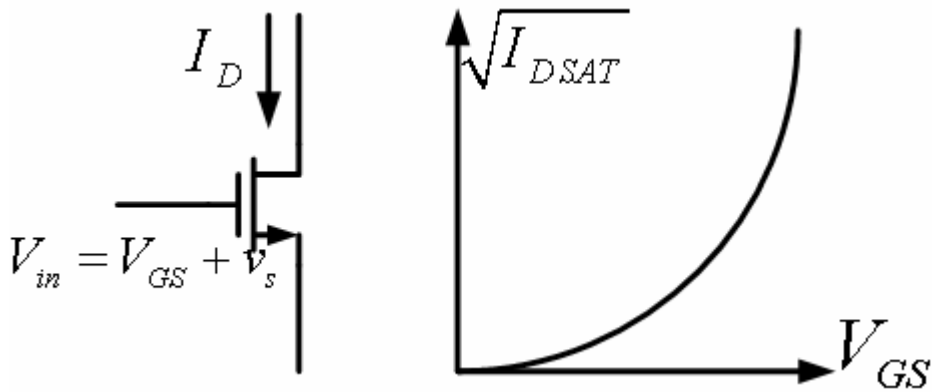
圖(2.1) 非線性系統之輸出與輸入關係

幾乎所有的主動元件(active device)都是非線性的,而一個線性的系統不足以表示電路小訊號跟大訊號的系統響應,觀察BJT或CMOS放大器電路(amplifier circuit)中的大訊號分析,電路通常會顯示一非線性輸入與輸出關係,如圖(2.2)所示,BJT輸入電壓 V_{in} 對應輸出電流 I_c 關係,如式子(2-2) I_c 做泰勒級式(Taylor polynomial)展開。如圖(2.3)所示 CMOS 輸入電壓 V_{in} 對轉導 G_m (transconductance)關係,如式子(2-3) I_D 做泰勒級式展開。



$$\begin{aligned}
 I_c &= I_{CO} e^{\frac{V_{in}}{V_T}} = I_{CO} e^{\frac{V_{BQ}}{V_T}} e^{\frac{V_s}{V_T}} \\
 &= I_{CO} \left\{ 1 + \frac{1}{V_T} v_s + \frac{1}{2!V_T} v_s^2 + \frac{1}{3!V_T} v_s^3 + \dots \right\} \quad (2-2)
 \end{aligned}$$

圖(2.2) BJT 輸出電流對輸入電壓關係



$$\begin{aligned}
 i_{ds}(v) &= \left\{ \frac{\partial I_{DS}}{\partial V_{gs}} V_{gs} + \frac{\partial^2 I_{DS}}{\partial V_{gs}^2} V_{gs}^2 + \frac{\partial^3 I_{DS}}{\partial V_{gs}^3} V_{gs}^3 + \dots \right\} \\
 &= \left\{ G_m V_{gs} + \frac{G'_m}{2!} V_{gs}^2 + \frac{G''_m}{3!} V_{gs}^3 + \dots \right\} \quad (2-3)
 \end{aligned}$$

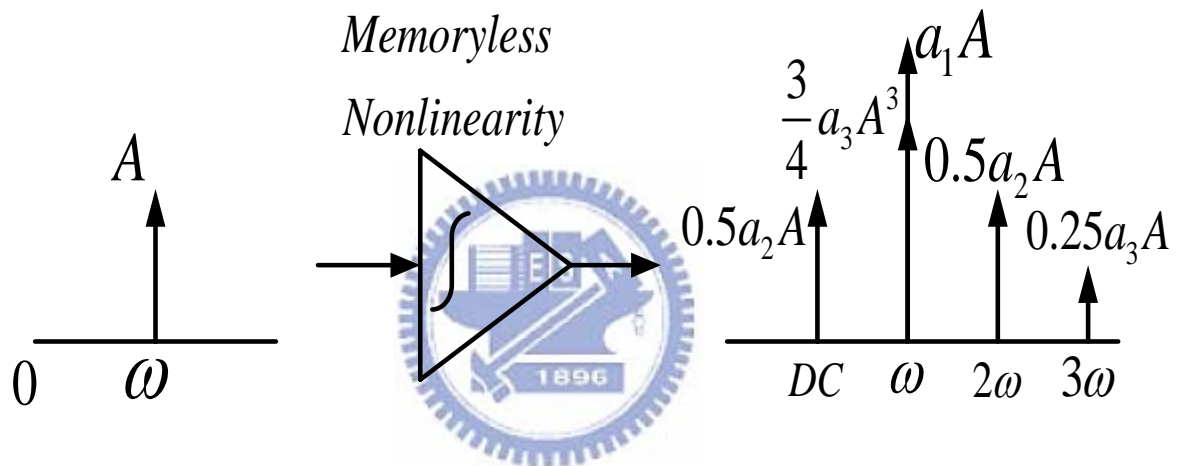
圖(2.3) CMOS 轉導對輸入電壓關係

2.2.2 諧波 (Harmonics)

在式子(2-1)中假設輸入 $x(t) = A \cos \omega t$ ，帶入(2-1)可得：

$$\begin{aligned}
 y(t) &= a_1 A \cos(\omega t) + a_2 A^2 \cos^2(\omega t) + a_3 A^3 \cos^3(\omega t) + \dots \\
 &= a_1 A \cos(\omega t) + a_2 A^2 \frac{1 + \cos(2\omega t)}{2} + a_3 A^3 \frac{3 \cos(\omega t) + \cos(3\omega t)}{4} + \dots \\
 &= \frac{a_2 A^2}{2} + \left(a_1 A + \frac{3a_3 A^3}{4} \right) \cos(\omega t) + \frac{a_2 A^2}{2} \cos(2\omega t) + \frac{a_3 A^3}{4} \cos(3\omega t) + \dots \quad (2-4)
 \end{aligned}$$

在(2-4)中的輸出訊號頻率包括 ω 、 2ω 及 3ω 。其中第一項稱作直流項(DC term)， ω 項稱作基頻項(fundamental term)，而 2ω 與 3ω 等高階項稱作諧波項(harmonics terms)。一般來說諧波項通常小於基頻項,如圖(2.4)所示,對信號的影響有限,但隨著輸入訊號的增強,也相對增強了諧波訊號的振幅而間接影響到接收機接收訊號的能力,因此,如何去抑制諧波訊號對系統所造成的影響是相當重要的。

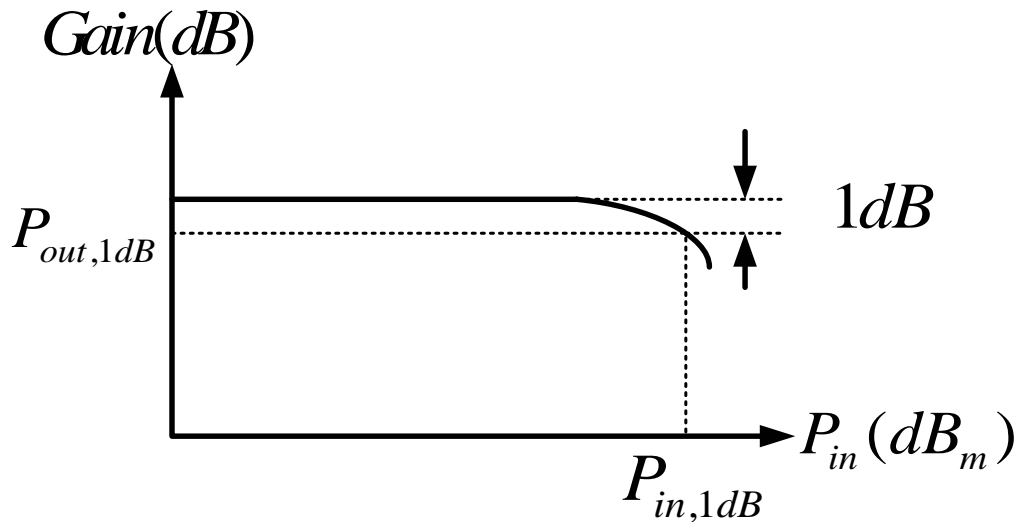


圖(2.4) 信號經過非線性系統的輸出

2.2.3 1dB 增益壓縮點 (1dB Gain Compression)

線性系統，電路的增益應為一固定值，也就是輸入功率與輸出功率的曲線關係應為一直線，而接收機之非線性系統中,因為所有的主動元件都是非線性，並非隨著輸入功率的增加，輸出功率而增加，而會漸漸趨近飽和,使得輸出功率與輸入功率不再是固定的直線關係，而有所改變，因此當輸入訊號振幅逐漸增加時，其系統增益將遭到抑制或稱飽和此現象稱作增益抑制。為了瞭解增益抑制程度，因此當輸出

小訊號電壓增益與線性輸出差 $1dB$ 時輸入訊號大小，定義為 $1dB$ 抑制點 ($1dB$ compression point)，其示意圖如圖(2.5)



圖(2.5) $1dB$ 抑制點之示意圖

計算 $1dB$ 抑制點，可由式子 (2-4) 得知關係如下

$$20 \log \left[a_1 + \frac{3}{4} a_3 A_{1dB}^2 \right] = 20 \log a_1 - 1dB \quad (2-5)$$

整理式子(2-5)可得

$$A_{-1dB} = \sqrt{0.145 \left| \frac{a_1}{a_3} \right|} = 0.381 \sqrt{\left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2-6)$$

2.2.4 交互調變 (Intermodulation; IMD)

當非線性系統之輸入訊號為兩不同頻率之弦波訊號時，則輸出訊號通常會產生與輸入諧波項不同頻率的成分。此現象稱作交互調變，是由兩個不同頻率的訊號作混波 (mixing)。假設輸入訊號為

$x(t) = A_1 \cos \omega_1 t + A_2 \cos \omega_2 t$ ，則非線性系統輸出訊號為

$$y(t) = a_1 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t) + a_2 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^2 + a_3 (A_1 \cos \omega_1 t + A_2 \cos \omega_2 t)^3 \quad (2-7)$$

展開 (2-7) 可得交互調變之後的各個頻率項如下

$$\omega = \omega_1, \omega_2 \Rightarrow \left(a_1 A_1 + \frac{3}{4} a_3 A_1^3 + \frac{3}{2} a_3 A_1 A_2^2 \right) \cos \omega_1 t + \left(a_1 A_2 + \frac{3}{4} a_3 A_2^3 + \frac{3}{2} a_3 A_2 A_1^2 \right) \cos \omega_2 t \quad (2-8)$$

$$\omega = \omega_1 \pm \omega_2 \Rightarrow a_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + a_2 A_1 A_2 \cos(\omega_1 - \omega_2)t \quad (2-9)$$

$$\omega = 2\omega_1 \pm \omega_2 \Rightarrow \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 + \omega_2)t + \frac{3a_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \quad (2-10)$$

$$\omega = 2\omega_2 \pm \omega_1 \Rightarrow \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 + \omega_1)t + \frac{3a_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t \quad (2-11)$$

而(2.8)~(2.11)之交互調變項中，值得注意的為第三階相互調變項

$2\omega_1 - \omega_2$ 與 $2\omega_2 - \omega_1$ 。因為當系統兩輸入訊號頻率 ω_1 、 ω_2 相當接近時，

$2\omega_1 - \omega_2$ 與 $2\omega_2 - \omega_1$ 值將會非常地接近基頻訊號 ω_1 、 ω_2 。

交互調變在射頻系統中是個相當麻煩的問題。如圖(2-5)，三階交互調變(third-order IMD)掉入我們想要頻帶(wanted band)內，假如有一個很弱的通道訊號伴隨著很強的兩個干擾，經由一個非線性系統(如低雜訊放大器)，則經過交互調變之後可能產生不想要的第三階乘積項落在感興趣的頻帶上。如此具爭議性的第三階交互調變(third-order intermodulation, IMD3)，會與基頻項相交於一點，在此定義為第三階交叉點(third intercept point)，也稱作 IP_3 ，示意圖如圖(2.6)所示，如果在 low IF 或是寬頻的接收機架構下就要考

慮 IP_2 (Second intercept point)，那一項在也不是離我們想要的頻段很遠了，示意圖如圖(2.7)所示。

令 (2-7) 之輸入訊號振幅大小 $A_1 = A_2 = A$ ，可推導出簡單的 IP_3 表示式。因此輸出可簡化為

$$y(t) = \left(a_1 + \frac{9}{4} a_3 A^2 \right) A \cos \omega_1 t + \left(a_1 + \frac{9}{4} a_3 A^2 \right) A \cos \omega_2 t + \frac{3}{4} a_3 A^3 \cos(2\omega_1 - \omega_2)t + \frac{3}{4} a_3 A^3 \cos(2\omega_2 - \omega_1)t + L \quad (2-12)$$

假設 $A_1 = A_2 = A$

$$\begin{cases} \omega_1, \omega_2 \Rightarrow a_1 A + \frac{9}{4} a_3 A^3 \\ 2\omega_1, 2\omega_2 \Rightarrow \frac{a_2}{2} A^2 \\ 3\omega_1, 3\omega_2 \Rightarrow \frac{a_3}{4} A^3 \end{cases} \Rightarrow \begin{cases} \omega_1 \pm \omega_2 \Rightarrow a_2 A^2 \longrightarrow \text{Second-order IMD} \\ 2\omega_1 \pm \omega_2 \Rightarrow \frac{3}{4} a_3 A^3 \longrightarrow \text{Third-order IMD} \\ 2\omega_2 \pm \omega_1 \Rightarrow \frac{3}{4} a_3 A^3 \longrightarrow \text{Third-order IMD} \end{cases}$$

假設 $a_1 \gg \frac{9}{4} a_3 A^2$ ，由定義可知，當基頻訊號振幅與第三階交互調變項振幅相同時即為 IP_3 ，則

$$|a_1| A_{IP3} = \frac{3}{4} |a_3| A_{IP3}^3 \quad (2-13)$$

則輸入之第三階攔截點 IIP_3 為

$$A_{IIP3} = \sqrt{\frac{4}{3} \frac{|a_1|}{|a_3|}} \quad (2-14)$$

而輸出之第三階交叉點 OIP_3 為 $a_1 A_{IIP3}$

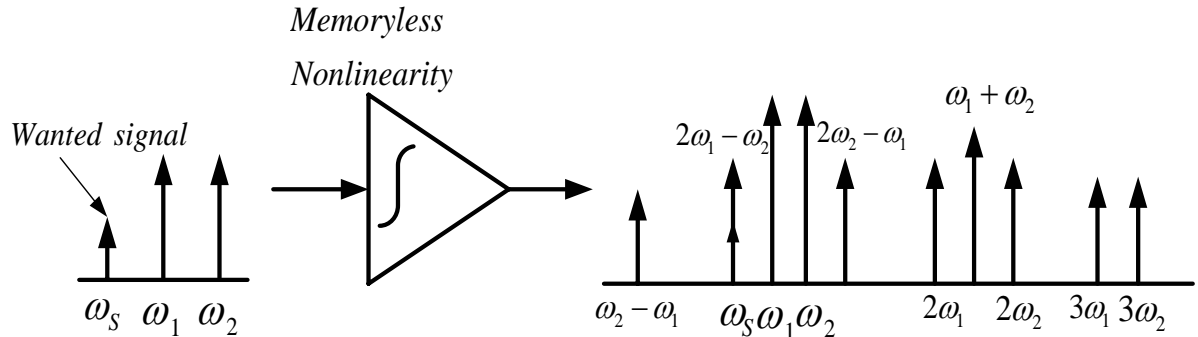
同理可得輸入第二階交叉點 IIP_2 為

$$A_{IIP2} = \frac{|a_1|}{|a_2|} \quad (2-15)$$

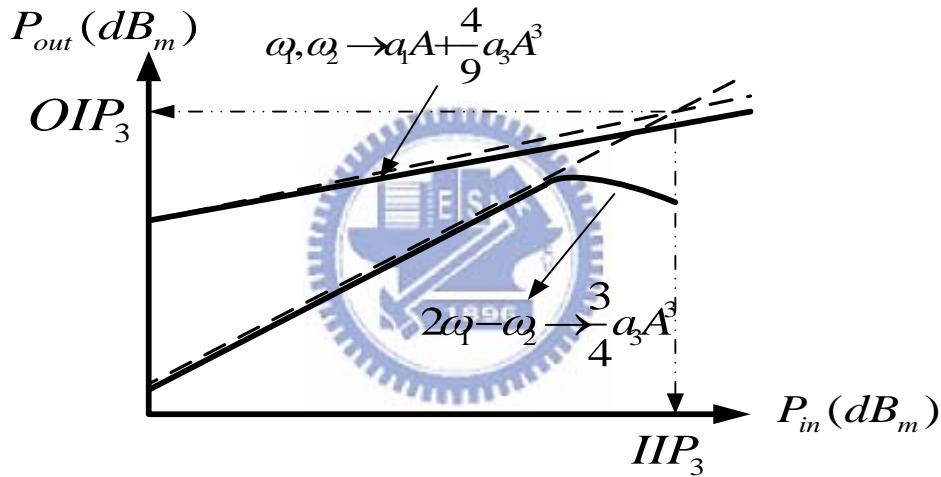
而輸出之第二階交叉點 OIP_2 為 $a_1 A_{IIP2}$

比較 IP_{1dB} 抑制點與 IIP_3 之間的關係

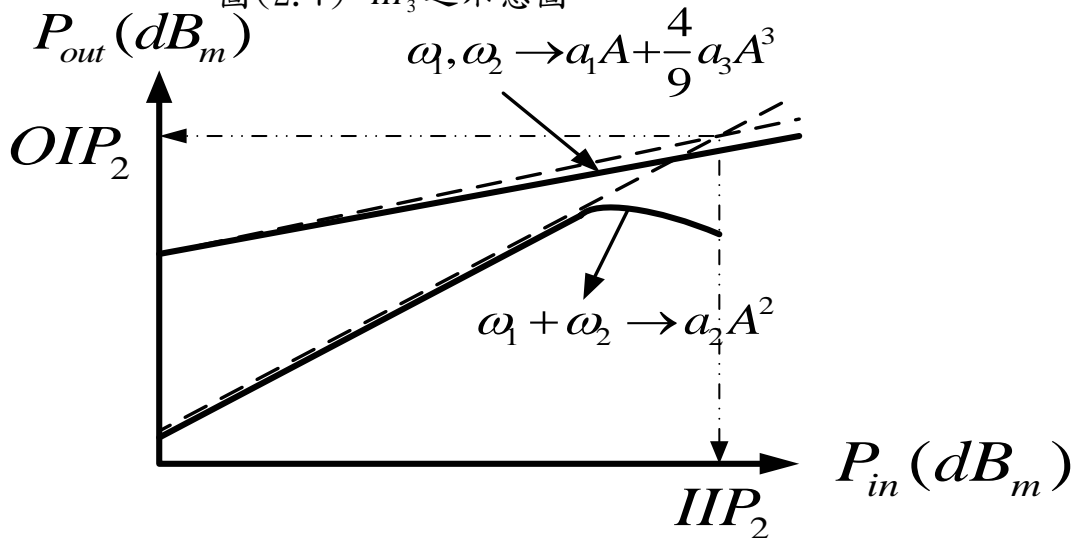
$$IIP_3 (dBm) \approx 9.6 dB + IP_{1dB} (dBm) \quad (2-16)$$



圖(2.6) 交互調變乘積項之頻譜示意圖



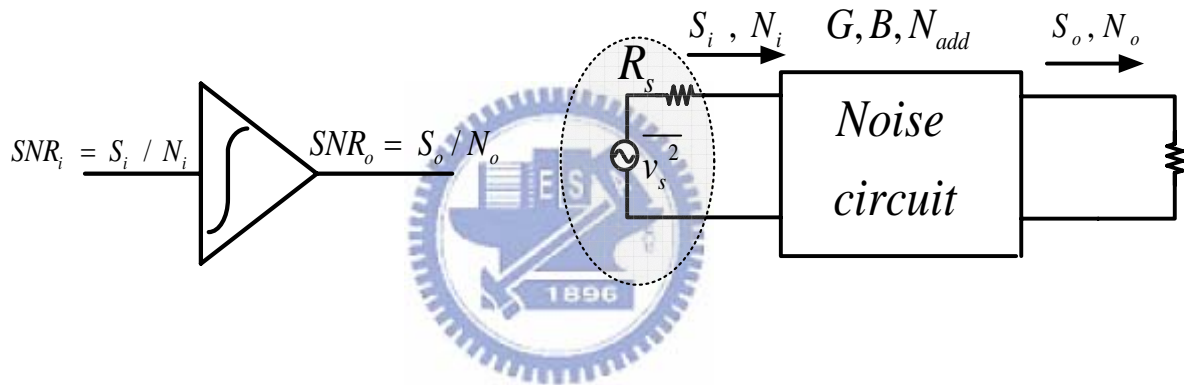
圖(2.7) IIP_3 之示意圖



圖(2.8) IIP_2 之示意圖

2.3 雜訊指數 (Noise Figure ;NF)

射頻訊號自天線接收時相當微弱，因此設計者必須謹慎地設計射頻前置 (RF front-end) 電路，以將電路貢獻之雜訊降至最低。因此在通訊系統中表達此雜訊程度的參數稱作雜訊指數(noise factor ;F)，雜訊指數表示訊號雜訊比(signal-to-noise ratio;SNR)，經過電路降低的程度，如圖(2.8)所示。而雜訊指數定義為系統在輸出端總雜訊功率與輸入訊號源在輸出端造成的雜訊功率比，表示如(2-17)



圖(2.9) 雜訊指數示意圖

$$F = \frac{SNR_i}{SNR_o} \geq 1 \Rightarrow NF = 10 \log F \text{ (dB)}$$

$$N_o = G(N_i + N_{add}) \rightarrow 1 + \frac{N_{add}}{N_i} = \frac{\text{Total output noise power}}{\text{output noise power due to input source}} \quad (2-17)$$

2.4 靈敏度 (Sensitivity)

系統的靈敏度定義為系統可偵測到的最小 (輸入) 訊號準位。最小可偵測訊號 (Minimum detectable signal) 最小可偵測訊號功率可表示成

$$P_{in,min} = P_{RS} + NF + 10 \log B + SNR_{min} \quad (2-18)$$

其中 P_{RS} 為訊號源阻抗貢獻之雜訊功率、 NF 為系統雜訊指數、 B 為訊號通道頻寬、 SNR_{\min} 為最小可偵測之訊雜比。(2-18)前三項之總和為系統貢獻的雜訊，也稱作雜訊底層 (noise floor)。對於射頻系統而言，系統訊號源阻抗通常為 50Ω ，因此訊號源阻抗貢獻之功率可表示成

$$\begin{aligned} P_{R_s} &= \frac{4kTR_s}{4} \frac{1}{R_s} = kT \\ &= -174 \text{ dBm/Hz @ room temperature} \end{aligned} \quad (2-19)$$

可簡化成

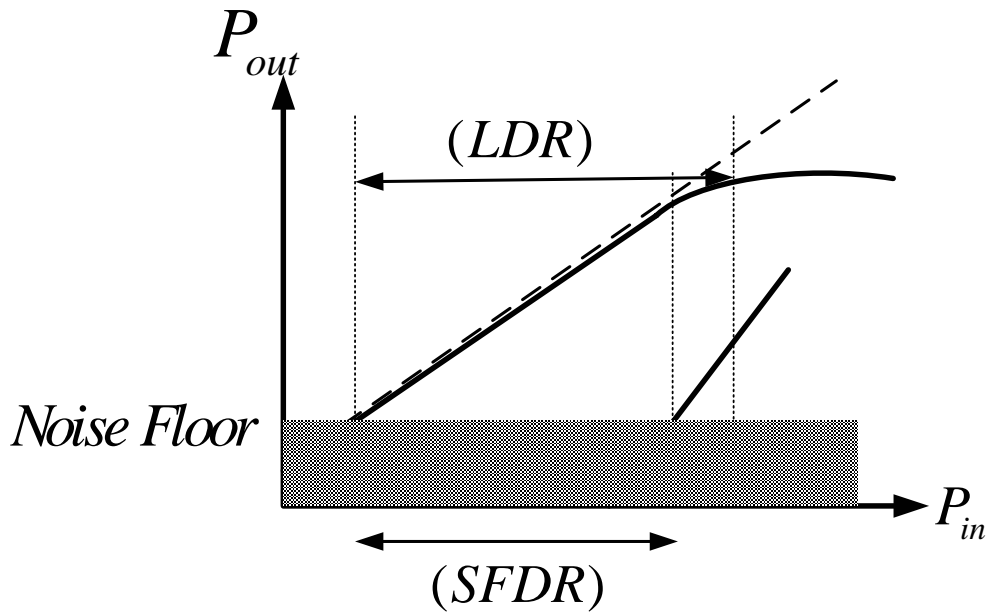
$$P_{in,\min} = -174 \text{ dBm/Hz} + NF + 10\log B + SNR_{\min} \quad (2-20)$$

由(2-20)可得知， $P_{in,\min}$ 為頻寬之函數。因此，對於射頻接收機而言，通常為窄頻通道系統，故將非常敏感。

2.5 動態範圍 (Dynamic Range)

動態範圍定義為電路提供合理訊號品質下，可容忍最大輸入準位與系統可接受最小輸入訊號準位之比例。如圖(2.9)所示，對功率放大器(PA)而言，功率的範圍限制最低在雜訊底層，最高到 1 dB 壓縮點此範圍稱為線性動態範圍(linear dynamic range;LDR)。對低雜訊放大器(LNA)與混波器(Mixer)而言，範圍限制最低到雜訊底層，最高到最大的功率水平意指 IMD 點，IMD 點已經變的不可接受，此範圍稱為無雜波動態範圍(spurious free dynamic range;SFDR)，如式子

(2-21), 示意圖如圖(2.9)所示:



圖(2.10) 動態範圍之示意圖

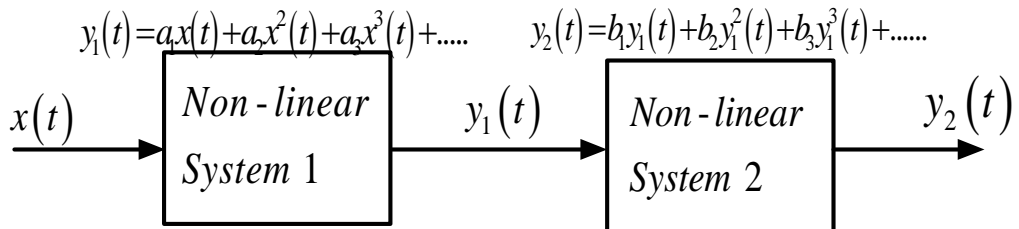
$$SFDR = \frac{2P_{IP3} + F}{3} - (F + SNR \min) \tag{2.21}$$

$$F = -174_{dBm/Hz} = +NF + 10 \log B$$

2.6 串接系統 (Cascaded Stages)

2.6.1 非線性之串接系統

兩非線性系統串接在一起, 輸入輸出關係如圖(2.10)所示



圖(2.11)串接非線性系統示意圖

由圖(2.10)可整理得非線性系統串接後之 IP_3

$$\frac{1}{A_{IIP3,t}^2} = \frac{1}{A_{IIP3,1}^2} + \frac{a_1^2}{A_{IIP3,2}^2} + \frac{a_1^2 b_1^2}{A_{IIP3,3}^2} + \dots \quad (2-22)$$

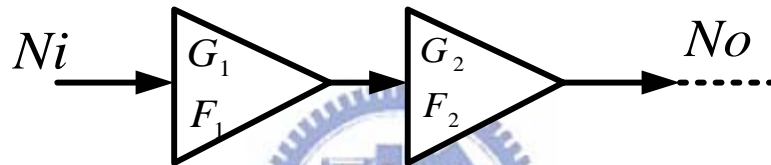
非線性系統串接後之 IIP_2

$$\frac{1}{A_{IIP2,t}} = \frac{1}{A_{IIP2,1}} + \frac{a_1}{A_{IIP2,2}} \quad (2-23)$$

因此可推想得知，在後級電路將主導著整個系統之線性度。

2.6.2 雜訊之串接系統

當系統為一 N 級串接，則總雜訊指數可表示成



$$F_{sys} = 1 + (F_1 - 1) + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots \quad (2-24)$$

由 (2-24) 顯示越前級增益增加，整個系統雜訊指數會下降。換句話說，系統前級主導著總雜訊指數。因此可推想得知，在接收機前級電路之低雜訊放大器將主導著整個系統之雜訊指數。

第三章

24GHz 混頻器



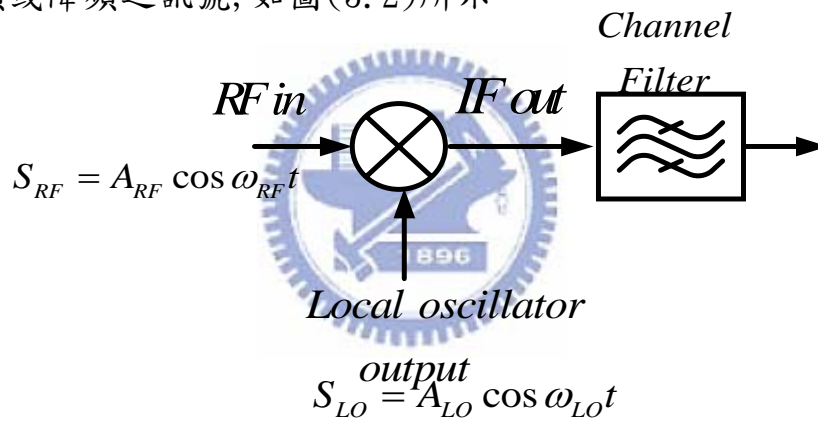
3.1 簡介

混波器在接收機中, 扮演一個很重要的角色。在本章節我們用 Marchand balun 產生雙端的訊號分別置於 LO 與 RF 端, 一般而言, RF 與 LO 端 differential 輸入相位差 180 度, 差動輸出很重要, 這樣可以抑制偶次項諧波(even order harmonic), 而 Gilbert-cell 為雙平衡混波器(doubly-balance Mixer), 其優點具有轉換增益(conversion gain; CG), 相較被動而言, 需較低的 LO power, 好的 RF 對 LO、LO 對 RF、LO 對 IF 的隔離度(isolation), 對混波器的隔離度會有相當的影響。依據不同系統需求, 需要好的線性度, 採用被動(passive)混波器; 如需要的增益與隔離度, 採用主動式(active)混頻器來分擔整體接收系統上各級電路的增益負擔; LO 漏 RF 的訊號將經低雜訊放大器洩露至天線(antenna)端, 因而輻射(radiation)或是造成電路直流工作點的偏移(DC offset), 甚而反射回混頻器和 LO 訊號混頻造成自我混頻(self-mixing); 倘若 LO 對 IF 隔離度不佳, 則 LO 洩漏訊號將後級的電路推向飽和; 所以本論文採用雙平衡式混頻器的架構以減少隔離度所造成不良之影響且提高電路增益。另外, 混頻器的雜訊指數並不是很要求, 因其前級為低雜訊放大器能有效降低整體系統雜訊指數。

3.2 主動混波器的原理

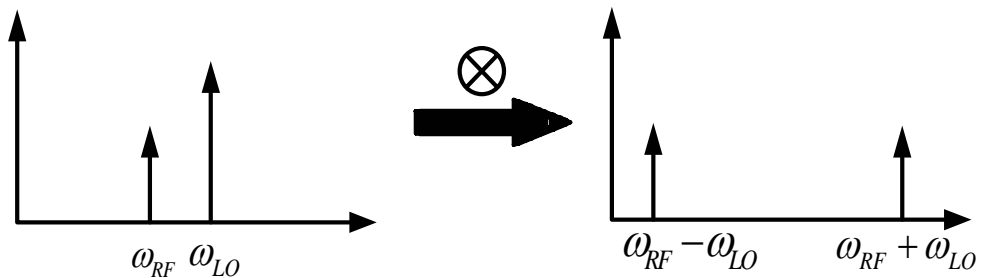
3.2.1 混頻(mixing)的原理

混波器為一種頻率轉換的元件，利用輸出入訊號之間非線性關係關係條件，而 MOSFET 其輸入與輸出訊號的關係呈現平方律的條件下，其操作方式，如圖(3.1)所示，將 RF 與 LO 兩輸入結合，再經由此元件的非線性特性產生多次項階諧波，並取出其二階交互調變項後，經過一個頻率選擇濾波器輸出為式子(3-1)，濾除我們不想要的訊號，即可獲得升頻或降頻之訊號，如圖(3.2)所示。



圖(3.1) 混頻操作示意圖

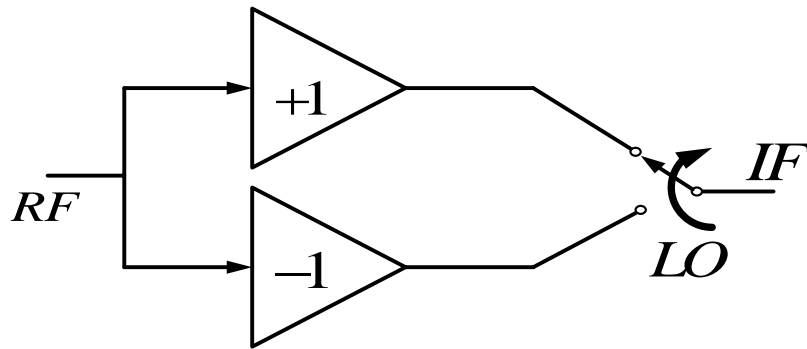
$$S_{IF} = A_{RF} A_{LO} \cos \frac{1}{2} [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t] \quad (3-1)$$



圖(3.2) 混頻頻譜示意圖

3.2.2 單端平衡混頻器(signal-balance mixer)

單端平衡式混波器因為乘法而產生混頻(frequency mixing)功能, 如圖(3.3)所示, 使用開關(switch)實現乘法器

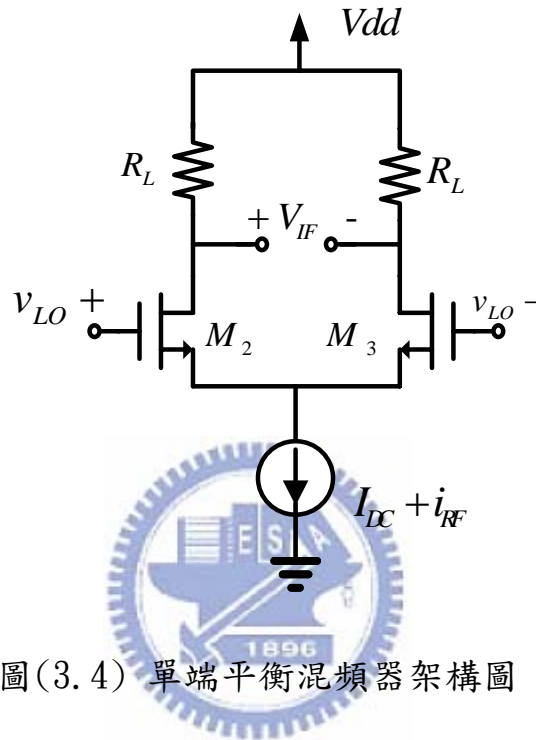


圖(3.3) 單端平衡混頻器混頻示意圖

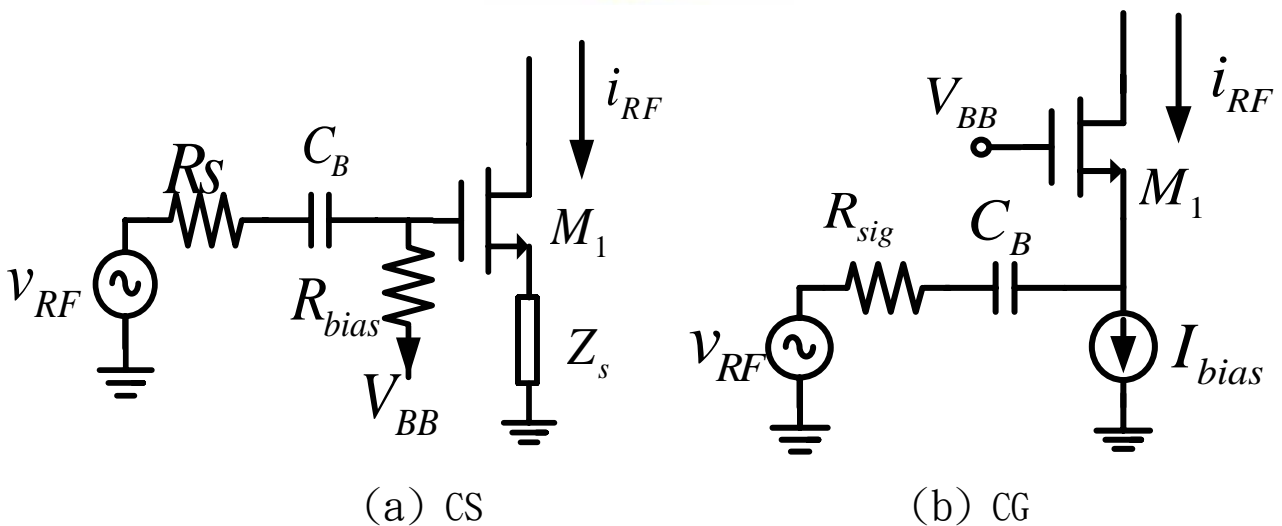
RF 訊號 $V_{RF}(t)$ 輸入, 分成兩路徑, 由 LO 信號 $s(t)$ 來當作一個開關, 輪流切換這兩路, LO 信號可以視為方波, 經過兩信號相乘得到我們想要的信號, 如式子(3-2)所示:

$$\begin{aligned}
 s(t) &= \frac{4}{\pi} \left(\sin \omega_0 t + \frac{1}{3} \sin 3\omega_0 t + \frac{1}{5} \sin 5\omega_0 t + \dots \right) \\
 V_{RF}(t) &= V_{RF} \cos \omega_{RF} t \\
 V_{IF}(t) &= s(t) g V_{RF} \\
 &= \frac{1}{\pi} V_{RF} \left\{ [\sin(\omega_{RF} - \omega_{LO})t + \sin(\omega_{RF} + \omega_{LO})t] + \right. \\
 &\quad \left. \frac{1}{3} [\sin(3\omega_{RF} - \omega_{LO})t + \sin(3\omega_{RF} + \omega_{LO})t] + \right. \\
 &\quad \left. \frac{1}{5} [\sin(5\omega_{RF} - \omega_{LO})t + \sin(5\omega_{RF} + \omega_{LO})t] + \dots \right\} \quad (3-2)
 \end{aligned}$$

我們以 CMOS 單端平衡混頻器為例，如圖(3.4)，電路末端電流源，當做轉導級(transconductor stage)，將 V_{RF} 轉成 I_{RF} ，轉導級可以用共源級(Common Source;CS)或是共閘級(Common Gate;CG)放大器來實現，如圖(3.5)。



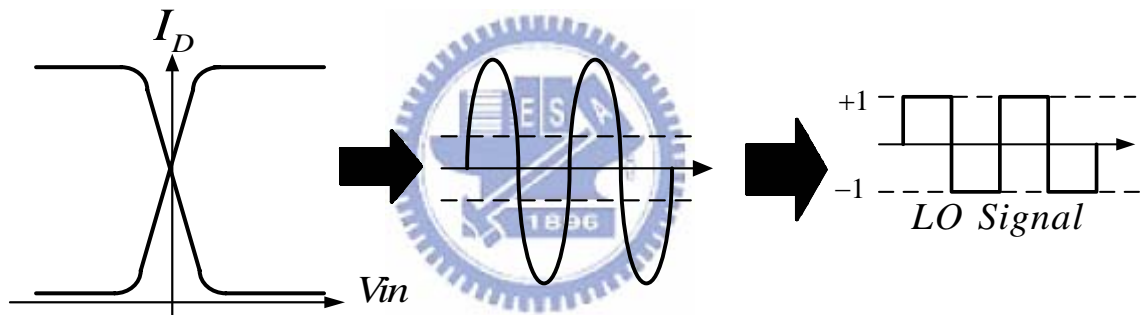
圖(3.4) 單端平衡混頻器架構圖



圖(3.5) 轉導級之架構

於圖(3.4)中, M_1 為接收 LNA 的射頻訊號 V_{RF} 後, 乘上 g_{m1} 轉為電流信號, 差動對 $M_{2,3}$ (differential pair) 開關受到 LO 訊號而切換。當電流訊號流至 R_L 時, 轉換成既有 IF 頻率的電壓訊號輸出。差動對是由於很高速切換 LO 信號正弦訊號可以視為方波, 如圖(3.6)所示, 由於方波的基頻為振幅 (peak-to-peak) 的 $\frac{2}{\pi}$, 其電壓增益 (voltage conversion gain) 可以表示為(3-2):

$$A_v = \frac{V_{IF}}{V_{RF}} = \frac{2}{\pi} g_{m1} R_L \quad (3-2)$$

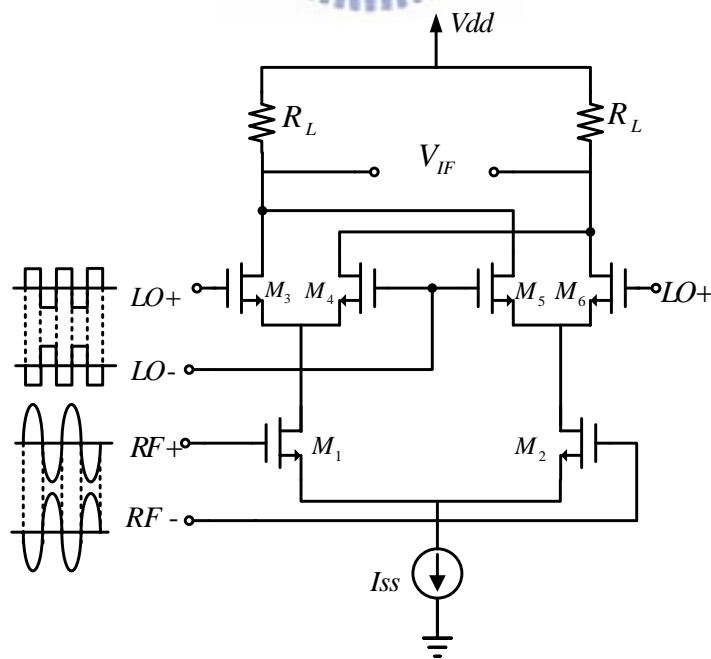


圖(3.6) LO 差動對 LO 輸出方波信號

由式子(3-2)看出 g_{m1} 為一非線性項, 混頻器線性度被轉導級所主宰, 圖(3.5)CS 架構, 轉導 $G_m = \frac{-g_m}{1 + g_m Z_s} \approx \frac{1}{Z_s}$, 由 Z_s 所主宰, 改善線性度; CG 架構源級電阻 R_{sig} (source resistance), 轉導 $G_m = \frac{g_m}{1 + g_m R_{sig}} \approx \frac{1}{R_{sig}}$ 線性化轉導級特性, 但是有較多功率的損失, 還有比較高的雜訊指數 (NF)。負載 R_L 使用主動式負載 (active loading), 輸出端信號向上擺幅時 (swing), 只能到 $V_{dd} - V_{GS}$, 被限制住, 造成訊號失真。

3.2.3 雙平衡混頻器(double-balance mixer)

雙平衡式混頻器可以視為兩個單平衡混頻器，如圖(3.7)所示，最底下為一電流源(current source)為一驅動級(drive stage)，目的穩定輸入信號變化，因為 $g_{m1} = \sqrt{2k \frac{I_{ss}}{2}}$ 被下面電流源定住；利用一 MOS 差動對 $M_1 \sim M_2$ 為轉導級(transconductance stage)，下面的電流源 MOS Length 要調大，long channel 的 r_o 較大，電流調小因為 $r_o = \frac{V_A}{I_D}$ ，造成其輸出阻抗 R_{ss} 上升，提升 CMRR。經由兩對反相切換的電流 $M_3 \sim M_4$ 與 $M_5 \sim M_6$ 為切換級(switching stage)，經交叉耦合至負載極差動輸出， R_L 為輸出級(output stage) 將 RF 電流訊號轉成電壓降頻至中頻，此架構的抑制具有較好隔離度，相較被動式混頻器，但相較於單平衡式混頻器，其較大的輸入參考雜訊及較多的功率消耗為其缺點。



圖(3.7) 雙平衡式混頻器

雙平衡混波器混頻，如圖(3.7)所示，RF、LO端輸入都是平衡訊號假

RF訊號及LO訊號分別為：

$$V_{LO}(t) = \pm v_{LO} \cos \omega t \quad (3-3)$$

$$V_{RF}(t) = \pm v_{RF} \cos \omega t \quad (3-4)$$

令 $g_m = g_{m1} = g_{m2}$ ，RF電壓訊號經由 M_1 、 M_2 轉成電流訊號：

$$I_{D,M1} = I_{DC} + g_m v_{RF} \cos \omega_{RF} t \quad (3-5)$$

$$I_{D,M2} = I_{DC} - g_m v_{RF} \cos \omega_{RF} t \quad (3-6)$$

LO訊號則使 M_3 、 M_4 、 M_5 、 M_6 作用如切換開關，因此可推得：

$$I_{D,M3} = I_{D,M1} \left(\frac{1}{2} - \frac{1}{2} \text{sgn}[\cos \omega_{LO} t] \right) \quad (3-7)$$

$$I_{D,M4} = I_{D,M1} \left(\frac{1}{2} + \frac{1}{2} \text{sgn}[\cos \omega_{LO} t] \right) \quad (3-8)$$

$$I_{D,M5} = I_{D,M2} \left(\frac{1}{2} - \frac{1}{2} \text{sgn}[\cos \omega_{LO} t] \right) \quad (3-8)$$

$$I_{D,M6} = I_{D,M2} \left(\frac{1}{2} + \frac{1}{2} \text{sgn}[\cos \omega_{LO} t] \right) \quad (3-9)$$

IF端輸出電流為：

$$\begin{aligned} I_{IF+} - I_{IF-} &= (I_{D,M4} + I_{D,M6}) - (I_{D,M3} + I_{D,M5}) = (I_{D,M4} - I_{D,M3}) + (I_{D,M6} - I_{D,M5}) \\ &= I_{D,M1} \times (\text{sgn}[\cos \omega_{LO} t]) + I_{D,M2} \times (-\text{sgn}[\cos \omega_{LO} t]) \\ &= (I_{D,M1} - I_{D,M2}) \times \text{sgn}[\cos \omega_{LO} t] \end{aligned} \quad (3-10)$$

將式子(3-5)、(3-6)帶入式子(3-10)，可得：

$$I_{IF} = I_{IF+} - I_{IF-} = 2g_m v_{RF} \cos \omega_{RF} t \times \text{sgn}[\cos \omega_{LO} t] \quad (3-11)$$

將其中 $[\text{sgn}(\cos \omega_{LO} t)]$ 作傅利業展開：

$$\begin{aligned} I_{IF} &= 2g_m v_{RF} \omega_{RF} t \times [\text{sgn}(\cos \omega_{LO} t)] \\ &= 2g_m v_{RF} \times \cos \omega_{RF} t \times \left[\frac{2}{\pi} \cos \omega_{LO} t - \frac{2}{3\pi} \cos 3\omega_{LO} t + \dots \right] \\ &= \frac{2}{\pi} g_m v_{RF} \times [\cos(\omega_{RF} - \omega_{LO})t + \cos(\omega_{RF} + \omega_{LO})t + \dots] \end{aligned} \quad (3-12)$$

忽略較高次項諧波, 在式子(3-12)取想要中頻訊號($\omega_{IF} = \omega_{RF} - \omega_{LO}$),

可得:

$$v_{IF} = I_{IF} R_L \approx \frac{4}{\pi} g_m v_{RF} R_L \times \cos(\omega_{RF} - \omega_{LO})t \quad (3-13)$$

由式子(3-13)可知其電壓轉換增益(voltage conversion gain)為:

$$\text{voltage CG} = \frac{2}{\pi} g_m R_L \quad (3-14)$$

因此可知雙平衡混波器在IF 輸出端無LO 的頻率項存在, 理想上雙平衡混波器有良好的LO對RF、LO對IF隔離度。除此之外, 雙平衡混波器可抑制RF和LO訊號的偶次項諧波, 奇次項諧波多兩倍。但電路較為複雜, 雜訊指數較單端平衡混波器略高, 在相同的轉換增益下, 功率消耗是單端平衡混波器的兩倍。

3.3 24GHz CMOS Marchand balun 設計與實現

本電路設計利用本電路利用了TSMC 0.18 μm CMOS 製程技術, 實現一個中心頻率在24GHz左右的吉伯特降頻混頻器。為了減少量測上的不便, 在混頻器的LO、RF均為單端輸入。在RF、LO 端採用下一節將會提到的Marchand balun 來將不平衡信號轉為平衡式的訊號, 而IF端則應用source follower架構, 把高阻抗拉到低阻抗, 來當做一個輸出緩衝(Buffer), 將diffrenctial 訊號方式輸出, 因為雙端取出電壓訊號可以多兩倍(6dB), 輸出power多2倍(3dB)。

3.3.1 Marchand balun 理論分析

Balun(unbalance to balanced), 一相位分離成兩個不同的相位, 通常採單端訊號輸入, 如圖(3.8)所示



圖(3.8) Balun示意圖

Balun 可分成主動 (passive) 與被動 (active), 被動通常窄頻 (narrowband) RC, LC 網路構成, 或是寬頻 (wideband band) 微帶線 (microstrip line) 形式: 主動有單顆晶體 (single transistor), 共閘 (common-gate) 接共源級 (common-source) 電路, 差動對放大器 (differential-pair amplifier)。

如圖(3.8)所示, port2與port3對振幅(amplitude)與相位(phase)要求:

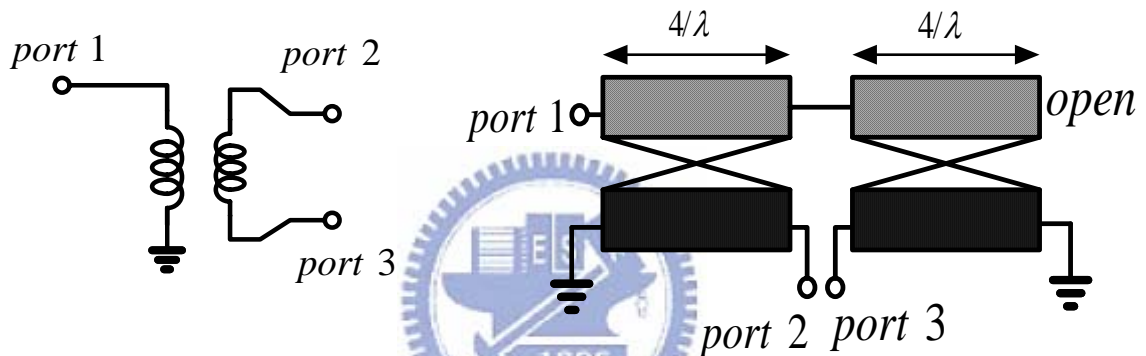
$$\begin{cases} |S_{21}| - |S_{31}| = 0 \\ \angle S_{21} - \angle S_{31} = 180^\circ \end{cases} \quad (3-15)$$

port1 輸入阻抗需匹配, port2與port3需要好的輸出回授損失 (output return loss) 與需要匹配輸出阻抗 (output impedance), 隔離度 (isolation)。

Marchand Balun 構成由兩組耦合線構成, 在中心頻長度為 $\frac{\lambda}{4}$, 線跟線之間有著耦合係數(coupling coefficients ;C)與傳輸係數 transmission coefficients;T), 而兩者滿足(3-16):

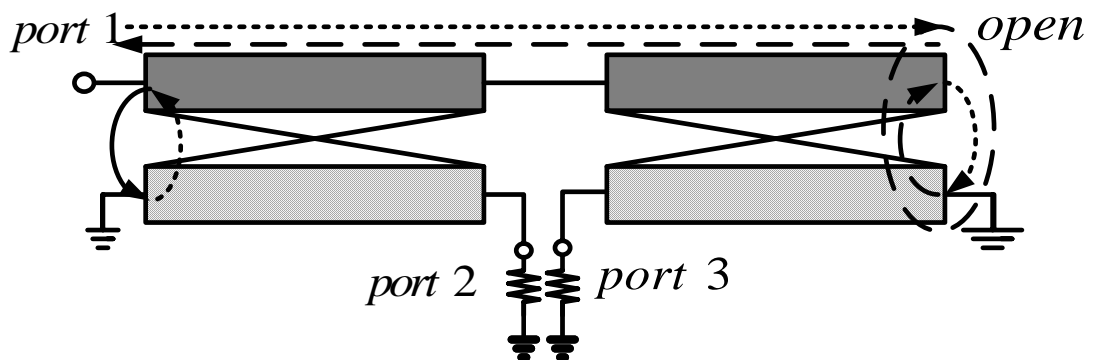
$$\begin{cases} |C|^2 + |T|^2 = 1 & (\text{ideal}) \\ |C|^2 + |T|^2 \leq 1 & (\text{nonideal}) \end{cases} \quad (3-16)$$

我們最在這是論文實作的Marchand balun , 架構是一個開路端 (open), 兩個短路端(short), 如圖(3.9)所示:



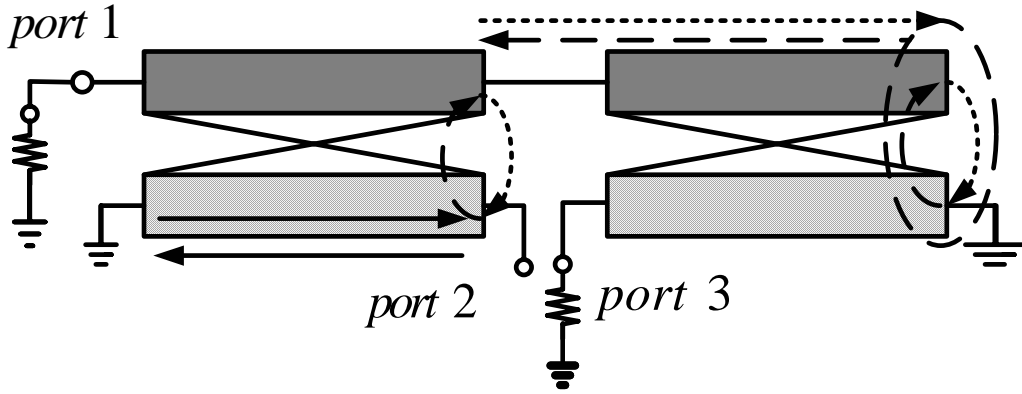
圖(3.9) Marchand Balun 架構圖

接著我們來討論各個 port 之間 S 參數與傳輸係數 T 和耦合係數 C 之間的關係:



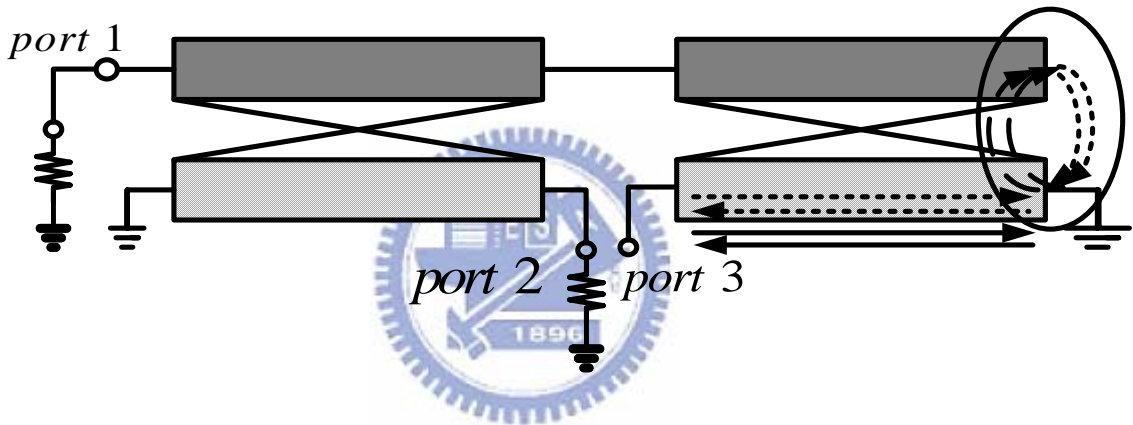
$$S_{11} = (-C) \times C + \frac{T^4}{1 + C^2} = \frac{1 - 3C^2}{1 + C^2}$$

圖(3.10) Marchand Balun S_{11} 分析



$$S_{22} = -T^2 + \frac{T^2 C^2}{1 + C^2} = \frac{-(-j\sqrt{1 - C^2})^2}{1 + C^2} = \frac{1 - C^2}{1 + C^2}$$

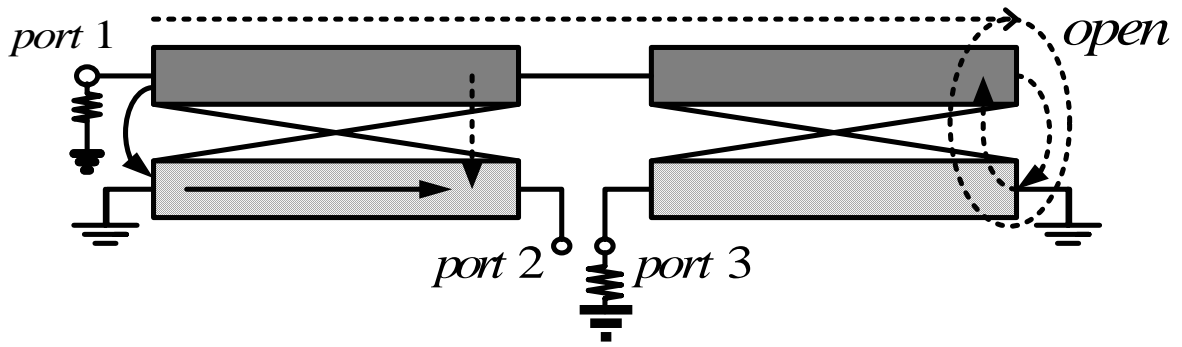
圖(3.11) Marchand Balun S_{22} 分析



$$S_{33} = -T^2 + \frac{T^2 C^2}{1 + C^2} = \frac{-(-j\sqrt{1 - C^2})^2}{1 + C^2} = \frac{1 - C^2}{1 + C^2}$$

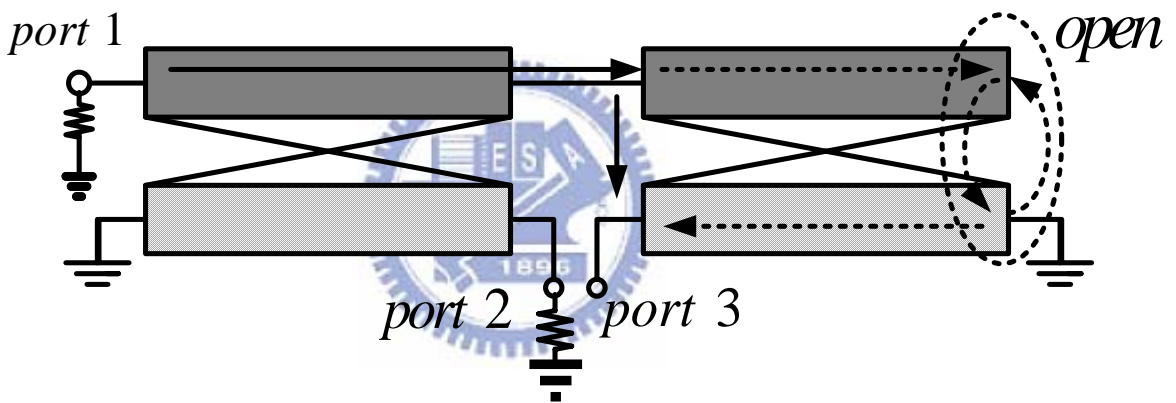
圖(3.12) Marchand Balun S_{33} 分析

由圖(3.10)(3.11)(3.12)分析得知可推得 S_{11} 輸入匹配, 輸出匹配 S_{22} 、 S_{33} 與耦合係數 C , 息息相關, 調整兩條耦合線之間的間距 (gap), port1 輸入阻抗應匹配到 50Ω , port 2 與 port 3 應該匹配到下一級輸入阻抗。



$$S_{21} = -C \times T + \frac{T^3 \times C}{1+C^2} = \frac{-CT(1+C^2+T^2)}{1+C^2} = \frac{2C\sqrt{1-C^2}}{1+C^2}$$

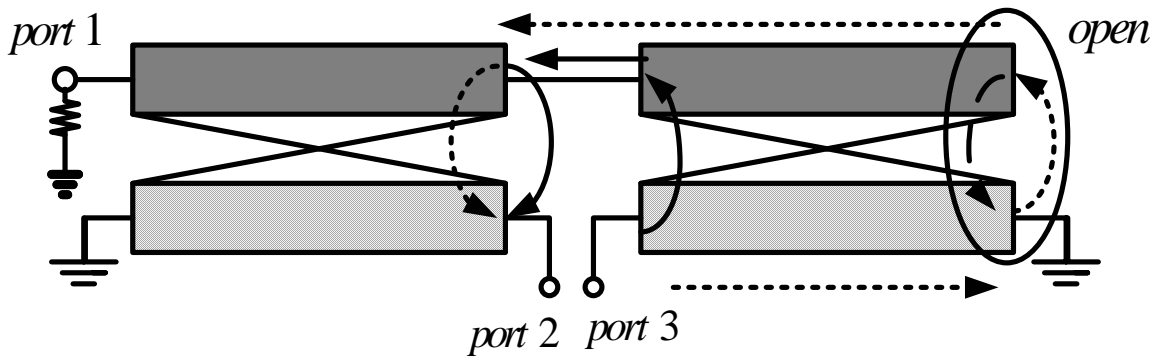
圖(3.13) Marchand Balun S_{21} 分析



$$S_{31} = C \times T - \frac{T^3 \times C}{1+C^2} = \frac{2CT}{1+C^2} = -\frac{2C\sqrt{1-C^2}}{1+C^2}$$

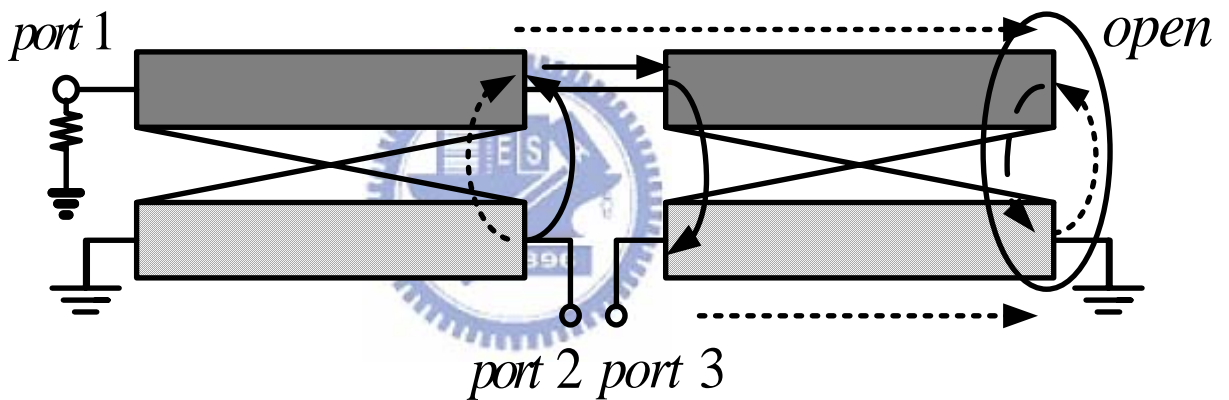
圖(3.14) Marchand Balun S_{31} 分析

由圖(3.13)(3.14)分析得知 S_{21} 、 S_{31} ，兩者頻率均不為頻率的函數，可以很寬頻的匹配； S_{31} 剛好相差負號，兩者的關係是大小相等，方向相反，換句話說相差 180 度的相位。



$$S_{23} = C \times C - \frac{T^2 \times C^2}{1 + C^2} = \frac{C^2 + C^2}{1 + C^2} = -\frac{2C}{1 + C^2}$$

圖(3.15) Marchand Balun S_{23} 分析



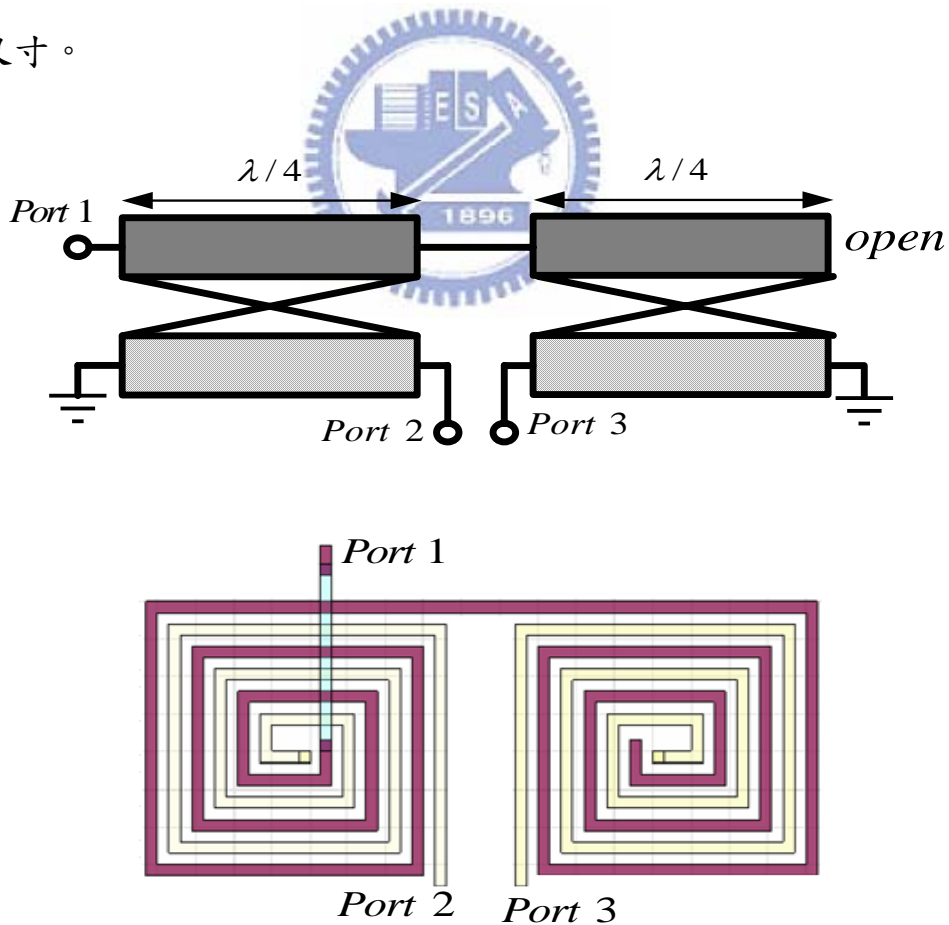
$$S_{32} = C^2 - \frac{T^2 \times C^2}{1 + C^2} = \frac{C^2 + C^2}{1 + C^2} = \frac{2C^2}{1 + C^2}$$

圖(3.16) Marchand Balun S_{32} 分析

由圖(3.15)(3.16)以上分析得知 S_{23} 、 S_{32} ，兩個參數為隔離度，從數學來看為互易(reciprocal)關係，與耦合係數 C 息息相關，我們希望 port 2 與 port 3 信號不要互相影響，這是我們應該做取捨。

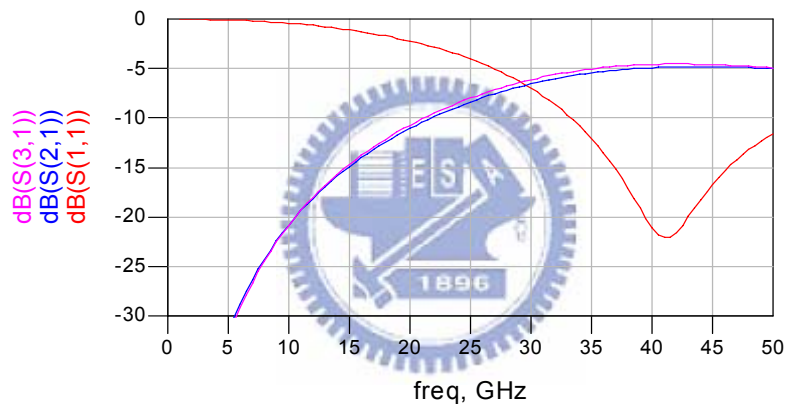
3.3.2 Marchand balun 模擬

設計 Marchand balun 時，耦合線在中心頻長度為 $\frac{\lambda}{4}$ ，因此，若以微帶線式耦合線 (Microstrip Line)、以 edge couple 方式來實現，以螺旋型線圈式或變壓器 (transformer) 型式之耦合線來實現，除了能夠縮小其面積，也能靠傳輸線間增加互相耦合以減少微帶線的長度。這是設計將以 Transformer 型態繞轉，可以增加其互感 (mutual inductance) 及互耦 (mutual capacitance)，在相同長度的微帶線，以繞線圈型的共振頻率比直線型還低，故變壓器型態的架構擁有比較小的尺寸。

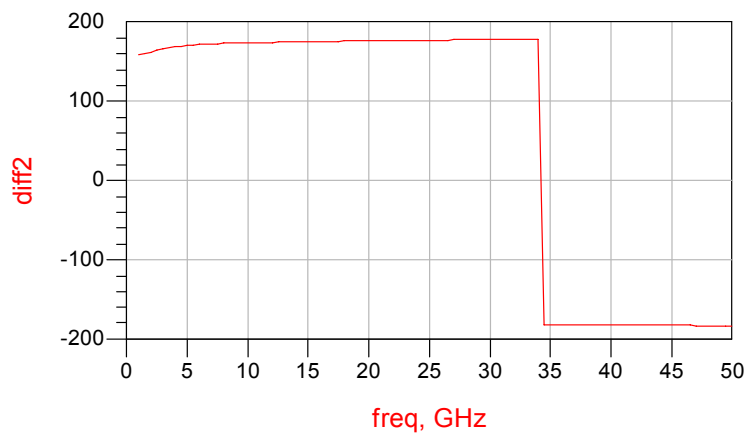


圖(3.17) 變壓器形式 Marchand balun

Marchand Balun, 其輸入阻抗為一電感性, 因為要銜接於混頻器轉導極 MOS 的閘極端, 其輸入阻抗為一電容性, 所以模擬時要做到比較高頻, 因為電容性, 銜接之後, 其共振頻率會往低頻移動; 正確做法應實際看進去混頻器阻抗設定 port2 和 port3 的阻抗進行模擬; 模擬 S_{11} 如圖(3.18), S_{21} 、 S_{31} 如圖(3.18), 再來模擬 S_{21} 與 S_{31} , 其相位差, 如圖(3.19)所示, 輸入阻抗 S_{11} 均小於 -10 dB, 轉換損耗理想是 -3 dB, S_{21} 、 S_{31} 與其相差不多, 表 3.1 做總結。



圖(3.18) 輸入返回損耗 (S_{11}) 與 Magnitude (S_{21} & S_{31})



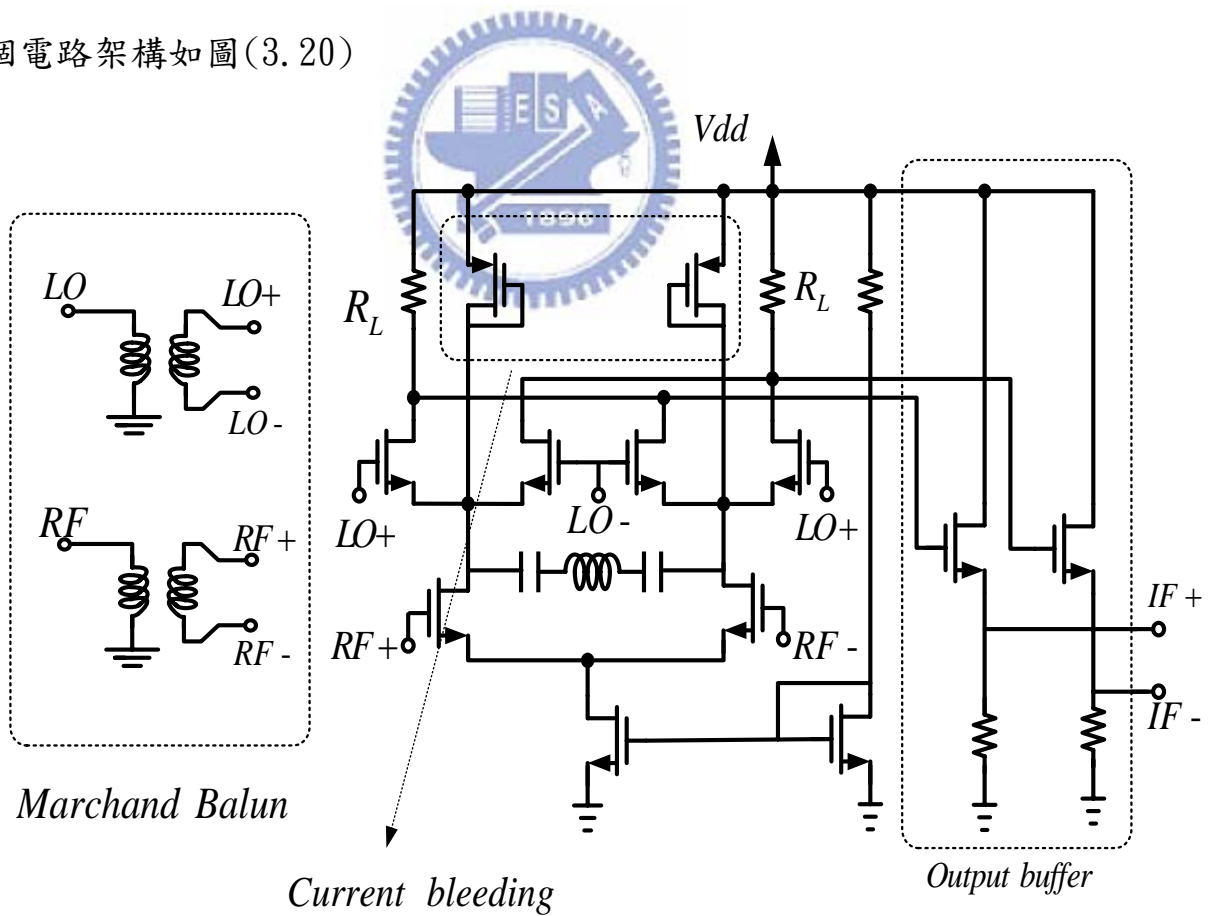
圖(3.19) phase difference ($S_{21} - S_{31}$)

表(3.1) 變壓器形式 Marchand Balun Summary

frequency	40 GHz
S_{11}	-20 dB
S_{21}	-5 dB
S_{31}	-6 dB
Phase difference ($S_{21} \sim S_{31}$)	$180^\circ \pm 2$
Size	$160 \mu m \times 100 \mu m$

3.3.3 本地震盪源與射級輸入級

RF與LO 端我們採用Marchand balun 產生differential 訊號，整個電路架構如圖(3.20)

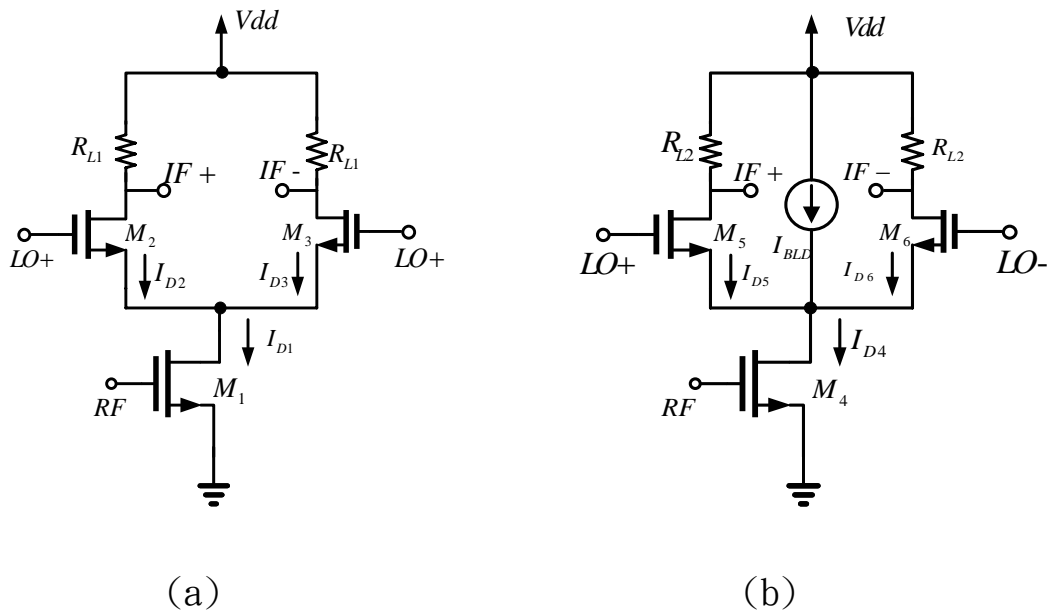


圖(3.20) Marchand Balun 技術降頻器電路

我們可以看出 Marchand balun 是由兩個四分之一波長 Microstrip transformer 所構成，訊號由 port1 進去到另一端為開路，耦合到 port2 和 port3 出去，且為 differential 訊號，易整合於混頻器 RF 與 LO 端。因為放在吉伯特混頻器的 LO 與 RF 端，如果 Marchand balun 所產生的訊號 Port2 和 Port3 夠平衡，則埠對埠的隔離度 S_{23} 、 S_{32} 比較好，相對的其 Magnitude 的要求則沒那麼嚴格，只要 LO 的功率夠大，足夠讓 Gilbert cell 的電晶體產生混頻的效果即可。

3.3.4 current bleeding 技術

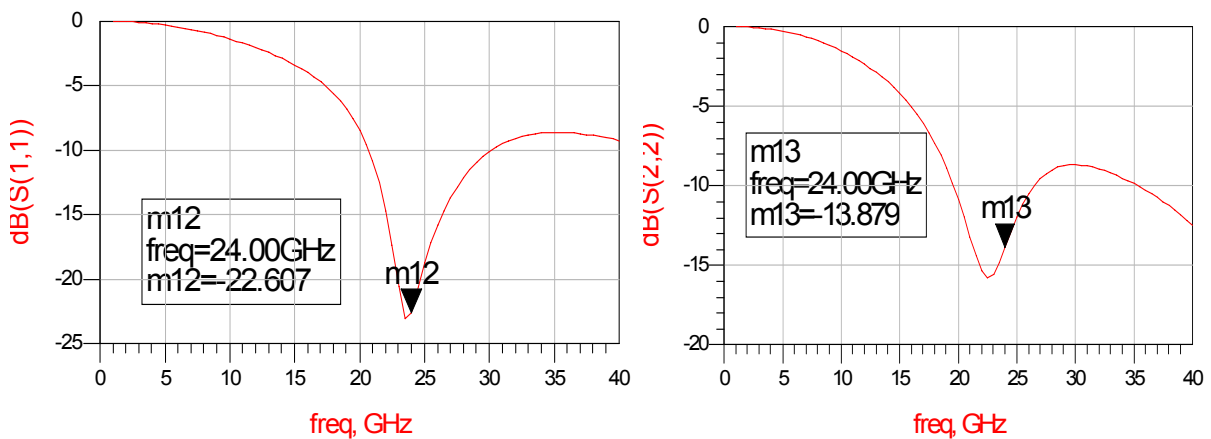
於圖(3.21)(a)所示，單平衡混頻器其電壓轉換增益為 $\frac{2}{\pi} g_{m1} R_{L1}$ ，如要增加電壓轉換增益要增加 I_{D1} ，進而增加 g_{m1} ，但是功率消耗(power consumption) 進而增加，線性度變差，如果我們使用 current bleeding, 如圖(3.21)(b)所示，增加一路電流 I_{BLD} ， I_{D5} 、 I_{D6} 相較於 I_{D2} 、 I_{D3} 電流相對變小， I_{D1} 、 I_{D4} 兩者都一樣，所以我們就可以增加 R_{L2} ，可以增加電壓轉換增益，在不消耗過多功率而線性度線性度變差的情況下，於圖(3.20)我們使用主動式負載，來當作 current bleeding 路徑來使用。



圖(3.21) (a)單端平衡混波器 (b)current bleeding示意圖

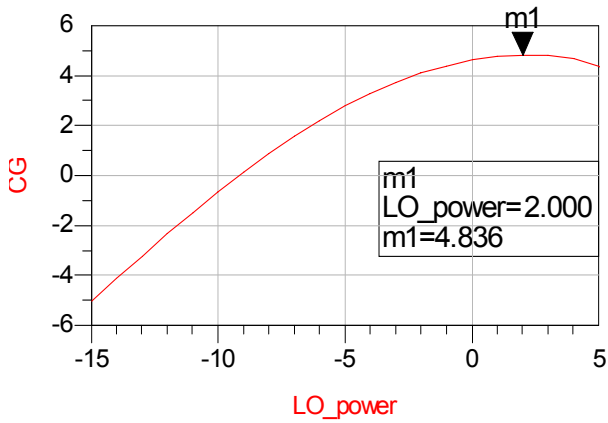
3.3.5 24GHz混頻器模擬與量測結果

模擬結果

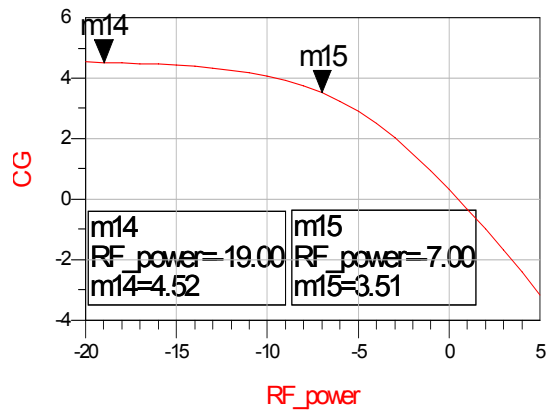


圖(3.22) RF port return loss

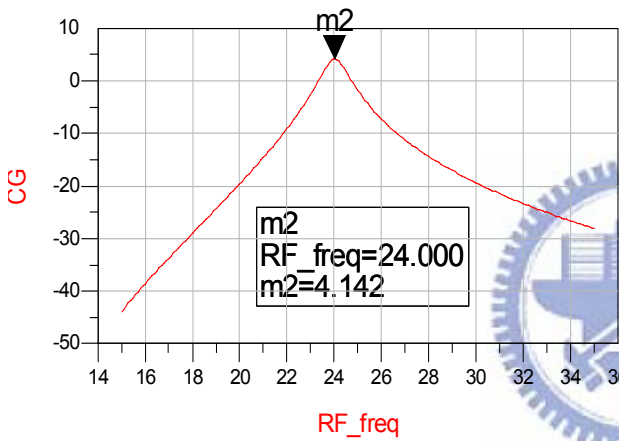
圖(3.23) LO port return loss



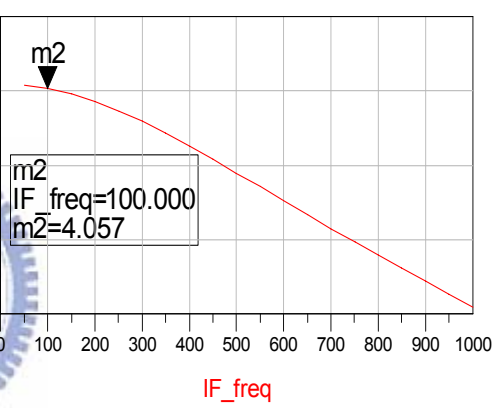
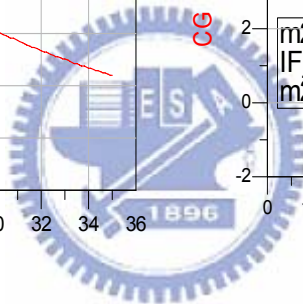
圖(3.24) CG VS LO power



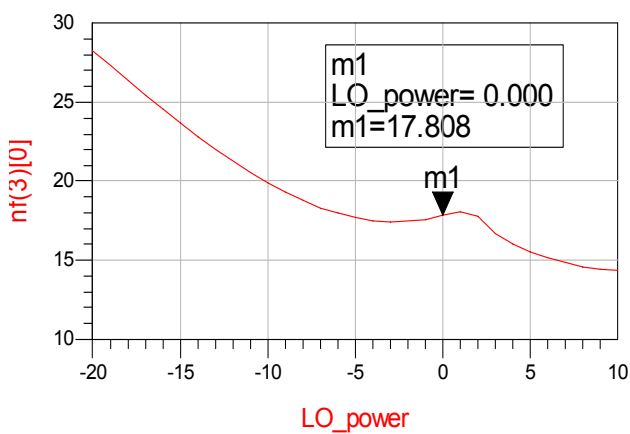
圖(3.25) CG VS RF power



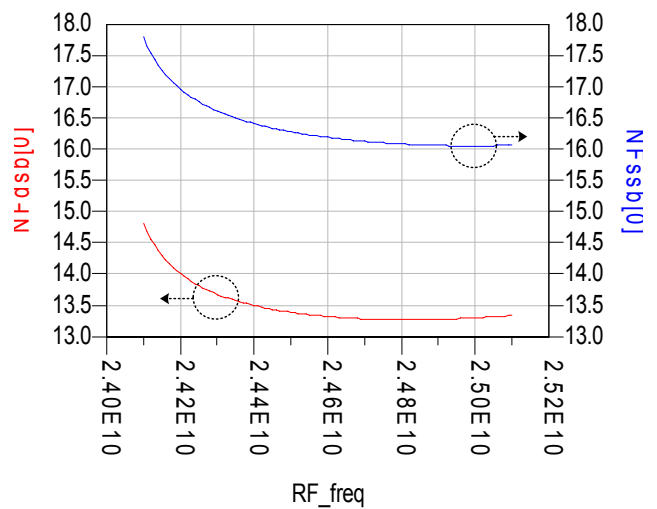
圖(3.26) CG VS RF Frequency



圖(3.27) CG VS IF Frequency

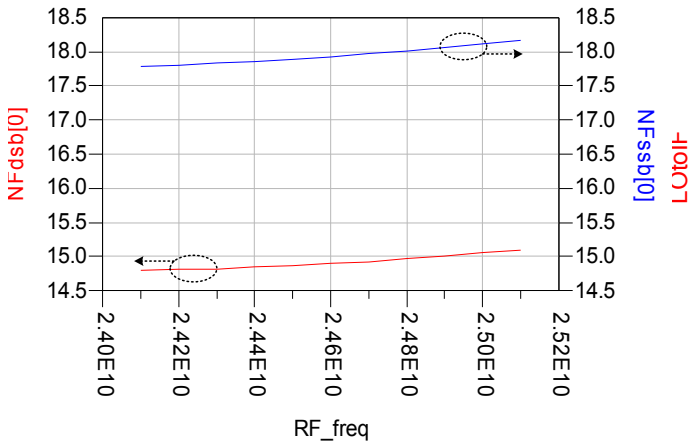


圖(3.28) NF VS LO power

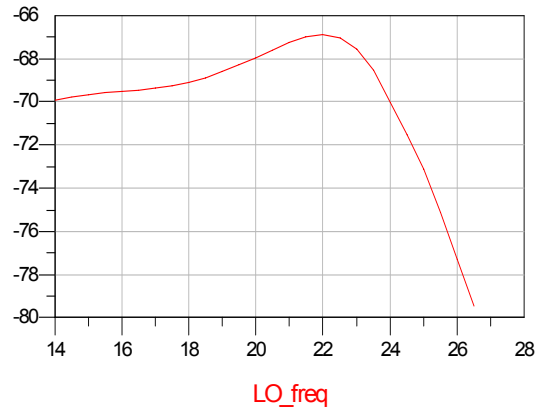


圖(3.29) NF VS RF Frequency

(fix LO Frequency)

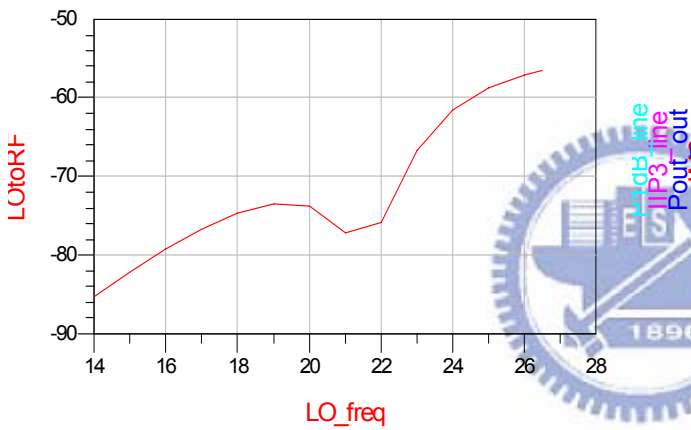


圖(3.30) NF VS RF & LO Frequency

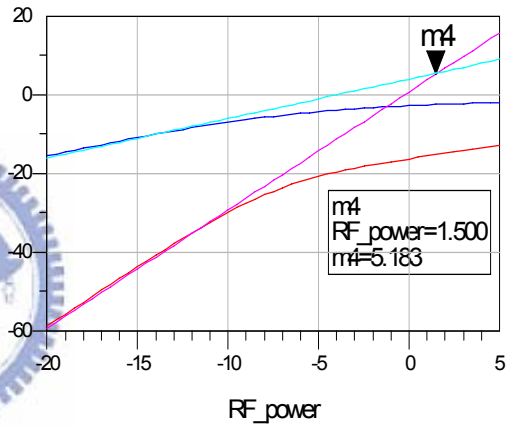


圖(3.31) Isolation LO to IF

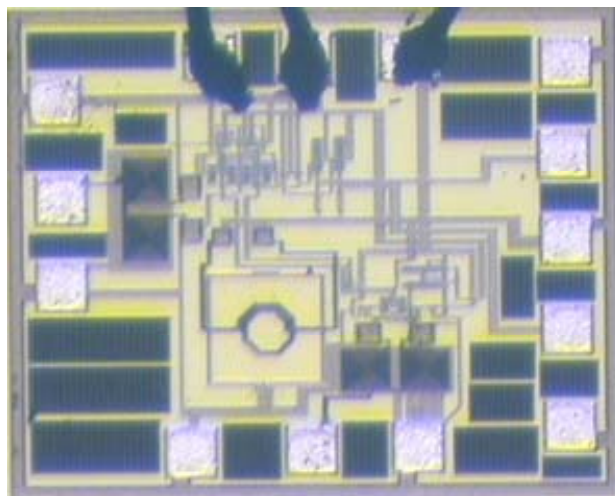
(fix IF Frequency)



圖(3.32) Isolation LO to RF

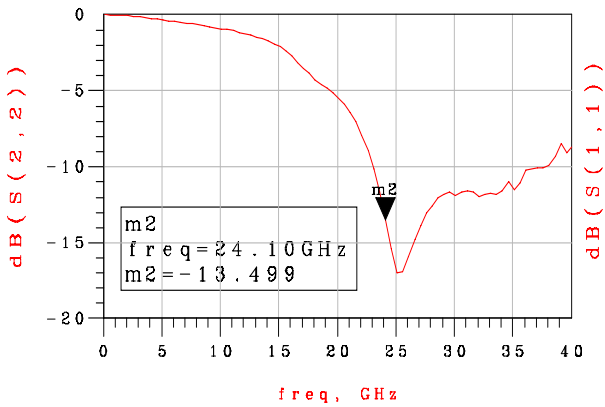


圖(3.33) IIP₃

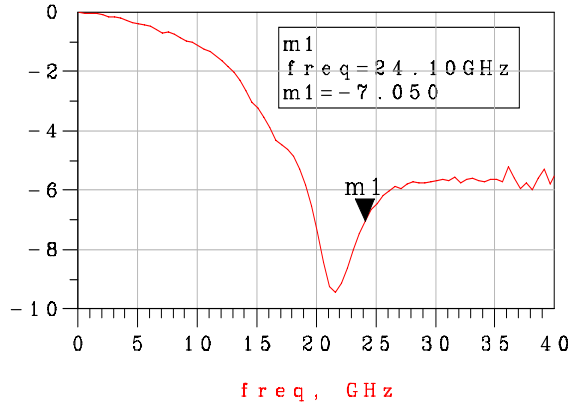


圖(3.34) 24GHz 混頻器 die photo

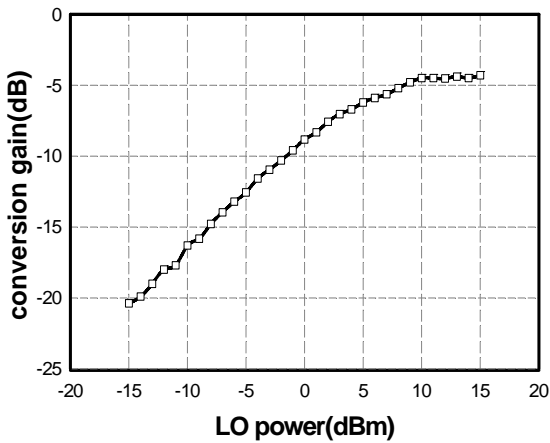
量測結果



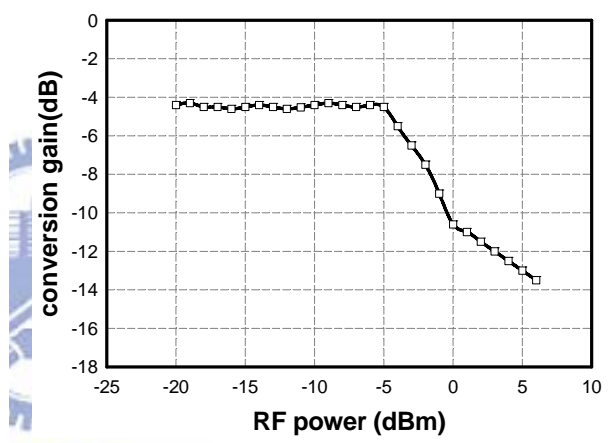
圖(3.35)量測RF port RL



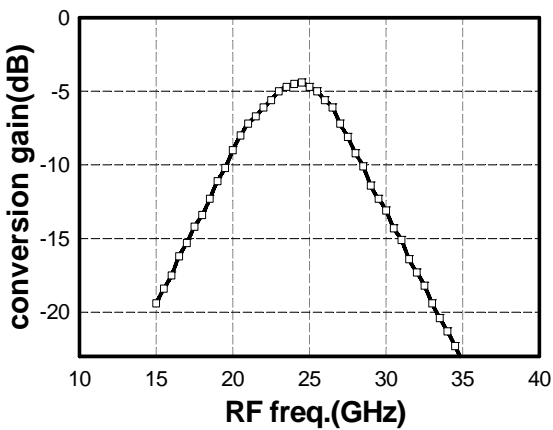
圖(3.36)量測LO port RL



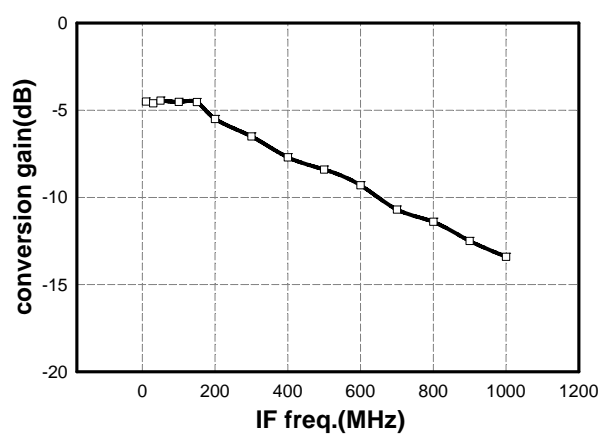
圖(3.37) 量測CG VS LO power



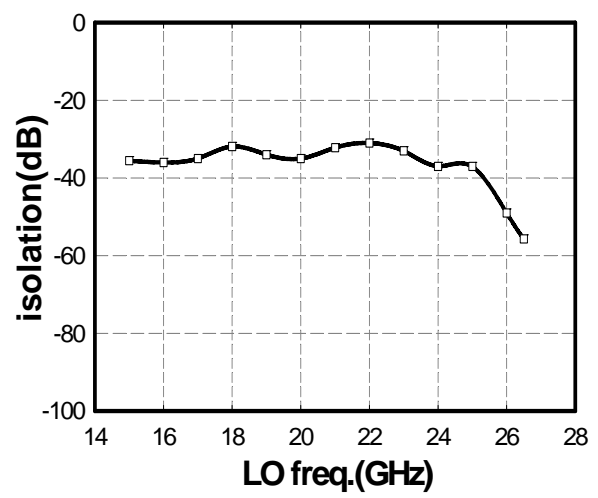
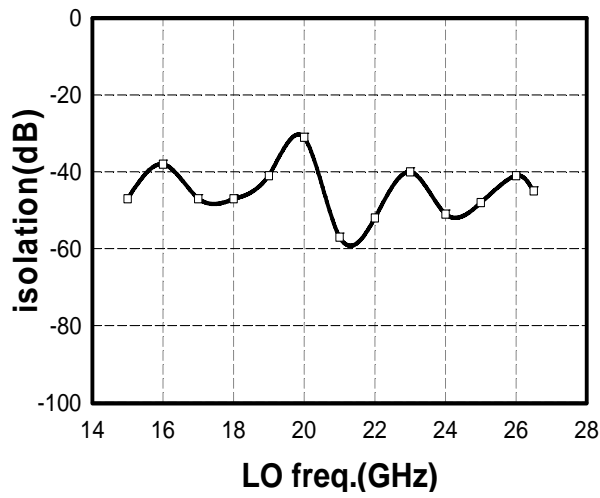
圖(3.38) 量測CG VS RF power



圖(3.39)量測CG VS RF Frequency



圖(3.40)量測CG VS IF Frequency



圖(3.41)量測Isolation LO to RF 圖(3.42)量測Isolation LO to IF

表 3.2 24GHz 混頻器 Summary

	simulation	measurement
process	TSMC 0.18um CMOS	
DC current	20mA@1.8V	
Conversion gain	4.5dB@LO:0dBm	-4.5dB@LO:10dBm
IP1dB	-7dBm	-4dBm
IIP3	1.6dBm	N/A
NF	18dB	N/A
LO-to-IF isolation	-60dB	-40dB
LO-to-RF isolation	-50dB	-40dB
RF return loss	<-10dB	<-10dB
RF return loss	<-10dB	<-7dB
Chip size	1*1mm ²	

3.4 結果與討論

由上面模擬與量測結果結果有些差距, 被動電路Marchand balun 整合到積體電路中有RF port 不錯的return loss 但是 L0 port 的 return loss平飄, 整個晶片面積只有 $1 \times 1 \text{ mm}^2$ 。圖(3.37)表示出在L0 Power=-10 dB_m有約-4.5 dB的轉換增益, 與模擬圖(3.24)L0 power只需0 dB_m相差甚遠, 當初模擬把Pad效應大約估計一個電容, 但是實際把 layout抽RC帶進去電路再模擬, 加上corner case 跑到最差的狀態SS, 我們使用主動式負載, 如果整個製程漂移, 而使整個特性變差。所以在很高頻24GHz操作, layout 顯得的很重要, 還有Pad效應影響考慮進去, 製程參數的準確度, model 準確度就變的很重要。總歸一句就是做的不太好, 事前應該多把一些不確定因素考慮進來。

第四章

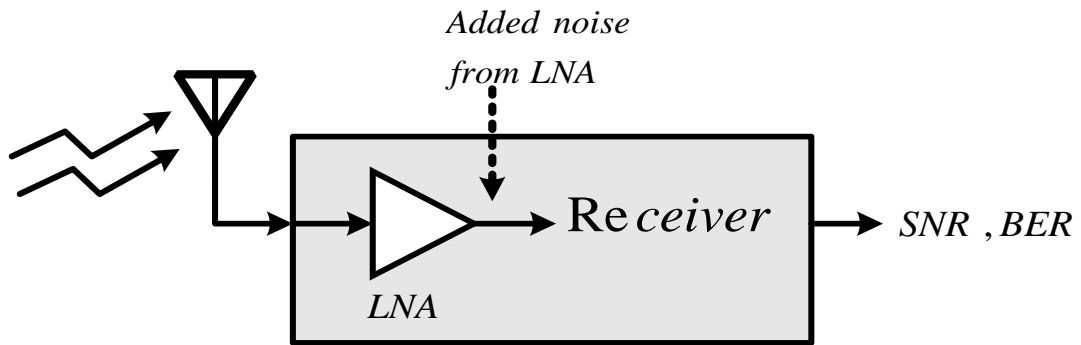
24 GHz

低雜訊放大器



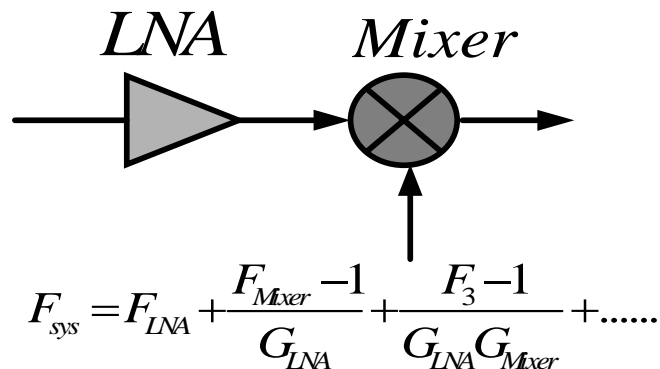
4.1 簡介

LNA在整個通訊架構,通常接在前端,主要提升整個從天線訊號接收的微弱信號,如圖(4.1)所示:



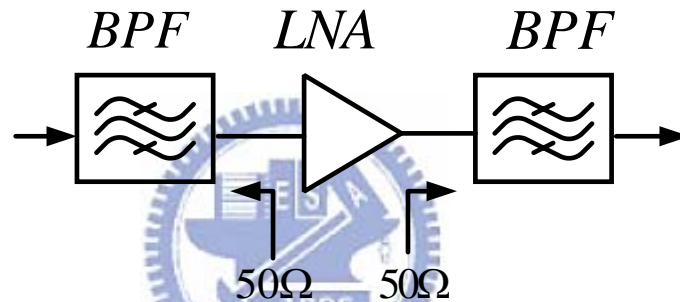
圖(4.1) LNA 功用示意圖

減少整個接收機本身的雜訊對訊號雜訊比的影響,盡可能貢獻少許雜訊,必須提供足夠的增益(sufficient gain),進而使雜訊對隨後混頻器或是中頻濾波器(IF Filter)貢獻減到最少,但是也不可設計太大,這樣會影響到混頻器的線性度,比較容易震盪,一般都設計10dB到20dB之間,如圖(4.2)所示:



圖(4.2) LNA、Mixer 串接系統示意圖

必須擁有一定程度的線性度，避免接收頻帶附近未被射頻濾波器濾除的強干擾訊號對接收訊號造成影響。此外，低雜訊放大器必須作輸入端能夠保證可用功率(available power)能傳送到低雜訊放大器，而輸出端的阻抗匹配，能造成最大功率(maximum power)轉移到負載，低雜訊放大器的前級通常還會置放一個帶通濾波器，而濾波器的輸出阻抗通常為 50Ω 阻抗，為了避免不必要的反射造成信號衰減與訊雜比降低，如圖(4.3)所示：



圖(4.3) 低雜訊放大器前後級匹配

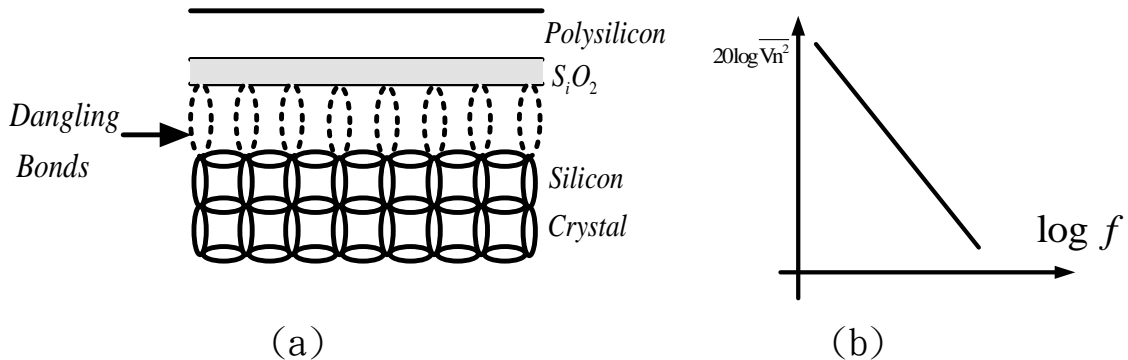
4.2 CMOS 雜訊種類

CMOS 雜訊可分為兩大類：閃爍雜訊(flicker noise)、熱雜訊(thermal noise), PN接面 shot noise 正比電流, MOS 閘極電流為零, 所以不考慮。閃爍雜訊和頻率成反比，所以又稱為 $1/f$ Noise, 熱雜訊包括電阻熱雜訊雜訊、通道熱雜訊 $\overline{i_{nd}^2}$ 、閘級感應熱雜訊 $\overline{i_{ng}^2}$ 與分散閘級熱雜訊。

4.2.1 閃爍雜訊(flicker noise)

在電晶體中閘級氧化層與矽基板之界面，因為矽晶體將會到達此界

面一端，許多不連接之鍵結(dangling)將會出現，而產生一多餘的能階，如圖(4.4)(a)。當電荷載子在界面移動時，某些載子會被隨機捕捉而以此能階釋放，使得汲級電流產生閃爍雜訊，這是隨機產生，不是與頻率無關的白色雜訊(White noise)。



圖(4.4) (a)氧化層-矽界面的不連接鍵結(b) 閃爍雜訊頻譜

不像熱雜訊一樣，閃爍雜訊之平均功率無法輕易地預測出來，與氧化層-矽晶面的清潔度有關，閃爍雜訊可能產生不同的數值且隨著 CMOS 製程而改變。在此以一電壓源與開級串聯來建立閃爍雜訊的模型式子(4-1):

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \cdot \frac{1}{f} \quad (\text{V}^2/\text{Hz}) \quad (4-1)$$

其中 K 為製程相關常數。由式子 (4-1) 所示，雜訊頻譜密度與頻率成反比。換句話說，不連接鍵結的捕捉釋放現象在低頻時更常發生，如圖(4.4)(a)(b)所示。因此閃爍雜訊也稱做 $1/f$ 雜訊。(4-1) 亦指出，在低雜訊應用時，WL 即元件面積必須增加，亦即說明較大的開級電容減緩在通道電荷的變動。而 PMOS 元件的 $1/f$ 雜訊比 NMOS 小，

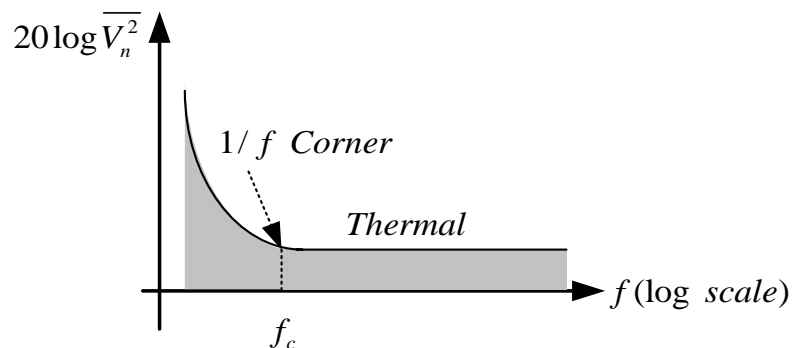
是因為前者在埋入通道 (buried channel) 中攜帶電洞，亦即在氧化層—矽界面下某段距離中攜帶電洞。

為了量化在一給定的元件中 $1/f$ 雜訊相對於熱雜訊的特性，在同一軸上繪出兩個頻譜密度如圖(4.5)，稱之為 $1/f$ 雜訊的轉折頻率 (corner frequency)，其交點可當作量測被 $1/f$ 雜訊破壞最多的頻帶。輸出電流源形式的雜訊源之 $1/f$ 雜訊與熱雜訊電流源 (容後介紹) 相等轉折點 f_c 可被決定為式子(4-2)：

$$4kT \left(\frac{2}{3} g_m \right) = \frac{K}{C_{ox} WL} \cdot \frac{1}{f_c} \cdot g_m^2$$

$$f_c = \frac{K}{C_{ox} WL} \frac{3}{8kT} g_m \quad (4-2)$$

由式子(4-2)得知， g_m 變大雜訊變大 g_m 倍，但增益 (gain) 變大 g_m^2 倍，也會造成 f_c 變大， f_c 與尺寸和偏壓電流有關，一般範圍 500kHz 至 1MHz 之間。



圖(4.5) 閃爍雜訊之轉折頻率

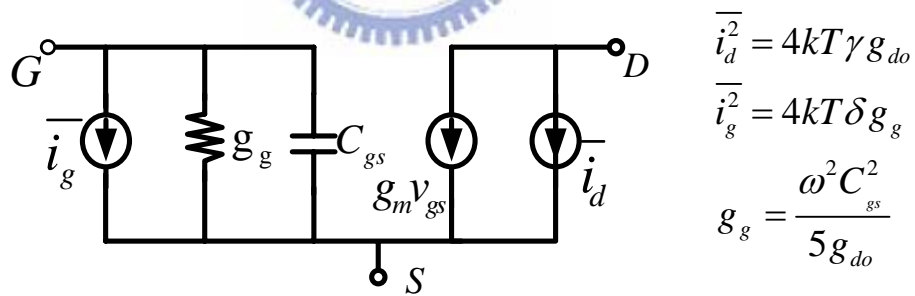
4.2.2 熱雜訊(thermal noise)

(1) 通道熱雜訊 $\overline{i_{nd}^2}$ (channel thermal noise) :

MOS 電晶體也顯示熱雜訊現象，最重要的來源是來自於通道中所產生的雜訊。在長通道 MOS 元件運作於飽和區時，可以用一連接汲級與源級端的電流源來建立通道雜訊模型如圖(4.6)，其功率頻譜密度 (power spectral density ;PSD)為式子(4-3):

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0} \quad (4-3)$$

其中 g_{d0} 為元件在 $V_{DS} = 0$ 的 g_{ds} ， γ 為通道熱雜訊係數。對於長通道元件而言， $\frac{2}{3} \leq \gamma \leq 1$ 。在短通道效應元件， γ 則大於 2~3，而且與偏壓條件有關，在長通道效應下 $0.18 \mu\text{m}$ 製程 γ 取 $\frac{2}{3}$ 。



圖(4.6) MOS 電晶體通道熱雜訊模型

(2) 閘極感應熱雜訊 $\overline{i_{ng}^2}$ (gate induced noise)

當操作在高頻時，電晶體必須考慮到通道與閘極之間的耦合效應。如圖(4.7)(b)所示，由於電容耦合效應，通道電荷的變動所產生的通道熱雜訊電流 $\overline{i_{nd}^2}$ 將會導致在閘極有一個雜訊電流。將此效應建立

一模型如圖(4.7)(a)，其功率頻譜密度為式子(4-7)所示：

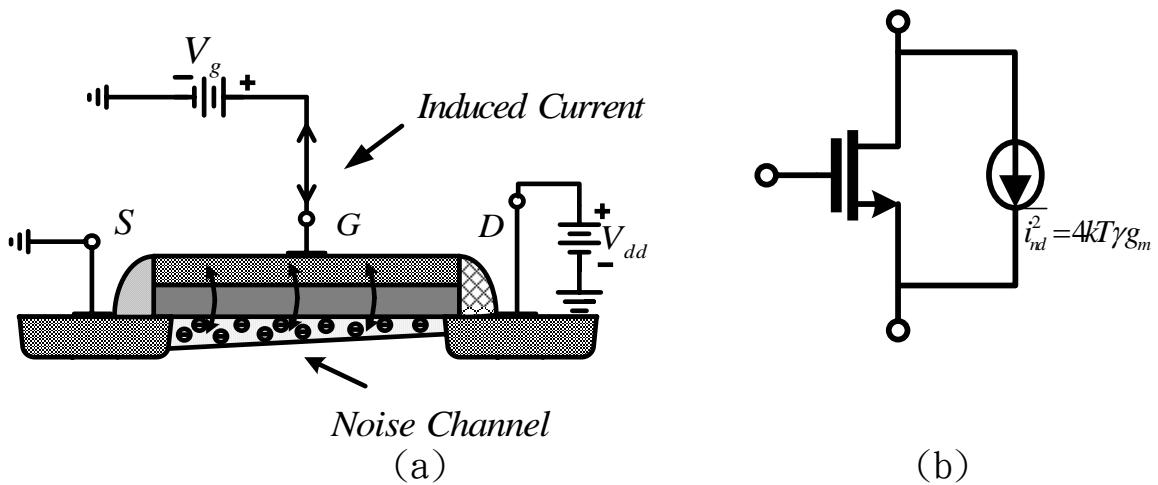
$$\begin{aligned} \overline{i_{ng}^2} &= 4kT \delta g_g \\ g_g &= \frac{\omega^2 C_{gs}^2}{5 g_{d0}} \end{aligned} \tag{4-7}$$

其中 δ 為閘極熱雜訊係數，一般而言為 $3 \leq \delta \leq 5$ 。 g_g 與 ω^2 成正比，故此感應電流雜訊並非白色雜訊源，其稱為藍色雜訊源。 i_g 與 i_d 有關係，因此可把 i_g 分成與 i_d 相關 $i_{g,c}$ 與不相關 $i_{g,u}$ ， i_g 與 i_d 相關係數 c ，如式子(4-8)：

$$c = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2} \overline{i_d^2}}} \approx 0.395 j \quad (\text{for long channel}) \tag{4-8}$$

因此閘極感應雜訊電流可以進而表示為式子(4-9)：

$$\overline{i_{ng}^2} = \underbrace{4kT \delta g_g (1 - |c|^2)}_{\text{Uncorrelated}} + \underbrace{4kT \delta g_g |c|^2}_{\text{Correlated}} \tag{4-9}$$



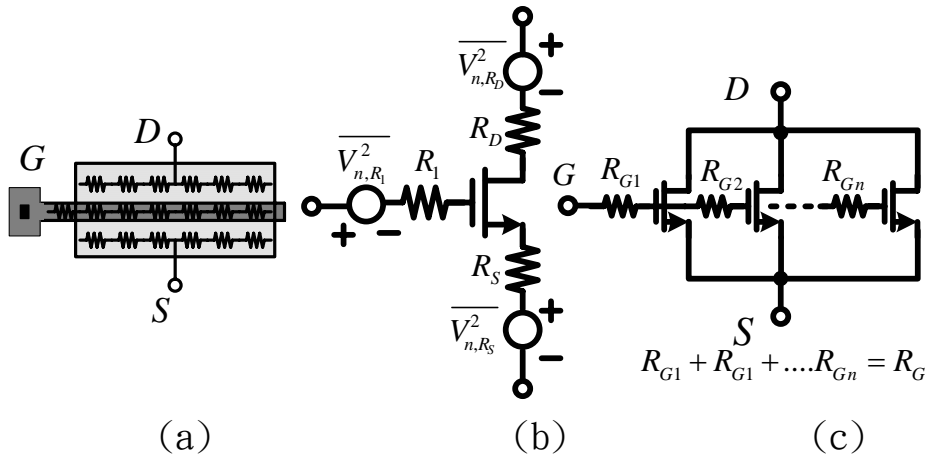
圖(4.7) 閘級感應熱雜訊 $\overline{i_{ng}^2}$ 示意圖

(3) 分佈閘極電阻熱雜訊 (distributed gate resistance noise)

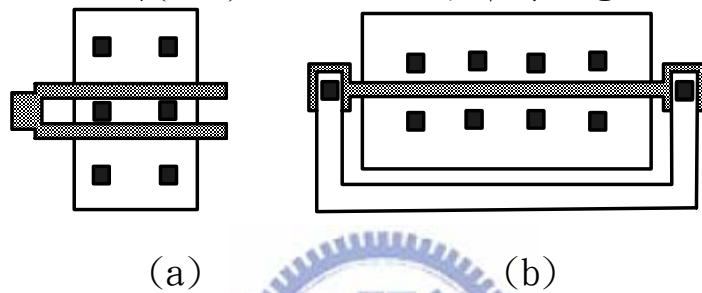
MOS 電晶體之電阻部分也將造成熱雜訊。圖(4.8)(a)說明了閘極、源極與汲極將會表現一有限電阻，故會產生雜訊。對一個相當寬的電晶體來說，源極和汲極電阻可被忽略不記，但是閘極分散電阻 (distributed gate resistance) 將變得非常重要；(4.8)(b)為電路雜訊模型，(4.8)(c)所視為所有分佈閘極電阻示意圖。此雜訊模型可用串聯在閘極的電阻來建立，而其等效閘極阻抗為，如式子(4-10)：

$$R_1 = \frac{R_G}{3} = \frac{R_w W}{3n^3 L} \quad (4-10)$$

其中 R_w 為多晶矽 (polysilicon) 的片電阻 (sheet resistance)， W 為元件總閘極寬度， L 為閘極長度， n 為元件在佈局圖時的閘極根數。故在設計電路時可用佈局的技巧來降低 R_G ，即可降低其雜訊對電路的貢獻，如圖(4-9)(a)在兩邊多增加 contact 的數目或是(4-9)(b)使用摺疊(fold)的方式。由此公式觀察到，增加閘極在佈局圖的根數時其等效閘極阻抗將會減小。但是閘極根數寬度不可以太長，否則閘極阻抗會變大，且不可以太短以避免寄生電容變大。



圖(4.8) MOSFET 之分佈閘極電阻



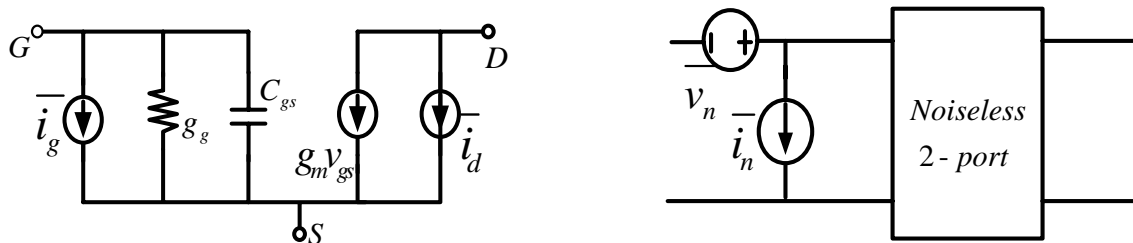
圖(4.9) 利用layout技巧降低分佈閘極電阻

4.3 CMOS 低雜訊放大器原理

4.3.1 兩埠的雜訊參數(2-port Noise Parameter)

任一雜訊元件, 都可等效成串聯電壓源加上並聯電流源沒有雜訊網路,

如圖(4.10):



圖(4.10) 以電壓源電流源表示雜訊示意圖

對於一個兩埠的雜訊元件，其雜訊指數可表示為式子(4-11)

$$F = 1 + 2(G_{opt} + G_c)R_n + \frac{R_n}{G_s} \left[(G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (4-11)$$

其中 R_n 為等效雜訊電阻， G_c 為相關雜訊源的電導， $Y_s = G_s + jB_s$ 為輸入匹配時的導納， $Y_{opt} = G_{opt} + jB_{opt}$ 為雜訊指數有最小值時候的導納。當公式(4-11)適用在 MOS 電晶體時，其雜訊最佳化的電導與電納分別為

$$G_{opt} = \alpha \omega_0 C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (4-12)$$

$$B_{opt} = -\omega_0 C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (4-13)$$

其中 c 為雜訊源之間的相關係數， $\alpha = \frac{g_m}{g_{d0}}$ 而在長通道時為 1，在短通道效應之下其值小於 1。 γ 與 δ 為熱雜訊係數。由(4-12)、(4-13)可看出 G_{opt} 、 B_{opt} 均隨頻率而變，因此在寬頻中要設計一匹配網路而達此兩者特性是非常困難的。儘管如此，在 $Y_s = Y_{opt}$ 時有最小雜訊指數為

$$\begin{aligned} F_{min} &= 1 + 2(G_{opt} + G_c)R_n \\ &= 1 + \frac{2\omega_0}{\sqrt{5}\omega_T} \sqrt{\gamma\delta(1 - |c|^2)} ; \omega_T = \frac{g_m}{C_{gs}} \end{aligned} \quad (4-14)$$

式子(4-14)中 ω_0 與 ω_T 分別為操作頻率、截止頻率。增加 ω_T ， g_m 要增大造成汲極與源極間的電流，進而增大功率消耗，以降低 F_{min} ，可以降低雜訊指數；操作高頻時雜訊比較高。公式也說明了若是沒有閘級感應熱雜訊，則最小雜訊指數為 $F_{min} = 1(0dB)$ ，然而因為閘極感應熱雜訊與汲極感應熱雜訊有部分不相關，故電晶體 MOS 放大器之最低雜

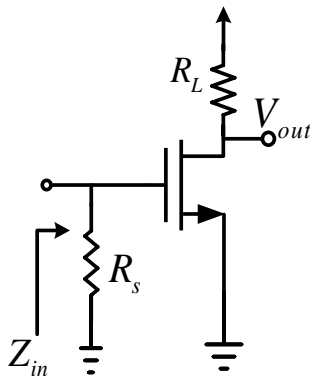
訊指數大於0dB。

4.3.2 CMOS 低雜訊放大器電路架構

低雜訊放大器對雜訊的貢獻能越小越好，一般設計在雜訊指數(NF)2至4之間，看應用而定，一般CMOS低雜訊放大器，常見的四種放大器電路架構；一般而言窄頻(narrow band)匹配輸入端並聯一個電感與電阻，利用電感共振掉寄生電容 C_{gs} ，頻寬與電感的品質因素Q有關，使其看進去阻抗為電阻的 50Ω ；寬頻的匹配是使用一個電阻硬拉其輸入阻抗到 50Ω ，電阻消耗一些功率在電阻上，操作頻率應該小於 $\frac{1}{50 \times C_{gs}}$ ，這類似低通濾波器超過 ω_{3dB} 頻寬其訊號很快衰減。消耗功率與雜訊指數是互相作取捨。

(1) 電阻性終端架構(Resistive Termination):

當放大器需要良好的 50Ω 輸入阻抗時，但不在意輸入功率的損耗，可以採用圖(4.11)之架構。不過由與使用具熱雜訊之電阻元件，貢獻額外的雜訊，由式子(4-15)(4-16)看出雜訊指數永遠大於2(3dB)以上，增益與雜訊指數作取捨。



$$F_{\min} \geq 2 + \frac{4\gamma}{g_m R_s} \quad (4-15)$$

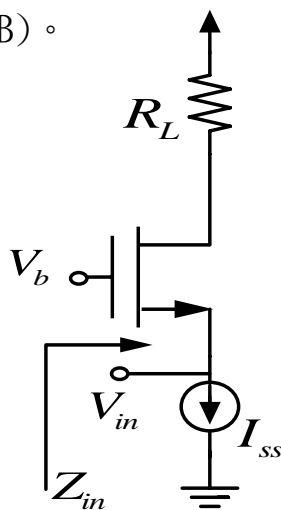
$$\text{Gain} = -g_m R_L \quad (4-16)$$

圖(4.11) 電阻性終端架構

(2) 轉導終端架構($\frac{1}{g_m}$ Termination):

MOS由源級看進去阻抗約等於 $\frac{1}{g_m}$ ，由汲極看進去的阻抗約等於 r_o 。

此架構為共閘極電路架構如圖(4.12)所示，輸入為源級，因此輸入阻抗為 $\frac{1}{g_m}$ ，可以有寬頻的輸入匹配；若適當選擇電晶體元件尺寸與偏壓電流則可得到 50Ω 的阻抗，其雜訊指數最小為式子(4.17)用於低頻且忽略感應閘極熱雜訊，對於長通道(long channel)MOS而言， $\gamma = 2/3$ ， $\alpha = 1$ ，雜訊指數大於1.66(2.2dB)。但現今的製程受短通道(short channel)之影響 $\gamma > 1$ 、 $\alpha < 1$ ，故此架構，雜訊指數至少大於3(4.7dB)。



$$F_{\min} \geq 1 + \frac{\gamma}{\alpha} \quad (4-17)$$

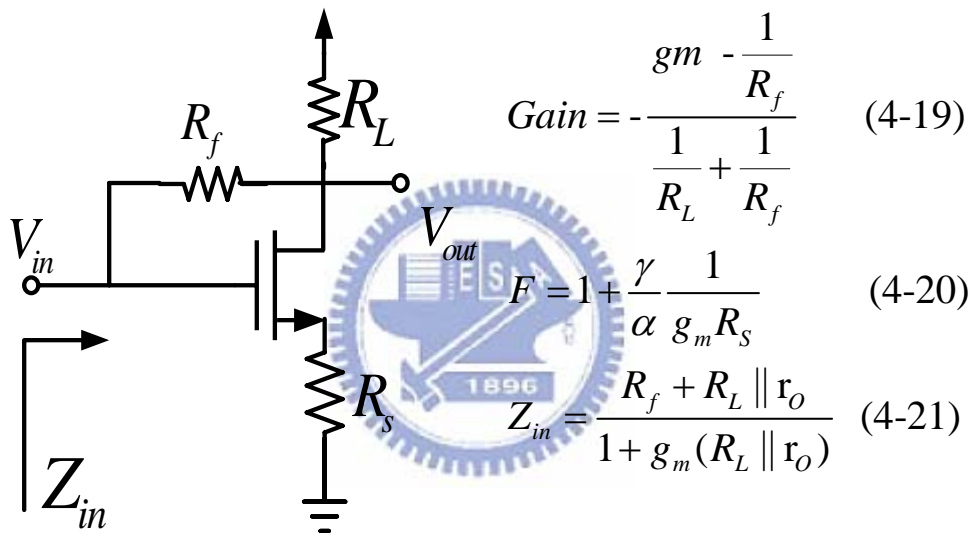
$$\text{Gain} = g_m R_L \quad (4-18)$$

圖(4.12) 轉導終端架構

(3) 並聯串聯式回授架構(Shunt-Series Feedback):

如圖(4.13)所示，利用串聯並聯電阻負回授對輸入與輸出做阻抗匹配，一般負回授有降低增益(4-19)看出來跟延展頻寬特性，電阻

回授網路亦產生一熱雜音，於(4-20)在大尺寸MOS其 $\gamma \approx \frac{2}{3}$ ，雜訊指數F大於1.66(2.2dB)，在短通道MOS其 $\gamma \approx 2$ ，F約大於3(4.7dB)，該電路的雜訊指數仍然超過原始電晶體的 NF_{\min} 許多，該架構不需要額外的被動元件來匹配，因為輸入組抗(4-21)中看出，沒有電感與電容的效益，此回授式放大器再適當調整尺寸跟偏壓點，就可有寬頻的表現，一般使用在光纖通訊與有線通訊。



圖(4.13) 並聯串聯式回授架構

(4) 共源極電感退化型架構(Inductive Source Degeneration):

之前描述的三種利用外部電阻達到輸入端阻抗匹配的方法，皆呈現noisy 電阻在訊號路徑而使得noise figure 衰減，電感與電容元件皆不會貢獻noise。如此現在提供一個較理想的阻抗匹配電路架構－源極電感回授電路架構，此回授方式為series-series，這方法一重要優點為阻抗的實部值是經由電感的選擇而決定，如圖(4.14)(a)所示，

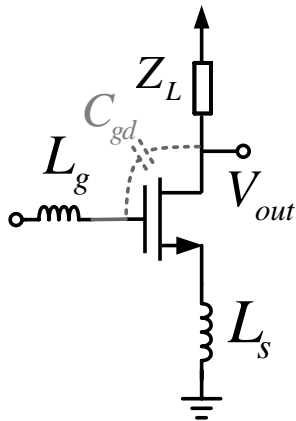
阻抗項 $(\frac{g_m}{C_{gs}}) \cdot L_s$ 不會貢獻額外的noise。輸入阻抗為式子(4-22):

$$Z_{in} = (\frac{g_m}{C_{gs}})L_s + j\{(\omega L_s + L_g) - \frac{1}{\omega C_{gs}}\} \quad (4-22)$$

輸入組抗匹配在 50Ω , 在頻率 ω_0 時

讓 $\text{Re}(Z_{in}) = 50 \Omega$, 設計 $R_s = \frac{C_{gs}}{g_m} L_s = 50\Omega$

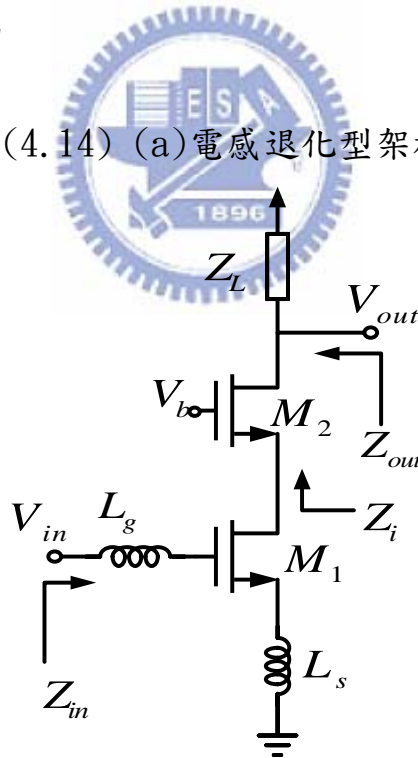
讓 $\text{Im}(Z_{in}) = 0 \Omega$, 設計 $\omega_o(L_s + L_g) - \frac{1}{\omega_o C_{gs}} = 0$



$$G_T = \frac{R_L}{R_s} (\frac{\omega_T}{\omega})^2 \quad (4-23)$$

$$F_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\delta\gamma(1-|c|^2)} \quad (4-24)$$

圖(4.14) (a)電感退化型架構



圖(4.14) (b)疊接電感退化式架構

輸入阻抗為一串聯的RLC 網路，其阻值與電感值有一比例關係。

由上式須注意電容 C_{gs} 對輸入阻抗貢獻一負的電阻，有一比例關係。

此效應促使輸入端不易匹配至 50Ω ，為解決該問題可加入 L_g 電感增加正的電阻值，由 Z_{in} 方程式可知，當共振現象發生時則輸入阻抗呈現一實電阻的特性，因此我們將設計 Z_{in} 取實部必須等於 50Ω ；電感 L_s 需要高Q值，通常選擇外接電感器，電感 L_g 都是做到IC裡面的螺旋電感(spiral inductor)；圖(4.14)(a)存在穩定度(stability)上有Miller effect的問題， C_{gd} 同常會貢獻的較低頻極點，圖(4.14)(b) Z_i 看進去組抗為 $\frac{1}{g_m}$ ，把 C_{gd} 貢獻極點往高頻推，比起(4.14)(a)有比較高的增益犧牲頻寬，可以較小的功率消耗，但是輸出端被MOS overdrive電壓限制住，擺幅大小被壓縮，線性度變的比較較差，疊接組態有加強阻隔輸出端至輸入端的反向信號，因為 Z_{out} 為一很大的組抗，輸出信號變化除大組抗，對輸入而言為一個微弱的信號。

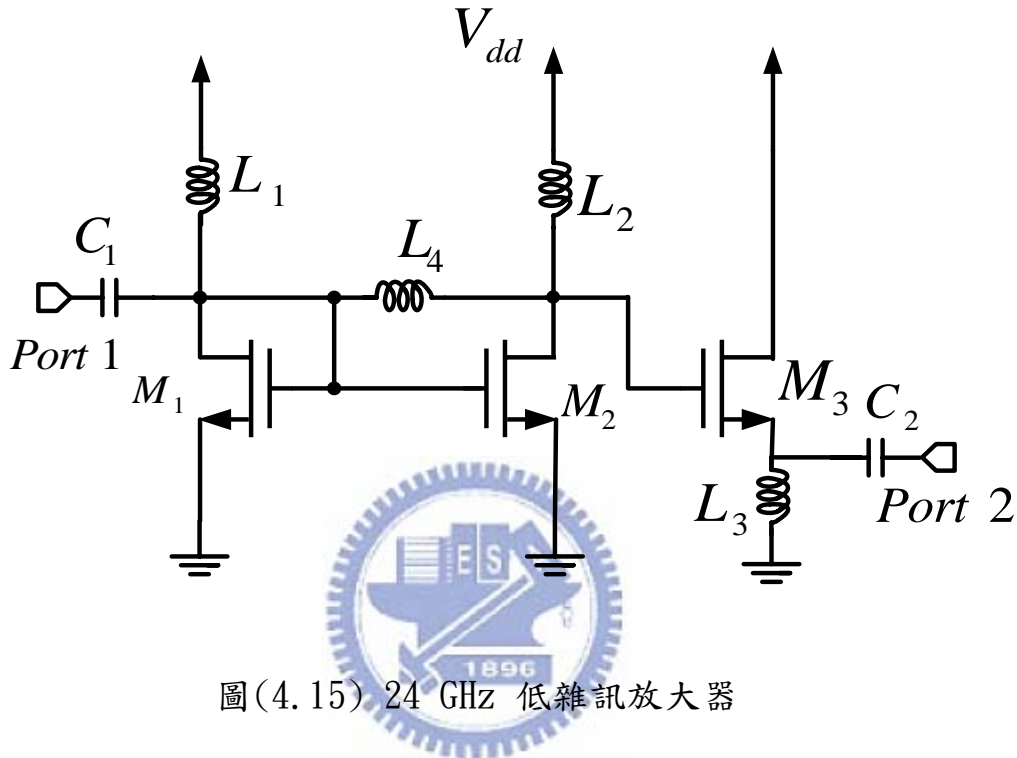
4.4 24GHz CMOS 低雜訊放大器設計與製作

低雜訊放大器在設計上考量包含：雜訊指數、增益、功率消耗與足夠的線性度，一般而言，雜訊指數降低 ω_T 變大造成較大的功率消耗；設計電晶體尺寸前，先決定的偏壓DC bias與 V_{gs} ，決定最小雜訊指數；過小的偏壓會使增益變小而影響整個系統雜訊指數變大；在一定消耗功率下決定尺寸W；再來是阻抗匹配，使用L與C來匹配。

4.4.1 24 GHz 低雜訊放大器電路的實現

前面圖(4.13)中使用電阻負回授，缺點回授電阻貢獻額雜訊，我們

這次所要實現 24 GHz 低雜訊放大器，如圖(4.15)所示，我們使用兩個背對背相接(back to back)的共源級放大器，使用一個電感 L_4 來回授來延展頻寬降低雜訊，再接一級緩衝級放大器作為整個電路的輸出。

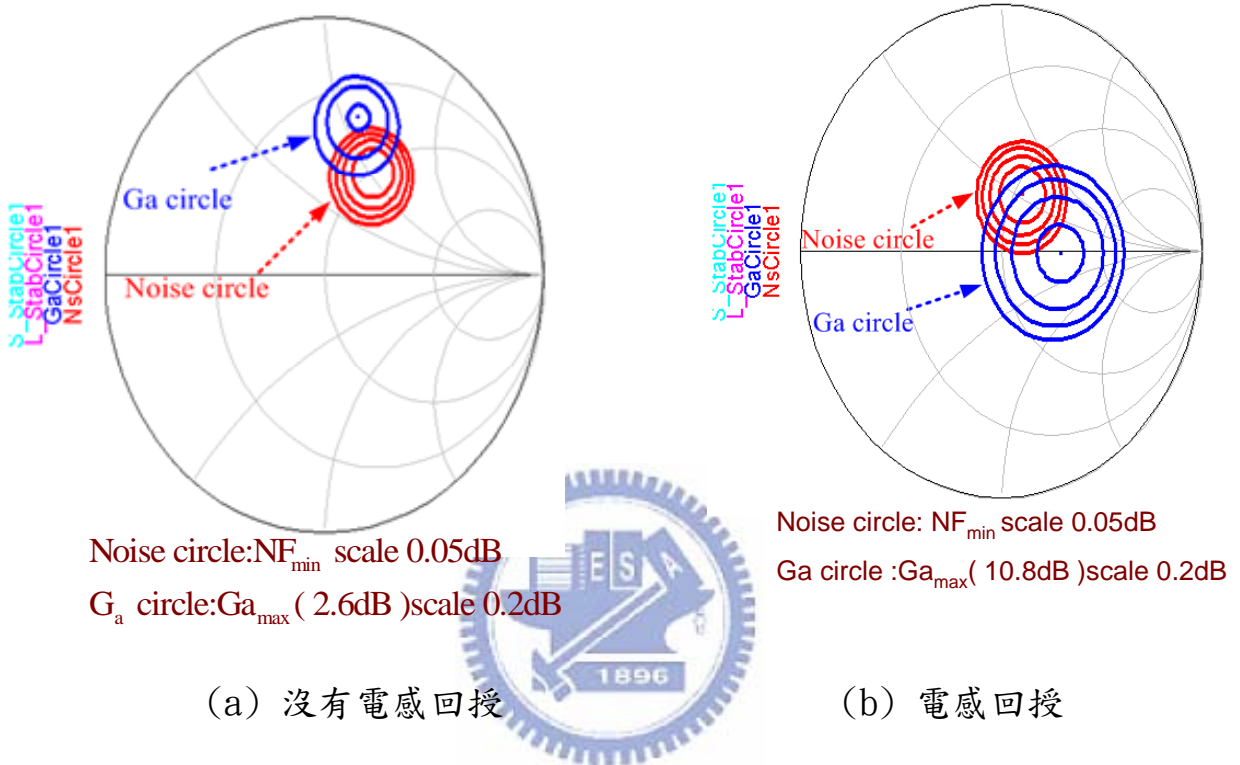


圖(4.15) 24 GHz 低雜訊放大器

於圖(4.8)電晶體 M_1 為輸入級，作為雜訊的匹配，電晶體 M_2 為增益的與雜訊指數的匹配；增加 ω_T 可以降低雜訊指數，降低 C_{gs} 與 C_{gd} 的效應，才能提升 ω_T ，所以我們用 L_1 共振掉 M_1 的 C_{gs1} ，用 L_2 共振掉 M_2 的 C_{gs2} ，我們在用 L_4 共振掉 M_1 與 M_2 的 $C_{gd1,2}$ ， L_4 路徑當作一個負回授，來增加其穩定度； L_1 、 L_2 又可當作一個RF chock，來阻隔RF訊號用， C_1 與 C_2 來當作一個DC block來阻隔DC訊號， L_1 與 C_1 構成一個輸入匹配， L_3 與 C_2 構成一個輸出匹配。

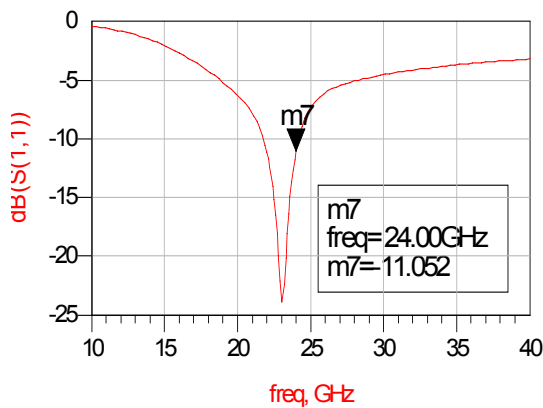
沒有電感 L_4 回授，如圖(4.16)(a)增益與雜訊沒有匹配，(4.16)(b)

使用電感負回授輸入可以匹配, 增益也可以被提升, 使的雜訊與增益更加的匹配, 在Smith chart單位圓裡面沒有不穩定圓, 表示無條件穩定。

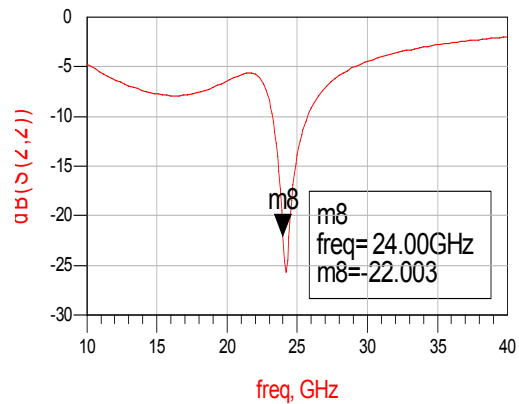


圖(4.16) 電感回授比較

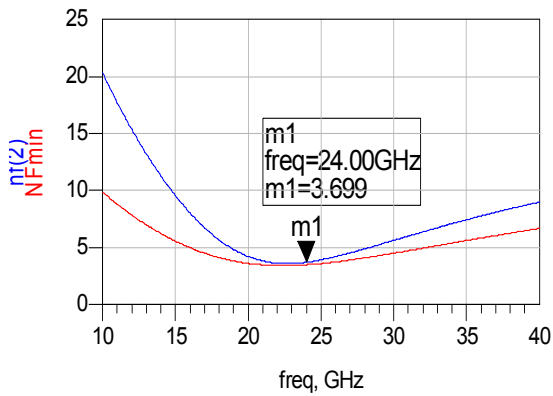
4.4.2 24 GHz 低雜訊放大器電路的模擬



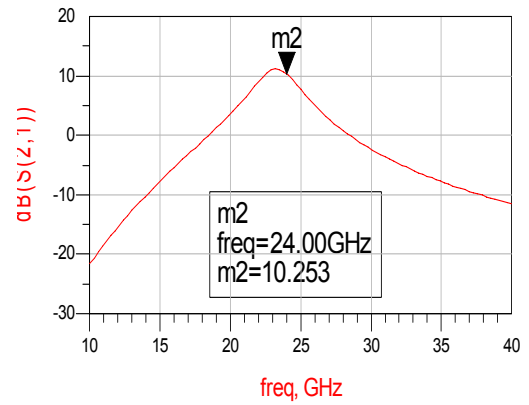
圖(4.17) 輸入return loss



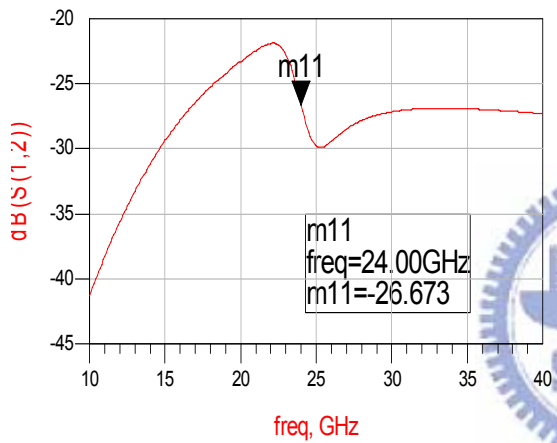
圖(4.18) 輸出return loss



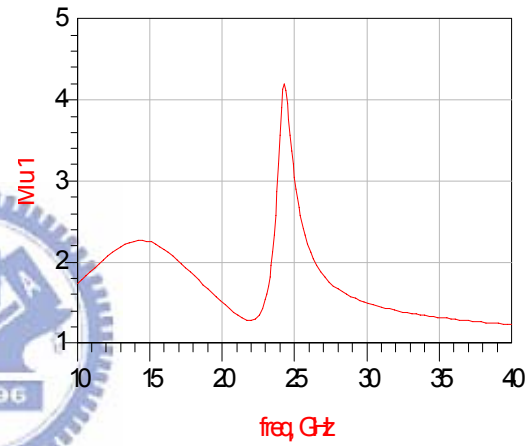
圖(4.19) noise figure



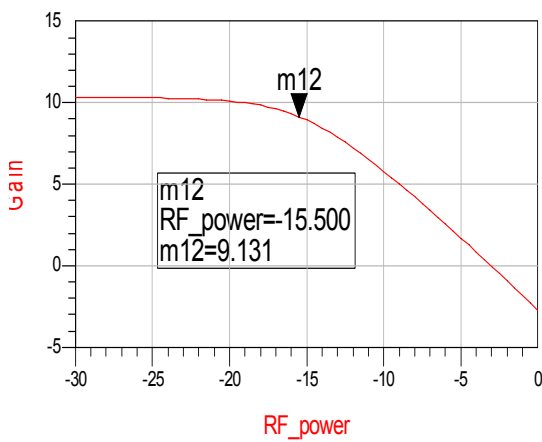
圖(4.20) 增益 S_{21}



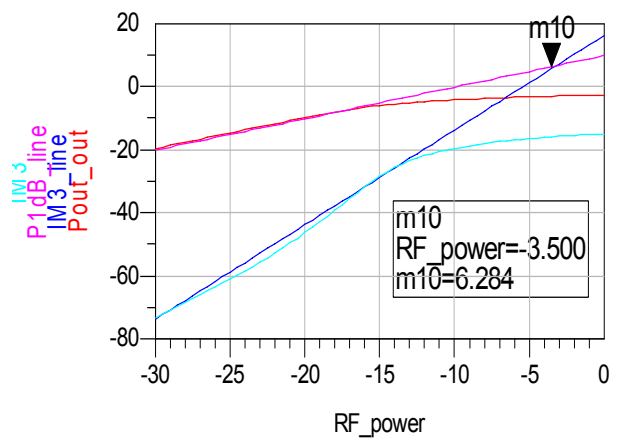
圖(4.21) 隔離度 S_{12}



圖(4.22) 穩定度 μ



圖(4.23) P_{1dB}



圖(4.24) IIP_3

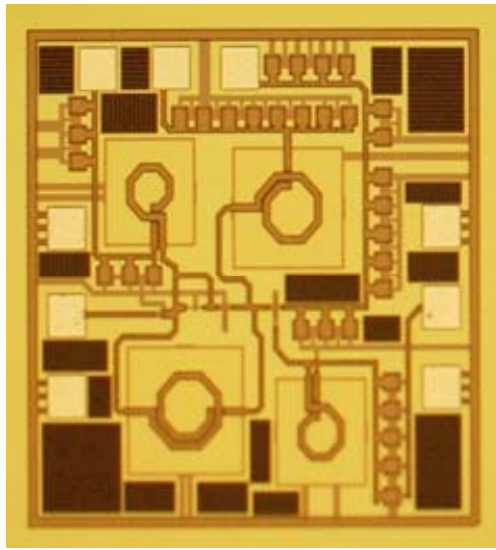


圖 (4.25) 24GHz 低雜訊放大器 die photo

item	simulation
Frequency	24 GHz
Gain	10dB
Noise figure	3.7dB
S₁₁	< -10dB
S₂₂	< -10dB
Isolation(S₁₂)	25dB
P_{1dB}	-15.5dB
IIP3	-3.5dB
DC current	0.8V 9.4mA
Chip size	1*1 mm²

表(4.1) 24GHz 低雜訊放大器預計規格表

4.5 24 GHz 低雜訊放大器討論

於圖(4.17)、圖(4.18)看出我們的阻抗匹配都有在-10 dB 以下，增益大約 10 dB 左右，於圖(4.19)看出雜訊指數約為 3.7 dB, 穩定度

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{12} S_{21}|}; \Delta = S_{11} S_{22} - S_{21} S_{12}, \text{圖(4-22)中其 } \mu \text{ 均大於 } 1, \text{代表無}$$

條件穩定, 高頻時 g_m 表現沒有低頻好, 放大增益只會使非線性項更明顯, 所以使用 cascade 而不使用 cascode 架構, cascode 在相同增益下會壓縮 3dB 頻寬, 線性度也會比較不好。表(4.1)列出 24 GHz 低雜訊放大器所有模擬結果。



第五章 結論



5.1 24GHz 混頻器與低雜訊放大器結論

本論文利用 TSMC 0.18 μm 製程, 實現 FMCW 汽車防撞雷達電路, 整個接收端, 實作 24GHz 降頻的混頻器與 24GHz 低雜訊放大器。

在第三章, 我們實做 24GHz 降頻的混頻器, 我們結合 Marchand balun 做一個 differential 訊號, 當做 RF 端與 LO 端的輸入, 模擬有 4.5dB 轉換增益, 但實際量測結果, 轉換增益-4.5dB, 模擬與量測不近乎相同, 當初在模擬對 PAD 考慮不是很完善, layout 的效應, 於高頻 24GHz 效應更加明顯, MMIC 與 RFIC 設計時候應該要好考慮 PAD 與走線的效應。

於第四章中, 我們實做 24GHz 低雜訊放大器, 我們利用電感與電容共振, 來抵消寄生效益對雜訊的影響, 進而降低雜訊指數, 得到增益有 10dB, 雜訊指數 3.7dB, 符合我們當初預期的規格。

5.2 未來工作

未來我們希望將 24GHz 壓控震盪器(VCO)與 24GHz 電壓放大器(PA), 實做而整合在一顆 IC 裡面, 進而實現 SOC 的理念。

參考文獻

- [1] 郭建男教授，〈RF Integrated Circuit Design〉，交通大學，2006年9月。
- [2] 孟慶宗教授，〈Analysis and Design of Radio Frequency Integrated Circuit〉，交通大學，2006年9月。
- [3] 張盛富教授，〈Microwave Engineering(2)〉，中正大學，2005年9月。
- [4] 張志揚教授，〈Microwave Measurement〉，交通大學，2006年9月。
- [5] 郭建男教授〈High-Frequency Circuit Design and Laboratory〉，交通大學，2007年3月。
- [6] B. Razavi, "CMOS technology characterization for analog and RF design," *IEEE J. Solid-State Circuits*, vol. 34, pp. 268-276, Mar. 1999.
- [7] B. Razavi, *RF Microelectronics*, Upper Saddle River, NJ: Prentice Hall, 1998.
- [8] John Rogers and Calvin Plett, *Radio Frequency Integrated Circuit Design*, Boston. London, MA: Artech House, April 2003.
- [9] D. K. Shaeffer and T. H. Lee, "A 1.5V 1.5-GHz CMOS Low Noise Amplifier," *VLSI Circuits Symp. Dig. Tech. Papers*, pp. 32-33, June 1996.
- [10] D. K. Shaeffer and T. H. Lee, *The Design and Implementation of Low Power CMOS Radio Receivers*. Boston, MA: Kluwer, 1999.
- [11] B. Razavi, IEEE Fellow, "A 60-GHz CMOS Receiver Front-End," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 1, January 2006.
- [12] K.-W. Yu, Y.-L. Lu, D.-C. Chang, V. Liang, and M. F. Chang, "K-band low-noise amplifiers using 0.18-um CMOS technology," *IEEE Microw. Wireless Compon. Lett.*, vol. 14, no. 3, pp. 106–108, Mar. 2004.
- [13] X. Guan and A. Hajimiri, "A 24 GHz CMOS front-end," *IEEE Journal of*

Solid-State Circuits, vol.38, Feb. 2004, pp.368-373

- [14] S.G Lee and L.K Choi, "Current-reuse bleeding mixer," *Electronics letters*, vol.36, no.8, 13th April 2000.
- [15] S. Emami, C. H. Doan, A. M. Niknejad, and R. W. Brodersen, "A 60-GHz down-converting CMOS single-gate mixer," in *Proc. IEEE Radio Frequency Integrated Circuits (RFIC) Symp.*, Jun. 2005, pp.163–166.
- [16] F. Ellinger, L. C. Rodoni, G. Sialm, C. Kromer, G. von Buren, M.L.Schmatz, C. Menolfi, T. Toifl, T. Morf, M. Kossel, and H. Jackel, "30–40-GHz drain-pumped passive-mixer MMIC fabricated on VLSISOI CMOS technology," *IEEE Trans. Microw. Theory Tech.*, vol.52, no.5, pp. 1382-1391, May 2004.
- [17] H. T. Friis, "Noise Figure of Radio Receivers," in *proc. IRE*, vol. 32, pp.419-422, jul. 1994.
- [18] T. H. Lee, *the design of CMOS radio-frequency integrated circuits*, second edition, Boston , MA: Cambridge, 2004
- [19] A. A. Abidi, "High-frequency noise measurement on FET's with small dimensions," *IEEE Transactions in Electron Devices*, vol. ED-33, no.11, pp. 1801-1805, Nov. 1986.
- [20] Aldert van der Ziel, "Noise in solid-state devices and lasers," *Proceeding of the IEEE*, vol. 58, no. 8, pp. 1178-1206, Aug. 1970.
- [21] R. P. Jindal, "Noise associated with distributed resistance of MOSFET gate structures in integrated circuits," *IEEE Transactions on Electron Devices*, vol. ED-31, no. 10, pp. 1505-1509, Oct.1984
- [22] Behzad Razavi, Run-Hong Yan and Kwing F. Lee, "Impact of distributed gate resistance on the performance of MOS devices," *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 41,

no. 11, pp.750-754, Nov.1994.

- [23] “Fundamentals of RF and microwave noise figure measurements,” Agilent Technologies, Palo Alto, CA, Application note 57-1.
- [24] H. Samavati, H. R. Rategh and T. H. Lee, “A 5-GHz CMOS Wireless LAN receiver Front-End,” *IEEE J. Solid-State Circuits*, vol. 35, pp. 765-772, May 2000.
- [25] Joy Laskar, Babak Matinpour and Sudipto Chakraborty, *Modern Receiver Front-End*, Upper Saddle River, MA: John Wiley & Sons, Inc. (US), 2004.
- [26] Huei Wang, Shih-Chieh Shin, “18-26 GHz Low-Noise amplifier Using 130- and 90-nm Bulk CMOS technologies”, *Symposium on Radio Frequency Integrated Circuits (RFIC)*, 2005
- [27] Shih-Chieh Shin, Ming-Da Tsai, Ren-Chieh Liu, Kun-You Lin, and Huei Wang,” A 24GHz 3.9-dB NF Low-Noise Amplifier Using 0.18um CMOS Technology,” *IEEE Microwave and Wireless Components Letters*, Vol.15, NO. 7, July 2005
- [28] Olivier Dupuis, Xiao Sun, Geert Carchon, Philippe Soussan, Mattias Fren Dahl, Stefaan Decoutere and Walter Raedt, “24 GHz LNA in 90nm RF-CMOS with High-Q Above-IC Inductors”, *Proceedings of ESSCIRC*, Grenoble, France, 2005
- [29] 張家宏,”Several Active Mixers with an Integrated Passive Balun and the Driving Amplifier for Flip Chip in Millimeter Wave”,*交通大學碩士論文*,2006年6月.
- [30] 邱永明,”Design of 2.4GHz and 5.7GHz CMOS RFICs For IEEE 802.11 WLAN Application”,*成功大學碩士論文*,2003年6月.
- [31] 李建鋒,” 5.25GHz CMOS Differential LNA for WLAN”,*中華大學碩士論文*,2003年7月.
- [32] 紀震,”LNA and Limiter Circuit Design for Direct Conversion Receiver”, *交通大學碩士論文*,2004年9月.
- [33] 林明奇” Design and Implementation of RF Gilbert Mixers”, *交通大學碩士*

論文,2004 年 6 月.

- [34] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press,2004
- [35] HaoJie Zhan, "THE DESIGN OF 24-GHz CMOS CURRENT-MODE RECEIVER FRONT-ENT, " Nation Chiao Tung University Master Thesis,2006
- [36] 柯鈞琳, "Design of CMOS RF IC," Chip Implementation Center,July-2007
- [37] 顏英杰,"雙頻升頻器與結合被動元件正交相爲降頻器",交通大學碩士論文,2007 年 7 月.

