

# 國立交通大學

電機學院 IC 設計產業研發碩士班

## 碩士論文

無外部電容的 CMOS 低壓差線性穩壓器

A Capacitor-Free CMOS Low Dropout Linear Voltage Regulator

研究生：曾南雄

指導教授：陳科宏 教授

中華民國九十六年一月

無外部電容的 CMOS 低壓差線性穩壓器

A Capacitor-Free CMOS Low Dropout Linear Voltage Regulator

研究生：曾南雄

Student : Nan-Hsiung Tseng

指導教授：陳科宏

Advisor : Ke-Horng Chen

國立交通大學

電機學院 IC 設計產業研發碩士班

碩士論文



A Thesis

Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on

IC Design

Jan 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年一月

## 無外部電容的 CMOS 低壓差線性穩壓器

學生：曾南雄      指導教授：陳科宏博士

國立交通大學電機學院 IC 設計產業研發碩士班

### 摘 要

近年來，由於可攜式電子產品的快速發展，開發低功耗的電路來延長電池壽命已成為主要的研究主題。同時為了達到產品的輕薄、短小，將電路積體化及減少外部元件的使用已經是必要的趨勢。

一般的電源管理系統通常會包含幾組低壓差線性穩壓器及交換式的直流轉換器。傳統的低壓差線性穩壓器需要一個很大的輸出電容大約幾微法拉，如此大的電容並不容易作在 IC 內部，並且需要佔據較大的電路板面積及成本。本論文的目標是設計一個無需外部電容的低壓差線性穩壓器，此低壓差線性穩壓器是架構在三級的放大器設計，能同時兼顧穩定度、精準度、暫態響應及其它各項效能。所設計的規格是最大負載電流 100mA，輸入電壓在 1.5V~4.5V，輸出電壓在 1.3V，Dropout Voltage 在 200mV，使用 TSMC 0.35  $\mu\text{m}$  2P4M CMOS 製程，包含參考電壓源僅消耗 46  $\mu\text{A}$  的靜態電流。

實驗的結果證明所實作的低壓差線性穩壓器在穩定度及暫態響應都符合所預期的規格。因此，此低壓差線性穩壓器適合於 SOC 的環境使用。

# A Capacitor-Free CMOS Low Dropout Linear Voltage Regulator

Student: Nan-Hsiung Tseng    Advisor: Dr. Ke-Horng Chen

Industrial Technology R & D Master Program of  
Electrical and Computer Engineering College  
National Chiao Tung University

## Abstract

In the recent years, developing of low power circuits to extend battery life has become a critical research topic due to explosion growing of portable electric devices. In order to make products smaller and thinner, this is a necessary trend to integrate the circuit and reduce the external component.

A power management system usually contains several LDO regulators and switching regulators. The conventional LDO voltage regulator requires a very large output capacitor in the single microfarad range. Large microfarad capacitors can not easily be integrated in IC, and take over a large area of PCB, consuming cost.

The target of this paper is to design a low dropout linear voltage regulator without external capacitor. This LDO is based on three stage amplifiers design, and also consider the stability, resolution, transient response and other performances. The design of specification is shown as follows: The maximum load current is 100mA. The input voltage is ranged from 1.5V to 4.5V. The output voltage is 1.3V. The dropout voltage is 200mV. The quiescent current is consuming only 46uA containing the bandgap reference. This LDO is fabricated by TSMC 0.35um 2P4M process.

Experimental results show that the proposed capacitor-free LDO voltage regulator is achieved the expected specification of stability and transient response. Thus, the proposed capacitor-free LDO voltage regulator is suitable for SoC solution.

## 誌 謝

能夠順利完成論文，首先要由衷地感謝我的指導教授陳科宏博士。在研究所兩年來，老師提供我一個良好的學習環境，並且在學習和研究上適時的給予我指導和啟發，使我在課業及處世上受益良多。同時要感謝論文口試的評審委員，王清松教授和黃立仁博士的寶貴意見，使本論文內容能更加完整。

再來我要感謝 802 及 703 實驗室的同學們在實驗上的協助與指導。也特別感謝小柯、國林及柏逢在佈局上給予的指導及幫助。

最後，謹以此篇論文獻給所有關心我的人。



## 目 錄

中文摘要	i
英文摘要	ii
誌謝	iii
目錄	iv
圖示	vii
表示	x
第一章.....	1
概論.....	1
1.1 研究背景.....	1
1.2 研究動機及目的.....	2
1.3 內容大綱	3
第二章.....	4
低壓差(LDO)線性穩壓器介紹 .....	4
2.1 基本的低壓差(LDO)線性穩壓器.....	4
2.2 LDO線性穩壓器的規格及專有名詞定義.....	5
2.2.1 壓降電壓(Dropout Voltage).....	5
2.2.2 靜態電流或接地電流(Quiescent Current or Ground Current).....	6
2.2.3 功率效率(Power efficiency).....	7
2.2.4 線上穩壓(Line Regulation) .....	7
2.2.5 負載穩壓(Load Regulation) .....	9
2.2.6 電源拒斥比(Power Supply Rejection Ratio) .....	9
2.2.7 輸出雜訊(Output Noise) .....	10
2.2.8 精確度(Accuracy).....	11
2.2.9 暫態響應(Transient Response) .....	12
2.3 LDO線性穩壓器的設計考量.....	12
2.3.1 傳輸電晶體(Pass Transistor) 的討論.....	13

2.3.2 傳統LDO線性穩壓器的穩定度分析 .....	15
2.3.3 暫態響應分析.....	20
2.3.4 參考電壓的設計考量.....	23
2.3.5 誤差放大器的設計考量.....	31
2.3.6 改良傳統LDO線性穩壓器的新架構 .....	35
第三章.....	39
無外部電容的低壓差(LDO)線性穩壓器 .....	39
3.1 電路架構 39	
3.2 實際電路設計.....	47
3.2.1 無外部電容的低壓差線性穩壓器電路設計.....	47
3.2.2 帶差參考電壓源(BG)及偏壓電路(Biasing Circuit)電路設計 .....	49
起動電路(Start-Up Circuit).....	50
電流源電路.....	51
3.3 模擬結果 56	
3.3.1 帶差參考電路模擬.....	56
3.3.2 低壓差線性穩壓器的模擬.....	59
第四章 實體佈局、量測方法及量測結果.....	76
4.1 實體佈局 76	
4.2 量測方法 85	
4.2.1 基本的負載暫態產生器.....	85
4.2.2 閉迴路的負載暫態產生器.....	86
4.3 量測結果 87	
4.3.1 無外部電容時的量測結果.....	87
4.3.2 有外部電容及ESR電阻時的量測結果 .....	90
第五章 結論及未來研究方向.....	93
5.1 結論 93	
5.2 未來研究方向.....	93
參考文獻.....	94





# 圖示

圖 1.1 基本可攜式電子產品的DC-DC電源管理IC架構.....	2	
圖 2.1 基本的LDO線性穩壓器架構[1].....	4	
圖 2.2 $V_{in}$ 與 $V_{out}$ 的關係圖.....	6	
圖 2.3 LDO線性穩壓器的靜態電流.....	6	
圖 2.4 PMOS的LDO線性穩壓器.....	8	
圖 2.5 LDO線性穩壓器的PSRR [2].....	10	
圖 2.6 LDO線性穩壓器的輸出雜訊[10].....	10	
圖 2.7 LDO線性穩壓器的暫態響應[2].....	12	
圖 2.8 傳輸電晶體的種類.....	13	
圖 2.9 PMOS傳輸電晶體LDO	圖 2.10 NMOS傳輸電晶體LDO.....	15
圖 2.11 傳統PMOS LDO線性穩壓器的架構.....	15	
圖 2.12 傳統PMOS LDO線性穩壓器的小信號模型 [3].....	16	
圖 2.13 傳統PMOS LDO線性穩壓器的頻率響應.....	17	
圖 2.14 太大的負載電流將造成系統不穩定.....	18	
圖 2.15 太大的ESR造成系統不穩定.....	19	
圖 2.16 太小的ESR造成系統不穩定.....	19	
圖 2.17 ESR的穩定範圍 [2].....	19	
圖 2.18 AC Open- Loop Gain的Simulation Circuit [5].....	20	
圖 2.19 量測負載暫態響應的測試電路 [5].....	22	
圖 2.20 LDO線性穩壓器的負載暫態響應 [4].....	22	
圖 2.21 能隙參考電壓電路的基本原理 [6].....	23	
圖 2.22 在CMOS製程技術中垂直的PNP BJT電晶體結構 [7].....	24	
圖 2.23 實際的基本能隙參考電壓電路 [7].....	25	
圖 2.24 與溫度相依的NMOS及PMOS臨限電壓 [8].....	25	
圖 2.25 一個完全使用MOS電晶體的參考電壓源 [8].....	26	
圖 2.26 簡單的能隙參考電壓電路 [8].....	27	
圖 2.27 (a)BJT電晶體及(b)電阻的同心軸佈局 [8].....	27	
圖 2.28 (a)使用誤差放大器為基礎的能隙參考電壓電路. (b)簡單的差動對放大器 [9].....	29	
圖 2.29 一個改善電源拒斥比的能隙參考電壓電路[9].....	29	
圖 2.30 PN接面所形成的寄生電容及電阻[9].....	30	
圖 2.31 輸入側的PSRR[9].....	30	
圖 2.32 輸出側的PSRR[9].....	30	
圖 2.33 長通道及短通道PMOS電流鏡的PSRR[9].....	31	
圖 2.34 使用電壓緩衝器的LDO線性穩壓器[11].....	32	

圖 2.35 使用電壓緩衝器的LDO線性穩壓器Loop Gain[11].....	33
圖 2.36 使用電壓緩衝器所造成的VSG電壓差.....	33
圖 2.37 Current efficient-transient boost LDO線性穩壓器[10] .....	34
圖 2.38 Current efficient-transient boost LDO線性穩壓器的頻率響應[10] .....	34
圖 2.39 Current efficient-transient boost LDO線性穩壓器的暫態響應[10] .....	35
圖 2.40 Low-Dropout Regulator With Buffer Impedance Attenuation [12].....	36
圖 2.41 LDO With Buffer Impedance Attenuation的迴路增益 [12] .....	37
圖 2.42 LDO With Buffer Impedance Attenuation的負載暫態響應 [12] .....	38
圖 3.1 無外部電容的低壓差線性穩壓器架構 [13].....	39
圖 3.2 含有一階高通特性的回授網路.....	40
圖 3.3 無外部電容的低壓差線性穩壓器的小訊號模型.....	41
圖 3.4 在 $I_{OUT}=0$ ， $C_{OUT} \neq 0$ 時的迴路增益.....	43
圖 3.5 在 $I_{OUT} \neq 0$ ， $C_{OUT} \neq 0$ 時的迴路增益.....	44
圖 3.6 在 $I_{OUT} \neq 0$ ， $C_{OUT} = 0$ 時的迴路增益.....	44
圖 3.7 在 $C_{OUT} \neq 0$ 時的迴路增益模擬.....	45
圖 3.8 在 $C_{OUT} = 0$ 時的迴路增益模擬.....	46
圖 3.9 無外部電容的低壓差線性穩壓器的實際電路方塊圖.....	47
圖 3.10 無外部電容的低壓差線性穩壓器實際電路.....	47
圖 3.11 Gm-boosting電路說明.....	48
圖 3.12 帶差參考電路 [14].....	49
圖 3.13 起動電路的模擬.....	51
圖 3.14 帶差參考電路的電流源.....	52
圖 3.15 $I_{OUT}$ 與隨電源VDD變動的模擬.....	52
圖 3.16 操作在次臨界區的兩級放大器.....	53
圖 3.17 兩級放大器的頻率響應.....	54
圖 3.18 兩級放大器的共模輸入範圍的模擬.....	55
圖 3.19 偏壓電路.....	55
圖 3.20 帶差參考電路的溫度係數模擬.....	57
圖 3.21 電源起動的模擬.....	57
圖 3.22 電源拒斥比的模擬.....	58
圖 3.23 負載穩壓的模擬示意圖.....	60
圖 3.24 負載穩壓的模擬結果(有輸出電容及ESR電阻).....	60
圖 3.25 負載穩壓的模擬結果(無輸出電容).....	61
圖 3.26 線上穩壓的模擬示意圖.....	62
圖 3.27 線上穩壓的模擬結果(有輸出電容及ESR電阻).....	62
圖 3.28 線上穩壓的模擬結果(無輸出電容).....	63
圖 3.29 有輸出電容及ESR電阻的負載暫態響應的模擬示意圖.....	64

圖 3.30 含有 10 $\mu$ F 的輸出電容及 10 $\Omega$ 的 ESR 電阻時負載暫態響應的模擬.....	64
圖 3.31 在有輸出電容時，負載從 0mA 到 100mA 的暫態響應模擬.....	65
圖 3.32 在有輸出電容時，負載從 100mA 到 0mA 的暫態響應模擬.....	66
圖 3.33 無輸出電容的負載暫態響應的模擬示意圖.....	66
圖 3.34 在無輸出電容時的負載暫態響應模擬.....	67
圖 3.35 在無輸出電容時，負載從 10mA 到 100mA 的暫態響應模擬.....	68
圖 3.36 在無輸出電容時，負載從 100mA 到 10mA 的暫態響應模擬.....	68
圖 3.37 線上暫態響應的模擬示意圖.....	69
圖 3.38 VIN 由 1.5V 變動到 4.5V 時的線上暫態響應模擬.....	69
圖 3.39 VIN 由 4.5V 變動到 1.5V 時的線上暫態響應模擬.....	70
圖 3.40 電源拒斥比的模擬示意圖.....	71
圖 3.41 含有輸出電容及 ESR 電阻時的電源拒斥比模擬.....	72
圖 3.42 無輸出電容時的電源拒斥比模擬.....	72
圖 3.43 靜態電流的模擬示意圖.....	73
圖 3.44 溫度係數的模擬示意圖.....	74
圖 3.45 溫度係數的模擬.....	75
圖 4.1 整體晶片的佈局.....	76
圖 4.2 低壓差線性穩壓器的佈局.....	77
圖 4.3 低壓差線性穩壓器的電晶體的詳細佈局.....	78
圖 4.4 帶差參考電路的 Trimming 電阻.....	79
圖 4.5 帶差參考電路的佈局.....	80
圖 4.6 帶差參考電路的兩級放大器的佈局.....	81
圖 4.7 帶差參考電路的電流源的 Trimming 電阻.....	82
圖 4.8 帶差參考電路的電流源的佈局.....	83
圖 4.9 帶差參考電路的緩衝器的佈局.....	84
圖 4.10 基本負載暫態產生器的示意圖.....	85
圖 4.11 基本負載暫態產生器的測試平台.....	85
圖 4.12 閉迴路的負載暫態產生器的示意圖.....	86
圖 4.13 I <sub>LOAD</sub> =0mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	87
圖 4.14 I <sub>LOAD</sub> =48mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	88
圖 4.15 I <sub>LOAD</sub> =100mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	88
圖 4.16 V <sub>IN</sub> =1.5V 時, I <sub>LOAD</sub> 從 50mA 到 100mA 的 V <sub>OUT</sub> 變動.....	89
圖 4.17 V <sub>IN</sub> =1.5V 時, I <sub>LOAD</sub> 從 75mA 到 105mA 的 V <sub>OUT</sub> 變動.....	89
圖 4.18 I <sub>LOAD</sub> =0mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	90
圖 4.19 I <sub>LOAD</sub> =48mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	90
圖 4.20 I <sub>LOAD</sub> =100mA, V <sub>IN</sub> =1.5V 時的 V <sub>OUT</sub> 及 Bandgap 輸出電壓.....	91
圖 4.21 V <sub>IN</sub> =1.5V 時, I <sub>LOAD</sub> 從 50mA 到 100mA 的 V <sub>OUT</sub> 變動.....	91

圖 4.22  $V_{IN}=1.5V$  時,  $I_{LOAD}$  從 75mA 到 105mA 的  $V_{OUT}$  變動.....92



# 表示

表 2.1 傳輸電晶體的比較.....	13
表 2.2 NMOS與PMOS傳輸電晶體LDO線性穩壓器的比較.....	14
表 2.3 穩定度及其它規格之間的衝突 [4].....	35
表 2.4 LDO With Buffer Impedance Attenuation的第一及第二主極點.....	37
表 3.1 迴路增益的模擬數據.....	46
表 3.2 所設計的低壓差線性穩壓器元件尺寸.....	49
表 3.3 兩級放大器頻率響應的數據.....	54
表 3.4 帶差參考電路的元件尺寸.....	56
表 3.5 偏壓電路的元件尺寸.....	56
表 3.6 靜態電流的模擬.....	58
表 3.7 帶差參考電路的效能模擬表.....	59
表 3.8 含有 10 $\mu$ F的輸出電容及 10 $\Omega$ 的ESR電阻時的負載暫態響應數據表.....	65
表 3.9 無輸出電容時的負載暫態響應數據表.....	67
表 3.10 線上暫態響應的數據表.....	70
表 3.11 電源拒斥比的模擬數據表.....	73
表 3.12 靜態電流的模擬數據表.....	73
表 3.13 低壓差線性穩壓器的效能.....	75

# 第一章

## 概論

### 1.1 研究背景

在可攜式電子產品中,待機電源的節省是很重要的,所以必須利用有效的電源管理。由於電路中不同模組會需要不同的電壓及電流規格,因此必須使用到許多電源管理 IC。低壓差(LDO)線性穩壓器是最基本的 DC-DC 電源管理 IC,如圖 1.1 的基本可攜式電子產品,一共有用到 3 個 LDO 線性穩壓器,及一個 Buck Converter。由於低電壓及高電流效率的需求,LDO 線性穩壓器已被廣泛用在可攜式的電子產品上,如手機,PDA,筆記型電腦等,以延長電池壽命。一般的可攜式電子產品大部份時間是處在待機狀態,而低的靜態電流,正是 LDO 特點之一。

一般的直流轉直流的穩壓器(DC-DC Regulator)大概分成三種:交換式穩壓器(Switching Regulator),電荷幫浦穩壓器(Charge-Pump Regulator)及 LDO 線性穩壓器。在三種當中,LDO 線性穩壓器具有很快的 Load transient response,較少的 Output Ripple,較小的靜態電流及較小的 PCB Layout 面積等特點,因此適合於應用在射頻電路及類比電路。

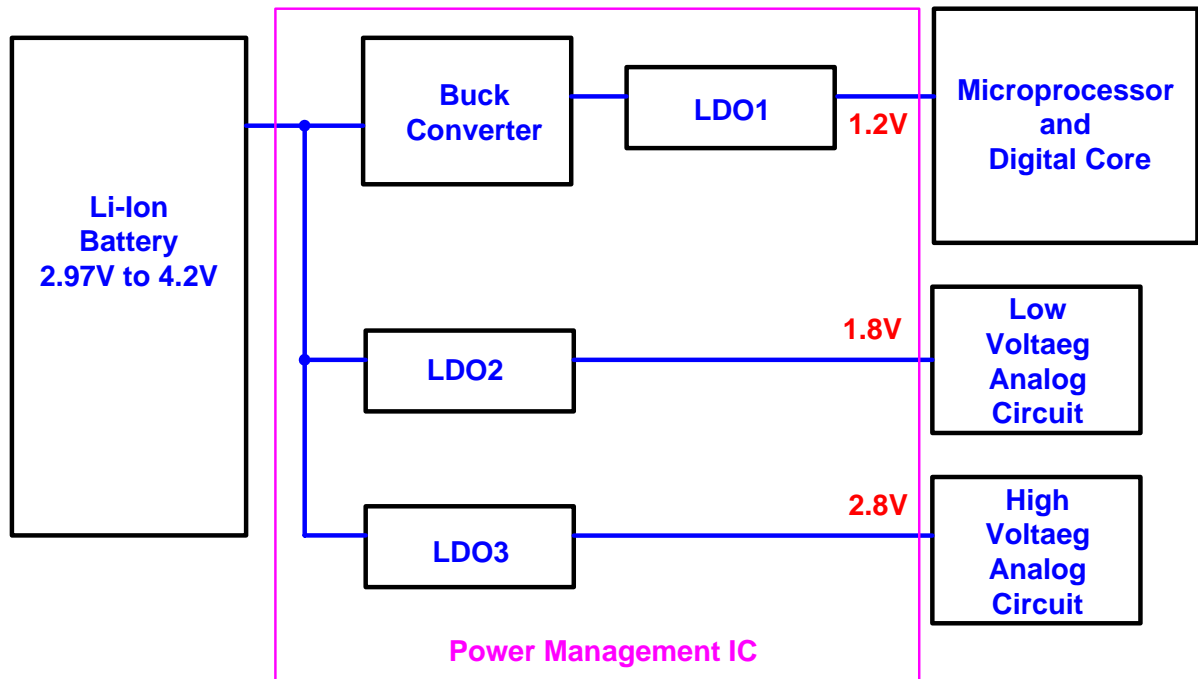


圖 1.1 基本可攜式電子產品的 DC-DC 電源管理 IC 架構

傳統的 LDO 線性穩壓器需要一個大約幾 microfarad 到十幾 microfarad 等級的輸出電容，做為頻率補償，因此會比較佔 PCB 的面積及成本。在 System on Chip (SoC) 的環境中，也不允許使用外部元件，因此這篇論文題出一個不需輸出電容做頻率補償的 LDO 線性穩壓器架構，而且在穩定度及各項效能上都能兼顧。

## 1.2 研究動機及目的

在設計低壓差 (LDO) 線性穩壓器時，穩定度及其它效能之間一般都是互相權衡，像是暫態響應，電流效率，線上穩壓，負載穩壓，PSRR 等，為了改善 LDO 線性穩壓器的效能，已經有許多文獻被提出，這些架構都需要使用到外部電容，來做穩定度的補償，然而外部電容不容易實現在 SOC 環境下，所以需要開發無外部電容的 LDO 線性穩壓器，無外部電容的 LDO 線性穩壓器由於缺乏外部電容，所以在負載暫態響應時，會有較大的電壓下降。本篇論文的 LDO 線性穩壓器架構在三級的放大器設計，由於在輕載及重載下，Loop Gain 都很高，在加上第二級的 push-pull stage，因此具有 fast load transient response 及 high power-supply rejection ratio (PSRR) 的特色。

本篇論文所設計的 LDO 線性穩壓器是一個最大負載電流 100mA，輸入電壓在 1.5V~4.5V，輸出電壓在 1.3V，Dropout Voltage 在 200mV，可以無外部電容，使用 TSMC 0.35  $\mu\text{m}$  2P4M CMOS 製程，包含參考電壓源僅消耗 46  $\mu\text{A}$  的靜態電流。



## 1.3 內容大綱

本論文共分五個章節說明,各章節的標題與內容簡述如下:

第一章 概論 :旨在說明本論文之研究背景、動機及目的。

第二章 低壓差(LDO)線性穩壓器的介紹 :探討與分析基本低壓差線性穩壓器及專有名詞的定義以及 LDO 線性穩壓器的設計考量,以及新的低壓差線性穩壓器的架構。

第三章 無外部電容的低壓差(LDO)線性穩壓器 : 對整體電路架構分析及實際電路設計、模擬結果。

第四章 實體佈局,量測方法及量測結果: 對電路實體佈局,量測方法及結果作說明。

第五章 結論及未來方向: 對整體的研究做總結並討論未來可能的研究方向。





## 第二章

# 低壓差(LDO)線性穩壓器介紹

### 2.1 基本的低壓差(LDO)線性穩壓器

圖 2.1 說明了基本的 LDO 線性穩壓器架構,包含有一個精準的參考電壓(Reference Voltage)以及它的起動電路(Start-Up Circuit),一個傳輸電晶體(Pass Transistor),一個誤差放大器(Error Amplifier),一個回授網路(Feedback Network)和一些限制溫度,電流及防電池逆向的保護電路(Protection Circuit)。

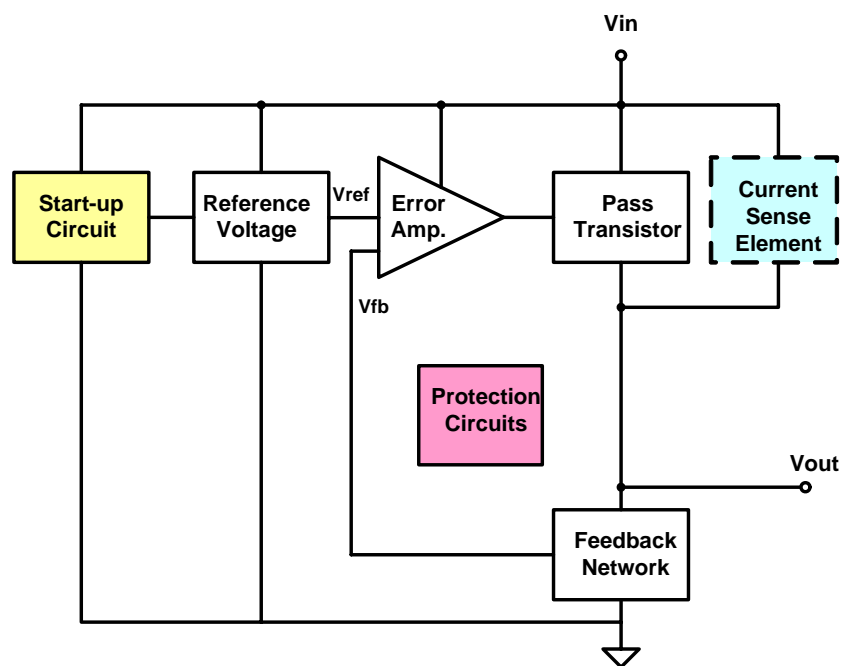


圖 2.1 基本的 LDO 線性穩壓器架構[1]

整個 LDO 線性穩壓器可看成一個串聯輸入,並聯輸出的負回授系統,輸出電壓經由負回授系統的調節下,可以保持在一個穩定的電位。理想上,參考電壓(Reference Voltage)是一個不受溫度及輸入電源影响的電壓源( $V_{ref}$ ),提供給 Error Amplifier 當作參考。當負載電流突然變大時,輸出電壓會瞬間下降,經由回授網路產生回授電壓( $V_{fb}$ ),再由誤差放大器(Error Amplifier)根據參考電壓(Reference Voltage)來比較,進而控制傳輸電晶體(Pass Transistor)供給更多的電流給負載,而當負載電流突然變小時,則相反。

LDO 線性穩壓器的輸出電壓可由以下公式決定:

$$V_{OUT} = V_{ref} \times \frac{R_{F1} + R_{F2}}{R_{F1}} \quad (2.1)$$

$V_{ref}$  是參考電壓(Reference Voltage), $R_{F1}$  及  $R_{F2}$  是回授網路的分壓電阻。

爲了確保 LDO 線性穩壓器能在安全的條件下工作,因此需要一些保護電路,而這些額外的保護電路在正常工作下,並不會影响 LDO 線性穩壓器的輸出電壓穩定。

## 2.2 LDO 線性穩壓器的規格及專有名詞定義

在討論 LDO 線性穩壓器的架構之前,必須對 LDO 線性穩壓器的規格及專有名詞定義做說明,包含有:低壓降(Dropout Voltage),靜態電流或接地電流(Quiescent Current or Ground Current),功率效率(Power efficiency),線上穩壓(Line Regulation),負載穩壓(Load Regulator),電源拒斥比(Power Supply Rejection Ratio),輸出雜訊(Output Noise),精確度(Accuracy),暫態響應(Transient Response)[1][2][3]。分別敘述如下:

### 2.2.1 壓降電壓(Dropout Voltage)

壓降電壓(Dropout Voltage)定義成:當 LDO 線性穩壓器輸入電壓降到某個程度時,其輸出電壓將不再穩壓在預計的輸出電壓,而在臨介點(輸出偏移 2%)時的輸入電壓與輸出電壓的差值,如圖 2.2 所示,當輸入電壓  $V_{in}$  大於  $V_y$  時,LDO 線性穩壓器的傳輸電晶體(Pass Transistor)是工作在飽和區,因此,整個 LDO 線性穩壓器的 Loop Gain 維持在很高,使得 LDO 線性穩壓器處於穩壓區(Regulation Region)。當輸入電壓  $V_{in}$  小於  $V_y$  時, LDO 線性穩壓器的傳輸電晶體(Pass Transistor)是工作在線性區,整個 LDO 的 Loop Gain 變的很低,使得 LDO 線性穩壓器的輸出電壓不在穩定在固定值,此時 LDO 線性穩壓器進入 Dropout Region,而此時傳輸電晶體(Pass Transistor)可當做一個電阻,壓降電壓(Dropout Voltage)被定義成:

$$V_{drop-out} = I_{load} \times R_{on} \quad (2.2)$$

$R_{on}$  是傳輸電晶體(Pass Transistor)的導通電阻,  $I_{Load}$  是負載電流

由於 LDO 線性穩壓器的功率損耗是正比於電壓差(Dropout Voltage),所以愈小的電壓差(Dropout Voltage)將有較小的功率損耗在傳輸電晶體(Pass Transistor)上,功率效率比較高。

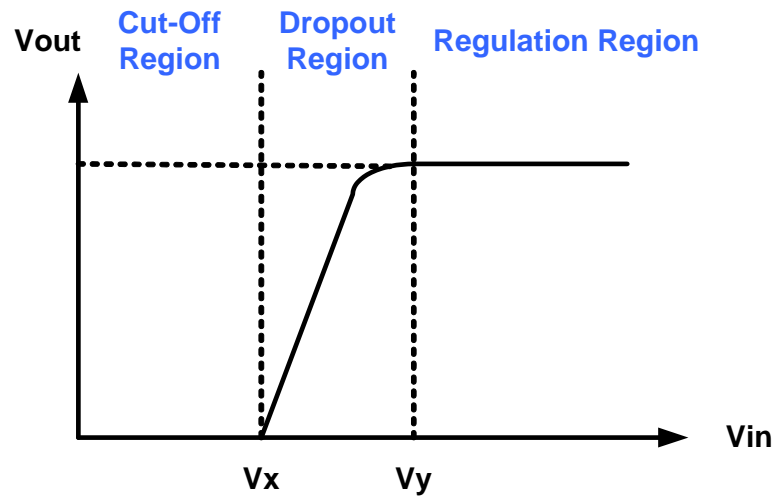


圖 2.2 Vin 與 Vout 的關係圖

## 2.2.2 靜態電流或接地電流(Quiescent Current or Ground Current)

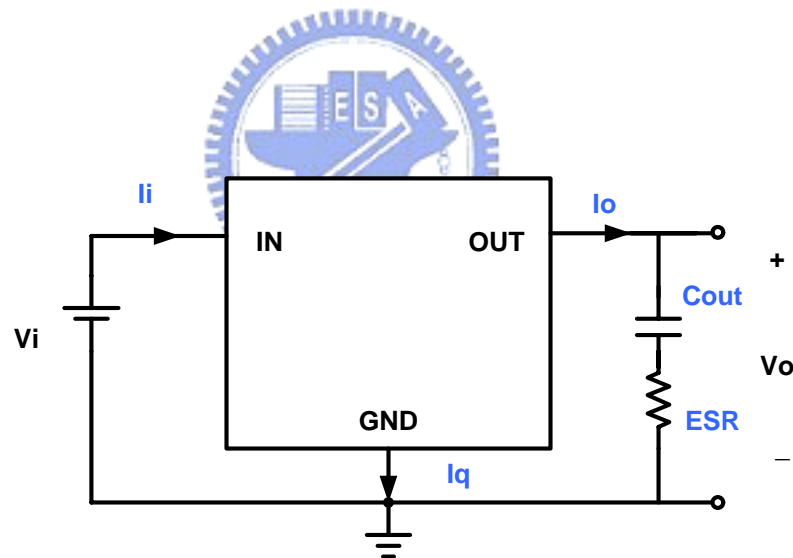


圖 2.3 LDO 線性穩壓器的靜態電流

靜態電流或接地電流(Quiescent Current or Ground Current)定義成 LDO 線性穩壓器的輸入電流減去輸出電流  $I_q = I_i - I_o$ ，靜態電流包含有系統的偏壓電流(如誤差放大器,回授電阻,參考電壓及保護電路)及驅動傳輸電晶體(Pass Transistor)所消耗的電流,靜態電流並不會提供輸出功率,所以低的靜態電流是必要的對於增加電池效率而言,然而在效能與靜態電流之間有許多 Trade Off,如 LDO 線性穩壓器的暫態響應及穩定度。

靜態電流在 Bipolar 與 MOS 電晶體是有所不同,在 Bipolar 電晶體中,負載電流是由基極電流所驅動,所以靜態電流是會隨負載增加而增加,但在 MOS 電晶體中,由於  $I_b \sim 0$ ,所以 MOS 電晶體的靜態電流幾乎是常數。

## 2.2.3 功率效率(Power efficiency)

LDO 線性穩壓器的功率效率(Power efficiency)定義成輸出功率除以輸入功率,主要限制在靜態電流(Quiescent Current)及輸出與輸入的電壓比值,公式如下:

$$Efficiency = \frac{I_{out} \times V_{out}}{(I_{out} + I_q) \times V_{in}} \quad (2.3)$$

在輕載時,由於輸出與輸入的電壓差接近零,所以電流的效率決定了功率效率(Power efficiency), 公式如下:

$$Efficiency \approx \frac{I_{Load}}{I_q + I_{Load}} \quad (2.4)$$

在輕載時,爲了改善功率效率(Power efficiency),必須降低靜態電流(Quiescent Current),在重載時,因爲  $I_{Load}$  很大,所以電流的效率接近 1, 功率效率(Power efficiency)可改寫成

$$Efficiency \approx \frac{V_{out}}{V_{in}} \quad (2.5)$$

由此可知,爲了增加功率效率,降低靜態電流(Quiescent Current)及減少壓降電壓(Dropout Voltage)是必要的。

## 2.2.4 線上穩壓(Line Regulation)

線上穩壓(Line Regulation)是用來量測當輸入電壓變動時,輸出電壓能夠保持固定的穩定度,定義如下:

$$Line\ Regulation = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2.6)$$

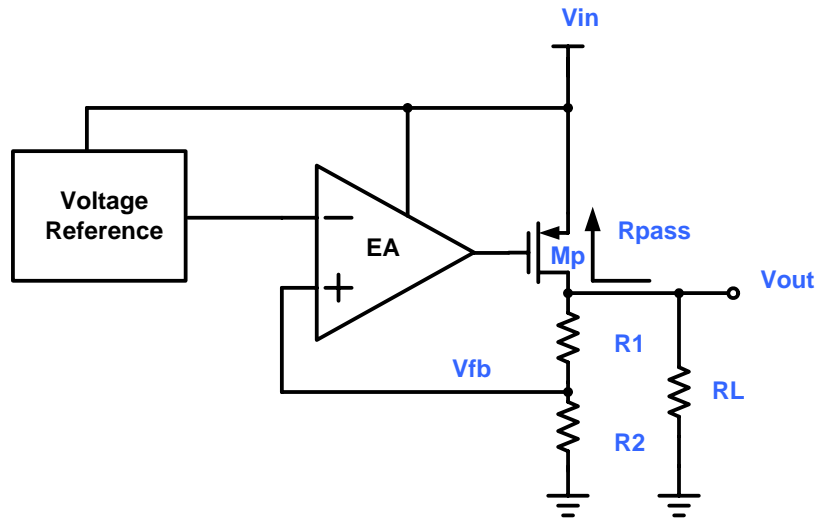


圖 2.4 PMOS 的 LDO 線性穩壓器

根據圖 2.4，當  $V_{in}$  變動時， $V_{out}$  也會跟著變動，而 Error Amplifier 會根據回授電壓去驅動傳輸電晶體(Pass Transistor)來抑制輸出電壓的變動。線上穩壓(Line Regulation)的分析如下：

$$\Delta V_{out} = \frac{R_L}{R_L + R_{pass}} \times \Delta V_{in} - \Delta V_{fb} \times A_{EA} g_{mp} \times R_L \quad (2.7)$$

$$\Delta V_{fb} = \frac{R_2}{R_1 + R_2} \times \Delta V_{out} \quad (2.8)$$

最後可得到新的線上穩壓(Line Regulation)表示：

$$\frac{\Delta V_{OUT}}{\Delta V_{in}} = \frac{R_1 + R_2}{R_2} \times \frac{1}{A_{EA} g_{mp} \times (R_L + R_{pass})} \quad (2.9)$$

其中  $R_{pass}$  是傳輸電晶體(Pass Transistor)的等效電阻， $R_L$  是負載電阻， $A_{EA}$  是 Error Amplifier 的 Gain， $g_{mp}$  是傳輸電晶體(Pass Transistor)的轉導。

由(2.9)式可知，增加 Error Amplifier 的 Gain 或傳輸電晶體(Pass Transistor)的轉導可以改善線上穩壓(Line Regulation)。線上穩壓(Line Regulation)是一個穩態(Steady-State)的規格，所以只考慮輸入電壓的直流變動情形。事實上，參考電壓及 Error Amplifier 的 Offset Voltage 也會受到輸入電壓的影響，必須列入考量。

## 2.2.5 負載穩壓(Load Regulation)

負載穩壓(Load Regulation)是用來量測當負載電流變動時,輸出電壓能夠保持固定的穩定度,定義如下:  $\text{Load Regulation} = \frac{\Delta V_{out}}{\Delta I_{Load}}$  (2.10)

根據圖 2.4,當負載電流變動時,LDO 線性穩壓器的輸出電壓及回授電壓也會跟著變動,經由 Error Amplifier 偵測到回授電壓的變動進而驅動傳輸電晶體(Pass Transistor)去抑制輸出電壓的變動。負載穩壓(Load Regulation)的分析如下:

$$(\Delta I_{Load} - \Delta V_{fb} \times A_{EA} \times g_{mp}) \times R_{pass} = \Delta V_{out} \quad (2.11)$$

$$\Delta V_{fb} = \frac{R_2}{R_1 + R_2} \times \Delta V_{out} \quad (2.12)$$

$$\frac{\Delta V_{out}}{\Delta I_{Load}} = \frac{R_{pass}}{1 + A_{EA} g_{mp} \times \frac{R_2}{R_1 + R_2} \times R_{pass}} \cong \frac{1}{A_{EA} g_{mp} \times \frac{R_2}{R_1 + R_2}} \quad (2.13)$$

由上面分析可知,藉由增加 Error Amplifier 的 Gain 或傳輸電晶體(Pass Transistor)的轉導可以改善負載穩壓(Load Regulation)。

## 2.2.6 電源拒斥比(Power Supply Rejection Ratio)

電源拒斥比(Power Supply Rejection Ratio)是量測當輸入電壓變化,輸出電壓能夠抑制變化的能力,定義如下:

$$PSRR = \frac{\Delta V_{o,ripple}}{\Delta V_{in,ripple}} \quad \text{at all frequencies} \quad (2.14)$$

,跟線上穩壓(Line Regulation)不同的是電源拒斥比(Power Supply Rejection Ratio)與 LDO 線性穩壓器閉迴路的頻率相關,所以是屬於高頻規格。例如:如果 LDO 線性穩壓器是應用於直流/直流切換式轉換器(DC/DC switching Converter)之後穩壓時(Post Regulation),則在切換頻率 100kHz 到 1MHz 的頻寬就比較重要,如圖 2.5, 100kHz 到 1MHz 的頻寬,PSRR 最差。

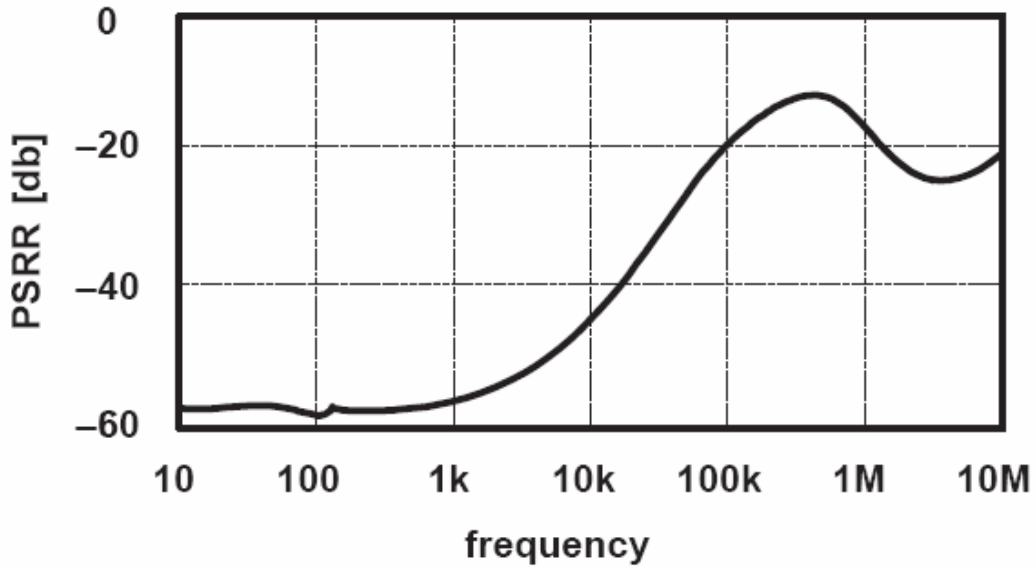


圖 2.5 LDO 線性穩壓器的 PSRR [2]

PSRR 與迴路增益頻寬(loop-gain bandwidth)及等效串聯電阻(ESR)非常相關。比較大的迴路增益頻寬(loop-gain bandwidth)，使用低阻值的等效串聯電阻(ESR),一個較大的輸出電容，及額外的旁路電容(Bypass Capacitor)，都可以改善 LDO 線性穩壓器的 PSRR。

此外,參考電壓也會受到輸入電源的漣波影響,所以在設計參考電壓時必須考慮 PSRR 問題。

## 2.2.7 輸出雜訊(Output Noise)

輸出雜訊(Output Noise)是在指定的頻率內(eg: 10Hz to 100kHz)的輸出雜訊的 RMS 電壓,所以也是屬於高頻規格。量測的條件必須在固定負載及無漣波的輸入電壓下,以確保雜訊來源是來自 LDO 線性穩壓器本身產生。典型的輸出雜訊電壓在 100 到 500  $\mu$ V,大部份的輸出雜訊來自於內部參考電壓及誤差放大器。LDO 線性穩壓器的輸出雜訊分析如下圖 [10]:

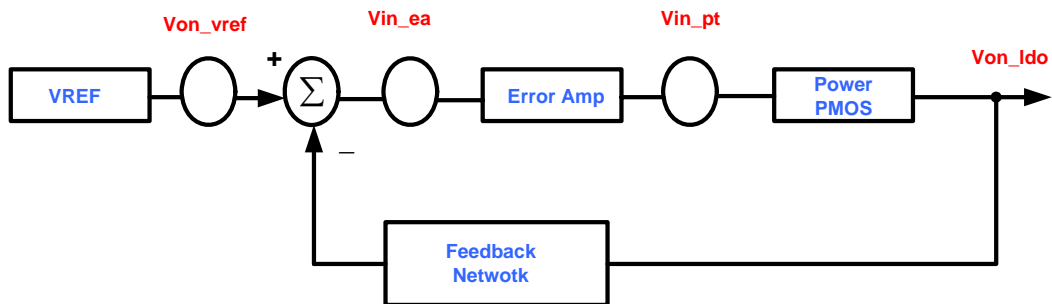


圖 2.6 LDO 線性穩壓器的輸出雜訊[10]



$$V_{on\_ldo}^2 = \frac{V_{on\_vref}^2 + V_{in\_ea}^2 + V_{in\_pt}^2 / A_{EA}^2}{f^2} \approx \frac{V_{on\_vref}^2 + V_{in\_ea}^2}{f^2} \quad (2.15)$$

其中  $V_{on\_vref}$  是參考電壓的輸出雜訊,  $V_{in\_ea}$  是誤差放大器的輸入雜訊,  $V_{in\_pt}$  是傳輸電晶體(Pass Transistor)的輸入雜訊,  $V_{on\_ldo}$  是 LDO 線性穩壓器的輸出雜訊。

電晶體使用較大的 Size, 及較大的偏壓電流可降低 Flicker Noise, 誤差放大器的差動對使用 PMOS 輸入電晶體比使用 NMOS 輸入電晶體有比較低的 Flicker Noise。

## 2.2.8 精確度(Accuracy)

LDO 線性穩壓器的精確度(Accuracy)定義成所有可能造成輸出電壓變動的因素。這些因素包括有限的線上穩壓(Line Regulation)、有限的負載穩壓(Load Regulation)、參考電壓的漂移、誤差放大器的漂移、回授電阻的誤差、及電阻的溫度係數變化。

精確度(Accuracy)的計算如下:

$$Accuracy \approx \frac{|\Delta V_{LR}| + |\Delta V_{LDR}| + \sqrt{\Delta V_{o,ref}^2 + \Delta V_{o,EA}^2 + \Delta V_{o,res}^2 + \Delta V_{TC}^2}}{V_o} \times 100\% \quad (2.16)$$

$$\Delta V_{o,ref} = \frac{R_2 + R_1}{R_2} \times \Delta V_{ref} \quad (2.17)$$

$$\Delta V_{o,EA} = \frac{R_2 + R_1}{R_2} \times \Delta V_{EA} \quad (2.18)$$

$$\Delta V_{o,res} = \frac{\Delta R_2 + \Delta R_1}{R_2 + \Delta R_2} \times V_{ref} \quad (2.19)$$

其中  $\Delta V_{LR}$  是線上穩壓(Line Regulation)的漂移,  $\Delta V_{LDR}$  是負載穩壓(Load Regulation)的漂移,  $\Delta V_{o,ref}$  是參考電壓的漂移,  $\Delta V_{o,EA}$  是誤差放大器的漂移,  $\Delta V_{o,res}$  是回授電阻的誤差,  $\Delta V_{TC}$  是溫度係數變化。一般正常的精確度(Accuracy)誤差在 1~3% 內。

另一種精確度的定義是將造成誤差的因素分成兩類: 系統誤差(System Error)  $\Delta V_{o(SYS)}$  及隨機誤差(Random Error)  $\Delta V_{o(RAN)}$ 。表示如下 [4]:

$$Accuracy = \frac{\sum \Delta V_{o(SYS)} + \sqrt{\sum (\Delta V_{o(RAN)}^2)}}{V_o} \times 100\% \quad (2.20)$$

系統誤差(System Error)  $\Delta V_{o(SYS)}$  是由於設計造成的輸出電壓變動包含線上穩壓(Line



Regulation)，負載穩壓(Load Regulation)，溫度係數變化，有限增益誤差及參考電壓誤差。隨機誤差(Random Error)  $\Delta V_{o(RAN)}$  是由於製程的漂移及實體佈局的誤差。

## 2.2.9 暫態響應(Transient Response)

暫態響應(Transient Response)是當負載電流突然由輕載變成重載(Load Current StepChange)時或是由重載變成輕載(Load Current StepChange)時, LDO 線性穩壓器的輸出電壓可以允許的最大變化量。暫態響應(Transient Response)與輸出電容( $C_o$ )，等效串聯電阻(ESR)，及旁路電容(Bypass Capacitor)有關。

最大的輸出暫態電壓變動定義如下[2]:

$$\Delta V_{tr,max} = \frac{I_{o,max}}{C_o + C_b} \times \Delta t_1 + \Delta V_{ESR} \quad (2.21)$$

如圖 2.7，其中  $\Delta t_1$  是與 LDO 線性穩壓器的閉回路頻寬有關， $\Delta V_{ESR}$  是瞬間負載電流通過輸出電容( $C_o$ )及等效串聯電阻(ESR)所造成的壓降。爲了改善 LDO 線性穩壓器的暫態響應(Transient Response),可以增加 LDO 線性穩壓器的閉回路頻寬，增加輸出電容( $C_o$ )，及減少等效串聯電阻(ESR)。

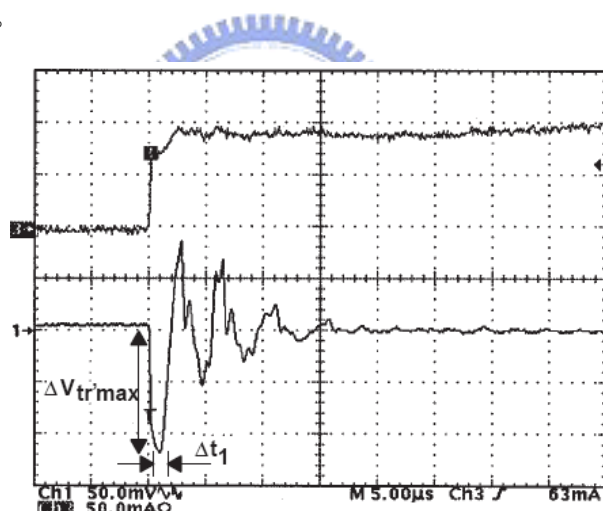


圖 2.7 LDO 線性穩壓器的暫態響應[2]

## 2.3 LDO 線性穩壓器的設計考量

LDO 線性穩壓器常用在可攜式電子產品,主要電力來源是各式電池。電池的電壓會隨時間慢慢降低。爲了延長電池壽命,低功耗的 LDO 線性穩壓器必須被採用。根據半導體發展的準則,由於製程的進步,低電壓源( $V_{IN}$  小於 1V)的電路將在未來幾年被使用,在如此要求低的電源電壓,低的靜態電流以及不穩定的電池電壓的環境下,要設計一個精準且穩定輸出的 LDO 線性穩壓器,是一大挑戰。在這一節將介紹傳統 LDO 線性穩壓器設計有關的分析及設計考量,包括:傳輸電晶體(Pass Transistor)的討論,穩定度分析,暫態響應的分析,然後討論參考電壓及誤差放大器的設計考量,最後將討論幾種不同改良傳統 LDO 線性

穩壓器的新架構。

## 2.3.1 傳輸電晶體(Pass Transistor) 的討論

LDO 線性穩壓器的傳輸電晶體(Pass Transistor)一般分為兩大類(如圖 2.8)BJT 電晶體及 MOS 電晶體。而 BJT 電晶體又分為達靈頓(Darlington),NPN 及 PNP 三種，MOS 電晶體分成 NMOS 及 PMOS 兩種。它們的比較如下表:

表 2.1 傳輸電晶體的比較

特性	BJT 電晶體			MOS 電晶體	
	達靈頓 (Darlington) 圖 2.8(a)	NPN 圖 2.8 (b)	PNP 圖 2.8 (c)	NMOS 圖 2.8 (d)	PMOS 圖 2.8 (e)
最大輸出電流, $I_{omax}$	高	高	高	適中	適中
靜態電流 (Quiescent Current)	適中	適中	大	低	低
壓降電壓 (Dropout Voltage)	$V_{CE(Sat)} + 2V_{BE}$	$V_{CE(Sat)} + V_{BE}$	$V_{CE(Sat)}$	$V_{DS(Sat)} + V_{GS}$	$V_{SD(sat)}$
導通速度 (Turn ON Speed)	快	快	慢	適中	適中

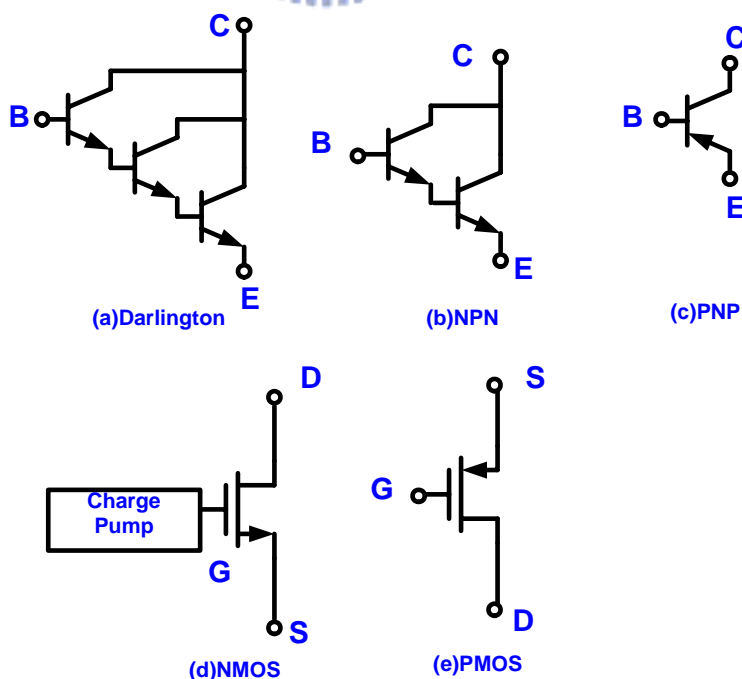


圖 2.8 傳輸電晶體的種類

BJT 電晶體本身因為是電流驅動裝置,它的基極電流與負載電流成正比,因此在重載時需要消耗較多的靜態電流( $I_B=I_C/\beta$ ),因此將浪費許多功率。相對於 MOS 電晶體而言,閘極端的阻抗很大,流進閘級的電流很小,因此以電壓驅動的 MOS 裝置消耗最小的靜態電流。

傳輸電晶體(Pass Transistor)的大小主要由最大輸出電流及壓降電壓(Dropout Voltage)來決定。

對於 NMOS 電晶體來說,它的壓降電壓(Dropout Voltage)為

$V_{drop} = V_{GS} + V_{DS(SAT)}$ ,為了減少壓降電壓(Dropout Voltage),它必須外加 Charge Pump 電路,將傳輸電晶體的 Gate 端電壓拉高,此時的  $V_{drop} = V_{DS(SAT)}$  減少了大約一個  $V_{GS}$  的電壓。而使用 NMOS 電晶體的 LDO 線性穩壓器有一個優點就是它的低輸出阻抗,因此,比較沒有穩定度的問題。

對於 PMOS 電晶體來說,它的壓降電壓(Dropout Voltage)為:

$$V_{drop-out} = I_{load} \times R_{on} \quad (2.22)$$

比起 NMOS 電晶體,它有比較低的壓降電壓(Dropout Voltage),壓降電壓(Dropout Voltage)與傳輸電晶體(Pass Transistor)的大小及閘極電壓相關。在輕載時,只有幾 mVoltage,在重載時,大約幾百 mVoltage。

採用 NMOS 傳輸電晶體與 PMOS 傳輸電晶體的 LDO 線性穩壓器優缺點比較如下表:

表 2.2 NMOS 與 PMOS 傳輸電晶體 LDO 線性穩壓器的比較

	PMOS 傳輸電晶體的 LDO 線性穩壓器 (圖 2.9) (Common Source Type)	NMOS 傳輸電晶體的 LDO 線性穩壓器 (圖 2.10) (Common Drain Type)
優點	1. 低壓降電壓(Dropout Voltage) 2. 低輸入電源電壓	1. 比較沒有穩定度的問題 (低輸出阻抗) 2. 不需要大的外部電容
缺點	遭遇到穩定度問題 (整個閉回路至少有 2 個低頻極點)	需要外加 Charge Pump 電路

一般而言,Power PMOS 是操作在飽和區,如果所設計的 LDO 線性穩壓器的 Loop Gain 非常高,則 Power PMOS 也可以操作在線性區,如此 Power PMOS 可以設計比較小的尺寸,節省面積。Power MOS 的大小是設計在最差的情況,也就是最大  $V_{SD(SAT)}$ ,最大的負載電流,及最大溫度下。

計算公式為:

$$V_{SD(sat)} = \sqrt{\frac{2I_{o(max)}}{\mu_p C_{ox} (W/L)}} \approx V_{Drop-out} \Rightarrow \left(\frac{W}{L}\right)_{PASS} = \frac{2I_{max}}{\mu C_{ox} V_{DSsat}^2} \quad (2.23)$$

為了有最小的閘極寄生電容(Parasitic Capacitor),一般採用最小的電晶體長度,然後逐漸增加電晶體寬度一直到符合壓降電壓(Dropout Voltage)的規格。而保守的電晶體大小是理

論值的 1.1 倍到 1.2 倍。

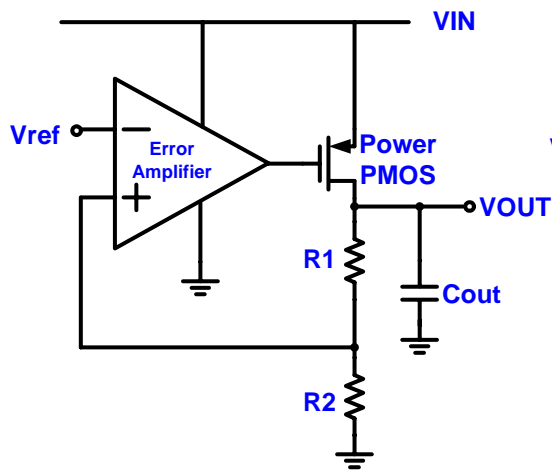


圖 2.9 PMOS 傳輸電晶體 LDO

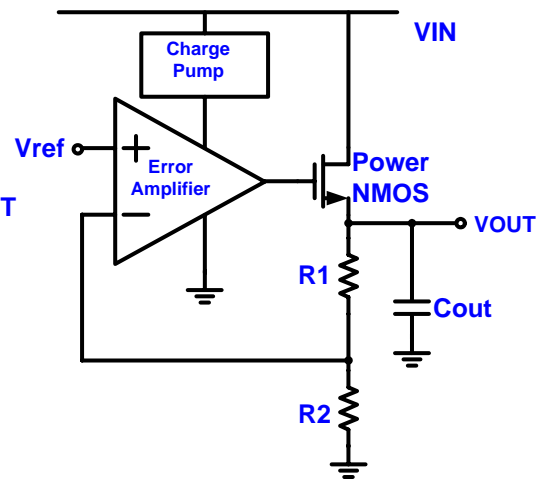


圖 2.10 NMOS 傳輸電晶體 LDO

### 2.3.2 傳統 LDO 線性穩壓器的穩定度分析

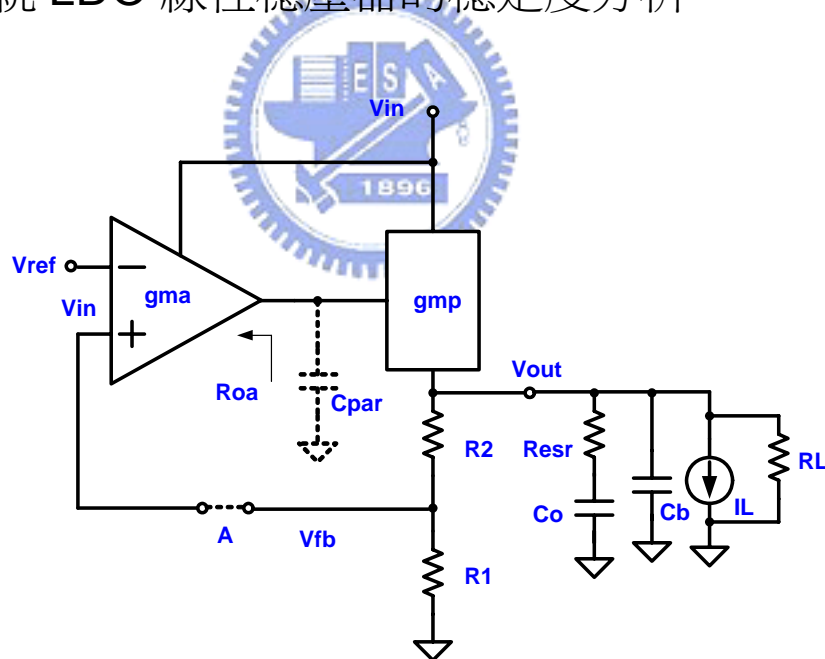


圖 2.11 傳統 PMOS LDO 線性穩壓器的架構

圖 2.11 為傳統 PMOS LDO 線性穩壓器的架構，包含有一個誤差放大器 (Error Amplifier)，一個傳輸電晶體 (Pass Transistor)，回授電阻 (Feedback Resistor)，一個輸出電容  $C_o$  包含有串聯等效電阻 (ESR)，及旁路電容  $C_b$ 。旁路電容  $C_b$  的串聯等效電阻 ESR 很小，一般都忽略不計。整個傳輸電晶體 (Pass Transistor) 可以等效成一個轉導  $g_{mp}$  及輸出電阻  $R_{opass}$ 。回授電阻 (Feedback Resistor)  $R_2$  是依據想設計的輸出電壓來決定，例如：如果  $R_2$  是等於零，則輸出電壓就等於參考電壓。而  $R_1$  是依據想設計流過  $R_1$  及  $R_2$  的靜態電流

的大小來決定( $R_1=V_{ref}/I_{R1}$ )。爲了有比較小的靜態電流, $R_1$  阻值會設計比較大。

一般 LDO 線性穩壓器爲了達到系統的穩定,都會限制輸出電容的大小及串聯等效電阻(ESR)的範圍。爲了分析 LDO 線性穩壓器的頻率響應,一般會從 A 點(高阻抗節點)打斷系統的閉迴路來分析,而整個系統的小信號模型如圖 2.12 所示。

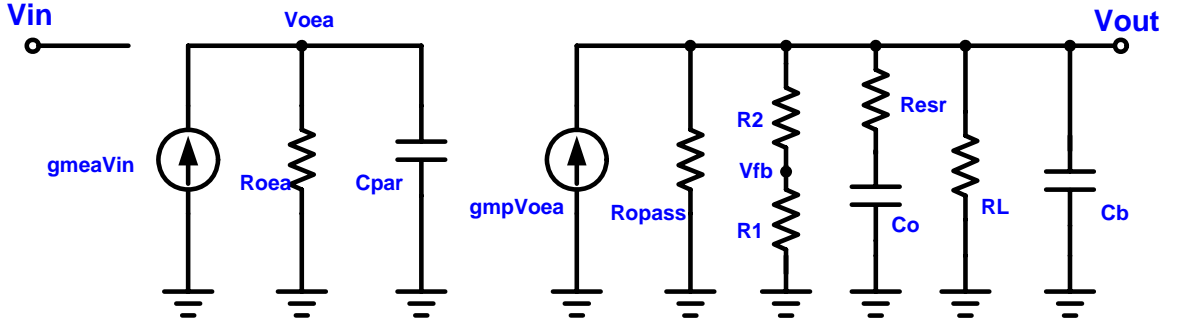


圖 2.12 傳統 PMOS LDO 線性穩壓器的小信號模型 [3]

傳統 PMOS LDO 線性穩壓器的 Loop Gain 計算如下:

$$A_{LoopGain} = \frac{V_{fb}}{V_{in}} = g_{mea} \times (R_{oea} \parallel sC_{par}) \times g_{mp} \times Z \times \frac{R_1}{R_1 + R_2} \quad (2.24)$$

其中  $g_{mea}$  和  $g_{mp}$  分別是誤差放大器(Error Amplifier)及傳輸電晶體(Pass Transistor)的轉導(transconductance),  $C_{par}$  及  $R_{oea}$  是誤差放大器(Error Amplifier)在輸出端的等效電容及電阻,  $R_1$  及  $R_2$  是回授電阻, 而  $Z$  是從 PMOS LDO 線性穩壓器的輸出端看到的等效阻抗, 表示如下:

$$Z = R_{opass} \parallel (R_1 + R_2) \parallel (R_{esr} + 1/sC_o) \parallel R_L \parallel (1/sC_b) \quad (2.25)$$

其中  $R_{opass}$  是傳輸電晶體(Pass Transistor)等效輸出電阻,  $C_b$  是高頻旁路電容。

通常,  $Resr \ll R_{opass} \ll R_1 + R_2$ , 所以忽略  $R_1 + R_2$  後, 將 (2.25) 式代回 (2.24) 式, 可得到:

$$A_{LoopGain} \approx \frac{b \times g_{mea} \times g_{mp} \times R_{oea} \times (R_{esr} + R_{opass} \parallel R_L) \times (sC_o R_{esr} + 1)}{(1 + sC_o (R_{esr} + R_{opass} \parallel R_L))(1 + sC_{par} R_{oea})(1 + sR_{esr} C_b)} \quad (2.26)$$

其中  $b = \frac{R_1}{R_1 + R_2}$ , 由 (2.26) 式可看出整個的轉移函數(Transfer Function)有三個極點及一個零點。

由於  $C_o$  是外部電容, 一般大概有幾個  $\mu F$ , 所以主極點在 LDO 線性穩壓器的輸出端表示爲:

$$P_{-3dB} = \frac{1}{(R_{esr} + R_{opass} \parallel R_L) \times C_o} \quad (2.27)$$

傳輸電晶體(Pass Transistor)的寄生電容  $C_{par}$  一般大概有幾十 pF,與誤差放大器(Error Amplifier)的輸出電阻形成第二主極點,表示為:

$$P_2 = \frac{1}{R_{oea} \times C_{par}} \quad (2.28)$$

第三極點是由高頻旁路電容  $C_b$  及串聯等效電阻(ESR)所組成,表示如下:

$$P_3 = \frac{1}{R_{esr} C_b} \quad (2.29)$$

而唯一的零點由串聯等效電阻(ESR)及外部電容  $C_o$  所組成,表示如下:

$$Z_{esr} = \frac{1}{R_{esr} C_o} \quad (2.30)$$

PMOS LDO 線性穩壓器的直流增益(dc gain)可以將  $s=0$  代入(2.23)式,得到:

$$LG_0 = b \times g_{mea} \times g_{mp} \times R_{oea} \times (R_{esr} + R_{opass} \parallel R_L) \quad (2.31)$$

而增益頻寬乘積(GBW)為:

$$GBW = LG_0 \times P_{-3dB} = \frac{b \times g_{mea} \times g_{mp} \times R_{oea}}{C_o} \quad (2.29)$$

一般而言,三個極點的順序分別為  $P_{-3dB} < P_2 < P_3$ 。一個穩定的系統,必須至少有 45 度的相位邊限(Phase Margin),為了達到系統穩定,通常只有一個極點  $P_{-3dB}$  位於單位增益頻率之內,而  $P_2$  可藉由  $Z_{esr}$  來消除。 $P_3$  則設計在大於或等於單位增益頻率。一個穩定的傳統 PMOS LDO 線性穩壓器的頻率響應,如圖 2.13 所示。

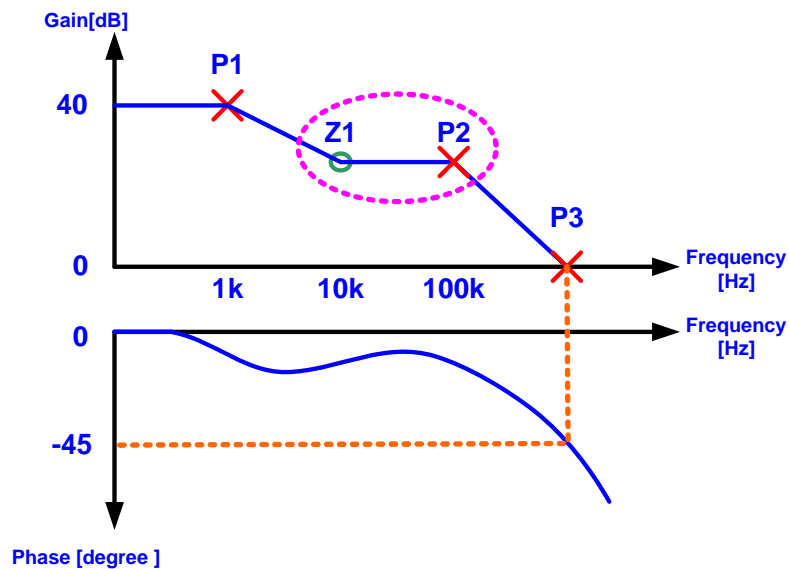


圖 2.13 傳統 PMOS LDO 線性穩壓器的頻率響應



傳統 PMOS LDO 線性穩壓器的穩定度通常會與其它的設計項目之間有所衝突，例如：最大的負載電流(maximum load current)，靜態電流(quiescent current)，輸出電容的大小，系統的迴路直流增益(dc gain)，及串聯等效電阻的容許範圍(tolerance range of the ESR)。

由(2.29)式,可看出當輸出負載電流  $I_{OMAX}$  增加時，單位增益頻寬也將增加，頻寬的增加將造成高頻的極點(P3)進入單位增益頻寬之內,而系統的相位邊限(Phase Margin)勢必減少,造成系統不穩定。因此，最大負載電流  $I_{OMAX}$  與穩定度之間是 trade off。所以最差的情況是在最大負載電流  $I_{OMAX}$  時,而頻率補償也是設計在這個情況，如圖 2.14。

另一方面，減少靜態電流(quiescent current)意味著將使得誤差放大器(Error Amplifier)的輸出電阻  $R_{oea}$  變大,由(2.28)式可知,將造成  $P_2$  往低頻移動,系統的相位邊限(Phase Margin)減少。因此，傳統 PMOS LDO 線性穩壓器的靜態電流(quiescent current)不能太小。由(2.27)式可知主極點與輸出電容  $C_o$  相關,爲了有更低頻的主極點，勢必增加更大的輸出電容  $C_o$ ，佔了很大的面積及成本。

增加直流增益(dc gain)可以改善輸出電壓的精確度，但同時也增大了單位增益頻寬造成高頻的極點(P3)進入單位增益頻寬之內,系統的相位邊限(Phase Margin)減少,造成系統不穩定。

傳統 PMOS LDO 線性穩壓器的頻率補償必須藉由  $P_2$  與  $Z_{esr}$  的抵消來增加相位邊限。而  $Z_{esr}$  零點是靠等效串聯電阻 ESR 來產生,爲了精確的抵消  $P_2$ ，等效串聯電阻 ESR 因此被受限於某個範圍內，太大的 ESR 將造成  $P_3$  進入單位增益頻寬之內，系統將變成兩個低頻極點而造成不穩定，如圖 2.15 所示。太小的 ESR,零點會位於高頻，使得無法抵消  $P_2$ ，系統同樣將變成兩個低頻極點而造成不穩定，如圖 2.16 所示。因此，傳統 PMOS LDO 線性穩壓器必須小心選擇輸出電容的 ESR。一般廠商都會提供一個 ESR 有效範圍當作頻率補償的參考，如圖 2.17 所示。

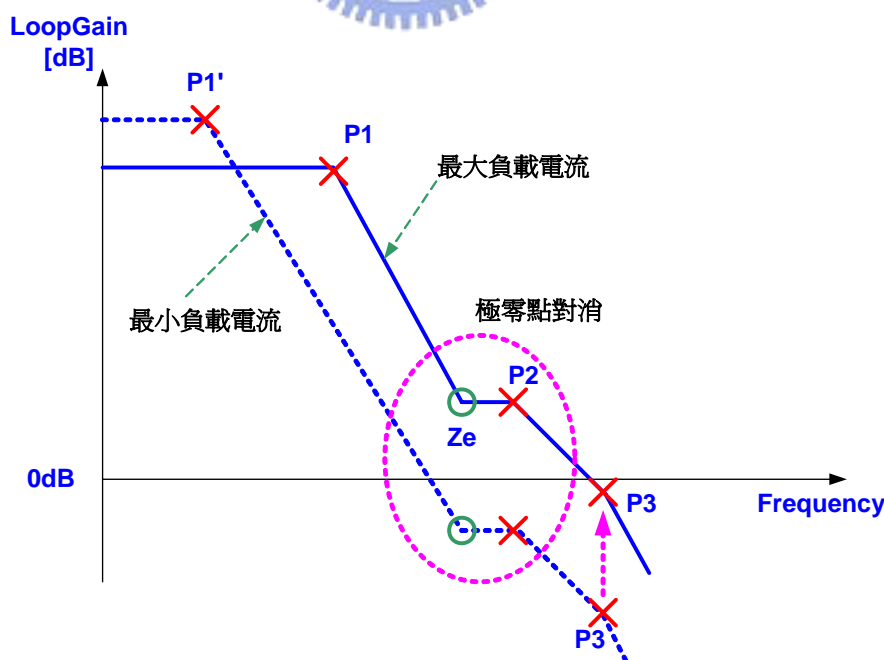


圖 2.14 太大的負載電流將造成系統不穩定

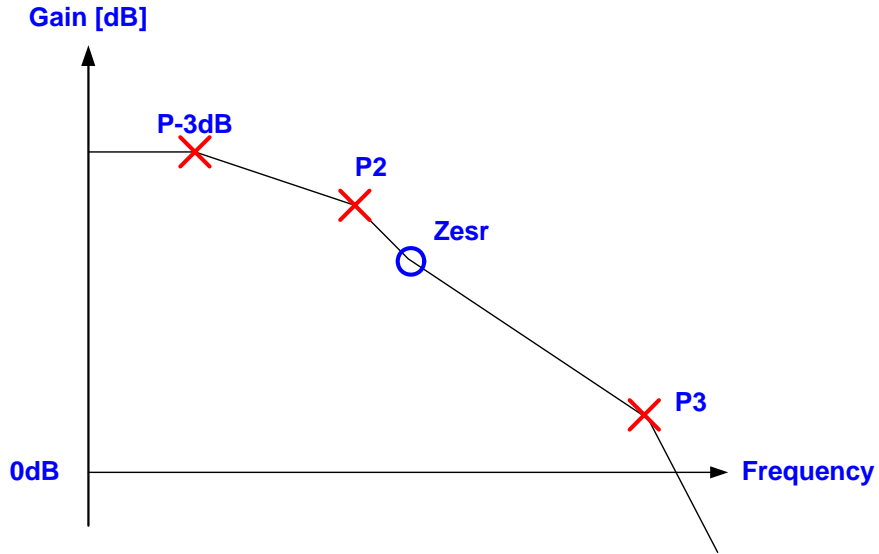


圖 2.15 太大的 ESR 造成系統不穩定

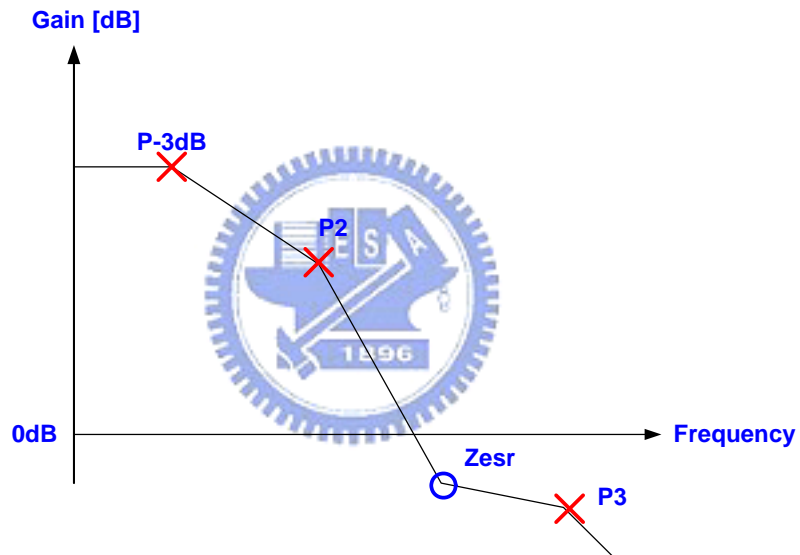


圖 2.16 太小的 ESR 造成系統不穩定

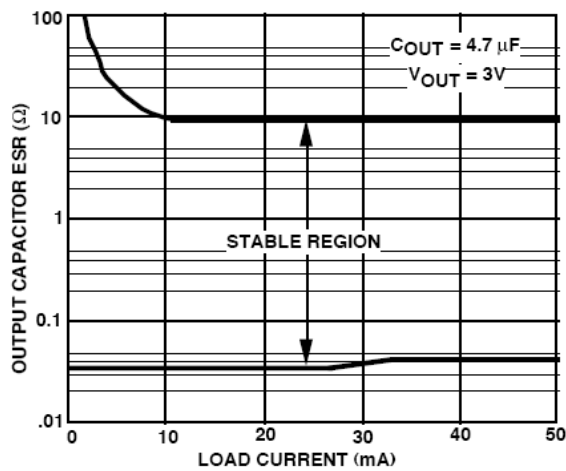


圖 2.17 ESR 的穩定範圍 [2]



一般量測 AC Open-Loop Gain 的方法是從測試點 A 打斷，然後加入一個 AC 信號，很大的電感  $L_{OPEN}$  ( $10^{12}H$ )以及很大的電容  $C_{OPEN}$  ( $10^{12}F$ )，如圖 2.18 所示。電感  $L_{OPEN}$  形成一個直流的回授路徑，阻斷了交流成份。直流回授路徑經由  $L_{OPEN}$  設定了正確的工作點使得 LDO 閉回路能正常工作。而 AC 信號在不影響直流工作點的情形下能經由電容  $C_{OPEN}$  耦合(coupling)到放大器。如此的做法可以量測到非常低頻的開回路增益。

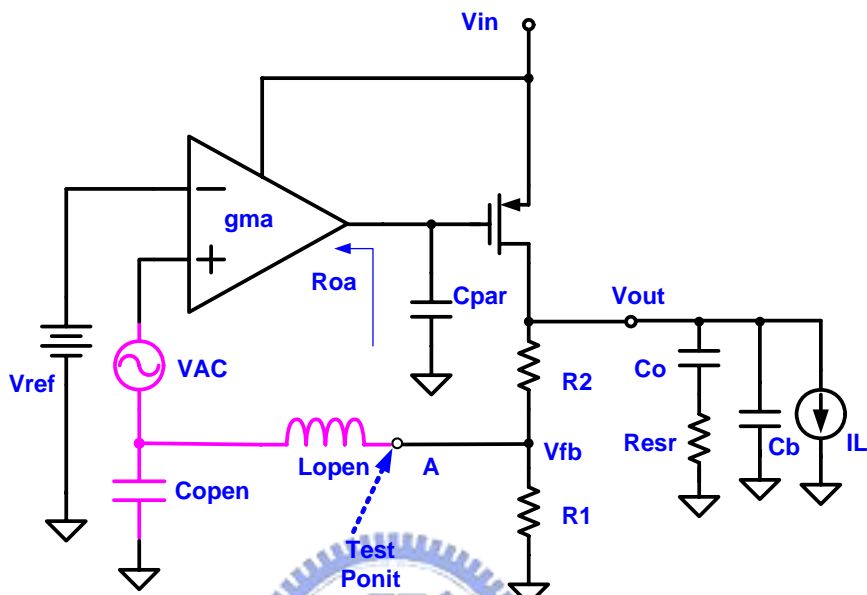


圖 2.18 AC Open- Loop Gain 的 Simulation Circuit [5]

### 2.3.3 暫態響應分析

暫態響應是 LDO 線性穩壓器的重要規格。暫態響應是指當負載電流有瞬間全載的步驟變動(full load-current step change)時，輸出電壓的最大允許的變動範圍。

對於數位電路而言，這個規格可以比較寬鬆，因為數位電路有比較大的雜訊邊限(Noise Margin)。但對於類比電路而言，則不盡然。

暫態響應設計項目包含有輸出電壓變動量及變動之後的回復時間。此兩項目是越小越好。暫態響應主要受到幾項因素影響，包含:輸出電容值，輸出電容的等效串聯電阻(ESR)，最大的負載電流，LDO 線性穩壓器的頻寬，以及 LDO 線性穩壓器的回轉率(Slew Rate)。一個可以量測 Load Transient 的電路，如圖 2.19 所示。將 LDO 線性穩壓器輸出端接一個主動的電流鏡，再由  $I_{Load}$  產生一個步驟的電流變化，然後觀察  $V_{OUT}$  的變化情形。

典型的輸出電壓變化如圖 2.20 所示。當一個正的步驟電流變化(positive step current change)加到 LDO 線性穩壓器的輸出端時，由於 LDO 線性穩壓器有限的頻寬無法即時提供大的電流給負載，造成輸出電壓有一個  $V_{drop}$  的下降。而在  $\Delta T_i$  這段時間，大部分的負載電流是由輸出電容所提供，輸出電容之等效串聯電阻 ESR 與負載電流變化，會造成輸出電壓有  $\Delta I_{Load} \times R_{ESR}$  的瞬間壓降， $V_{drop}$  公式可以表示成:

$$V_{drop} = \frac{I_{Load-max}}{C_o + C_b} \times \Delta T_1 + \Delta V_{ESR} \quad (2.30)$$

因爲  $C_b$  是高頻旁路電容，因此有比較低的 ESR，所產生的壓降可以忽略。 $\Delta T_1$  不只是與 LDO 線性穩壓器的閉回路頻寬有關也與系統內部的回轉率(Slew Rate)相關， $\Delta T_1$  的表示式如下：

$$\Delta T_1 \approx \frac{1}{BW_{CloseLoop}} + t_{sr} = \frac{1}{BW_{CloseLoop}} + C_{par} \times \frac{\Delta V_{par}}{I_{sr}} \quad (2.31)$$

其中  $BW_{CloseLoop}$  是系統的閉回路頻寬， $t_{sr}$  是與傳輸電晶體(Pass Transistor)寄生電容  $C_{par}$  相關的迴轉率時間(Slew Rate Time)， $\Delta V_{par}$  是在  $C_{par}$  上所造成的壓差， $I_{sr}$  是回轉率所限制的最大電流。

以一個例子說明，如果  $BW_{CloseLoop}$  是 500kHz， $C_{par}$  是 40pF， $\Delta V_{par}$  是 0.5V， $I_{sr}$  是 5  $\mu A$ ， $C_o$  是 10  $\mu F$ ，沒有 ESR，最大負載電流  $I_{Load-max}$  是 100mA。依據(2.30)式及(2.31) 式可得，輸出壓降  $V_{drop} = 60mV$ 。

由(2.30)式及(2.31)式可知，一個大頻寬及快速迴轉率(Slew Rate)的 LDO 線性穩壓器會有比較小的  $\Delta T_1$ ，並且使得輸出壓降  $V_{drop}$  比較小。而比較大的輸出電容  $C_o$  也可以減少輸出壓降  $V_{drop}$ 。

當  $\Delta T_1$  的回轉率(Slew Rate)階段結束，則進入  $\Delta T_2$  這段時間，LDO 線性穩壓器閉回路開始反應時，表示 LDO 線性穩壓器已經偵測到輸出壓降  $V_{drop}$ ，傳輸電晶體(Pass Transistor)開始提供電流給輸出電容  $C_o$  及負載，使得輸出電壓可以拉回到原來電位。由於有限的迴路增益 Loop Gain 使得拉回的位置與原始的位準有一段  $\Delta V_2$  的誤差，這就是 LDO 線性穩壓器的負載穩壓(Load Regulation)效果。

$\Delta V_2 = R_{O-REG} \times I_{Load-max}$ ，其中  $R_{O-REG}$  是 LDO 線性穩壓器閉回路輸出電阻。

在  $\Delta T_2$  這段時間主要受限於傳輸電晶體(Pass Transistor)充飽輸出電容  $C_o$  的時間以及閉迴路系統的相位邊限(Phase Margin)。

另外一個情形是當負載突然移除，也就是一個負的步階電流變化(negative step current change)加到 LDO 線性穩壓器的輸出端時，傳輸電晶體(Pass Transistor)來不及關閉，使得輸出電壓突然上升，直到傳輸電晶體(Pass Transistor)完全關閉。

在傳輸電晶體(Pass Transistor)未完全關閉前，會有多餘的電流流到輸出節點，造成一個  $V_{Peak}$  的壓降，而  $V_{Peak}$  的壓降是多餘的電流對輸出電容  $C_o$  及等效串聯電阻 ESR 充電所造成的。描述如下：

$$V_{peak} = \frac{I_{load max}}{C_o + C_b} \times \Delta T_3 + V_{esr} \approx \frac{I_{load max}}{C_o + C_b} \times \frac{1}{BW_{Close-loop}} + \Delta V_{esr} \quad (2.32)$$

其中  $\Delta V_3$  與系統的閉迴路頻寬及誤差放大器的迴轉率(Slew Rate)電流相關。由於在  $\Delta T_1$  及  $\Delta T_3$  時 LDO 線性穩壓器的迴轉率(Slew Rate)並不相同，所以造成  $V_{Peak}$  與  $V_{drop}$  並不完全對稱。當傳輸電晶體(Pass Transistor)完全關閉後，就進入  $\Delta T_4$  階段，輸出電壓將下降

$\Delta V_4 (=V_{Peak} - \Delta V_{esr})$ ，在此時多餘的電流只能靠迴授網路放電到最終值。放電的電流為  $V_{REF}/R_2$  是固定值，因為低靜態電流的需求，這個放電電流一般只有幾  $\mu A$ ，所以會花費很長的  $\Delta T_4$ ， $\Delta T_4$  描述如下：

$$T_4 = \frac{C_o + C_b}{V_{ref}} \times R_2 \times \Delta V_4 \quad (2.33)$$

總而言之，為了改善暫態響應，必須提升 LDO 線性穩壓器的頻寬，增加迴轉率(Slew Rate)，及減少輸出電容的等效串聯電阻 ESR。

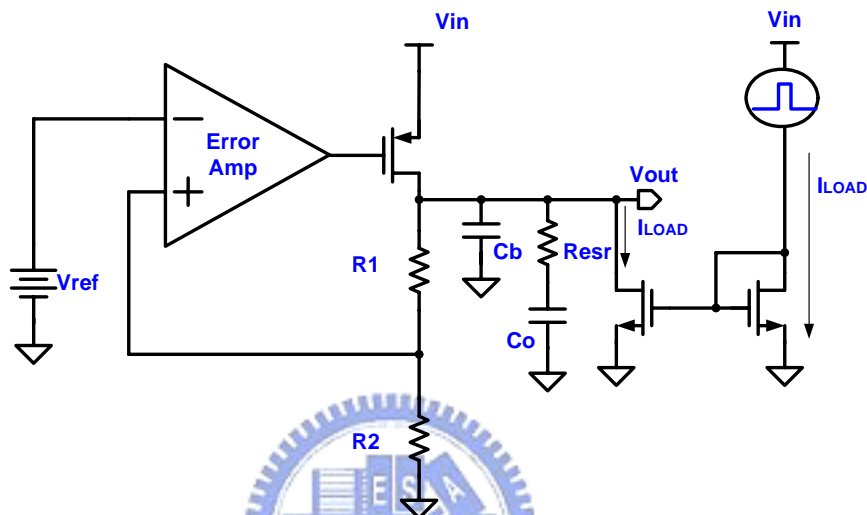


圖 2.19 量測負載暫態響應的測試電路 [5]

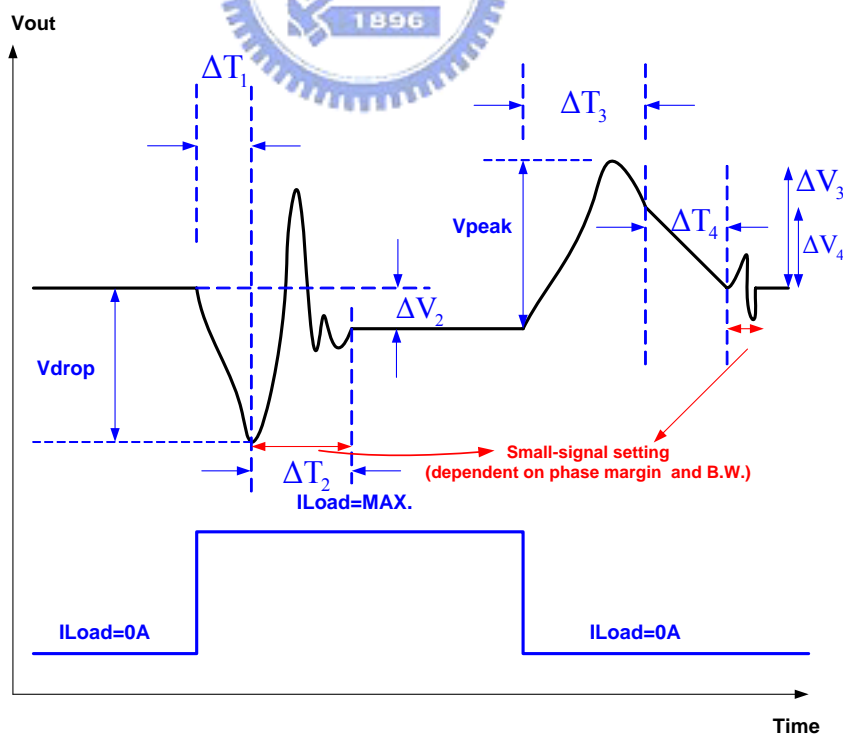


圖 2.20 LDO 線性穩壓器的負載暫態響應 [4]

## 2.3.4 參考電壓的設計考量

許多的 DC-DC Converter 電路都需要一個精準的參考電壓源。而這個參考電壓源理論上必須是與製程，電源電壓及溫度無關(P.V.T. independent)。常用的參考電壓電路有: (1) 能隙參考電壓電路( Bandgap Reference Voltage Circuit) (2)CMOS 參考電路(CMOS Voltage Reference Circuit)兩種。

第一種參考電壓源是利用 BJT 電晶體的 pn 接面產生  $V_{BE}$  電壓，其溫度係數約為  $-2.2\text{mV}/^\circ\text{K}$ 。此外，pn 接面也產生一個熱電壓  $V_t (=kT/q)$ ，該值正比於絕對溫度(PTAT)且它在室溫下的係數為  $+0.085\text{mV}/^\circ\text{K}$ ，將熱電壓  $V_t$  乘上常數  $K$  並加上  $V_{BE}$  電壓，則參考電壓為

$$V_{REF} = V_{BE} + KV_t \quad (2.34)$$

將(2.34)式的兩邊對溫度做微分，可得:

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + K \frac{\partial V_t}{\partial T} \quad (2.35)$$

其中  $\frac{\partial V_{BE}}{\partial T} \cong -1.5\text{mV}/^\circ\text{K}$ ， $\frac{\partial V_t}{\partial T} \cong 0.087\text{mV}/^\circ\text{K}$ ，只要設計適當的  $K$  值就可使得  $\frac{\partial V_{REF}}{\partial T} = 0$  而得到一個與溫度無關的參考電壓。 $K$  值 =  $1.5\text{m} / 0.087\text{m} = 17.2$ ，則

$$V_{REF} \approx V_{BE} + 17.2V_t \approx 1.25V \quad (2.36)$$

由於  $V_{BE}$  與電源電壓之間的關連性很小，所以能隙參考電壓( Bandgap Reference Voltage) 與電源電壓之間的關連性也很小。如圖 2.21 所示。

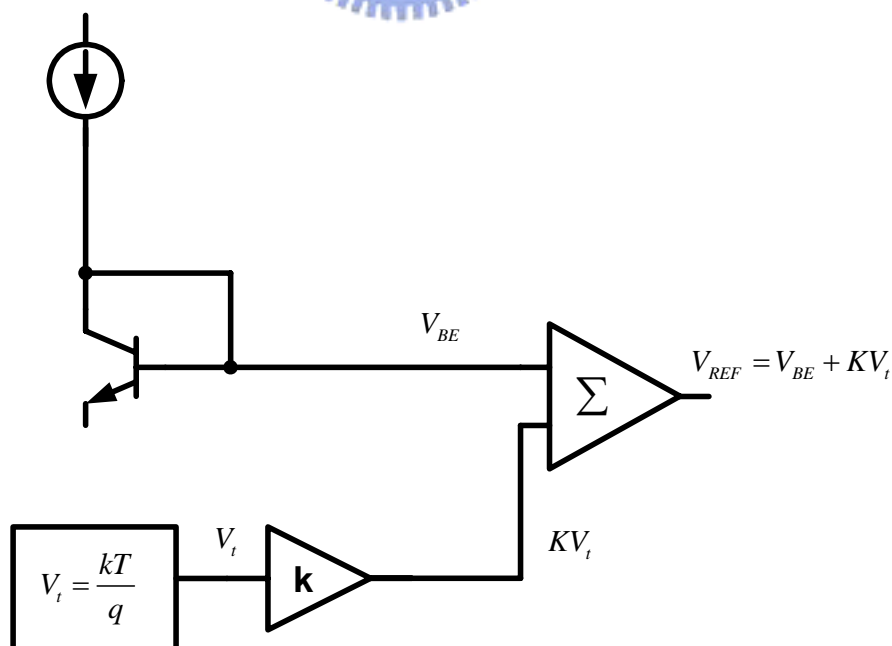


圖 2.21 能隙參考電壓電路的基本原理 [6]

在標準 n-well 的 CMOS 製程技術中，可以利用垂直的 PNP BJT 電晶體來實現能隙參考電壓電路。一般的晶圓廠都會提供這個 Model。如圖 2.22，利用在 n-well 中的 P<sup>+</sup>當作射極(emitter)，n-well 本身當基極(base)，P 型基底當做集極(collector)。

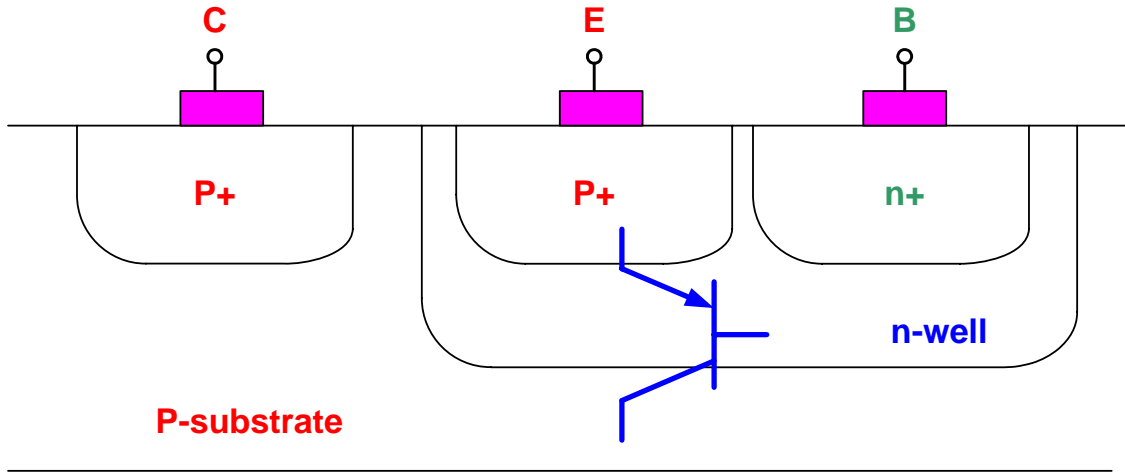


圖 2.22 在 CMOS 製程技術中垂直的 PNP BJT 電晶體結構 [7]

以一個實際的基本電路做說明，如圖 2.23 所示。利用 Op Amplifier A1 的高增益及負回授所形成的虛短路，將使得  $V_X$  與  $V_Y$  兩點等電位。可得到

$$I_{R3} = \frac{V_{EB1} - V_{EB2}}{R_3} = \frac{V_T \ln n}{R_3} \quad (2.27)$$

然後由  $I_{R3}$  流過  $R_2$  及  $R_3$  再加上  $V_{EB2}$  的電壓，最後可以得到

$$V_{REF} = V_{EB2} + \frac{V_T \ln n}{R_3} (R_2 + R_3) = V_{EB2} + (V_T \ln n) \left(1 + \frac{R_2}{R_3}\right) \quad (2.28)$$

其中 Q2 是 n 個單位的 PNP BJT 電晶體，Q1 是 1 個單位的 PNP BJT 電晶體，而為了達到實體佈局的對稱性，一般選擇 n=8。

為了達到零溫度係數的參考電壓，將(2.27)式中  $V_T$  項的係數設計為:

$$(1 + R_2 / R_3) \ln n = (1 + R_2 / R_3) \ln 8 = K \approx 17.2 \quad (2.29)$$

由(2.28)式，可得  $R_2/R_3=7.27$ 。這個電阻的比值與溫度無關。實際上，(2.28)式必須考慮 Op Amplifier A1 的偏移電壓(Offset Voltage)所造成的誤差。

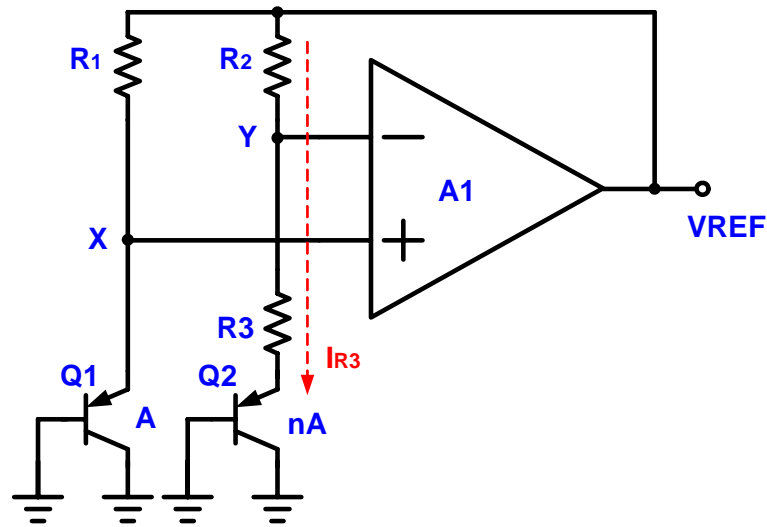


圖 2.23 實際的基本能隙參考電壓電路 [7]

第二種參考電壓源是完全只使用 MOS 電晶體及電阻來實現，因此可減少晶片的面積。這類的參考電壓源主要依靠 NMOS 及 PMOS 的臨限電壓(threshold voltage)對溫度變化不同來做溫度補償，如圖 2.24 所示。以 K.N.Leung and P.K.T. Mok. 在 2003 年所提出的電路來說明[8]。如圖 2.25 所示。參考電壓可很容易推導如(2.40)式。

$$V_{REF} = \left(1 + \frac{R_1}{R_2}\right) \cdot V_{GSN} - |V_{GSP}| \quad (2.40)$$

當 R1 及 R2 很大時，則流經 R1 及 R2 的電流可忽略。經由設計 R1/R2 的比值及 NMOS 和 PMOS 的大小可以得到最佳的溫度係數。文獻所提出溫度係數可低到 24ppm/°C。

當  $I_B$  受到 VDD 的變動而增加/減少時， $V_{GSN}$  及  $|V_{GSP}|$  也會跟著增加/減少，所以  $V_{REF}$  對於電源電壓的變動並不敏感。然而這個電路的一個大問題是  $V_{REF}$  與製程是相依的(臨限電壓會隨製程變動)，所以  $V_{REF}$  必須透過電阻的微調(trimming)來校正。

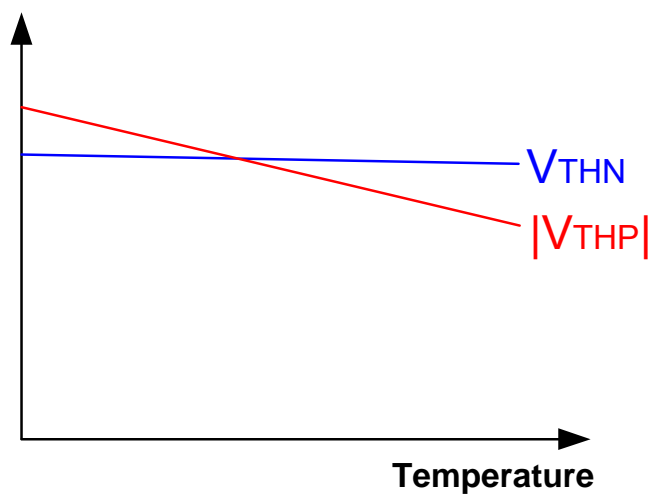


圖 2.24 與溫度相依的 NMOS 及 PMOS 臨限電壓 [8]

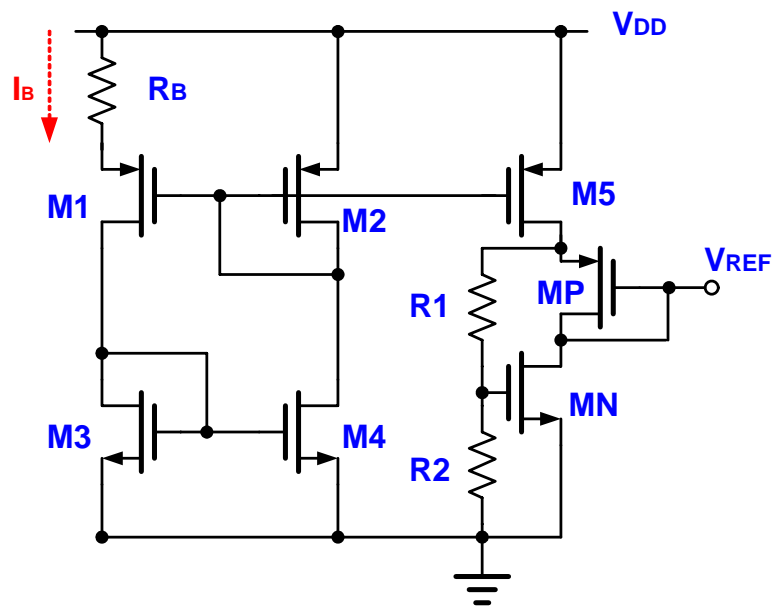


圖 2.25 一個完全使用 MOS 電晶體的參考電壓源 [8]

在設計參考電壓源時，主要的考量是在改善精確度及減少誤差來源。包含在電路及實體佈局的誤差來源。以一個簡單的能隙參考電壓電路(圖 2.26)來說明設計時的考量。分成三部份來討論: (1)BJT 電晶體及電阻的佈局考量 (2)電流鏡(Current Mirror)及電壓箝位(Voltage Clamping)的設計考量 (3)電源拒斥比(Power Supply Rejection Ratio)的考量 [8] [9]

(1) BJT 電晶體及電阻的佈局考量:

為了減少不必要的 Trimming，BJT 電晶體及電阻在實體佈局上必須考慮對稱性。而最佳的方法是使用同心軸的佈局方式，如圖 2.27 所示。

BJT 電晶體的 Q1 與 Q2 尺寸比率為 1: N。而 N 值一般是選擇為 8，而且所有的 BJT 電晶體越靠近越好，比較大的 N 值將造成比較大的元件之間的距離，因此造成製程上比較大的偏移。

對於電阻的實體佈局而言，最佳的方法也是使用同心軸的佈局方式。電阻的的排列方式最好是長方形或正方形的型式如圖 2.27(b)所示。使用比較長及比較寬的電阻則可以忽略 Contact 電阻的影響。



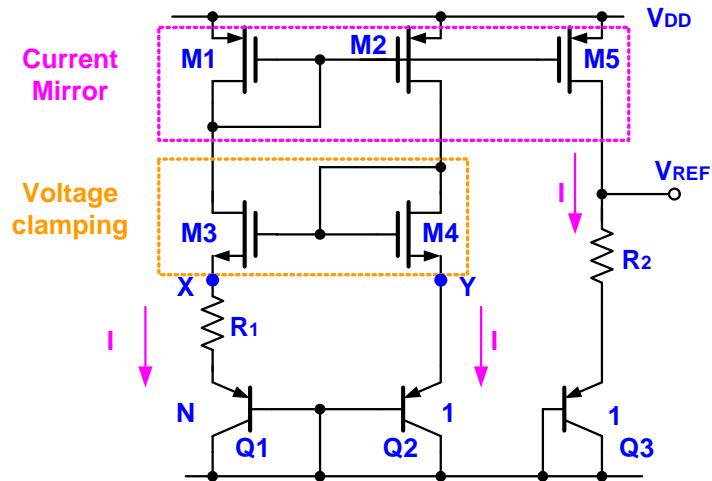


圖 2.26 簡單的能隙參考電壓電路 [8]

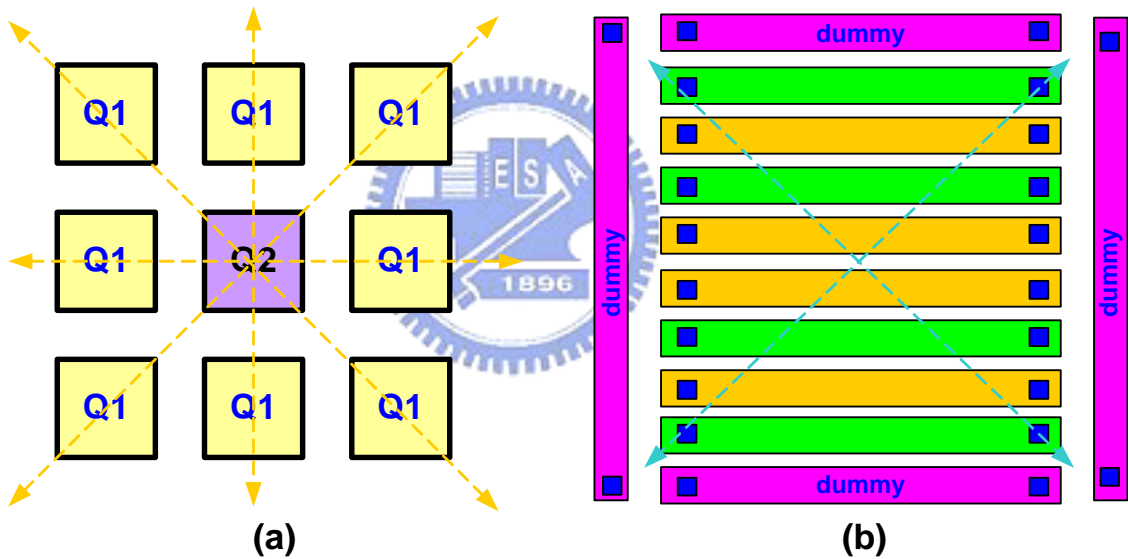


圖 2.27 (a)BJT 電晶體及(b)電阻的同心軸佈局 [8].

(2)電流鏡(Current Mirror)及電壓箝位(Voltage Clamping)的設計考量:

在圖 2.26 簡單的能隙參考電壓電路中，由於電源電壓的變動，電流鏡(M1,M2,M5)和電壓箝位(M3,M4)即使是使用長通道的 MOS 電晶體也無法完全將  $V_X$  及  $V_Y$  兩點等電位。而使用疊接的電流鏡(Cascode current mirror)是一種方法，但並不適用在低電壓的電路中。一個比較廣泛使用的方法是以誤差放大器為基礎的電流鏡，如圖 2.28 所示。

在這架構中，理想的誤差放大器 A1 的電壓增益很高，使得  $V_A = V_B$ 。然後再經由設計  $R_2 = R_3$ ，使得  $V_{DS1} = V_{DS2}$ ，因此 M1 與 M2 的電流 I 可以達到最佳的對稱性。而在這個架構中的  $V_{REF}$  並不須要額外的電流分支來產生，因此功率損耗及誤差均可以被有效的降低。



實際的誤差放大器 A1 的電壓增益是有限值，使得  $V_A \neq V_B$ ，因而造成能隙參考電壓電路的主要誤差來源。這個誤差來源可表示：

$$V_{ERR} = V_A - V_B = V_{OFFR} + V_{OFFS} + V_{DD} / A \quad (2.41)$$

其中  $V_{OFFR}$  是隨機誤差電壓(製程漂移造成)， $V_{OFFS}$  是系統誤差電壓， $V_{DD}/A$  是有限增益的誤差電壓，A 是誤差放大器 A1 的電壓增益。

爲了降低系統誤差( $V_{OFFS}$ )，誤差放大器必須使用最簡單的架構。如圖 2.28(b)所示是最佳選擇，只有 MA1，MA2 及 MA3，MA4 兩組差動對必須完全對稱。

一般  $V_{ERR}$  必須遠小於  $V_{EB2} - V_{EB1} = V_T \ln(N)$ ，因此必須使用比較大的 N 值。

在(2.40)式中，假設  $V_{OFFR}$  及  $V_{OFFS}$  此兩項很大時， $V_{ERR}$  將無法由很高電壓增益 A 來降低。因此，簡單的誤差放大器架構將比高電壓增益來的重要。

在穩定度方面，共有三個高阻抗的節點需要考量，分別是 A 點，B 點及 C 點。爲了增加穩定度，必須加入補償電容到電路中，有三種方法，分析如下：

(a)將補償電容加在 VDD 與 C 點之間形成主極點補償。此種方法所需要的補償電容必須很大，而且 VDD 的電源雜訊很容易經由補償電容傳到 VREF。

(b)將補償電容加在 C 點與地之間，此種方法的缺點是線上暫態反應(Line Transient Response)太慢，當電源 VDD 突然改變的時候，因爲很大的補償電容，C 點的電壓無法即時反應，而造成  $V_{REF}$  必須花費很長的安定時間 (Settling Time)。

(c)最好的方法是將補償電容加在 A 點與 C 點之間形成米勒效應(Miller Effect)，而補償電容也可以做的很小，節省面積。

(3)電源拒斥比(Power Supply Rejection Ratio)的考量

一個改善電源拒斥比的能隙參考電壓電路如圖 2.29。分成三個部份來改善，第一個部份在輸入側是由  $R_S$ ， $C_{IN}$  及  $ESR_{IN}$  所組成的一階低通濾波器，其中  $C_{IN}$  及  $ESR_{IN}$  是由 N-Well 及 P-substrate 的 PN 接面所造成的寄生電容及電阻，如圖 2.30 所示。 $R_S$  是外部電阻，它可以用來阻隔高頻電源雜訊。 $C_{IN}$  則提供一個高頻電源雜訊流失的路徑， $ESR_{IN}$  因爲是串聯在  $C_{IN}$  而阻隔了高頻電源雜訊流失的路徑。因此爲了得到比較好的電源拒斥比，必須增加  $R_S$  及  $C_{IN}$ ，減少  $ESR_{IN}$ ，但在考慮功率損耗時  $R_S$  也不能太大，如圖 2.31。

第二個部份在輸出側是由  $R_F$ ， $C_{OUT}$  及  $ESR_{OUT}$  所組成的一階低通濾波器，其中  $R_F$ ， $C_{OUT}$  是外部濾波電阻及電容， $ESR_{OUT}$  是  $C_{OUT}$  的寄生串聯等效電阻。與第一個部份一樣，爲了得到比較好的電源拒斥比，必須增加  $R_F$  及  $C_{OUT}$ ，減少  $ESR_{OUT}$ ，如圖 2.32。

第三個部份是利用長通道的 PMOS 電流鏡(M1, M2, M5)來增加汲極端的小信號電阻 ( $r_o$ )以阻隔電源雜訊，短通道及長通道 PMOS 電流鏡的 PSRR 比較，如圖 2.33。但對於高頻部份的電源雜訊，兩者並無差別。

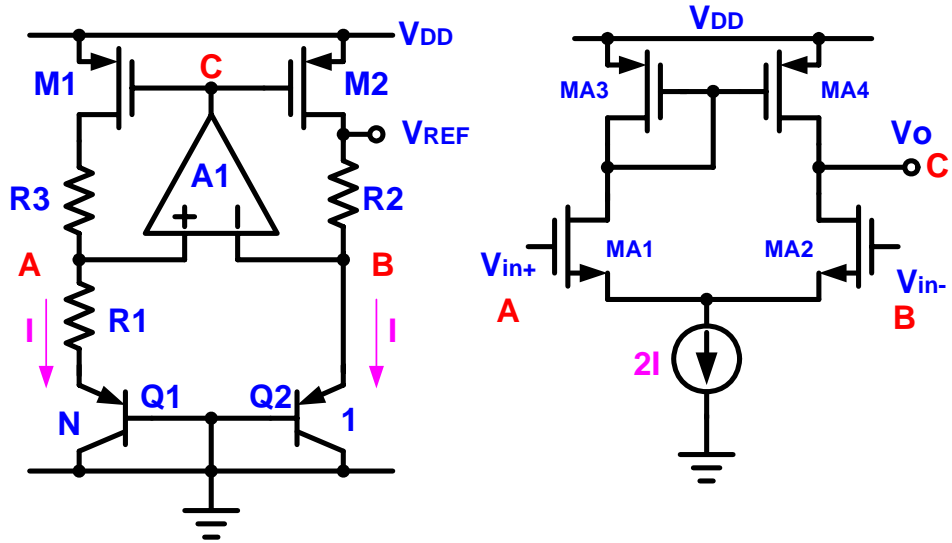


圖 2.28 (a)使用誤差放大器為基礎的能隙參考電壓電路. (b)簡單的差動對放大器[9].

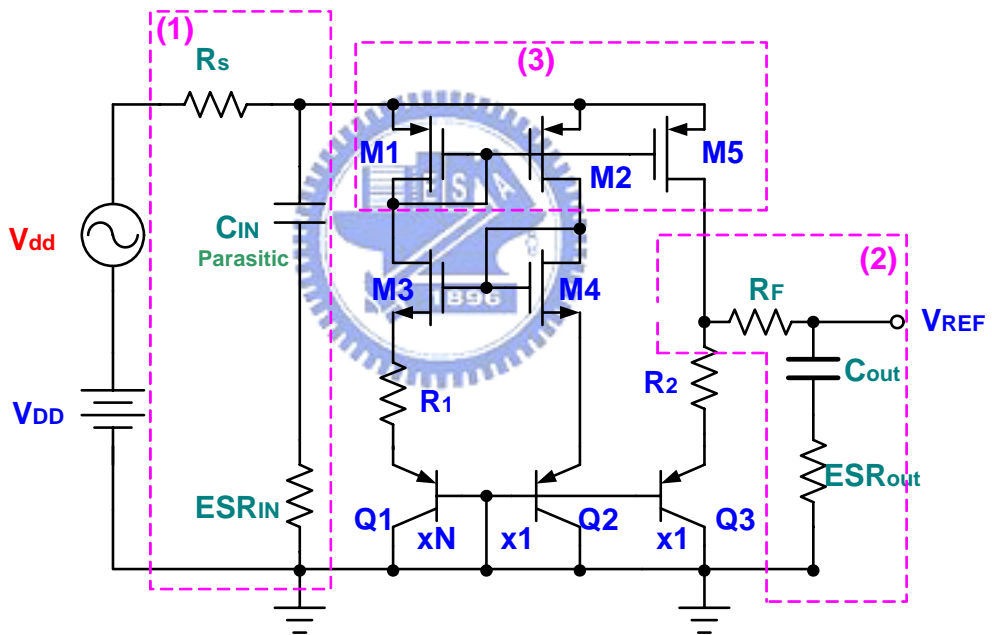


圖 2.29 一個改善電源拒斥比的能隙參考電壓電路[9].

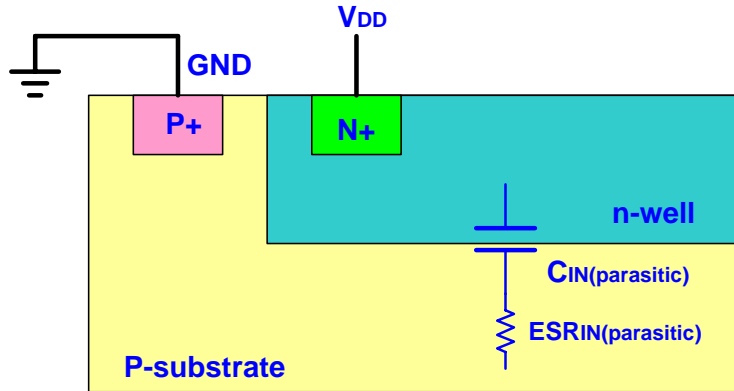


圖 2. 30 PN 接面所形成的寄生電容及電阻[9].

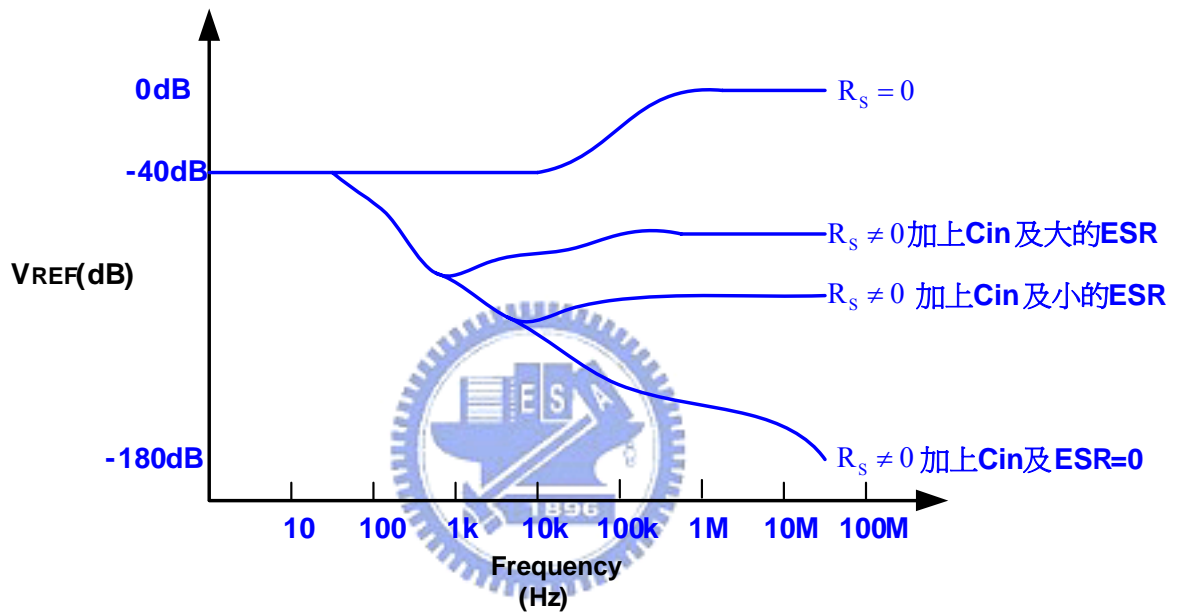


圖 2. 31 輸入側的 PSRR[9].

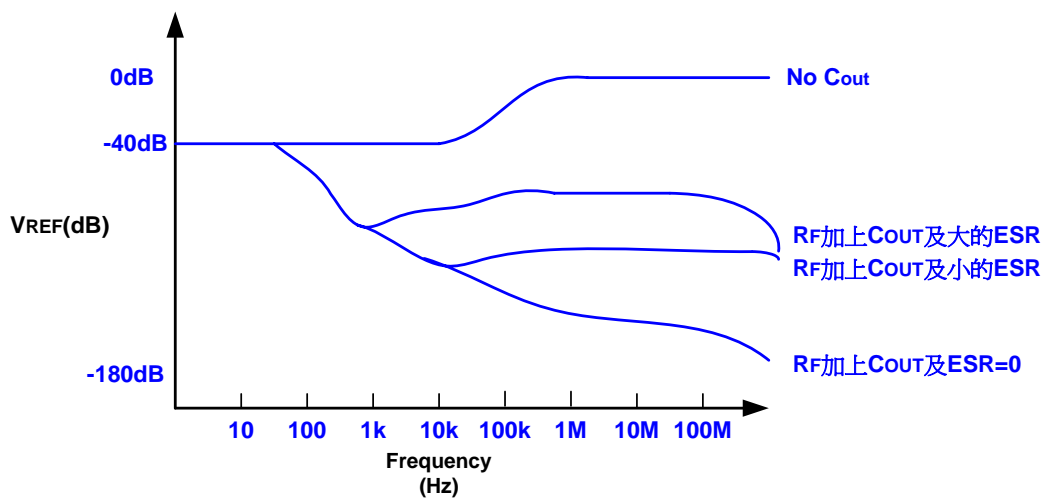


圖 2. 32 輸出側的 PSRR[9].

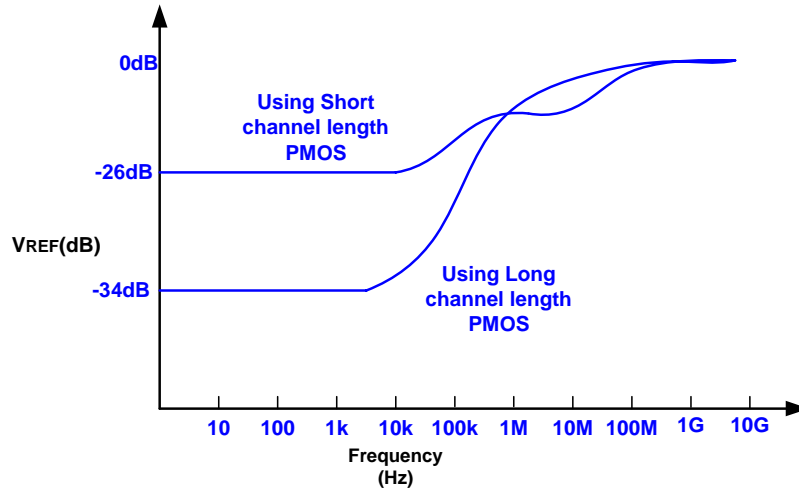


圖 2.33 長通道及短通道 PMOS 電流鏡的 PSRR[9].

總而言之，爲了改善參考電壓源的精確度及減少誤差來源，在元件佈局，電路的架構及電源雜訊上都必須仔細考量。

### 2.3.5 誤差放大器的設計考量

誤差放大器的規格與 LDO 線性穩壓器的各項效能息息相關，包含有輸出阻抗，增益，頻寬，輸出的迴轉率電流(output slew-rate current)，輸出電壓的擺幅，及靜態電流。在傳統 LDO 線性穩壓器中(如 2.3.2 節)，誤差放大器的輸出阻抗( $R_{oea}$ )很大,在加上傳輸電晶體(Pass Transistor)的閘級端的寄生電容( $C_{par}$  約幾十 pF)也很大，兩者所形成的極點  $P_2 = \frac{1}{R_{oea} \times C_{par}}$  限制了系統的頻寬。爲了增加系統的頻寬，一般作法是在誤差放大器及傳輸電晶體(Pass Transistor)之間加入一個電壓緩衝器(Voltage Buffer)，如圖 2.34 所示。

利用電壓緩衝器(Voltage Buffer)的低輸入電容及低輸出阻抗的特性，原本的  $P_2$  將分離成  $P_2'$  及  $P_2''$ 。

$$P_2' = \frac{1}{C_{par} R_{buf}}, P_2'' = \frac{1}{C_{buf} R_{oea}} \quad (2.42)$$

其中  $C_{par}$  是傳輸電晶體(Pass Transistor)閘級端寄生電容， $R_{buf}$  是電壓緩衝器的輸出阻抗， $C_{buf}$  是電壓緩衝器的輸入電容， $R_{oea}$  是誤差放大器的輸出阻抗。

因爲  $R_{buf}$ ， $C_{buf}$  遠小於  $R_{oea}$  及  $C_{par}$  使得  $P_2'$  及  $P_2''$  遠大於  $P_2$ ，一般由於  $C_{par}$  很大，所以  $P_2'' \gg P_2$ 。

由於  $P_2'$  及  $P_2''$  已經被分離到很高頻，原主極點  $P_1$  的  $C_L$  可以做的很小，因此產生了新的高頻的  $P_1'$ 。如圖 2.35 所示，整個 LDO 線性穩壓器的頻寬也因此增加。

但是使用電壓緩衝器的 LDO 線性穩壓器並不適合用在低電壓電源( $\sim 1.2V$ )的電路中，主要是基於下列兩項原因:

(1) 有一個  $V_{GS}$ (或  $V_{SGI}$ ) 的電壓差跨在電壓緩衝器的輸入與輸出之間，造成傳輸電晶體(Pass Transistor)不容易完全打開(對於 P-Type Pass Transistor)或完全關閉(對於 N-Type Pass Transistor)，如圖 2.36。

(2) 由於使用電壓緩衝器所造成的  $V_{GS}$  電壓差，將使得誤差放大器的輸出電壓的擺幅受到壓縮，而造成部份電晶體工作在線性區，誤差放大器的增益因此變小。

雖然採用電壓緩衝器的 LDO 線性穩壓器並不適合用在低電壓電源的電路，但對於標準電壓電源的電路仍然是常用的架構。例如由 Ricon-Mora 所提出” Current Efficient Buffer” 的 LDO 線性穩壓器[10]，如圖 2.37。其中 Buffer Stage 是由一個 sensing MOS ( $M_{ps}$ )，一對電流鏡，一個偏壓電流源  $I_{BIAS}$  及一個 emitter follower 所組成。這個電路的工作原理除了利用電壓緩衝器(Buffer)來改善頻寬之外，另一個功能就是可以增加暫態時的電流驅動能力。經由 sensing MOS ( $M_{ps}$ ) 部份的負載電流，再經由電流鏡將 sensing 的電流  $I_{BOOST}$  傳回電壓緩衝器(Buffer)，加速傳輸電晶體(Pass Transistor)的打開及關閉。

在輕載時， $I_{BOOST}$  幾乎為零。流到電壓緩衝器(Buffer)的電流只有偏壓電流  $I_{BIAS}$ 。因此電流效率很高。在重載時， $I_{BOOST}$  隨負載增加也同時增加了電壓緩衝器(Buffer)的電流，使得電壓緩衝器(Buffer)的輸出阻抗變小， $P_2$  變成更高頻，頻寬瞬間變大(如圖 2.38)，而且所增加的  $I_{BOOST}$  電流也加強了暫態時的迴轉率電流(output slew-rate current) (如圖 2.39)。

因此，此種 LDO 線性穩壓器的偏壓電流可以隨負載狀況來調整。不但兼顧了電流效率，也同時改善了暫態時的效能。

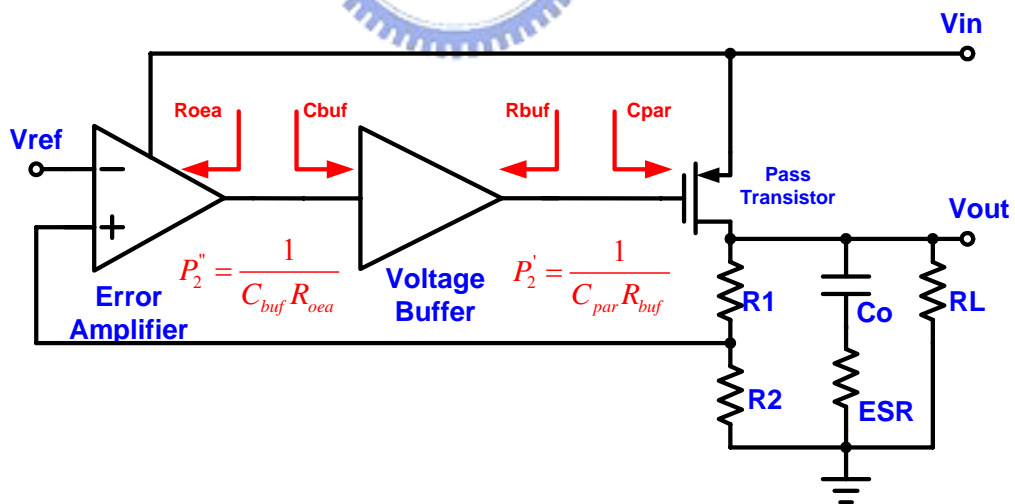


圖 2.34 使用電壓緩衝器的 LDO 線性穩壓器[11]

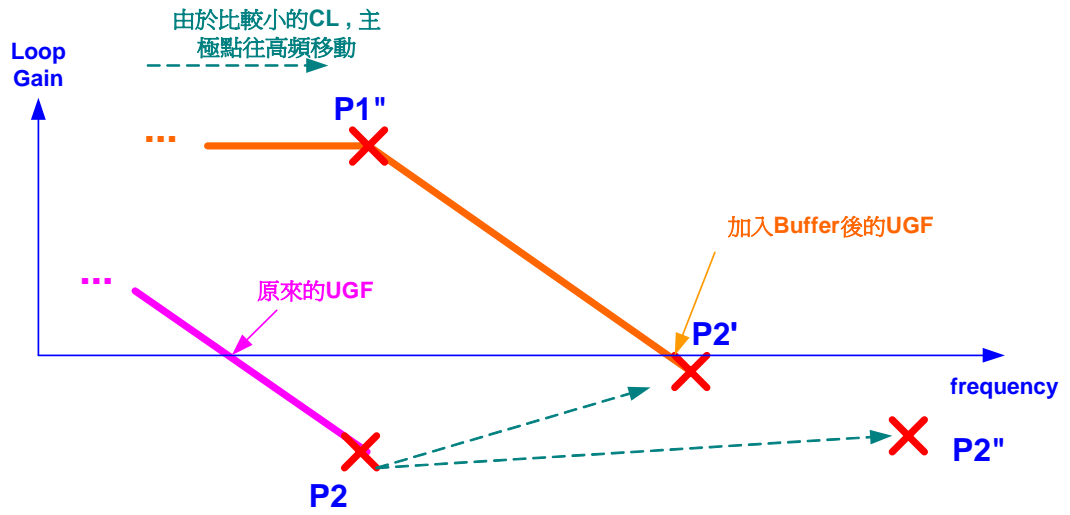


圖 2.35 使用電壓緩衝器的 LDO 線性穩壓器 Loop Gain[11]

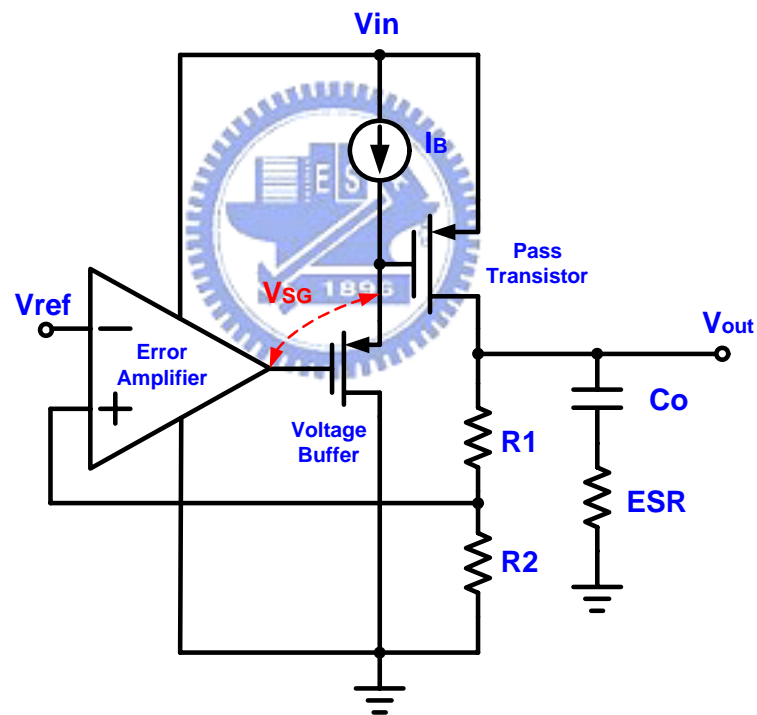


圖 2.36 使用電壓緩衝器所造成的 VSG 電壓差

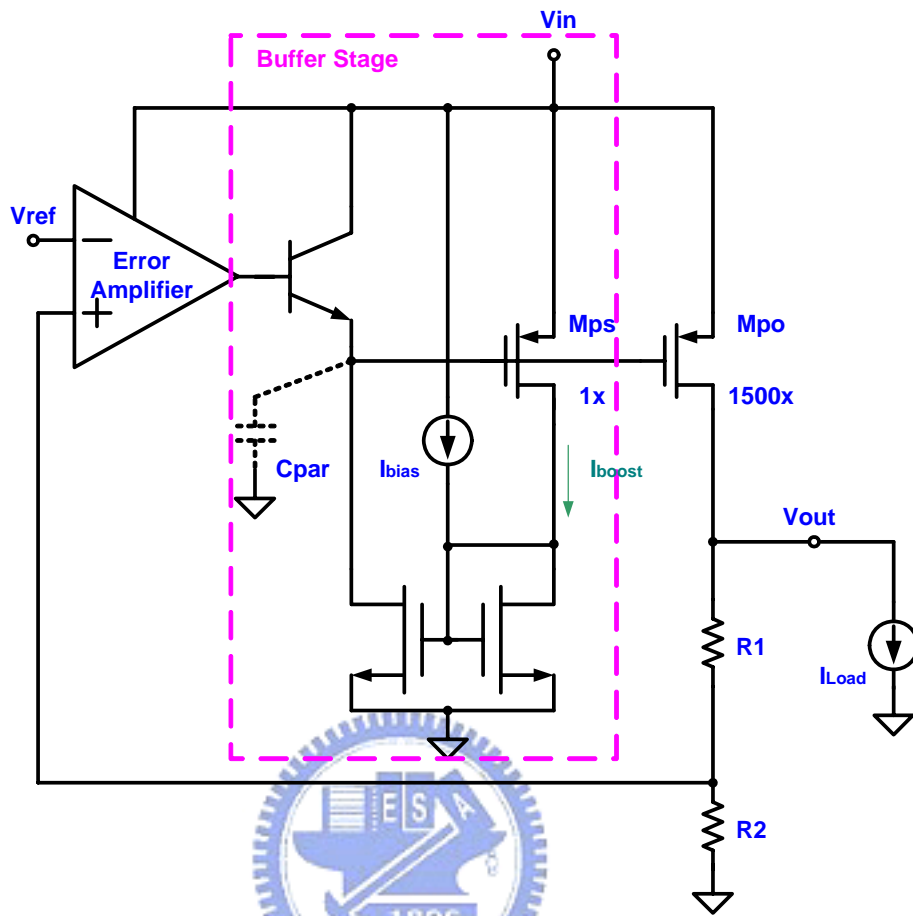


圖 2. 37 Current efficient-transient boost LDO 線性穩壓器[10]

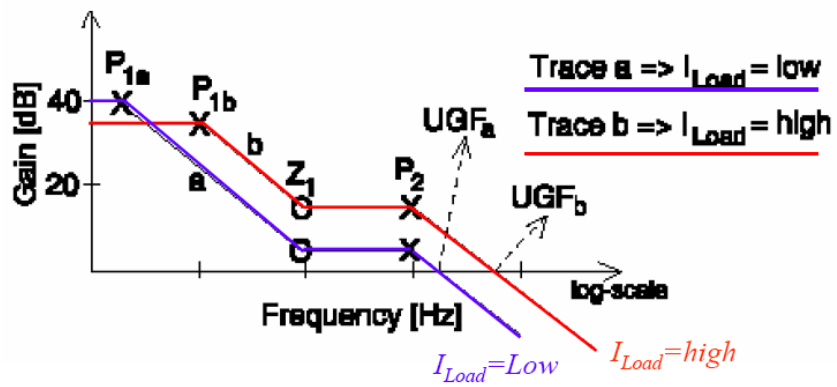


圖 2. 38 Current efficient-transient boost LDO 線性穩壓器的頻率響應[10]



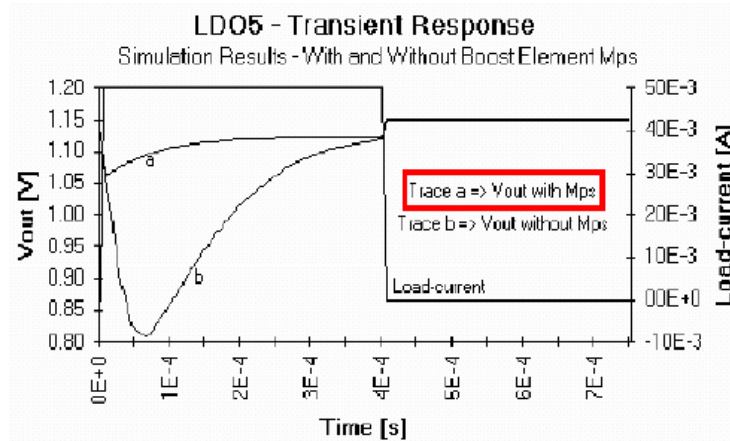


圖 2.39 Current efficient-transient boost LDO 線性穩壓器的暫態響應[10]

### 2.3.6 改良傳統 LDO 線性穩壓器的新架構

由 2.3.2 節傳統 LDO 線性穩壓器穩定度分析可知，傳統 PMOS LDO 線性穩壓器在穩定度及各項規格之間遇到了許多衝突。如表 2.3 所示，例如為了增加穩定度必須犧牲掉迴路增益及頻寬，而為了改善線上穩壓，負載穩壓及暫態響應又必須增加迴路增益及頻寬。

表 2.3 穩定度及其它規格之間的衝突 [4]

規格	改良方法
穩定度 (Stability)	LoopGain ↓ 及 UGF ↓
精確度 (Accuracy)	LoopGain ↑
線上穩壓 (Line Regulation)	LoopGain ↑
負載穩壓 (Load Regulation)	LoopGain ↑
暫態響應 (Transient Response)	UGF ↑ , PM ↑ , SlewRate ↑ , Cout ↑ 及 ESR ↓
雜訊 (Noise)	$V_{ea(in)} ↓$ 及 $V_{REF(on)} ↓$
PCB 面積	$C_o ↓$
效率(Efficiency)	$V_{drop} ↓$ , $I_Q ↓$

LoopGain：系統的迴路增益 UGF:系統的單位增益頻寬

PM: 系統的相位邊限 SlewRate: 在 Power transistor 閘級端的迴轉率

Cout: 外部輸出電容 ESR：外部輸出電容的等效串聯電阻

$V_{ea(in)}$ : 誤差放大器的等效輸入雜訊  $V_{REF(on)}$ : 參考電壓的等效輸出雜訊

另外，傳統 LDO 線性穩壓器利用 ESR 補償的缺點規納有如下四點:

- (1)ESR 會隨溫度改變，不容易控制。
- (2)高頻的旁路電容(Bypass Capacitor)與 ESR 會形成一個極點，造成相位邊(Phase Margin)下降。

(3)ESR 必須限制在一定範圍內，一般在  $0.05\ \Omega \sim 10\ \Omega$  之間。

(4)ESR 會增加負載暫態(Load Transient)時的電壓下降(Voltage Dip)。

因此，已經有許多文獻提出來改善傳統 LDO 線性穩壓器的穩定度及各項規格之間的衝突。以一篇 2006 年的 Paper 做簡單說明。

這篇是 2006 年 IEEE Custom Integrated Circuit Conference (CICC) paper 由 Mohammad Al-Shyoukh, Raul A. Perez, 及 Hoi Lee 所提出的” A Transient-Enhanced 20uA-Quiescent 200mA-Load Low-Dropout Regulator With Buffer Impedance Attenuation” [12]。它是改良傳統使用電壓緩衝器的 LDO 線性穩壓器，而提出一個阻抗衰減的緩衝器(Impedance Attenuation Buffer)使得整個系統只有單一個極點，因此 LDO 線性穩壓器在重載及輕載都可以無條件穩定。而且此篇 Paper 的 LDO 線性穩壓器是不需要使用 ESR 做頻率補償。

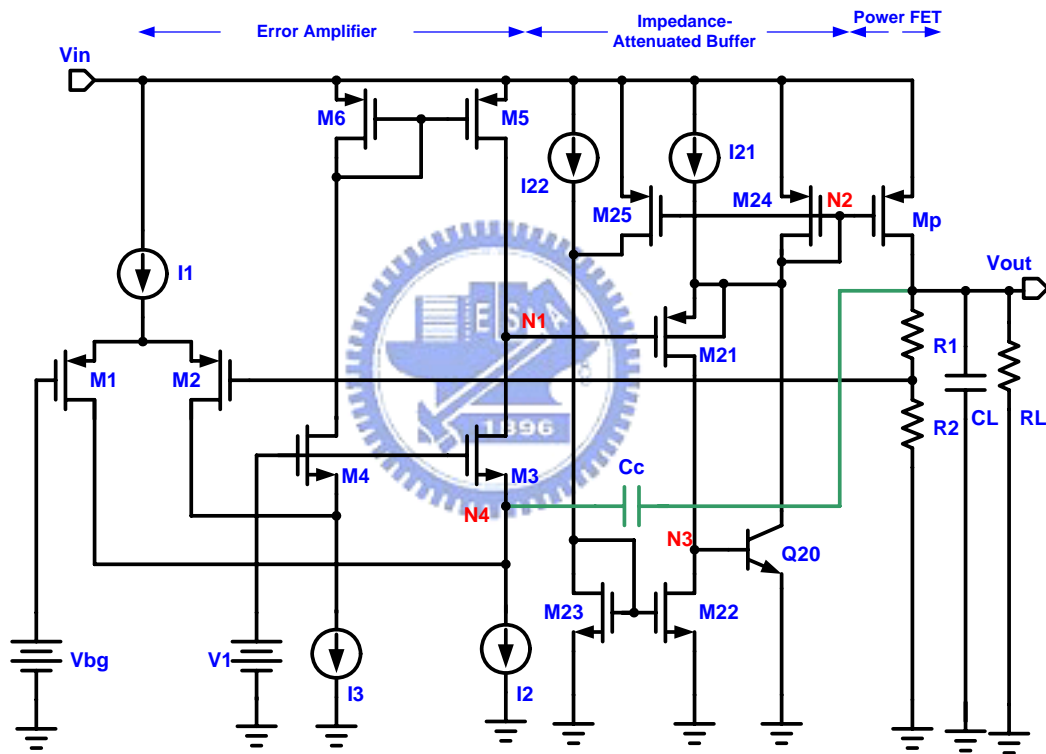


圖 2.40 Low-Dropout Regulator With Buffer Impedance Attenuation [12]

如圖 2.40 所示，阻抗衰減的緩衝器由一個 Source Follower M21，一個寄生的 npn 電晶體 Q20，兩個電流鏡(M24, M25)，(M22, M23)及兩個電流源 I21 及 I22 組成。Q20 與 M21 組成並聯回授使得緩衝器輸出阻抗變的更小，由 N2 所看到的輸出阻抗為：

$$r_{ob} = \frac{1}{g_{m21}(1 + \beta) + g_{m24}} \quad (2.43)$$

其中  $\beta$  是 Q20 的電流增益， $g_{m21}$  及  $g_{m24}$  是 M21 與 M24 的轉導。

此外，所提出的緩衝器也可以加強 N2 在暫態時的閘極驅動能力。當無載到滿載的瞬間，N1 電位下降使得 M21 增加多餘暫態電流流到 Q20 的 base 端，而 Q20 的 Collect 端電

流也被放大，增加了對 N2 端寄生電容的放電能力。  
小信號轉移函數如下：

$$T(s) = \frac{bg_{m1}g_{mp}r_{o1}R_{oeq}}{1 + sR_{oeq}(C_L + g_{mp}r_{o1}C_C) + s^2C_{o1}C_Lr_{o1}R_{oeq}} \quad (2.44)$$

在無載及有載時的第一及第二主極點如表 2.4 所示

表 2.4 LDO With Buffer Impedance Attenuation 的第一及第二主極點

	$I_L=0$	$I_L \neq 0$
$P_{-3dB}$	$1 / C_L R_{Oeq}$	$1 / g_{mp} r_{o1} C_C$
$P_{nd}$	$1 / C_{o1} r_{o1}$	$g_{mp} C_C / C_{o1} C_L$

其中  $C_{o1}$  是第一級放大器的輸出電容， $r_{o1}$  是第一級放大器的輸出電阻  $C_L$  是 LDO 線性穩壓器的負載電容， $R_{Oeq}$  是 LDO 線性穩壓器的等效輸出電阻， $C_C$  是密勒補償電容， $g_{mp}$  是 Power MOS  $M_P$  的轉導， $b$  是  $R_1$  與  $R_2$  的分壓。

無論是在無載或滿載時，第二主極點  $P_{nd}$  均遠離單位增益頻寬，使得整個系統只有單一個主極點，相位邊限可以達到  $90^\circ$ ，迴路增益的模擬如圖 2.41。

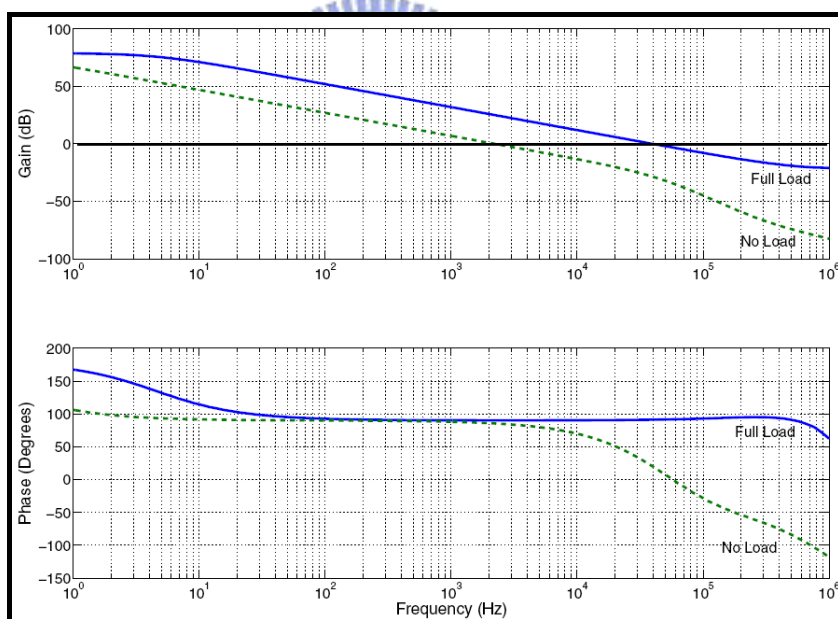


圖 2.41 LDO With Buffer Impedance Attenuation 的迴路增益 [12]

這個 LDO 線性穩壓器僅消耗  $20 \mu A$  的靜態電流。當外加  $1 \mu F$  的外部電容時，對於一個  $200mA$  的步階負載變動，最大的輸出電壓變動僅有  $54mV$ 。負載暫態響應如圖 2.42。

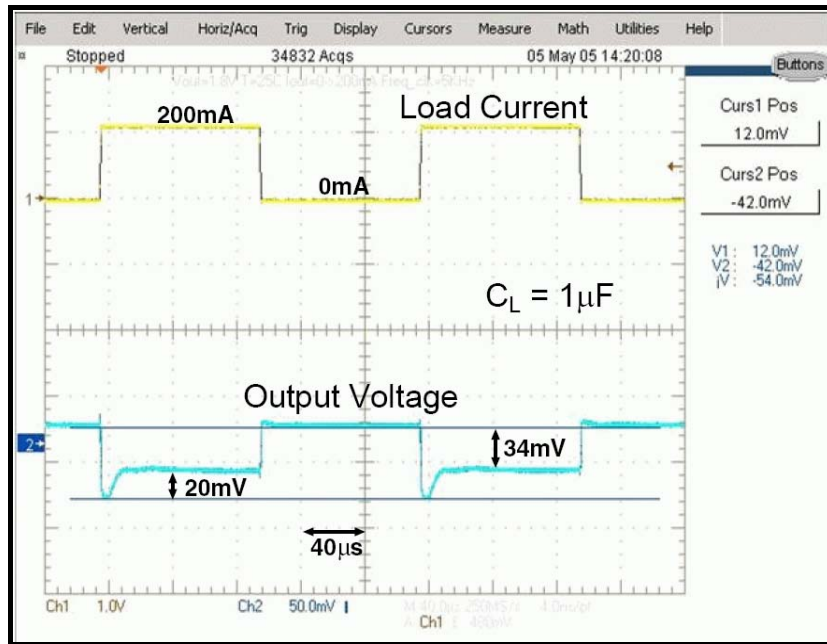


圖 2.42 LDO With Buffer Impedance Attenuation 的負載暫態響應 [12]



## 第三章

# 無外部電容的低壓差(LDO)線性穩壓器

本章將分析及實做一個無外部電容的低壓差線性穩壓器，此低壓差線性穩壓器適合應用於 SOC(System on Chip)的環境中。經由使用 DFC(Damping-factor-control)的頻率補償，整個低壓差線性穩壓器可以在無外部電容或含有 ESR 的外部電容的情形下達到穩定。這個低壓差線性穩壓器由於是架構在三級的放大器。因此，無論在重載或輕載的情況下，都有很高的迴路增益因而增強了低壓差線性穩壓器的精確度，線上穩壓，及負載穩壓的效能。此外，第二級使用 Push-Pull 的架構，因此也加強了低壓差線性穩壓器的暫態效能。本章共分成三節來描述，第一節將對整體的電路架構做說明，第二節是實際電路設計，最後一節是電路的模擬結果。

### 3.1 電路架構

整個低壓差線性穩壓器(LDO)是由一個高增益的誤差放大器，一個高增益、高輸出擺幅的第二級放大器，一個 Power PMOS，一個 DFC(Damping Factor Control)補償電路，一個含有一階高通特性的回授網路及帶差參考電壓源組成，如圖 3.1 所示。[13]

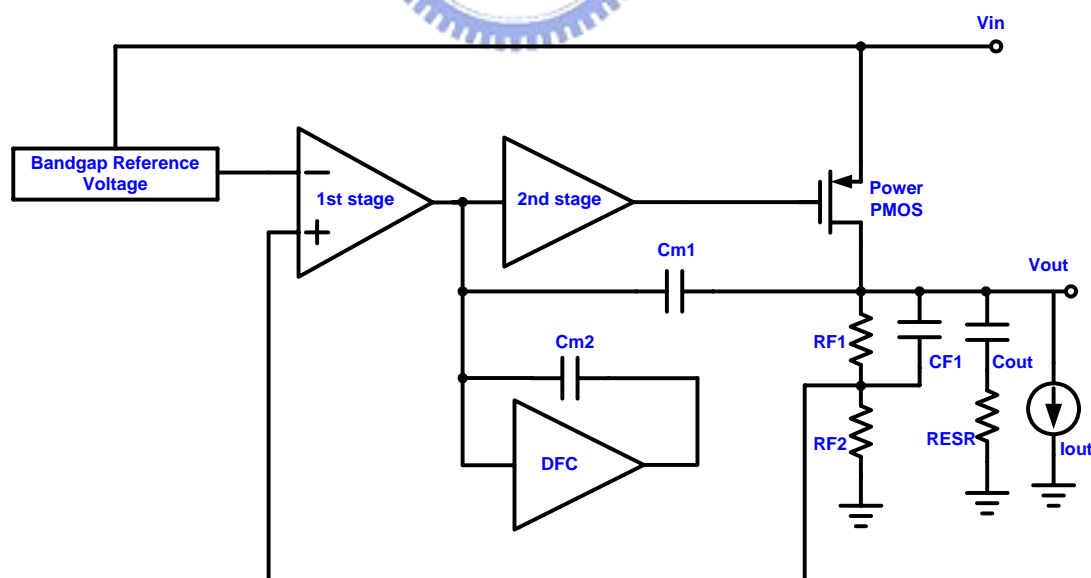


圖 3.1 無外部電容的低壓差線性穩壓器架構 [13]

整個架構可以看成是三級的放大器推動一個負載電容(外部電容或寄生電容)， $C_{m1}$  是密勒補償電容用來做極點分離， $C_{m2}$  及 DFC block 用來控制 Damping Factor，以維持系統

的穩定。回授網路建立一個中頻的零點用來改善系統的穩定度。回授網路的分析如圖 3.2，轉移函數如下：

$$\frac{v_x(s)}{v_s(s)} = \left( \frac{R_{F2}}{R_{F1} + R_{F2}} \right) \left[ \frac{1 + sC_{F1}R_{F1}}{1 + C_{F1}(R_{F1} \parallel R_{F2})} \right] \quad (3.1)$$

由(3.1)式可知，有一個極點( $P_f$ )及一個零點( $Z_f$ )。分別如下：

$$P_f = \frac{1}{C_{F1}(R_{F1} \parallel R_{F2})} \quad (3.2)$$

$$Z_f = \frac{1}{C_{F1}R_{F1}} \quad (3.3)$$

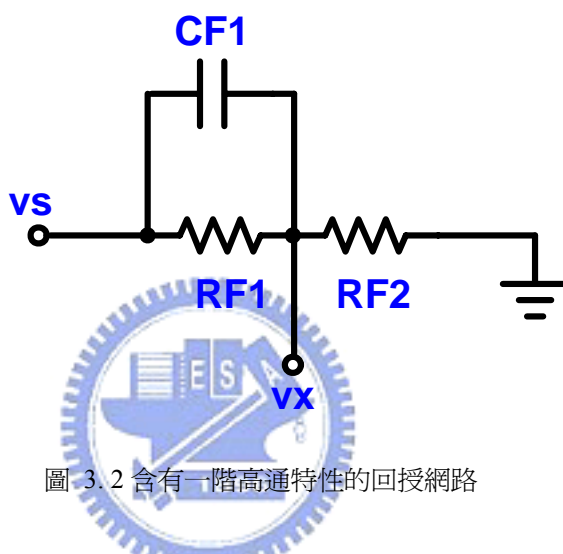


圖 3.2 含有一階高通特性的回授網路

其中  $Z_f$  必須遠小於  $P_f$ ，而  $Z_f$  可以用抵消系統的第二主極點，保持系統的穩定。為了使  $Z_f$  遠小於  $P_f$ ， $R_{F2}$  必須遠小於  $R_{F1}$ ，這表示參考電壓源必須遠小於低壓差線性穩壓器的輸出電壓。

經由 DFC block 有效的將極零點分離，第二主極點是位於高頻，因此所需要的  $C_{F1}$  很小，在這個設計只有 3pF，很容易製作在 IC 內。

當在有含 ESR 的外部電容的狀況下，負載從無載到滿載，整個低壓差線性穩壓器均可穩定。而在無外部電容的狀況下，負載從小的電流負載到滿載時，整個低壓差線性穩壓器也都可以穩定。整個系統的穩定分析如下，可以分成無外部電容及有外部電容二種情形：

(1) 有外部電容時的穩定度分析：

可分成  $I_{OUT}=0$  及  $I_{OUT} \neq 0$  來分析。當  $I_{OUT}=0$  時，Power MOS 的轉導  $g_{mp}$  最小，Power MOS 的輸出阻抗  $r_{op}$  最大，因此這是穩定度最差的情況。整個低壓差線性穩壓器的小訊號模型如圖 3.3 所示。

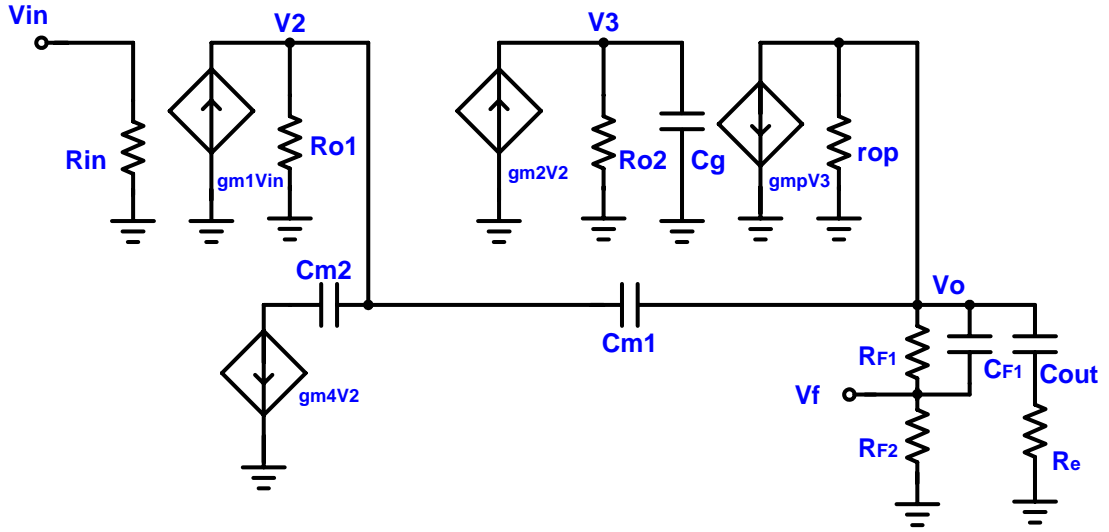


圖 3.3 無外部電容的低壓差線性穩壓器的小訊號模型

轉移函數的推導如下:

$$V_2 = [g_{m1}V_{in} - g_{m4}V_2 + (V_o - V_2)sC_{m1}]R_{o1}$$

$$\Rightarrow g_{m1}R_{o1}V_{in} = (1 + g_{m4}R_{o1} + sC_{m1}R_{o1})V_2 - sC_{m1}R_{o1}V_o \quad (3.4)$$

$$V_3 = g_{m2}V_2 \left( \frac{1}{\frac{1}{R_{o2}} + sC_g} \right) = \frac{g_{m2}R_{o2}}{1 + sC_g R_{o2}} V_2 \quad (3.5)$$

$$V_o = -g_{mp}V_3 \left[ \frac{r_{op}(1 + sC_{out}R_e)}{1 + sC_{out}(r_{op} + R_e)} \right] = \frac{-g_{mp}g_{m2}R_{o2}}{1 + sC_g R_{o2}} \left[ \frac{r_{op}(1 + sC_{out}R_e)}{1 + sC_{out}(r_{op} + R_e)} \right] V_2 \quad (3.6)$$

將(3.6)式代入(3.4)式，可得:

$$g_{m1}R_{o1}V_{in} = (1 + g_{m4}R_{o1} + sC_{m1}R_{o1}) \times \frac{(1 + sC_g R_{o2})}{-g_{mp}g_{m2}R_{o2}} \left[ \frac{1 + sC_{out}r_{op}}{r_{op}(1 + sC_{out}R_e)} \right] V_o - sC_{m1}R_{o1}V_o \quad (3.7)$$

$$\frac{V_{in}}{V_o} = \frac{[(1 + g_{m4}R_{o1} + sC_{m1}R_{o1}) + (sC_g R_{o2} + sC_g g_{m4}R_{o1}R_{o2} + s^2 C_{m1} C_g R_{o1}R_{o2})](1 + sC_{out}r_{op})}{[-g_{m1}g_{m2}g_{mp}R_{o1}R_{o2}r_{op}(1 + sC_{out}R_e)]}$$

(3.7)式的分子項可化簡成下式:

$$[(1 + g_{m4}R_{o1}) + sC_{m1}g_{m2}g_{mp}R_{o1}R_{o2}r_{op} + s^2(C_{m1}C_{out}g_{m2}g_{mp}R_{o1}R_{o2}r_{op}R_e + C_g C_{out}g_{m4}R_{o1}R_{o2}r_{op}) + s^3 C_{m1} C_g C_{out} R_{o1} R_{o2} r_{op}]$$

後可得 Vo/Vin 的轉移函數，如下:



$$\begin{aligned} \frac{V_o}{V_{in}} &= \frac{-g_{m1}g_{m2}g_{mp}R_{o1}R_{o2}r_{op}(1+sC_{out}R_e)}{s^3C_{m1}C_gC_{out}R_{o1}R_{o2}r_{op} + s^2(C_{m1}C_{out}g_{m2}g_{mp}R_{o1}R_{o2}R_e r_{op} + C_gC_{out}g_{m4}R_{o1}R_{o2}r_{op}) + sC_{m1}g_{m2}g_{mp}R_{o1}R_{o2}r_{op} + 1} \\ &= \frac{-g_{m1}g_{m2}g_{mp}R_{o1}R_{o2}r_{op}(1+sC_{out}R_e)}{(1+sC_{m1}R_{o1}g_{m2}R_{o2}g_{mp}r_{op}) \left[ s^2 \frac{C_gC_{out}}{g_{m2}g_{mp}} + s \left( C_{out}R_e + \frac{C_gC_{out}g_{m4}}{C_{m1}g_{m2}g_{mp}} \right) + 1 \right]} \end{aligned}$$

整個 Loop Gain 的轉移函數如下:

$$L_{o(withCap)}(s)|_{I_{OUT}=0} = \frac{V_F}{V_o} \times \frac{V_o}{V_{in}} = \frac{L_o(1+\frac{s}{z_e})(1+\frac{s}{z_f})}{(1+\frac{s}{p_1})[1+s(C_{OUT}R_e + \frac{C_gC_{out}g_{m4}}{C_{m1}g_{m2}g_{mp}}) + s^2 \frac{C_gC_{OUT}}{g_{m2}g_{mp}}]}(1+\frac{s}{p_f}) \quad (3.8)$$

$$L_o = \left( \frac{R_{F2}}{R_{F1} + R_{F2}} \right) g_{m1}R_{o1}g_{m2}R_{o2}g_{mp}r_{op}$$

$$p_1 = \frac{1}{C_{m1}R_{o1}g_{m2}R_{o2}g_{mp}r_{op}}$$

$$z_e = \frac{1}{C_{OUT}R_e}$$

其中  $C_g$  是 Power MOS 的閘極端寄生電容， $g_{m4}$  是 DFC 的轉導， $L_o$  是低頻的迴路增益， $p_1$  是主極點， $z_e$  是 ESR 的零點。而  $g_{m1}$ ， $g_{m2}$ ， $R_{o1}$ ， $R_{o2}$  分別是第一級和第二級放大器的轉導及輸出電阻， $R_e$  是 ESR 電阻。

(a) 當  $I_{OUT}=0$  時，Power MOS 的電流等於  $V_{out}/(R_{F1}+R_{F2})$ ，這個值很小大概只有幾個  $\mu A$ ，所以  $g_{mp}$  非常的小，因此在(3.8)分母中的  $s$  項的係數  $C_{OUT}R_e$  可以被忽略。

最後，(3.8)式可被化簡為:

$$L_{o(withCap)}(s)|_{I_{OUT}=0} \approx \frac{L_o(1+\frac{s}{z_e})(1+\frac{s}{z_f})}{(1+\frac{s}{p_1})[1+s \frac{C_gC_{OUT}g_{m4}}{C_{m1}g_{m2}g_{mp}} + s^2 \frac{C_gC_{OUT}}{g_{m2}g_{mp}}]}(1+\frac{s}{p_f}) \quad (3.9)$$

將(3.9)式的分母的中間項與標準的二階方程式:  $F(s) = 1 + s(\frac{\zeta}{p_c}) + (\frac{s}{p_c})^2$  比較可得:

$$p_c = \sqrt{\frac{g_{m2}g_{mp}}{C_gC_{OUT}}} \quad (3.10), \quad \zeta = \frac{1}{2} \sqrt{\frac{C_gC_{OUT}}{g_{m2}g_{mp}}} \times \left( \frac{g_{m4}}{C_{m1}} \right) \quad (3.11)$$

其中  $\zeta$  是阻尼比(damping factor)， $p_c$  是複數極點。

阻尼比(damping factor)是穩定度的關鍵。如果阻尼比(damping factor)太小，複數極點將產生頻率峰值(frequency peak)且極零點對消將無效。如果阻尼比(damping factor)太大，複

數極點將變成兩個實數極點且迴路增益頻寬將會變小。因此，將阻尼比(damping factor)設計在  $1/\sqrt{2}$  是比較折衷的值。結果可得:

$$C_{m1} = g_{m1} \sqrt{\frac{8C_g C_{OUT}}{g_{m2} g_{mp}}} \quad (3.12), \quad g_{m4} = 4g_{m1} \quad (3.13), \quad C_{m2} = C_{m1} \quad (3.14)$$

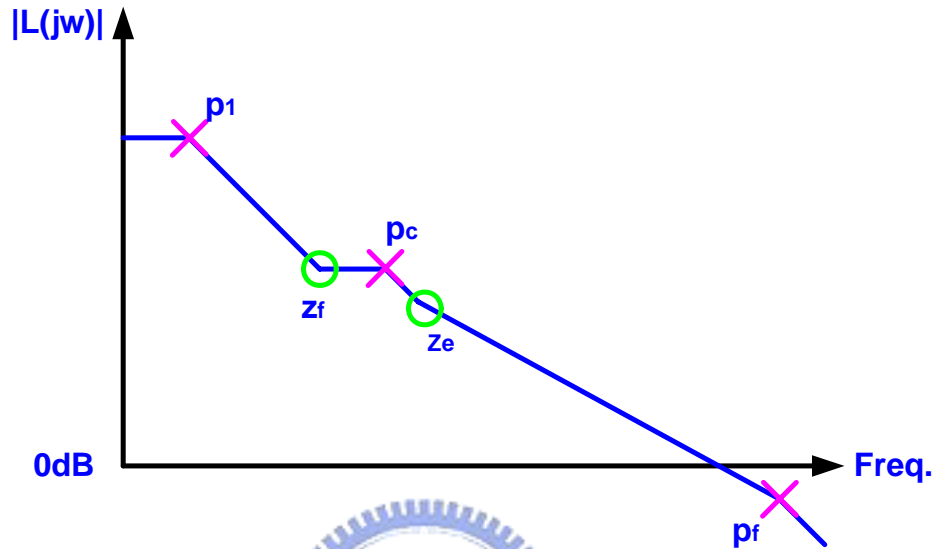


圖 3.4 在  $I_{OUT}=0, C_{OUT} \neq 0$  時的迴路增益

如圖 3.4 所示，複數極點  $P_c$  可以被  $Z_f$  及  $Z_e$  有效的消除，而  $P_f$  被設計在高於單位增益頻率，因此可以得到很好的相位邊限。

(a) 當  $I_{OUT} \neq 0$  時，如(3.10)式所示，隨著負載電流增加， $g_{mp}$  也增加，複數極點  $P_c$  也往高頻移動。由於極零點的對消仍然有效，低壓差線性穩壓器仍然保持穩定。

整個轉移函數在  $I_{OUT} \neq 0$  時可以表示如下:

$$L_{o(withCap)}(s)|_{I_{OUT} \neq 0} \approx \frac{L_o(1 + \frac{s}{z_f})}{(1 + \frac{s}{p_1})(1 + s \frac{C_g}{g_{m2} g_{mp} R_e})(1 + \frac{s}{p_f})} \quad (3.15)$$

在這個情況，ESR 零點將與 ESR 極點同時產生，因此整個低壓差線性穩壓器將變成一個零點及三個極點的系統，而所產生新的極點為  $P_2 = (g_{m2} g_{mp} R_e) / (C_g)$ 。

如圖 3.5 所示， $Z_f$  將可以用來抵消  $P_2$  使得系統穩定。因為  $g_{mp} I_{op}$  與  $\sqrt{I_{OUT}}$  成反比的關係，低壓差線性穩壓器的低頻增益將減少，而主極點  $P_1$  將往高頻移動。

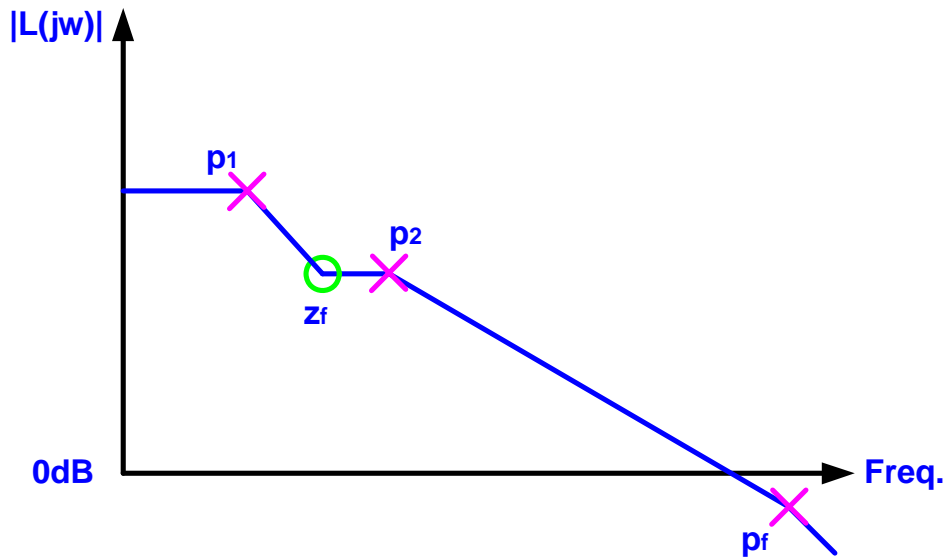


圖 3.5 在  $I_{OUT} \neq 0$ ， $C_{OUT} \neq 0$  時的迴路增益

(2) 無外部電容時的穩定度分析:

在無外部電容情況下，有一個最小的負載電流限制(大概  $100 \mu A$  到  $10mA$ )此時低壓差線性穩壓器仍然保持穩定。此時的輸出電容是由電源線的寄生電容組成，在這個情況下，ESR 將不存在，而且因為很大的  $g_{mp}$  將第二及第三個極點推向高頻，整個轉移函數在  $I_{OUT} \neq 0$  時可以近似如下:

$$L_{o(capfree)}(s) |_{I_{OUT} \neq 0} \approx \frac{L_o \left(1 + \frac{s}{z_f}\right)}{\left(1 + \frac{s}{p_1}\right) \left(1 + \frac{s}{p_f}\right)} \quad (3.16)$$

由圖 3.6 可知，極零點的對消將自動產生，理論上相位邊限可以達到  $90^\circ$ ，但實際上由於寄生的極點與零點將使得相位邊限減少。

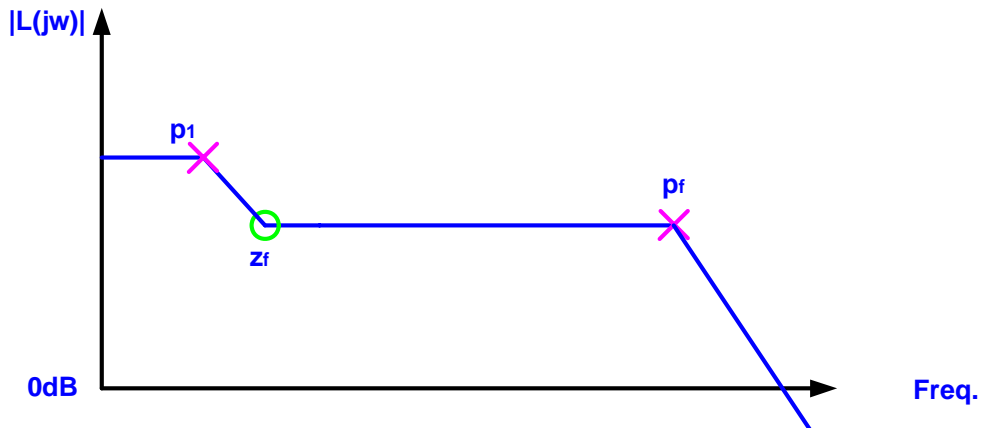


圖 3.6 在  $I_{OUT} \neq 0$ ， $C_{OUT} = 0$  時的迴路增益

兩種狀況下的迴路增益模擬，如圖 3.7，3.8 及表 3.1 所示。可看出在有無外部電容的狀況下，低壓差線性穩壓器均能保持穩定。

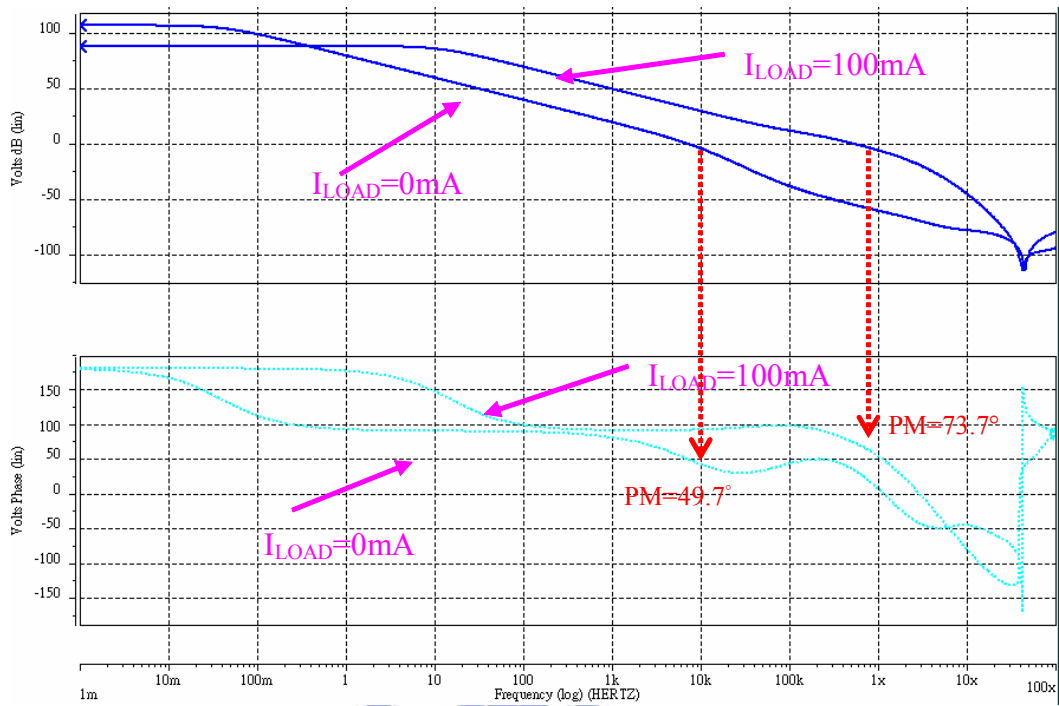


圖 3.7 在  $C_{OUT} \neq 0$  時的迴路增益模擬



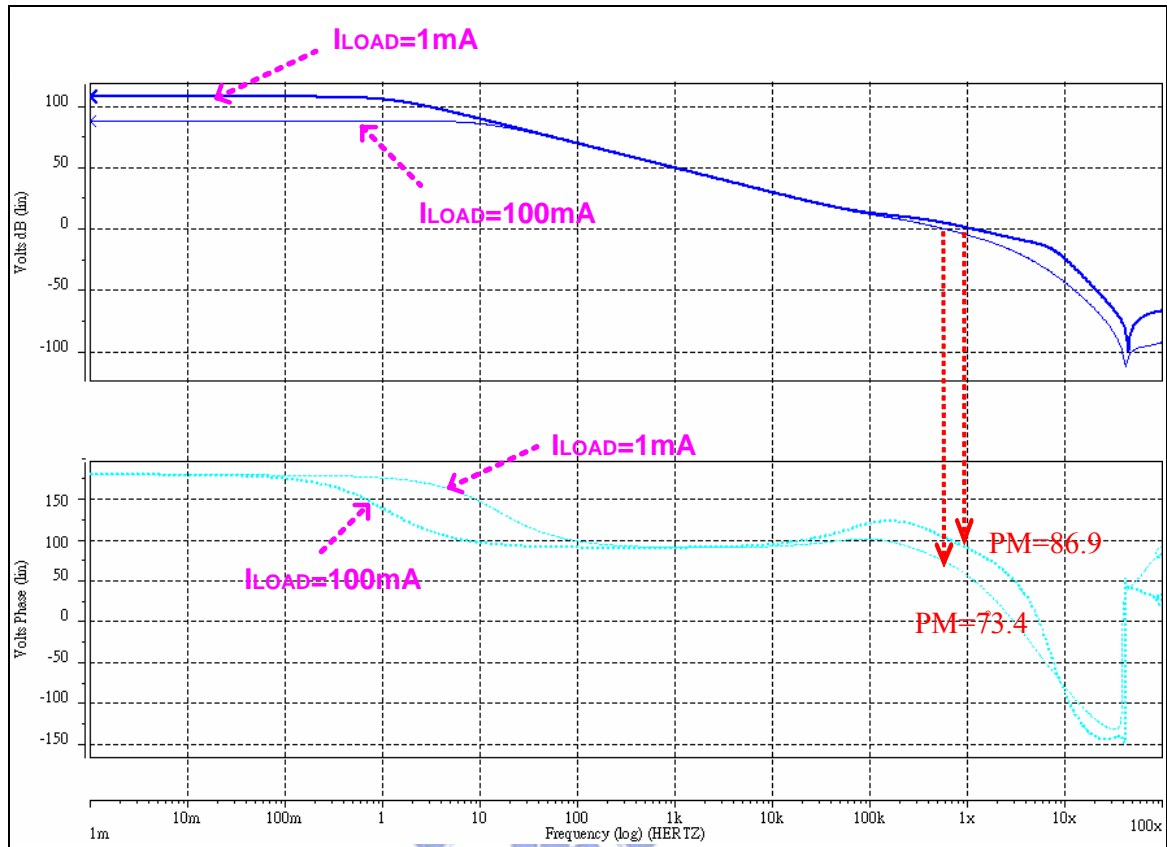


圖 3.8 在  $C_{OUT}=0$  時的迴路增益模擬

表 3.1 迴路增益的模擬數據

$C_{OUT} \neq 0$	$I_{LOAD}=0mA$	$I_{LOAD}=100mA$
DC Gain	107dB	88dB
UGF	7.1KHz	522kHz
PM	49.7°	73.7°
$C_{OUT}=0$	$I_{LOAD}=1mA$	$I_{LOAD}=100mA$
DC Gain	108dB	88dB
UGF	1.1MHz	590kHz
PM	86.9°	73.4°

## 3.2 實際電路設計

實際電路方塊圖如圖 3.9 所示，共分兩部份：(1)無外部電容的低壓差線性穩壓器 (CapFree LDO)、(2)帶差參考電壓源(BG)及偏壓電路(Biasing Circuit)。詳細的設計如以下各節：

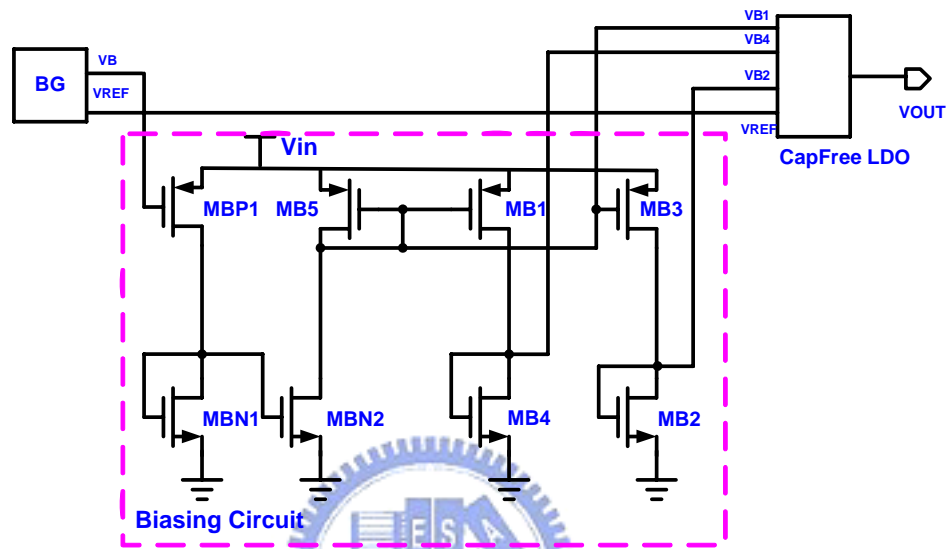


圖 3.9 無外部電容的低壓差線性穩壓器的實際電路方塊圖

### 3.2.1 無外部電容的低壓差線性穩壓器電路設計

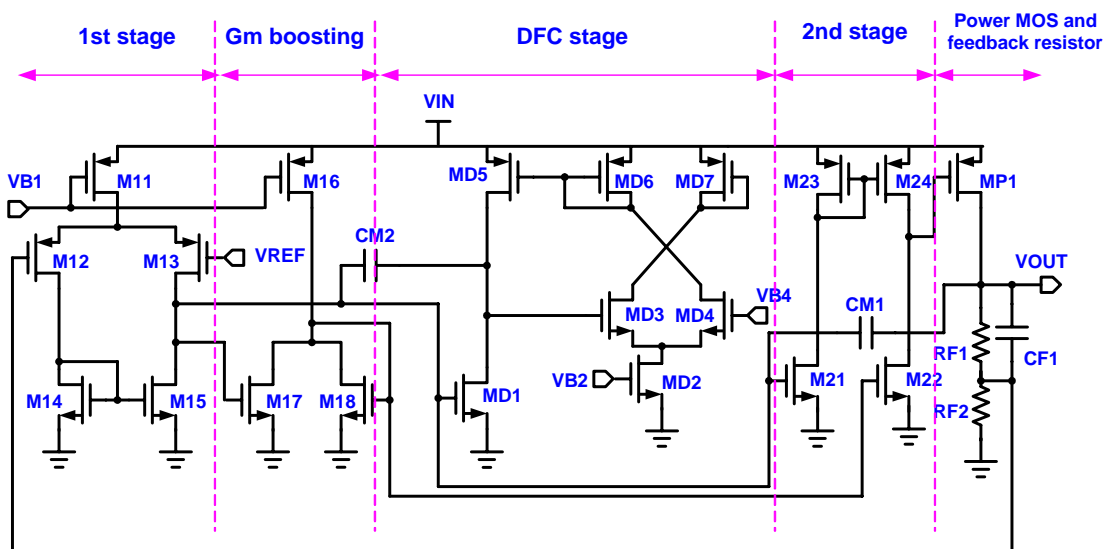


圖 3.10 無外部電容的低壓差線性穩壓器實際電路

如圖 3.10 所示，第一級的誤差放大器由 M11~M15 組成，高增益及高輸出擺幅的第二

級放大器由 M21~M24 組成，M16~M17 組成 Gm boosting，MD1~MD7 形成 DFC Block。整個補償電容共有三個  $C_{m1}$ ， $C_{m2}$  及  $C_{F1}$ ，總電容值很小只有 9pF。因此誤差放大器的迴轉率(slew rate)將不會受限於補償電容。這裡的第一級誤差放大器是一個簡單的差動對加上電流鏡負載，因此誤差電壓(offset voltage)可以被減少到最小。

Gm boosting 的功能說明如圖 3.11 所示，M17 及 M18 的功能是產生一個與輸入( $v_1$ )相反的小信號( $-v_1$ )，這兩個輸入的小信號被分別被加到 M21 及 M22 的閘級端，而 M17，M18 與 M21，M22 的大小比例是 1:K，因此第二級放大器的小信號轉導( $g_{m2}$ )總共被放大了  $2k$  倍。第二主極點 PC 與小信號轉導( $g_{m2}$ )關係如下：

$$P_C = \sqrt{\frac{g_{m2} g_{mp}}{C_g C_{OUT}}} \quad (3.17)$$

當  $g_{m2}$  被放大  $2k$  倍， $P_c$  也增加  $\sqrt{2k}$  倍，因此閉迴路頻寬也隨之變大。

此外 M21，M22 的偏壓電流是 M17，M18 的  $k$  倍，而且 M22 及 M24 是 Push-Pull Stage，所以在暫態時，可以增加更多的 slew current，改善暫態響應。在這裡的設計  $K=4$ 。

所設計低壓差線性穩壓器的元件尺寸如表 3.2 所示。

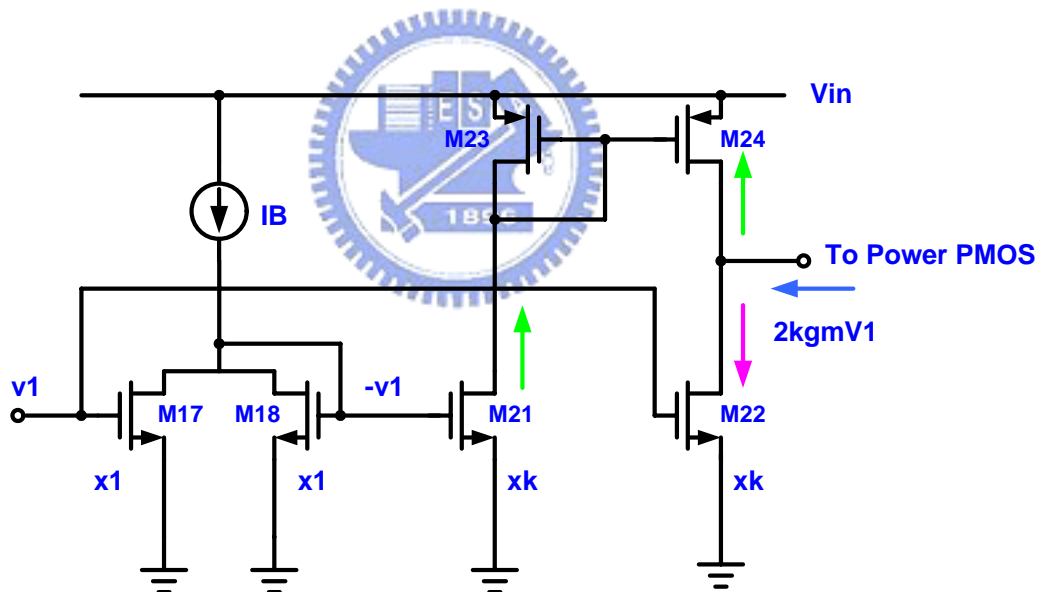


圖 3.11 Gm-boosting 電路說明



表 3.2 所設計的低壓差線性穩壓器元件尺寸

元件	M11	M12	M13	M14	M15	M16	M17	M18
尺寸 ( $\mu\text{m}$ )	W=5u L=4u M=2	W=8u L=4u M=4	W=8u L=4u M=4	W=2u L=4u M=2	W=2u L=4u M=2	W=5u L=4u M=2	W=3.5u L=4u M=2	W=3.5u L=4u M=2
元件	M21	M22	M23	M24	MD1	MD2	MD3	MD4
尺寸 ( $\mu\text{m}$ )	W=21u L=4u M=2	W=21u L=4u M=2	W=63u L=4u M=2	W=63u L=4u M=2	W=4u L=8u M=2	W=3u L=4u M=2	W=4u L=8u M=2	W=4u L=8u M=2
元件	MD5	MD6	MD7	RF1	RF2	CM1	CM2	CF1
尺寸 ( $\mu\text{m}$ )	W=2u L=4u M=4	W=2u L=4u M=2	W=2u L=4u M=2	600k $\Omega$	180k $\Omega$	3PF	3PF	3PF
元件	MP1							
尺寸 ( $\mu\text{m}$ )	W=20u L=0.4u M=1200							

### 3.2.2 帶差參考電壓源(BG)及偏壓電路(Biasing Circuit)電路設計

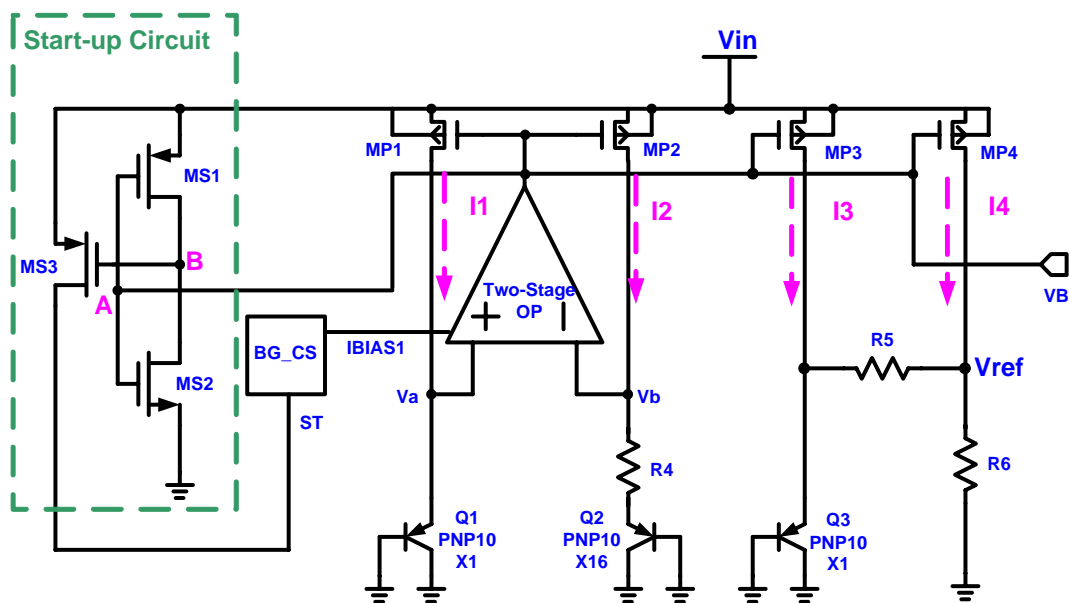


圖 3.12 帶差參考電路 [14]

由於穩定度的需要，參考電壓源必須遠小於低壓差線性穩壓器的輸出電壓，因此這裡設計一個輸出 0.3V 的帶差參考電路(Bandgap Circuit)，如圖 3.12 [14]。由一個兩級放大器去驅動四個 PMOS 的電流鏡。利用兩級放大器的高增益使得  $V_a$  與  $V_b$  形成虛短路產生一個 PTAT 的電流，再經由電流鏡映射到 MP4，產生 PTAT 的電壓。而負溫度係數的電壓由  $V_{BE3}$  及  $R_5$ ， $R_6$  分壓產生，最後利用重疊定理加總在  $V_{REF}$  產生一個與溫度無關的參考電壓。推導如下：

$$V_a = V_{be1} = V_T \ln\left(\frac{I_1}{I_s}\right) \quad (3.18)$$

$$V_b = I_2 R_4 + V_T \ln\left(\frac{I_2}{NI_s}\right) \quad (3.19)$$

$$\because V_a = V_b \Rightarrow I_2 R_4 + V_T \ln\left(\frac{I_2}{NI_s}\right) = V_T \ln\left(\frac{I_1}{I_s}\right) \quad (3.20)$$

$$\Rightarrow I_2 = \frac{V_T \ln\left(\frac{I_1 \times N}{I_2}\right)}{R_4} = \frac{V_T \ln(KN)}{R_4} = I_4 \quad (3.21)$$

$$\Rightarrow V_{REF} = V_{EB3} \times \frac{R_6}{R_5 + R_6} + I_2 \times (R_5 \parallel R_6) = \frac{R_6}{R_5 + R_6} \left[ V_{EB3} + \frac{KR_5}{R_4} \times V_T \ln(KN) \right] \quad (3.22)$$

若考慮兩級放大器的誤差電壓，則(3.18)式改寫成如下：

$$V_{REF} = \frac{R_6}{R_5 + R_6} \left[ V_{EB3} + \frac{KR_5}{R_4} \times V_T \ln(KN) - V_{os} \right] \quad (3.23)$$

其中 N 是 Q2 與 Q1 的大小比值，K 是電流鏡的映射比率( $K=I_1/I_2=I_4/I_3$ )， $V_{os}$  是兩級放大器的誤差電壓。在這裡的設計  $N=16, K=1$ 。假設  $V_{EB3} = 0.65V$ ,  $R_4 = 43k$ ,  $R_5 = 311k$ ,  $R_6 = 111k$ , 忽略  $V_{os}$ , 代入(3.23)式可得：

$$V_{REF} = \frac{111k}{311k + 111k} \times \left[ 0.65 + \frac{311k}{43k} \times 0.026 \times \ln(16) \right] = 0.308V \quad (3.24)$$

## 起動電路(Start-Up Circuit)

爲了讓帶差參考電路的電流源在開機時脫離零電流的狀態，因此需要一個起動電路，如圖 3.12 所示。一開始 A 點隨 VDD 上升而上升一直到違反相器的轉態電壓後 B 點變成低電位，使得 MS3 導通，因此有瞬間電流讓電流源起動。等到帶差參考電路穩定後，

A 點將被拉到低電位，B 點轉態成高電位，因此將 MS3 關閉，完成起動任務。如圖 3.13 所示，MS3 在起動之後可以完全關閉。

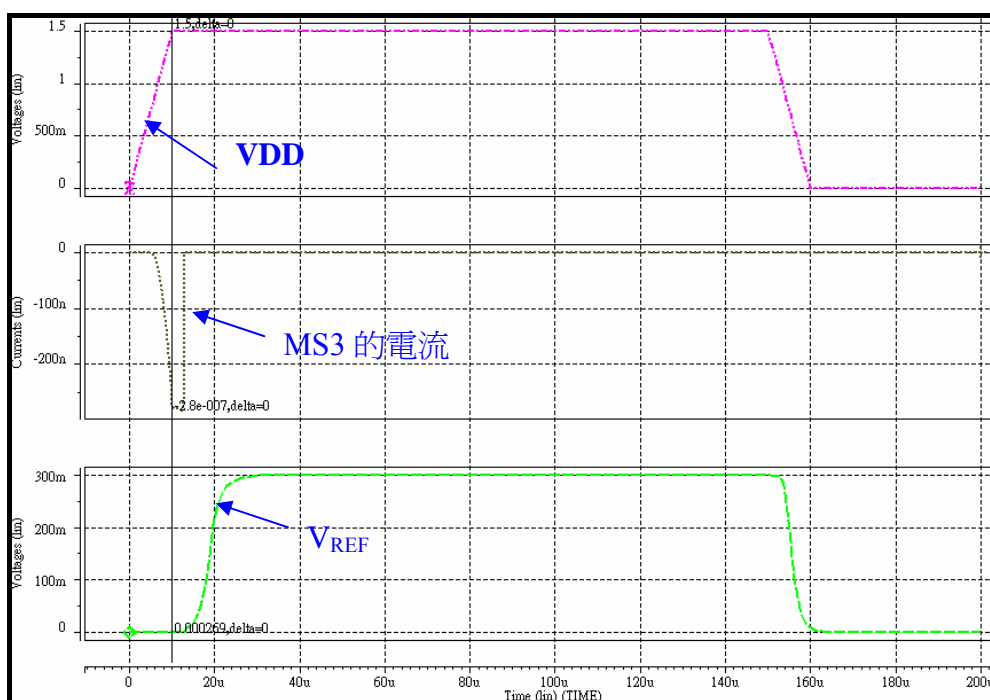


圖 3.13 起動電路的模擬

## 電流源電路

所用到的電流源(BG\_CS)如圖 3.14 所示，將 PMOS 電流鏡 M3,M4 設計成相同尺寸，則  $I_{REF}=I_{OUT}$ 。 $I_{OUT}$  的推導如下：

$$\begin{aligned}
 V_{GS1} &= V_{GS2} + I_{D2} R_S \\
 \Rightarrow \sqrt{\frac{2I_{OUT}}{\mu_n C_{ox} (W/L)_N}} + V_{TH1} &= \sqrt{\frac{2I_{OUT}}{\mu_n C_{ox} (W/L)_N}} + V_{TH2} + I_{OUT} R_S \\
 \Rightarrow \sqrt{\frac{2I_{OUT}}{\mu_n C_{ox} (W/L)_N}} \left(1 - \frac{1}{\sqrt{K}}\right) &= I_{OUT} R_S \\
 \Rightarrow I_{OUT} &= \frac{2}{\mu_n C_{ox} (W/L)_N} \cdot \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2
 \end{aligned} \tag{3.25}$$

其中 K 是 M2 與 M1 的尺寸比值，由(3.25)可看出， $I_{OUT}$  與電源 VDD 無關，但仍然與製程參數相關。在這裡輸出電流  $I_{OUT}$  是設計在  $1 \mu A$ 。假設  $\mu_n C_{ox} = 129 \mu A/V$ ，則代入 3.24 式，可得：

$$I_{OUT} = \frac{2}{129 \mu \times (8/16)} \times \frac{1}{(88k)^2} \times \left(1 - \frac{1}{\sqrt{4}}\right)^2 \approx 1 \mu A \tag{3.26}$$

$I_{OUT}$  與隨電源 VDD 變動的模擬如圖 3.15 所示。所設計的元件尺寸如圖 3.14 標示。

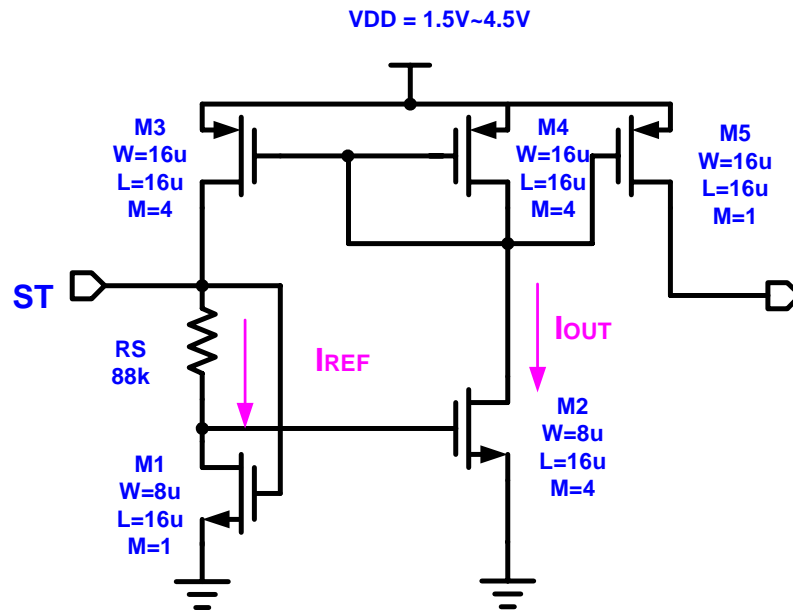


圖 3.14 帶差參考電路的電流源

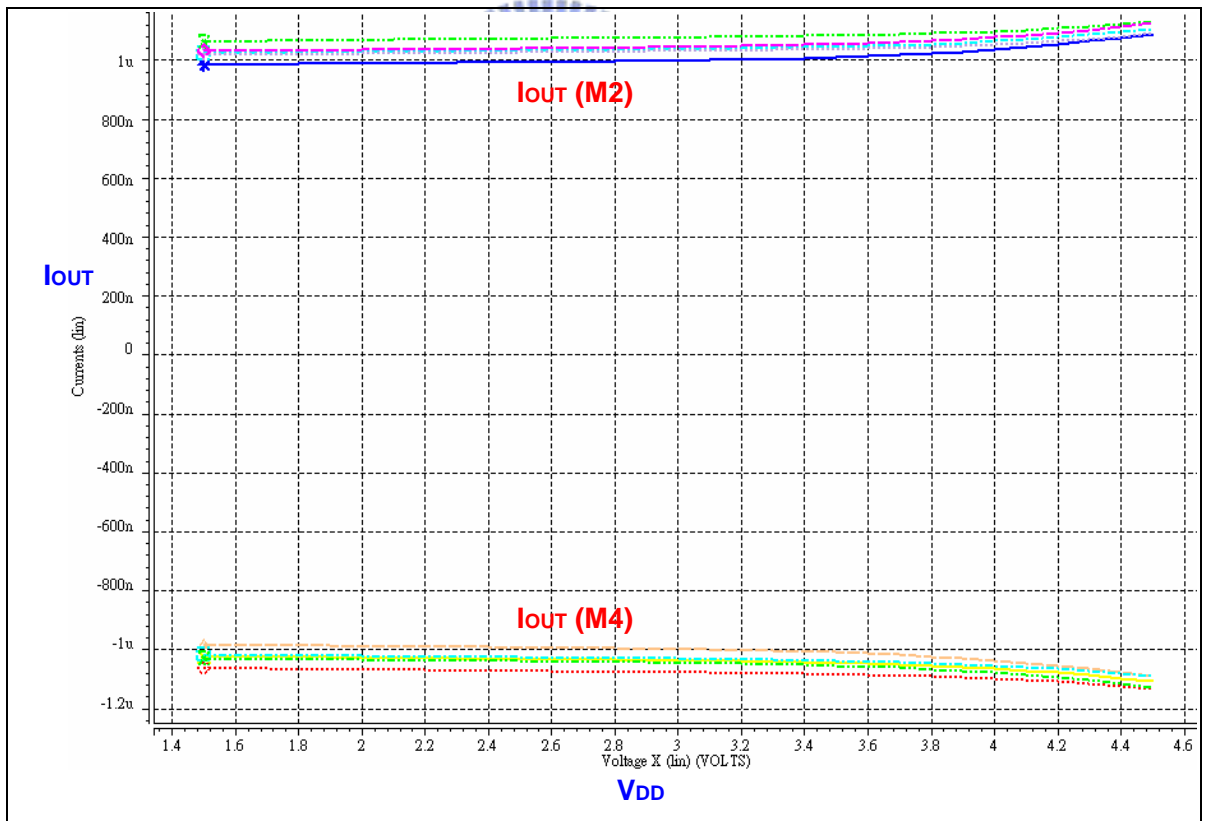


圖 3.15  $I_{OUT}$  與隨電源 VDD 變動的模擬

## 兩級放大器(Two-Stage Op)

爲了要準確的鎖住  $V_a$  與  $V_b$ ，所以必須設計一個高增益的放大器。同時爲了減

少靜態電流，這裡所設計的兩級放大器是工作在次臨界區，如圖 3.16 所示，在  $V_{DD}=1.5V$  時大約消耗  $1 \mu A$  的靜態電流。

$$\text{次臨界區的汲極電流方程式爲: } i_D = \frac{W}{L} I_{DO} \exp\left(\frac{qV_{GS}}{nkT}\right) \quad (3.27)$$

其中  $n$  是斜率因子,此值與電晶體的尺寸相關。將(3.27)式對  $v_{GS}$  偏微分可得其轉導爲

$$g_m = \frac{I_D}{nkT/q} \quad (3.28)$$

由(3.28)式可知轉導與汲極電流有著線性的關係，與電晶體的尺寸(W/L)無關。在次臨

$$\text{界區的輸出阻抗可表示成 } r_o \cong \frac{1}{\lambda I_D} \quad (3.29)$$

與轉導一樣，輸出阻抗也跟電晶體的尺寸(W/L)無關。其直流增益爲:

$$A_{VO} = g_{mMN2} g_{mMN6} \left( \frac{r_{OMP2} r_{OMN5}}{r_{OMP2} + r_{OMN5}} \right) \left( \frac{r_{OMP3} r_{OMN6}}{r_{OMP3} + r_{OMN6}} \right) \quad (3.30)$$

將(3.28)式及(3.29)式代入(3.30)式最後可得到直流增益爲:

$$A_{VO} = \frac{1}{n_{MN2} n_{MN6} (kT/q)^2 (\lambda_{MP2} + \lambda_{MN5})(\lambda_{MP3} + \lambda_{MN6})} \quad (3.31)$$

假設  $n_{MN2} = n_{MN6} = 2, kT/q = 26mV, \lambda_{MP2} = \lambda_{MP3} = 0.088, \lambda_{MN5} = \lambda_{MN6} = 0.05$

代入(3.31)式，可得:

$$A_{VO} = \frac{1}{2 \times 2 \times (0.026)^2 \times (0.088 + 0.05)^2} = 19419 = 85.76dB \quad (3.32)$$

頻率響應的模擬如圖 3.17 及表 3.3 所示。

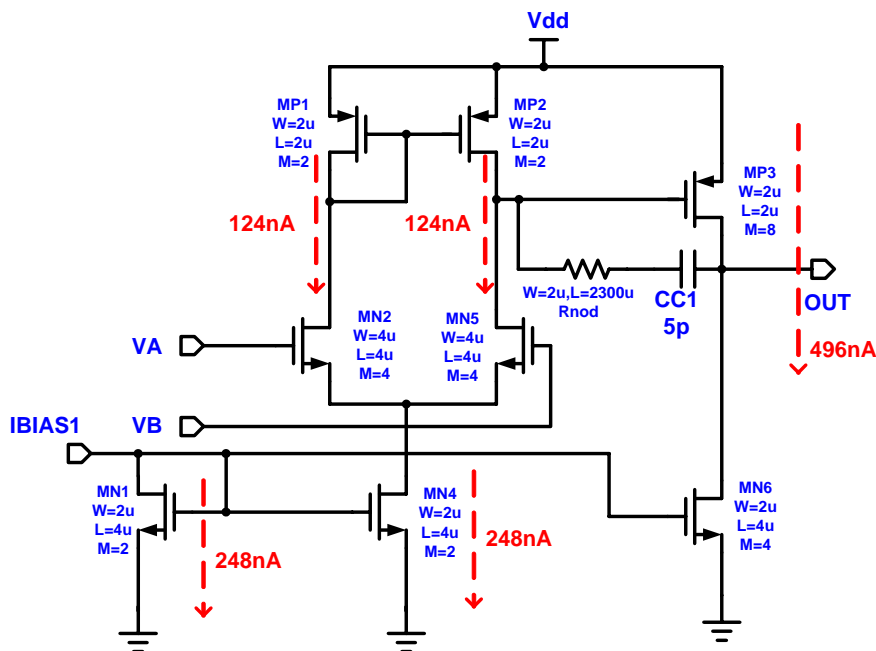


圖 3.16 操作在次臨界區的兩級放大器

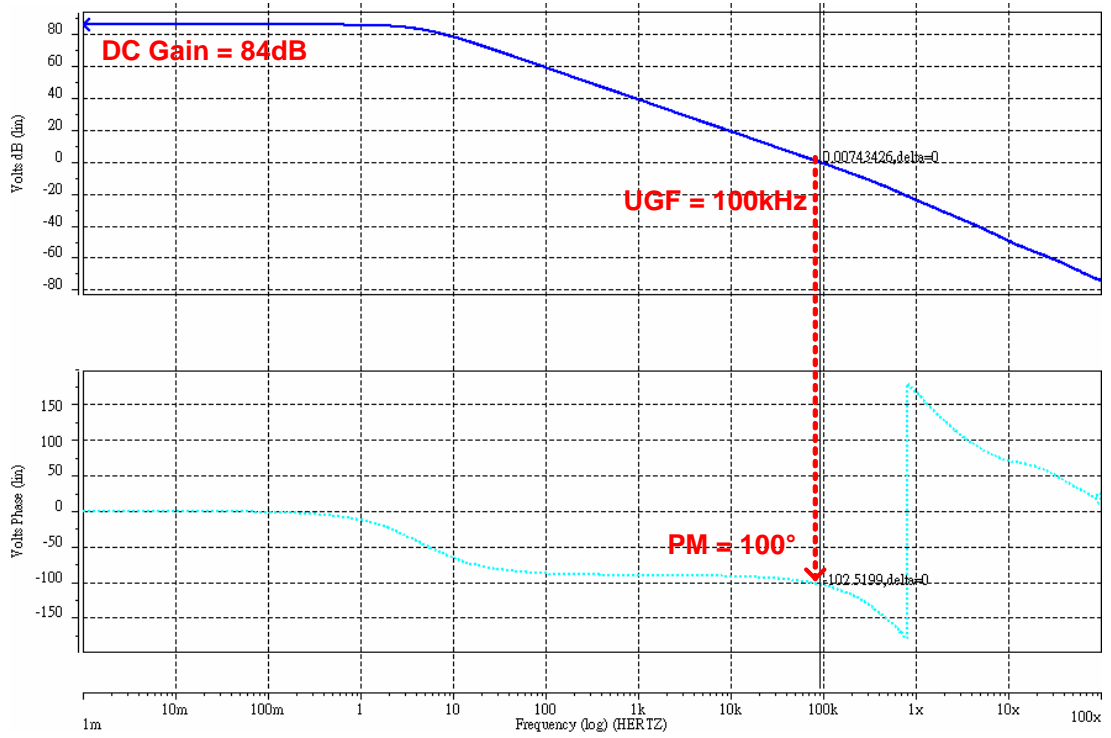


圖 3.17 兩級放大器的頻率響應

表 3.3 兩級放大器頻率響應的數據

DC Gain	84dB
UGF	100kHz
Phase Margin	100°

兩級放大器的共模輸入範圍模擬，如圖 3.18。共模輸入範圍為 0.3V ~1.1V。因為  $V_a=V_b=V_{BE} \cong 0.65V$ ，因此兩級放大器可以正常在輸入範圍內操作。所設計的元件尺寸如圖 3.16 標示。

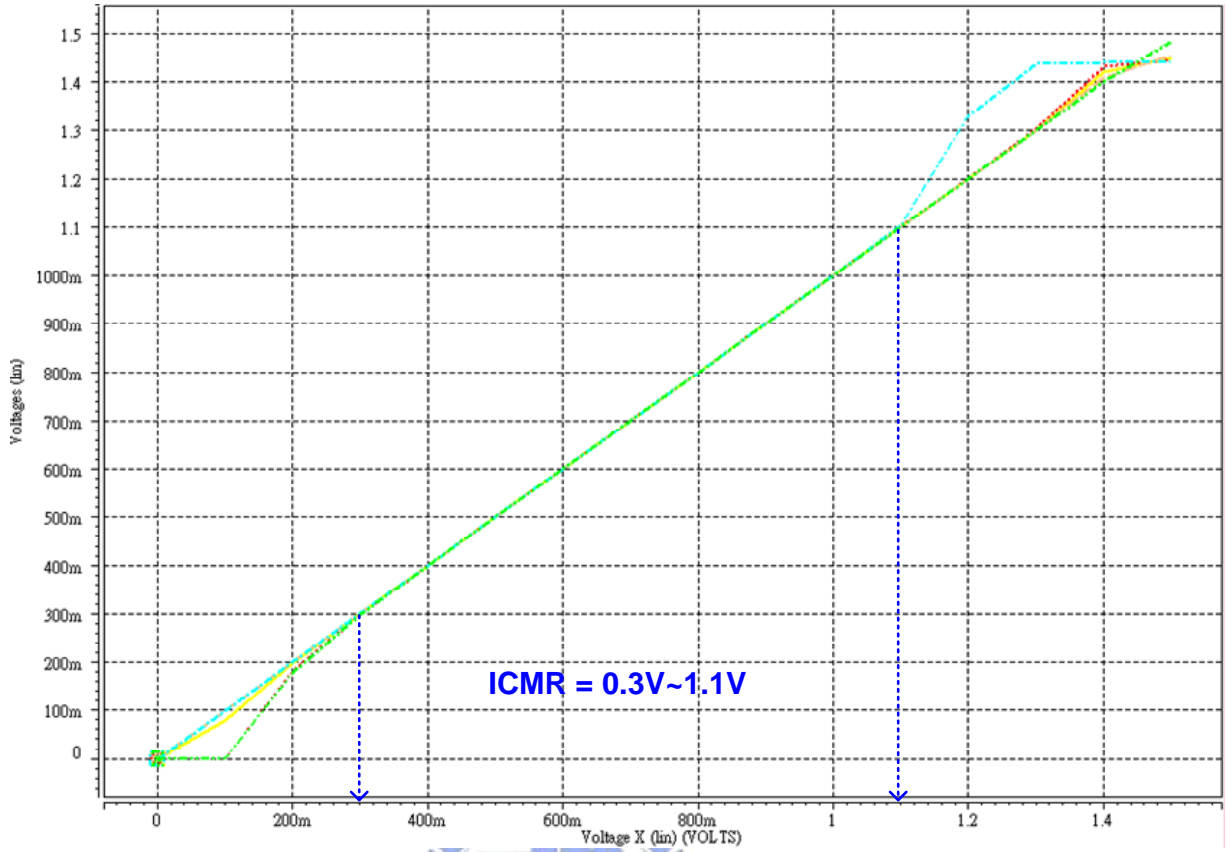


圖 3.18 兩級放大器的共模輸入範圍的模擬

## 偏壓電路(Biasing Circuit)

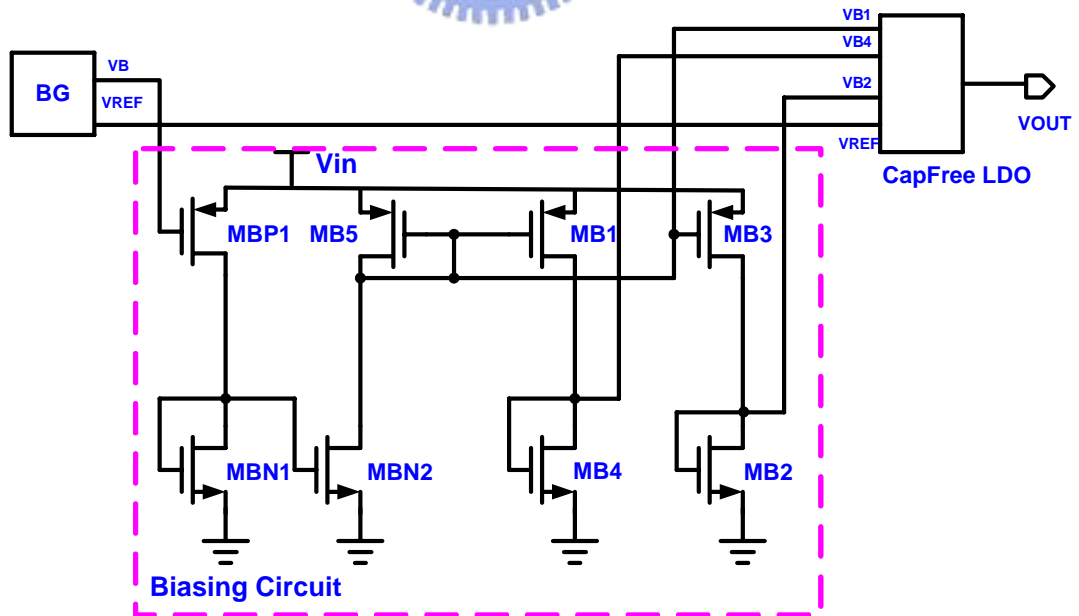


圖 3.19 偏壓電路



偏壓電路的電流源是由帶差參考電路所產生，然後由 MB5,MB4 及 MB2 調整低壓差線性穩壓器所需要的偏壓 VB1，VB4 及 VB2，如圖 3.19。為了節省靜態電流，每條支流僅消耗  $1\mu A$ 。

帶差參考電路的元件尺寸如表 3.4 所示。偏壓電路的元件尺寸如表 3.5 所示：

表 3.4 帶差參考電路的元件尺寸

元件	MP1	MP2	MP3	MP4	MS1	MS2	MS3	Q1
尺寸 ( $\mu m$ )	W=4u L=8u M=2	W=4u L=8u M=2	W=4u L=8u M=2	W=4u L=8u M=2	W=16u L=2u M=2	W=0.5u L=20u M=1	W=0.5u L=20u M=1	PNP10 M=1
元件	Q2	Q3	R4	R5	R6			
尺寸 ( $\mu m$ )	PNP10 M=16	PNP10 M=1	43k $\Omega$	311k $\Omega$	111k $\Omega$			

表 3.5 偏壓電路的元件尺寸

元件	MBP1	MBN1	MBN2	MB1	MB2	MB3	MB4	MB5
尺寸 ( $\mu m$ )	W=4u L=8u M=2	W=4u L=4u M=3	W=4u L=4u M=2	W=2u L=4u M=2	W=3u L=4u M=2	W=2u L=4u M=2	W=2u L=10u M=2	W=2u L=4u M=2

### 3.3 模擬結果

模擬結果包含有帶差參考電路及低壓差線性穩壓器，分別如下：

#### 3.3.1 帶差參考電路模擬

帶差參考電路模擬包含有：(1)溫度係數的模擬(2)電源起動(Power Start-Up)的模擬(3)電源拒斥比(PSRR)的模擬(4)靜態電流(Quiescent Current)的模擬。

(1)溫度係數的模擬：

五個 Corner 的溫度係數模擬如圖 3.20 所示，溫度從  $0\sim 110^\circ$  參考電壓的變化為  $1.5mV$ ，溫度係數為  $45.45ppm/^\circ C$ 。溫度係數計算如下：

$$TC = \frac{\frac{\partial V_{REF}}{V_{REF}}}{\partial T} \times 10^6 = \frac{1.5mV}{300mV} \times 10^6 = 45.45 ppm/^\circ C \quad (3.33)$$

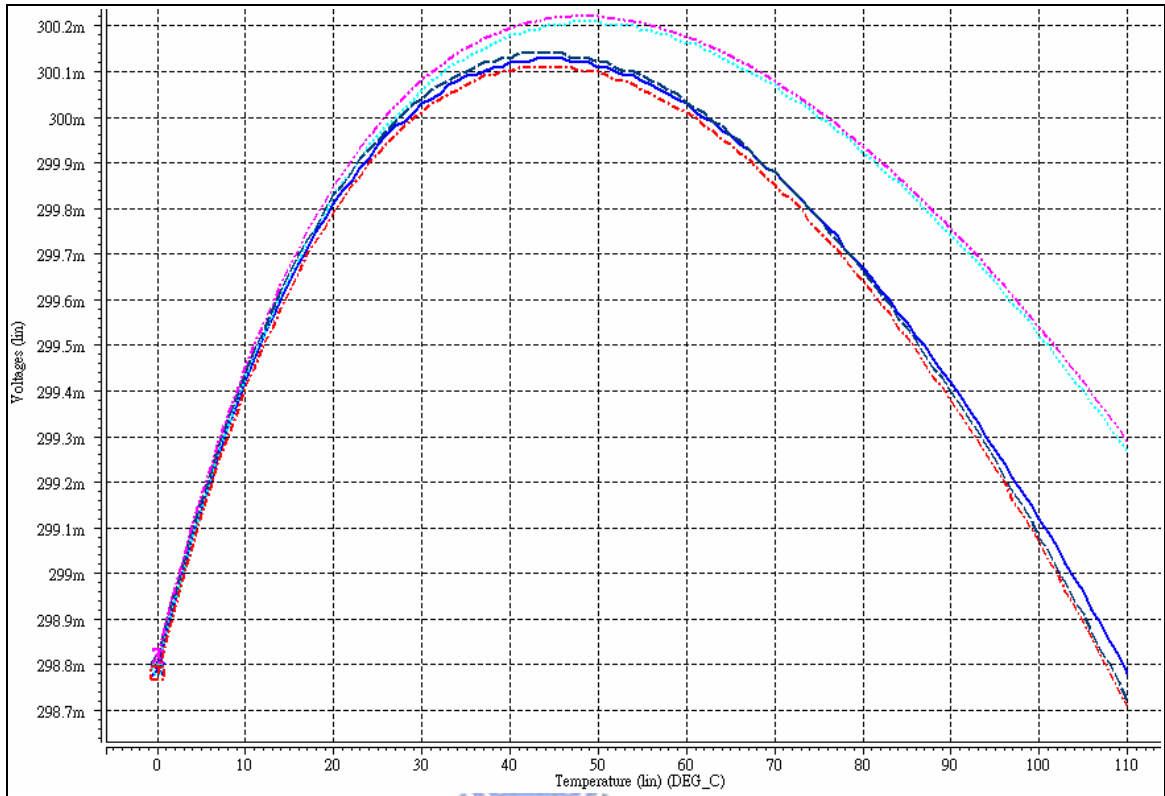


圖 3.20 帶差參考電路的溫度係數模擬

(2) 電源起動(Power StartUp)的模擬:

如圖 3.21 所示，VDD 從開機、起動到關機，參考電壓 VREF 都能穩定在 0.3V。

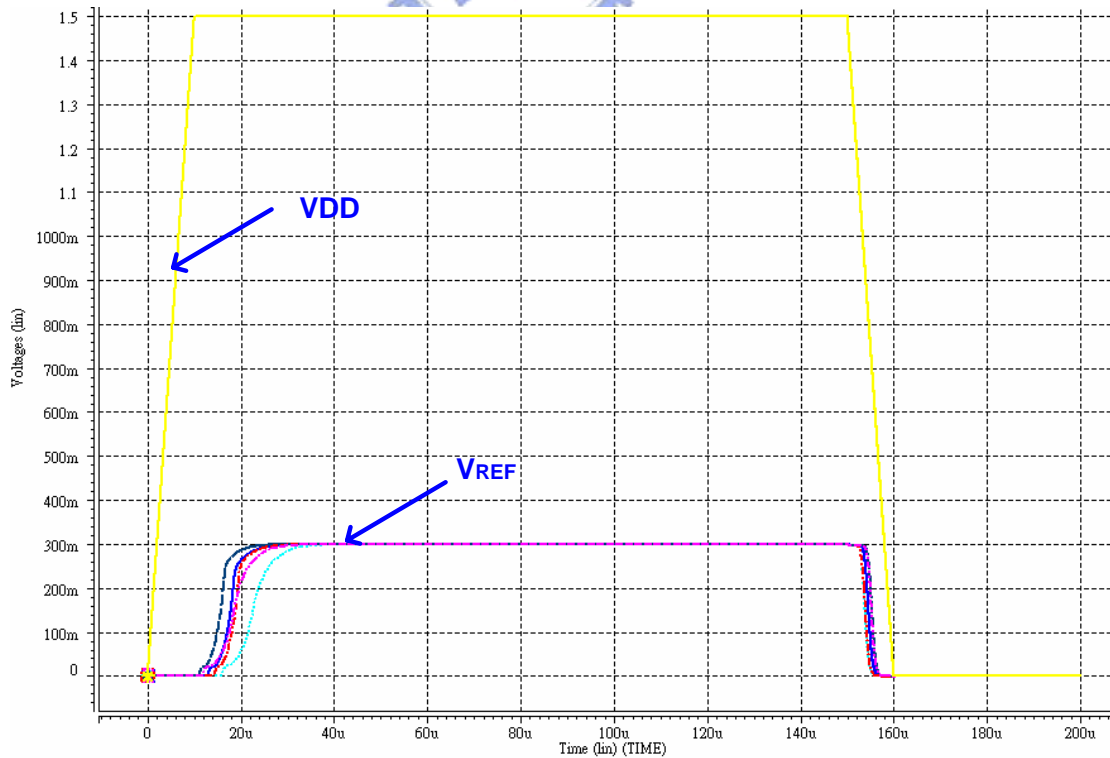


圖 3.21 電源起動的模擬

### (3) 電源拒斥比(PSRR)的模擬:

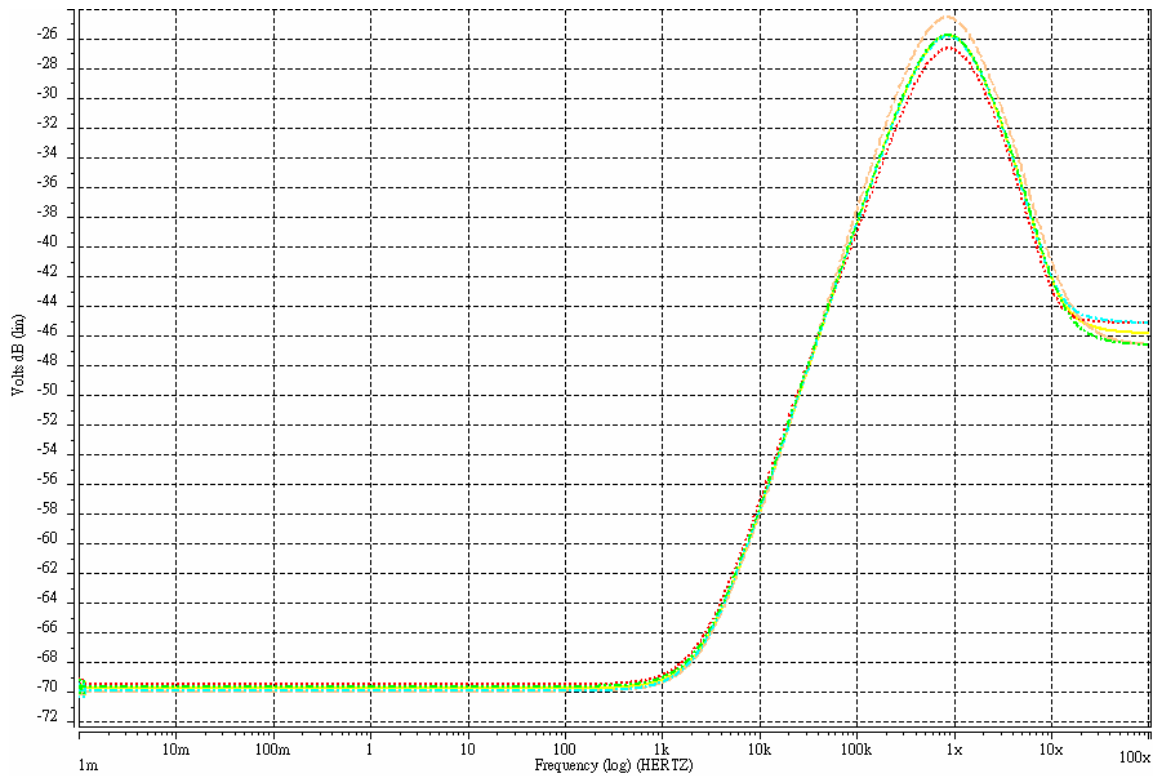


圖 3.22 電源拒斥比的模擬

五個 Corner 的電源拒斥比如圖 3.22 所示，最好的電源拒斥比在頻率等於直流時有 -70dB，最差的在頻率等於 1MHz 時，大約 -26dB。

### (4) 靜態電流(Quiescent Current)的模擬:

在 VDD=1.5V 時，所消耗的靜態電流約  $9.9 \mu A$ 。整個 Bandgap 的效能模擬如表 3.7 所示。

表 3.6 靜態電流的模擬

element	vdd
volts	1.5000
current	-9.9121u
power	14.8682u

表 3.7 帶差參考電路的效能模擬表

	Pre-Simulation Result
Technology	0.35 $\mu$ m
Threshold Voltage	$V_{thn}=0.567V$ , $ V_{thp} =0.746V$
Supply Voltage	1.5V~4.5V
Supply Current	9.9 $\mu$ A
Reference Voltage	300mV $\pm$ 0.75mV
Temperature Range	0~110 $^{\circ}$ C
Temperature Coefficient	45.45 ppm/ $^{\circ}$ C
PSRR (VDD=1.5V)	-70dB@10Hz -69dB@1KHz -26dB@1MHz

### 3.3.2 低壓差線性穩壓器的模擬

低壓差線性穩壓器的模擬項目包含有:

- (1)負載穩壓(Load Regulation)
- (2)線上穩壓(Line Regulation)
- (3)負載暫態響應(Load Transient Response)
- (4)線上暫態響應(Line Transient Response)
- (5)電源拒斥比(PSRR)
- (6)靜態電流(Quiescent Current)
- (7)溫度係數(Temperature Coefficient)



(1) 負載穩壓(Load Regulation)的模擬:

負載穩壓的模擬示意圖如圖 3.23 所示，模擬結果如圖 3.24 及圖 3.25。負載穩壓的計算如下:

$$\text{Load Regulation}_{(\text{With Capacitor \& ESR})} = \frac{\Delta V_{\text{out}}}{\Delta I_{\text{out}}} = \frac{1.298474V - 1.298438V}{100mA - 0mA} = 0.036mV / 100mA = 0.36\mu V/mA$$

(3.34)

$$\text{Load Regulation}_{(\text{Without Capacitor})} = \frac{\Delta V_{\text{OUT}}}{\Delta I_{\text{OUT}}} = \frac{1.298457V - 1.298438V}{100mA - 1mA} = 0.019mV / 99mA = 0.19\mu V/mA$$

(3.35)

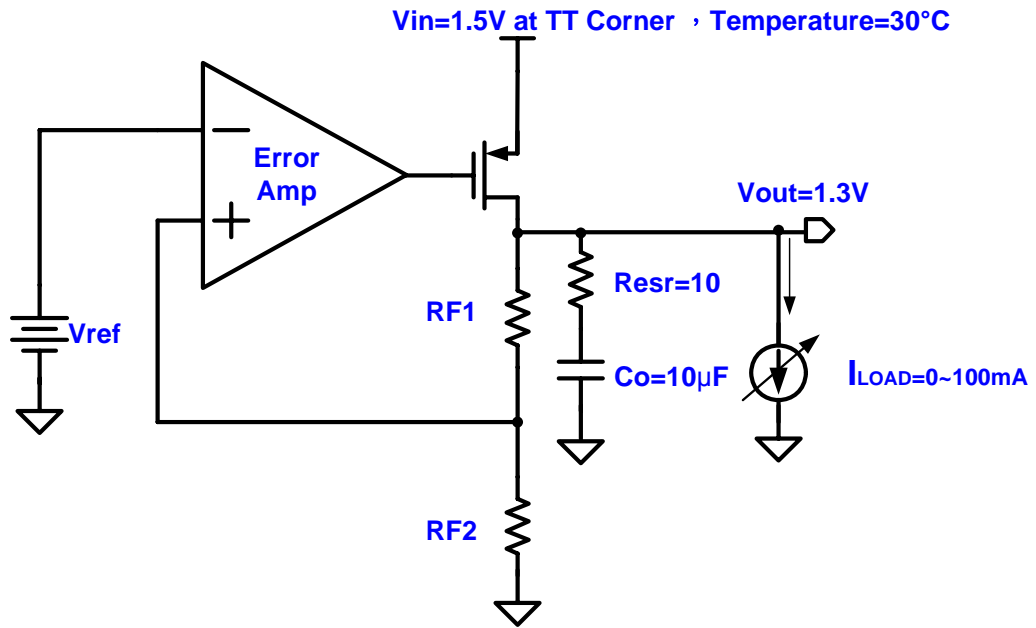


圖 3.23 負載穩壓的模擬示意圖

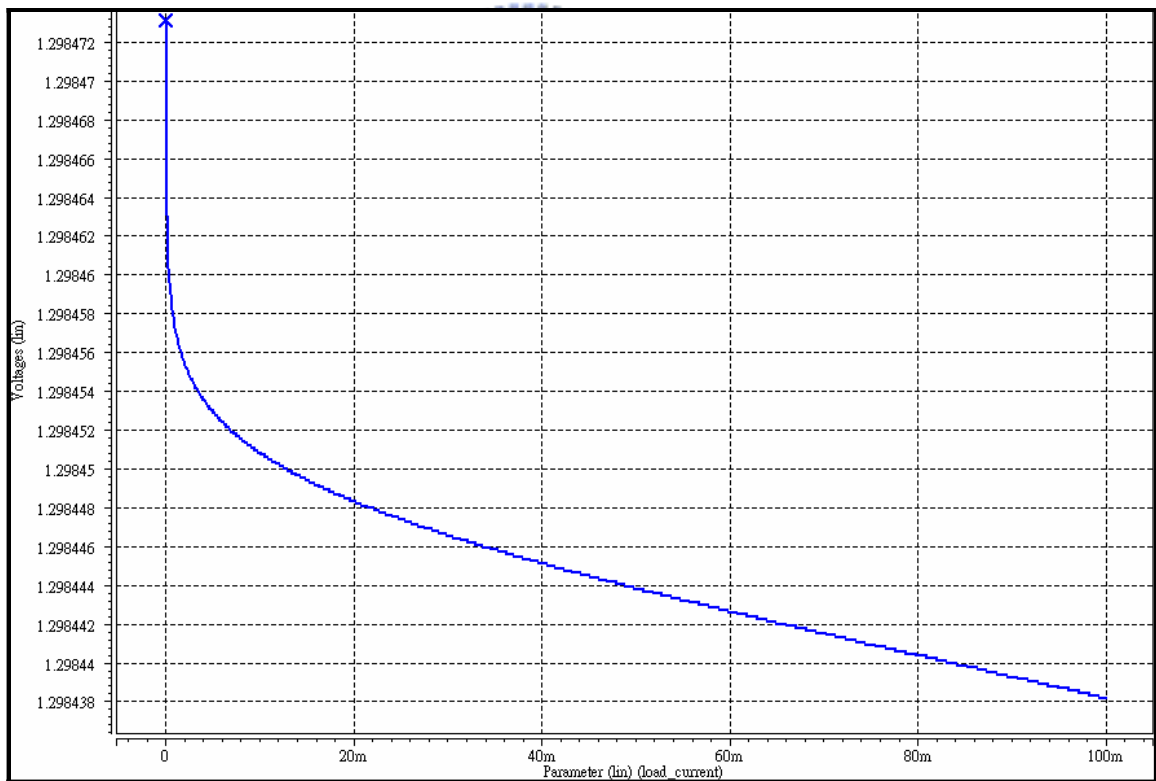


圖 3.24 負載穩壓的模擬結果(有輸出電容及 ESR 電阻)

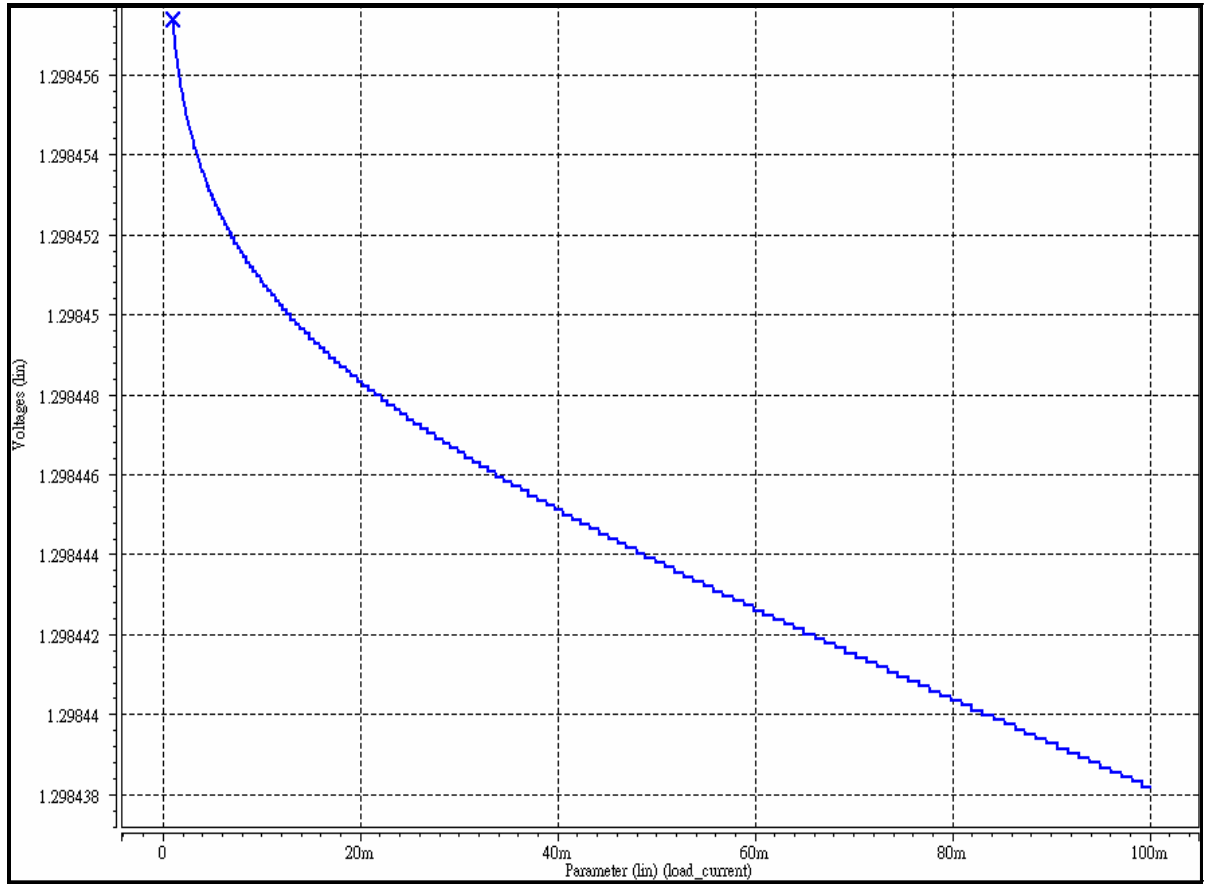


圖 3.25 負載穩壓的模擬結果(無輸出電容)

(2) 線上穩壓(Line Regulation)的模擬:

線上穩壓的模擬示意圖如圖 3.26，模擬結果如圖 3.27 及 3.28。線上穩壓的計算如下:

$$\text{Line Regulation}_{(\text{With Capacitor \& ESR})} = \frac{\Delta V_{\text{out}}}{\Delta V_{\text{in}}} = \frac{1.298438\text{V} - 1.297497\text{V}}{4.5\text{V} - 1.5\text{V}} = 0.941\text{mV} / 3\text{V} = 0.314\text{mV/V}$$

(3.36)

$$\text{Line Regulation}_{(\text{Without Capacitor})} = \frac{\Delta V_{\text{out}}}{\Delta V_{\text{in}}} = \frac{1.298438\text{V} - 1.297497\text{V}}{4.5\text{V} - 1.5\text{V}} = 0.941\text{mV} / 3\text{V} = 0.314\text{mV/V}$$

(3.37)

$V_{in} = 1.5V \sim 4.5V$  at TT Corner , Temperature=30°C

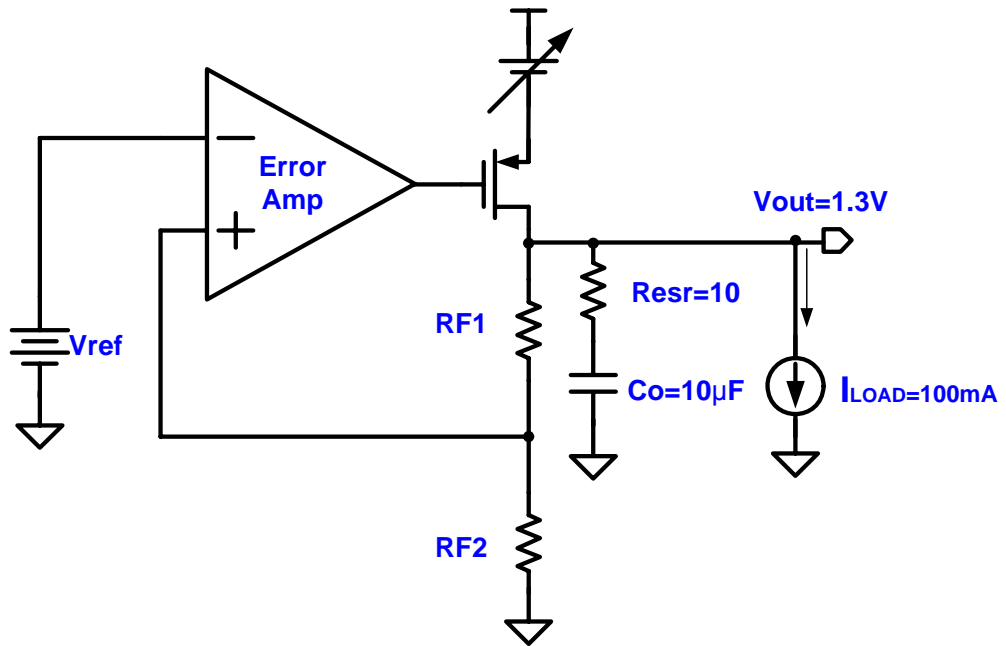


圖 3.26 線上穩壓的模擬示意圖

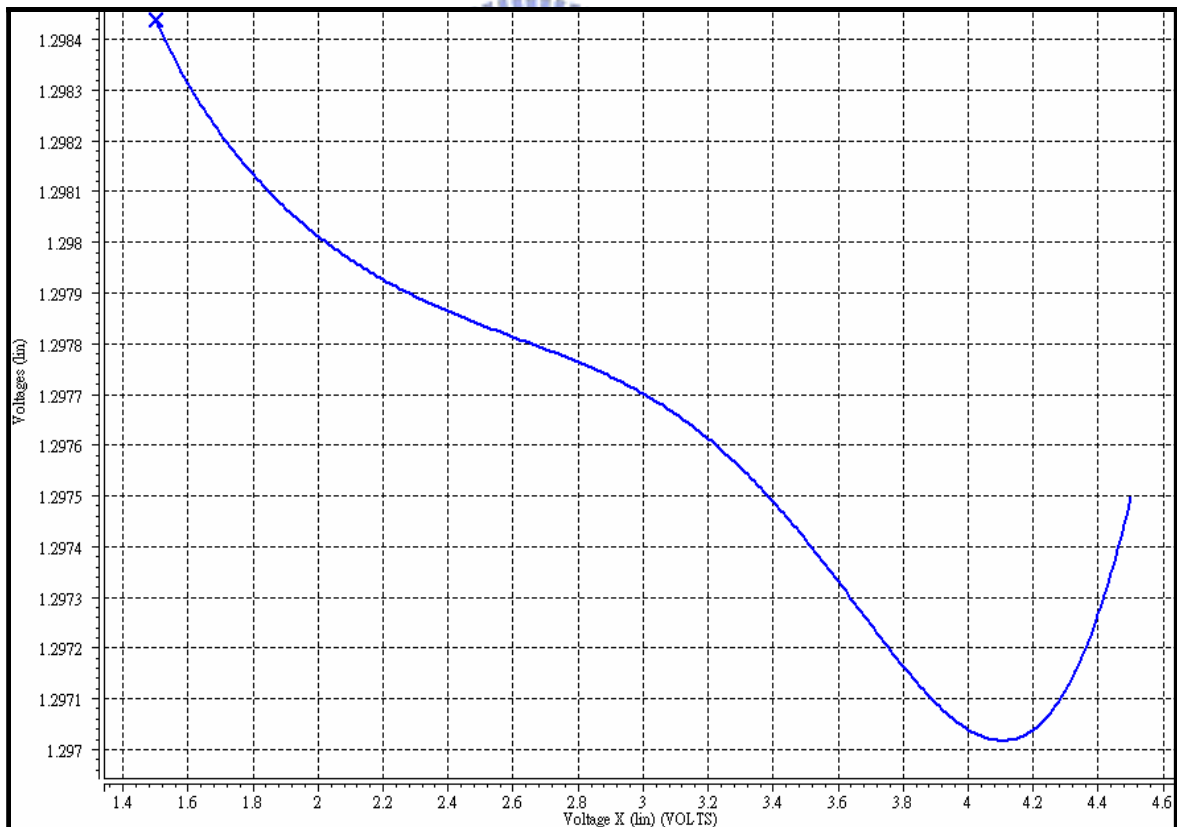


圖 3.27 線上穩壓的模擬結果(有輸出電容及 ESR 電阻)



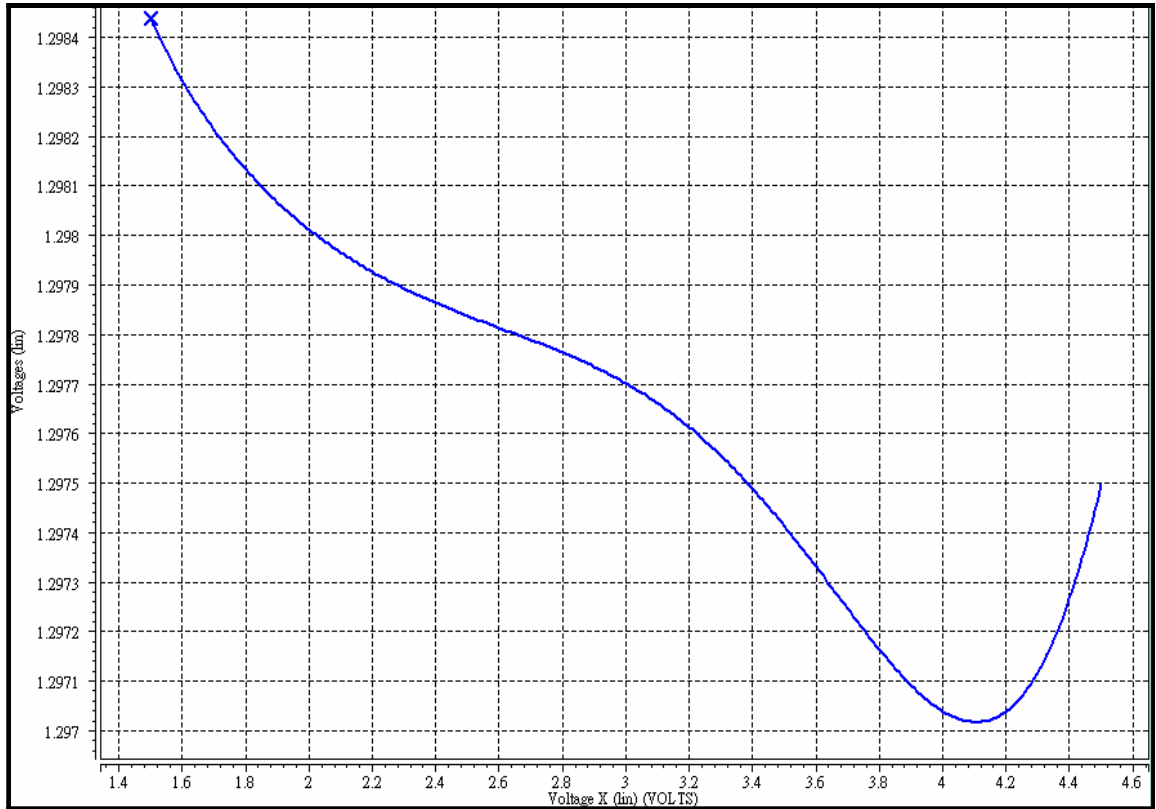


圖 3.28 線上穩壓的模擬結果(無輸出電容)

(3) 負載暫態響應(Load Transient Response)的模擬：

(a)在含有  $10\ \mu\text{F}$  的輸出電容及  $10\ \Omega$  的 ESR 電阻時的負載暫態響應:

負載暫態響應的模擬示意圖如圖 3.29。在此種狀況下，由圖 3.30 可看出無論是在電源起動或負載的步階變動，輸出電壓  $V_{\text{OUT}}$  均可穩定在預期的 1.3V。負載暫態響應數據如表 3.8 所示。

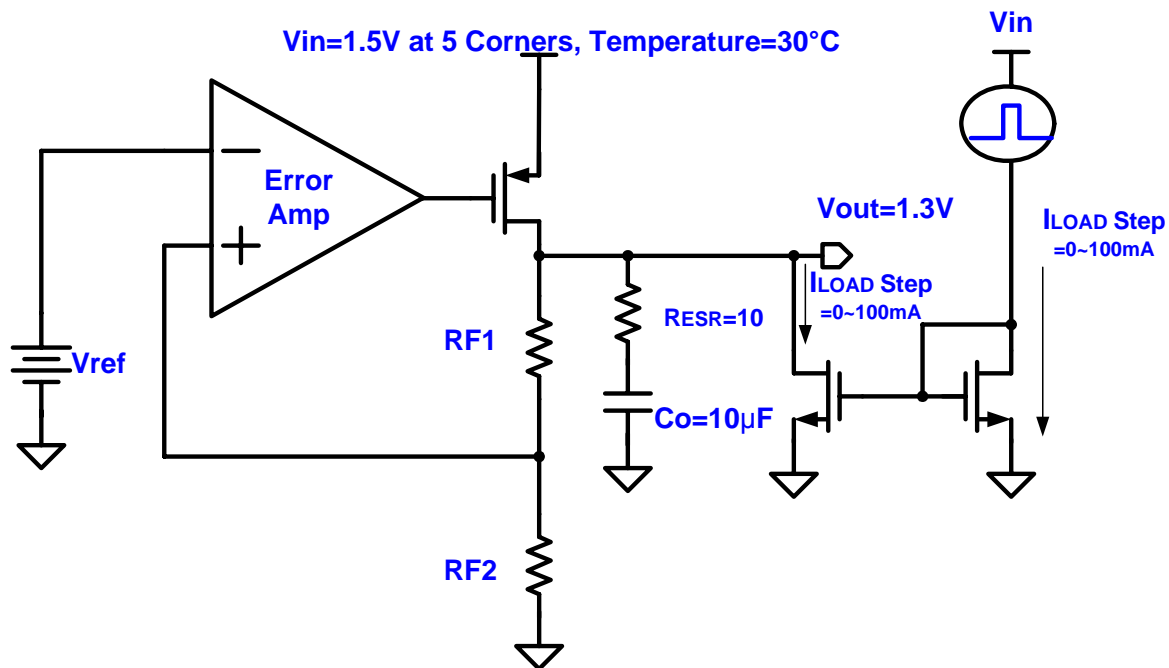


圖 3.29 有輸出電容及 ESR 電阻的負載暫態響應的模擬示意圖

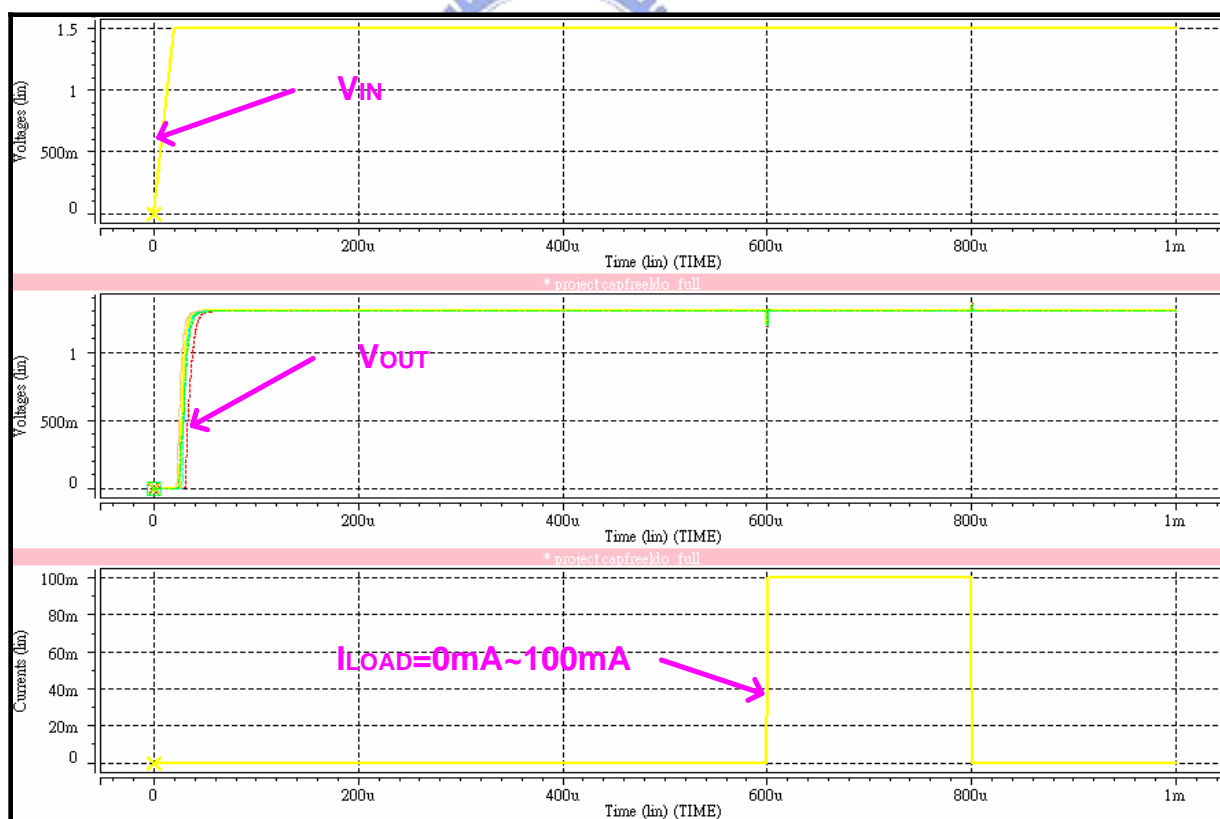


圖 3.30 含有 10 µF 的輸出電容及 10Ω 的 ESR 電阻時負載暫態響應的模擬

表 3.8 含有  $10\ \mu\text{F}$  的輸出電容及  $10\ \Omega$  的 ESR 電阻時的負載暫態響應數據表

$I_{\text{Load}}$ 變化	$V_{\text{Drop}}/V_{\text{overshooting}}$ (5 Corners , Worst Case)	Setting Time
0mA→100mA (圖 3. 31)	116mV	3 $\mu\text{Sec}$
100mA→0mA (圖 3. 32)	60mV	2 $\mu\text{Sec}$

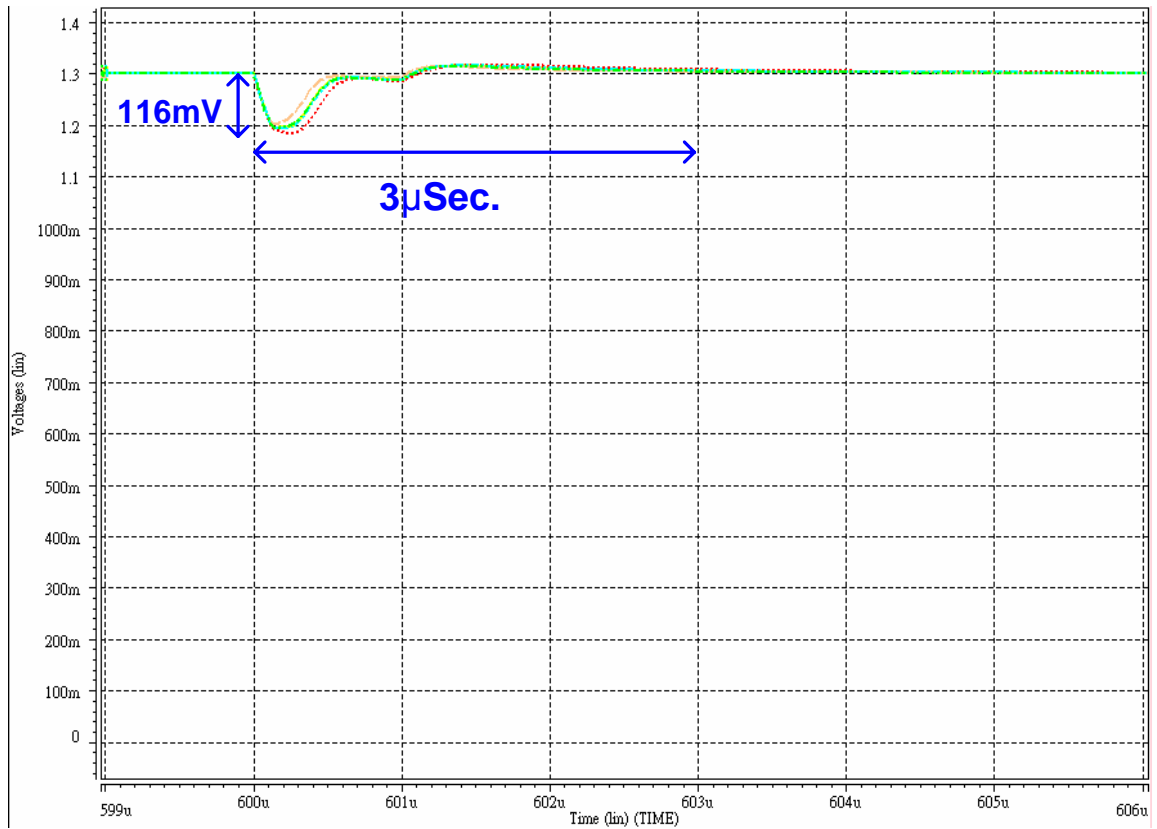


圖 3.31 在有輸出電容時，負載從 0mA 到 100mA 的暫態響應模擬

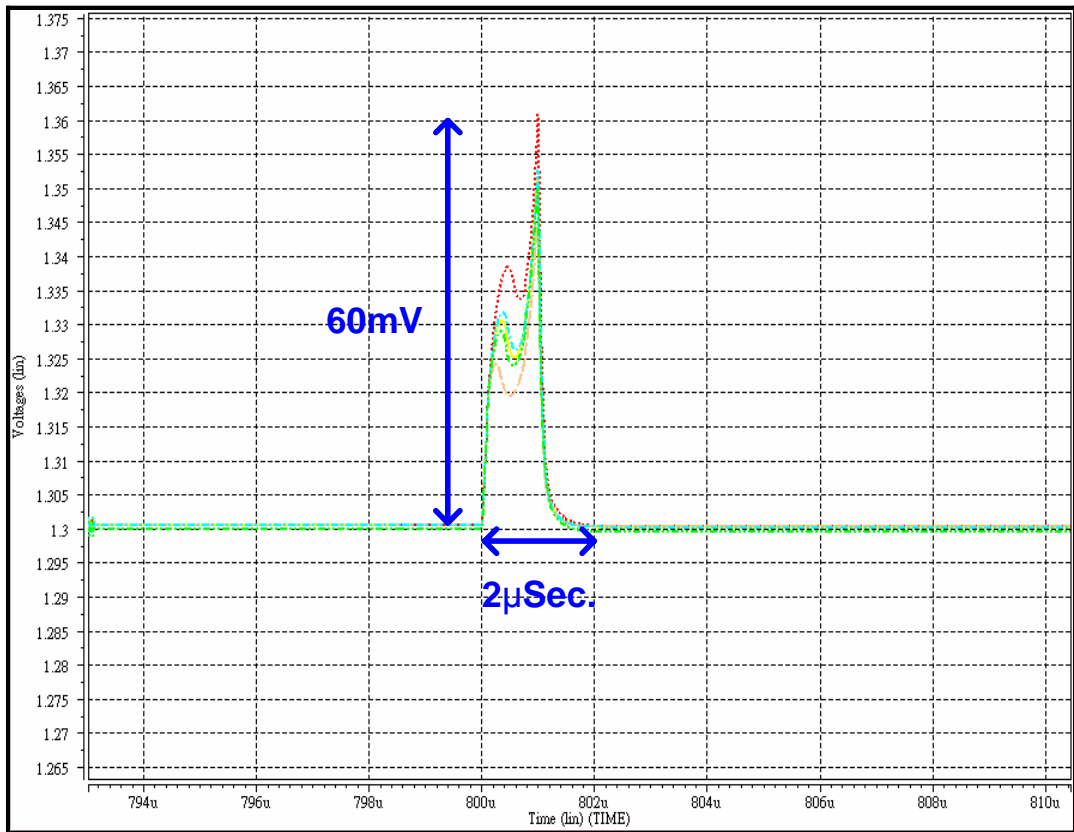


圖 3.32 在有輸出電容時，負載從 100mA 到 0mA 的暫態響應模擬

(b) 無輸出電容時的負載暫態響應:

負載暫態響應的模擬示意圖如圖 3.33。模擬結果如圖 3.34，在此種狀況下，輸出電壓  $V_{OUT}$  同樣穩定在預期的 1.3V。負載暫態響應數據如表 3.9 所示。

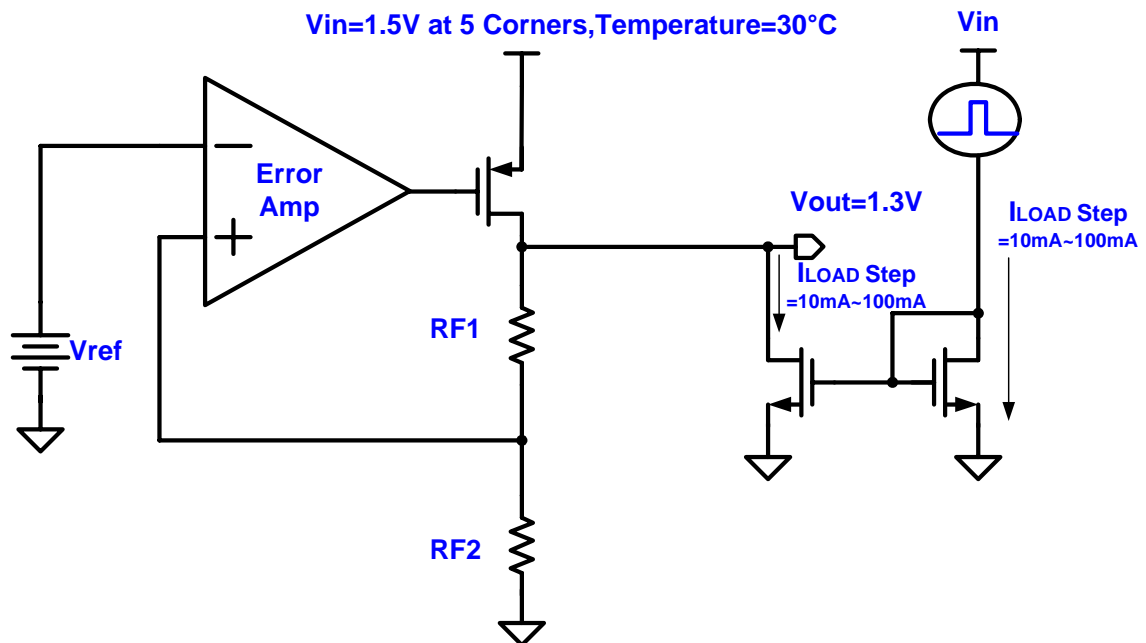


圖 3.33 無輸出電容的負載暫態響應的模擬示意圖

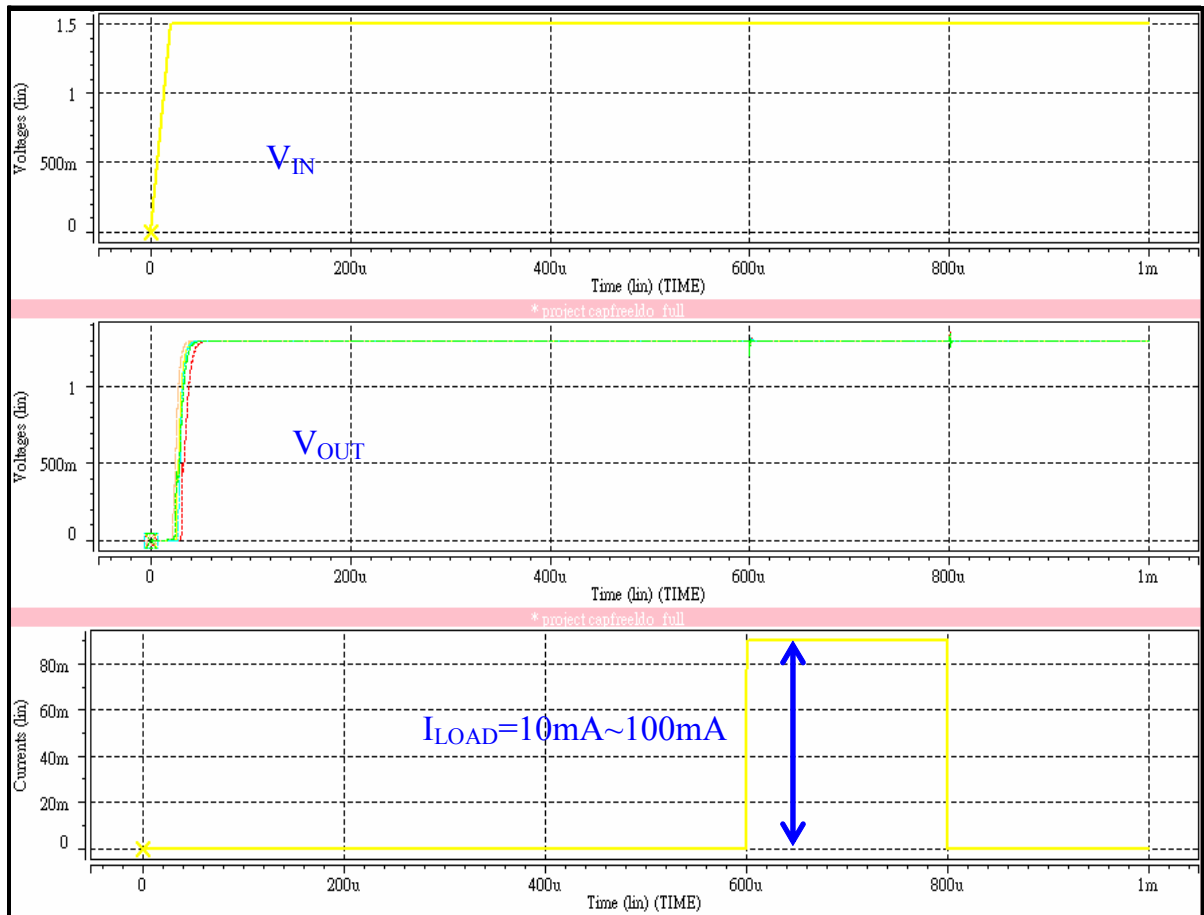


圖 3.34 在無輸出電容時的負載暫態響應模擬

表 3.9 無輸出電容時的負載暫態響應數據表

$I_{LOAD}$ 變化	$V_{Drop}/V_{overshooting}$ (5 Corners , Worst Case)	Setting Time
10mA→100mA (圖 3.35)	108mV	4 $\mu$ Sec
100mA→10mA (圖 3.36)	56mV	4 $\mu$ Sec

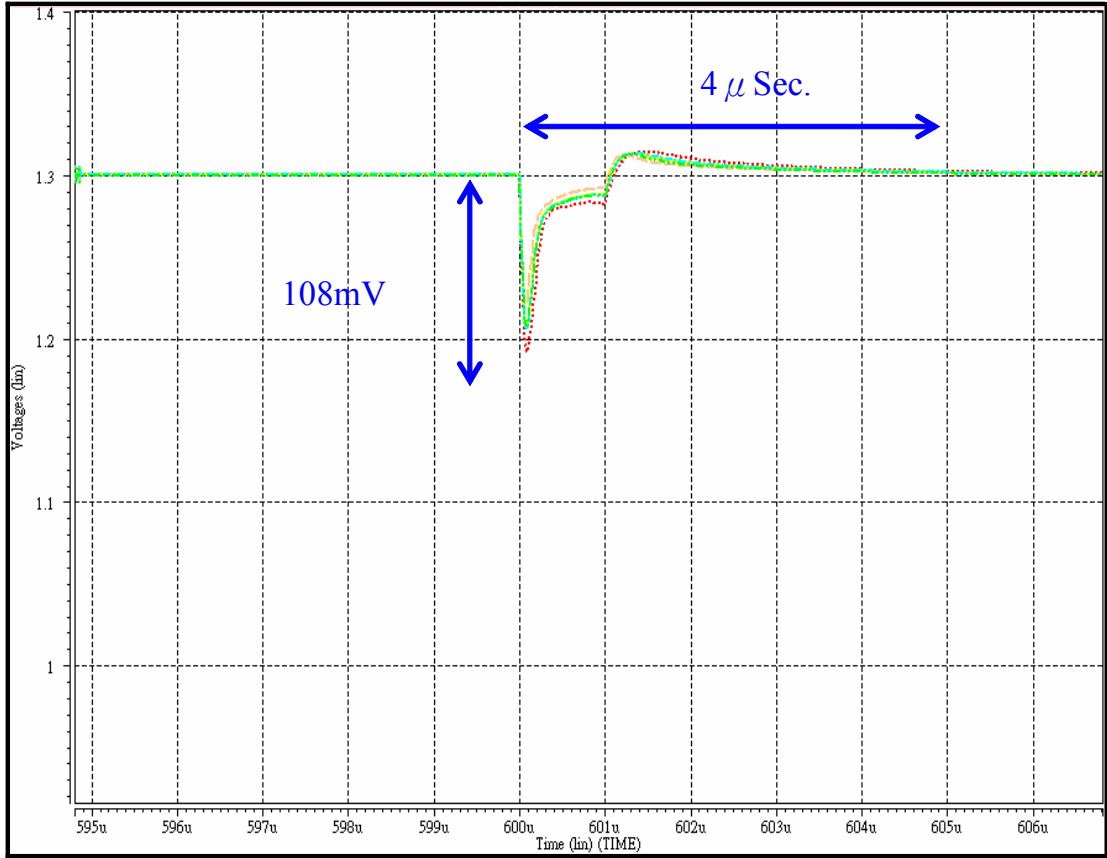


圖 3.35 在無輸出電容時，負載從 10mA 到 100mA 的暫態響應模擬

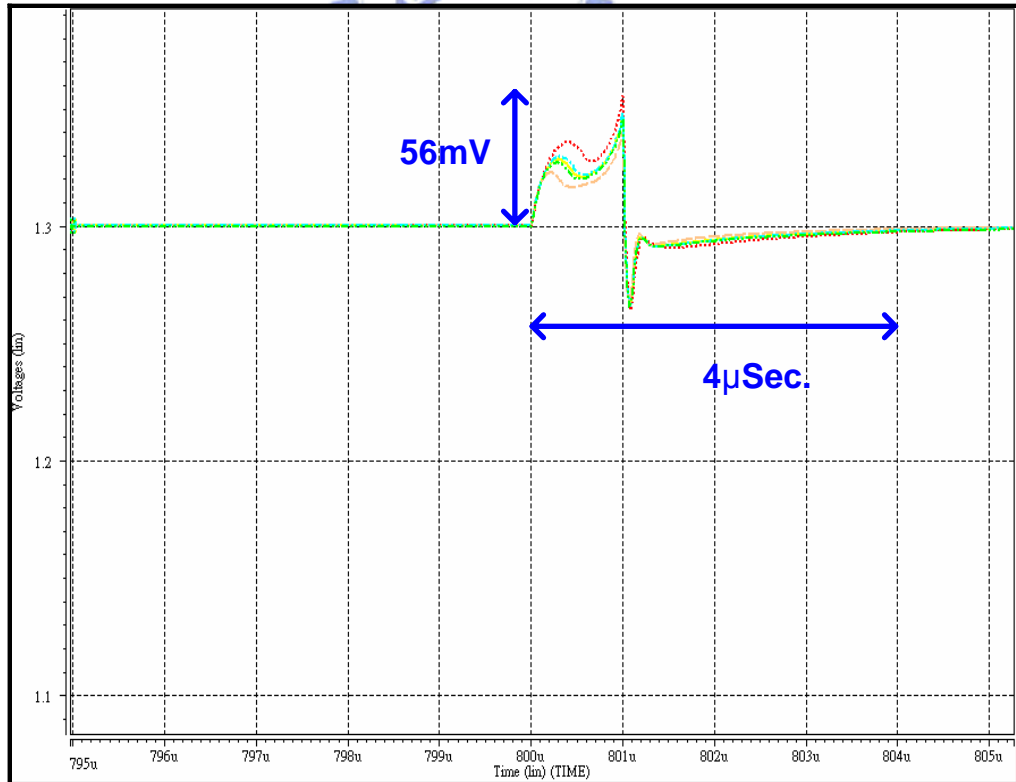


圖 3.36 在無輸出電容時，負載從 100mA 到 10mA 的暫態響應模擬

(4) 線上暫態響應(Line Transient Response)的模擬:

線上暫態響應的模擬示意圖如圖 3.37。模擬結果如圖 3.38，所示當  $V_{IN}$  由 1.5V 變動到 4.5V 時，輸出電壓  $V_{OUT}$  可穩定在預期的 1.3V。

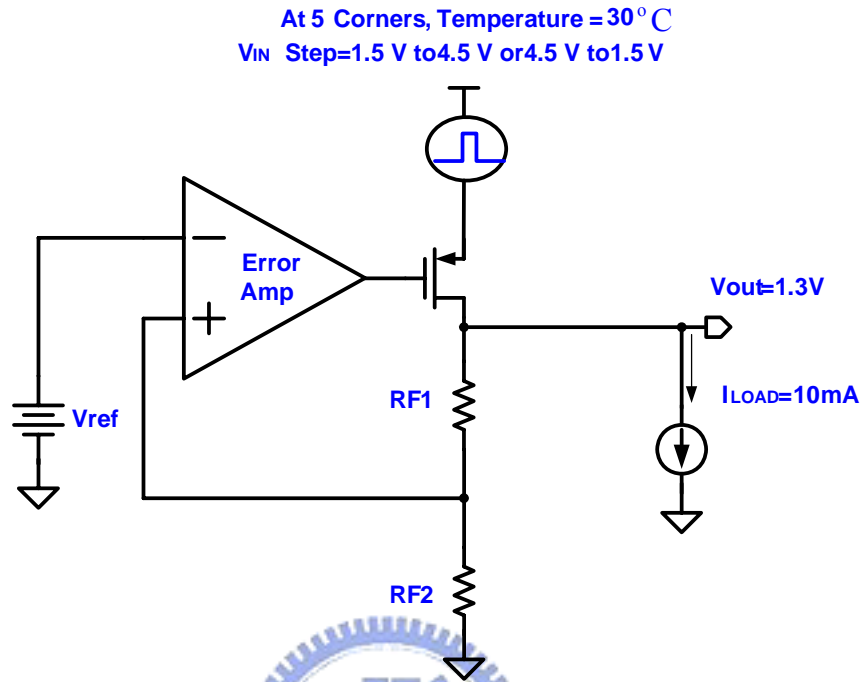


圖 3.37 線上暫態響應的模擬示意圖

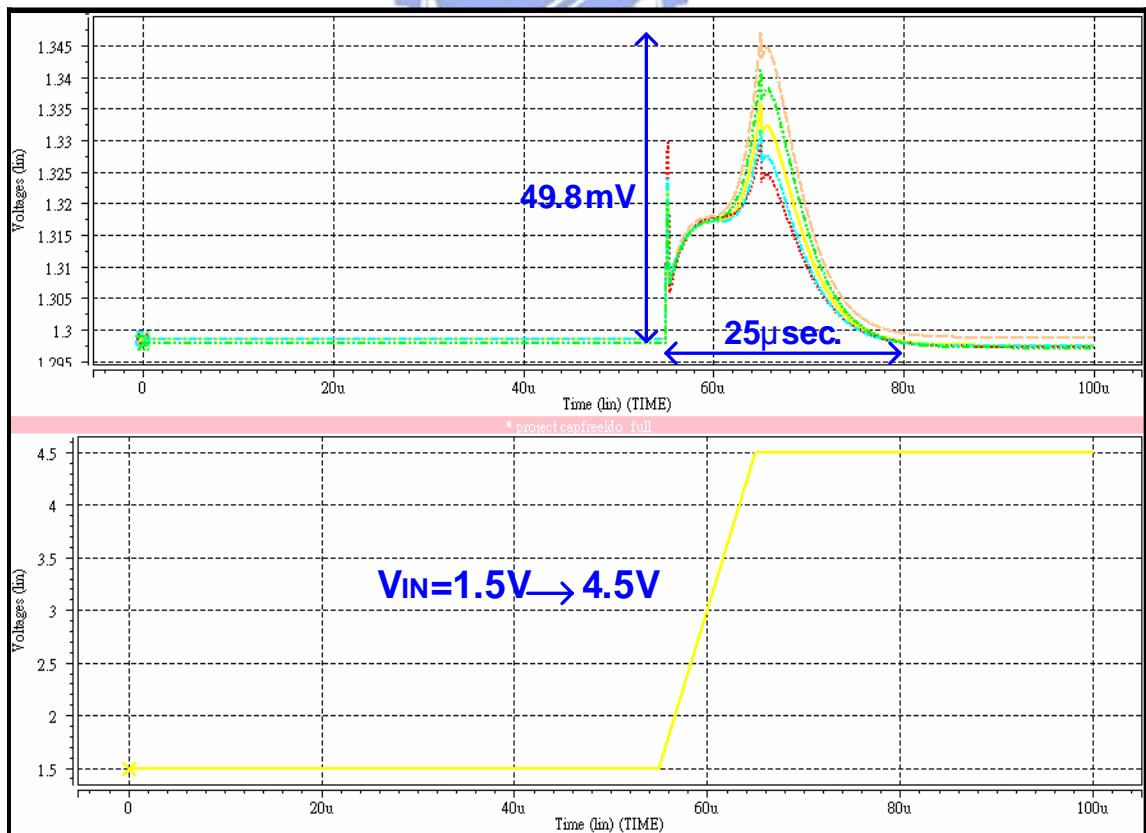


圖 3.38  $V_{IN}$  由 1.5V 變動到 4.5V 時的線上暫態響應模擬

如圖 3.39 所示當  $V_{IN}$  由 4.5V 變動到 1.5V 時，輸出電壓  $V_{OUT}$  同樣可穩定在預期的 1.3V。線上暫態響應的模擬數據如表 3.10 所示。

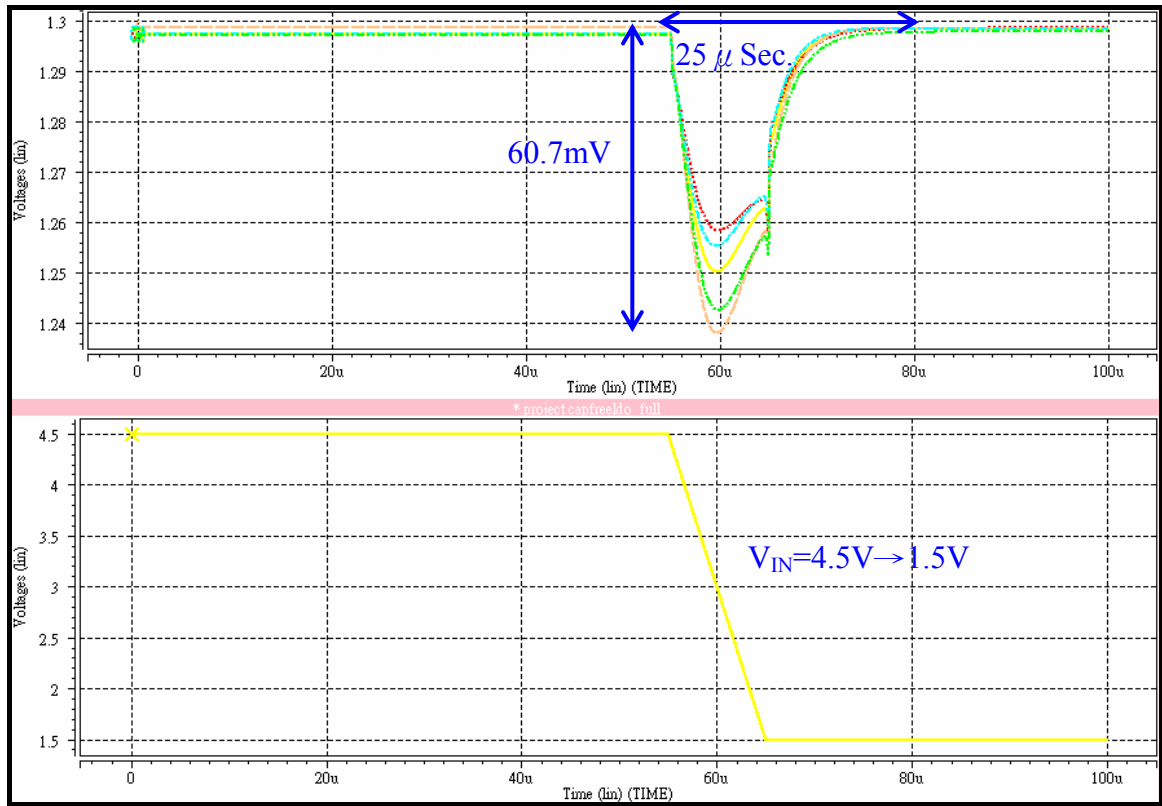


圖 3.39  $V_{IN}$  由 4.5V 變動到 1.5V 時的線上暫態響應模擬

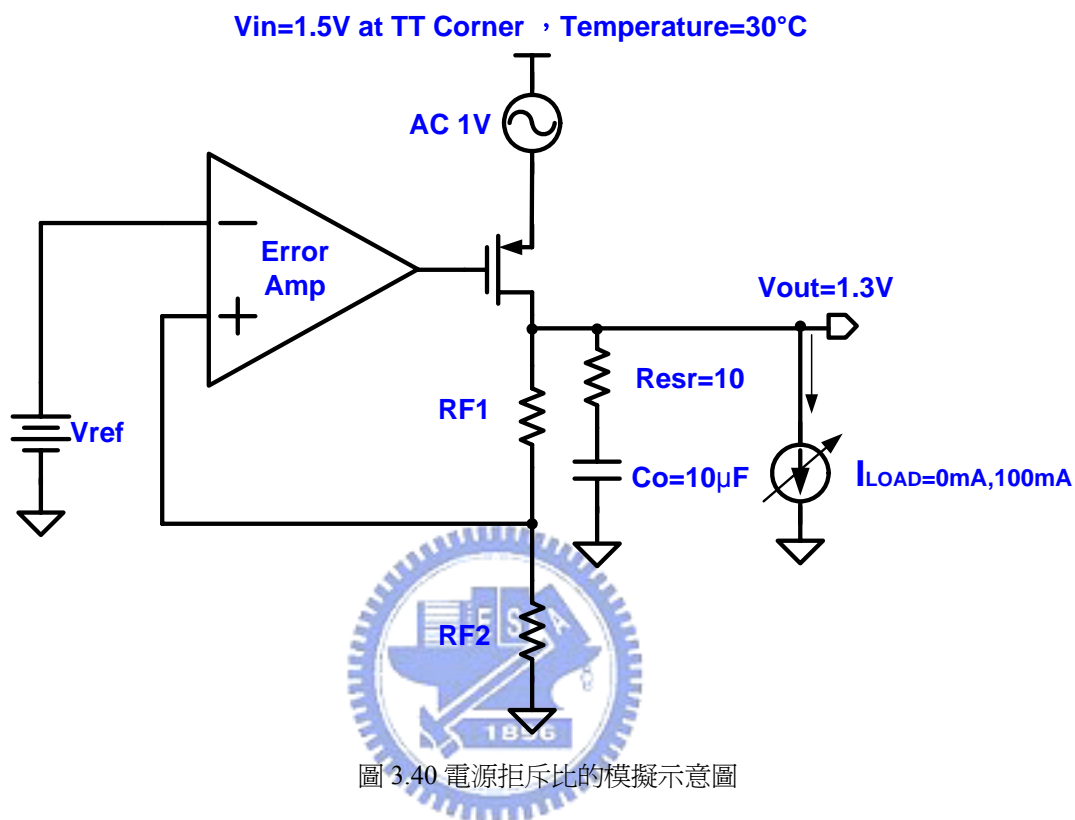
表 3.10 線上暫態響應的數據表

$V_{IN}$ 變化	$V_{overshooting}/V_{Drop}$ (5 Corners , Worst Case)	Setting Time
1.5V→4.5V (圖 3.37)	49.8mV	25 $\mu$ Sec
4.5V→1.5V (圖 3.38)	60.7mV	25 $\mu$ Sec



(5) 電源拒斥比(PSRR)的模擬:

電源拒斥比的模擬示意圖如圖 3.40，模擬結果如圖 3.41 及圖 3.42，詳細數據如表 3.11 所示。



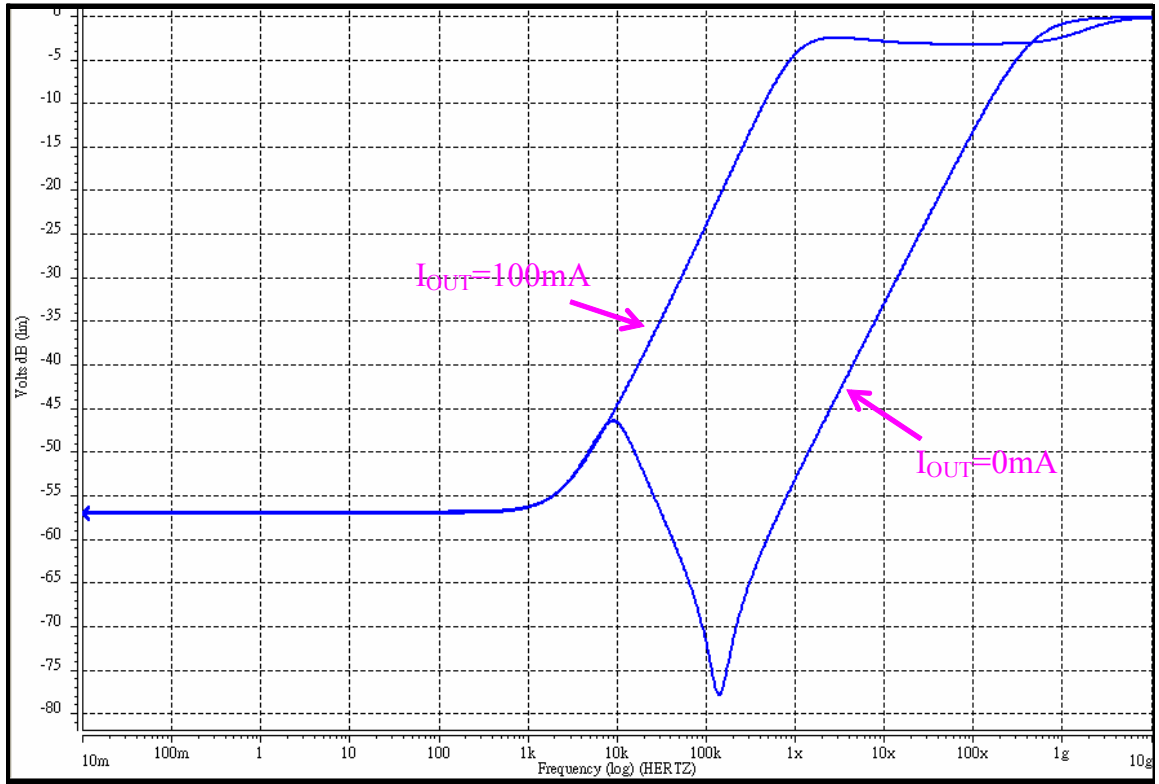


圖 3.41 含有輸出電容及 ESR 電阻時的電源拒斥比模擬

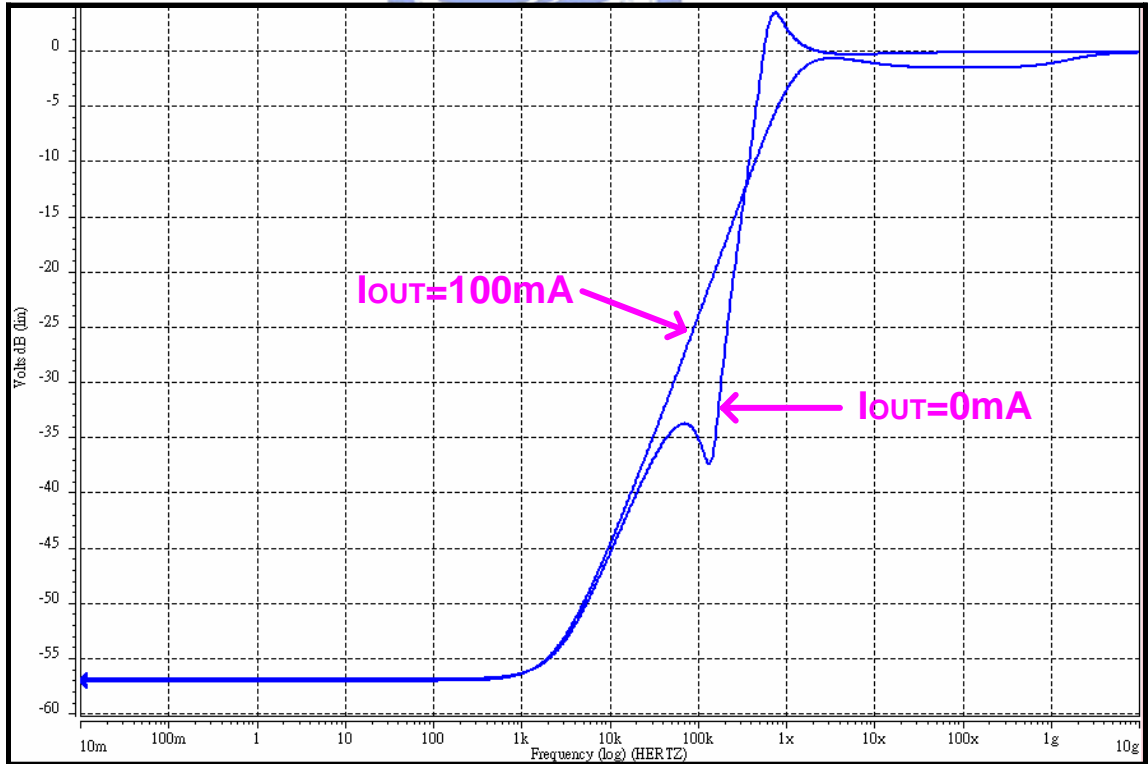


圖 3.42 無輸出電容時的電源拒斥比模擬

表 3.11 電源拒斥比的模擬數據表

		PSRR@10Hz	PSRR@1KHz	PSRR@1MHz
$C_L \neq 0$ $ESR \neq 0$	$I_{OUT} = 0mA$	-57dB	-56.4dB	-53.1dB
	$I_{OUT} = 100mA$	-57dB	-56.4dB	-4.3dB
$C_L = 0$	$I_{OUT} = 0mA$	-57dB	-56.4dB	2.1dB
	$I_{OUT} = 100mA$	-57dB	-56.4dB	-3.4dB

(6) 靜態電流(Quiescent Current)

靜態電流的模擬示意圖如圖 3.43。整個低壓差線性穩壓器含帶差參考電路在  $V_{IN}=1.5V$  時，僅消耗靜態電流約  $46 \mu A$ ，如表 3.12 所示。

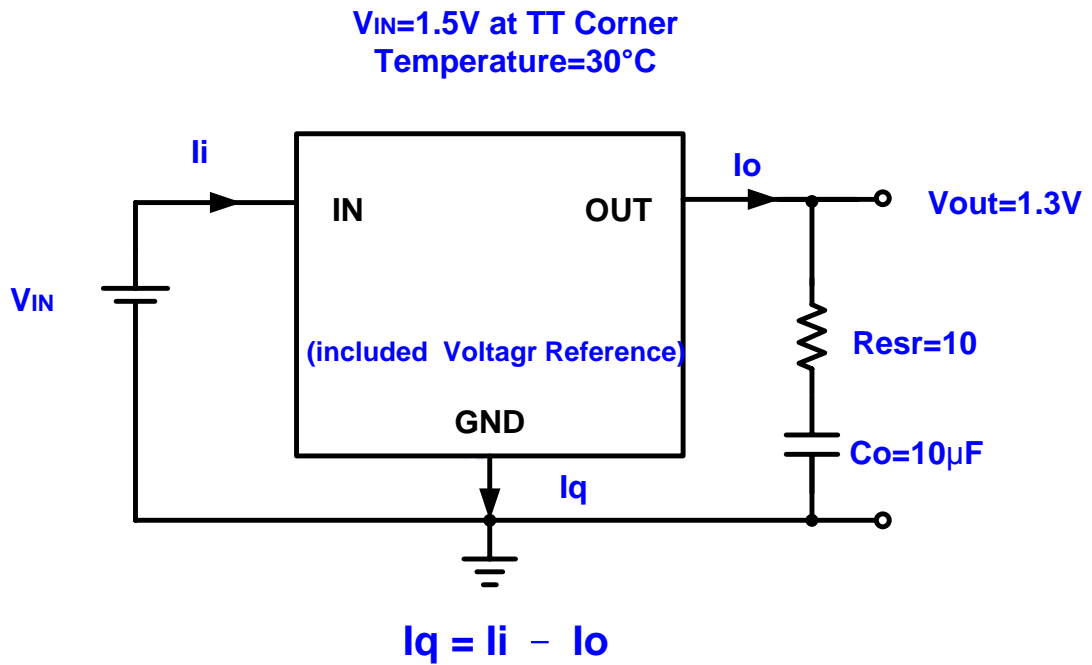


圖 3.43 靜態電流的模擬示意圖

表 3.12 靜態電流的模擬數據表

element	$V_{IN}$
volts	1.5000
current	-45.9040u
power	69.7559u

(7)溫度係數(Temperature Coefficient):

溫度係數的模擬示意圖如圖 3.44。模擬結果如圖 3.45 所示。溫度係數的計算如下:

$$TC = \frac{\partial V_{REF}}{\partial T} \times 10^6 = \frac{1.2988V - 1.291V}{125^\circ C} \times 10^6 = 48 ppm/^\circ C \quad (3.38)$$

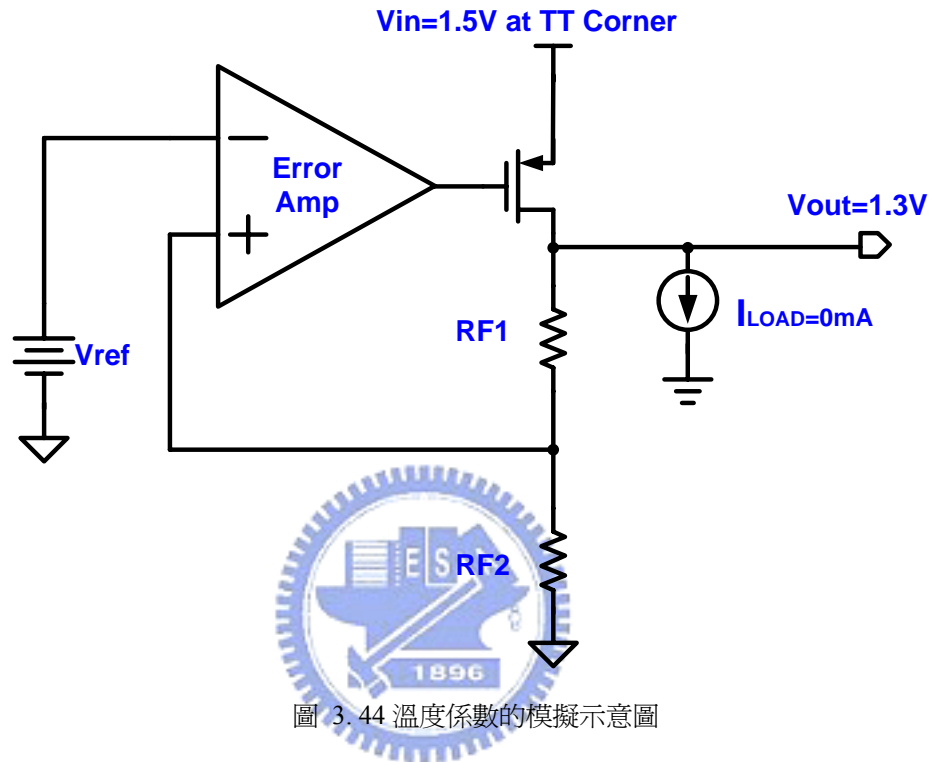


圖 3.44 溫度係數的模擬示意圖

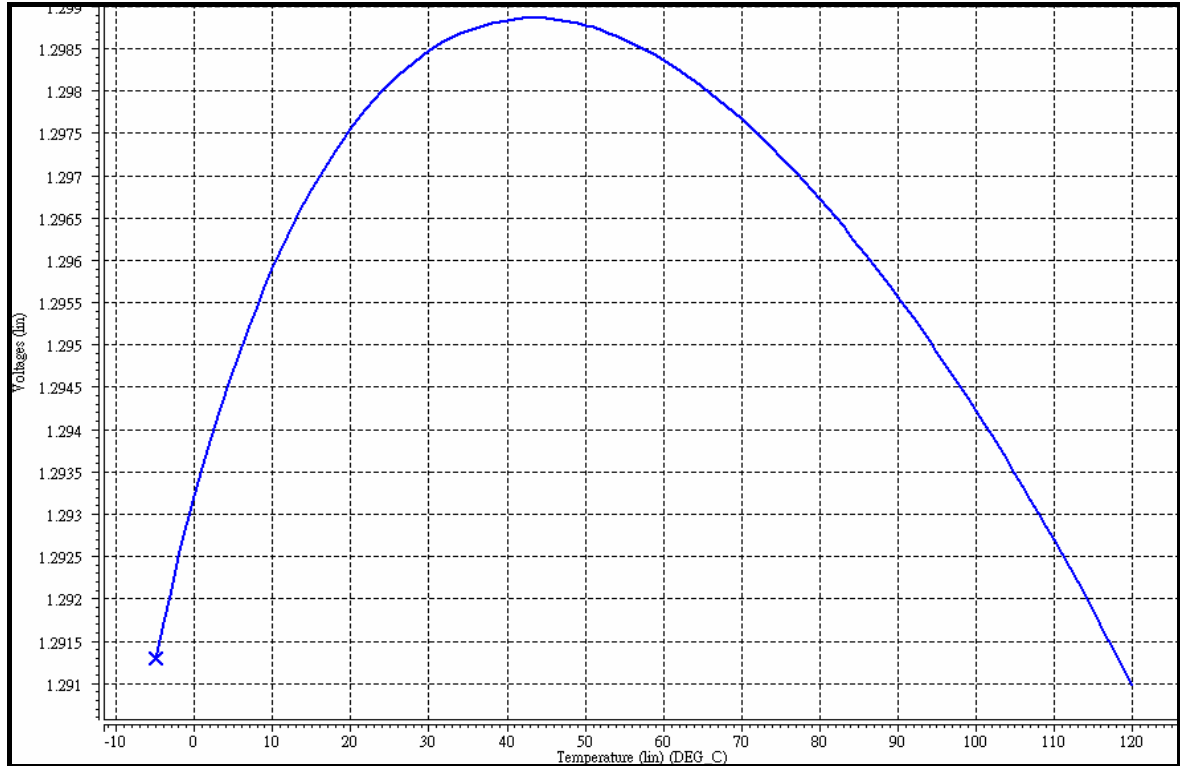


圖 3.45 溫度係數的模擬

所設計的低壓差線性穩壓器的效能如表 3.13。

表 3.13 低壓差線性穩壓器的效能

	Capacitor Free	With Capacitor&ESR 10Ω
Technology	0.35μm TSMC CMOS	
Threshold Voltage	$V_{thn}=0.567V$ , $ V_{thp} =0.746V$	
Chip Area	1108μm × 941μm	
Supply Voltage	1.5V ~ 4.5V	
Supply Current	46μA	
Dropout Voltage	200mV	
Preset Output Voltage	1.3V	
Temperature Coefficient	48ppm/°C	
Load Regulation	0.19μV/mA	0.36μV/mA
Line Regulation	0.314mV/V	0.314mV/V
$\Delta V_{Drop}$ (worst case)	108mV	116mV
Setting Time (worst case)	4μSec	3μSec
PSRR ( $V_{IN}=1.5V$ , $I_{OUT}=100mA$ )	-57dB@10Hz -56.4dB@1kHz -3.4dB@1MHz	-57dB@10Hz -56.4dB@1kHz -4.3dB@1MHz

# 第四章 實體佈局、量測方法及量測結果

## 4.1 實體佈局

本篇論文實作的電路是以 TSMC 0.35  $\mu\text{m}$  1P2M (3.3V)的製程來進行實體佈局。晶片實現的總面積為 1108  $\mu\text{m}$   $\times$  941  $\mu\text{m}$ 。圖 4.1 為整體晶片的佈局，而內部的子電路的佈局分別為：圖 4.2 低壓差線性穩壓器，圖 4.5 帶差參考電路，圖 4.6 帶差參考電路的兩級放大器，圖 4.8 帶差參考電路的電流源，圖 4.9 帶差參考電路的緩衝器。為了量測參考電壓信號多加了帶差參考電路的緩衝器(圖 4.9)，以避免因 PAD 電容而使信號衰減。另外在帶差參考電路的電流源(圖 4.8)及帶差參考電路(圖 4.5)中多加了 Trimming 電阻，以方便調整因製程所造成的電阻誤差。

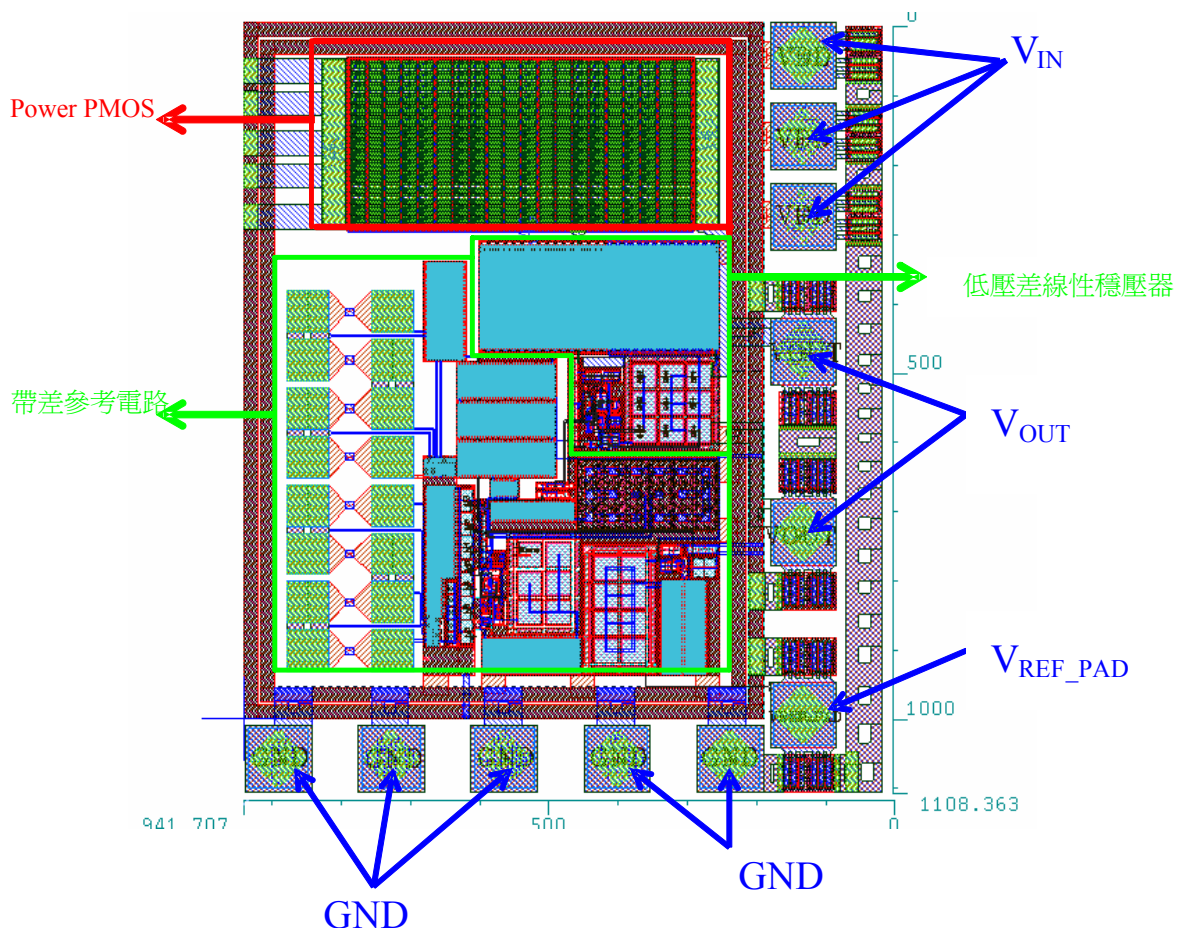


圖 4.1 整體晶片的佈局

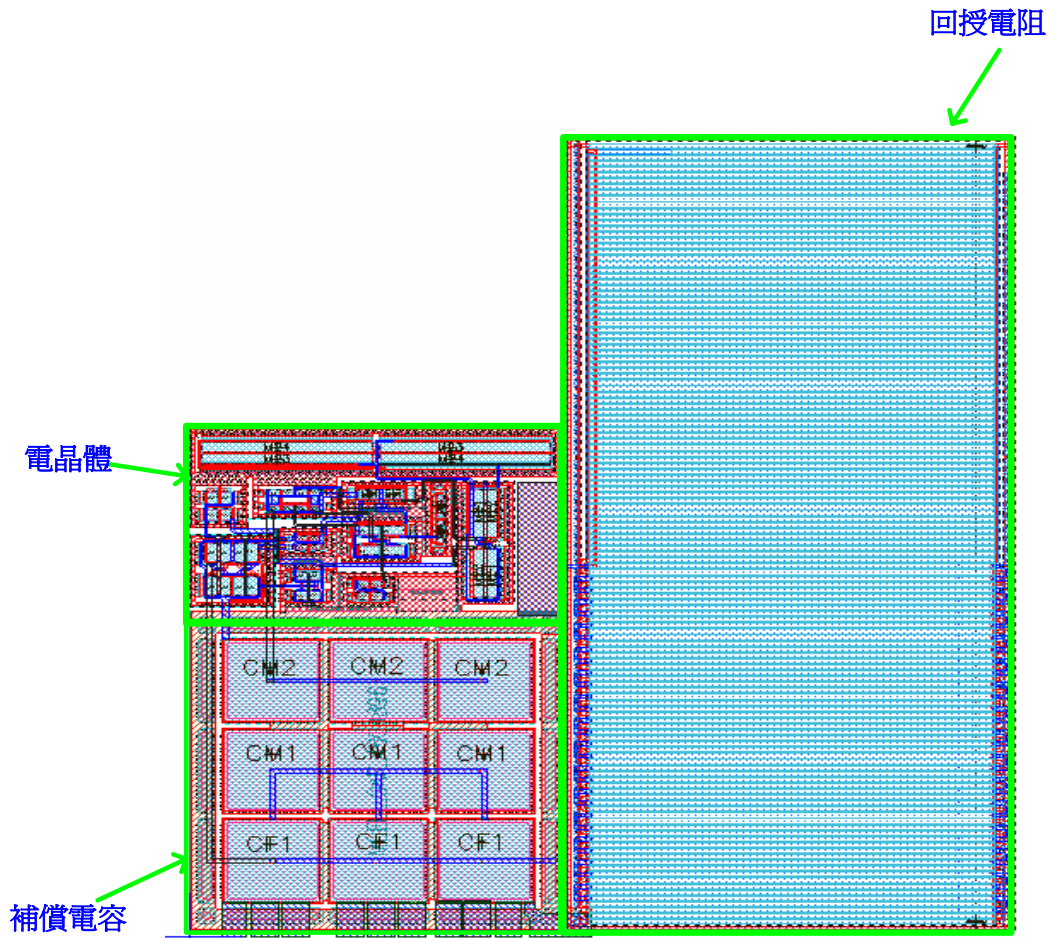


圖 4.2 低壓差線性穩壓器的佈局



電晶體的詳細佈局如圖 4.3 所示，大部份是採用二維的同心軸(Common Centroid)方式佈局，並外加 Poly Dummy，以實現佈局的對稱性。

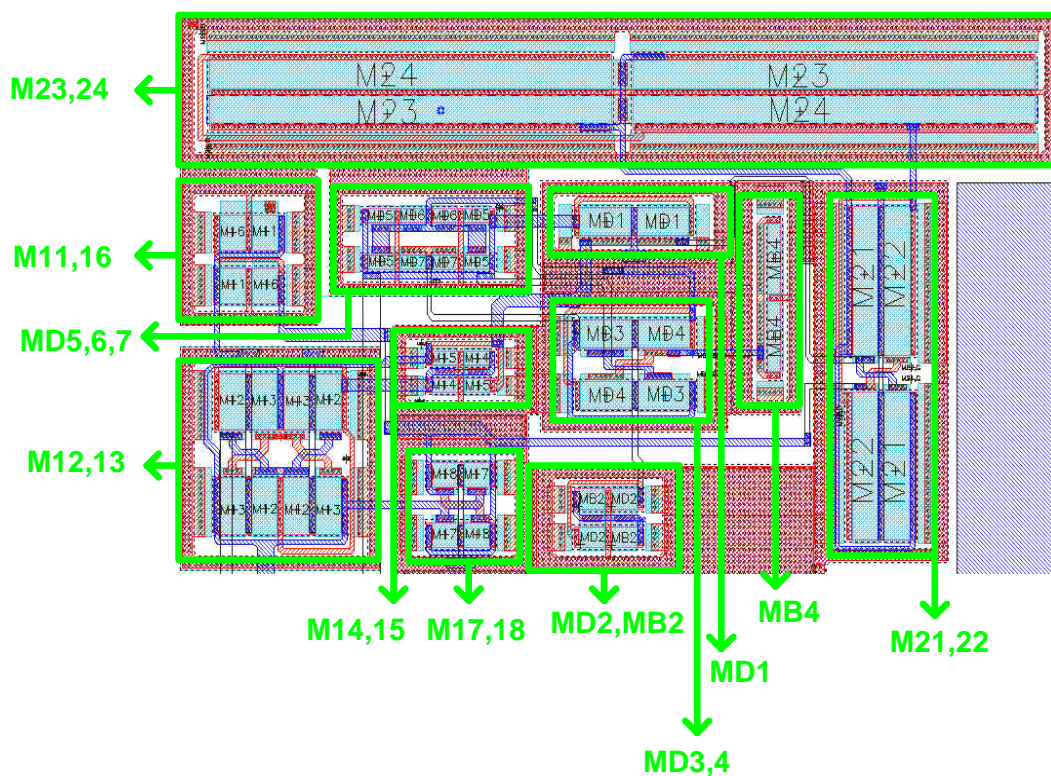
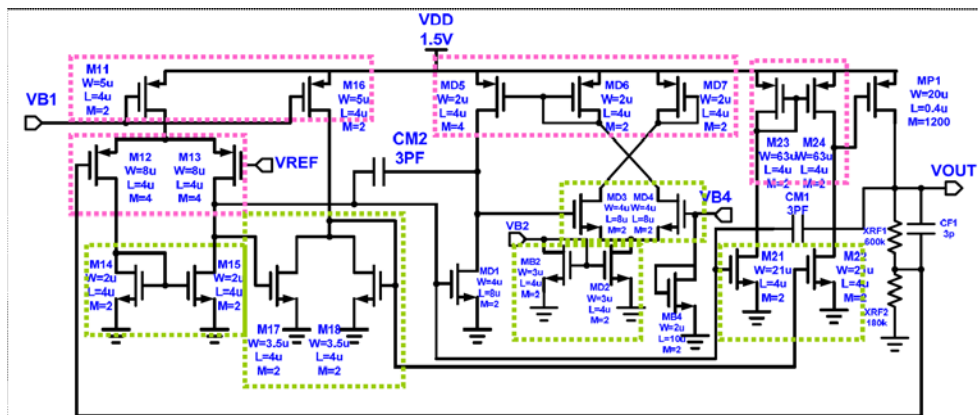


圖 4.3 低壓差線性穩壓器的電晶體的詳細佈局



將帶差參考電路的 R6 取出 10% 的阻值當作 Trimming 電阻，再分成 15 份四段。在佈局時 R6 先扣掉一段。當在量測時，若  $V_{REF}$  小於預期電壓則 Trimming 第一段電阻，若不夠時再 Trimming 第二段電阻，以此類推。Trimming 的方法是將每段的兩端 Trimming PAD 用探針加入大電流將保險絲燒斷，此時的 R6 等於是多串了一段 Trimming 電阻。如圖 4.4 所示。

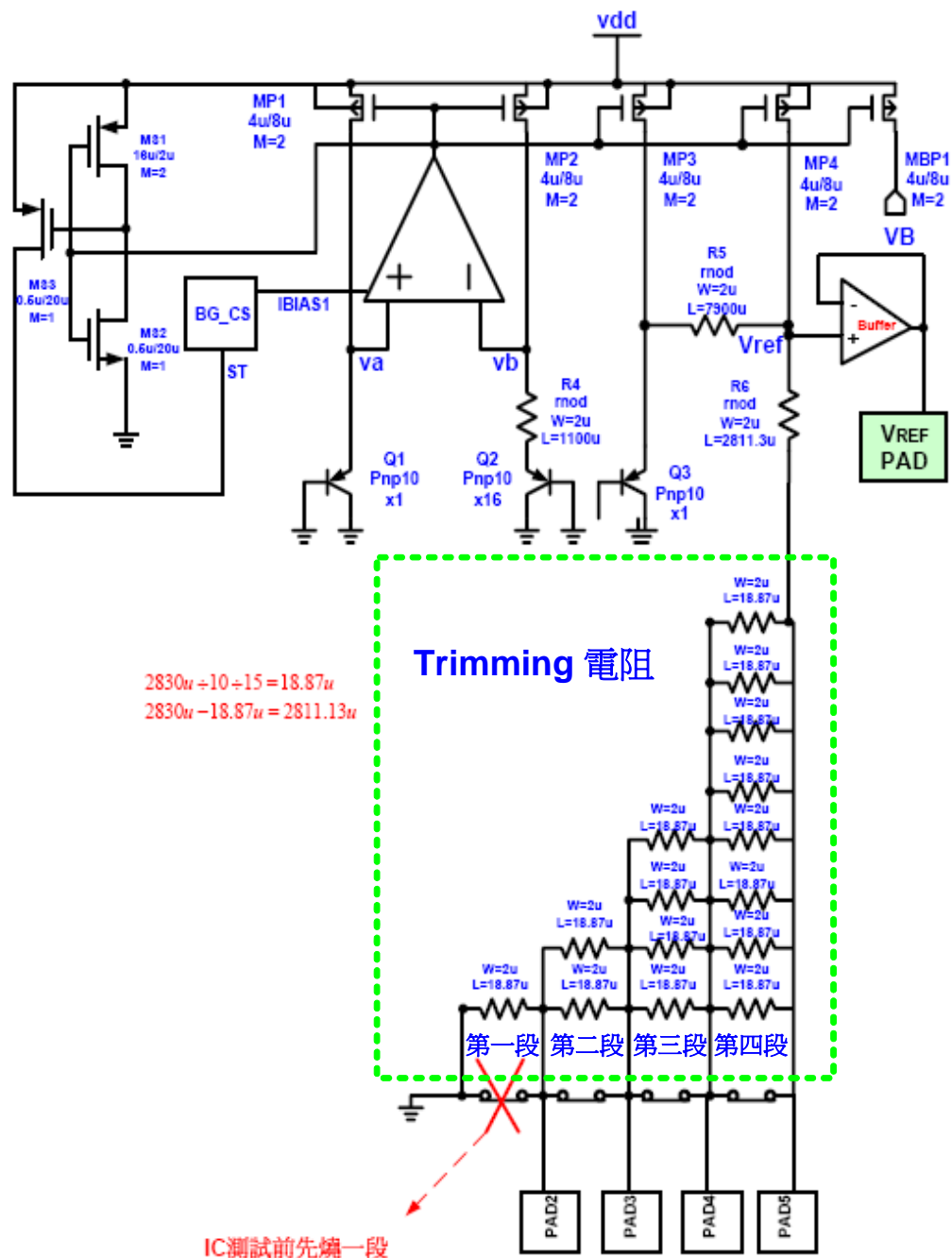
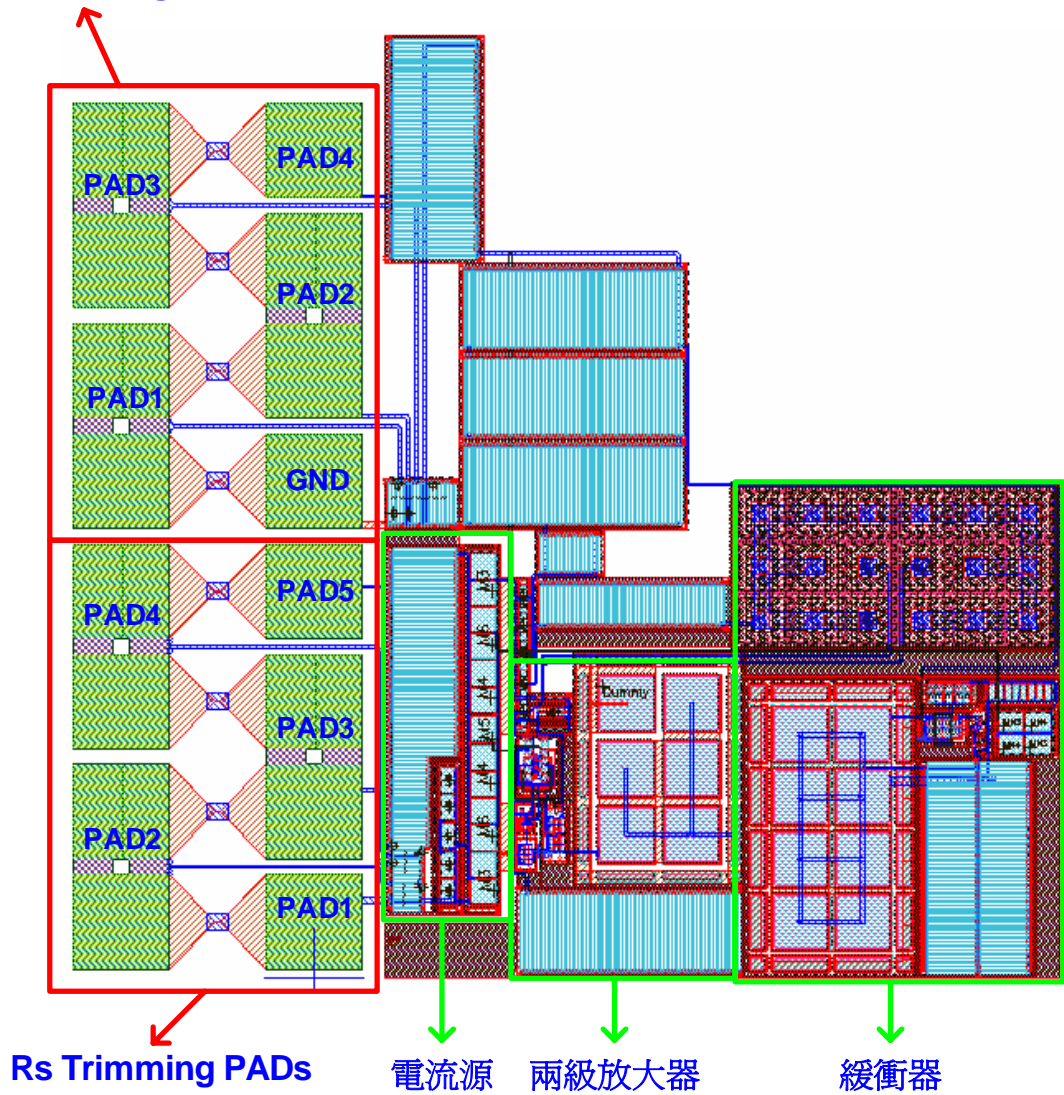


圖 4.4 帶差參考電路的 Trimming 電阻

R6 Trimming PADS



Rs Trimming PADS

電流源

兩級放大器

緩衝器

圖 4.5 帶差參考電路的佈局

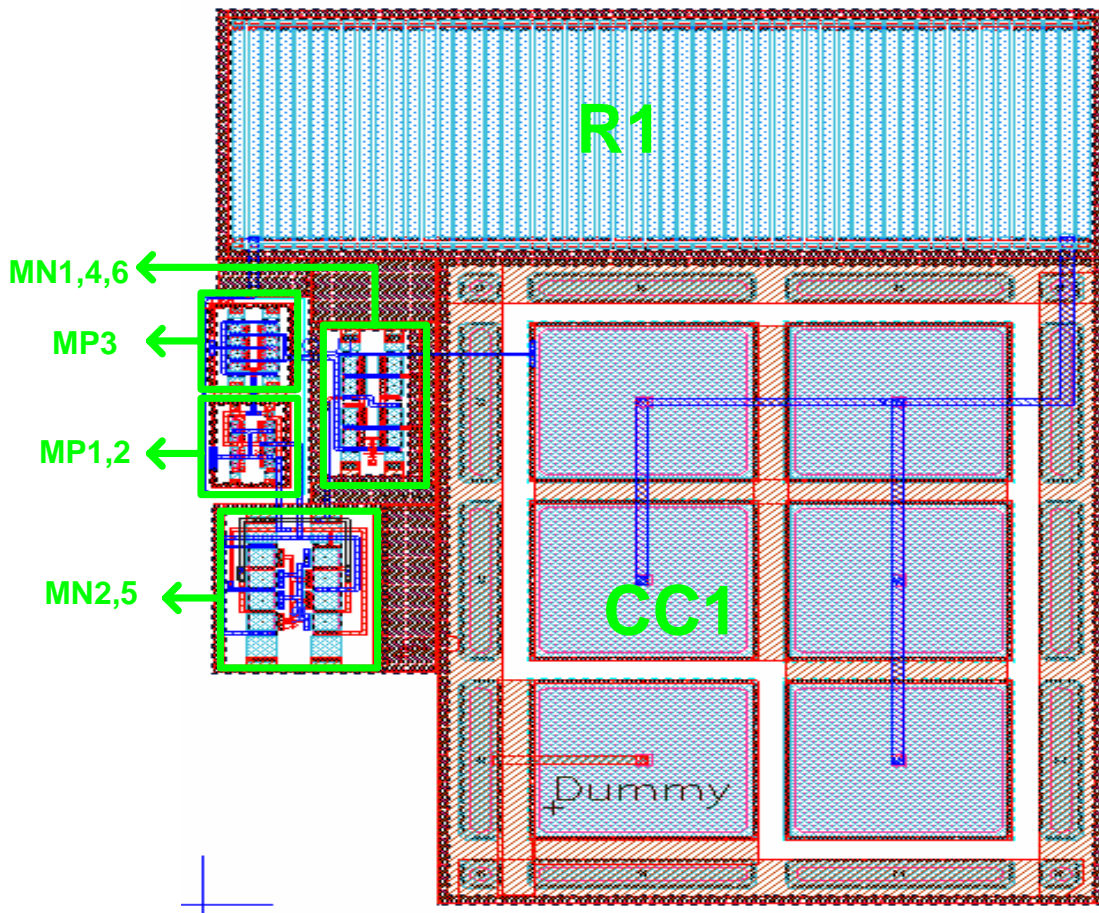
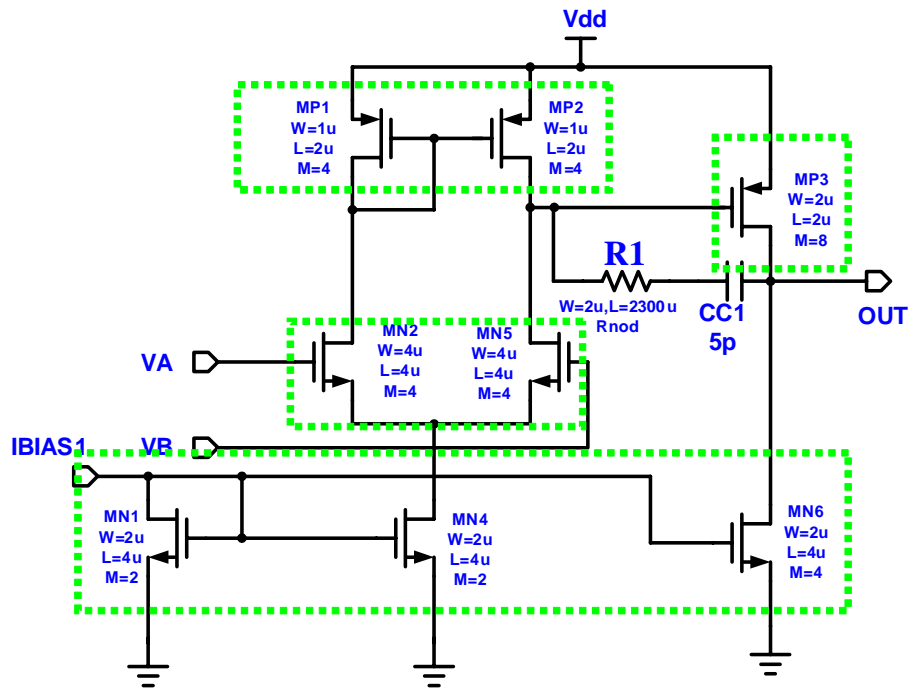


圖 4.6 帶差參考電路的兩級放大器的佈局

將電流源的  $R_S$  取出 10% 的阻值當作 Trimming 電阻，再分成 15 份四段。在佈局時  $R_S$  先扣掉一段，當在量測時，若  $I_{BIAS}$  小於預期電流則 Trimming 第一段電阻，若不夠時在 Trimming 第二段電阻，以此類推。Trimming 的方法是將每段的兩端 PAD 用探針加入大電流將保險絲燒斷，此時的  $R_S$  等於是多串了一段 Trimming 電阻。如圖 4.7 所示。

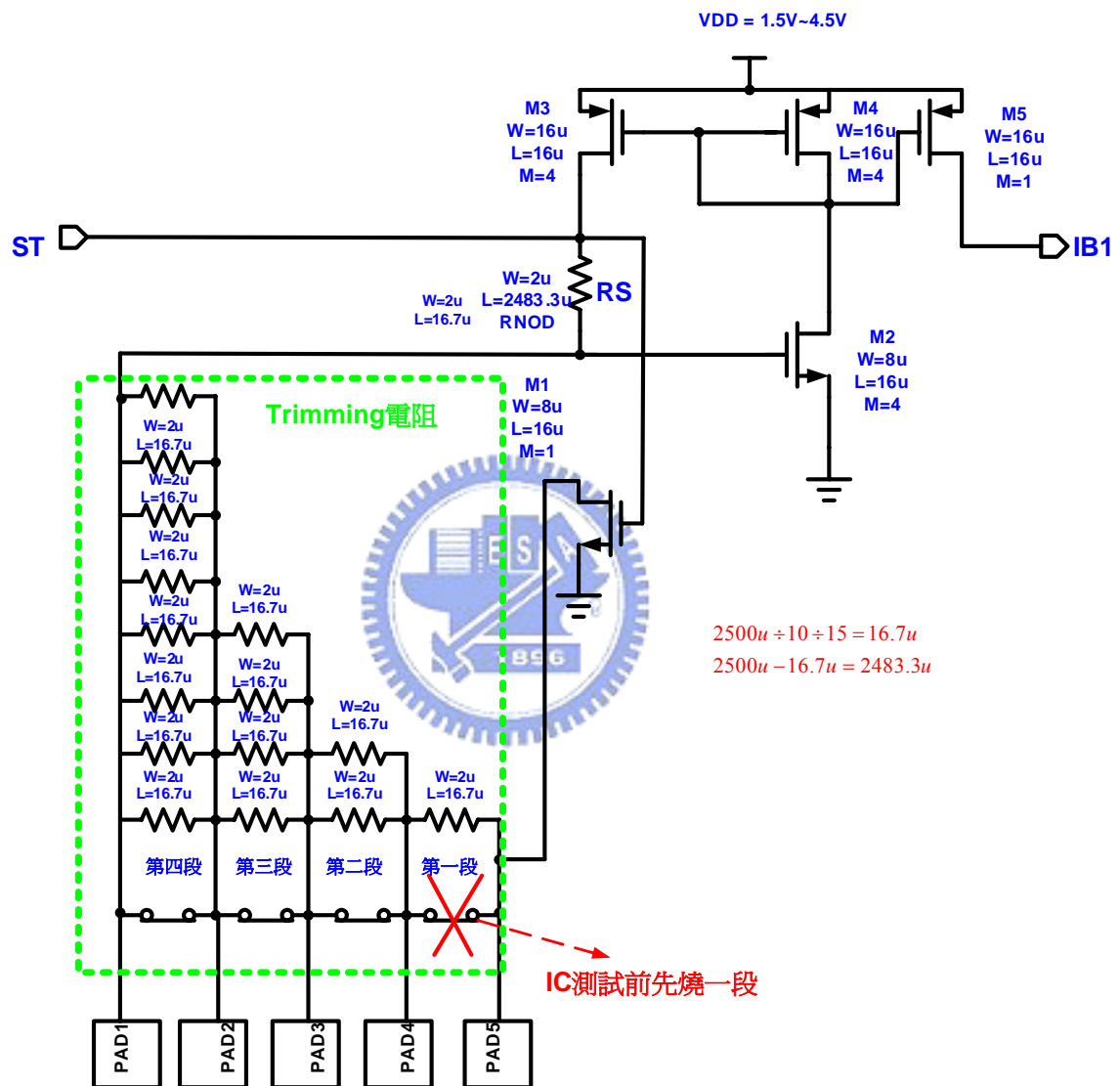


圖 4.7 帶差參考電路的電流源的 Trimming 電阻



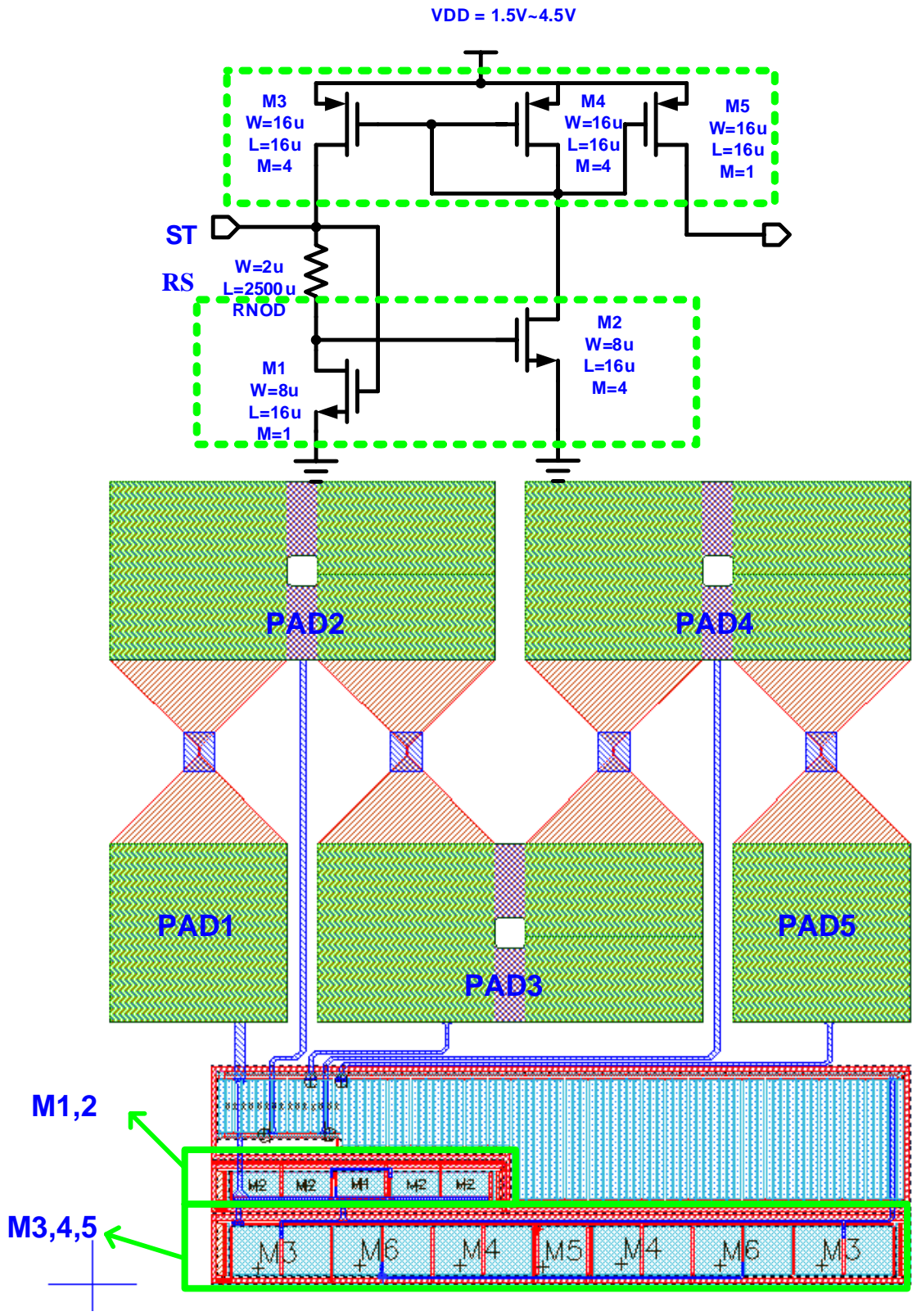


圖 4.8 帶差參考電路的電流源的佈局

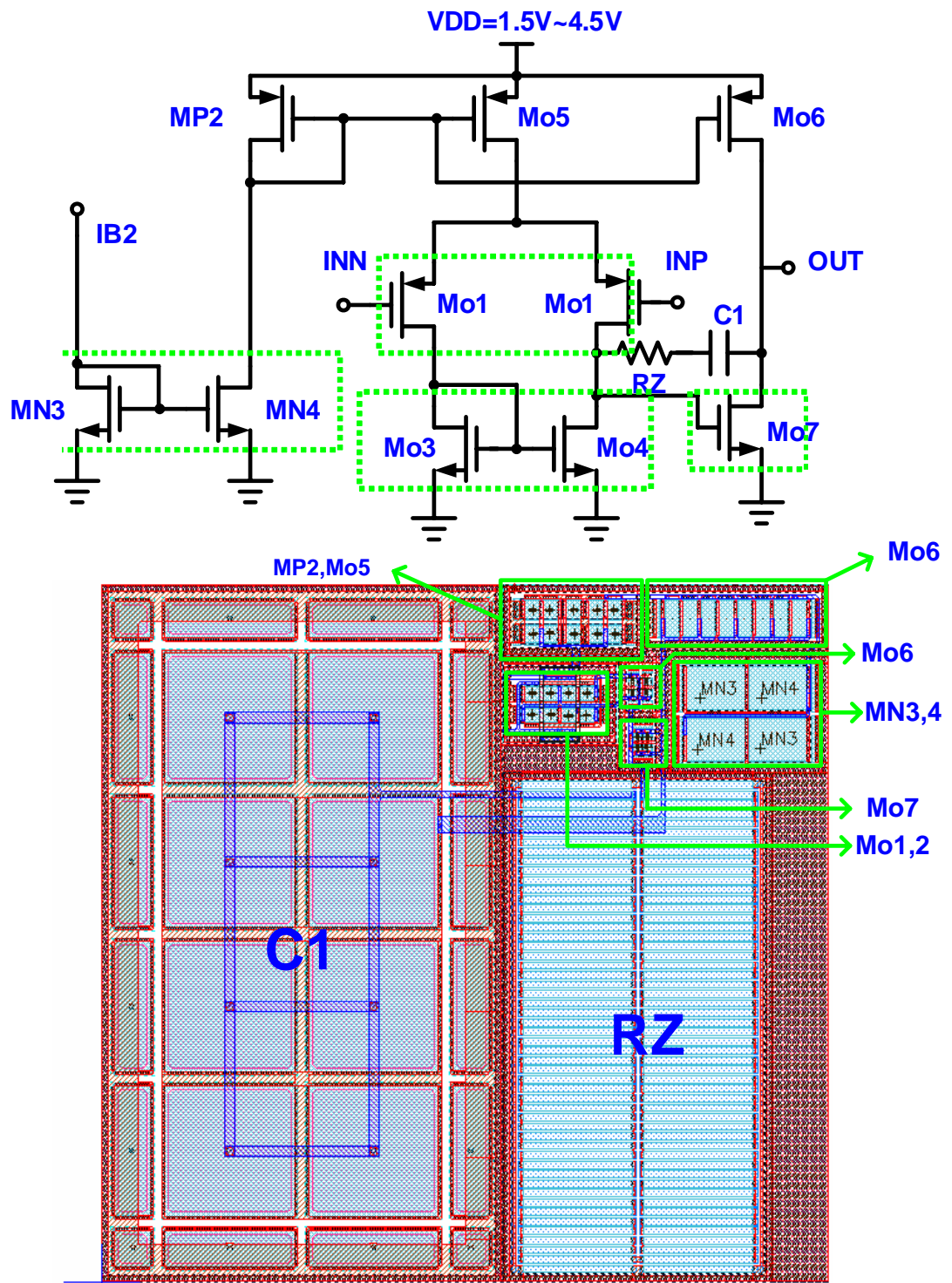


圖 4.9 帶差參考電路的緩衝器的佈局

## 4.2 量測方法

低壓差線性穩壓器的各項規格的量測方法可以依據 2.2 節的定義來量測，大部份的規格可以使用三用電表及示波器來完成量測。這裡僅以負載暫態響應的量測方法(Load Transient Response Testing)作說明[15]。

### 4.2.1 基本的負載暫態產生器

一個基本負載暫態產生器的示意圖，如圖 4.10 所示。REGULATOR UNDER TEST 是待測的穩壓器，Current Monitor 及 Voltage Monitor 分別是用來量測暫態負載電流及輸出電壓。DC LOAD 決定了輕載時的電流。只要控制 Load Switch 的導通時間，即可量測到負載暫態響應。

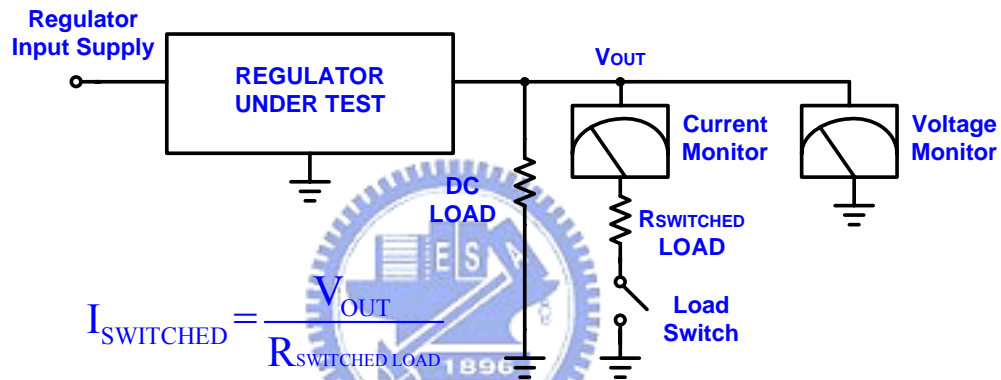


圖 4.10 基本負載暫態產生器的示意圖[15]

實際的測試平台如圖 4.11 所示，一個輸入脈衝信號觸發 FET Driver 來控制 Power MOS Q1 的導通，產生了步階電流。而步階電流範圍由 RLOAD 決定。經由 Current Probe 及 Voltage Probe 將信號傳送到示波器，即可量測到所要的暫態波形。

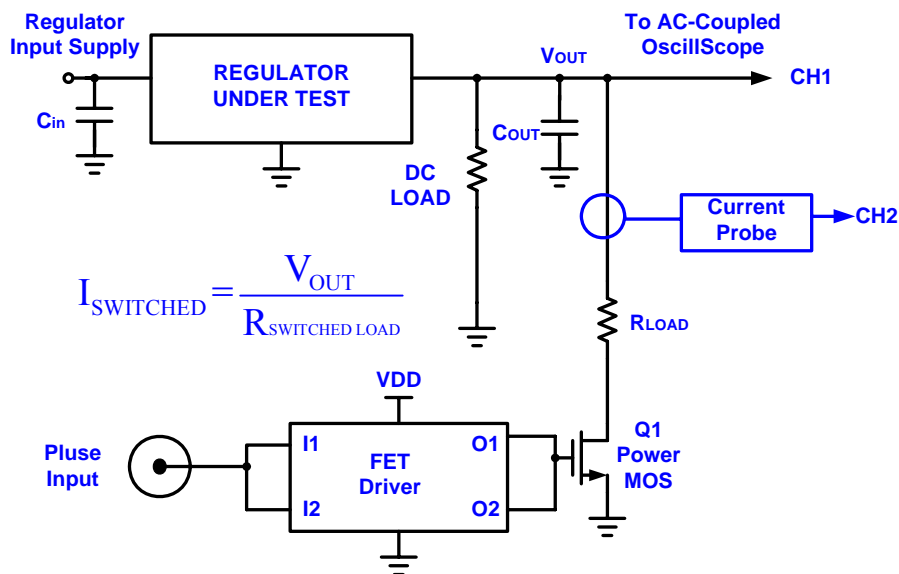


圖 4.11 基本負載暫態產生器的測試平台[15]



此種量測方法的優點是速度很快，缺點是只能量測到最大及最小的負載電流。

## 4.2.2 閉迴路的負載暫態產生器

另一種量測方法是採用閉迴路的負載暫態產生器，如圖 4.12 所示。REGULATOR UNDER TEST 是待測的穩壓器，Current Monitor 及 Voltage Monitor 分別是用來量測暫態負載電流及輸出電壓。由 A1 Control Amplifier 線性的控制 Q1 的閘極端來設定所想要的暫態電流。Q1 的 Source 端拉到 A1 的輸入端與 Q1 形成負回授穩定了工作點。Q1 的電流與 Control Input 有關，整個的操作速度受限於閉回路的頻寬，Q1 的電流波形可以由 Control Input 來調整，因此可以量測到比較廣的負載範圍。

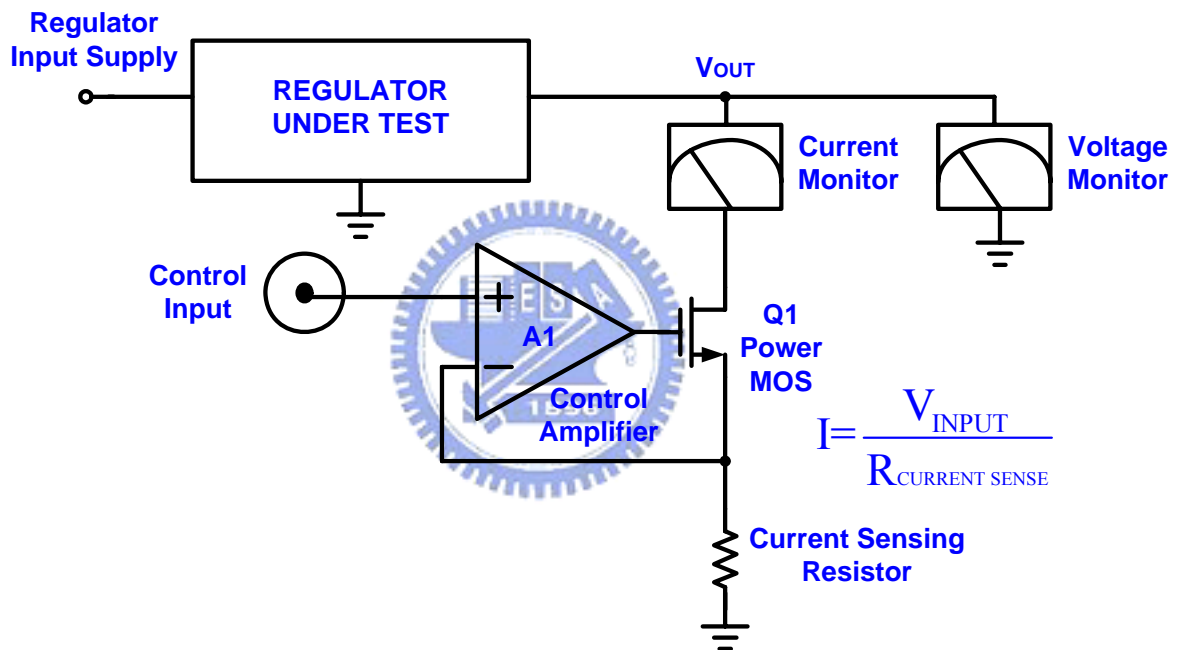


圖 4.12 閉迴路的負載暫態產生器的示意圖[15]



## 4.3 量測結果

量測結果分成無外部電容及有外部電容兩部份。量測項目包含 Load Regulation 及 Load Transient Response。

### 4.3.1 無外部電容時的量測結果

在無外部電容的狀況下,所量測的 Load Regulation 為:

$$\text{Load Regulation}_{(\text{Without Capacitor \& ESR})} = \frac{\Delta V_{\text{out}}}{\Delta I_{\text{out}}} = \frac{1.4\text{V} - 1.07\text{V}}{100\text{mA} - 0\text{mA}} = 330\text{mV} / 100\text{mA} = 3.3\text{mV}/\text{mA}$$

結果如圖 4.13, 4.14 及 4.15。Bandgap 電壓都穩定在 0.3V,  $V_{\text{out}}$  電壓在  $I_{\text{LOAD}}$  等於 0mA, 48mA 及 100mA, 分別為 1.41V, 1.33V 及 1.07V。變化這麼大的原因主要是在實體部局時 PowerMOS 輸出端的 Metal 寬度不足, 所造成的 IR Drop。

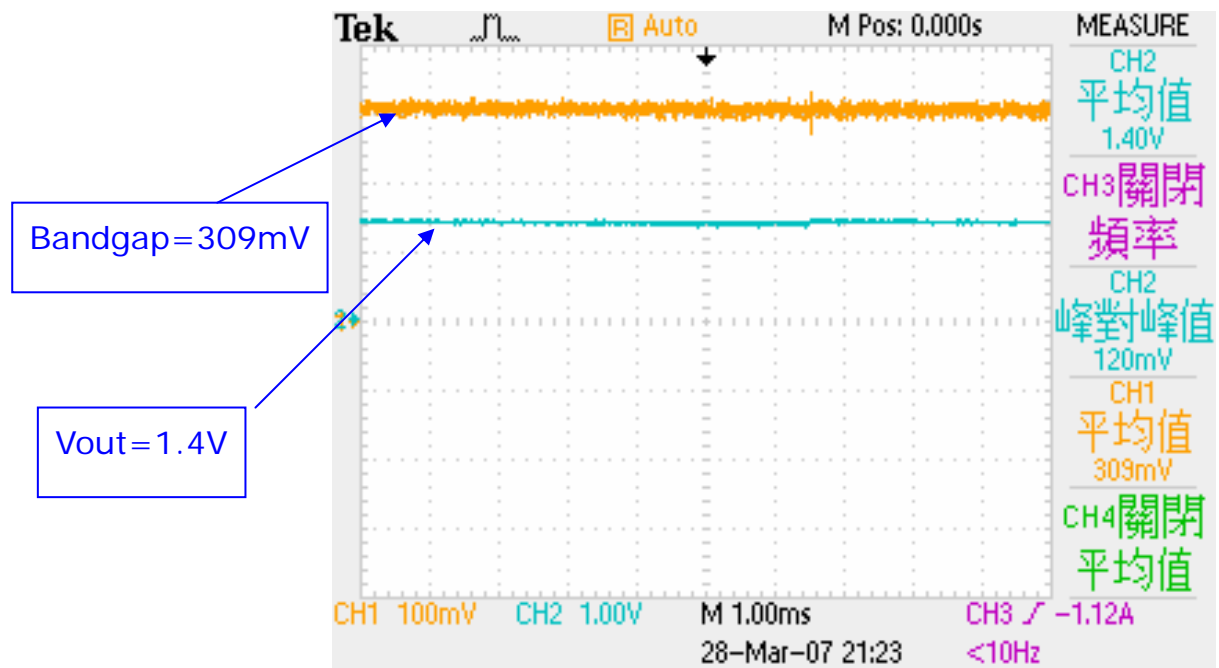


圖 4.13  $I_{\text{LOAD}}=0\text{mA}$ ,  $V_{\text{IN}}=1.5\text{V}$  時的  $V_{\text{OUT}}$  及 Bandgap 輸出電壓

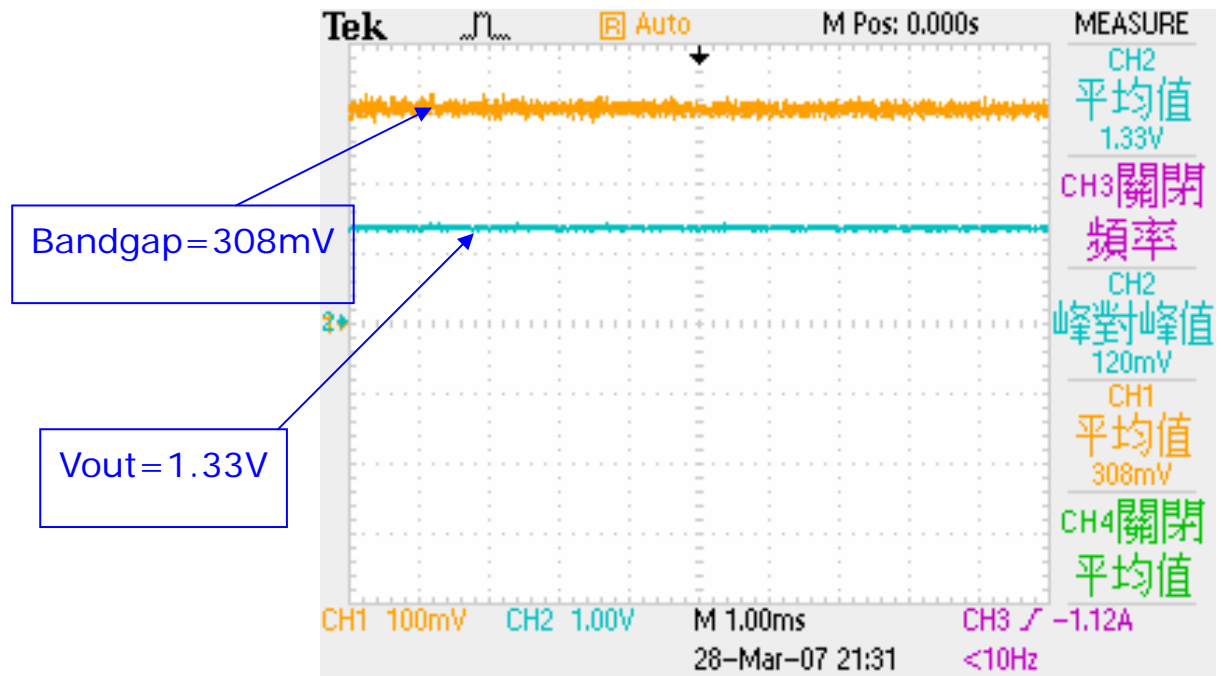


圖 4. 14  $I_{LOAD}=48mA, V_{IN}=1.5V$  時的  $V_{OUT}$  及 Bandgap 輸出電壓

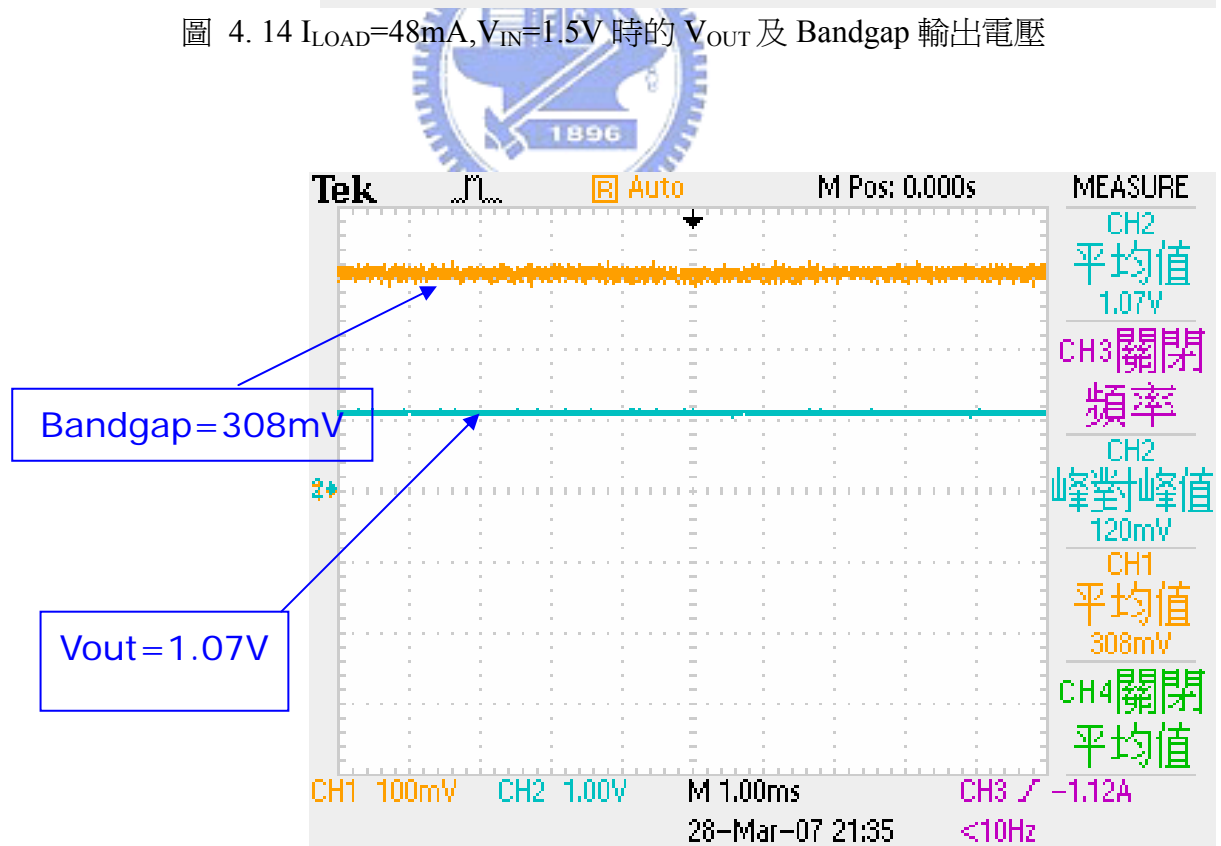


圖 4. 15  $I_{LOAD}=100mA, V_{IN}=1.5V$  時的  $V_{OUT}$  及 Bandgap 輸出電壓

Load Transient Response 的量測在  $V_{IN}=1.5V$ ,  $I_{LOAD}$  從 50mA 到 100mA 的  $V_{OUT}$  變動約 240mV 如圖 4.16。

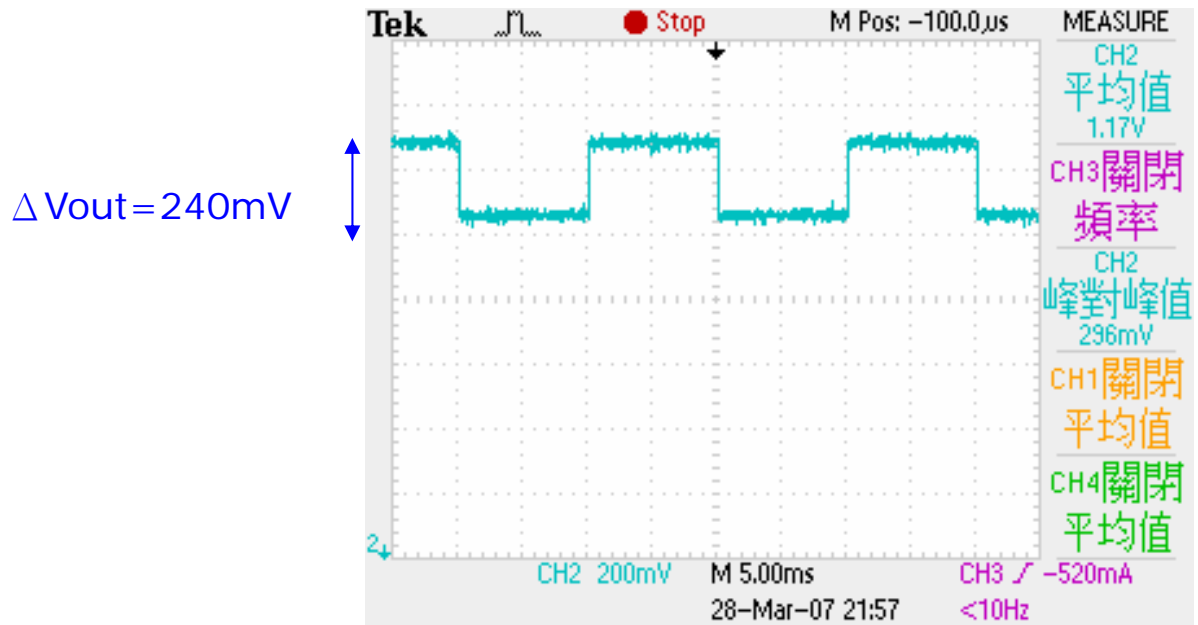


圖 4.16  $V_{IN}=1.5V$  時,  $I_{LOAD}$  從 50mA 到 100mA 的  $V_{OUT}$  變動

Load Transient Response 的量測在  $V_{IN}=1.5V$ ,  $I_{LOAD}$  從 75mA 到 105mA 的  $V_{OUT}$  變動約 160mV 如圖 4.17。

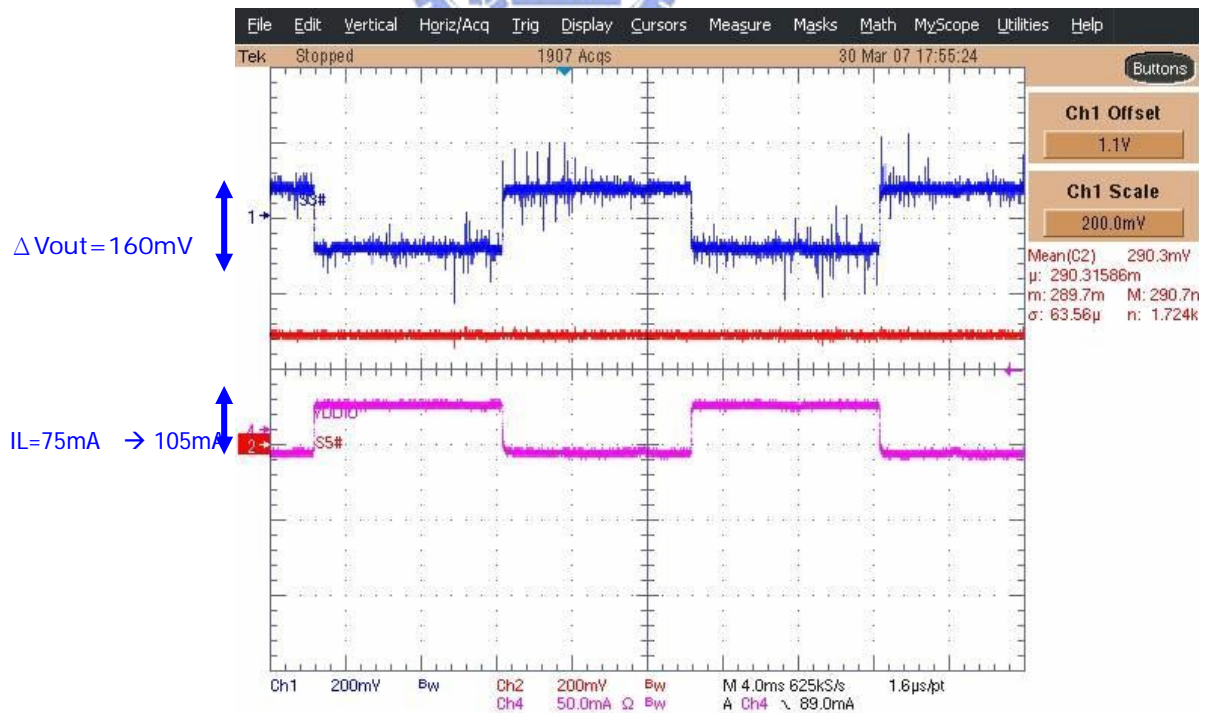


圖 4.17  $V_{IN}=1.5V$  時,  $I_{LOAD}$  從 75mA 到 105mA 的  $V_{OUT}$  變動

### 4.3.2 有外部電容及 ESR 電阻時的量測結果

在有外部電容及 ESR 電阻的狀況下,所量測的 Load Regulation 為:

$$\text{Load Regulation}_{(\text{With Capacitor \& ESR})} = \frac{\Delta V_{\text{out}}}{\Delta I_{\text{out}}} = \frac{1.36\text{V} - 1.07\text{V}}{100\text{mA} - 0\text{mA}} = 290\text{mV} / 100\text{mA} = 2.9\text{mV}/\text{mA}$$

結果如圖 4.18, 4.19 及 4.20。Bandgap 電壓都穩定在 0.3V,  $V_{\text{out}}$  電壓在  $I_{\text{LOAD}}$  等於 0mA, 48mA 及 100mA, 分別為 1.36V, 1.32V 及 1.07V。變化這麼大的原因同樣是在實體部局時 PowerMOS 輸出端的 Metal 寬度不足, 所造成的 IR Drop。

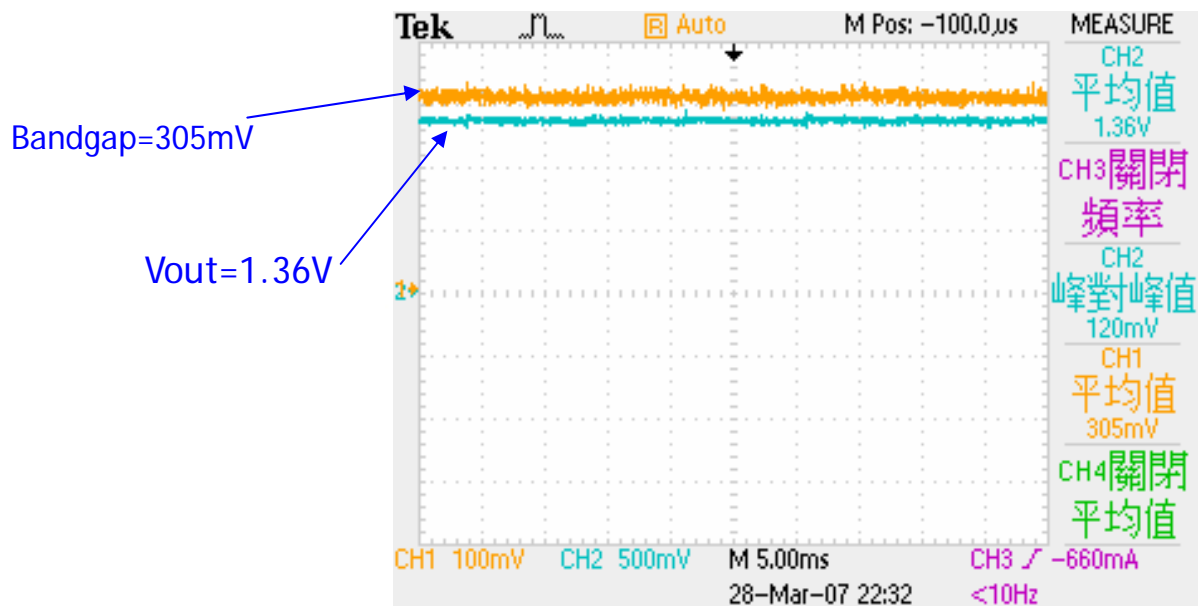


圖 4.18  $I_{\text{LOAD}}=0\text{mA}$ ,  $V_{\text{IN}}=1.5\text{V}$  時的  $V_{\text{OUT}}$  及 Bandgap 輸出電壓

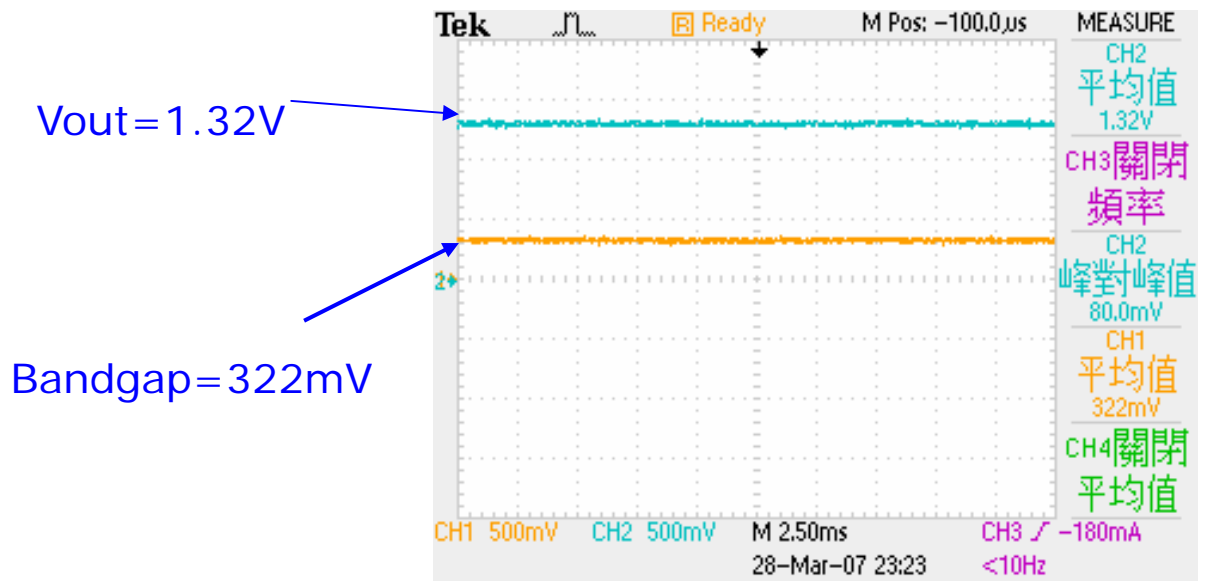


圖 4. 19  $I_{LOAD}=48mA, V_{IN}=1.5V$  時的  $V_{OUT}$  及 Bandgap 輸出電壓

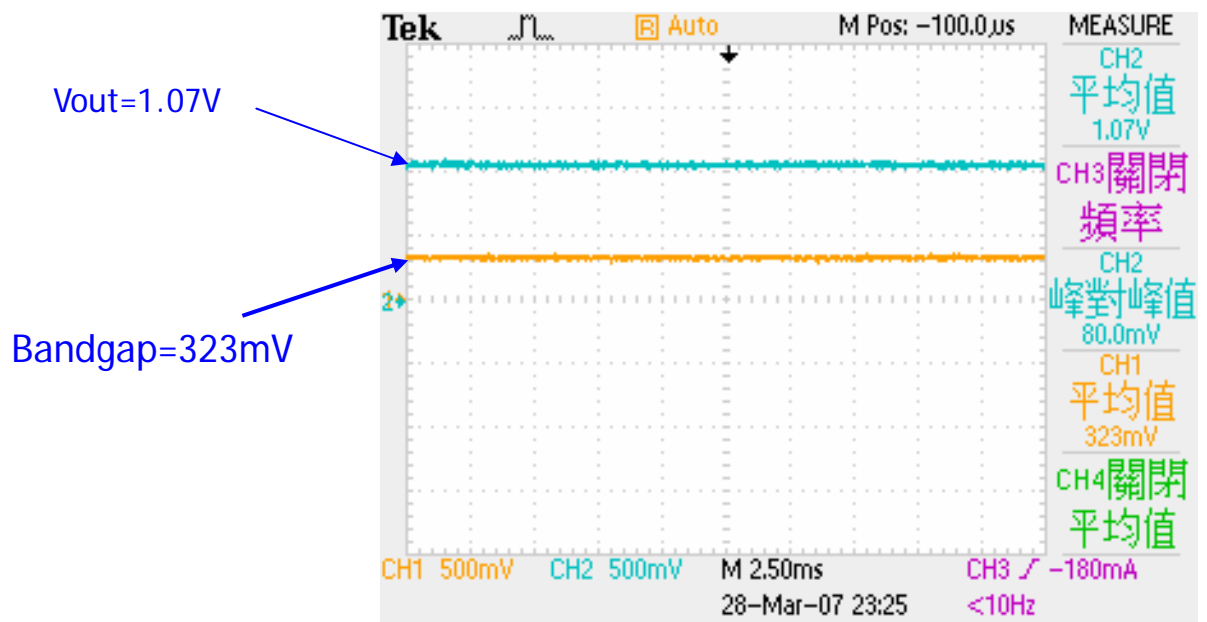


圖 4. 20  $I_{LOAD}=100mA, V_{IN}=1.5V$  時的  $V_{OUT}$  及 Bandgap 輸出電壓

Load Transient Response 的量測在  $V_{IN}=1.5V, I_{LOAD}$  從 50mA 到 100mA 的  $V_{OUT}$  變動約 200mV, 如圖 4.21。

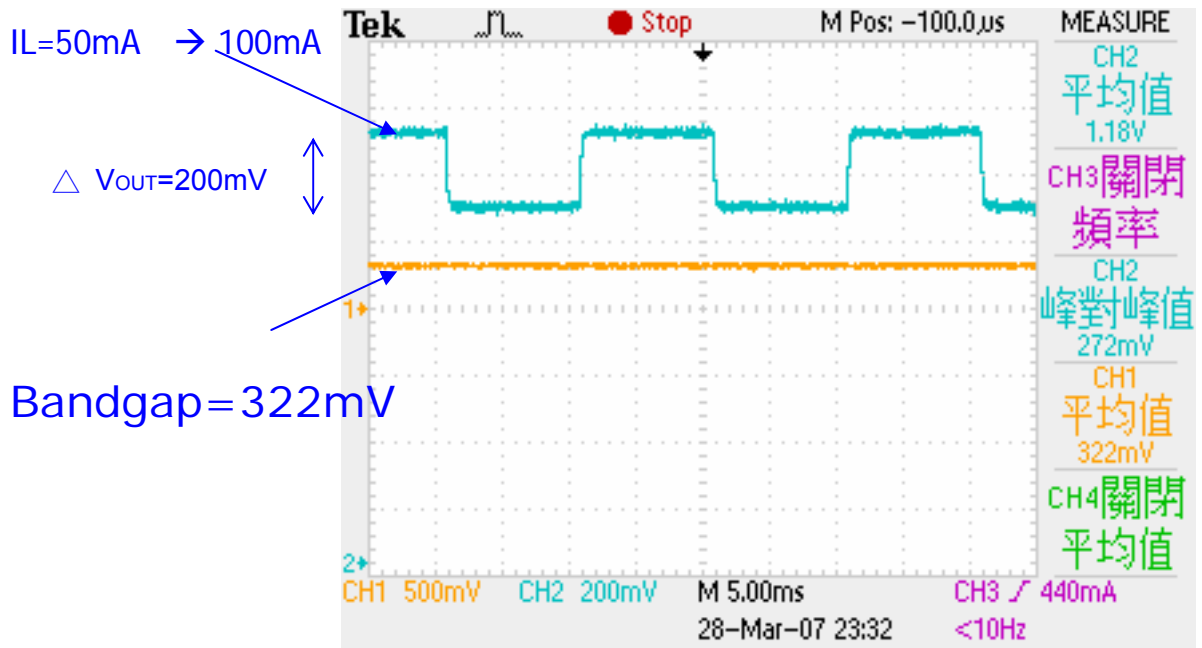


圖 4.21  $V_{IN}=1.5\text{V}$  時,  $I_{LOAD}$  從 50mA 到 100mA 的  $V_{OUT}$  變動

Load Transient Response 的量測在  $V_{IN}=1.5\text{V}$ ,  $I_{LOAD}$  從 75mA 到 105mA 的  $V_{OUT}$  變動約 160mV, 如圖 4.22。

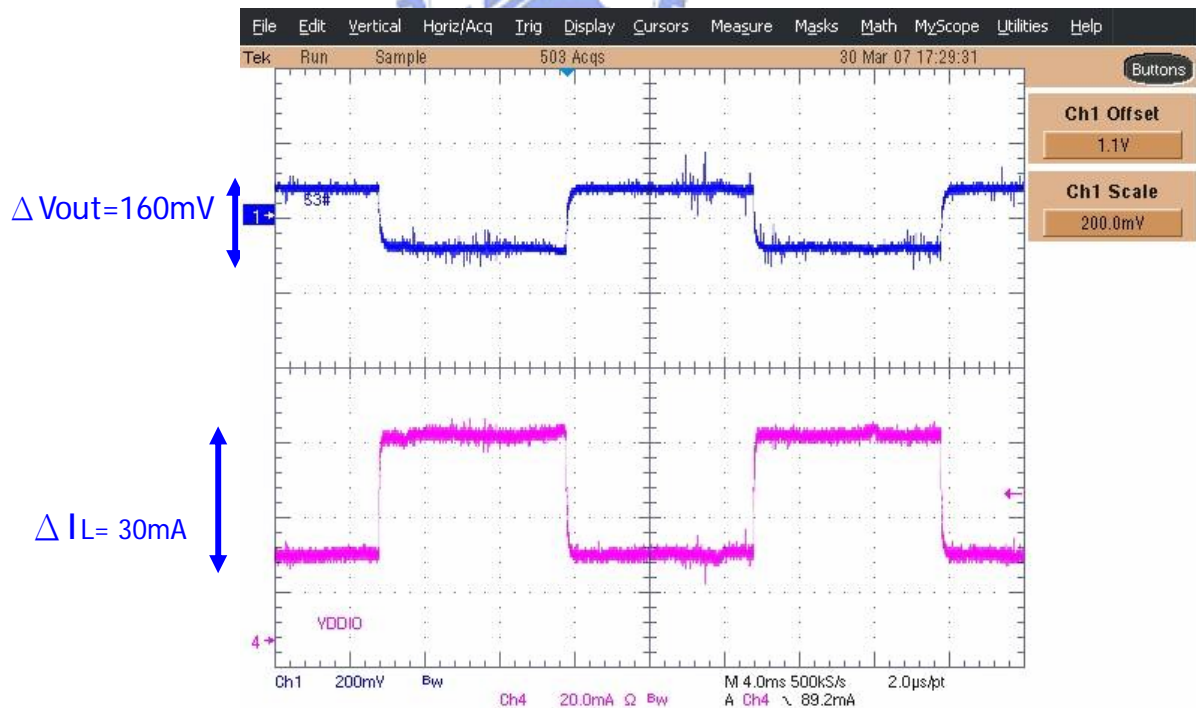


圖 4.22  $V_{IN}=1.5\text{V}$  時,  $I_{LOAD}$  從 75mA 到 105mA 的  $V_{OUT}$  變動

# 第五章 結論及未來研究方向

## 5.1 結論

在本篇論文中首先說明了基本低壓差線性穩壓器的基本工作原理及專有名詞的介紹。接著並分析幾種不同的低壓差線性穩壓器的架構以及比較它們之間的優缺點。然後實作一個無輸出電容的低壓差線性穩壓器，包含一個輸出 0.3V 的帶差參考電路，並以 HSPICE 模擬所設計的電路驗證所設計的元件尺寸可以符合預期規格，最後以佈局軟體 Laker 完成電路佈局並順利下線。

## 5.2 未來研究方向

在本論文中，雖然完成一個無輸出電容的低壓差線性穩壓器的晶片設計，基本上都符合預期規格。但在實際上仍然還有很大的研究及改善空間。由模擬可看出在無輸出電容且無負載的狀況下，所實作的無外部電容低壓差線性穩壓器會不穩定。因此，未來的研究方向可以朝向如何在無輸出電容且無負載的狀況下，仍然保持低壓差線性穩壓器穩定的方向上著手。





## 參考文獻

- [1] G.A.Rincon-Mora, "Current Efficient, Low Voltage, Low Drop-Out Regulators," [OnLine]: <http://users.ece.gatech.edu/rincon-mora/publicat/books/thesis/dissert.htm>.
- [2] Bang S. Lee, "Understanding the Terms and Definitions of LDO Voltage Regulators," *Applicition Reports, Texas Interuments Inc., literature number SLVA079*.
- [3] 呂紹鴻, "CMOS 低壓降線性穩壓器的設計與實作," *國立台灣大學電子工程學研究所碩士論文*, pp. 5~20, 94 年 6 月。
- [4] Dr.Philip Mok, "Design of Power Management IC-Voltage Reference, Low-Dropout Regulator and Switching Regulator," *2005 混合訊號式積體電路設計專題研討會*, pp.24, 九十四年六月十七日。
- [5] ROBERT JON MILLIKEN, "A CAPACITOR-LESS LOW DROP-OUT VOLTAGE REGULATOR WITH FAST TRANSIENT RESPONSE," *Texas A&M University, MASTER OF SCIENCE PAPER*, pp.26~36, December 2005.
- [6] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design," OXFORD, pp. 153, 2002.
- [7] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," McGraw Hill, pp. 386, 2001
- [8] P.K.T Mok and K.N. Leung, "Design Considerations of Recent Advanced Low-Voltage Low-Temperature-Coefficient CMOS Bandgap Voltage Reference," *IEEE Custom Integrated Circuits Conference* , pp. 29-1-1~29-1-8 , Oct. 2004.
- [9] Dr.Philip Mok, "Design of Power Management IC-Voltage Reference , Low-Dropout Regulator and Switching Regulator," *2005 混合訊號式積體電路設計專題研討會*, pp. 33, 九十四年六月十六日。
- [10] G.A. Rincon-Mora and P.E. Allen, "A Low-Voltage , Low Quiescent Current , Low Drop-Out Regulator," *IEEE Journal of Solid-State Circuits*, Vol.33 , pp. 36-44, Jan. 1998.
- [11] Sai Kit Lau, Ka Nang Leung, Philip K.T.Mok, "Analysis of Low-Dropout Regulator Topologies for Low-Voltage Regulation," *IEEE Electron Devices and Solid-State Circuits Conference on* , pp . 379-382 , 2003.
- [12] Mohammad Al-Shyoukh, Raul A.Perez, and Hoi Lee, "A Transient-Enhanced 20-  $\mu$  A-Quiescent 200mA-Load Low-Dropout Regulator With Buffer Impedance Attenuation," *IEEE 2006 Custom Intergrated Circuits Conference (CICC)*. pp. 17-3-1~17-3-4, 2006.
- [13] K.N.Leung and P.K.T. Mok, "A Capacitor-Free CMOS Low-Dropout Regulator with Damping-Factor-Control Frequency Compensation," *IEEE Journal of Solid-State Circuits*, vol.38, pp.1691-1702 , Oct. 2003.
- [14] Young Jun Lee, Dae Woon Kang , James Doyle , Yong-Bin Kim, "A Sub-1V Power -Supply Sub-bandgap with an Extended Voltage and Temperature Range," *ISOC*, pp. 79~82, 2006.



- [15] Jim Williams, “Load Transient Response Testing for Voltage Regulators,” LINEAR TECHNOLOGY, Application Note 104, October 2006. [OnLine]: [http://www.linear.com/designtools/app\\_notes/index.jsp#power](http://www.linear.com/designtools/app_notes/index.jsp#power).

