

使用新頻率補償技術並具有高穩定度與高精度度之  
低壓降線性穩壓器

A New Frequency Compensated Low-Dropout Voltage  
Regulator With Wide Stable Range and High Precision

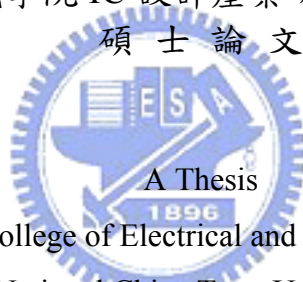
研究生：陳家敏

Student : Chia-Min Chen

指導教授：洪崇智

Advisor : Chung-Chih Hung

國立交通大學  
電機學院 IC 設計產業研發碩士班  
碩士論文



Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on  
IC Design

January 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年一月

# 使用新頻率補償技術並具有高穩定度與高精度度之低壓降線性穩壓器

學生：陳家敏

指導教授：洪崇智

國立交通大學電機學院產業研發碩士班

## 摘 要

本研究致力於不需負載電容及寬穩定度範圍和快速暫態切換特性之低壓降線性穩壓器(LDO Regulator)的實現。我們提出兩個全新的頻率補償架構於穩壓器電路。本論文提供系統晶片(System on a Chip, 簡稱SoC)或可攜式產品的電源管理系統可以完全移除晶片外部大體積電容的解決方法。

首先，設計增強型主動回授補償技術去加強頻率響應。此低壓降線性穩壓器從負載電流 0 mA 至 100 mA 範圍內，在沒有負載電容的情況下仍然可以提供高穩定度，或是當 LDO 穩壓器外部有負載電容時，其等效串聯電阻(Equivalent Series Resistor, ESR)可以有較寬範圍的設計值。而且，此技術僅需兩個很小的補償電容，這樣可以讓我們輕易地將補償電容整合到 LDO 穩壓器晶片內部。所設計的系統輸出電壓為 1.5 V，最大可承受負載電流為 100 mA。

最後，提出一個精簡型 CMOS 參考電壓源利用臨界電壓和遷移率溫度係數相互補償並使用基底電位微調技術。所設計的參考電壓源具有低溫度係數( $\approx 14$  ppm/ $^{\circ}$ C)，而且最小的供應電壓為一伏特。在沒有濾波電容情況下，低頻時的電源拒斥比大於 60 dB。本論文所呈現之晶片都是使用台積電 0.35 微米 2P4M 標準互補式金氧半製程來作設計。


# A New Frequency Compensated Low-Dropout Voltage Regulator With Wide Stable Range and High Precision

Student : Chia-Min Chen

Advisor : Chung-Chih Hung

Industrial Technology R & D Master Program of  
Electrical and Computer Engineering College  
National Chiao Tung University

## ABSTRACT



The research focuses on the realization of cap-less, wide stable range, and fast transient low dropout (LDO) linear regulator. We present two novel frequency compensation architecture for LDO circuit. The thesis provides a solution for power management system of portable devices. It can also be embedded in SoC (System on a Chip) to fully remove bulky external capacitors.

First, an enhanced active feedback frequency compensation technique is employed to improve its frequency response. This LDO can provide high stability for loading current from 0 mA to 100 mA without loading capacitors or with loading capacitors which have wide range ESR (equivalent series resistance). Moreover, this technique only requires two small compensation capacitors. This allows us to integrate the compensation capacitors within the LDO chip easily. The system has an output voltage of 1.5 V and a maximum current capability of 100 mA.

Finally, a compact CMOS voltage reference based on the mutual compensation of threshold voltage and mobility temperature coefficients with body potential trimming technique is presented. This voltage reference has a low temperature coefficient ( $\approx 14 \text{ ppm}/^\circ\text{C}$ ), and the minimum supply voltage is 1V. The power supply

rejection ratio without any filtering capacitor at low frequency are larger than 60 dB. The proposed chips in this thesis were fabricated using a standard TSMC 0.35  $\mu\text{m}$  2P4M CMOS process.



# 誌謝

在研究所這段期間的學習與研究過程是人生非常寶貴的一課，隨著時光飛逝，在交大的碩士班生涯也告一段落。首先，感謝指導教授洪崇智老師，在這段期間不辭辛勞的教導且提供寶貴的建言，同時給予自由與獨立思考的空間，本人感恩銘記於心。另外，承蒙陳富強教授、趙學永教授、陳柏中教授撥空擔任口試委員，並提供許多寶貴的意見，使得本論文能更趨完整，謝謝各位老師。

其次，感謝博士班學長天佑與碩二同學宗諺、政翰、琳家、俊達、柏勳及各位學弟，不論是在修課問題、電路設計、晶片量測上，均給予適當的建議和協助，很高興能與你們在類比積體電路實驗室共同奮鬥。另外，也感謝蓬麟同學其精神上的勉勵。

在此感謝 CIC 國家晶片中心所提供台積電 0.35  $\mu\text{m}$  2P4M SPICE model、教育訓練以及晶片製作服務。同時，也感謝義隆電子的幫助，使我能全心致力於研究。

最後，向我的父母親與家人致上無限感恩，謝謝他們對我無怨無悔付出愛心與栽培。謹以此篇論文獻給親愛的家人以及曾經幫助過我的朋友們。

# 目錄

中文摘要.....	i
英文摘要.....	ii
誌謝.....	iv
目錄.....	v
圖目錄.....	viii
表目錄.....	xiv
<b>Chapter 1 緒論</b> .....	<b>1</b>
1.1 研究背景.....	1
1.2 研究動機.....	2
1.3 論文架構.....	3
<b>Chapter 2 低壓降線性穩壓器的基礎</b> .....	<b>4</b>
2.1 低壓降線性穩壓器之簡介與應用.....	4
2.2 規格與特性.....	6
2.2.1 輸出電壓差(Dropout Voltage).....	6
2.2.2 負載穩壓(Load Regulation).....	6
2.2.3 線上穩壓(Line Regulation).....	7
2.2.4 暫態響應(Transient Response).....	8
2.2.5 靜態電流(Quiescent Current).....	10
2.2.6 效率(Efficiency).....	11
2.2.7 電源拒斥比(Power Supply Rejection Ratio).....	11
2.2.8 輸出雜訊(Output Noise).....	12
2.2.9 電壓精確度(Voltage Accuracy).....	12
2.3 低壓降線性穩壓器電路設計的相關考量.....	14
2.4 傳統低壓降線性穩壓器的頻率響應及穩定度分析.....	16
2.5 文獻回顧.....	19

<b>Chapter 3 具有高穩定度與高精確度之低壓降線性穩壓器</b> .....	21
3.1 提出新的低壓降線性穩壓器之補償技術.....	21
3.1.1 電路架構.....	21
3.1.2 頻率響應與小訊號分析.....	22
3.1.3 模擬迴路增益的方法.....	26
3.1.4 穩壓器內部雜訊分析.....	27
3.2 模擬結果.....	29
3.3 晶片佈局圖與電路板.....	37
3.4 實驗結果.....	38
3.4.1 測試考量.....	38
3.4.2 量測結果.....	39
<b>Chapter 4 具有強健的頻率補償且不需外部電容之低壓降線性穩壓器</b> .....	45
4.1 提出新的低壓降線性穩壓器之補償技術.....	45
4.1.1 電路架構.....	45
4.1.2 頻率響應與小訊號分析.....	47
4.2 模擬結果.....	50
4.3 晶片佈局圖與電路板.....	60
4.4 實驗結果.....	61
4.4.1 測試考量.....	61
4.4.2 量測結果.....	62
<b>Chapter 5 可操作於一伏特供應電壓且溫度係數 14ppm/°C 之參考電壓源</b> .....	69
5.1 簡介.....	69
5.2 參考電壓源基本操作原理.....	69
5.2.1 負溫度係數電壓.....	69
5.2.2 正溫度係數電壓.....	70
5.2.3 傳統的帶差參考電路.....	70
5.3 文獻回顧.....	71
5.4 研究動機.....	75

5.5 設計新的參考電壓源.....	75
5.5.1 電路架構.....	75
5.5.2 操作原理與理論分析.....	76
5.6 模擬結果.....	78
5.7 晶片佈局圖與電路板.....	84
5.8 實驗結果.....	85
5.8.1 測試考量.....	85
5.8.2 量測結果.....	86
<b>Chapter 6 結論.....</b>	<b>89</b>
<b>參考文獻.....</b>	<b>91</b>





# 圖目錄

圖 2.1:	典型 LDO Regulator 的功能方塊圖.....	4
圖 2.2:	行動電話電源管理方塊圖.....	5
圖 2.3:	實現高效率與低雜訊的穩壓方式.....	5
圖 2.4:	(a) LDO Regulator 輸出電壓差示意圖.....	6
	(b) 輸出電壓差範圍.....	6
圖 2.5:	負載穩壓示意圖.....	7
圖 2.6:	(a) 暫態電路模型.....	9
	(b) 負載暫態波形詳圖.....	9
圖 2.7:	靜態電流與輸出電流關係.....	10
圖 2.8:	(a) 穩壓器的電源端加入小訊號.....	11
	(b) 穩壓器的 PSRR 特性.....	11
圖 2.9:	輸出雜訊流程圖.....	12
圖 2.10:	LDO Regulator 含有參考電壓漂移.....	13
圖 2.11:	LDO Regulator 含有誤差放大器的偏移電壓.....	13
圖 2.12:	LDO Regulator 考慮回授電阻的變異.....	13
圖 2.13:	各種誤差源造成輸出電壓不同.....	14
圖 2.14:	各種型態的輸出級(導通元件).....	15
圖 2.15:	大負載電容主極點補償法.....	16
圖 2.16:	典型 LDO Regulator AC 分析.....	17
圖 2.17:	典型 LDO Regulator 小訊號等效電路.....	17
圖 2.18:	典型 LDO Regulator 增益波德圖.....	18
圖 2.19:	參考文獻[13]提出的補償架構圖.....	19
圖 2.20:	迴路增益 (a)當 $C_{out} \neq 0$ 而 $I_L = 0$ (b)當 $C_{out} \neq 0$ 而 $I_L \neq 0$ .....	19
圖 2.21:	迴路增益, 當 $C_{out} = 0$ 而 $I_L \neq 0$ .....	20
圖 3.1:	具有寬穩定度之低壓降線性穩壓器.....	21
圖 3.2:	所提出的低壓降線性穩壓器完整電路圖.....	22

圖 3.3:	所提出的低壓降線性穩壓器小訊號等效電路.....	23
圖 3.4:	所提出的穩壓器迴路增益，當 $C_{out} \neq 0$ .....	24
圖 3.5:	所提出的穩壓器迴路增益，當 $C_{out} = 0$ 而 $I_L = 10 \text{ mA}$ .....	25
圖 3.6:	所提出的穩壓器迴路增益，當 $C_{out} = 0$ 而 $I_L = 100 \text{ mA}$ .....	26
圖 3.7:	模擬迴路增益的連接方式.....	27
圖 3.8:	誤差放大器與電晶體雜訊示意圖.....	27
圖 3.9:	穩壓器的雜訊來源.....	28
圖 3.10:	在不同的 Process corners 情況下的 Dropout voltage.....	29
圖 3.11:	穩壓器晶片外部沒有接負載電容且 $I_L(I_{out}) = 10 \text{ mA}$ 時的頻率響應.....	29
圖 3.12:	穩壓器晶片外部沒有接負載電容且 $I_L(I_{out}) = 100 \text{ mA}$ 時的頻率響應.....	30
圖 3.13:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.1\Omega$ )且 $I_L(I_{out}) =$ 10 mA 時的頻率響應.....	30
圖 3.14:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.1\Omega$ )且 $I_L(I_{out}) =$ 100 mA 時的頻率響應.....	31
圖 3.15:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.01\Omega$ )且 $I_L(I_{out}) =$ 10 mA 時的頻率響應.....	31
圖 3.16:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.01\Omega$ )且 $I_L(I_{out}) =$ 100 mA 時的頻率響應.....	32
圖 3.17:	穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應.....	32
圖 3.18:	壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.1\Omega$ )時，負載電流 脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應.....	33
圖 3.19:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.01\Omega$ )時，負載電流 脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應.....	33
圖 3.20:	穩壓器晶片外部沒有接負載電容時，電源電壓脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50 \text{ mA}$ )，測試輸出電壓的暫態響應.....	34
圖 3.21:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.1\Omega$ )時，電源電壓 脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50 \text{ mA}$ )，測試輸出電壓的暫態響應...34	34
圖 3.22:	壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ; $R_{ESR} = 0.01\Omega$ )時，電源電壓 脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50 \text{ mA}$ )，測試輸出電壓的暫態響應...35	35

圖 3.23:	當穩壓器晶片外部沒有接負載電容時的電源拒斥比.....	35
圖 3.24:	當穩壓器晶片外部有接負載電容( $C_{out} = 1\mu F$ ; $R_{ESR} = 0.1\Omega$ )時的電源拒斥比.....	36
圖 3.25:	穩壓器晶片微型照相圖.....	37
圖 3.26:	量測電路板.....	37
圖 3.27:	負載暫態行為測試方法.....	38
圖 3.28:	線上暫態行為測試方法.....	38
圖 3.29:	穩壓器的輸出電壓與負載電流之關係.....	39
圖 3.30:	穩壓器的輸出電壓與輸入電壓之關係.....	39
圖 3.31:	穩壓器晶片外部沒有接負載電容時，電源電壓 1.8 V 與 2.8 V 脈衝切換 ( $I_L = 1$ mA)，量測輸出電壓的線上暫態響應.....	40
圖 3.32:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu F$ )時，電源電壓 1.8 V 與 4.3 V 脈衝切換 ( $I_L = 1$ mA)，量測輸出電壓的線上暫態響應.....	40
圖 3.33:	壓器晶片外部有接負載電容( $C_{out} = 10\mu F$ )時，電源電壓 1.8 V 與 4.3 V 脈衝切換 ( $I_L = 1$ mA)，量測輸出電壓的線上暫態響應.....	41
圖 3.34:	壓器晶片外部沒有接負載電容時，負載電流脈衝從 10 mA 上升到 100 mA，量測輸出電壓的負載暫態響應.....	41
圖 3.35:	壓器晶片外部有接負載電容( $C_{out} = 1\mu F$ )時，負載電流 0 mA 與 100 mA 脈衝切換，量測輸出電壓的負載暫態響應.....	42
圖 3.36:	穩壓器晶片外部有接負載電容( $C_{out} = 10\mu F$ )時，負載電流 0 mA 與 100 mA 脈衝切換，量測輸出電壓的負載暫態響應.....	42
圖 3.37:	穩壓器晶片外部沒有接負載電容時，量測拒斥雜訊的能力.....	43
圖 3.38:	穩壓器晶片外部有接負載電容( $C_{out} = 1\mu F$ )時，量測拒斥雜訊的能力.....	43
圖 3.39:	低壓降線性穩壓器之等效輸出雜訊.....	44
圖 4.1:	提出新的穩壓器電路架構.....	45
圖 4.2:	新的穩壓器詳細電路圖.....	46
圖 4.3:	所提出的低壓降線性穩壓器小訊號等效電路.....	47
圖 4.4:	新的穩壓器 AC response(當穩壓器輸出端沒有接負載電容時).....	48
圖 4.5:	新的穩壓器 AC response(當穩壓器輸出端有接負載電容時).....	49
圖 4.6:	在不同的 Process corners 下，輸出電壓與輸入電壓的關係.....	50

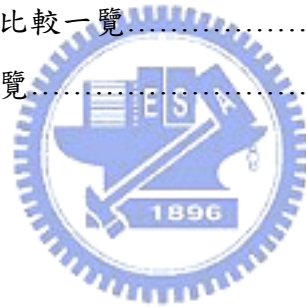
圖 4.7:	輸出電壓與輸入電壓之關係圖(@ $I_L = 0$ mA).....	51
圖 4.8:	輸出電壓與輸入電壓之關係圖(@ $I_L = 100$ mA) .....	51
圖 4.9:	穩壓器輸出電壓與負載電流之關係圖.....	52
圖 4.10:	穩壓器輸出電壓與負載電流之關係圖(刻度放大) .....	52
圖 4.11:	穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應.....	53
圖 4.12:	穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ ; $R_{ESR} = 1\Omega$ )時，負載電流 脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應.....	53
圖 4.13:	穩壓器輸出端有寄生電容( $C_{out} = 100$ pF)時，負載電流脈衝從 1 mA 上升 到 100 mA，測試輸出電壓的暫態響應.....	54
圖 4.14:	壓器晶片外部沒有接負載電容時，電源電壓脈衝從 1.8 V 上升到 2.8 V，測試輸出電壓的暫態響應.....	54
圖 4.15:	穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ ; $R_{ESR} = 1\Omega$ )時，電源電壓 脈衝從 1.8 V 上升到 2.8 V，測試輸出電壓的暫態響應.....	55
圖 4.16:	導通安定時間 $\approx 2 \mu\text{s}$ ( $C_{out} = 0$ ; $I_L = 1$ mA) .....	55
圖 4.17:	導通安定時間 $\approx 60 \mu\text{s}$ ( $C_{out} = 10 \mu\text{F}$ ; $I_L = 1$ mA) .....	56
圖 4.18:	導通安定時間 $\approx 2 \mu\text{s}$ ( $C_{out} = 100$ pF ; $I_L = 1$ mA) .....	56
圖 4.19:	穩壓器晶片外部沒有接負載電容時，在不同負載電流下的 open-loop AC response.....	57
圖 4.20:	穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ ; $R_{ESR} = 1\Omega$ )時，在不同負載 電流下的 open-loop AC response.....	57
圖 4.21:	穩壓器輸出端有寄生電容( $C_{out} = 100$ pF)時，在不同負載電流下的 open-loop AC response.....	58
圖 4.22:	穩壓器晶片外部沒有接負載電容時的電源拒斥比.....	58
圖 4.23:	LDO Regulator 晶片微型照相圖.....	60
圖 4.24:	LDO Regulator 量測電路板.....	60
圖 4.25:	印刷電路板佈局圖.....	61
圖 4.26:	穩壓器的輸出電壓與負載電流之關係.....	62
圖 4.27:	穩壓器的輸出電壓與輸入電壓之關係.....	62
圖 4.28:	穩壓器晶片外部沒有接負載電容時，電源電壓 1.8 V 與 3.8 V 脈衝切	

換，量測輸出電壓的線上暫態響應.....	63
圖 4.29: 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，電源電壓 1.8 V 與 3.8 V 脈衝切換，量測輸出電壓的線上暫態響應.....	63
圖 4.30: 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，電源電壓 1.8 V 與 3.8 V 脈衝切換，量測輸出電壓的線上暫態響應.....	63
圖 4.31: 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應.....	64
圖 4.32: 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應.....	64
圖 4.33: 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應.....	64
圖 4.34: 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應.....	65
圖 4.35: 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應.....	65
圖 4.36: 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應.....	65
圖 4.37: 穩壓器晶片外部沒有接負載電容時，當輸入電壓含有 100 kHz、200 mV 峰對峰值的連波雜訊，量測拒斥雜訊的能力.....	66
圖 4.38: 穩壓器晶片外部沒有接負載電容時，當輸入電壓含有 1 MHz、200 mV 峰對峰值的連波雜訊，量測拒斥雜訊的能力.....	66
圖 4.39: 穩壓器的電源拒斥比.....	67
圖 4.40: 穩壓器之等效輸出雜訊.....	67
圖 5.1: 產生正溫度係數電壓.....	70
圖 5.2: 基本的能帶差參考電壓源.....	71
圖 5.3: 可操作在低於一伏特供應電壓之能帶差參考電壓源.....	72
圖 5.4: (a) 以 NMOS 當輸入級 (b) 以 PMOS 當輸入級.....	73
圖 5.5: 不需低臨界電壓元件即可操作在低於一伏特供應電壓之參考電壓源..	73
圖 5.6: (a) $V_{TH}$ 的溫度相依性 (b) 以 MOS 為基礎之參考電壓源.....	74
圖 5.7: 參考電壓源方塊圖.....	75

圖 5.8:	新的參考電壓源完整電路圖.....	76
圖 5.9:	佈局前，以 TT corner 模擬參考電壓與溫度的關係.....	78
圖 5.10:	佈局前，以 FF corner 模擬參考電壓與溫度的關係.....	78
圖 5.11:	佈局前，以 SS corner 模擬參考電壓與溫度的關係.....	78
圖 5.12:	佈局後，以 TT corner 模擬參考電壓與溫度的關係.....	79
圖 5.13:	佈局後，以 FF corner 模擬參考電壓與溫度的關係.....	79
圖 5.14:	佈局後，以 SS corner 模擬參考電壓與溫度的關係.....	79
圖 5.15:	佈局前，模擬輸出參考電壓與供應電壓之關係.....	80
圖 5.16:	佈局後，模擬輸出參考電壓與供應電壓之關係.....	80
圖 5.17:	佈局前，模擬參考電壓源的電源拒斥比.....	81
圖 5.18:	佈局後，模擬參考電壓源的電源拒斥比.....	81
圖 5.19:	佈局前，模擬參考電壓的線上穩壓(Line regulation = $\pm 0.057\%/V$ ).....	82
圖 5.20:	佈局後，模擬參考電壓的線上穩壓(Line regulation = $\pm 0.055\%/V$ ).....	82
圖 5.21:	CMOS 參考電壓源晶片微型照相圖.....	84
圖 5.22:	測量 CMOS 參考電壓源之電路板.....	84
圖 5.23:	實驗架設測量溫度係數.....	85
圖 5.24:	實驗架設測量線上穩壓.....	85
圖 5.25:	參考電壓與供應電壓之關係(trimming 前).....	86
圖 5.26:	參考電壓與供應電壓之關係(trimming 後) (a) $V_{ref} \approx 800 \text{ mV}$ (b) $V_{ref} \approx 700 \text{ mV}$ .....	86
圖 5.27:	參考電壓的起始時間.....	87
圖 5.28:	參考電壓源之等效輸出雜訊.....	87
圖 5.29:	參考電壓源的電源拒斥比.....	88
圖 5.30:	溫度係數.....	88

# 表目錄

表 2.1:	各種導通元件的比較.....	16
表 3.1:	穩壓器(I)模擬後的評估結果.....	36
表 3.2:	穩壓器晶片(I)量測結果一覽.....	44
表 4.1:	不同負載電流情況下的相位安全邊限與低頻迴路增益.....	50
表 4.2:	穩壓器(II)模擬後的評估結果.....	59
表 4.3:	穩壓器晶片(II)量測結果一覽.....	68
表 5.1:	CMOS 參考電壓源模擬之後評估的結果.....	83
表 5.2:	Trimming 前的參考電壓.....	86
表 5.3:	參考電壓源的靜態電流.....	87
表 6.1:	低壓降線性穩壓器比較一覽.....	90
表 6.2:	參考電壓源比較一覽.....	90



# 第一章

---

## 緒論

### 1.1 研究背景

隨著科技的進步，可隨身攜帶的電子產品需求量與日俱增。而且，近幾年低壓降線性穩壓器(Low-Dropout Linear Regulator，簡稱 LDO Regulator)已被廣泛的使用在可攜式電子產品上[1]，例如：PDA、MP3 player、cellular phone...等。由於電子產品的電路系統上有許多不同的模組，所以需要很多種電壓位準的直流供應電壓。於是，一個系統電路需用到多個穩壓電路，而穩壓 IC 在電子產品的效能及穩定特性中扮演很重要的腳色。

電源管理穩壓 IC 可區分成兩種類型：切換式功率轉換 IC 和線性電壓穩壓 IC [2]，[3]。切換式功率轉換 IC 有較高的輸出效率，然而因為 IC 內部數位訊號切換的原因，也造成較大的輸出雜訊，這對於雜訊較敏感的系統電路來講是不理想的，因為電路易受到干擾，例如：RF 應用電路、Audio 應用電路。基於這個原因在很多情況下我們必須使用低壓降線性穩壓器，它具有穩定的輸出電壓、低輸出雜訊及低靜態電流等優點。在設計上會我們希望達到低功率消耗，來增加產品的待機時間與電池的使用時間。因此，低壓降線性穩壓器要設計能夠在低電壓操作，同時也要有夠低的輸出電壓差(dropout voltage)減少壓降所產生的功率散逸。設計較大的直流迴路增益(DC loop gain)值去得到較佳的線上穩壓(Line regulation)及負載穩壓(Load regulator)，足夠的相位安全邊限以維持較佳的穩定度，然而穩壓精確度、暫態響應與穩定度常常遭遇互相權衡取捨(trade-off)的情況。



## 1.2 研究動機

由前述可知，我們爲了得到精確的輸出電壓位準也就是較高的線上穩壓和負載穩壓，低壓降線性穩壓器必須設計有較高的迴路增益，由於目前可攜式電子產品大多數要在低供應電壓操作，因此傳統使用疊接(cascode)方式來增加誤差放大器增益的方式已不再可行，目前幾乎都是以串接(cascade)的方式為主[4]。也就是在誤差放大器之後串上一個高擺幅(high swing)的第二級增益級，但是低壓降線性穩壓器若是串接愈多級，它所產生的寄生電容貢獻的極點就越多，會造成低壓降線性穩壓器不穩定，所以大部分都設計誤差放大器(Error amplifier)成爲第一級增益級串接第二級增益級再串接 Power PMOS，總共三級放大。此外，早期低壓降線性穩壓器的補償方式較不理想，它需要利用外部負載電容的等效串聯電阻(equivalent series resistor，簡稱 ESR)達成頻率補償，但是外部負載電容的 ESR 值無法精確的控制，某些種類電容的 ESR 值較高，有些則非常小，例如：陶瓷電容具有較低的 ESR 大約為 10 mΩ 數量級而鉭質電容 ESR 約為 100 mΩ，鋁質電解電容則是 1~10 Ω 的數量級，所以若使用傳統的電路，當 ESR 很小時就無法產生有效的零點補償，低壓降線性穩壓器的輸出電壓就會不穩定。此外外部負載電容會佔去較多印刷電路板空間及增加零件成本。另外，此電容值通常是 μF 數量級，如此大的電容值不容易實現在系統單晶片內。在系統單晶片裡面，穩壓電路輸出端看到的只有電源金屬層等效寄生電容。所以本研究希望設計低壓降線性穩壓器能夠在無負載電容情況下，保持穩定的輸出電壓。基於這些理由我們於是希望去設計低壓降線性穩壓器能在兩種情形下均能穩定輸出電壓：一、有外部負載電容且 ESR 值可以有較大的範圍；二、無外部負載電容的情況。

### 1.3 論文架構

本論文之研究內容包含電路架構設計、操作原理、數學公式推導、AC 分析、DC 分析與暫態分析。總共有六章如下：第一章說明 LDO Regulator 發展現況研究背景和敘述本研究動機與論文整體架構。第二章介紹 LDO Regulator 的基本操作原理及其各項規格與特性，接下來說明典型的 LDO Regulator 架構之組成，進而探討早期已發表的文獻內容。第三章提出 LDO Regulator 新的頻率補償架構，補償電路包含兩部份，分別是增強型主動回授(Enhanced Active Feedback，簡稱 EAF)和內嵌式電阻電容(Embedded RC)電路。利用這種補償電路，可以得到具有較寬的穩定度範圍。整個電路只需使用兩個很小的補償電容即可達成頻率補償。同時可以設計有較高的迴路增益以得到較佳的負載穩壓與線上穩壓。第四章提出具有快速暫態響應且無需外部負載電容之 LDO Regulator。此 LDO Regulator 提供更好的迴轉率(slew rate)和較短的安定時間(settling time)可大幅的改善負載暫態與線上暫態。同時也具有不需外部負載電容就可以有好的輸出電壓穩定特性，可應用於系統單晶片或混合訊號積體電路內部之穩壓。第五章提出一個可操作於一伏特供應電壓之小型 CMOS 參考電壓源，其特性具有 14 ppm/°C 低溫度係數、對供應電壓變化不敏感和高的電源拒斥比。於第六章對整篇論文下個總結，並列出所設計的電路與其他 paper 的電路作比較。

# Chapter 2

## 低壓降線性穩壓器的基礎

### 2.1 低壓降線性穩壓器之簡介與應用

低壓降線性穩壓器(Low-Dropout Linear Regulator, 簡稱 LDO Regulator)被內建於各種電子系統裡面, 用來降壓和提供非常精確而且低雜訊的穩定電壓[5], [6], [7]。我們可以利用數個 LDO Regulator 來提供不同電壓位準給各子系統的輸入/輸出電路(I/O circuit)與核心電路(core circuit)。圖 2.1 為典型 LDO Regulator 的功能方塊圖, 通常是由導通元件(pass element)或功率電晶體(power PMOS)、誤差放大器、參考電壓源和電阻回授網路所組成[8]。LDO Regulator 是一個閉迴路組態, 而且是串聯-並聯形式(series-shunt type)負回授。

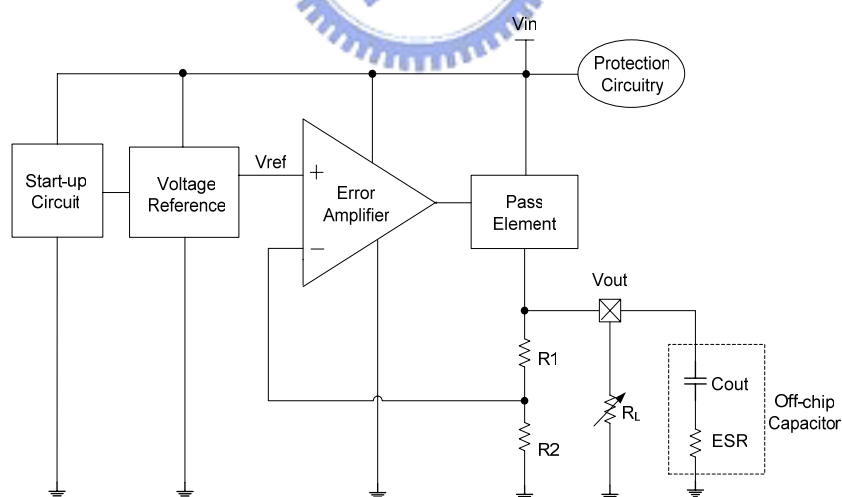


圖 2.1 典型 LDO Regulator 的功能方塊圖

基本操作原理如下：精確的電壓參考源連接到誤差放大器輸入的一端，誤差放大器的另一端接到電阻回授網路，電阻回授網路感測 LDO Regulator 輸出端電壓的變化再與電壓參考源做比較，於是誤差放大器輸出誤差控制訊號去驅動

導通元件(Pass element)，進而控制輸出電流流至負載的大小，導通元件的行為即是電壓控制電流源。此外，輸出電壓公式可寫成(2.1)式：

$$V_{out} = V_{ref} \times \frac{R_1 + R_2}{R_2} \quad (2.1)$$

設計給手持式行動電話、MP3 播放器、多媒體可攜式遊戲機等應用中，為了保持好的音頻訊號，這類型的 LDO Regulator 在音頻頻率(20Hz~20kHz)時需要設計有高的 PSRR 並降低雜訊。另外，RF 電路(LNA、PA、Mixer、VCO...等)也需要使用具有低雜訊和高 PSRR 的 LDO Regulator。行動電話電源管理方塊圖，如圖 2.2 所示。

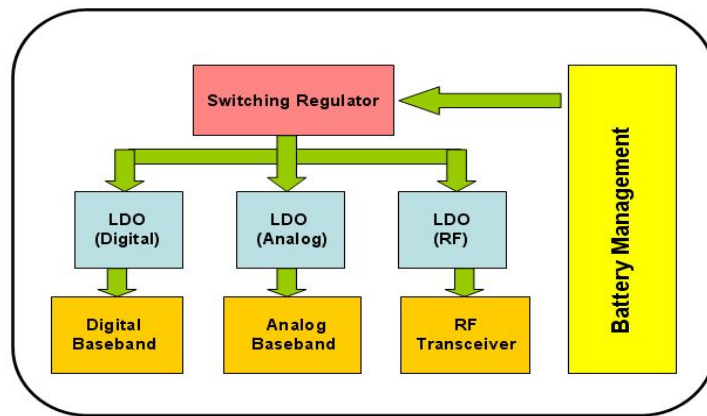


圖 2.2 行動電話電源管理方塊圖

LDO Regulator 會遭遇較差的轉換效率，因為轉換效率與輸入輸出的電壓差成反比。然而，我們可以用一個簡單的方式來解決這個問題：使用切換式穩壓器(Switching Regulator)串接 LDO Regulator，可消去切換突波(switching spike)和漣波雜訊(ripple noise)，在較高的壓差時擁有更好的轉換效率，如圖 2.3 所示 [9]。加入切換式穩壓器可以大大地減少跨越在線性穩壓器的壓差，可以降低不必要的功率損耗成為熱能。

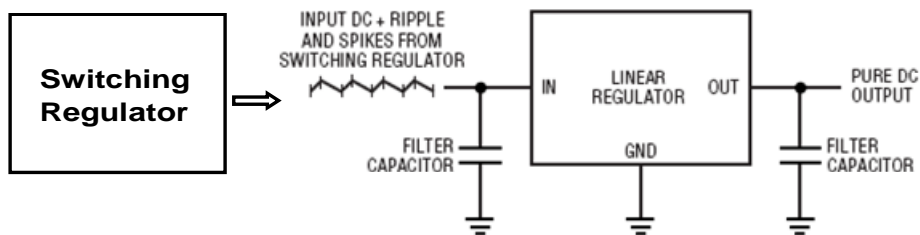


圖 2.3 實現高效率與低雜訊的穩壓方式

## 2.2 規格與特性

在此小節我們將一些專有名詞與定義做說明並且敘述其 LDO Regulator 相關特性，這些專有名詞包含：dropout voltage、load regulation、line regulation、transient response、quiescent current、efficiency、power supply rejection ratio、output noise、voltage accuracy[10]，[11]。

### 2.2.1 輸出電壓差(Dropout Voltage)

Dropout voltage 是 LDO Regulator 固有的特性，其定義為 LDO Regulator 仍能保持輸出穩壓狀態之輸入電壓與輸出電壓的最小壓差，此壓差臨界點(dropout point)發生在輸入電壓非常接近輸出電壓時，當輸入電壓值低於壓差臨界點時，LDO Regulator 即開始不在穩壓狀態，如圖 2.4 所示。

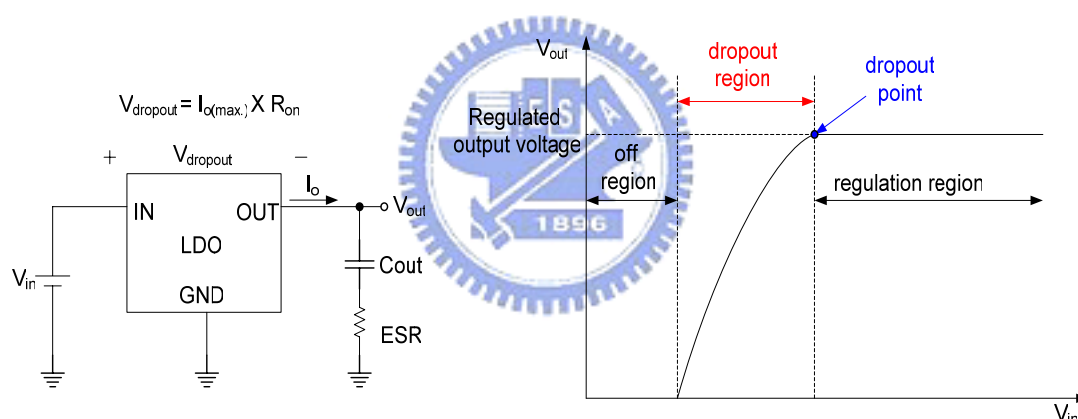


圖 2.4 (a) LDO Regulator 輸出電壓差示意圖

圖 2.4(b)輸出電壓差範圍

### 2.2.2 負載穩壓(Load Regulation)

負載穩壓是指當負載電流變化時，對指定的輸出電壓所造成之影響及誤差。負載穩壓值越小，代表 LDO Regulator 在負載電流最大時，鎖定預期電壓值的能力越強。通常以%/mA 或  $\mu V/mA$  為單位。定義如下：

$$Load \ Regulation = \frac{\Delta V_{out}}{\Delta I_{out}} \quad (2.2)$$

假設輸出電流有小變化量  $\Delta I_{out}$ ，此變化量會造成輸出電壓的改變：

$$\Delta V_{out} = \Delta I_{out} R_{Leq} \quad (2.3)$$

$R_{Leq}$  是從輸出端看入的總輸出電阻， $R_{Leq}=(R_1+R_2)//R_L$ 。電阻回授網路感測輸出電壓的變化 $\pm\Delta V_{fb}$  乘上誤差放大器的增益( $A_{err}$ )與功率電晶體(Power PMOS)的轉導( $g_{mp}$ )而產生 $\pm\Delta I_{out}$ (如圖 2.5)，因此：

$$\Delta I_{out} = \Delta V_{fb} \times A_{err} \times g_{mp} = \Delta V_{out} \left( \frac{R_2}{R_1 + R_2} \right) A_{err} g_{mp} \quad (2.4)$$

從(2.4)式可得到負載穩壓的公式：

$$\frac{\Delta V_{out}}{\Delta I_{out}} = \left( \frac{R_1 + R_2}{R_2} \right) \frac{1}{A_{err} g_{mp}} \quad (2.5)$$

從(2.5)式可知，若要得到好的負載穩壓則須增加誤差放大器的開迴路增益和功率電晶體的轉導。但是，高的迴路增益同時也會有較高的單位增益頻率(unity gain frequency)，而引入其他高頻極點，電路不容易補償，LDO Regulator 會不穩定。因此，在沒有特殊補償架構下，LDO Regulator 的穩壓強度與穩定度是互相權衡取捨。

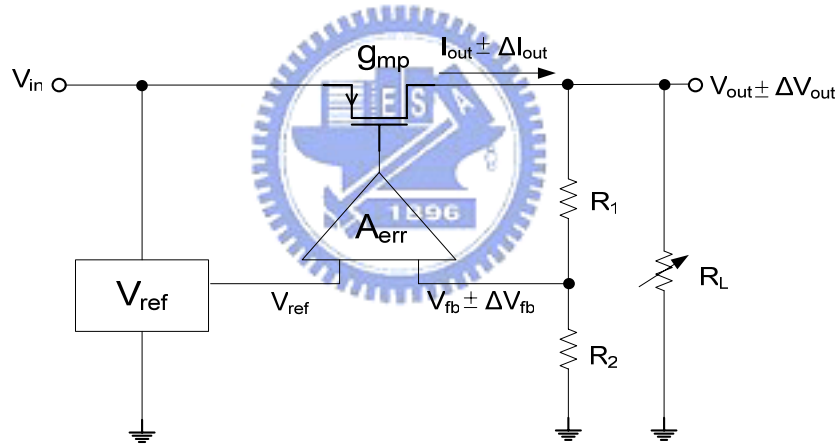


圖 2.5 負載穩壓示意圖

### 2.2.3 線上穩壓(Line Regulation)

線上穩壓是指當輸入電壓改變時，對指定的輸出電壓所造成之影響及誤差。線上穩壓值越小，代表 LDO Regulator 在輸入電壓有較大變化時，鎖定預期電壓值的能力越強。通常以 $\%/V$  或  $\mu V/V$  為單位。定義如下：

$$Line\ Regulation = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2.6)$$

$$V_{out} = \frac{R_{Leq}}{R_{on} + R_{Leq}} V_{in} - \Delta V_{out}$$

$$\begin{aligned}
&= \frac{R_{Leq}}{R_{on} + R_{Leq}} V_{in} - \Delta I_{out} R_{Leq} \\
&= \frac{R_{Leq}}{R_{on} + R_{Leq}} V_{in} - (V_{fb} - V_{ref}) A_{err} g_{mp} R_{Leq}
\end{aligned} \tag{2.7}$$

$$V_{fb} = \frac{R_2}{R_1 + R_2} V_{out} \tag{2.8}$$

將(2.8)式代入(2.7)式可得：

$$\begin{aligned}
V_{out} &= \frac{R_{Leq}}{R_{on} + R_{Leq}} V_{in} - \left( \frac{R_2}{R_1 + R_2} V_{out} - V_{ref} \right) A_{err} g_{mp} R_{Leq} \\
&= \frac{(R_1 + R_2) R_{Leq} V_{in} + (R_1 + R_2) A_{err} g_{mp} R_{Leq} V_{ref}}{R_{on} + R_{Leq} + A_{err} g_{mp} R_{Leq} R_2} \\
&= \frac{(R_1 + R_2)}{A_{err} g_{mp} R_2 (R_{on} + R_{Leq})} V_{in} + \frac{R_1 + R_2}{R_2} V_{ref}
\end{aligned} \tag{2.9}$$

因此，線上穩壓是穩態參數，頻率成分是可省略的。增加誤差放大器的直流開迴路增益或功率電晶體的轉導可以增強線上穩壓。

## 2.2.4 暫態響應(Transient Response)

以數位電路應用而言，負載暫態是顯著地重要，當數位電路在做切換時，LDO Regulator 應該要有能力快速的充放電。輸出電容儲存電位能量等效於輸出電壓。理想的電容是可以即時地傳遞電流並且有無限的頻寬。電荷從電容轉移至負載符合輸出電壓的落差，

$$\Delta V_{out} = \frac{\Delta Q}{C_{out}} \tag{2.10}$$

輸出電壓的變化量與電容成反比，因此增加輸出電容可以減少電壓漣波(voltage ripple)，當負載暫態遠快於增益頻寬積(gain-bandwidth product)時，此情況會更明顯，此時導通元件或功率電晶體的行為像固定常數電流[12]，如圖 2.6。由於，導通元件幾乎都設計大的轉導與電流，因此開極端寄生電容會有較大值，需設計誤差放大器能快速地驅動此寄生電容，增加偏壓電流才能增加迴轉率。

$$SR = \frac{I_{bias,err.}}{C_{g,par}} \tag{2.11}$$

這是另一種取捨，為了得到好的暫態響應，我們需付出較多的偏壓電流，因而增加功率消耗。需注意的是，迴路頻寬(loop bandwidth)越大所能容忍的負載暫態時間就可以越短，可以容忍負載導通時的快速上昇時間與下降時間。

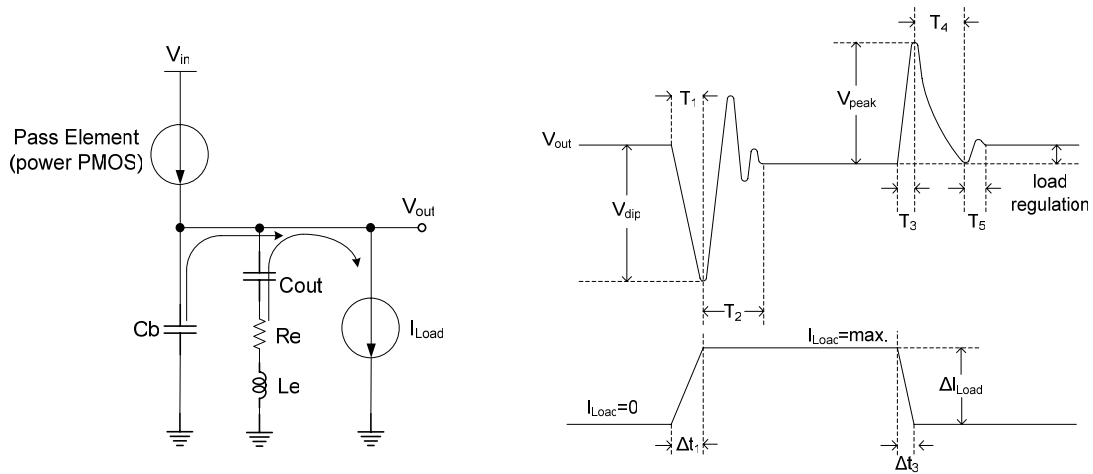


圖 2.6(a) 暫態電路模型

圖 2.6 (b) 負載暫態波形詳圖

$T_1$  期間：

$$V_{dip} = \frac{I_{Load} \Delta t_1}{C_{out} + C_b} + I_{Load} R_e + L_e \frac{dI_{Load}}{dt} \quad (2.12)$$

$T_1$  時間是由 LDO Regulator 的頻寬和迴轉率所決定，我們可以設計較大頻寬和迴轉率以減少  $T_1$  時間幫助減少  $V_{dip}$  下降幅度，另外 LDO Regulator 輸出端加上  $C_{out}$  也可以緩和  $V_{dip}$  下降幅度，或者可以使用較低 ESR 與 ESL 值的電容也可減少  $V_{dip}$  下降幅度。由於在印刷電路板上佈局走線每一英吋大約增加 10nH 至 15nH，我們在設計時，必須減少寄生電感值，較理想的方式是將 LDO Regulator 外部的電容擺置靠近穩壓器的輸出端與負載端，以減少等效串聯電感(Equivalent Series Inductance，簡稱 ESL)所造成的負向電壓突波。

$T_2$ 、 $T_5$  期間：

這一段是小訊號安定時間(Small-signal settling time)，若設計有足夠的相位安全邊限，電壓訊號會較平滑不會有過多的抖動與震盪。安定時間的快慢正比於導通元件或 power PMOS 對輸出電容充電的快慢。較大的頻寬可以有較短的暫態時間並減少安定時間，當 LDO Regulator 輸出端有接大電容時，暫態變化量會被減少，但是卻會增加安定時間。



T<sub>3</sub> 期間：

當 LDO Regulator 輸出端的負載突然被移除(I<sub>Load</sub> 突然降為零)，誤差放大器的控制訊號還來不及將 power PMOS 完全關掉，於是過度的電流注入輸出節點，而造成正向電壓突波(V<sub>peak</sub>)：

$$V_{peak} = \frac{I_{Load} \Delta t_3}{C_{out} + C_b} + I_{Load} R_e + L_e \frac{dI_{Load}}{dt} \quad (2.13)$$

T<sub>4</sub> 期間：

由於 I<sub>out</sub> 瞬間降為零，而輸出電壓又略高於指定的電壓值，因此輸出端經由電阻回授網路開始放電，放電時間為 Δt<sub>4</sub>。

$$\Delta V_{out} = \frac{I_{discharge} \Delta t_4}{C_{out} + C_b} \Rightarrow \Delta t_4 = \frac{\Delta V_{out} (C_{out} + C_b)}{I_{discharge}} = \frac{\Delta V_{out} (C_{out} + C_b)}{V_{ref}} R_2 \quad (2.14)$$

## 2.2.5 靜態電流(Quiescent Current)

靜態電流是輸入電流與輸出電流的差，定義為：

$$I_q = I_{in} - I_{out} \quad (2.15)$$

靜態電流包含下列電路之偏壓電流(能帶隙電壓參考源、偏壓電路、誤差放大器、電阻回授網路...等)。LDO Regulator 通常使用雙載子電晶體(bipolar)或金氧半場效電晶體(MOS)當作導通元件，以雙載子電晶體而言：

$$I_c = \beta I_b \quad (2.16)$$

β 是順向電流增益，I<sub>c</sub> 與 I<sub>b</sub> 成正比。由於雙載子電晶體是電流驅動的元件，當負載電流增加時，基極電流也會跟著增加，因此造成靜態電流的增加。以金氧半場效電晶體而言，它是電壓驅動的元件，閘極端幾乎不會有電流流過。導通電流之大小完全是由閘源極電壓所控制，在負載變動下其靜態電流幾乎維持常數，如圖 2.7 所示。

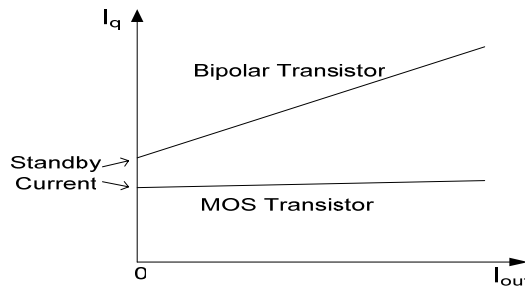


圖 2.7 靜態電流與輸出電流關係

## 2.2.6 效率(Efficiency)

LDO Regulator 的轉換效率定義為輸出功率對輸入功率的比值：

$$\eta = \frac{P_{out}}{P_{in}} = \frac{I_{out}V_{out}}{(I_q + I_{out})V_{in}} \quad (2.17)$$

基本上， $I_{out} \gg I_q$ ， $V_{dropout} = V_{in} - V_{out}$ ， $\eta$  可以近似成下式：

$$\eta \approx \frac{V_{out}}{V_{in}} = \frac{V_{in} - V_{dropout}}{V_{in}} = 1 - \frac{V_{dropout}}{V_{in}} \quad (2.18)$$

當  $V_{dropout}$  值越小，所得到的轉換效率就會較好， $V_{dropout}$  值越大代表功率散逸越大，輸出電流經過壓差時會有過多的功率散逸成熱能。

## 2.2.7 電源拒斥比(Power Supply Rejection Ratio)

電源拒斥比可簡稱 PSRR，又可稱為 ripple rejection。它是代表當輸入電壓產生小變化時，LDO Regulator 阻止此變化至輸出電壓的能力。同時也是輸出端 AC 訊號對輸入端 AC 訊號的比值。定義如下：

$$PSRR = \frac{\Delta V_{out}(f)}{\Delta V_{dd}(f)} \quad (2.19)$$

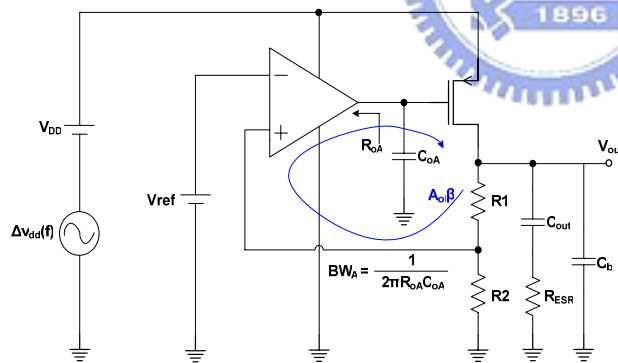


圖 2.8(a) 穩壓器的電源端加入小訊號

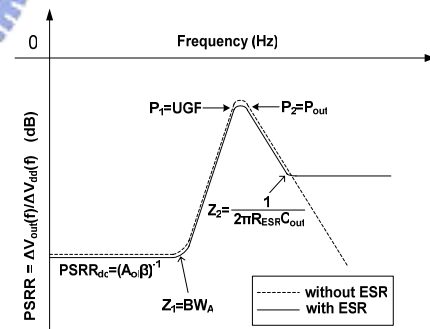


圖 2.8(b) 穩壓器的 PSRR 特性

最差的情況發生在最大  $R_{ESR}$  值與最低  $C_b$  值。可以在 LDO Regulator 輸出端接上大的輸出電容(含小的 ESR 值)以及增加旁路電容(bypass capacitor)來加強 PSRR 的能力。同時，設計較快速的誤差放大器也可加強 PSRR。值得注意的是，較大值的漣波電壓與 PSRR 無關反而與線上穩壓有關。

## 2.2.8 輸出雜訊(Output Noise)

輸出雜訊電壓是當 LDO Regulator 的輸入電壓很平穩而且沒有雜訊成份下，去量測輸出電壓在 100Hz 到 100kHz 頻率範圍的雜訊電壓均方根值(RMS)。主要是量測 LDO Regulator 內部所產生的雜訊，輸出雜訊電壓典型值範圍是 10 $\mu$ V-500 $\mu$ V。電壓參考源與誤差放大器是主要雜訊來源，我們可以連接旁路電容於 LDO Regulator 的參考電壓端點與輸出電壓端點，可以減少輸出雜訊。

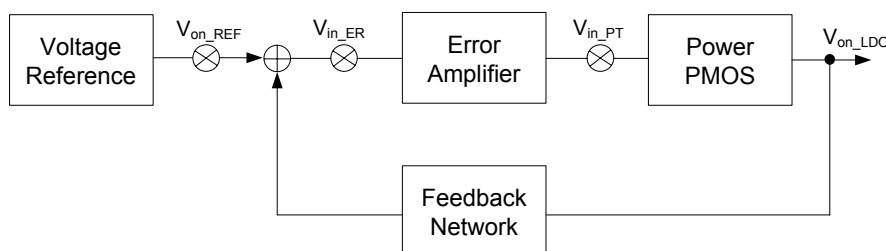


圖 2.9 輸出雜訊流程圖

$$V_{on\_LDO}^2 = \frac{V_{on\_REF}^2 + V_{in\_ER}^2 + \left( \frac{V_{in\_PT}^2}{A_{EA}^2} \right)}{f^2} \approx \frac{V_{on\_REF}^2 + V_{in\_ER}^2}{f^2} \quad (2.20)$$

## 2.2.9 電壓精確度(Voltage Accuracy)

LDO Regulator 的精確度是 LDO Regulator 受到所有誤差因素的影響，造成輸出電壓偏離原先規格電壓之誤差。精確度是受到下列誤差因素所影響：有限的線上穩壓、有限的負載穩壓、電壓參考源漂移、誤差放大器電壓漂移、回授電阻誤差量和電阻溫度係數。在單顆晶片相同電路中，有可能會出現不同元件特性的變化以至於產生電壓漂移。這些不同特性包括傳導電流、臨界電壓、電阻和電容。這些變化量來自於半導體製程中隨機因子與不均勻摻雜。

$$\text{drift voltage} = \sqrt{\Delta V_{o,ref}^2 + \Delta V_{o,amp}^2 + \Delta V_{o,res}^2 + \Delta V_{o,temp}^2} \quad (2.21)$$

$\Delta V_{o,ref}$  是參考電壓源所造成的偏移電壓，如圖 2.10。

$$\Delta V_{o,ref} = \frac{R_1 + R_2}{R_2} \times \Delta V_{ref} \quad (2.22)$$

$$\frac{\Delta V_{o,ref}}{V_o} = \pm \frac{\Delta V_{ref}}{V_{ref}} \quad (2.23)$$

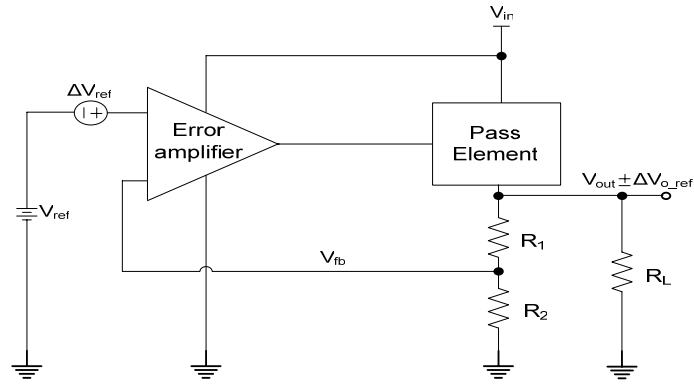


圖 2.10 LDO Regulator 含有參考電壓漂移

$\Delta V_{o,amp}$  是誤差放大器所造成的偏移電壓，如圖 2.11。

$$\Delta V_{o,amp} = \pm \frac{\Delta V_{amp} (R_1 + R_2)}{A_{ER} R_2} \quad (2.24)$$

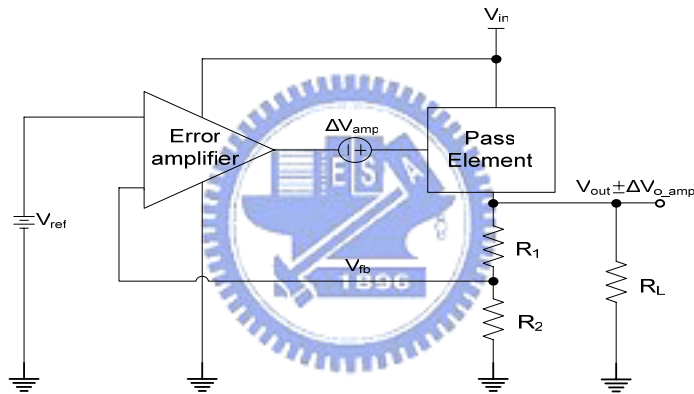


圖 2.11 LDO Regulator 含有誤差放大器的偏移電壓

$\Delta V_{o,res}$  是回授電阻網路所造成的偏移電壓，如圖 2.12。

$$\Delta V_{o,res} = \pm \frac{\Delta R_1 + \Delta R_2}{R_2 + \Delta R_2} V_{ref} \quad (2.25)$$

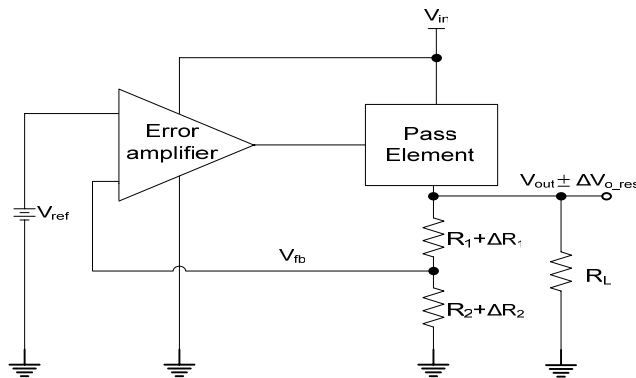


圖 2.12 LDO Regulator 考慮回授電阻的變異

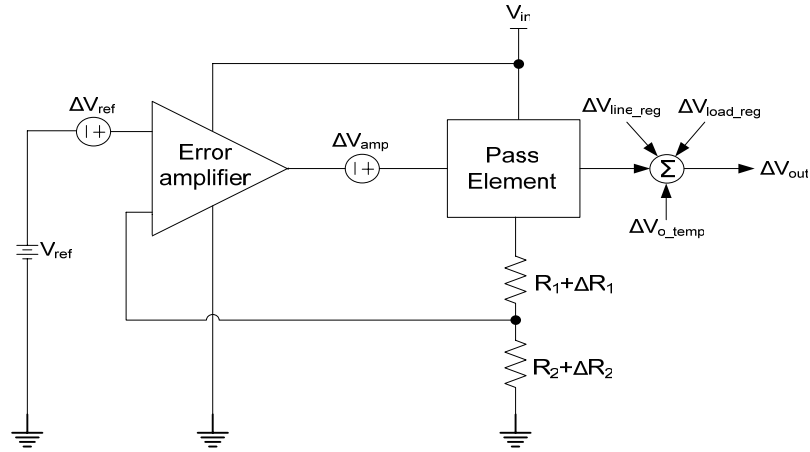


圖 2.13 各種誤差源造成輸出電壓不同

最後由圖 2.13，我們可以歸納出精確度的公式如下

$$Accuracy \approx \frac{\sum \Delta V_{o(system)} + \sqrt{\sum (\Delta V_{o(random)}^2)}}{V_{out}} \times 100\% \quad (2.26)$$

$$= \frac{|\Delta V_{load\_reg}| + |\Delta V_{line\_reg}| + \sqrt{\Delta V_{o,ref}^2 + \Delta V_{o,amp}^2 + \Delta V_{o,res}^2 + \Delta V_{o,temp}^2}}{V_{out}} \times 100\%$$

## 2.3 低壓降線性穩壓器電路設計的相關考量

根據 LDO Regulator 導通元件的種類，可以將 LDO Regulator 架構分類[8]。我們大致可以分成五個類型：NPN-Darlington、NPN、PNP、NMOS、PMOS。導通元件由功率電晶體組成，而不同架構的區別在於輸出電壓差與靜態電流。

以 NPN Darlington 架構當輸出級，NPN Darlington 前面接上 PNP buffer 比起單顆 BJT 功率電晶體而言，可以有較少的驅動電流和靜態電流，NPN Darlington 的輸出電壓差為：

$$V_{drop} = V_{ce(sat)} + 2V_{BE} \approx 1.6 \sim 2.5V \quad (2.27)$$

輸入輸出電壓差基本上至少需要 1.6V 才能正常工作，但以普通的 LDO Regulator 而言，至少都設計低於 0.5V，”輸出電壓差”很大為此架構之主要缺點。

以 PNP 架構當輸出級，是以 PNP 電晶體驅動 NPN 功率電晶體，比起單顆 BJT 功率電晶體而言，可以有較少的驅動電流和靜態電流，此架構早期廣泛的使用於 LDO Regulator，PNP 的輸出電壓差為：

$$V_{drop} = V_{ce(sat)} + V_{BE} \geq 0.9V \quad (2.28)$$

PNP 架構當輸出級是以單顆 PNP 功率電晶體完成，其基極電流直接正比於輸出電流和電流增益的大小。PNP LDO Regulator 的靜態電流大於 NPN LDO Regulator。PNP LDO Regulator 的優點是”輸出電壓差”很小：

$$V_{drop} = V_{ce(sat)} \approx 0.15 \sim 0.4V \quad (2.29)$$

以 NMOS 架構當輸出級，當 NMOS 功率電晶體前面沒有接 charge pump 時，閘極電壓比輸入電壓低，此架構的”輸出電壓差”較高：

$$V_{drop} = V_{ds(sat)} + V_{gs} \approx 0.9V$$

然而，一些 paper 提出利用 charge pump 電路去增加閘極的驅動電壓[7]，輸出電壓差沒有被  $V_{gs}$  所限制，在此方法下可達到低的輸出電壓差，但是我們仍需要考量可能會遇到雜訊的問題。

$$V_{drop} = V_{ds(sat)} \approx 0.2 \sim 0.4V \quad (2.30)$$

使用 NMOS 當導通元件的好處是 NMOS 接成源極隨耦器，由於它的輸出阻抗較低，當負載電流改變時，輸出極點僅會輕微的改變。因此，此架構的 LDO Regulator 有較寬的頻寬而且比較不會遭遇嚴重的穩定度問題。

另外一種架構是使用 PMOS 當輸出級，它的輸出電壓差是根據 PMOS 功率電晶體的導通電阻與輸出電流而定，優點是”輸出電壓差”較低，同時也有低的靜態電流。由於導通電阻隨輸出電流而改變，因此輸出極點也會跟著改變，穩定度的問題是我們需要去考量的。

$$V_{drop} = I_{Load} \times R_{on} \quad (2.31)$$

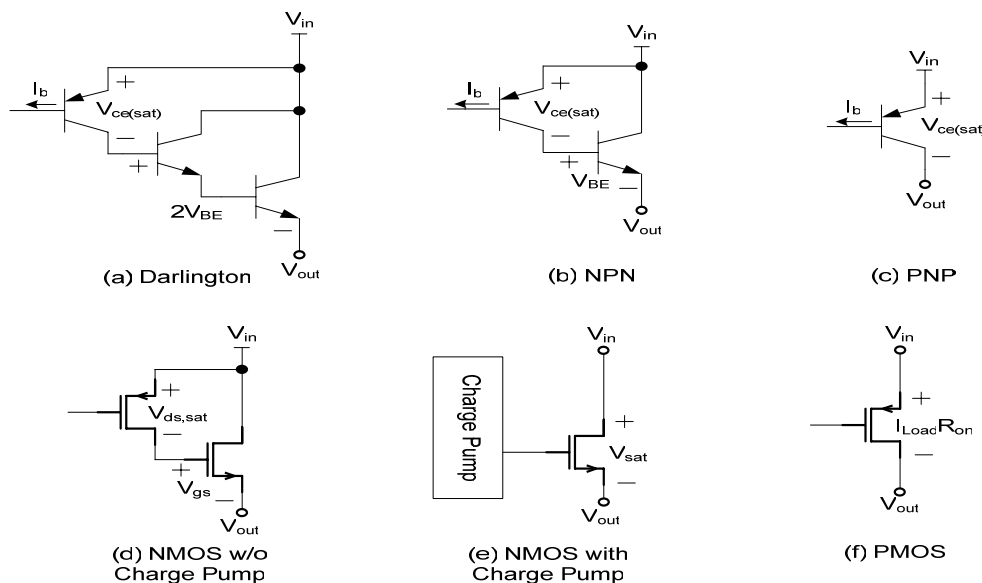


圖 2.14 各種型態的輸出級(導通元件)

表 2.1 各種導通元件的比較

Parameter	DARLINGTON	NPN	PNP	NMOS	PMOS
Output Current	Highest	High	High	Medium	Medium
Quiscent Current	Medium	Medium	Large	Low	Low
Dropout voltage	$V_{ce(sat)}+2V_{BE}$	$V_{ce(sat)}+V_{BE}$	$V_{ce(sat)}$	$V_{ds,sat}+V_{gs}$	$I_{Load}R_{on}$
Speed	Fast	Fast	Slow	Medium	Medium

## 2.4 傳統低壓降線性穩壓器的頻率響應及穩定度分析

傳統的 LDO Regulator 最基本的補償方法就是利用主極點補償法，將 LDO Regulator 輸出端外接一個較大的負載電容。主要的特性是主極點被推到非常低頻，而將其他的極零點都保持在單位增益頻率之外，如圖 2.15。所以最多只有九十度的相位移，電路具有足夠的穩定度。缺點是 LDO Regulator 需要外接較大的負載電容，電路會有較小的頻寬，暫態切換速度慢，安定時間也被拉長。值得注意的是，欲利用主極點補償法就必須在負載電流最大時(最糟的情況)去設計所需的負載電容大小值，才會不會遭遇不穩定的條件。

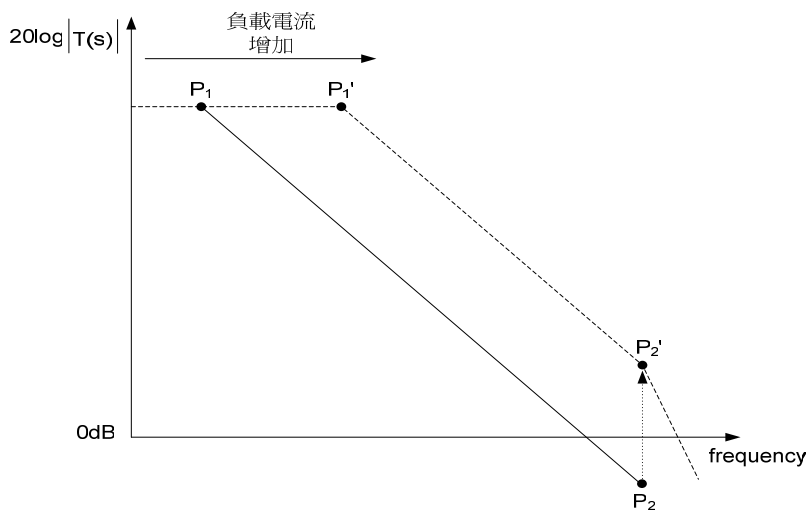


圖 2.15 大負載電容主極點補償法

傳統 LDO Regulator 另一種較常見的補償方式是利用負載電容的 ESR 產生零點作頻率補償[10]。為了去分析 LDO Regulator 的頻率響應及穩定度，必須將電路閉迴路切斷成開回路狀態，理想的斷開點是從輸入看進去為高阻抗節點，也就是誤差放大器的輸入端，如圖 2.16 所示。接下來畫出小訊號等效電路，如圖 2.17 所示。

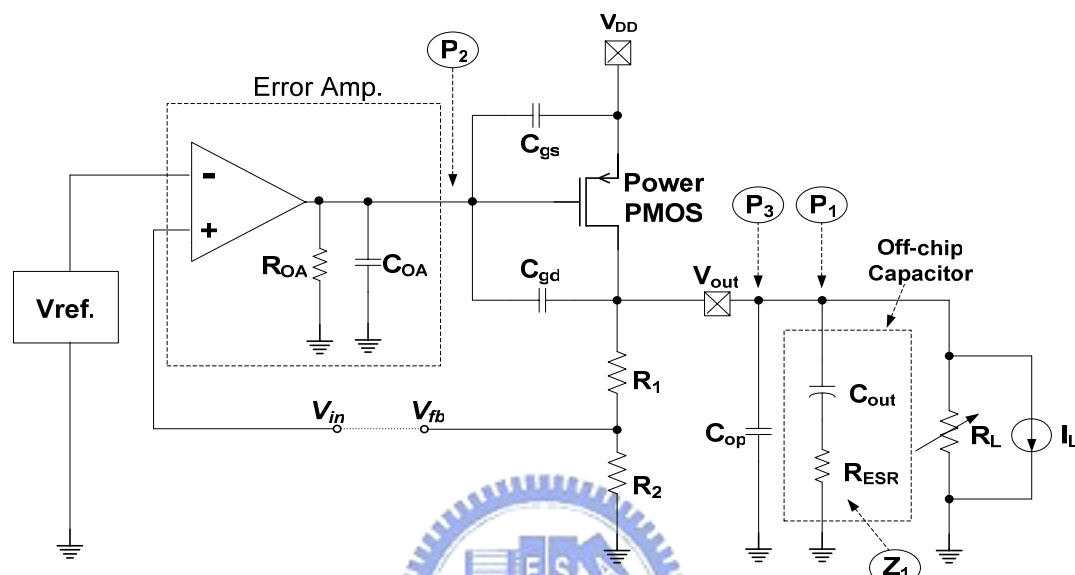


圖 2.16 典型 LDO Regulator AC 分析

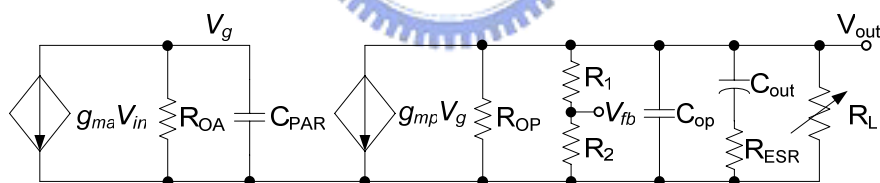


圖 2.17 典型 LDO Regulator 小訊號等效電路

從小訊號等效電路可導出開迴路增益轉移函數如下

$$H(s) = \frac{V_{fb}}{V_{in}} = g_{ma} \cdot \left( R_{OA} // \frac{1}{sC_{PAR}} \right) \cdot g_{mp} \cdot Z_{out} \cdot \frac{R_1}{R_1 + R_2} \quad (2.32)$$

其中  $g_{ma}$  是誤差放大器的轉導， $g_{mp}$  是導通元件或功率電晶體的轉導，而  $R_{OA}$  是誤差放大器的輸出阻抗， $C_{PAR}$  是誤差放大器輸出端的總寄生電容， $R_{OP}$  是導通元件或功率電晶體的導通電阻， $R_1$  和  $R_2$  是回授電阻， $C_{OP}$  是指旁路電容或是指 LDO Regulator 輸出端的寄生電容，而  $Z_{out}$  是從 LDO Regulator 輸出端看到的總輸出電阻。



$$Z_{out} = R_{OP} // (R_1 + R_2) // \frac{1}{sC_{OP}} // \left( \frac{1}{sC_{out}} + R_{ESR} \right) // R_L \quad (2.33)$$

當  $C_{out} \gg C_{OP}$  則  $Z_{out}$  可近似於

$$Z_{out} \approx \frac{R_{OP} \cdot (1 + sC_{out}R_{ESR})}{(1 + sC_{out}R_{OP}) \cdot (1 + sC_{OP}R_{ESR})} \quad (2.34)$$

我們假設  $R_{OP} \gg R_{ESR}$ ，可求出極點與零點之近似式

$$f_{p1} \approx \frac{1}{2\pi \cdot R_{OP}C_{out}} \approx \frac{\lambda I_{out}}{2\pi \cdot C_{out}} \quad (2.35)$$

$$f_{p2} \approx \frac{1}{2\pi \cdot R_{OA}C_{PAR}} \quad (2.36)$$

$$f_{p3} \approx \frac{1}{2\pi \cdot R_{ESR}C_{OP}} \quad (2.37)$$

$$f_{z1} \approx \frac{1}{2\pi \cdot R_{ESR}C_{out}} \quad (2.38)$$

畫出波德圖：

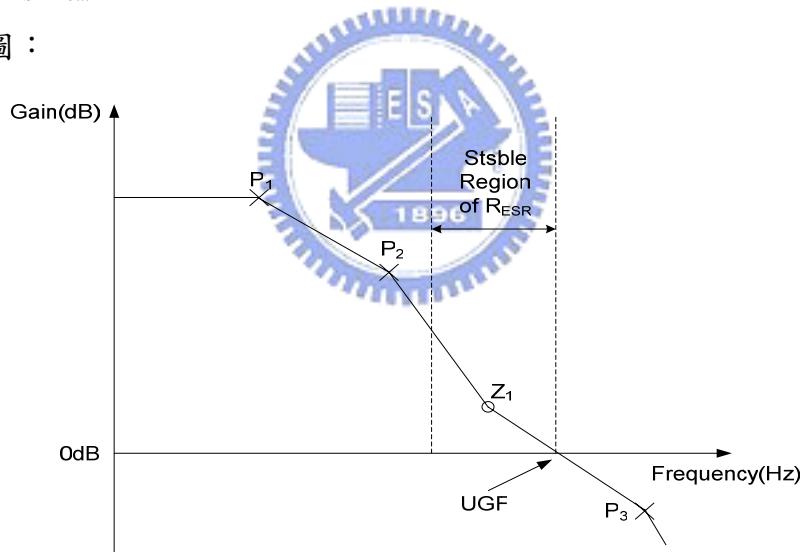


圖 2.18 典型 LDO Regulator 增益波德圖

從圖 2.18 可知，傳統的 LDO Regulator 是利用外部電容的等效串聯電阻所產生的左半平面零點  $Z_1$  來作極零點互消減少相位移，此零點只有一區段的穩定範圍，因此  $R_{ESR}$  的值受到限制。當  $R_{ESR}$  太大時， $Z_1$  和  $P_3$  值就會降低，位置往低頻移動，最後  $P_3$  位於單位增益頻率裡面，因此系統相位邊限就會不夠。另外，當  $R_{ESR}$  太小時， $Z_1$  和  $P_3$  值就會增加，位置往高頻移動，於是  $Z_1$  會超過單位增益頻率，因此系統相位安全邊限也會不夠。

## 2.5 文獻回顧

迄今，關於共源極低壓降線性穩壓器設計在不需負載電容時仍可以保持穩定之技術，已經有幾篇論文發表於IEEE期刊。共源極輸出級的穩壓器遭遇共通的問題點，追蹤補償輸出極點變化不容易或是在高負載阻抗時穩定度不夠。一個發表此類的期刊是由Ka Nang Leung所提出，他使用DFC類比電路去產生一個固定的內部主極點[13]，由 $C_{m1}$ 構成的主極點位於誤差放大器的輸出端，電路架構示於圖2.19。

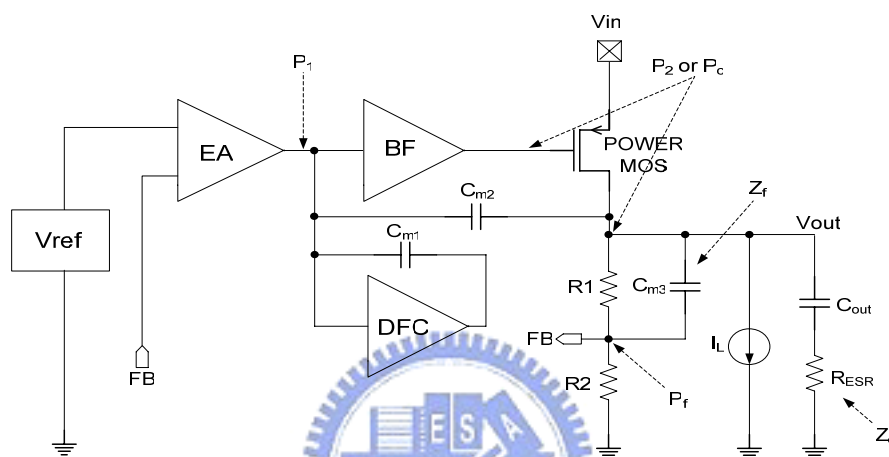


圖 2.19 參考文獻[13]所提出的補償架構圖

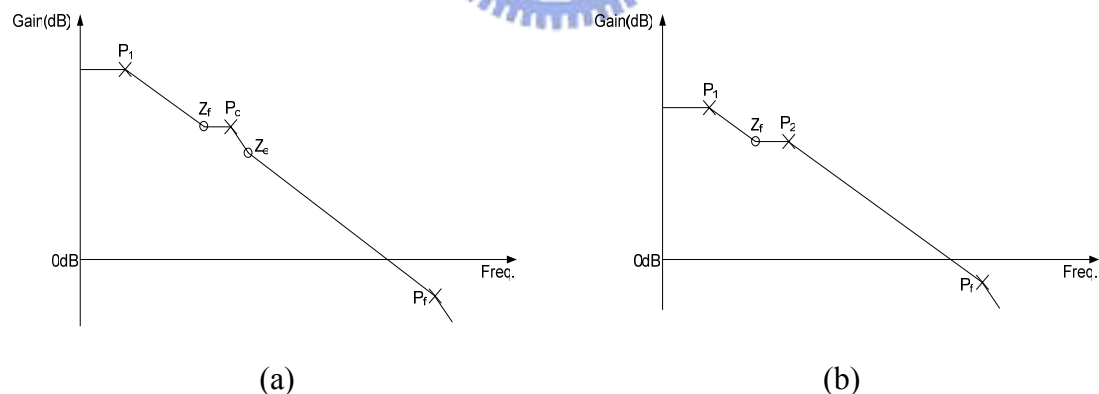


圖 2.20 迴路增益 (a)當  $C_{out} \neq 0$  而  $I_L = 0$  (b)當  $C_{out} \neq 0$  而  $I_L \neq 0$

圖 2.20(a)是穩壓器的輸出端有接負載電容而且負載電流等於零的情況，是利用零點 $Z_f$ 與 $Z_e$ 去抵銷 $P_c$ (複數極點)。回授電阻與 $C_{m3}$ 所形成的極點 $P_f$ 設計在高於單位增益頻率。圖 2.20(b)是穩壓器的輸出端有接負載電容而且負載電流不等於零的情況，當負載電流增加時，複數極點會變成一個新的極點 $P_2$ ，此時是

利用零點  $Z_f$  去與  $P_2$  抵銷，高頻極點仍位於單位增益頻率之外。

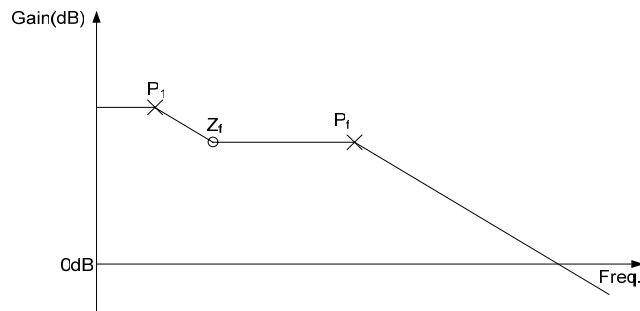


圖 2.21 迴路增益，當  $C_{out} = 0$  而  $I_L \neq 0$ 。

圖 2.21 是穩壓器的輸出端沒有接負載電容而且負載電流不為零的情況，在迴路頻寬內有兩個極點一個零點，主要是利用零點  $Z_f$  來作補償。其他的高頻極點都位於單位增益頻率之外。此架構遭遇兩個問題：第一， $P_f$  和  $Z_f$  都是由  $C_{m3}$  和回授電阻所組成， $P_f$  和  $Z_f$  的位置受限於回授電阻的選擇，大大地減少補償的效果。第二，零點是固定的但是輸出極點是隨負載而變動。沒有負載電流時，電路會不穩定，此電路架構的負載電流須大於  $1\text{ mA} \sim 10\text{ mA}$ ，以維持電路之穩定度。

另一篇期刊是由 Peter Hazucha 所提出[14]。在很多可攜式電子產品的應用上，穩壓器需要設計具有很小的靜態電流，例如小於 1% 的負載電流。問題是低靜態電流相對的會使暫態響應變慢。作者的目標是將低壓降線性穩壓器與耦合電容整合在多電壓位準之微處理器晶片上，因此需要更快入的負載暫態。作者利用 90 nm 邏輯製程去完成小面積的 MOS 電容，雖然  $1\text{ nF}$  薄閘極氧化電容會有 mA 等級的漏電，但是微處理器更在意的是：在沒有外部負載電容的情況下，穩壓器具有非常快速的暫態響應。而且，mA 等級的漏電是微處理器可接受的範圍。最後量測的結果是在  $100\text{ mA}$  的負載切換下，輸出電壓僅變換  $90\text{ mV}$ ，而快速暫態時間為  $0.54\text{ ns}$ 。

# Chapter 3

## 具有高穩定度與高精確度之低壓降線性穩壓器

### 3.1 提出新的低壓降線性穩壓器之補償技術

#### 3.1.1 電路架構

我們設計增強型主動回授(Enhanced Active Feedback, 簡稱 EAF)頻率補償架構在低壓降線性穩壓器上, 如圖 3.1。

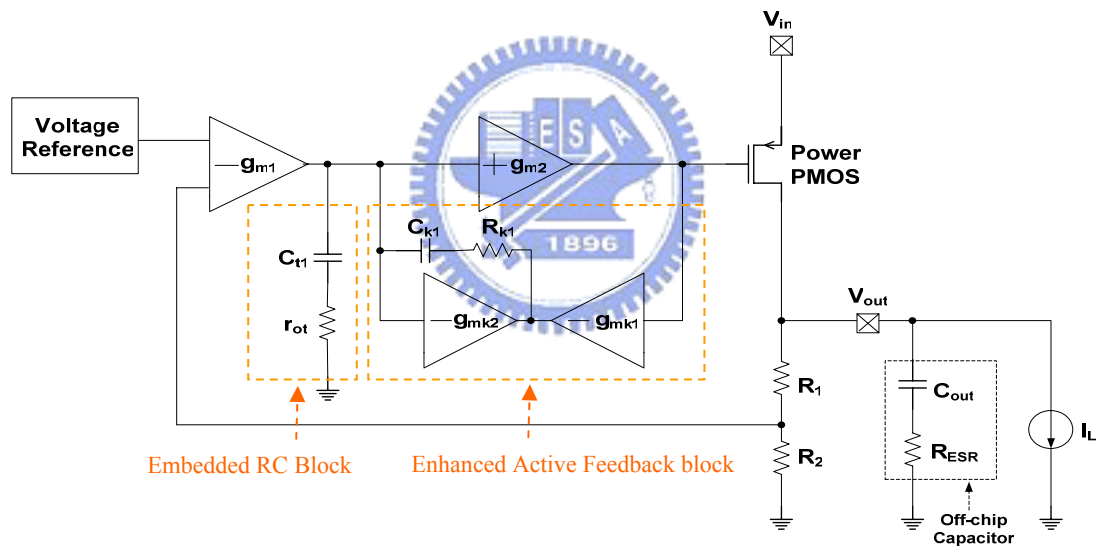


圖 3.1 具有寬穩定度之低壓降線性穩壓器

整個穩壓器架構可以看成三個增益級放大器去驅動一個大的電容性負載。第一級設計成一個高增益誤差放大器, 使用摺疊疊接(folded cascode)組態, 增強輸出阻抗以得到更高的增益, 也具有較大的輸入訊號動態範圍 (input common-mode range, 簡稱 ICMR)。第一級提供大約 60dB 的增益, 第二級提供高訊號擺幅的增益級約 25dB, 第三級也就是輸出級, 由功率電晶體 PMOS 的轉導與輸出電阻所構成, 輸出級的增益量與  $\sqrt{I_L}$  成反比。所設計的增益分配為

$A_{V1} > A_{V2} > A_{PO}$ ，這樣有一個優點，可以避免雜訊順向逐級地被放大。第一級為負的  $g_m$ ，第二級為正的  $g_m$ ，輸出級為負的  $g_m$ ，電阻回授網路回授訊號到誤差放大器的  $V_{in(-)}$  端，整個系統是負回授組態。

頻率補償電路包含兩個部份：增強型主動回授區塊和內嵌式 RC 區塊。增強型主動回授電路將補償電容  $C_{k1}$  多乘上兩級增益因子，使得主極點移至更低頻與第二個極點保持足夠的距離，同時也產生一個左半平面零點在中頻處做極零點互消之補償。另外，當穩壓器輸出端沒有接負載電容而且為輕載、頻寬很大時，內嵌式 RC 電路主要作用於高頻處產生極零點對減少相位移。整個電路的兩個補償電容相加只需要 6 pF，方便整合入穩壓器晶片中，也可以減少對迴轉率及暫態響應造成之影響。詳細電路如圖 3.2 所示。

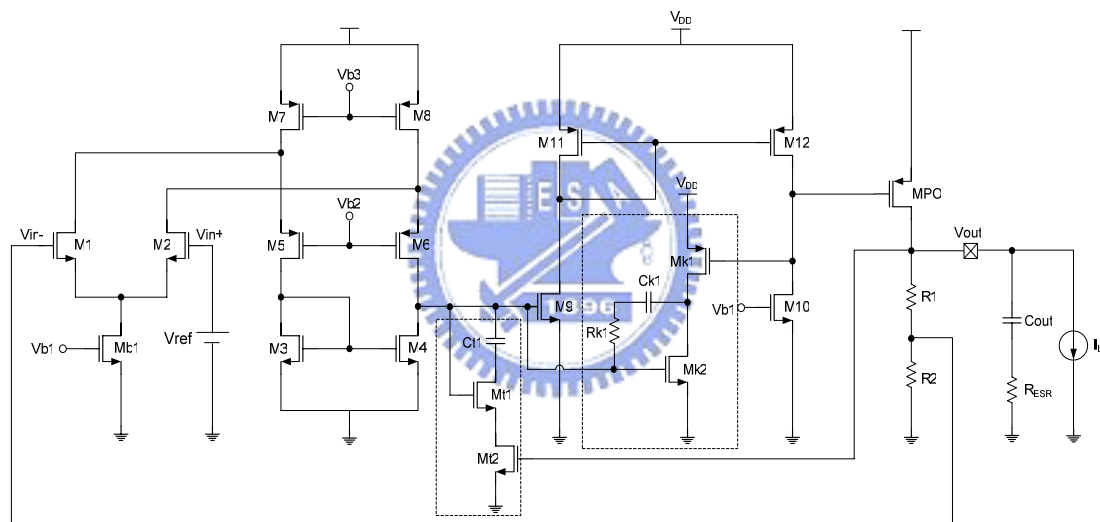


圖 3.2 所提出的低壓降線性穩壓器完整電路圖

### 3.1.2 頻率響應與小訊號分析

穩壓器使用負回授迴路去保持輸出電壓的固定。相位移沿著迴路路徑而有所不同，而相位移的量即決定迴路的穩定性。接下來針對所提出的穩壓器來分析迴路穩定度，於是我們開始小訊號模型之探討。畫出小訊號等效電路後，經由假設與簡化近似，可以推導出迴路轉移函數，從轉移函數、極零點位置和波德圖中去得到迴路頻寬、穩定度法則和設計的考量點。圖 3.3 是穩壓器的小訊號等效電路。

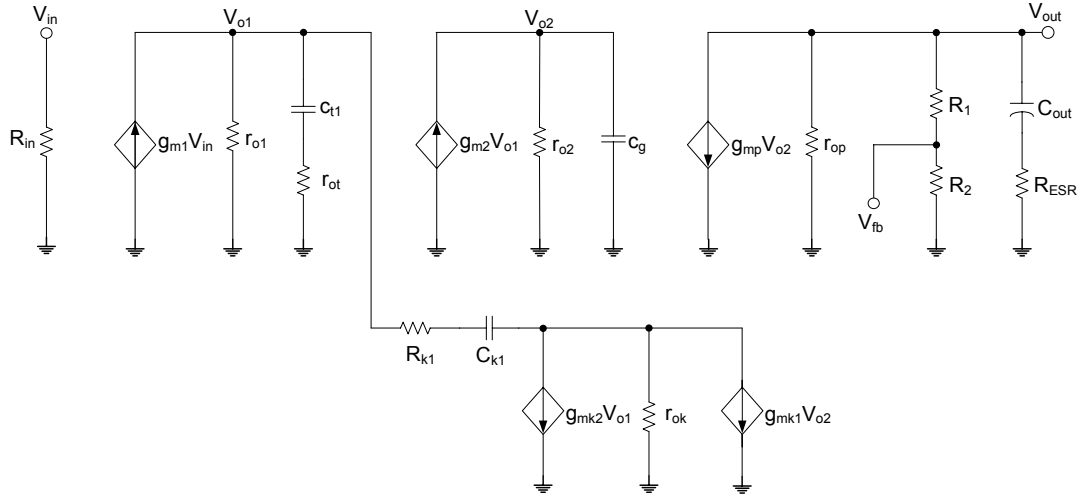


圖 3.3 所提出的低壓降線性穩壓器小訊號等效電路

小訊號等效電路中的  $g_{m1}$ 、 $g_{m2}$  和  $g_{mp}$  分別代表第一級轉導、第二級轉導和輸出級轉導。 $r_{o1}$ 、 $r_{o2}$  和  $r_{op}$  分別代表第一級輸出電阻、第二級輸出電阻和 Power PMOS 的導通電阻。 $C_g$  是由 Power PMOS 的閘極端與第二級輸出端所貢獻的總寄生電容。 $g_{mk1}$  和  $g_{mk2}$  是增強型主動回授補償電路中電晶體  $M_{k1}$  和  $M_{k2}$  的轉導。 $r_{ok}$  是由  $M_{k1}$  和  $M_{k2}$  汲端看入的小訊號等效電阻。 $C_{t1}$ 、 $C_{k1}$  和  $R_{k1}$  是補償電阻電容。 $r_{ot}$  是由  $M_{t1}$  與  $M_{t2}$  所組成的小訊號等效電阻。

推導轉移函數之前，為了簡化繁雜的推導公式，在不影響精確下，我們必須假設一些條件以求得轉移函數，條件假設如下：

- 1) 每一級的增益都大於一，即  $g_{mi}R_{oi} \gg 1$ 。
- 2) 負載電容與補償電容遠大於每一級輸出端的寄生電容 (除了  $C_g$  以外，因為 Power PMOS 是設計成非常大尺寸的電晶體，所以閘極端的寄生電容值為 pF 等級，不可忽略)。
- 3) 忽略級與級之間的耦合電容。

A. 當穩壓器輸出端有接負載電容時：

經由小訊號等效電路推導出來的轉移函數如下式，

$$A_{V(cap)}(s) \approx \frac{A_{DC} [1 + sC_{k1}(R_{k1} + r_{ok})] (1 + sC_{out}R_{ESR})}{\left(1 + \frac{s}{P_{-3dB}}\right) [1 + sC_{out}(r_{op} + R_{ESR})]} \quad (3.1)$$

$$A_{DC} = g_{m1}r_{o1}g_{m2}r_{o2}g_{mp}r_{op} \left( \frac{R_2}{R_1 + R_2} \right) \quad (3.2)$$

$$P_{-3dB} = P_1 = \frac{I}{C_{k1}g_{mk1}g_{m2}r_{ok}r_{o1}r_{o2}} \quad (3.3)$$

$$P_2 = \frac{I}{C_{out}(r_{op} + R_{ESR})} \quad (3.4)$$

$$GBW = \frac{g_{m1}g_{mp}r_{op}}{C_{k1}g_{mk1}r_{ok}} \left( \frac{R_2}{R_1 + R_2} \right) \quad (3.5)$$

觀察轉移函數我們可以得到主要的極點、零點位置與增益頻寬之關係，再畫出開迴路增益波德圖，如圖 3.4 所示。

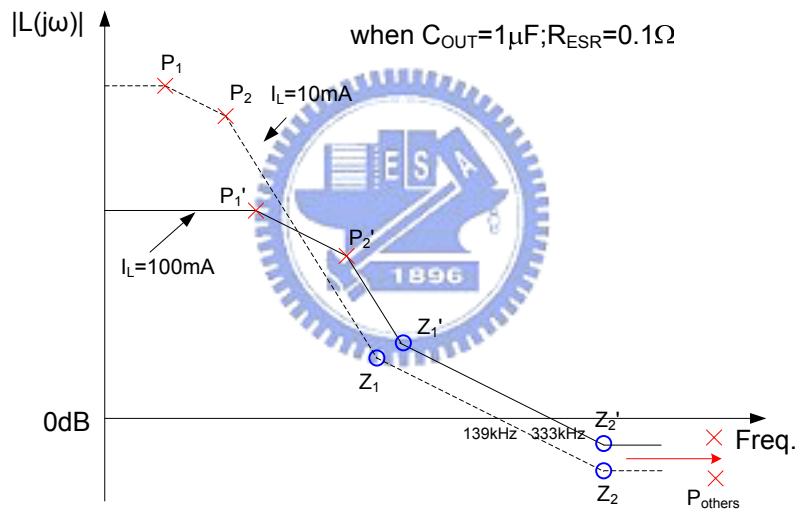


圖 3.4 所提出的穩壓器迴路增益，當  $C_{out} \neq 0$ 。

在單位增益頻率內有兩個極點，其他高頻極點大於三倍的迴路頻寬，與傳統的穩壓器不同之處為主極點已不再是由負載電容( $C_{out}$ )所控制，反而是由補償電容( $C_{k1}$ )所控制，負載電容( $C_{out}$ )構成第二個極點仍位於單位增益頻率之內。當等效串聯電阻( $R_{ESR}$ )很小時， $R_{ESR}$ 所產生的零點  $Z_2$  會超過單位增益頻率。即使如此，電路仍然還有一個由  $C_{k1}$  所形成之零點( $Z_1$ )來做補償，系統仍然是穩定的。另一種情況是當  $R_{ESR}$  比較較大時， $Z_2$  會落在單位增益頻率之內，相位安全邊限會更多，穩定度會更好。

B. 當穩壓器輸出端沒有接負載電容時：

經由小訊號等效電路推導出來的轉移函數如下式，

$$A_{V(\text{capfree})}(s) \approx \frac{A_{DC} \left[ I + sC_{kl} (R_{kl} + r_{ok}) \right]}{\left( I + \frac{s}{P_{-3dB}} \right) (I + sC_g r_{o2})} \times \left\{ I + s \left[ \frac{(C_{tl} C_g r_{ot} r_{o2} / C_{kl}) + C_{tl} r_{ot} C_{kl} + C_{tl} r_{ot} C_{ok}}{R_{kl} + r_{ok}} \right] \right\} (I + sC_{tl} r_{ot}) \quad (3.6)$$

$$\frac{\left[ I + s(C_{kl} R_{kl} + C_{tl} r_{ot}) \right] \left[ I + s \left( \frac{C_{kl} C_{tl} R_{kl} r_{ot}}{C_{kl} R_{kl} + C_{tl} r_{ot}} \right) \right]}{\left[ I + s(C_{kl} R_{kl} + C_{tl} r_{ot}) \right] \left[ I + s \left( \frac{C_{kl} C_{tl} R_{kl} r_{ot}}{C_{kl} R_{kl} + C_{tl} r_{ot}} \right) \right]}$$

$$A_{DC} = g_{m1} r_{o1} g_{m2} r_{o2} g_{mp} r_{op} \left( \frac{R_2}{R_1 + R_2} \right) \quad (3.7)$$

$$P_{-3dB} = \frac{I}{C_{kl} g_{mk1} g_{m2} r_{ok} r_{o1} r_{o2}} \quad (3.8)$$

$$GBW = \frac{g_{m1} g_{mp} r_{op}}{C_{kl} g_{mk1} r_{ok}} \left( \frac{R_2}{R_1 + R_2} \right) \quad (3.9)$$

$$PM = 180^\circ - \tan^{-1} \left( \frac{GBW}{p_1} \right) - \tan^{-1} \left( \frac{GBW}{p_2} \right) - \tan^{-1} \left( \frac{GBW}{p_3} \right) - \tan^{-1} \left( \frac{GBW}{p_4} \right) + \tan^{-1} \left( \frac{GBW}{z_1} \right) + \tan^{-1} \left( \frac{GBW}{z_2} \right) + \tan^{-1} \left( \frac{GBW}{z_3} \right) \quad (3.10)$$

觀察轉移函數我們可以得到主要的極點、零點位置與增益頻寬之關係，再畫出開迴路增益圖，如圖 3.5 所示。

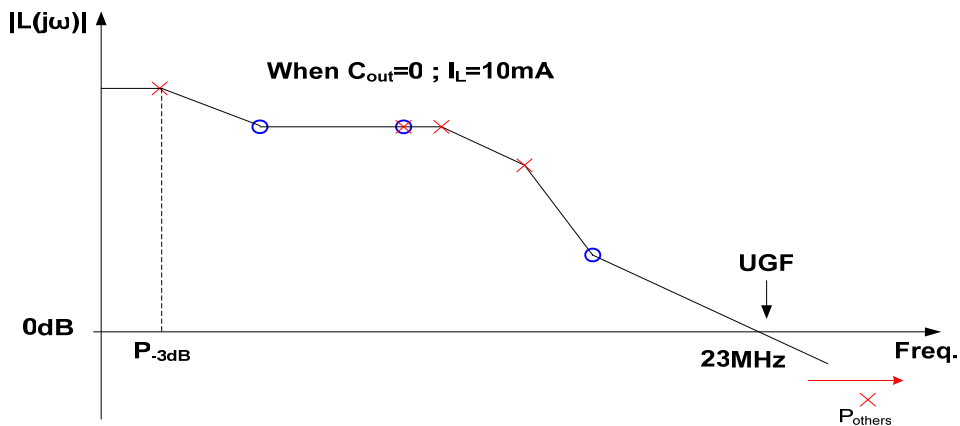


圖 3.5 所提出的穩壓器迴路增益，當  $C_{out} = 0$  而  $I_L = 10 \text{ mA}$ 。



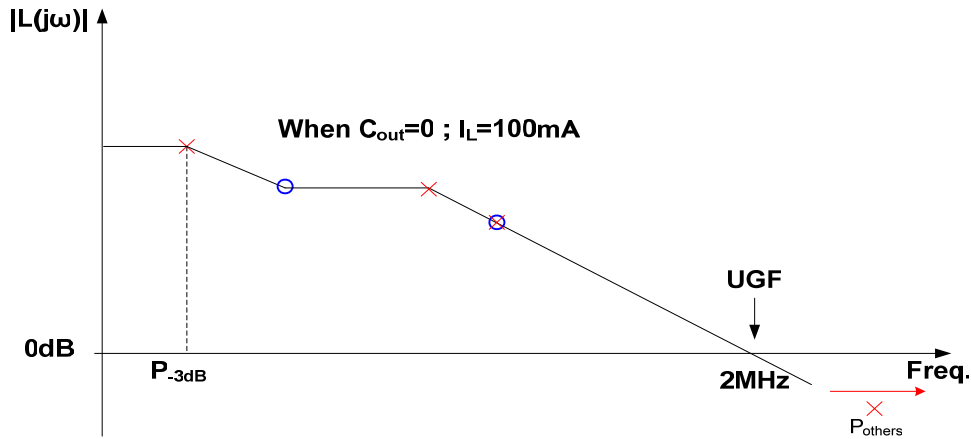


圖 3.6 所提出的穩壓器迴路增益，當  $C_{out} = 0$  而  $I_L = 100 \text{ mA}$ 。

沒有負載電容( $C_{out}$ )所產生的低頻極點時，迴路頻寬會變大。於是我們設計負載電流較小時(輕載)，迴路頻寬內有四個極點和三個左半平面的零點，其他更高頻極點大於三倍的單位增益頻率。另一種情況是，當負載電流較大時(重載)，迴路頻寬內有三個極點和兩個左半平面的零點，其他更高頻極點大於十倍的單位增益頻率。因此，所提出的穩壓器在沒有外接負載電容下，可以維持好的穩定度。設計更高的相位安全邊限可以避免穩壓器在電源啟動或是暫態切換時，所造成不穩定震盪的現象。

### 3.1.3 模擬迴路增益的方法

一個回授電路的穩定度，通常取決於它的增益大小和相位安全邊限[15]。而這可以從開迴路轉移函數和波德圖所得到。我們使用 HSPICE simulator 來模擬迴路增益，連接方式如圖 3.7 所示。大電感用來提供直流回路路徑，阻絕交流訊號，提供誤差放大器輸入端的直流運算點可以讓穩壓器維持正常的閉迴路組態。大電容用來耦合交流測試訊號至誤差放大器的輸入端，它不會影響直流操作。設計電感與電容值要非常大，例如  $L \geq 10^9 \text{ H}$ 、 $C \geq 10^9 \text{ F}$ ，它允許 AC 測量時降至非常低頻。

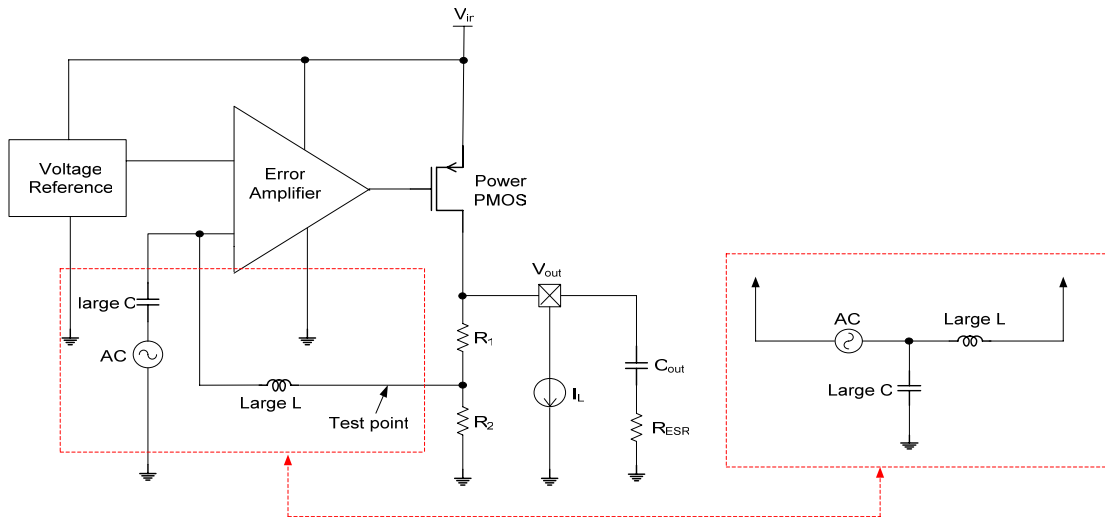


圖 3.7 模擬迴路增益的連接方式

### 3.1.4 穩壓器內部雜訊分析

一個好的低壓降線性穩壓器通常也需要具備有好的電源拒斥比和低的雜訊。接下來，我們分析誤差放大器輸入級-摺疊疊接組態的內部雜訊，如圖 3.8。可推導出下(3.11)(3.12)式：

$$V_{ni}^2 \approx \frac{V_{no}^2}{G_m R_o} \approx 2V_{n1}^2 + 2V_{n3}^2 \left( \frac{g_{m3}}{g_{m1}g_{m5}} \right)^2 \quad (3.11)$$

$$V_{no}^2 = 2(G_m R_o)^2 V_{n1}^2 + 2(g_{m3} R_o)^2 V_{n3}^2 \quad (3.12)$$

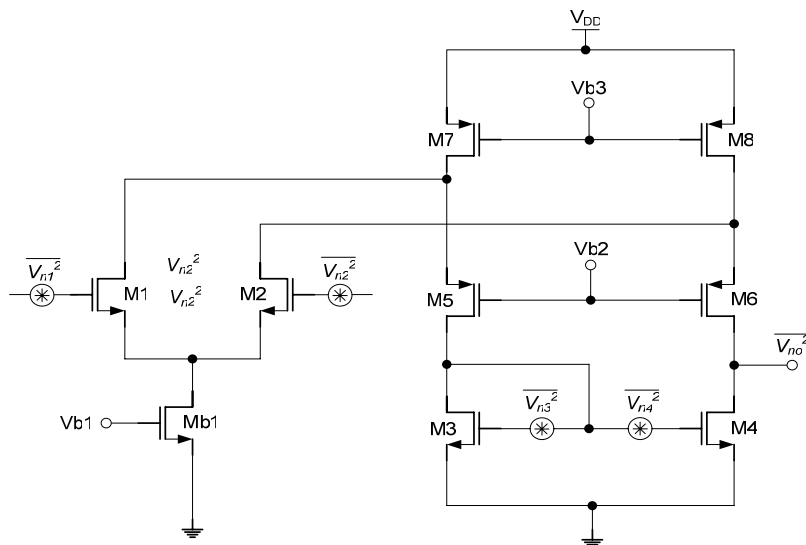


圖 3.8 誤差放大器與電晶體雜訊示意圖

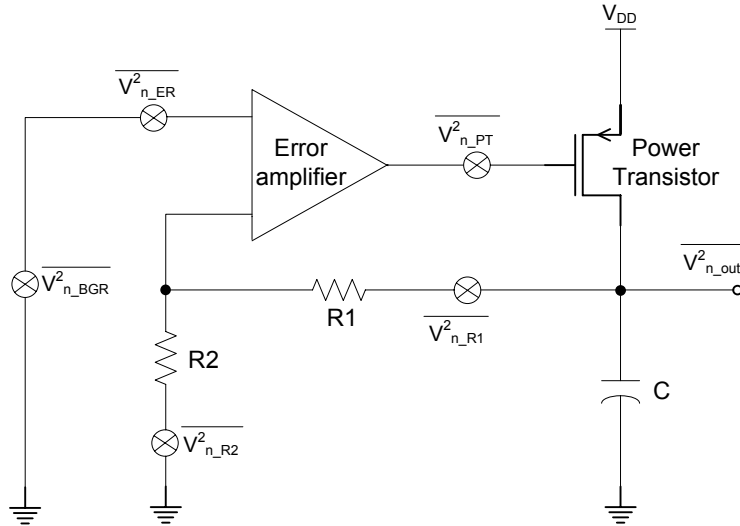


圖 3.9 穩壓器的雜訊來源

接下來我們分析穩壓器內部整體總雜訊，不同的雜訊來源如圖 3.9 所示。 $V_{n\_BGR}^2$  是能帶差參考電壓源的雜訊， $V_{n\_ER}^2$  是誤差放大器本身的輸入雜訊， $V_{n\_PT}^2$  是功率電晶體的雜訊， $V_{n\_R1}^2$  與  $V_{n\_R2}^2$  是回授電阻  $R_1$  與  $R_2$  的等效雜訊。

最後推導出頻段於  $f_1 \sim f_2$  的整體輸出雜訊於(3.15)式：

$$V_{n1}^2 = V_{n\_R1}^2 + \left(\frac{R_1}{R_2}\right)^2 V_{n\_R2}^2 \quad (3.13)$$

$$V_{n2}^2 = \left(\frac{I}{\beta} V_{n\_ER}\right)^2 + \left(\frac{I}{\beta} V_{n\_BGR}\right)^2 + \left(\frac{I}{\beta} \frac{V_{n\_PT}}{A_{ER}}\right)^2 \quad (3.14)$$

$$V_{n\_out}^2 = \int_{f1}^{f2} (V_{n1}^2 + V_{n2}^2) df$$

$$= \int_{f1}^{f2} \left( V_{n\_R1}^2 + \left(\frac{R_1}{R_2}\right)^2 V_{n\_R2}^2 + \left(\frac{I}{\beta} V_{n\_ER}\right)^2 + \left(\frac{I}{\beta} V_{n\_BGR}\right)^2 + \left(\frac{I}{\beta} \frac{V_{n\_PT}}{A_{ER}}\right)^2 \right) df \quad (3.15)$$

其中， $\frac{V_{out}}{V_{BG}} = \frac{I}{\beta}$

有幾個方法可以減少整體輸出雜訊：方法一，將誤差放大器的輸入差動對電晶體設計較大的尺寸，可以使閃爍雜訊(flicker noise)最小化。方法二，增加輸入偏壓電流，可以使通道雜訊最小化。方法三，設計時降低  $R_1$  與  $R_2$  的值，但缺點是會消耗較多靜態電流。方法四，降低轉導值，但缺點是增益也會被減少。

## 3.2 模擬結果

### a) Dropout region

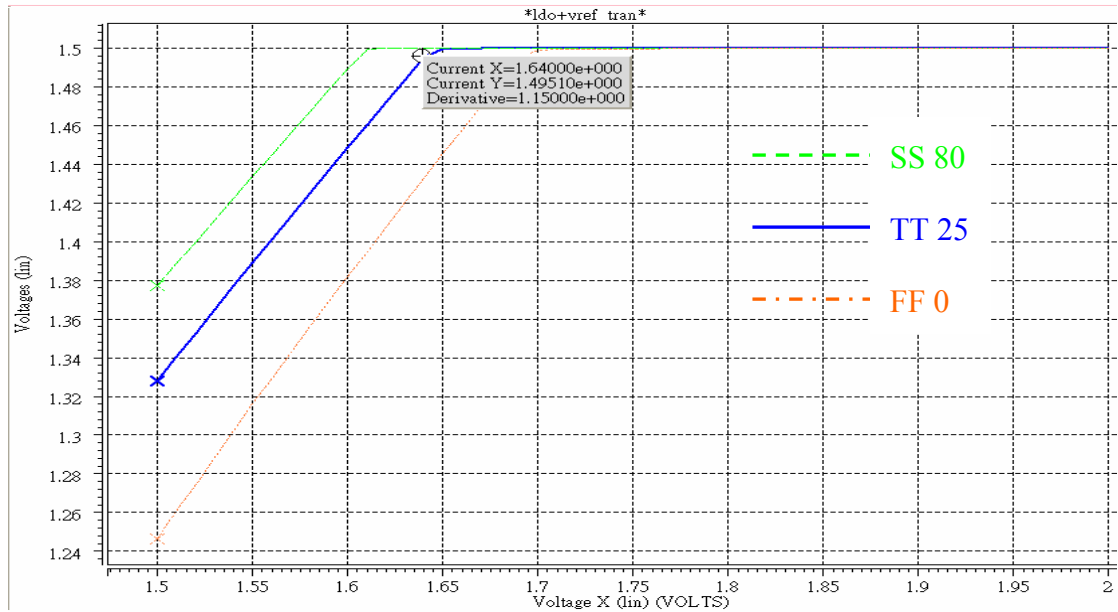


圖 3.10 在不同的 Process corners 情況下的 Dropout voltage

### b) Loop gain & Phase

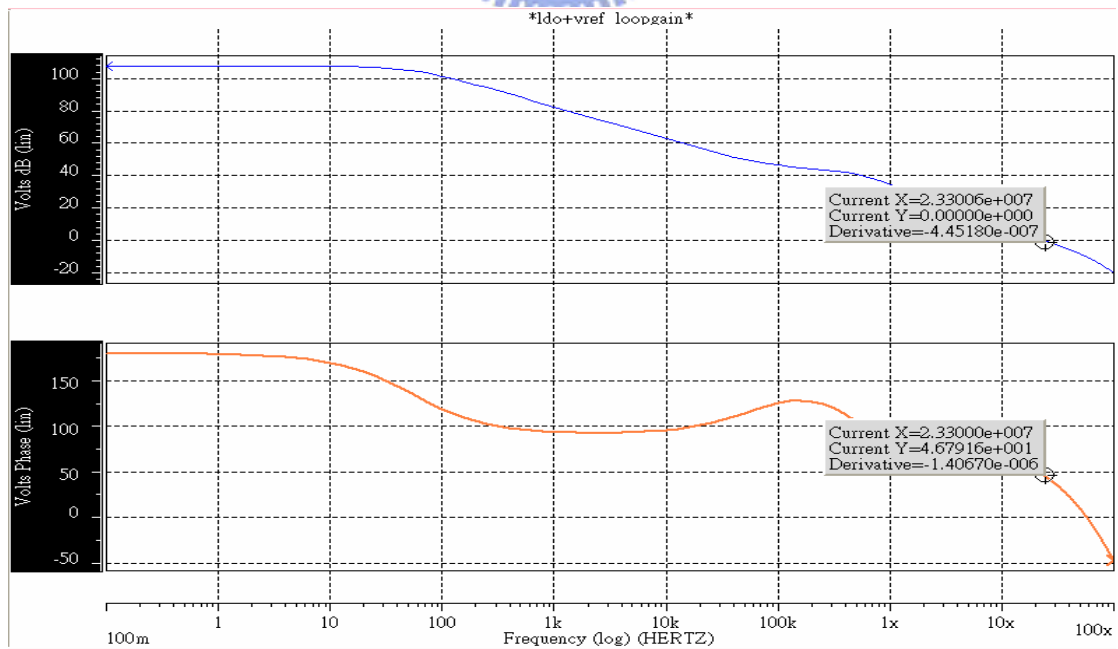


圖 3.11 穩壓器晶片外部沒有接負載電容且  $I_L(I_{out}) = 10 \text{ mA}$  時的頻率響應

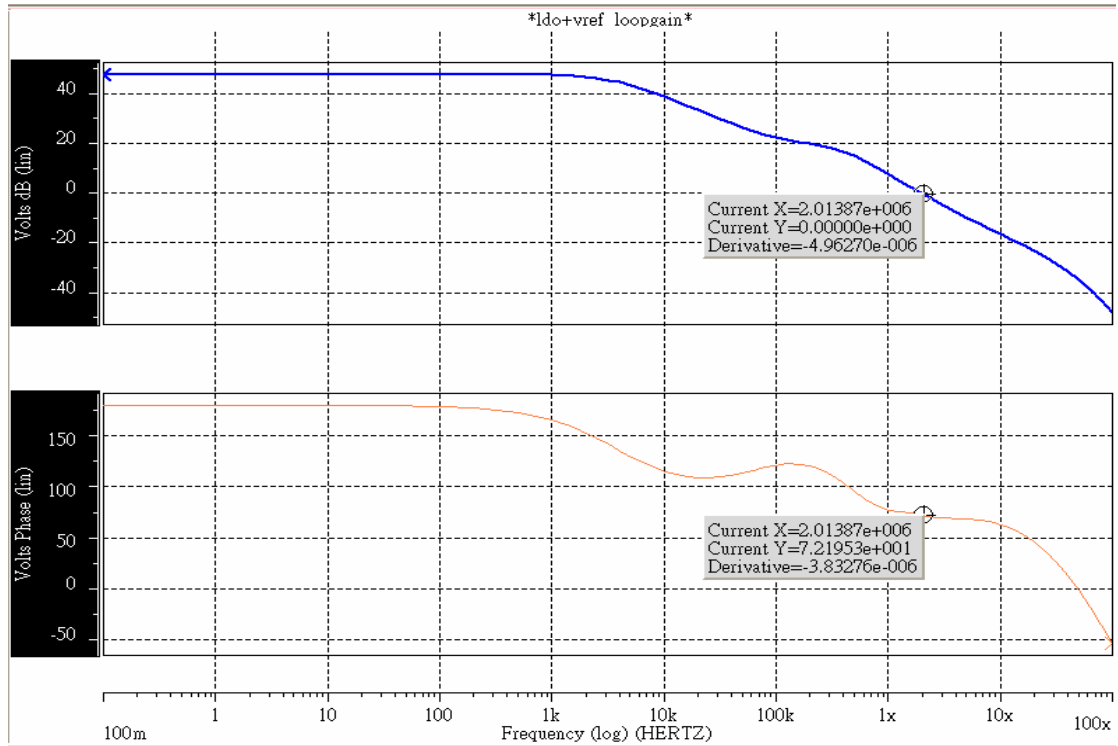


圖 3.12 穩壓器晶片外部沒有接負載電容且  $I_L(I_{out}) = 100 \text{ mA}$  時的頻率響應

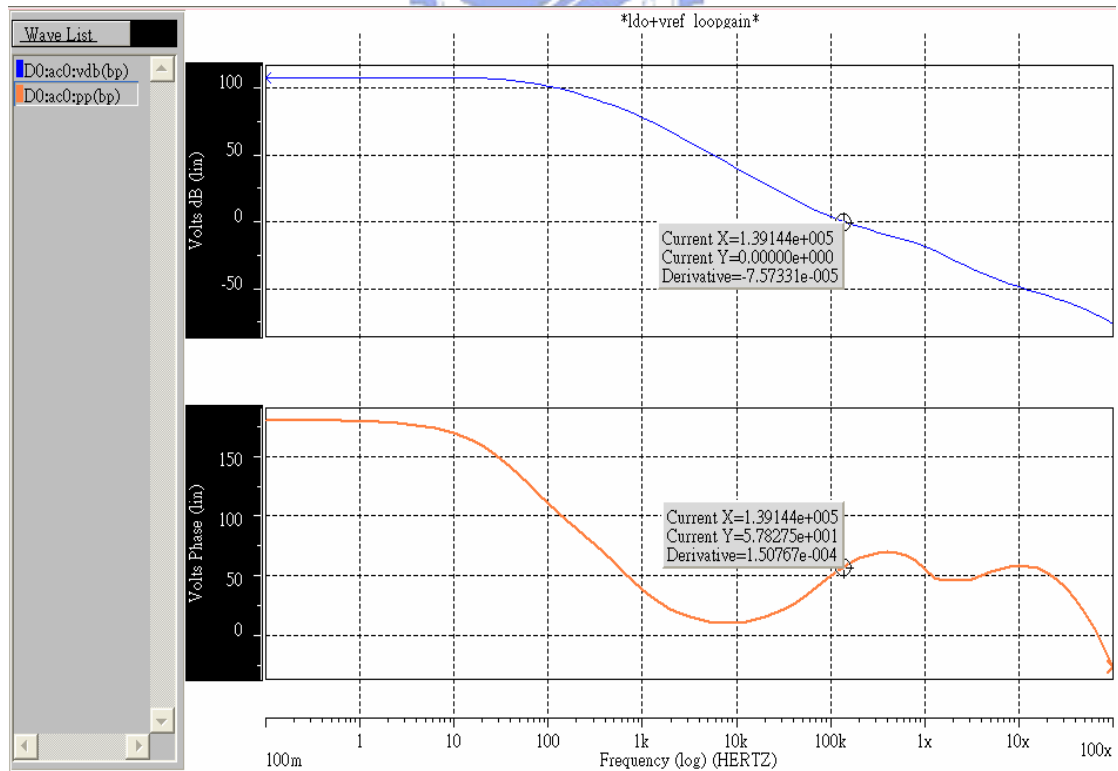


圖 3.13 穩壓器晶片外部有接負載電容( $C_{out} = 1 \mu\text{F}$  ;  $R_{ESR} = 0.1 \Omega$ )且

$I_L(I_{out}) = 10 \text{ mA}$  時的頻率響應

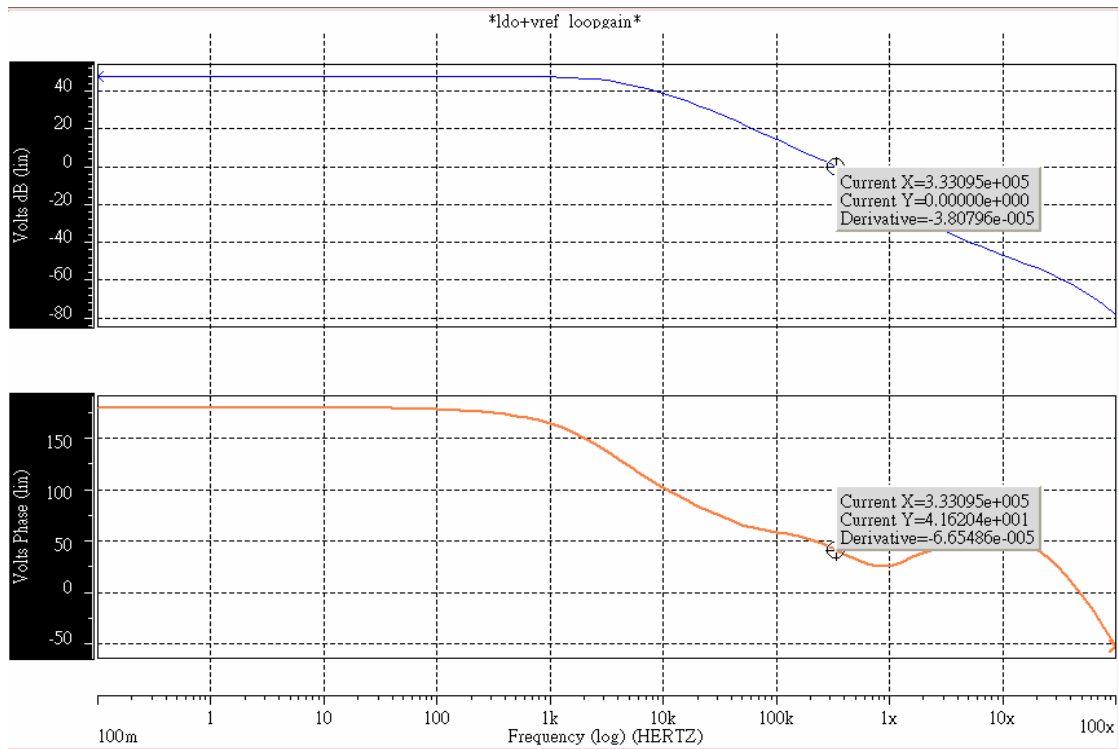


圖 3.14 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$  ;  $R_{ESR} = 0.1\Omega$ )且

$I_L(I_{out}) = 100\text{ mA}$  時的頻率響應

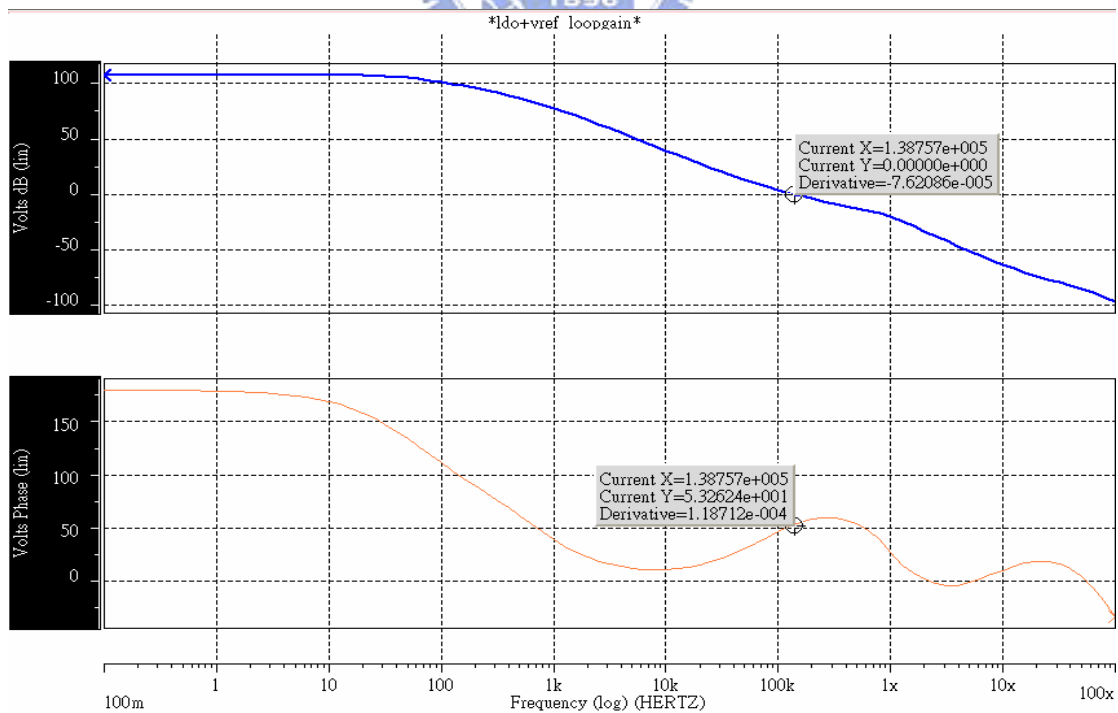


圖 3.15 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$  ;  $R_{ESR} = 0.01\Omega$ )且

$I_L(I_{out}) = 10\text{ mA}$  時的頻率響應

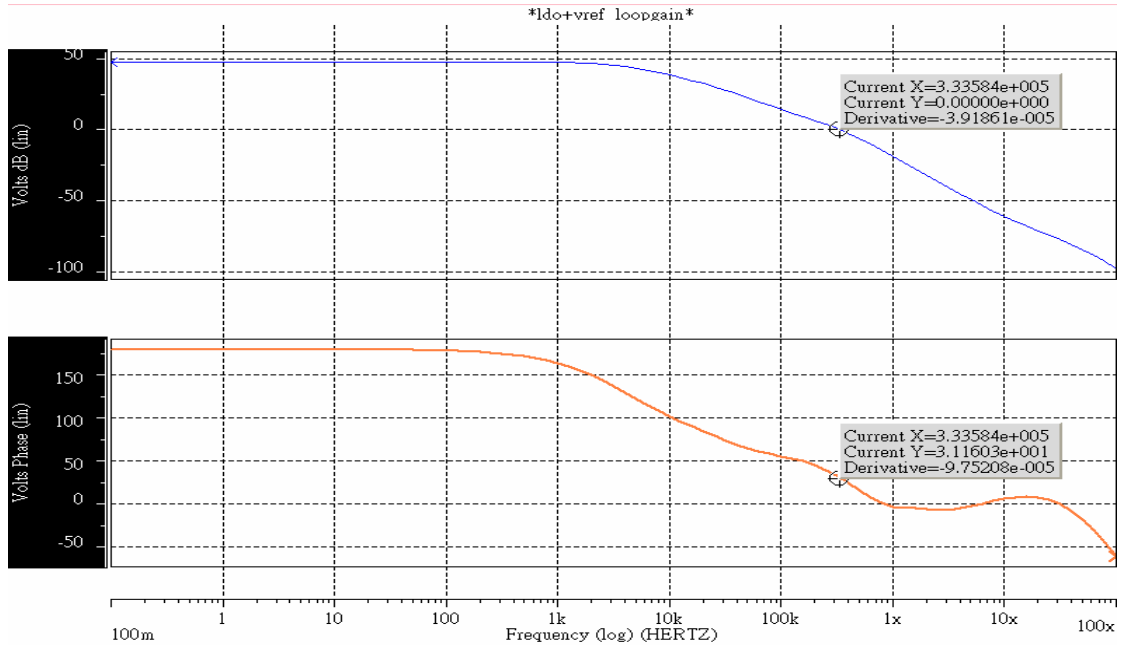


圖 3.16 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ;  $R_{ESR} = 0.01\Omega$ )且  $I_L(I_{out}) = 100\text{ mA}$  時的頻率響應

c) Load transient responses

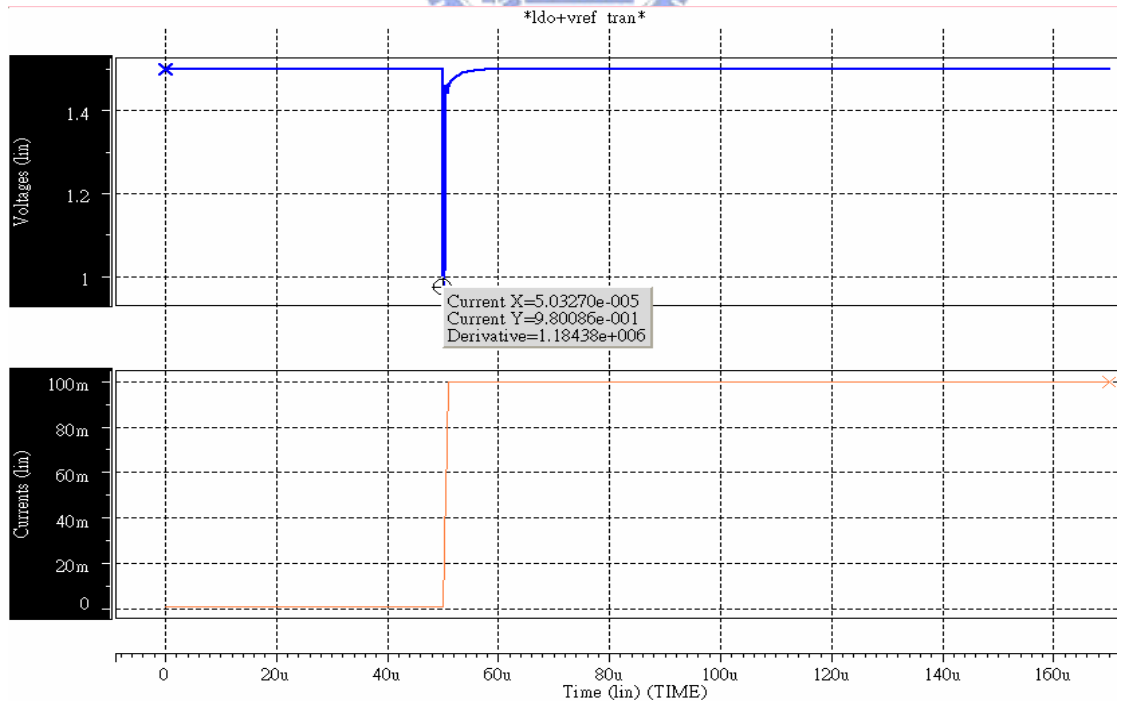


圖 3.17 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。

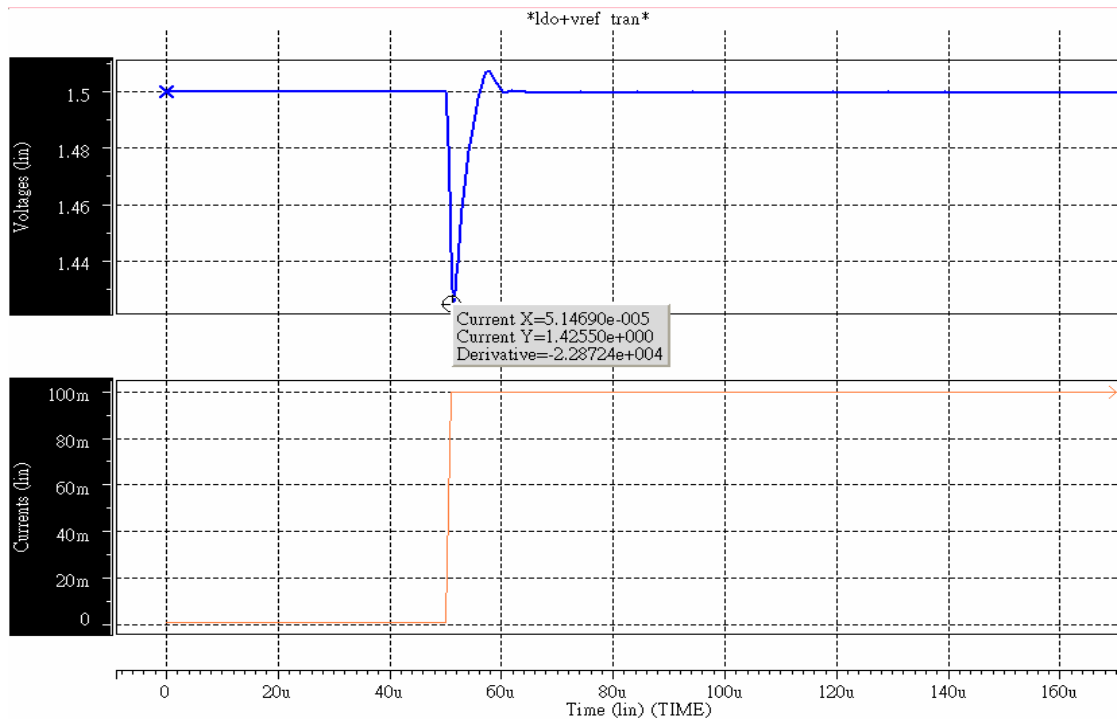


圖 3.18 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ;  $R_{ESR} = 0.1\Omega$ )時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。

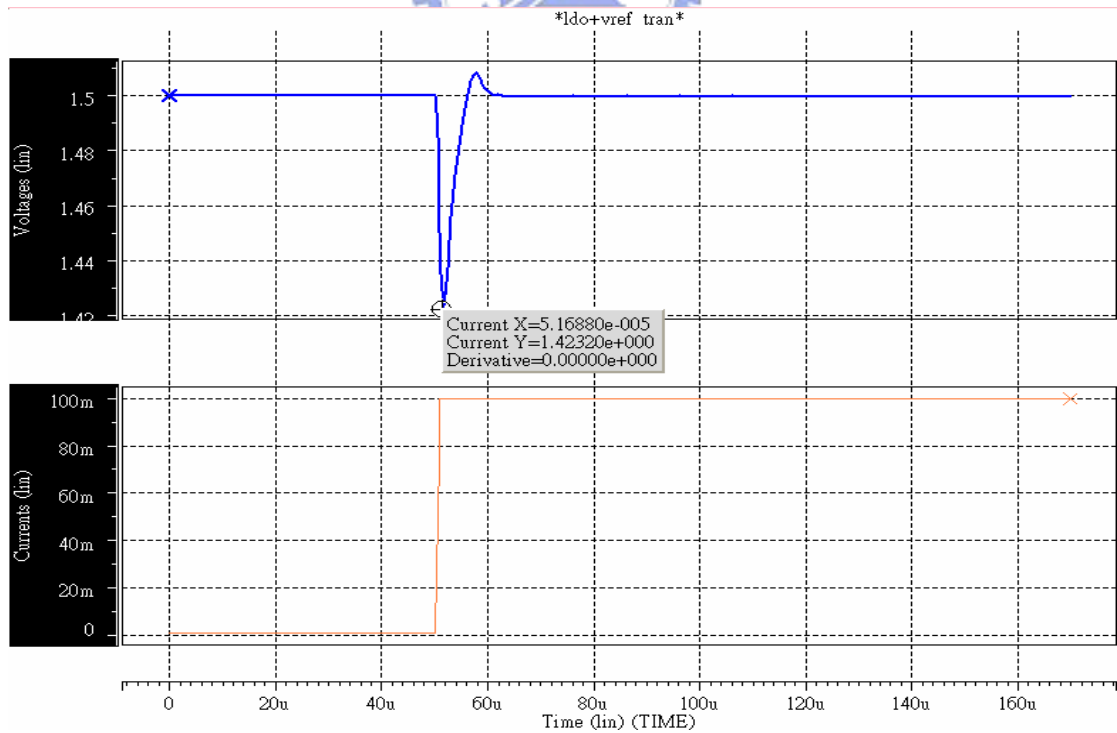


圖 3.19 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ;  $R_{ESR} = 0.01\Omega$ )時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。



d) Line transient responses

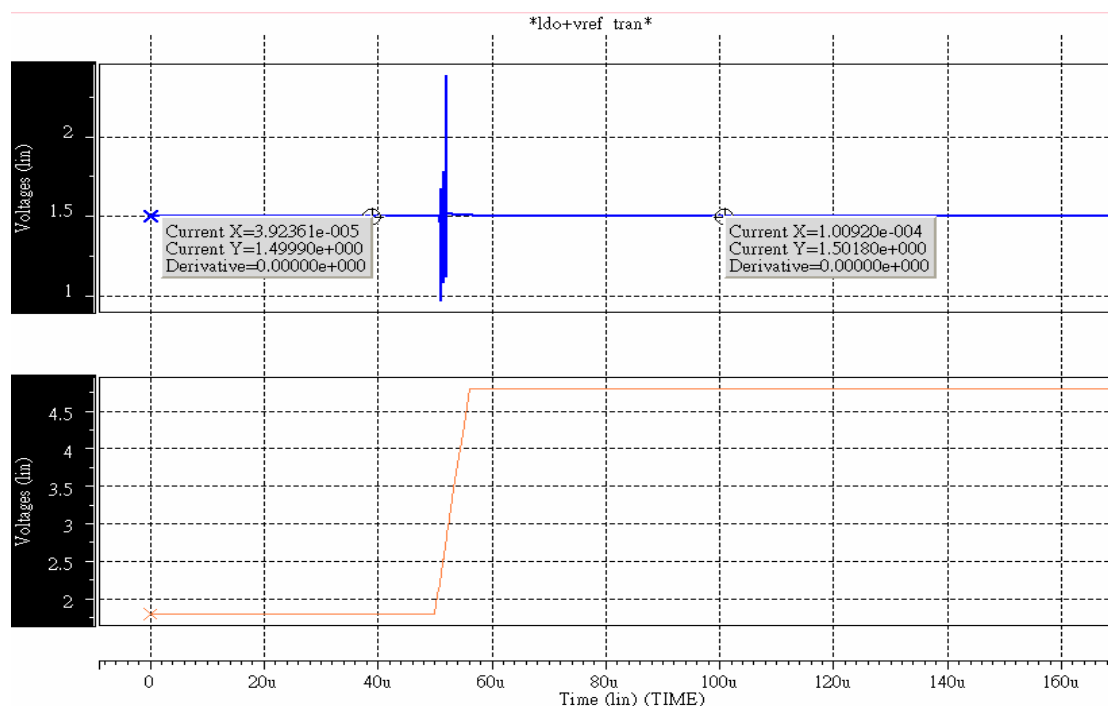


圖 3.20 穩壓器晶片外部沒有接負載電容時，電源電壓脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50$  mA)，測試輸出電壓的暫態響應。

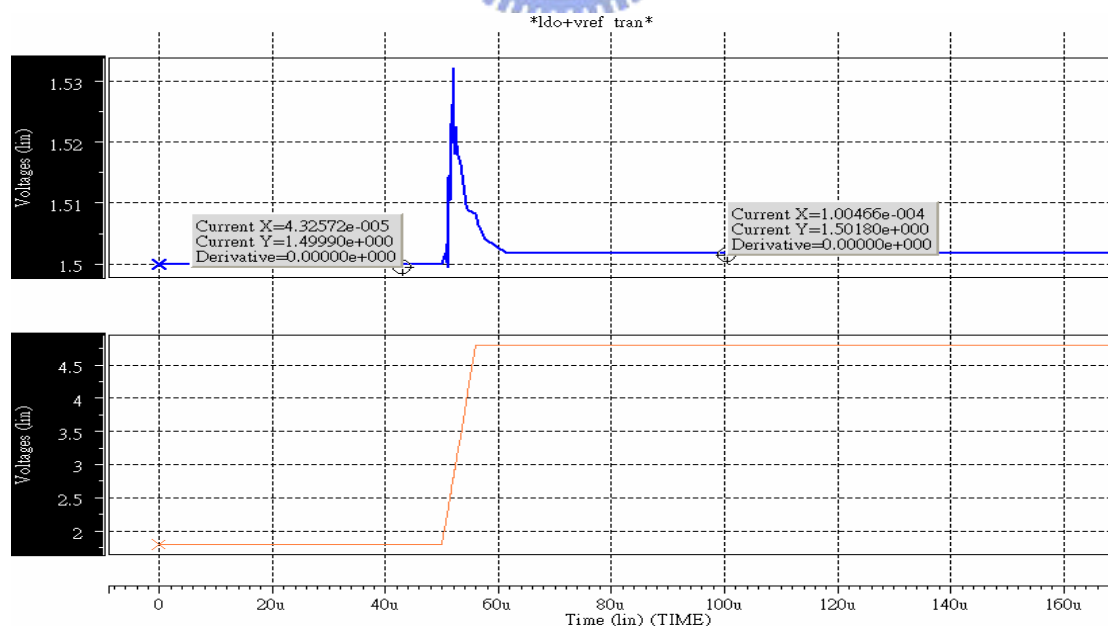


圖 3.21 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu F$  ;  $R_{ESR} = 0.1\Omega$ )時，電源電壓脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50$  mA)，測試輸出電壓的暫態響應。

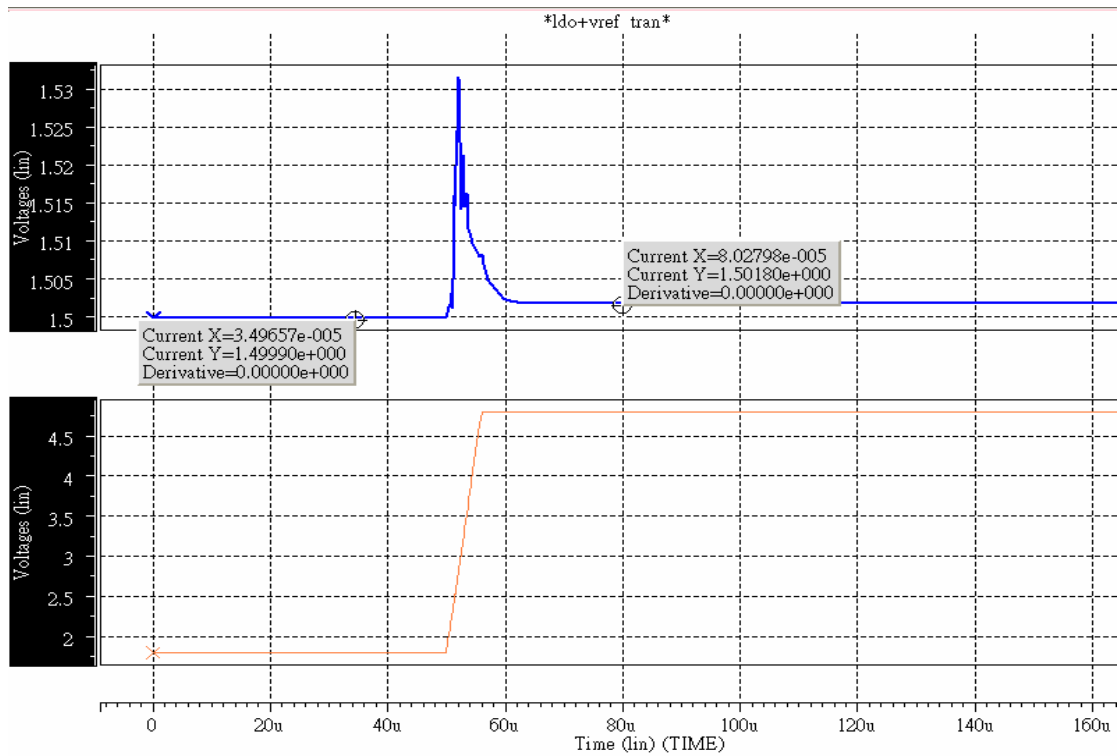


圖 3.22 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ ;  $R_{ESR} = 0.01\Omega$ )時，電源電壓脈衝從 1.8 V 上升到 4.8 V ( $I_L = 50 \text{ mA}$ )，測試輸出電壓的暫態響應。

e) Power-supply-rejection-ratio

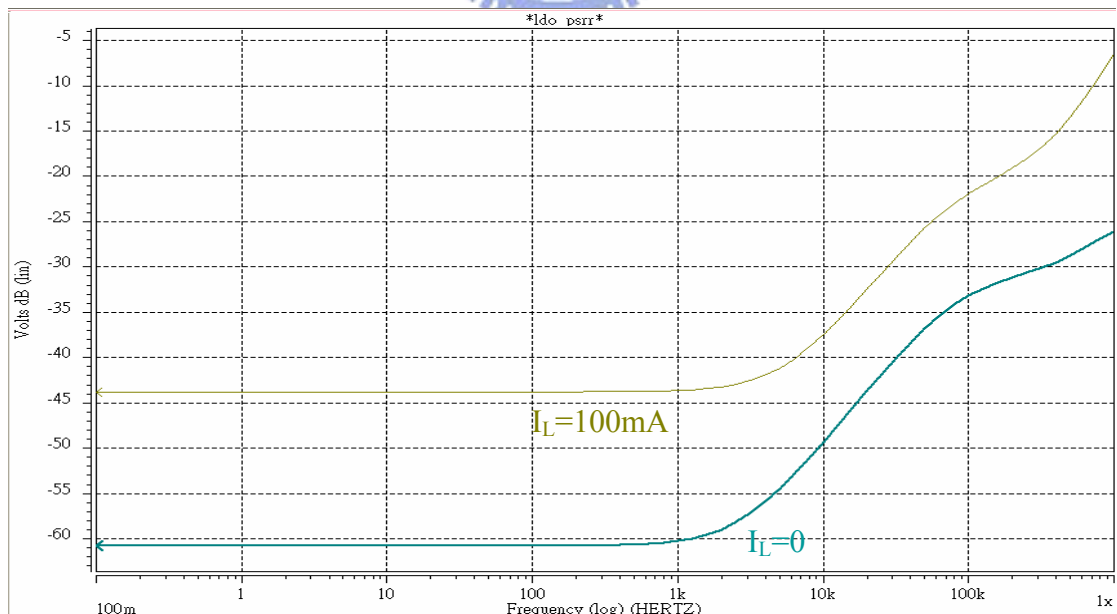


圖 3.23 當穩壓器晶片外部沒有接負載電容時的電源拒斥比

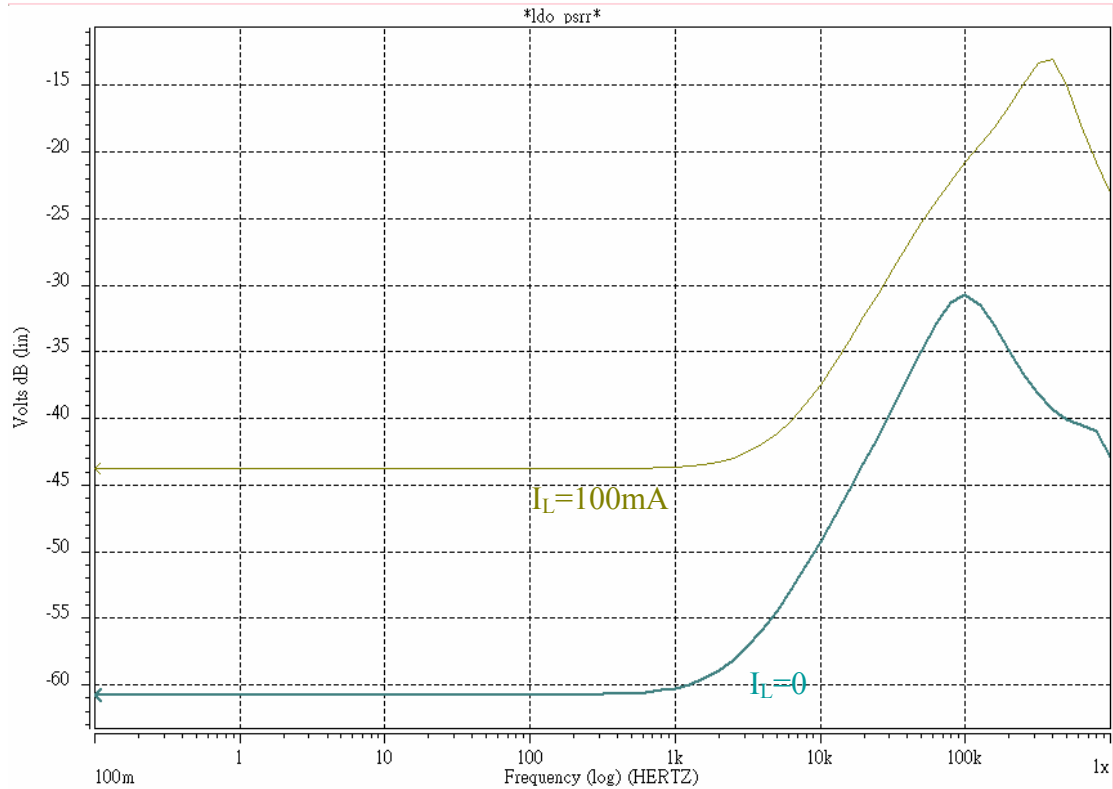


圖 3.24 當穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$  ;  $R_{ESR} = 0.1\Omega$ )時的電源拒斥



f) 預計規格列表

表 3.1 穩壓器(I)模擬後的評估結果

Technology	TSMC 2P4M 0.35- $\mu\text{m}$ CMOS
Supply voltage	1.65 V to 5 V
Output voltage	1.5 V
Max. output current	100 mA
Quiescent current	45 $\mu\text{A}$
Load Capacitor	Capacitor free / With capacitor 1 $\mu\text{F}$ (ESR = 0.1 $\Omega$ & 0.01 $\Omega$ )
Loop gain	107.7 dB@ $I_L=10$ mA
PSRR	-60.7 dB@10 Hz -60.2 dB@1 kHz -44.2 dB@1 MHz
Dropout voltage	150 mV@ $I_L=50$ mA 280 mV@ $I_L=100$ mA
Load regulation	0.002 mV / mA
Line regulation	0.63 mV / V
Active cell area	358 $\mu\text{m}$ $\times$ 322 $\mu\text{m}$

### 3.3 晶片佈局圖與電路板

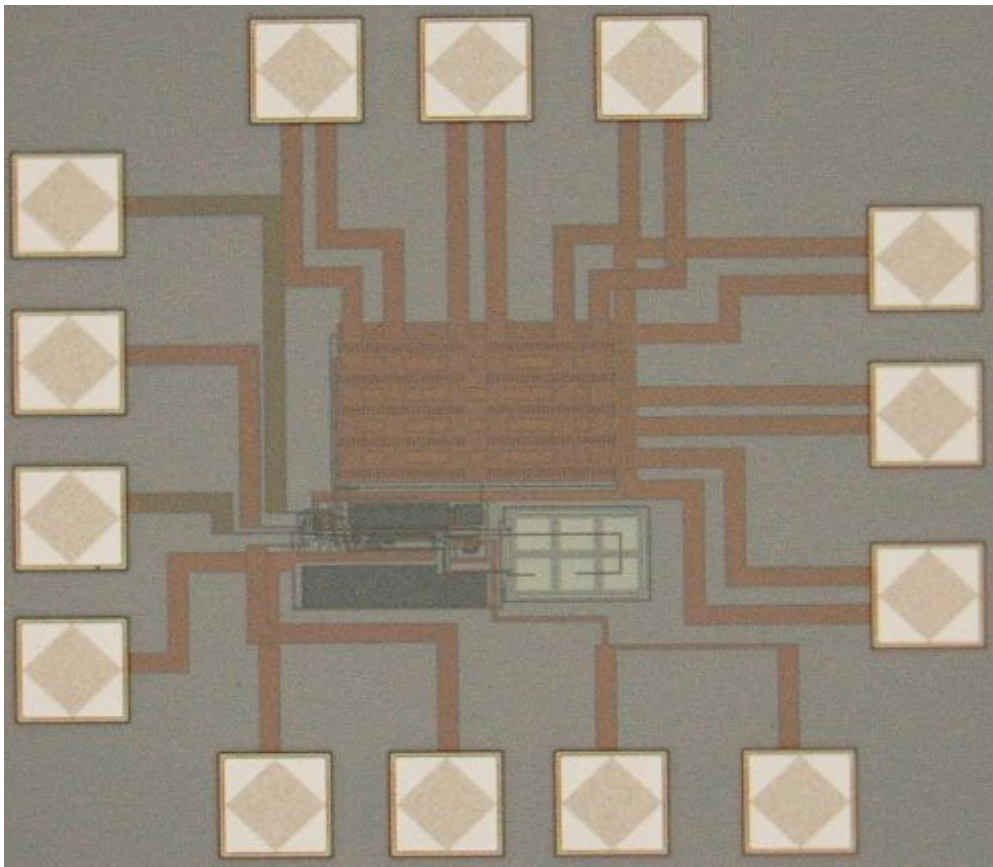


圖 3.25 穩壓器晶片微型照相圖

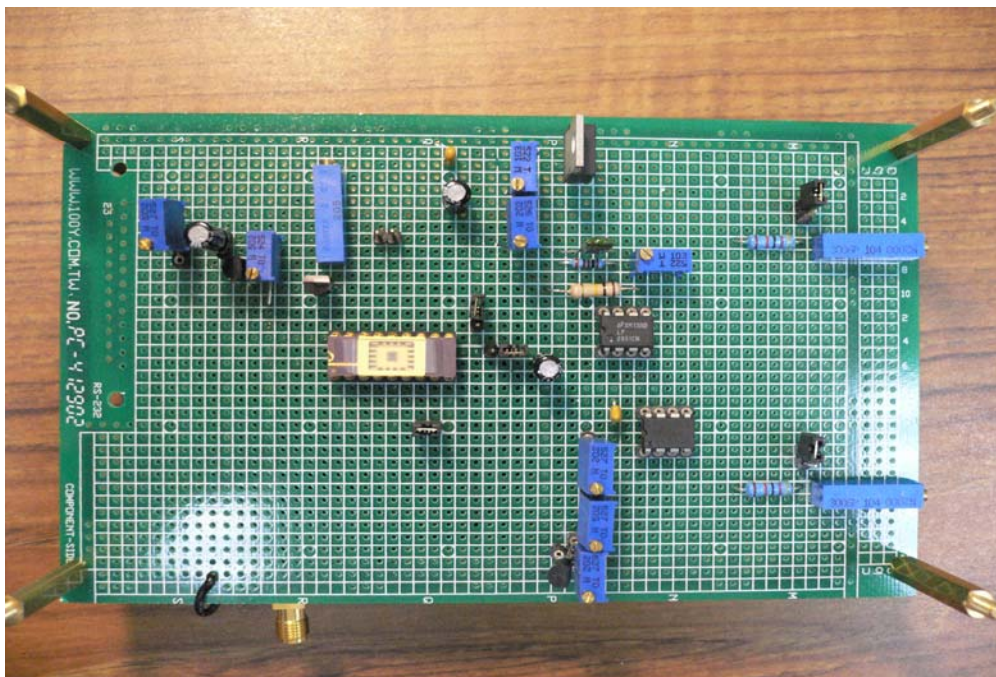


圖 3.26 量測電路板

## 3.4 實驗結果

### 3.4.1 測試考量

#### a) 負載暫態響應

利用訊號產生器發出電壓脈衝訊號去導通/切斷電晶體開關，搭配電阻產生脈衝負載電流，再用示波器量測負載暫態響應。

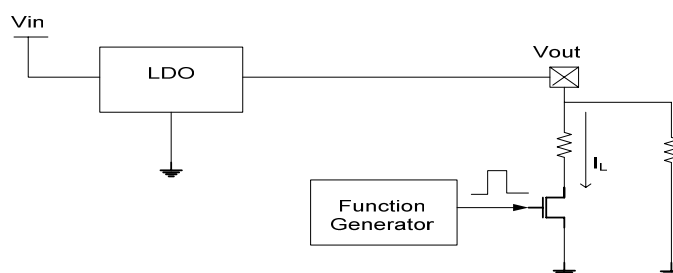


圖 3.27 負載暫態行為測試方法

#### b) 線上暫態響應

利用訊號產生器發出電壓脈衝訊號，經過功率放大器之後，電壓脈衝訊號進入 LDO Regulator 輸入端，再用示波器量測輸出端  $V_{out}$  的電壓變化。

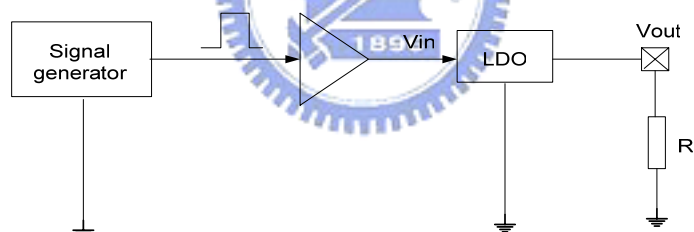


圖 3.28 線上暫態行為測試方法

- 使用電流測量儀器去量測低壓降線性穩壓的靜態消耗電流。
- 將穩壓器晶片的輸出端接上一固定負載，然後改變電源電壓(輸入電壓)，量測 dropout region 和觀察輸入電壓最大容許範圍。
- 改變負載電流從無載到滿載，觀察穩壓器是否能夠符合承載最大電流的規格。
- 在輸入電壓上加入一個高頻的訊號成分，模擬雜訊干擾源，再去測量輸出電壓抗雜訊的能力。
- 使用網路分析儀測量電源拒斥比(PSRR)。

### 3.4.2 量測結果

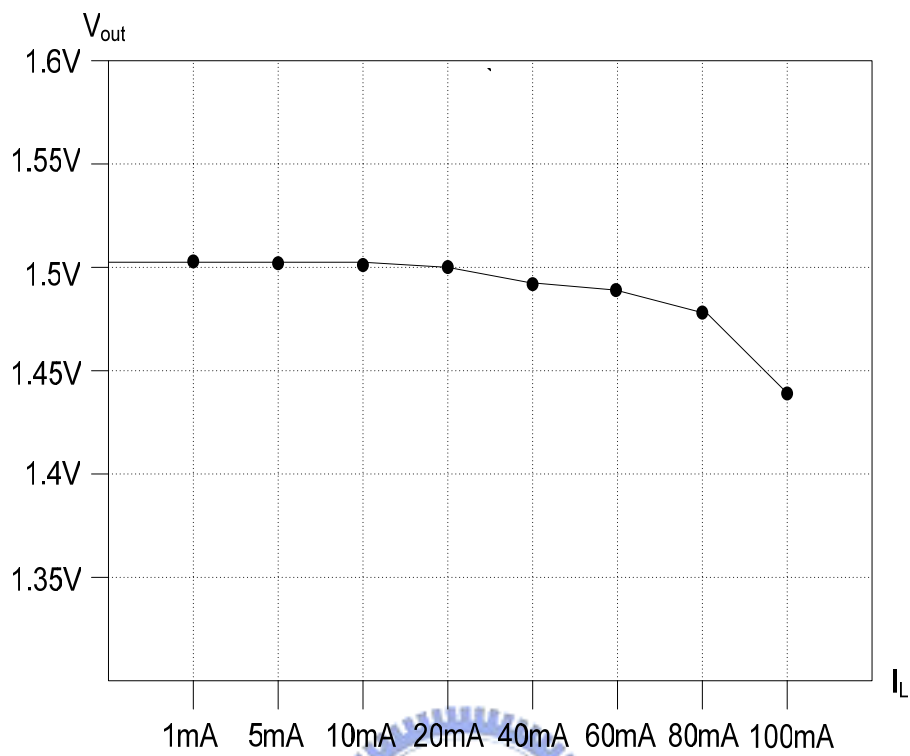


圖 3.29 穩壓器的輸出電壓與負載電流之關係

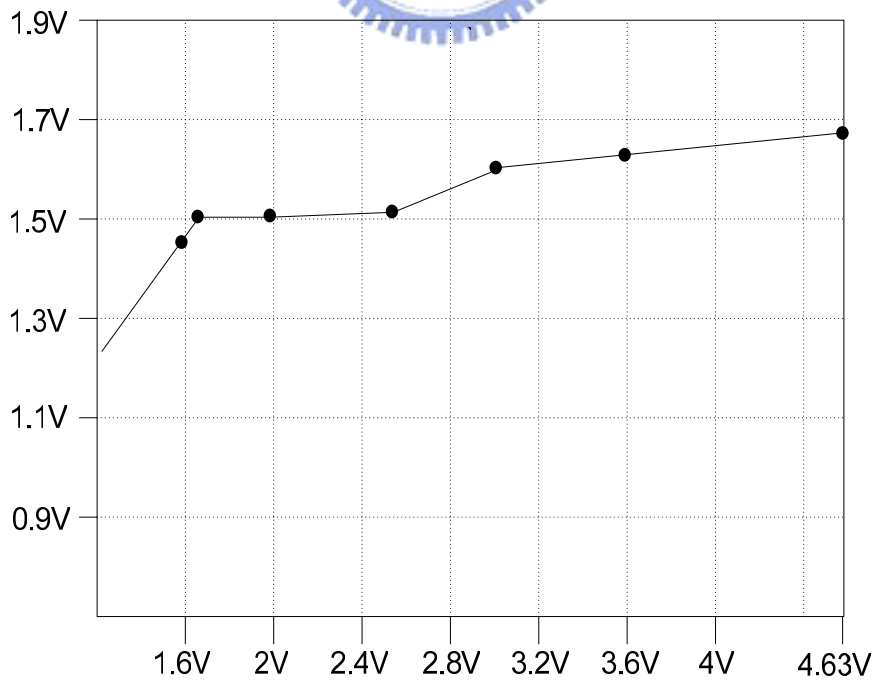


圖 3.30 穩壓器的輸出電壓與輸入電壓之關係

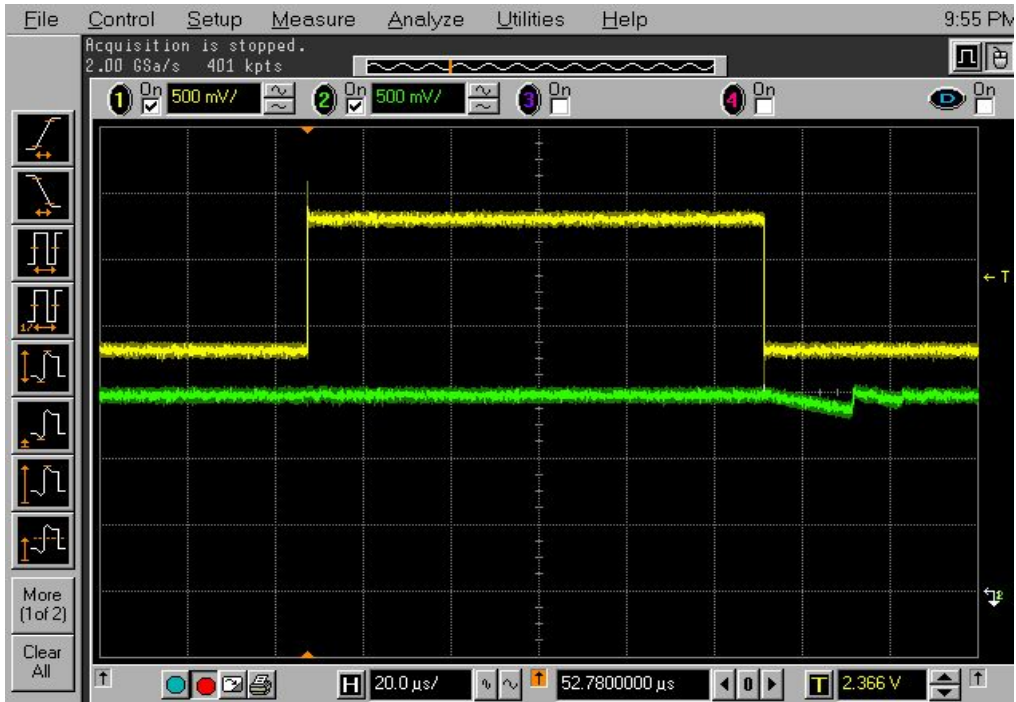


圖 3.31 穩壓器晶片外部沒有接負載電容時，電源電壓 1.8 V 與 2.8 V 脈衝切換 ( $I_L = 1 \text{ mA}$ )，量測輸出電壓的線上暫態響應。

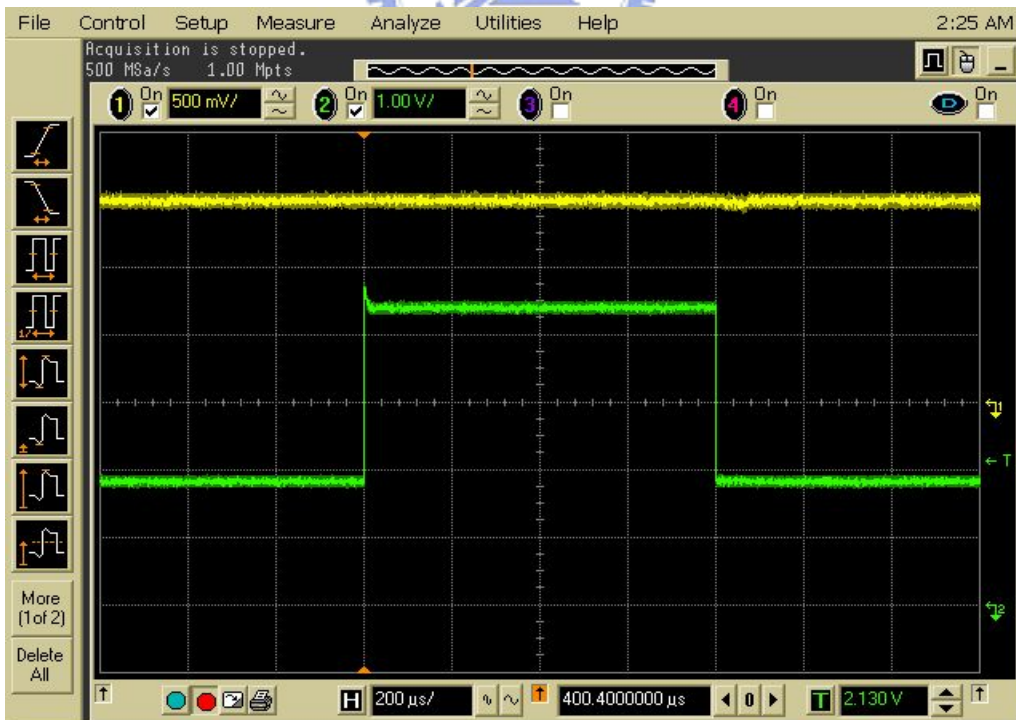


圖 3.32 穩壓器晶片外部有接負載電容( $C_{out} = 1 \mu\text{F}$ )時，電源電壓 1.8 V 與 4.3 V 脈衝切換 ( $I_L = 1 \text{ mA}$ )，量測輸出電壓的線上暫態響應。

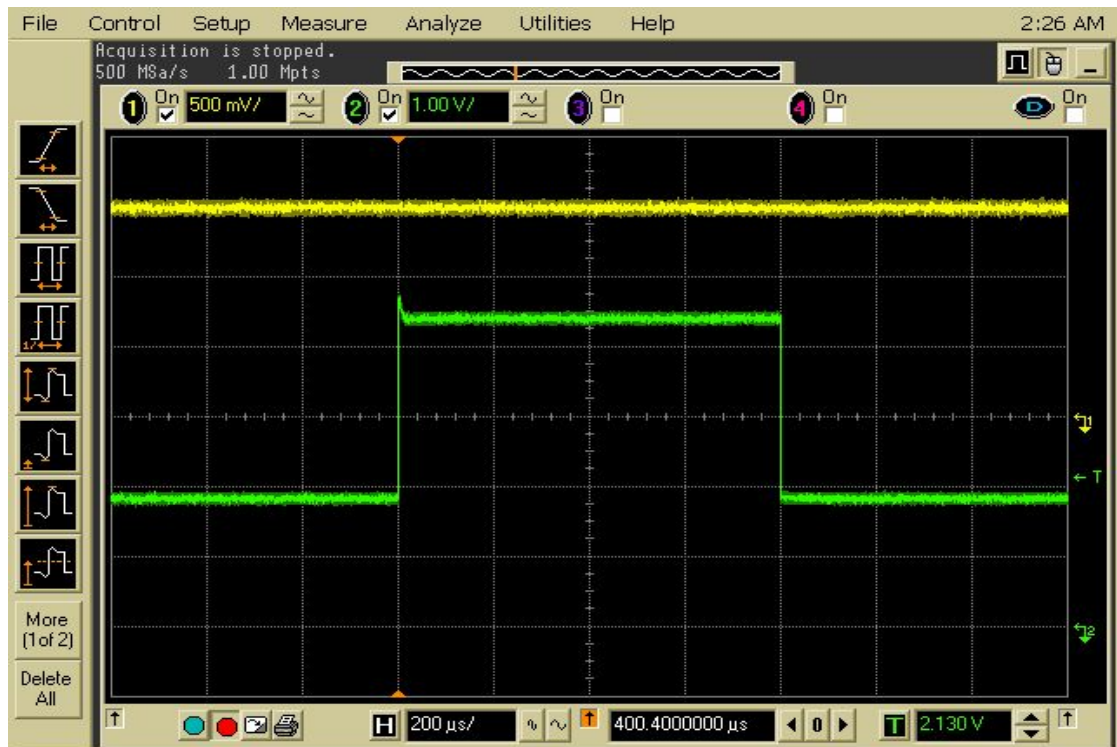


圖 3.33 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，電源電壓 1.8 V 與 4.3 V 脈衝切換 ( $I_L = 1\text{ mA}$ )，量測輸出電壓的線上暫態響應。

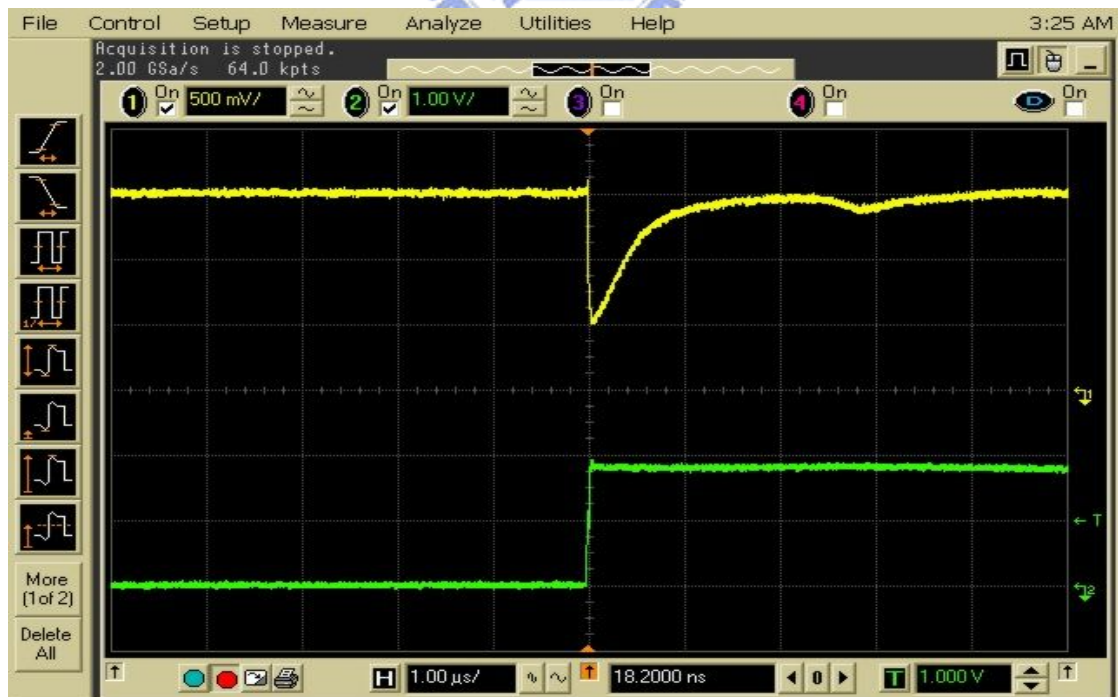


圖 3.34 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 10 mA 上升到 100 mA，量測輸出電壓的負載暫態響應。



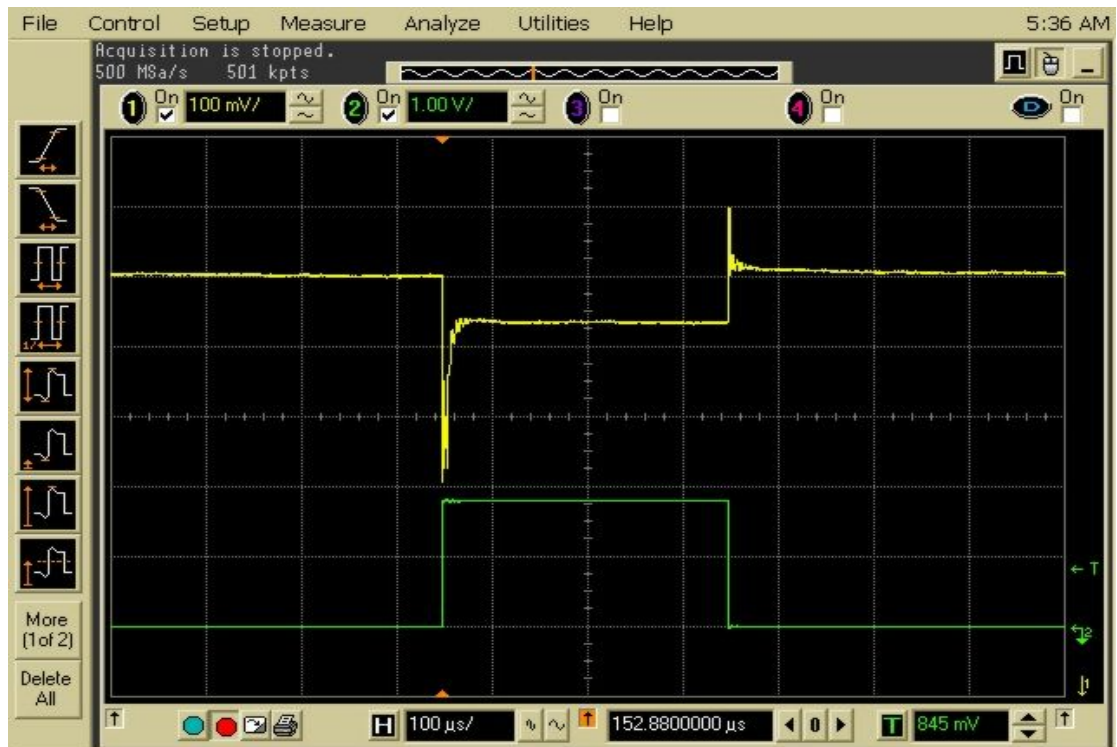


圖 3.35 穩壓器晶片外部有接負載電容( $C_{out}=1\mu\text{F}$ )時，負載電流 0 mA 與 100 mA 脈衝切換，量測輸出電壓的負載暫態響應。

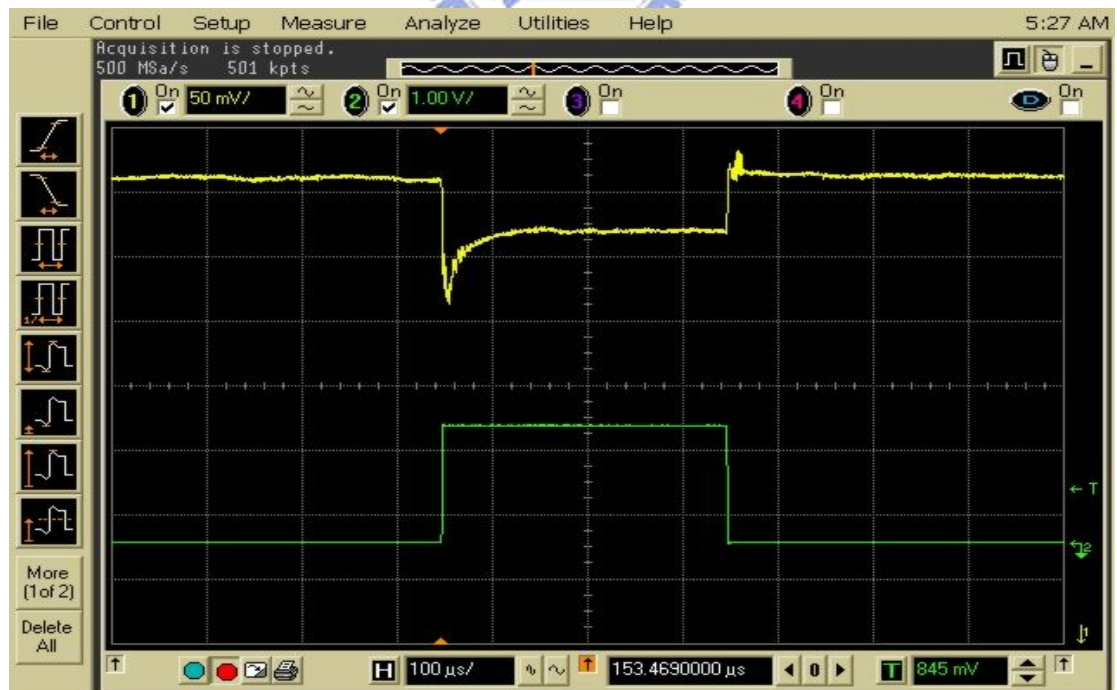


圖 3.36 穩壓器晶片外部有接負載電容( $C_{out}=10\mu\text{F}$ )時，負載電流 0 mA 與 100 mA 脈衝切換，量測輸出電壓的負載暫態響應。

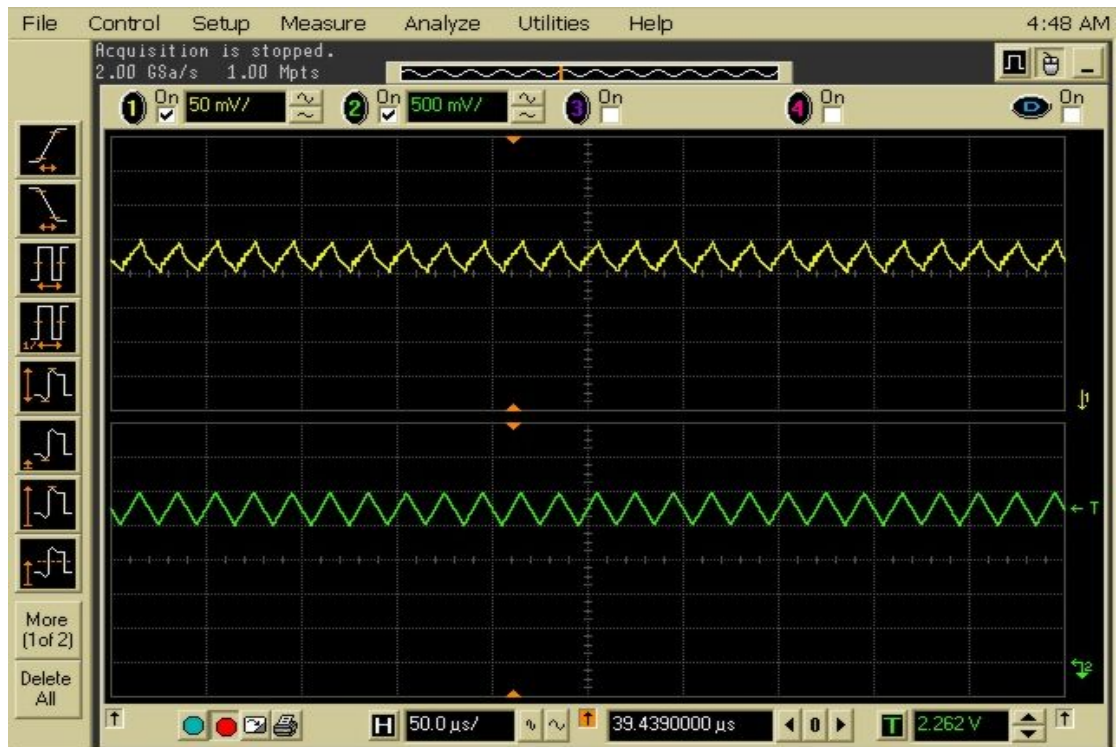


圖 3.37 穩壓器晶片外部沒有接負載電容時，量測拒斥雜訊的能力。

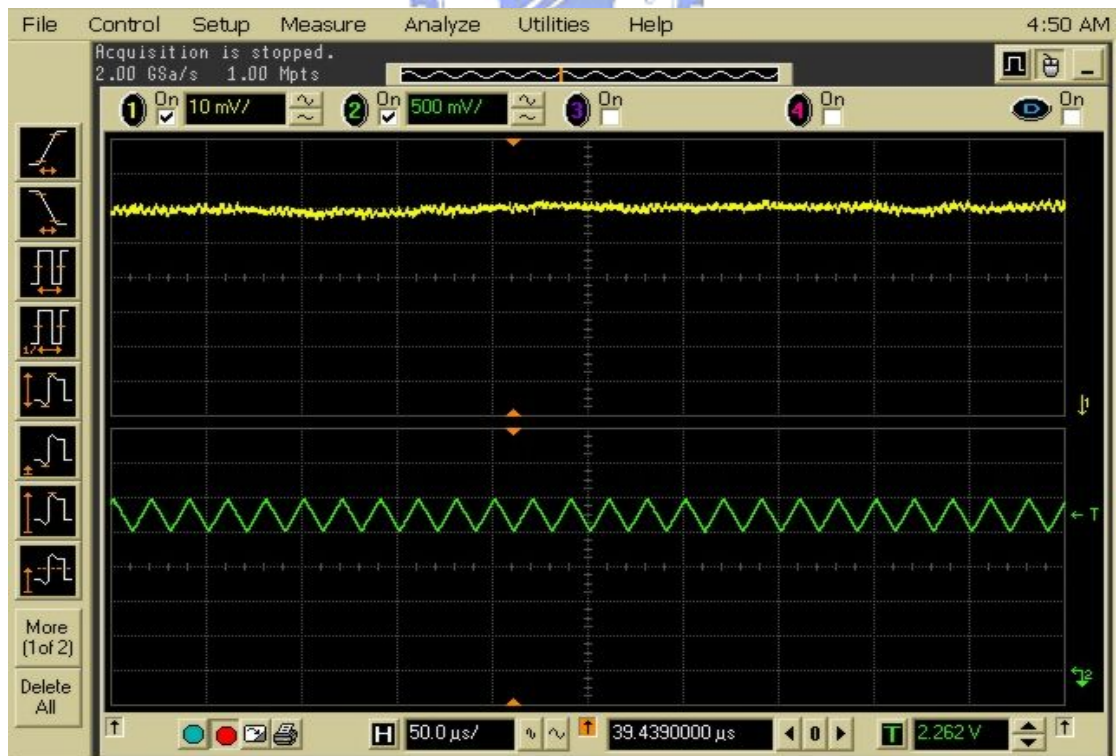


圖 3.38 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，量測拒斥雜訊的能力。

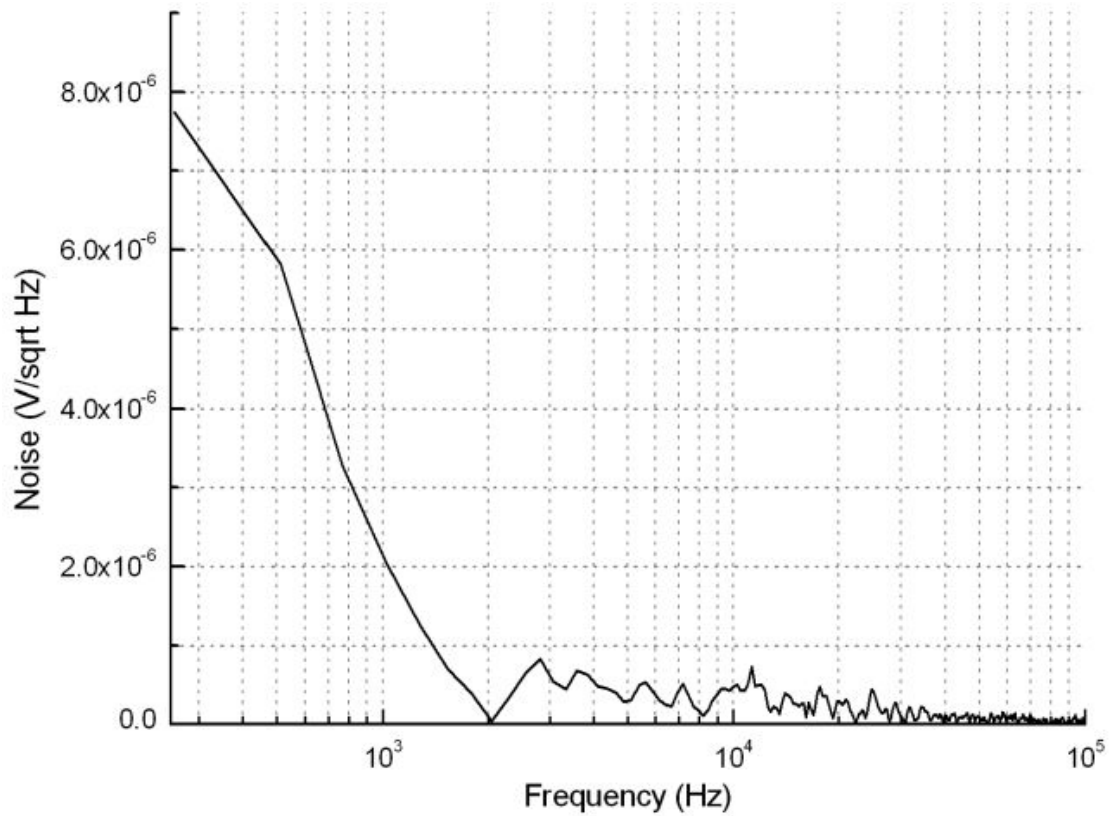


圖 3.39 低壓降線性穩壓器之等效輸出雜訊。

表 3.2 穩壓器晶片(I)量測結果一覽

Technology	TSMC 2P4M 0.35- $\mu$ m CMOS
Supply voltage	1.67 V to 4.63 V
Max. output current	100 mA
Quiescent current	64 $\mu$ A
Load Capacitor	Capacitor free / With capacitor 1 $\mu$ F or 10 $\mu$ F (ESR $\geq$ 0.01 $\Omega$ )
Dropout voltage	170 mV@ $I_L=50$ mA
Load regulation	0.023 mV / mA
Line regulation	1.1 mV / V
Output voltage	1.5 V

# Chapter 4

## 具有強健的頻率補償且不需外部電容之低壓降線性穩壓器

### 4.1 提出新的低壓降線性穩壓器之補償技術

#### 4.1.1 電路架構

我們所提出的架構是兩級放大級所構成的誤差放大器，後面接到功率電晶體(即共源級輸出級)，故此低壓降線性穩壓器可以看成是三級的放大器去驅動一個大的(或小的)電容性負載並聯電阻性負載，最後一級的增益會隨著負載電流而有較大的變化，整體架構圖如圖 4.1：

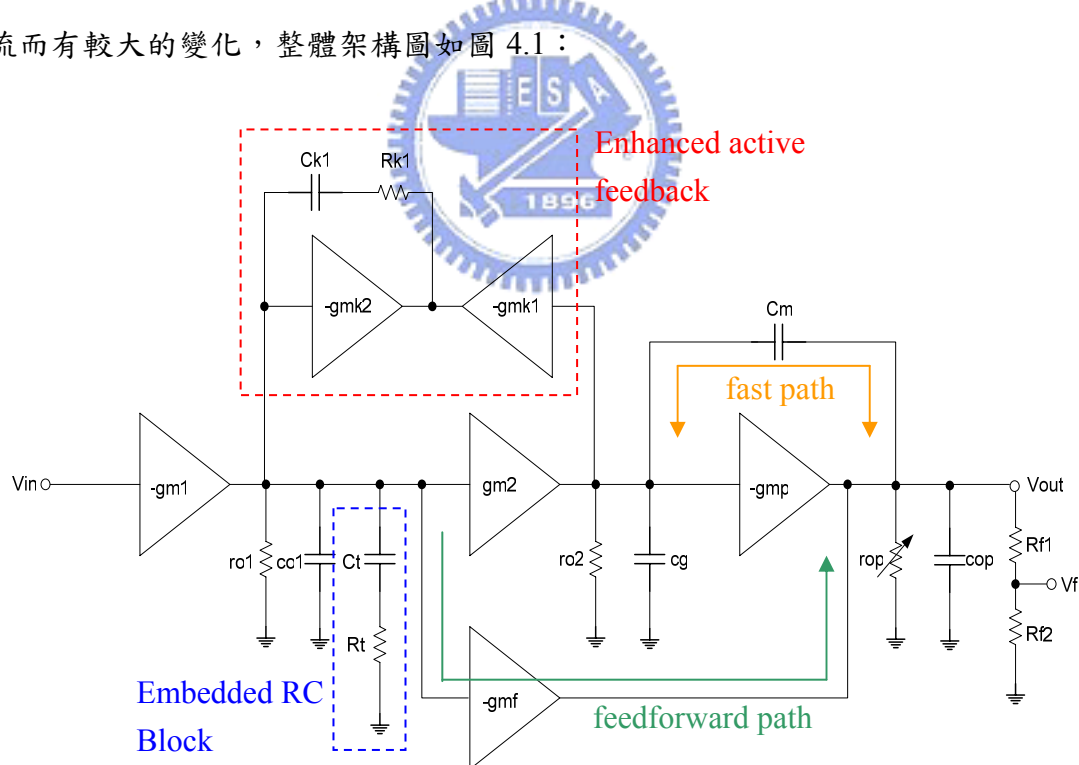


圖 4.1 提出新的穩壓器電路架構

穩壓器詳細電路圖示於圖 4.2：

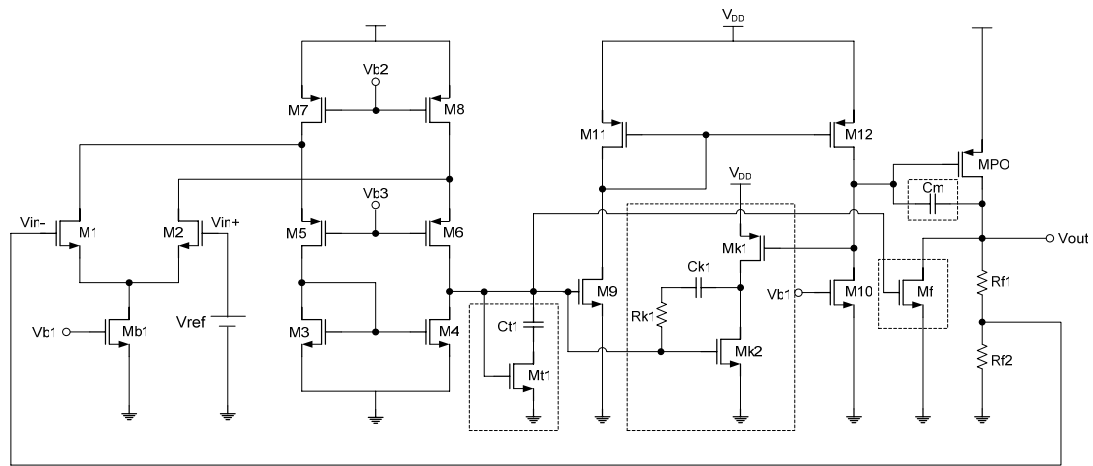


圖 4.2 新的穩壓器詳細電路圖

我們設計第一級放大器為摺疊疊接架構，可以有較大的輸入共模範圍，設計此級有較大的輸出阻抗，直流增益在此級設計約為 60 dB。Enhanced active feedback(EAF) block 由  $g_{mk1}$ 、 $g_{mk2}$ 、 $C_{k1}$ 、 $R_{k1}$  所組成，此 EAF block 可以將補償電容  $C_{k1}$  乘上兩級增益因子而形成主極點(dominant pole)，比傳統米勒補償多出一增益級的乘積因子，所以使用的補償電容  $C_{k1}$  可以有很小的值，

$$P_{-3dB} = \frac{1}{C_{k1} g_{mk1} g_{m2} R_{ok} R_{O1} R_{O2}} \text{。 甚至產生左半平面(LHP)零點去與非支配極點}$$

(non-dominant pole)做極零點互消。第二級具有高的訊號擺幅，設計此級為正增益級約為 25dB，且能快速地啟動或關閉功率電晶體(Power PMOS)，此級的偏壓電流與功率電晶體閘級總寄生電容的充放電成正比，即  $slew\ rate = I_{bias}/C_g$ 。它直接關係到訊號的傳遞時間與暫態響應，故除了謹慎的將偏壓電流作最有效的利用外，同時設計了一個快速路徑由電容  $C_m$  所構成，此補償電容可提供更快速的反應時間，由於此補償電容值很小，所以不會於對 Power PMOS 閘極端造成額外的負擔。順向路徑(feedforward path)與快速路徑的組合致使不會有右半平面零點產生，另外順向級( $g_{mf}$ )可以加速輸出端的暫態放電時間。電路內加入 embedded RC block ( $C_{t1}$ 、 $M_{t1}$ )可以做內部零點補償，可在高頻處減少相位移。輸出級(功率電晶體)為負的增益級，轉導  $g_{mp}$  隨著負載電流而有所變化，增益與  $\sqrt{I_{OUT}}$  成反比。前述三級放大電路加上電阻性回授網路形成一個負回授系統，電阻性回授網路的電阻值須設計得較大以降低靜態電流節省功率消耗。此架構

的迴路增益可以有較大的值以保持較精確的輸出電壓(有較佳的負載穩壓和線上穩壓)。

#### 4.1.2 頻率響應與小訊號分析

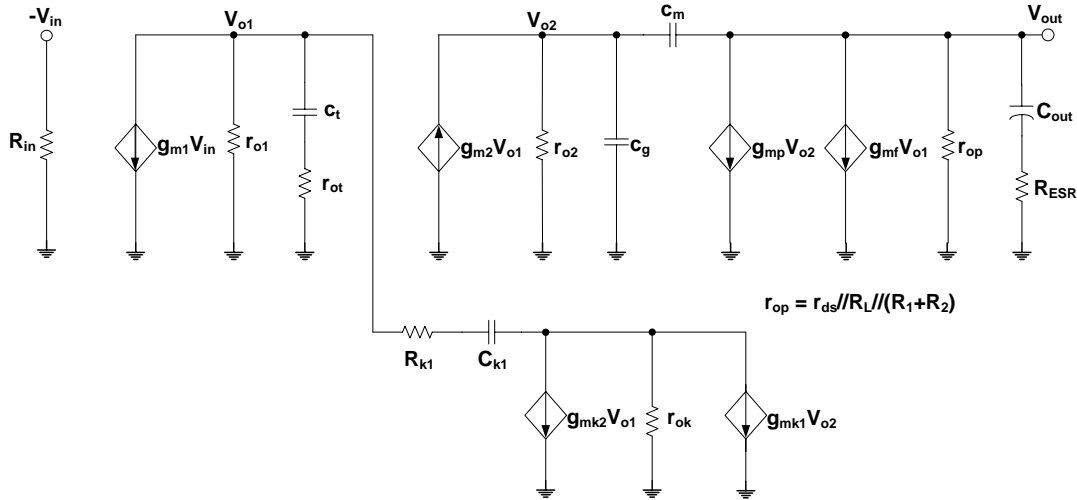


圖 4.3 所提出的低壓降線性穩壓器小訊號等效電路

根據架構圖與詳細電路圖，我們可以畫出小訊號等效電路，如圖 4.3。小訊號等效電路中的  $g_{m1}$ 、 $g_{m2}$  和  $g_{mp}$  分別代表第一級轉導、第二級轉導和輸出級轉導。 $r_{o1}$ 、 $r_{o2}$  和  $r_{op}$  分別代表第一級輸出電阻、第二級輸出電阻和 Power PMOS 的導通電阻。 $C_g$  是由 Power PMOS 的閘極端與第二級輸出端所貢獻的總寄生電容。 $g_{mk1}$  和  $g_{mk2}$  是增強型主動回授補償電路中電晶體  $M_{k1}$  和  $M_{k2}$  的轉導。 $r_{ok}$  是由  $M_{k1}$  和  $M_{k2}$  汲端看入的小訊號等效電阻。 $C_{t1}$ 、 $C_{k1}$  和  $R_{k1}$  是補償電阻電容。 $r_{ot}$  是由  $M_{t1}$  與  $M_{t2}$  所組成的小訊號等效電阻。 $C_m$  是連接 Power PMOS 汲極端與閘極端的快速路徑補償電容。 $g_{mf}$  是順向轉導級的轉導。

推導轉移函數之前，為了簡化繁雜的推導公式，在不影響精確下，我們必須假設一些條件以求得轉移函數，條件假設如下：

- 1) 每一級的增益都大於一，即  $g_{mi}R_{oi} \gg 1$ 。
- 2) 負載電容與補償電容遠大於每一級輸出端的寄生電容 (除了  $C_g$  以外，因為 Power PMOS 是設計成非常大尺寸的電晶體，所以閘極端的寄生電容值為 pF 等級，不可忽略)。
- 3) 忽略級與級之間的耦合電容。

A. 當穩壓器輸出端沒有接負載電容時

經由小訊號等效電路推導出來的轉移函數如下式：

$$A_{V(capfree)}(s) \approx \frac{A_{DC} \left(1 + \frac{s}{z_1}\right) \left(1 + \frac{s}{z_2}\right)}{\left(1 + \frac{s}{P_{-3dB}}\right) \left(1 + \frac{s}{p_2}\right) \left(1 + \frac{s}{p_3}\right)} \quad (4.1)$$

$$A_{DC} = g_{m1} g_{m2} g_{mp} r_{o1} r_{o2} r_{op} \left(\frac{R_2}{R_1 + R_2}\right) \quad (4.2)$$

$$P_{-3dB} = P_1 = \frac{1}{C_{kl} g_{mk1} g_{m2} r_{ok} R_{O1} R_{O2}} \quad (4.3)$$

$$P_2 = \frac{g_{m2} g_{mk1}}{\left(C_m g_{mp} g_{mk2} r_{op} - C_m g_{mk1} g_{mf} r_{op} + C_t g_{m2} g_{mk1} r_{ot}\right)} \quad (4.4)$$

$$P_3 = \frac{g_{m2}}{C_m r_{op} (g_{m2} - g_{mf})} \quad (4.5)$$

$$Z_1 = \frac{1}{C_{kl} r_{kl} + C_t r_{ot}} \quad (4.6)$$

$$Z_2 = \frac{C_{kl} r_{kl} + C_t r_{ot}}{C_{kl} C_t r_{kl} r_{ot}} \quad (4.7)$$

$$GBW = \frac{g_{m1} g_{mp} r_{op}}{C_{kl} g_{mk1} r_{ok}} \left(\frac{R_2}{R_1 + R_2}\right) \quad (4.8)$$

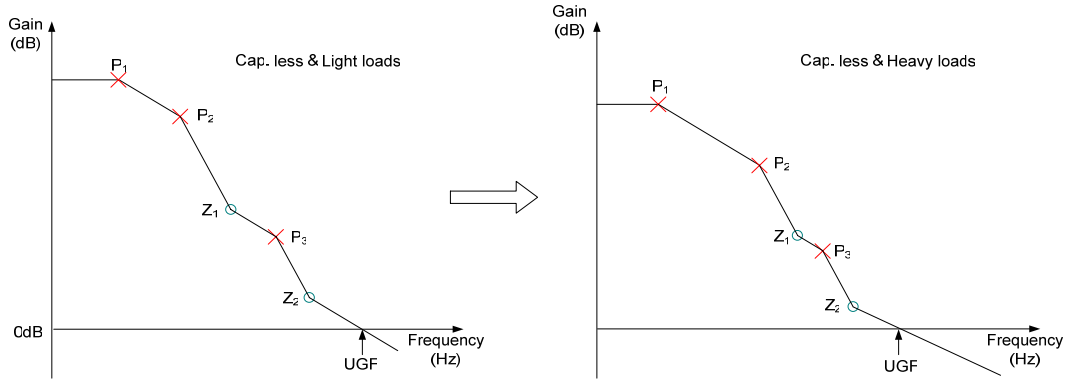


圖 4.4 新的穩壓器 AC response(當穩壓器輸出端沒有接負載電容時)

當穩壓器輸出端沒有接負載電容時，迴路頻寬會較大。而且輕載時，頻寬會比重載時大。因此穩定度最糟的情況是輕載的時候。我們設計電路在輕載時，有三個極點和兩個左半平面零點，而  $Z_1$  用來與  $P_3$  做極零點互銷， $Z_2$  用來減少相位移，保持足夠的相位安全邊限。另外，重載時仍維持三個極點與兩個零點。

B. 當穩壓器輸出端有接負載電容時

經由小訊號等效電路推導出來的轉移函數如下式：

$$A_{V(cap)}(s) \approx \frac{A_{DC} \left(1 + \frac{s}{z_1}\right) \left(1 + \frac{s}{z_2}\right)}{\left(1 + \frac{s}{P_{-3dB}}\right) \left(1 + \frac{s}{p_2}\right) \left(1 + \frac{s}{p_3}\right)} \quad (4.9)$$

$$A_{DC} = g_{m1} g_{m2} g_{mp} r_{o1} r_{o2} r_{op} \left( \frac{R_2}{R_1 + R_2} \right) \quad (4.10)$$

$$P_{-3dB} = P_1 = \frac{I}{C_{out} (R_{ESR} + r_{op})} \dots \text{當 } C_{out} \text{ 很大時，主極點為輸出極點。} \quad (4.11)$$

$$P_2 = \frac{I}{C_{k1} g_{mk1} g_{m2} r_{ok} R_{O1} R_{O2}} \quad (4.12)$$

$$P_3 = \frac{g_{m2} g_{mk1} r_{ok} (R_{ESR} + r_{op})}{\left[ C_m g_{mp} g_{mk2} R_{ESR} r_{op} r_{ok} + C_m g_{mk1} r_{ok} R_{ESR} r_{op} (g_{m2} - g_{mf}) + C_t g_{mk1} g_{m2} r_{ok} r_{ot} (R_{ESR} + r_{op}) \right]} \quad (4.13)$$

$$Z_1 = \frac{I}{I + C_{out} R_{ESR}} \quad (4.14)$$

$$Z_2 = \frac{I}{C_{k1} r_{k1} + C_t r_{ot}} \quad (4.15)$$

$$GBW = \frac{g_{m1} g_{m2} g_{mp} r_{o1} r_{o2} r_{op}}{C_{out} (R_{ESR} + r_{op})} \left( \frac{R_2}{R_1 + R_2} \right) \quad (4.16)$$

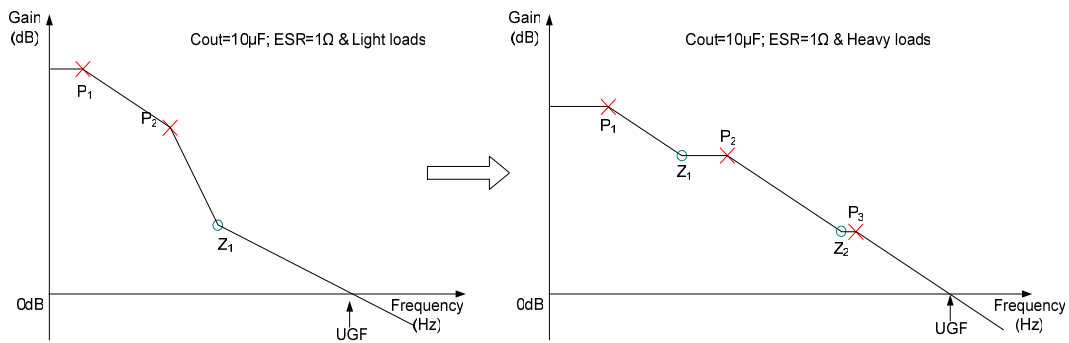


圖 4.5 新的穩壓器 AC response(當穩壓器輸出端有接負載電容時)

當穩壓器輸出端有接負載電容時，整個迴路頻寬會比沒有接負載電容時來得低。穩壓器於輕載時，頻寬內有兩個低頻極點和一個補償零點。穩壓器於重載時迴路頻寬變大，因此極點  $P_3$  會移到單位增益頻率之內，所設計的電路會產生零點  $Z_2$  來與極點  $P_3$  做互消的動作。因此電路會保持好的穩定度。



## 4.2 模擬結果

a) 不同負載電流情況下的相位安全邊限與低頻迴路增益：

表 4.1 不同負載電流情況下的相位安全邊限與低頻迴路增益

Cap.-less :

Load current	0mA	10mA	50mA	100mA
PM	54.7°	67.4°	73.3°	67°
DC GAIN	107dB	107dB	88.5dB	75.4dB

Cout=10uF,ESR=1Ω :

Load current	0mA	10mA	50mA	100mA
PM	58.5°	52.1°	52.7°	45.6°
DC GAIN	107dB	107dB	88.5dB	75.4dB

Cout=100pF :

Load current	1mA	10mA	50mA	100mA
PM	42°	60.3°	72.4°	66.8°
DC GAIN	109.5dB	107dB	88.5dB	75.4dB

b) 輸出電壓差

圖 4.6 滿足穩壓條件下之最小電壓差，worst case 是在  $I_L(\text{max.})=100 \text{ mA}$  時，dropout voltage 等於 220 mV.

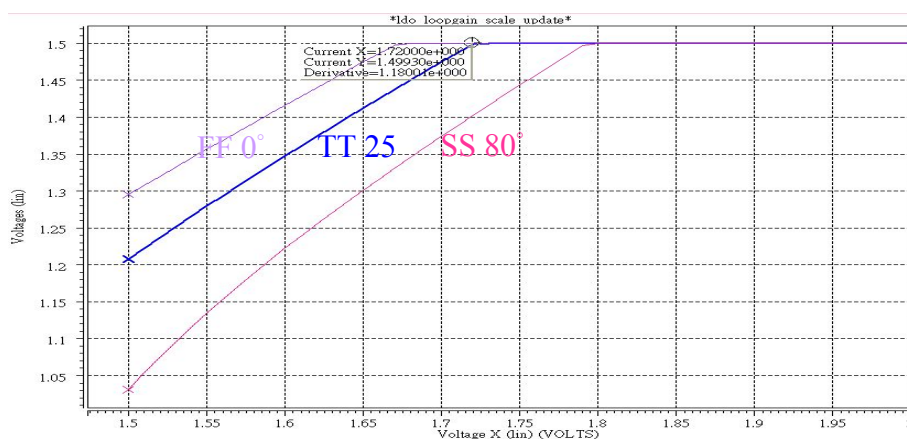


圖 4.6 在不同的 Process corners 下，輸出電壓與輸入電壓的關係。

c) 輸入電壓操作範圍：

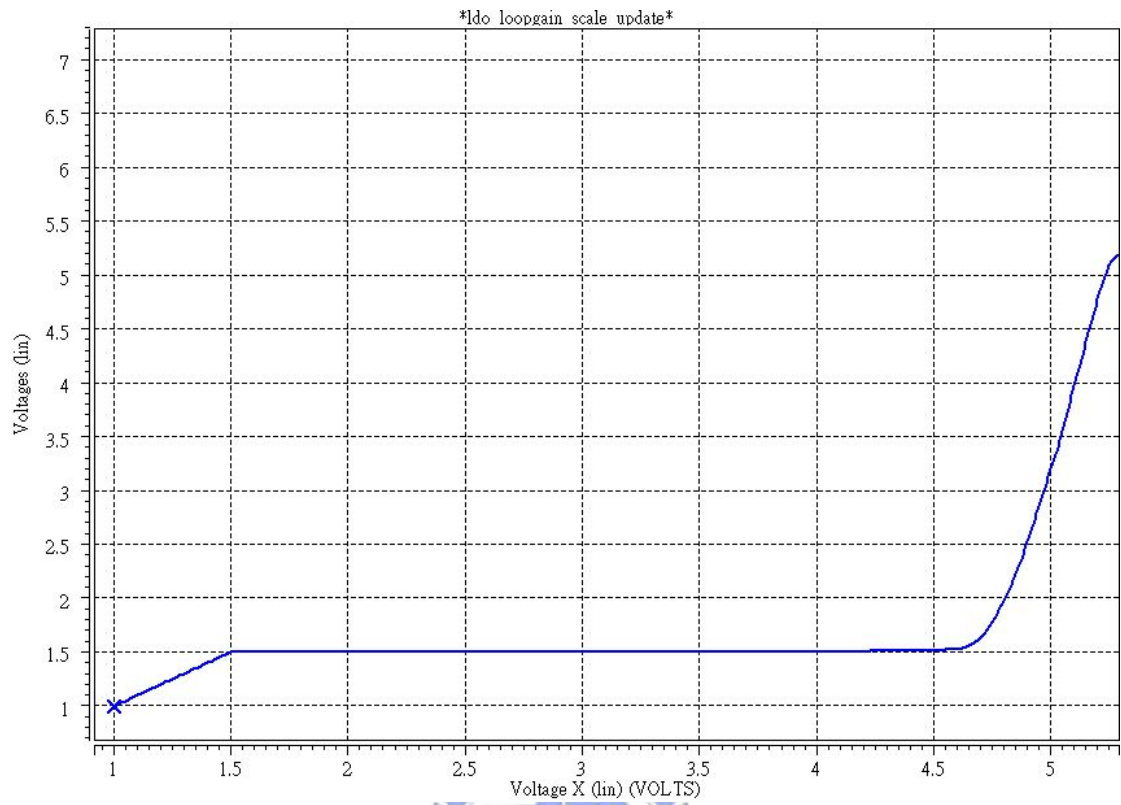


圖 4.7 輸出電壓與輸入電壓之關係圖(@  $I_L = 0$  mA)

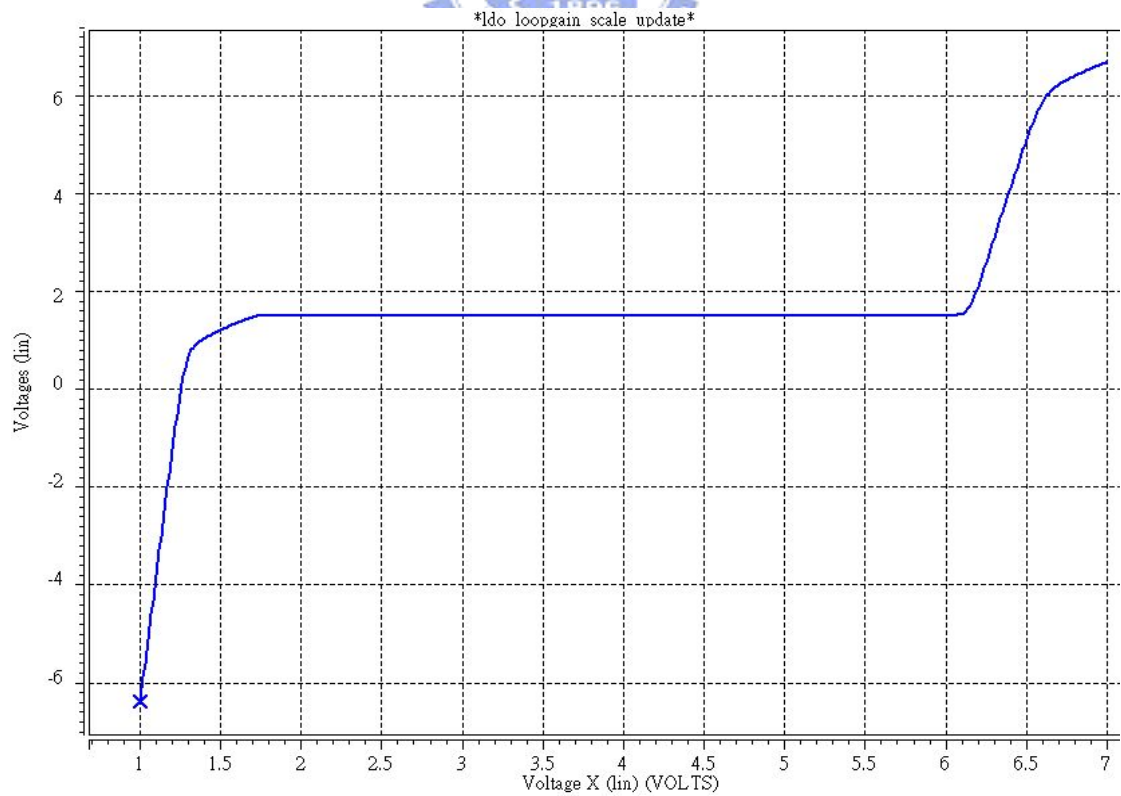


圖 4.8 輸出電壓與輸入電壓之關係圖(@  $I_L = 100$  mA)

d) 最大承載電流範圍：

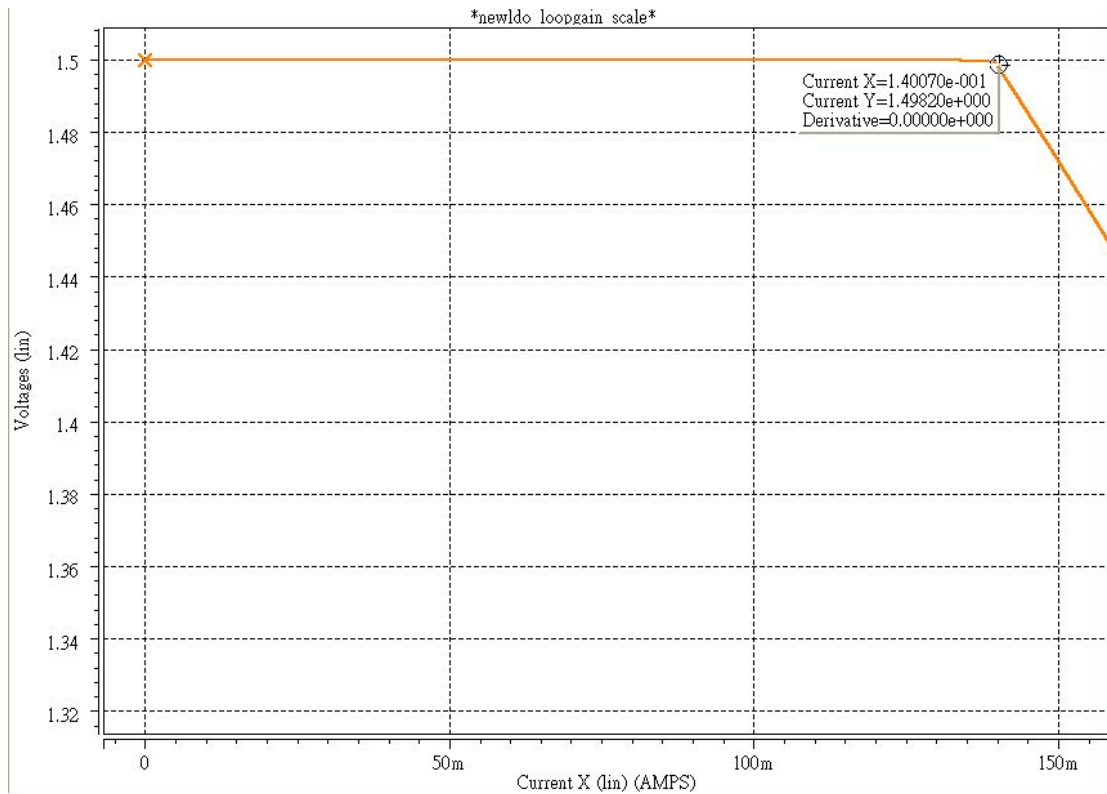


圖 4.9 穩壓器輸出電壓與負載電流之關係圖

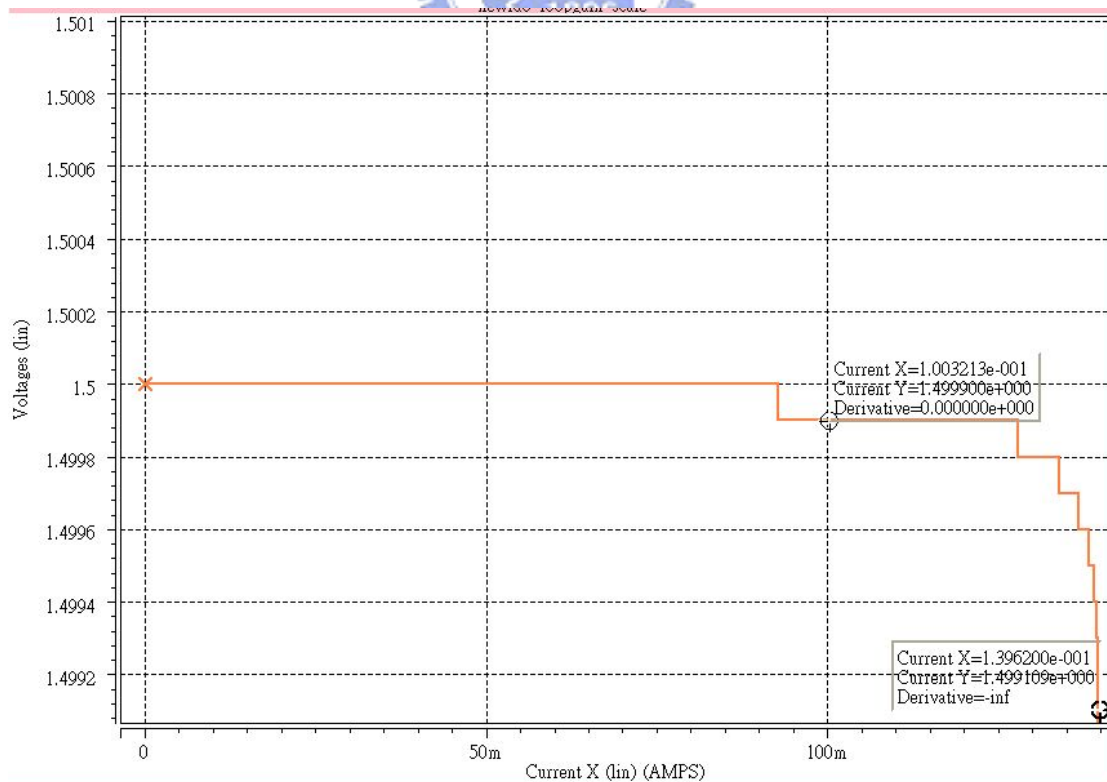


圖 4.10 穩壓器輸出電壓與負載電流之關係圖(刻度放大)

e) 負載暫態響應：

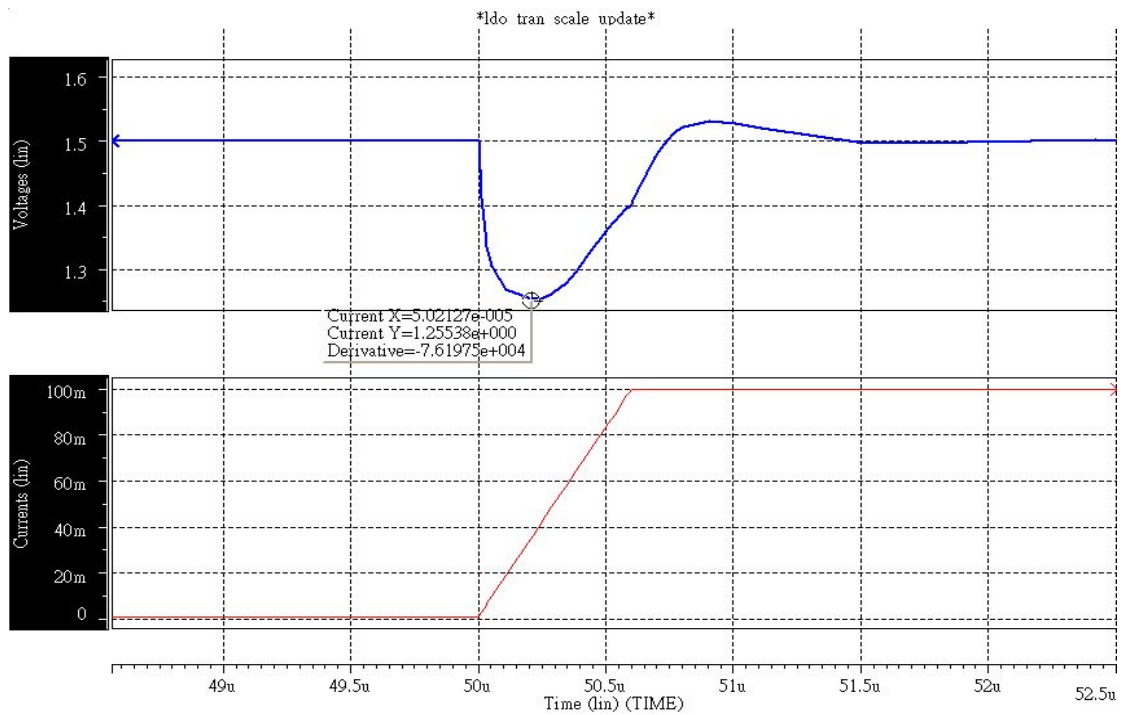


圖 4.11 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。

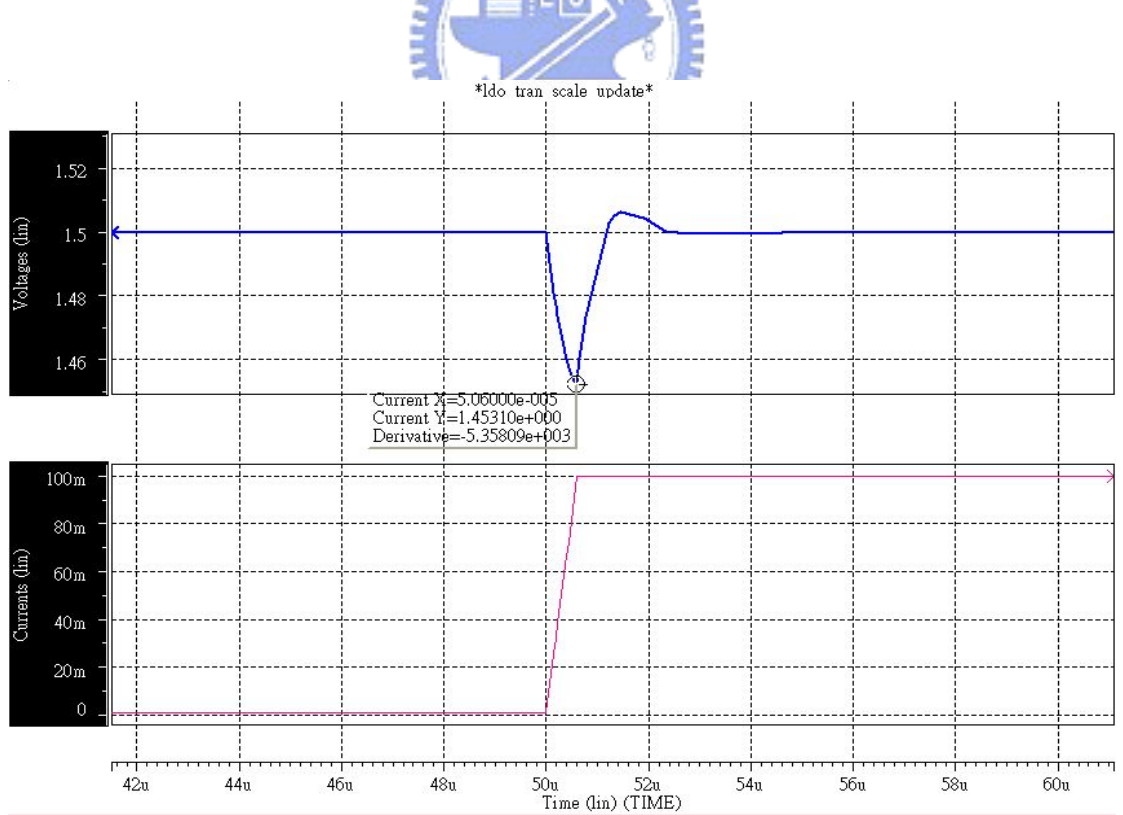


圖 4.12 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$  ;  $R_{ESR} = 1\Omega$ )時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。

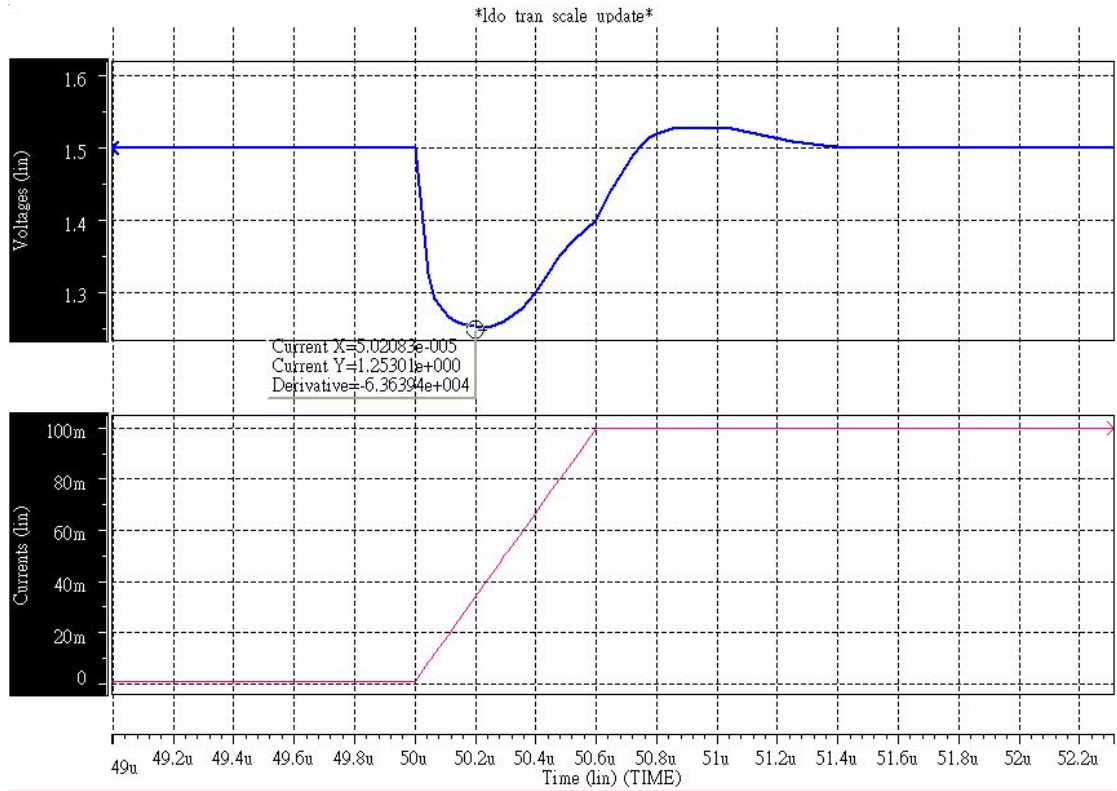


圖 4.13 穩壓器輸出端有寄生電容( $C_{out} = 100 \text{ pF}$ )時，負載電流脈衝從 1 mA 上升到 100 mA，測試輸出電壓的暫態響應。

f) 線上暫態響應：

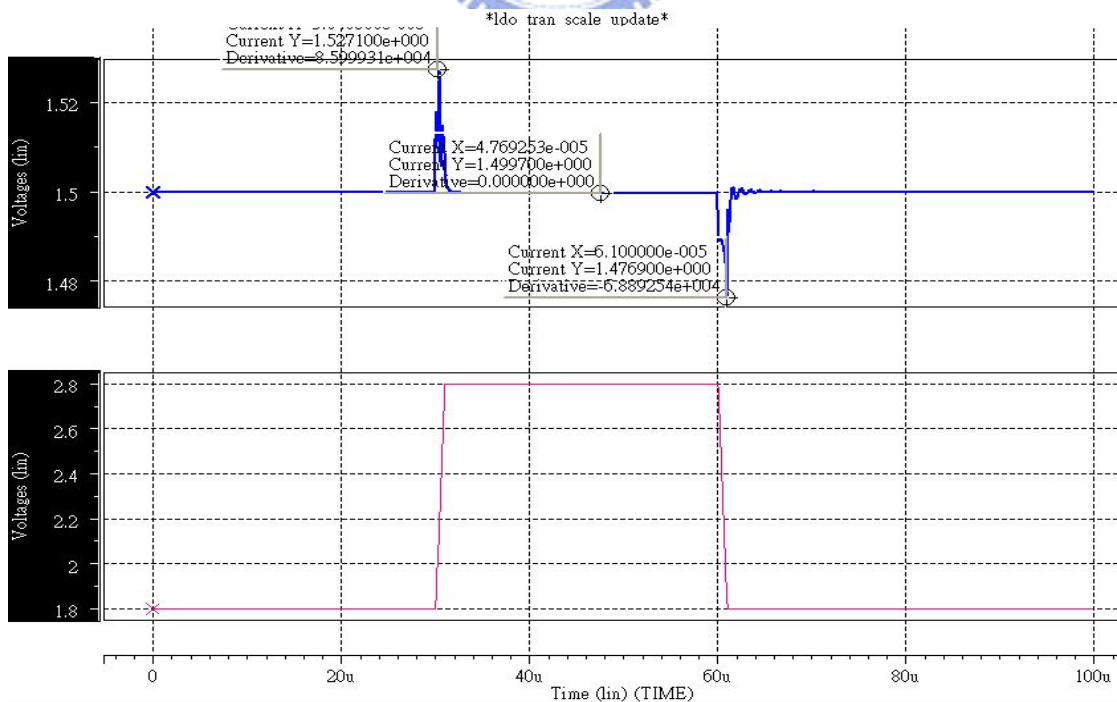


圖 4.14 穩壓器晶片外部沒有接負載電容時，電源電壓脈衝從 1.8 V 上升到 2.8 V，測試輸出電壓的暫態響應。

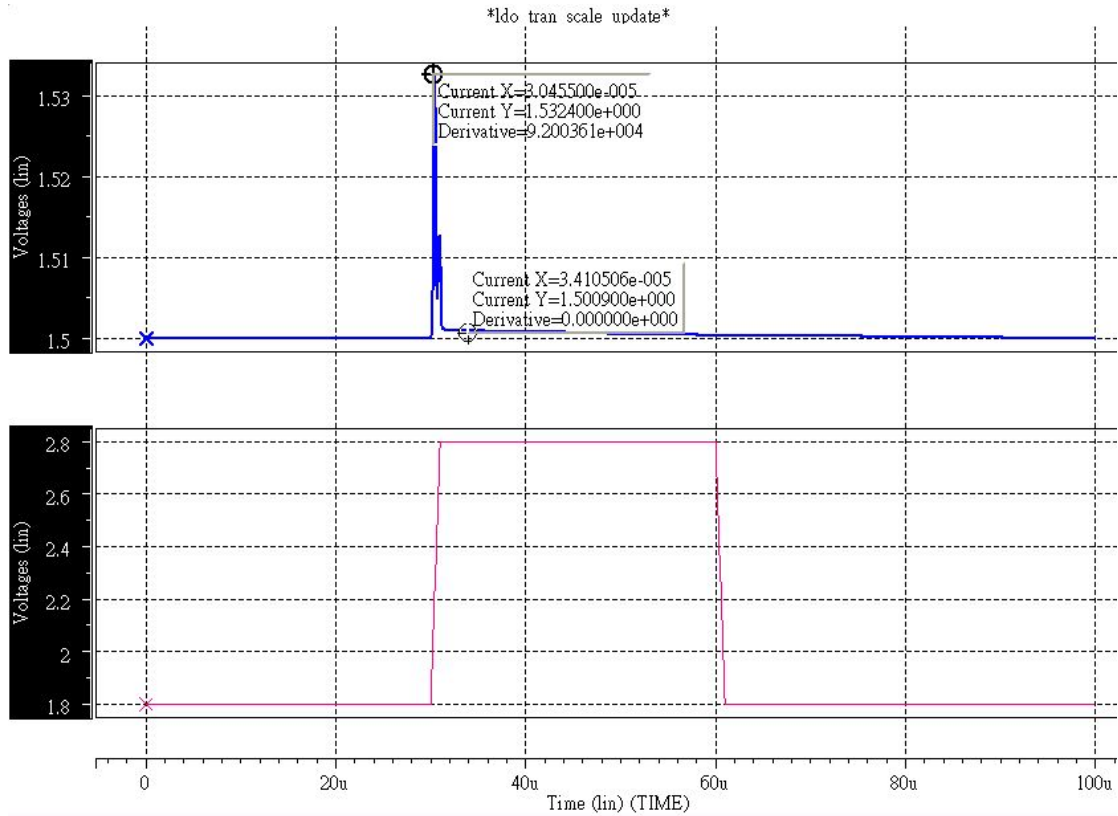


圖 4.15 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu F$ ;  $R_{ESR} = 1\Omega$ )時，電源電壓脈衝從 1.8 V 上升到 2.8 V，測試輸出電壓的暫態響應。



g) 供應電壓起始狀態：

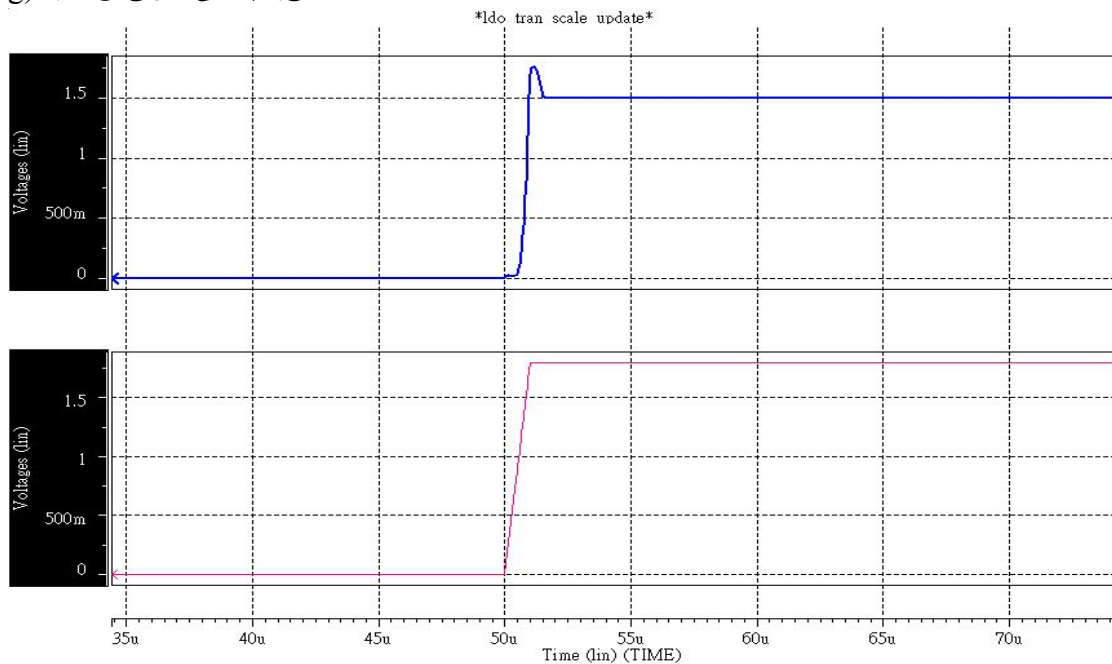


圖 4.16 導通安定時間  $\approx 2\mu s$  ( $C_{out} = 0$ ;  $I_L = 1\text{ mA}$ )

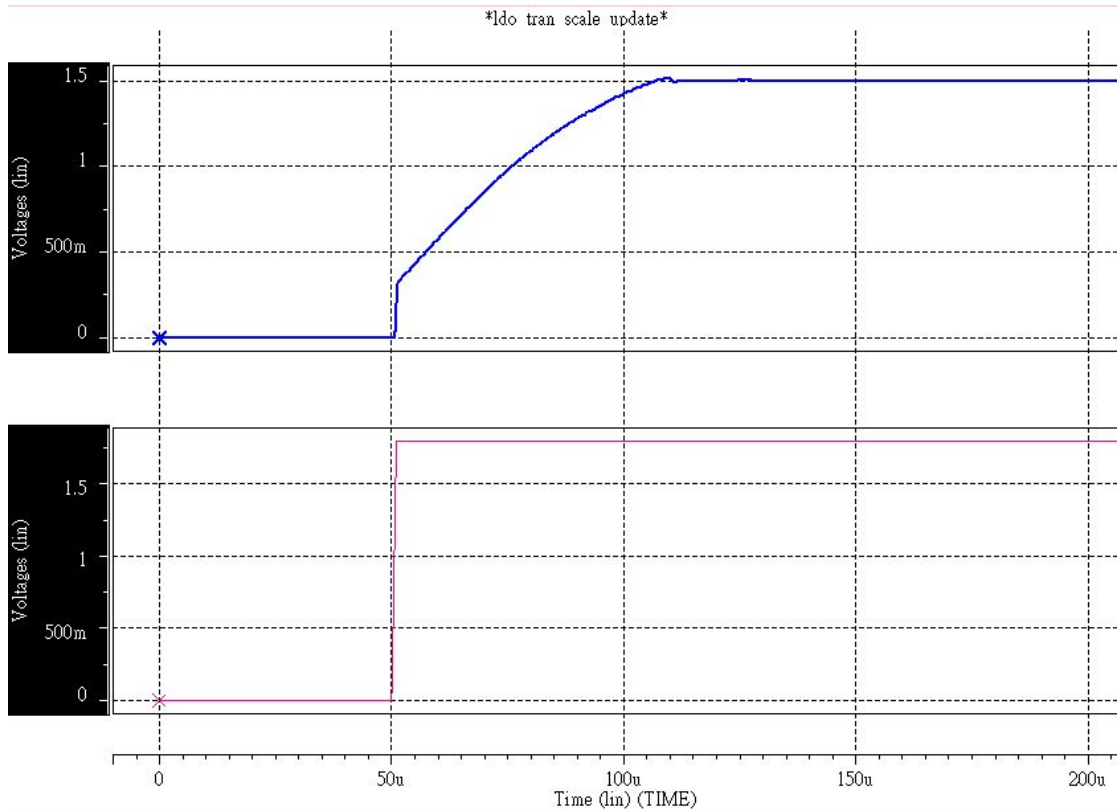


圖 4.17 導通安定時間  $\approx 60 \mu\text{s}$  ( $C_{\text{out}} = 10 \mu\text{F}$  ;  $I_L = 1 \text{ mA}$ )

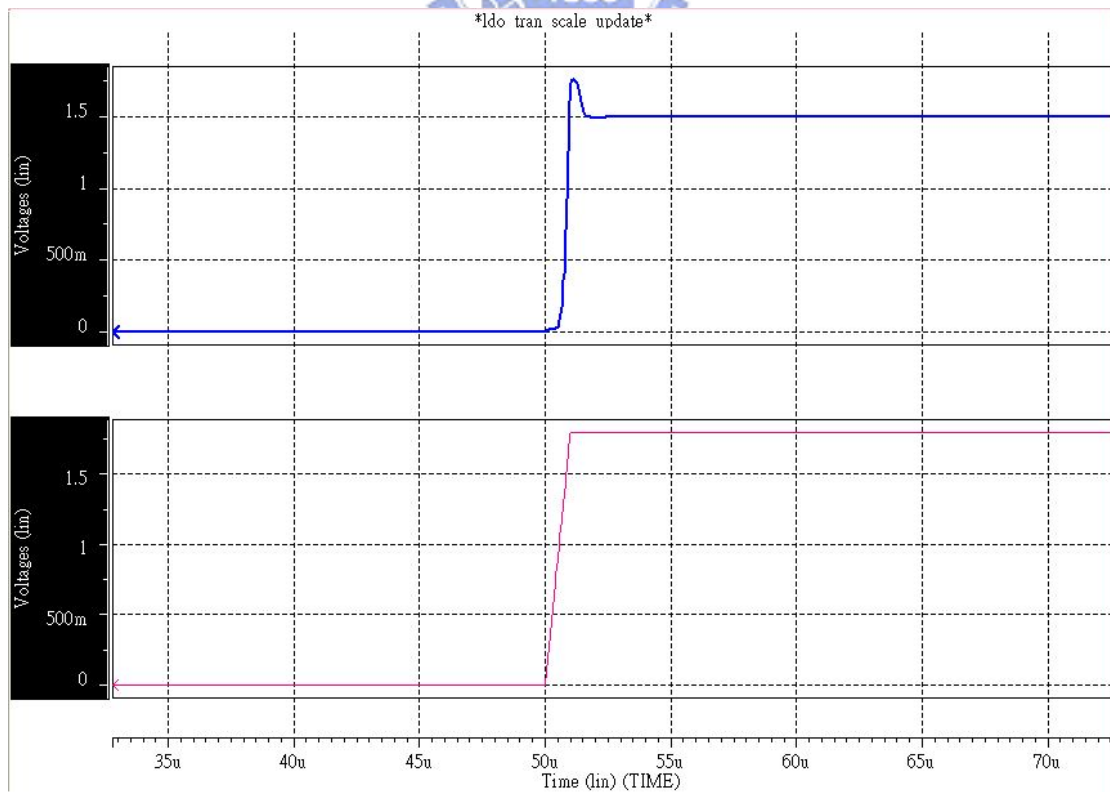


圖 4.18 導通安定時間  $\approx 2 \mu\text{s}$  ( $C_{\text{out}} = 100 \text{ pF}$  ;  $I_L = 1 \text{ mA}$ )

h) 頻率響應：

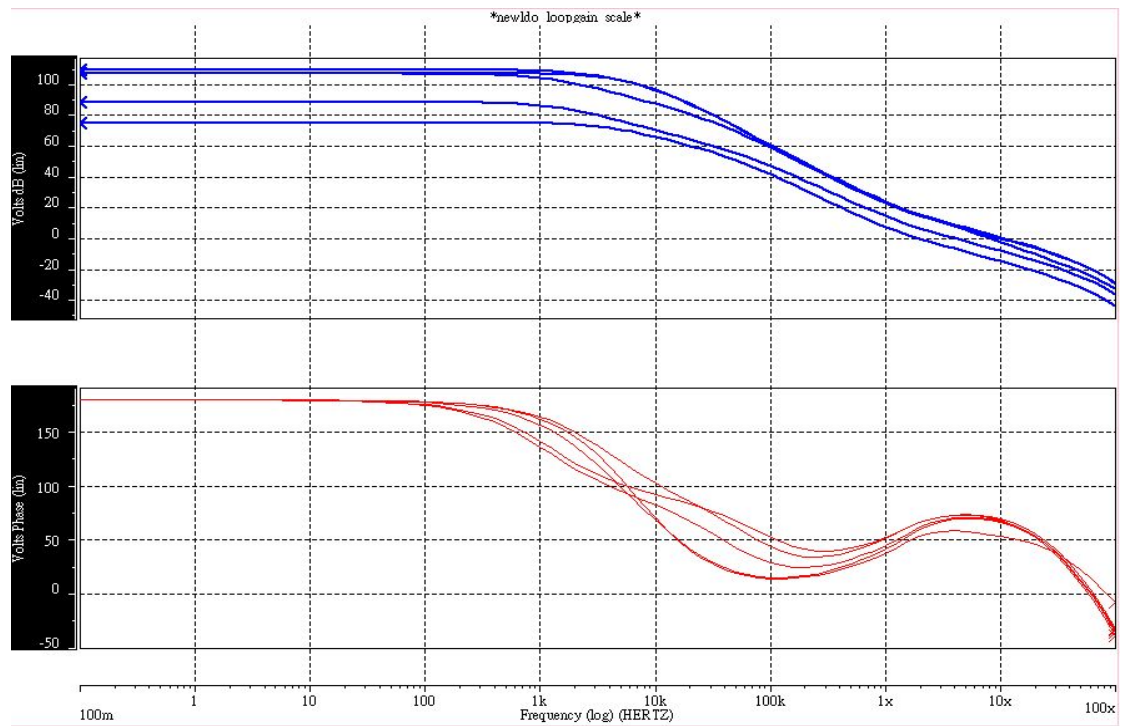


圖 4.19 穩壓器晶片外部沒有接負載電容時，在不同負載電流下的 open-loop AC response。

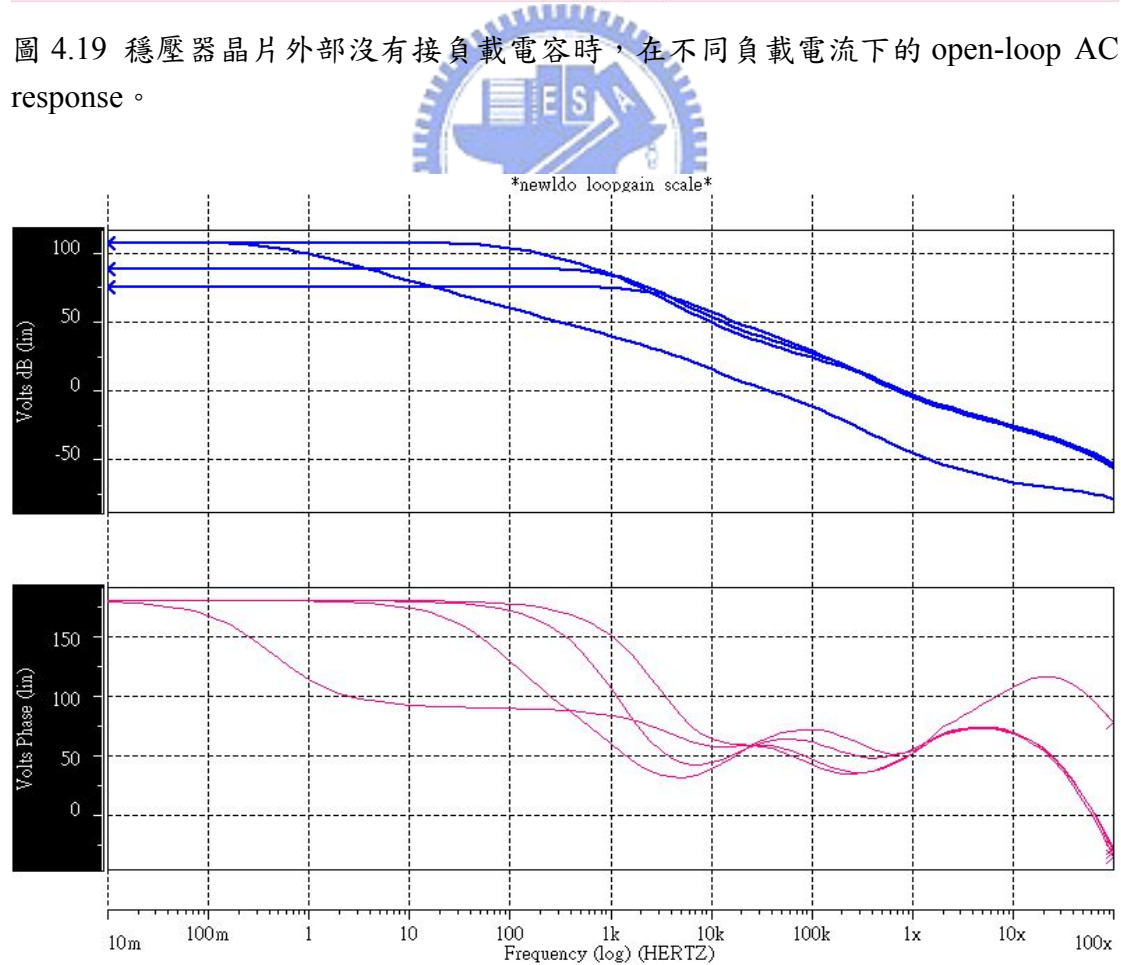


圖 4.20 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu F$ ;  $R_{ESR} = 1\Omega$ )時，在不同負載電流下的 open-loop AC response。



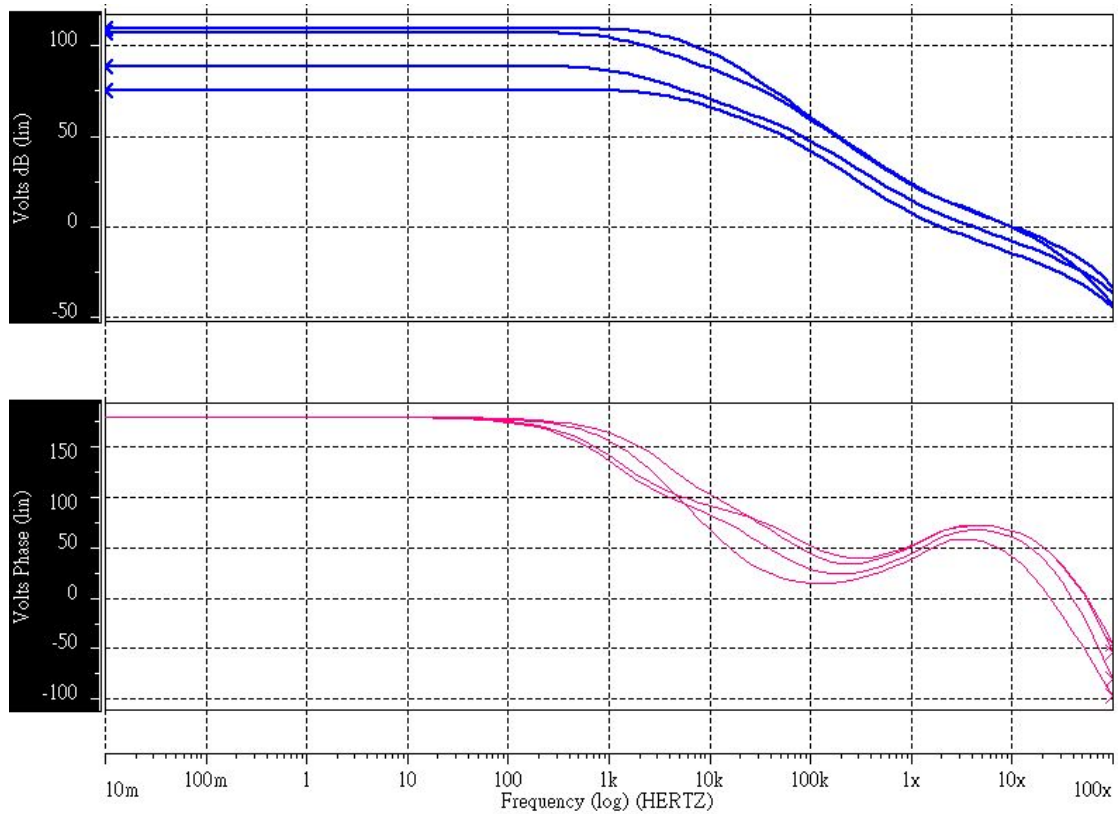


圖 4.21 穩壓器輸出端有寄生電容( $C_{out} = 100 \text{ pF}$ )時，在不同負載電流下的 open-loop AC response。

i) 電源拒斥比：

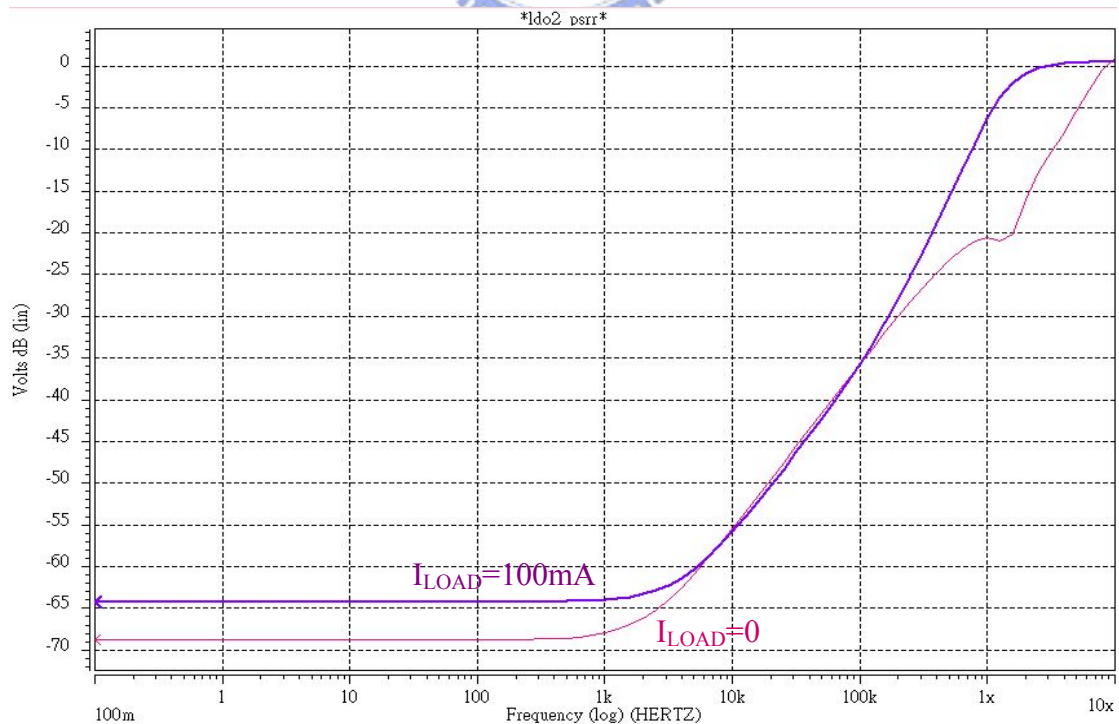


圖 4.22 穩壓器晶片外部沒有接負載電容時的電源拒斥比

j) 預計規格列表

表 4.2 穩壓器(II)模擬後的評估結果

Technology	LDO@TSMC 2P4M 0.35um CMOS
Supply voltage	1.5V~4.6V @ $I_L=0mA$
Max. output current	140mA
Quiescent current	57.5uA
Load Capacitor	Capacitor-less / With capacitor (10uF;ESR=1Ω & 100pF )
Loop gain	107dB @ $I_L=10mA$
Phase margin	>50° @ Capacitor-less >45° @ With capacitor
Dropout voltage	220mV @ 100mA
Load regulation	0.1mV / 99mA
Line regulation	0.3mV / V
PSRR (Cap. less) $I_L=100mA$	64.2dB@10Hz 63.9dB@1kHz
PSRR (With cap.) $I_L=100mA$	64.2dB@10Hz 63.9dB@1kHz
Chip area (Active area)	0.67×0.68 mm <sup>2</sup> (0.38×0.37 mm <sup>2</sup> )

### 4.3 晶片佈局圖與電路板

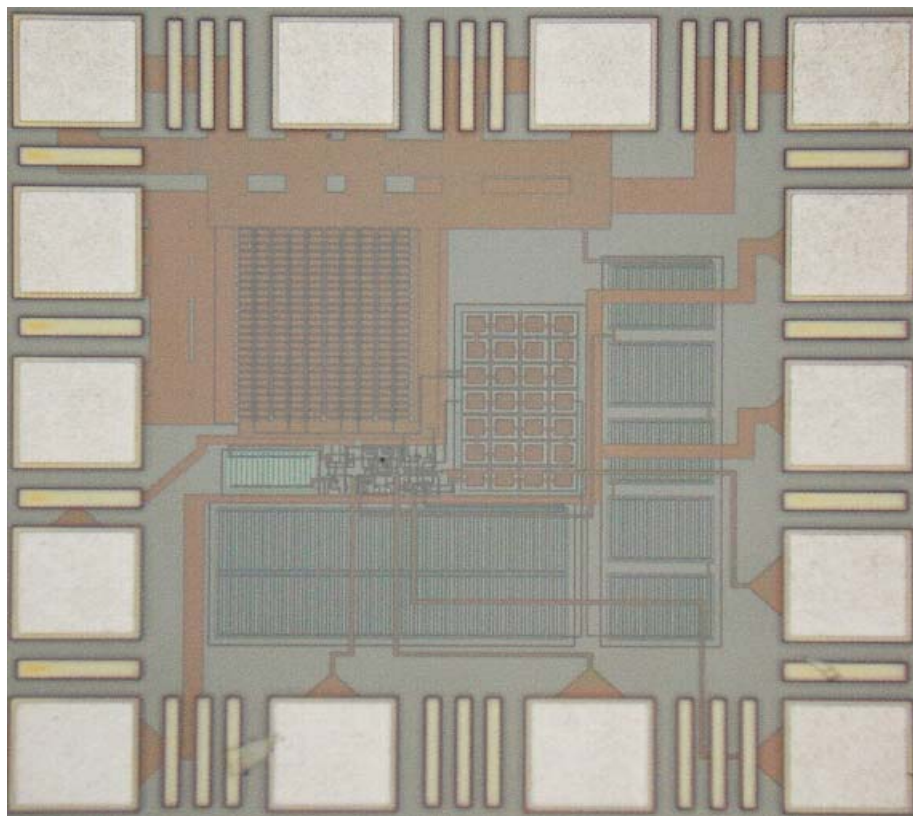


圖 4.23 LDO Regulator 晶片微型照相圖

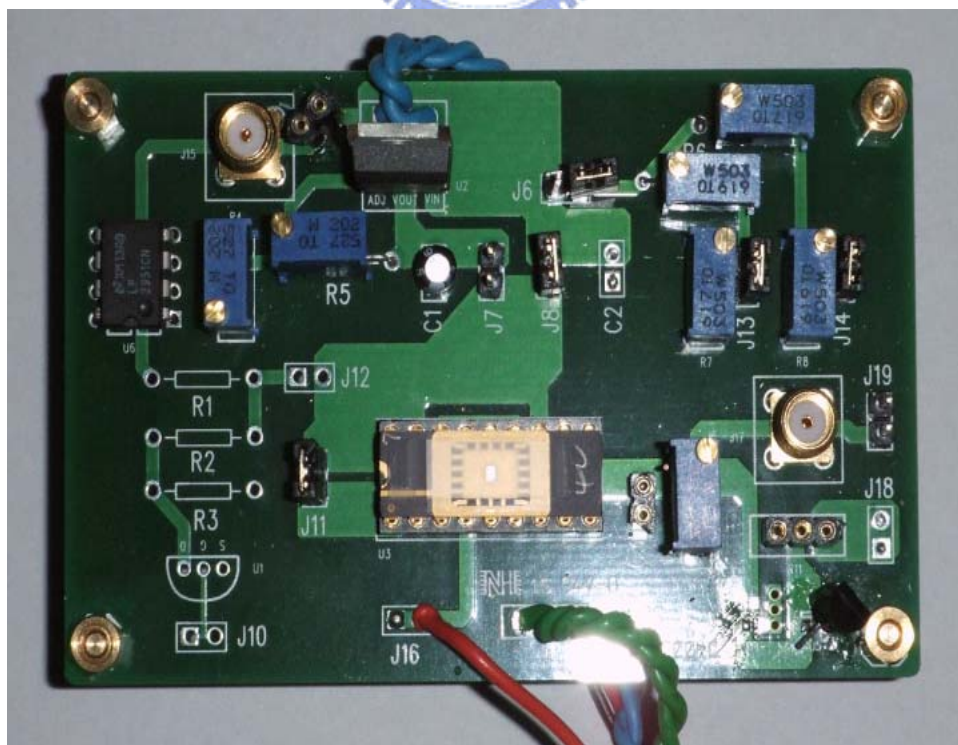


圖 4.24 LDO Regulator 量測電路板

## 4.4 實驗結果

### 4.4.1 測試考量

除了上述 3.4.1 節的測試考量外，我們這次選擇使用專業的印刷電路板來做為晶片量測的基板。使用 PowerPCB 電路板佈局軟體來規劃零件擺置與電路走線，選擇雙層板 FR-4 板材、1oz 銅箔噴錫面、綠色防焊層、板厚 1.6 mm，電路板尺寸大小為 88 mm × 55 mm。佈局時，設計在穩壓器的電源輸入端與輸出端具有較寬的銅箔導線，以減少寄生電阻，並且可以容納非常大的負載電流流過。接地面銅箔儘量佈局較大區域面積，用來均勻分散高頻雜訊。如圖 4.24 所示。

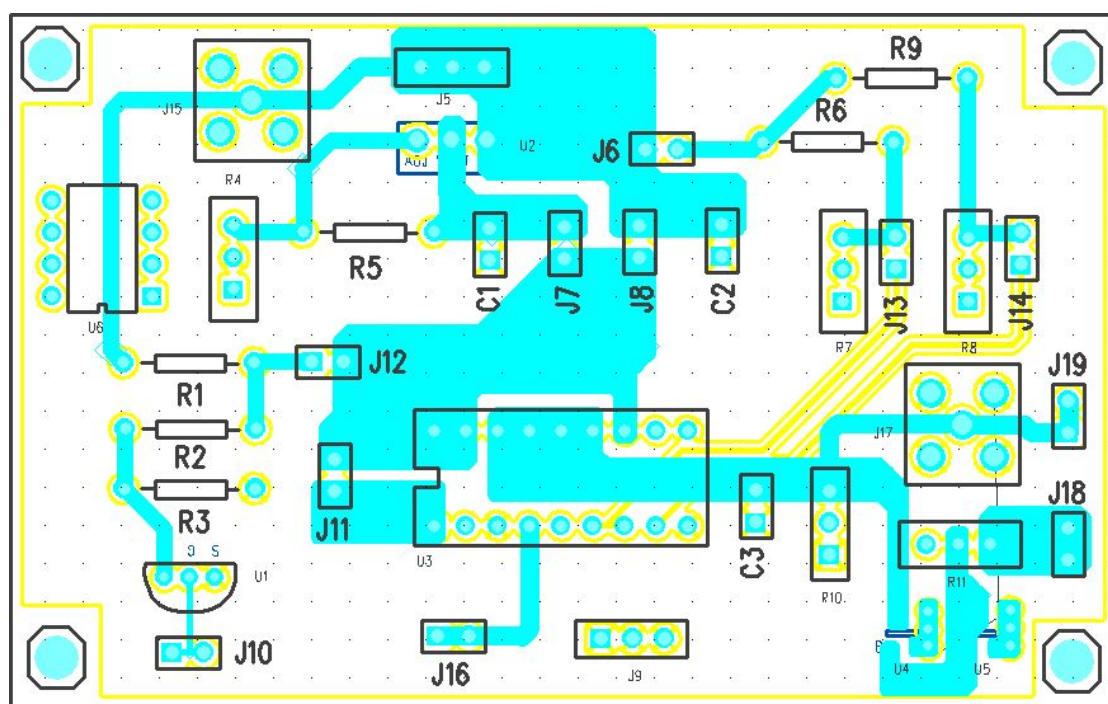


圖 4.25 印刷電路板佈局圖

#### 4.4.2 量測結果

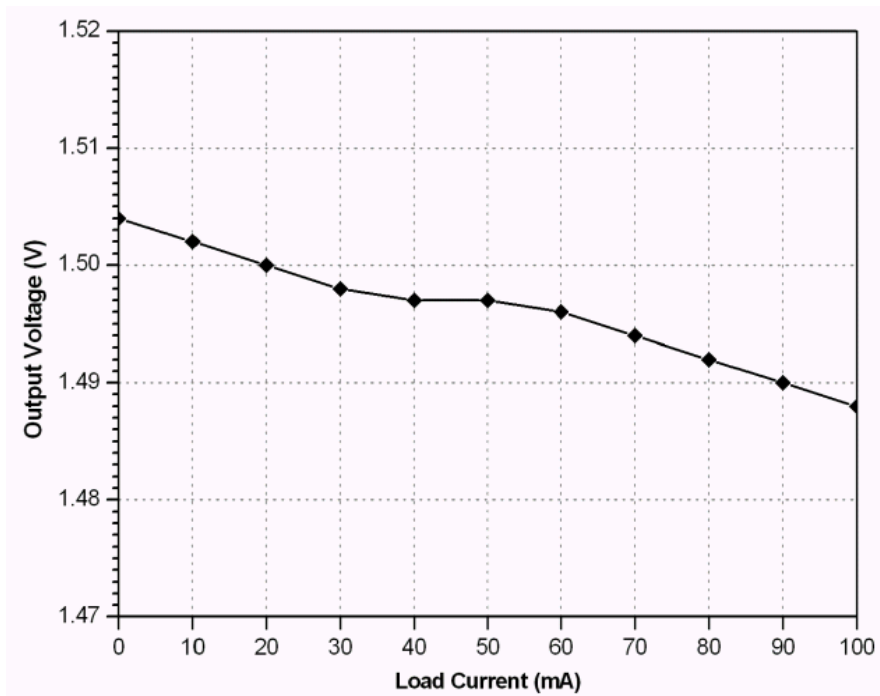


圖 4.26 穩壓器的輸出電壓與負載電流之關係

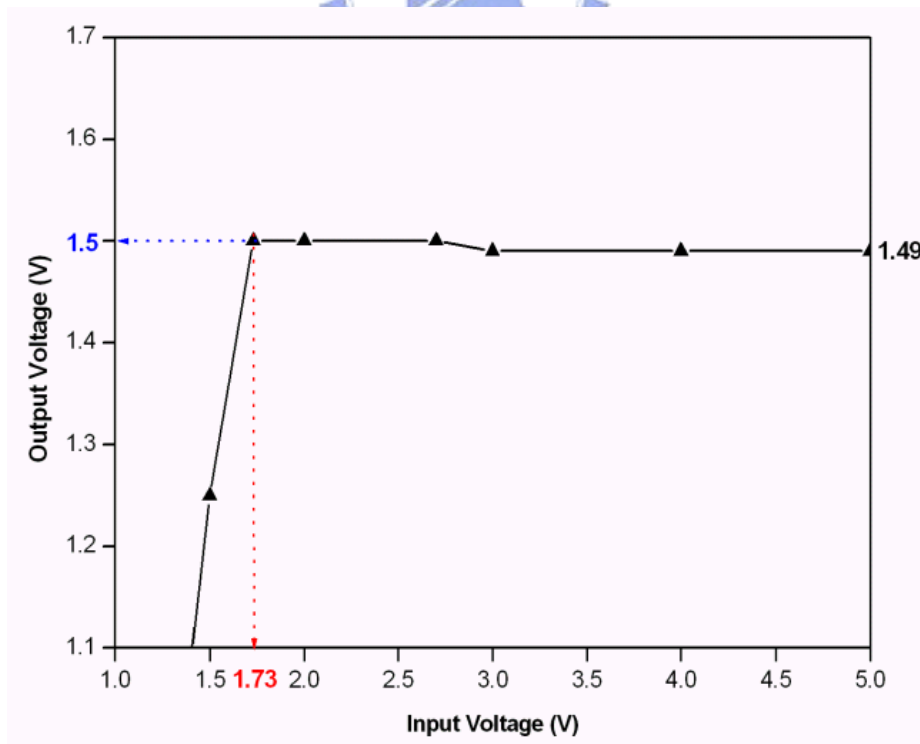


圖 4.27 穩壓器的輸出電壓與輸入電壓之關係

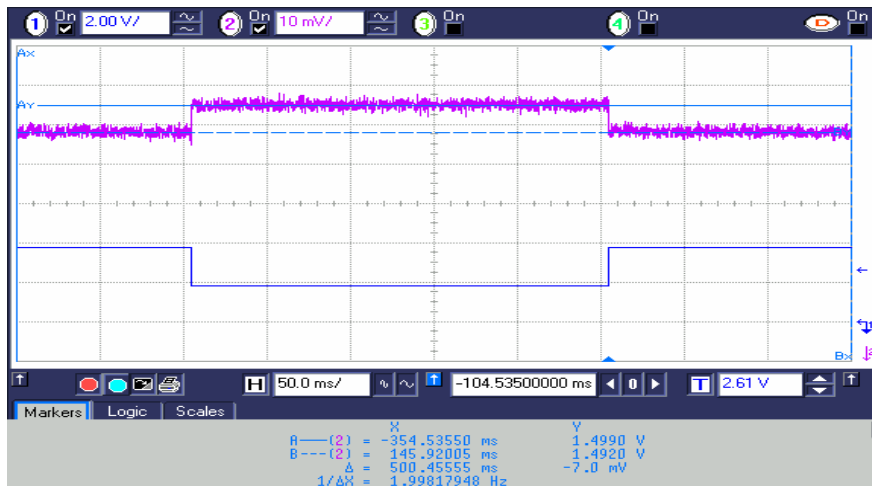


圖 4.28 穩壓器晶片外部沒有接負載電容時，電源電壓 1.8 V 與 3.8 V 脈衝切換，量測輸出電壓的線上暫態響應。

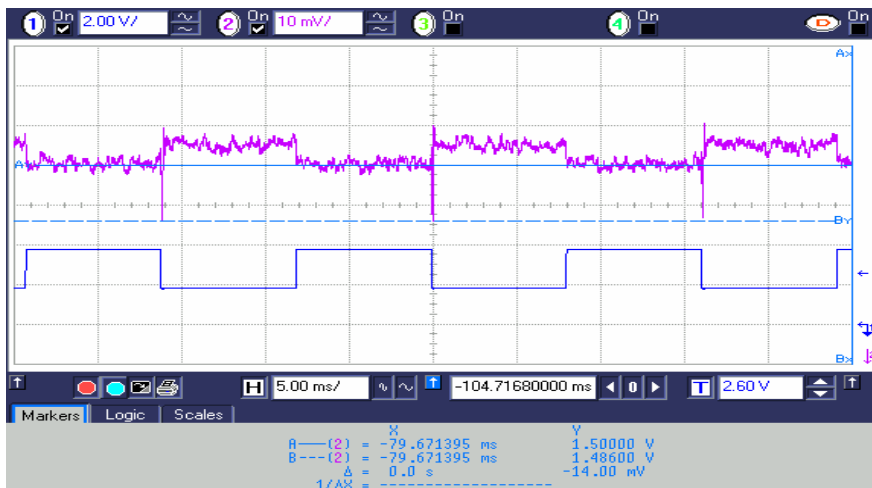


圖 4.29 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，電源電壓 1.8 V 與 3.8 V 脈衝切換，量測輸出電壓的線上暫態響應。

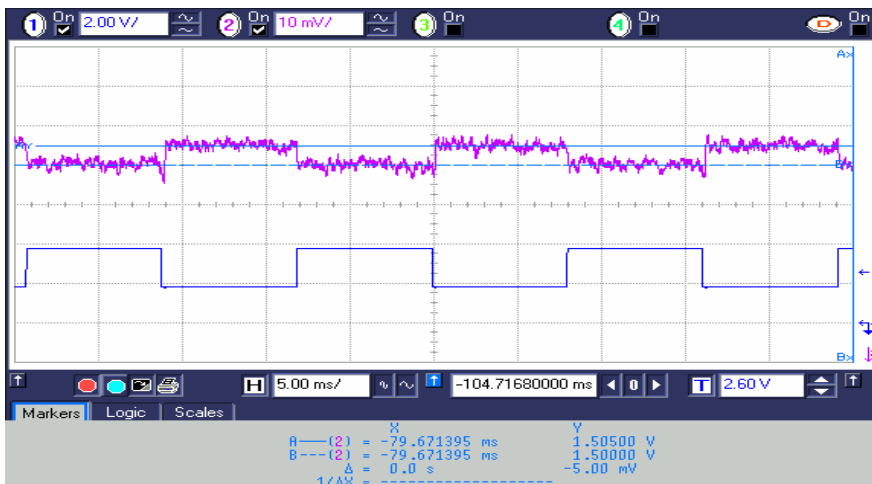


圖 4.30 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，電源電壓 1.8 V 與 3.8 V 脈衝切換，量測輸出電壓的線上暫態響應。

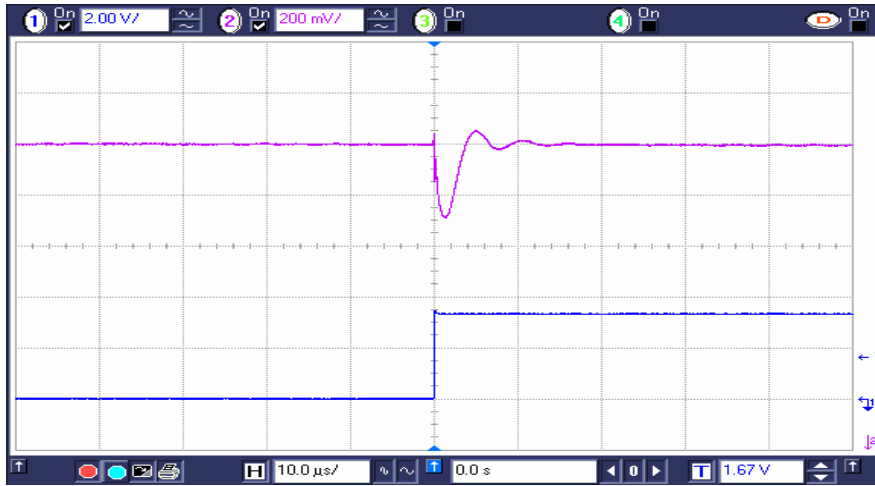


圖 4.31 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應。

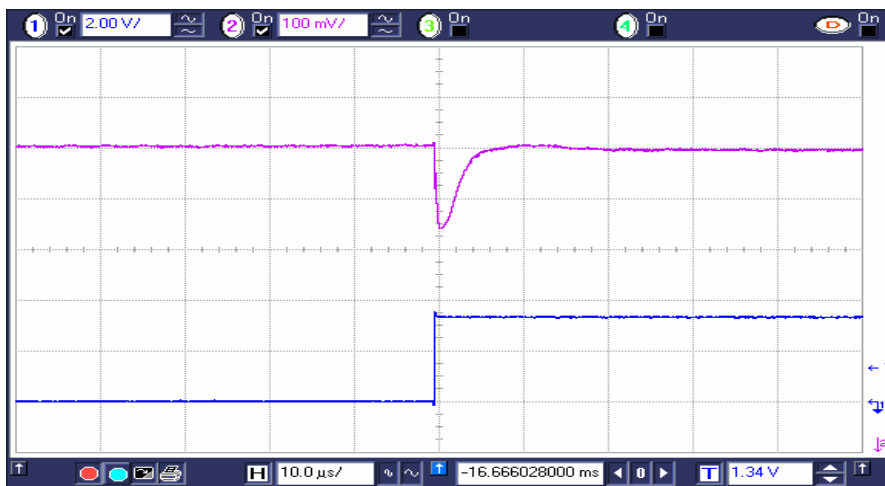


圖 4.32 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應。

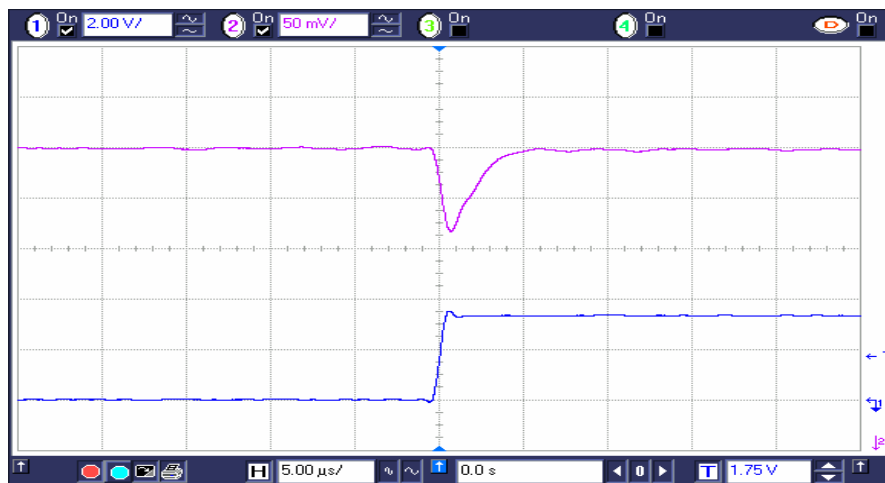


圖 4.33 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，負載電流脈衝從 0 mA 上升到 100 mA，量測輸出電壓的暫態響應。

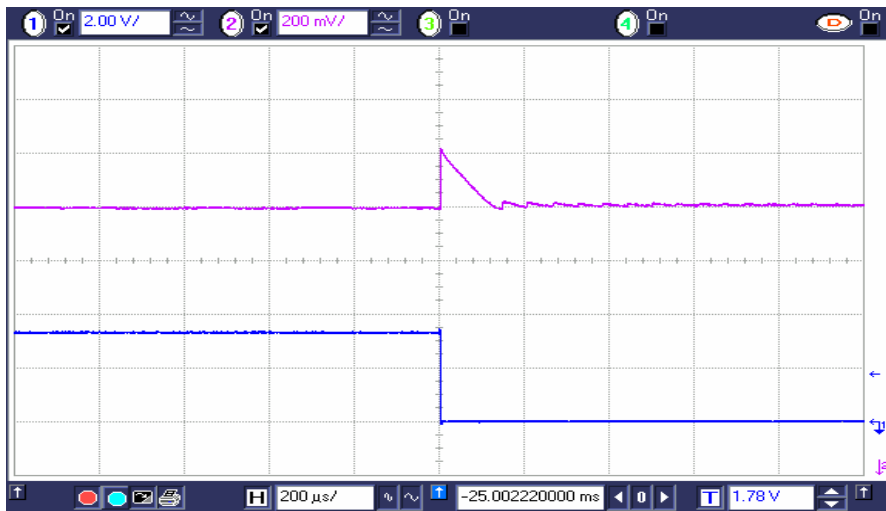


圖 4.34 穩壓器晶片外部沒有接負載電容時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應。

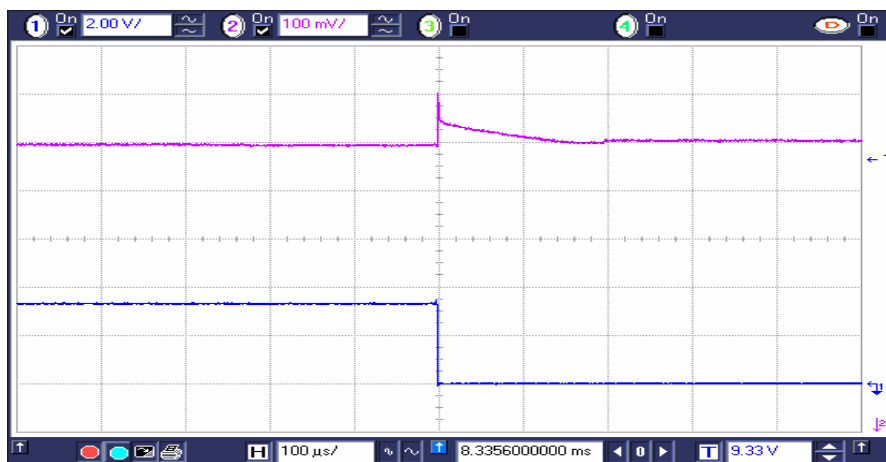


圖 4.35 穩壓器晶片外部有接負載電容( $C_{out} = 1\mu\text{F}$ )時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應。

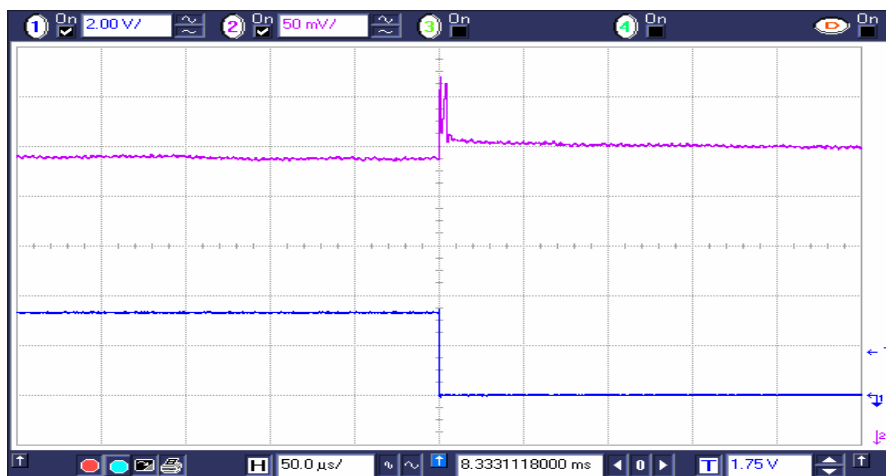


圖 4.36 穩壓器晶片外部有接負載電容( $C_{out} = 10\mu\text{F}$ )時，負載電流脈衝從 100 mA 下降到 0 mA，量測輸出電壓的暫態響應。



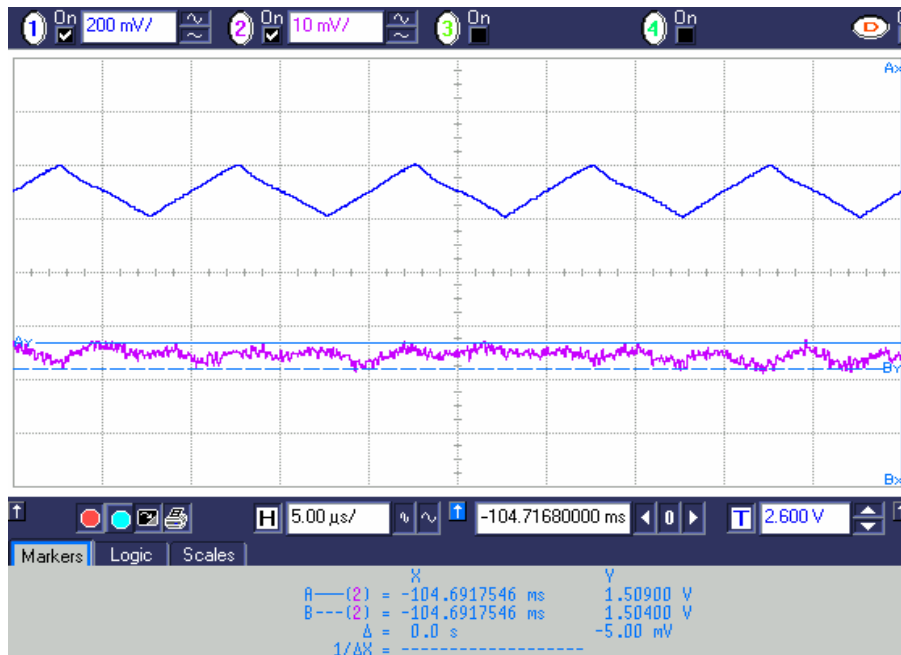


圖 4.37 穩壓器晶片外部沒有接負載電容時，當輸入電壓含有 100 kHz、200 mV 峰對峰值的漣波雜訊，量測拒斥雜訊的能力。



圖 4.38 穩壓器晶片外部沒有接負載電容時，當輸入電壓含有 1 MHz、200 mV 峰對峰值的漣波雜訊，量測拒斥雜訊的能力。

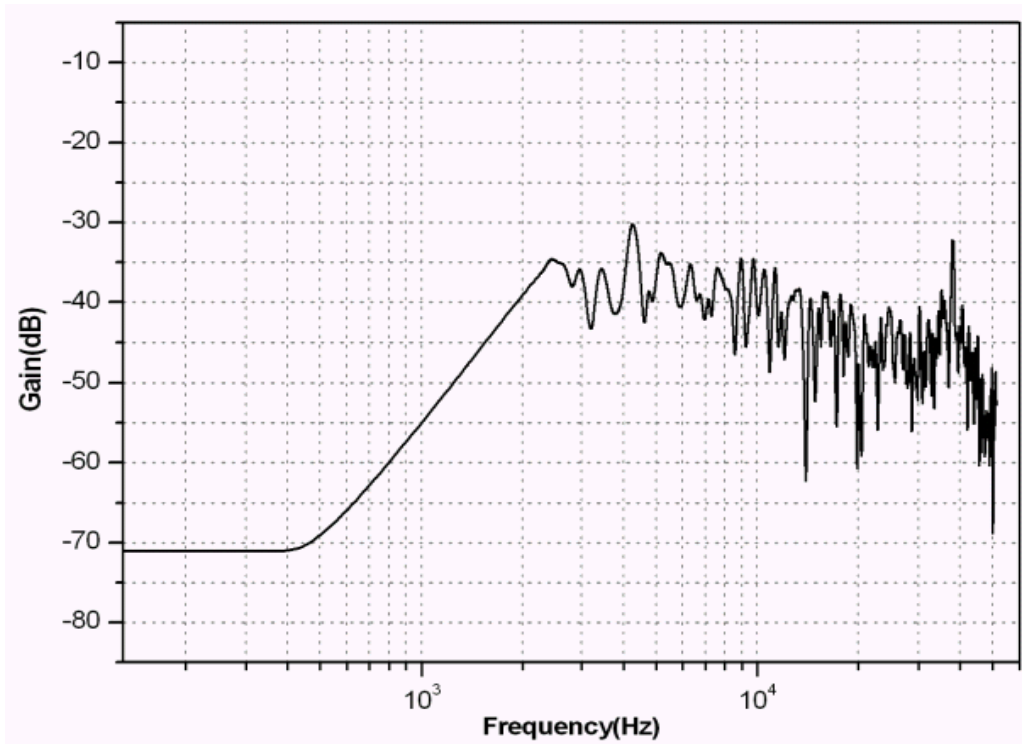


圖 4.39 穩壓器的電源拒斥比

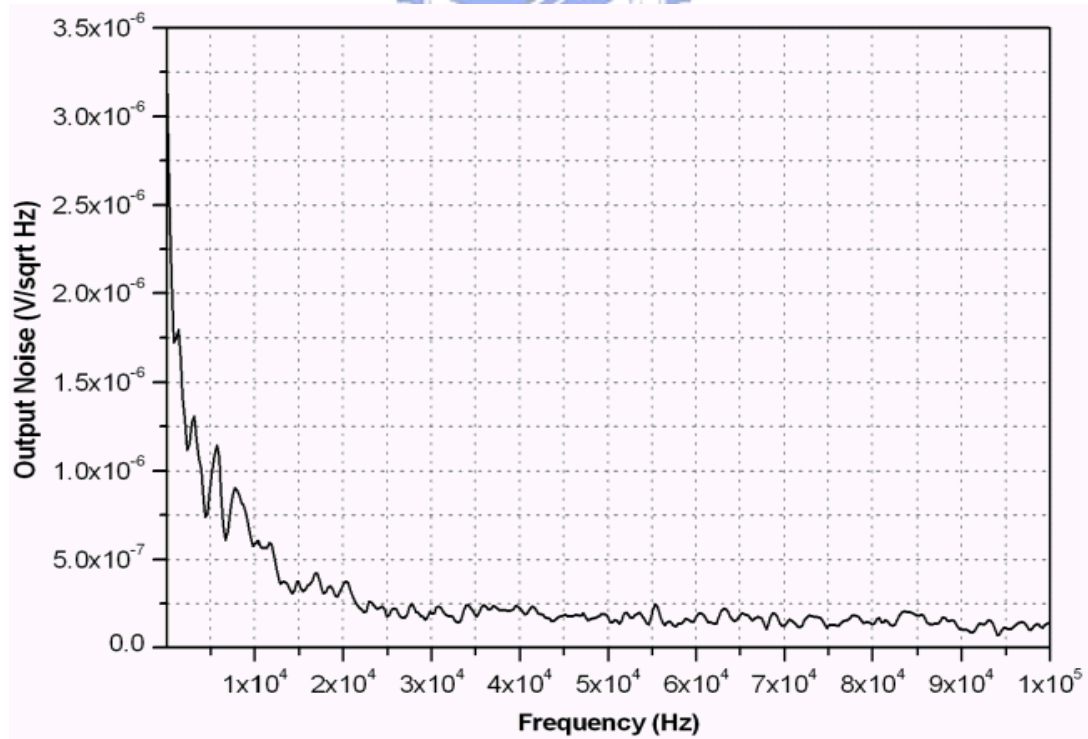


圖 4.40 穩壓器之等效輸出雜訊

表 4.3 穩壓器晶片(II)量測結果一覽

<b>Technology</b>	<b>TSMC 2P4M 0.35-<math>\mu</math>m CMOS</b>
<b>Supply Voltage</b>	<b>1.73 V ~ 5 V</b>
<b>Output Voltage</b>	<b>1.5 V</b>
<b>Max. Output Current</b>	<b>100 mA</b>
<b>Quiescent Current</b>	<b>40 <math>\mu</math>A</b>
<b>Dropout Voltage</b>	<b>230 mV</b>
<b><math>\Delta V_{out-transient}</math></b>	<b>280 mV, <math>C_L = 0</math> @<math>\Delta I_L = 100</math> mA</b>
	<b>83 mV, <math>C_L = 10 \mu F</math> @<math>\Delta I_L = 100</math> mA</b>
<b>Line Regulation</b>	<b>2.5 mV/V</b>
<b>Load Regulation</b>	<b>0.16 mV/mA</b>
<b>PSRR</b>	<b>71 dB @ 100 Hz</b>
<b>Output Noise</b>	<b>3.24 <math>\mu</math>V/sqrt Hz@100 Hz</b>
<b><math>C_{LOAD}</math></b>	<b>0 or 1 <math>\mu</math>F or 10 <math>\mu</math>F (ESR <math>\geq 0.01 \Omega</math>)</b>
<b>Active area</b>	<b>0.14 mm<sup>2</sup></b>

# Chapter 5

---

## 可操作於一伏特供應電壓且溫度係數 14ppm/°C之參考電壓源

### 5.1 簡介

精確的參考電壓源是類比電路重要的建構方塊，它必須要能精確的工作在混訊號電路或類比電路上，例如：震盪器、鎖相迴路、資料轉換器、動態隨機存取記憶體。這些應用的參考電壓源必須要對製程變化、溫度變化、電壓變化不敏感。類比數位混合電路的整體特性受限於參考電壓源的非精確度誤差和電源雜訊耦合誤差這兩項的影響。舉例而言，差動對之偏壓電流必須依據參考電路產生，因為它影響了電路的電壓增益和雜訊。另外，精確參考電壓源也常連接到與供應電壓無關之偏壓電路或偏流電路上。

### 5.2 參考電壓源基本操作原理

能帶差參考電壓源(Bandgap Voltage Reference，簡稱BGR或BVR)是一個精確的電壓參考電路。它是在某個溫度下，利用一個負溫度係數電壓與另一個正溫度係數電壓相互抵銷溫度係數權重，而在某段溫度範圍內產生非常精確且固定的電壓，與溫度僅剩微小的相依性，故可以稱為不隨溫度變化之參考電壓。早期BGR所產生的輸出電壓值近似於半導體的能帶差電壓( $\approx 1.25\text{ V}$ )。

#### 5.2.1 負溫度係數電壓

pn 接面二極體的順向電壓呈現一個負溫度係數。也就是說，可利用雙載子電晶體之基極-射極電壓來實現負溫度係數電壓。

$$V_{BE} = V_T \ln \left( \frac{I_C}{I_S} \right) \quad (5.1)$$

$$\frac{\partial V_{BE}}{\partial V_T} = \frac{\partial V_T}{\partial T} \ln\left(\frac{I_C}{I_S}\right) - \frac{V_T}{I_S} \frac{\partial I_S}{\partial T} \quad (5.2)$$

其中  $I_S = bT^{4+m} \exp\left(\frac{-E_g}{kT}\right)$

$$\text{因此 } \frac{\partial V_{BE}}{\partial V_T} = \frac{V_{BE} - (4+m)V_T - E_g/q}{T} \quad (5.3)$$

當  $V_{BE} \approx 750 \text{ mV}$  且  $T = 300 \text{ K}$  時， $\partial V_{BE}/\partial V_T \approx -1.5 \text{ mV/K}$ 。

### 5.2.2 正溫度係數電壓

兩個雙載子電晶體操作於不同的電流密度下，其基極-射極電壓差和絕對溫度成正比(Proportional To Absolute Temperature, PTAT)[16]。如圖 5.1 所示，假如兩個相同的電晶體分別偏壓於  $nI_C$  和  $I_C$  並忽略基極電流則

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_T \ln\left(\frac{nI_C}{I_S}\right) - V_T \ln\left(\frac{I_C}{I_S}\right) = V_T \ln n \quad (5.4)$$

$$\frac{\partial \Delta V_{BE}}{\partial V_T} = \frac{k}{q} \ln n \quad (5.5)$$

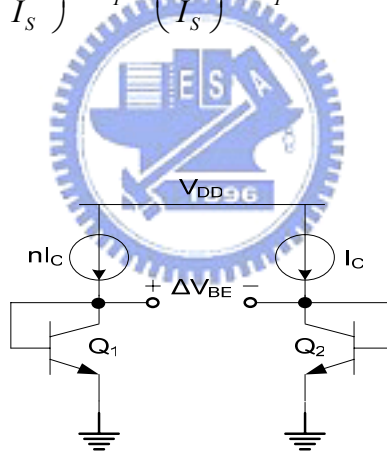


圖 5.1 產生正溫度係數電壓

### 5.2.3 傳統的帶差參考電路

利用上述所求得之負溫度係數與正溫度係數，我們可以設計具有零溫度係數之參考電路，先列出式子  $V_{REF} = \alpha V_{BE} + \beta (V_T \ln n)$ 。在室溫時， $\partial V_{BE}/\partial V_T \approx -1.5 \text{ mV/K}$  而  $\partial V_T/\partial T \approx +0.087 \text{ mV/K}$ ，設定  $\alpha = 1$  則  $\beta \ln(n) \approx 17.2$ ，以零溫度係數而言：

$$V_{REF} \approx V_{BE} + 17.2 V_T \approx 1.25 \text{ V} \quad (5.6)$$

(5.6)式可以利用圖 5.2 電路完成，可輕易地用 CMOS 製程實現。

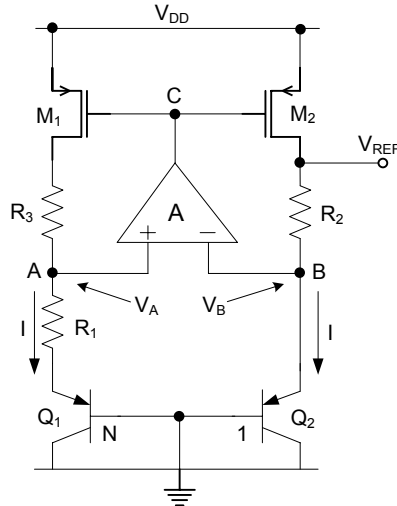


圖 5.2 基本的能帶差參考電壓源

$$I = \frac{V_{EB2} - V_{EB1}}{R_1} \quad (5.7)$$

$$V_{REF} = \left( \frac{V_{EB2} - V_{EB1}}{R_1} \right) R_2 + V_{EB2} \quad (5.8)$$

$$V_{REF} = \left( \frac{R_2}{R_1} \right) V_T \ln n + V_{EB2} \quad (5.9)$$

比較(5.9)式與(5.6)式可得  $(R_1/R_2)\ln(n) = 17.2$ ，我們可以設計  $R_1$  和  $R_2$  使用同材質的電阻佈局，因此兩電阻之溫度係數互相抵銷，我們可以輕易的設計正負溫度係數權重，達成與溫度無關之參考電壓源。

### 5.3 文獻回顧

#### A CMOS Bandgap Reference Circuit with Sub-1-V Operation Proposed by Banba et al. [17].

圖 5.3 是 Banba [17]所提出的電路。電壓參考源藉由兩個電流  $I_1$  和  $I_2$  所形成。而  $I_1$  是由  $Q_1$ 、 $Q_2$  和  $R_1$  所形成，它是正比於絕對溫度(PTAT)之電流， $I_1 = V_T \ln(N)/R_1$ 。  $I_2$  則是  $V_{BE2}$  和  $R_2$  所構成之電流， $I_2 = V_{BE2}/R_2$ 。  $V_{REF}$  可求得如下式

$$\begin{aligned} V_{REF} &= (I_1 + I_2) R_3 \\ &= \left( \frac{R_3}{R_2} \right) \left[ V_{EB2} + \left( \frac{R_2}{R_1} \right) V_T \ln(N) \right] \end{aligned} \quad (5.10)$$

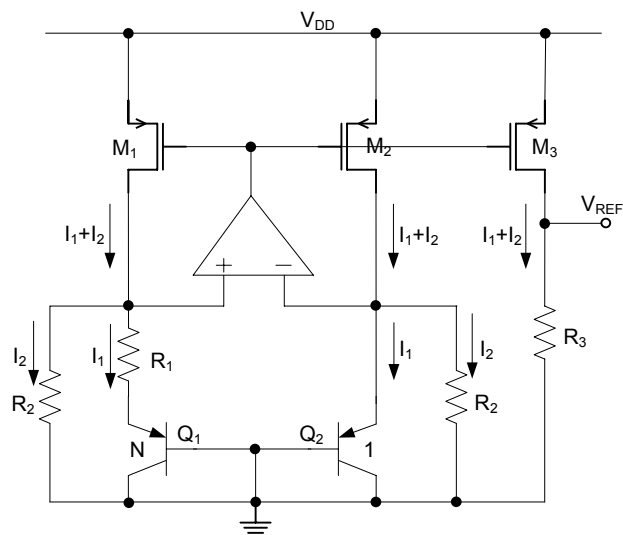


圖 5.3 可操作在低於一伏特供應電壓之能帶差參考電壓源

參考電壓對溫度的相依性可以藉由調整  $R_2/R_1$  和  $N$ ，去完成正負溫度係數互相抵消。另外， $R_3/R_2$  的比值設計小於一，於是輕易的將參考電壓降到低於 1.2V，根據用途的不同，可以調整電壓值到我們所需的範圍。為了達到好的電流匹配 (current matching)，在不同的溫度下要使得  $V_{DS1} = V_{DS2} \approx V_{DS3}$ 。值得一提的是，此設計需要使用特殊的製程 (NMOS  $V_{th} = -0.2V$ )，供應電壓  $V_{DD}$  才能操作在低於一伏特。

### A Sub-1-V 15-ppm/°C CMOS Bandgap Voltage Reference without Requiring Low Threshold Voltage Device by Leung et al. [18].

如圖 5.4(a)所示，以 NMOS 當輸入級的運算放大器之最小輸入共模電壓必須小於一個  $V_{EB(on)}$  (也就是說  $V_{thn} + 2V_{DS(sat)} < V_{EB(on)}$ )，這也意味著  $V_{thn}$  必須小於 0.6V (其中假設  $V_{EB(on)} = 0.7V$  和  $V_{DS(sat)} = 50mV$ )。  $V_{thn}$  小於 0.6V 是可接受的條件這在許多製程下是可以看到的。然而基-射電壓和臨界電壓的溫度效應是我們要考量的。基-射電壓溫度係數約為  $-2mV/K$  [19] 而 NMOS 臨界電壓的溫度係數是大於  $-2mV/K$  (例如:  $-1.3mV/K$ )。在高溫下， $V_{EB(on)}$  可能會低於  $V_{thn} + 2V_{DS(sat)}$ ，因此電路將不會產生動作。因此上述文獻[17]才使用特殊製程 NMOS 的  $V_{thn} = -0.2V$  來克服這個問題。另外，當放大器的輸入級是 PMOS 時，示於圖 5.4(b)，最小的供應電壓為  $V_{EB(on)} + |V_{thp}| + 2|V_{DS(sat)}|$ ，即使  $|V_{thp}|$  少於 0.2V 至少仍需要 1 伏的供應電壓。

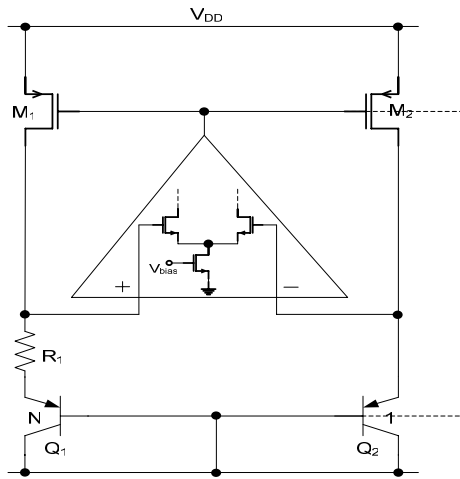
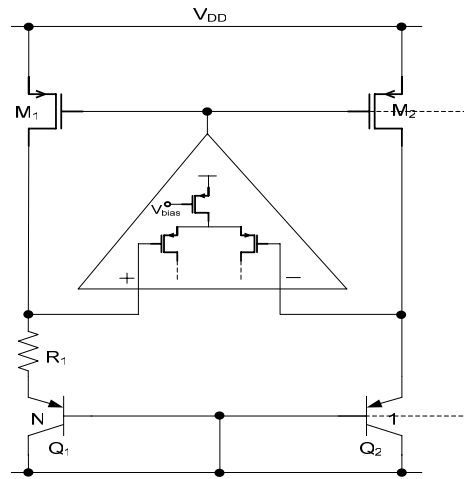


圖 5.4(a) 以 NMOS 當輸入級



(b) 以 PMOS 當輸入級

與文獻[17]不同之處是：放大器的輸入級改為 PMOS 而放大器的輸入端原來是接  $N_3$ 、 $N_4$  節點，改接到  $N_1$ 、 $N_2$  節點。如圖 5.5 所示， $N_1$  和  $N_2$  幾乎是等電位，而當  $R_{2A1} + R_{2A2} = R_{2B1} + R_{2B2}$  時， $N_3$  和  $N_4$  的電位也是幾乎相等。

$$I = \frac{V_{BE2}}{R_2} + \frac{V_T \ln(N)}{R_1} \quad (5.11)$$

而  $N$  是射極面積之比， $V_T$  是熱電壓， $R_2 = R_{2A1} + R_{2A2} = R_{2B1} + R_{2B2}$ ，電流  $I$  經由電流鏡流過  $R_3$  得到參考電壓

$$V_{REF} = \frac{R_3}{R_2} \left[ V_{EB2} + \left( \frac{R_2}{R_1} \ln(N) \right) V_T \right] \quad (5.12)$$

由(5.12)式，可以藉由  $R_2$ 、 $R_3$  的值來調整參考電壓值。

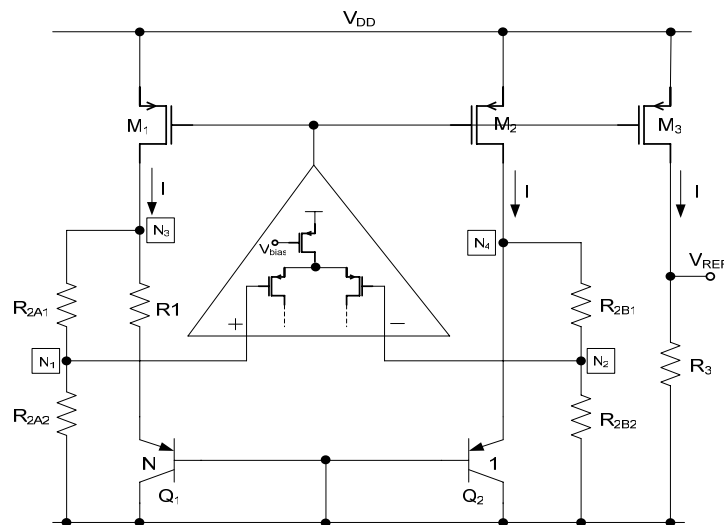


圖 5.5 不需低臨界電壓元件即可操作在低於一伏特供應電壓之參考電壓源



檢視圖 5.5，節點  $N_1$  和  $N_2$  的電位為  $(R_{2B2}/(R_{2B1}+R_{2B2})) \times V_{EB2}$ 。因此最小供應電壓在最低操作溫度下可以評估出來

$$V_{DD(min)} = \left( \frac{R_{2B2}}{R_{2B1} + R_{2B2}} \right) V_{EB2} + |V_{thp}| + 2|V_{DS(sat)}| \quad (5.13)$$

若我們希望設計供應電壓有最低操作值，則需將  $(R_{2B2}/(R_{2B1}+R_{2B2})) \times V_{EB2}$  設計成最小的值。此架構之參考電壓源可以實現於任何 CMOS 製程。

## A CMOS Voltage Reference Based on Weighted $\Delta V_{GS}$ for CMOS Low-Dropout Linear Regulators et al. [20].

此小節介紹另一種新的架構，電路全部都是使用 MOS 電晶體去實現之參考電壓源，不需使用 Bipolar 電晶體或寄生 Bipolar 電晶體。Leung. [20] 提出利用 NMOS、PMOS 的閘源極電壓在不同權重下，達成溫度係數互相抵消，實現參考電壓與溫度不敏感之特性。這類型的參考電壓源是根據  $V_{th}$  的溫度相依性，臨界電壓幾乎是溫度的線性函數，如圖 5.6(a)。

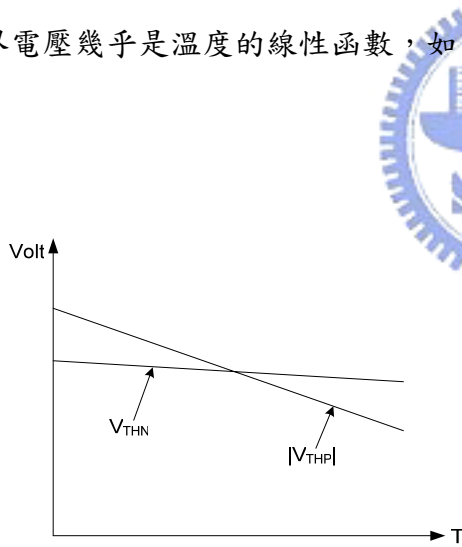


圖 5.6(a)  $V_{TH}$  的溫度相依性

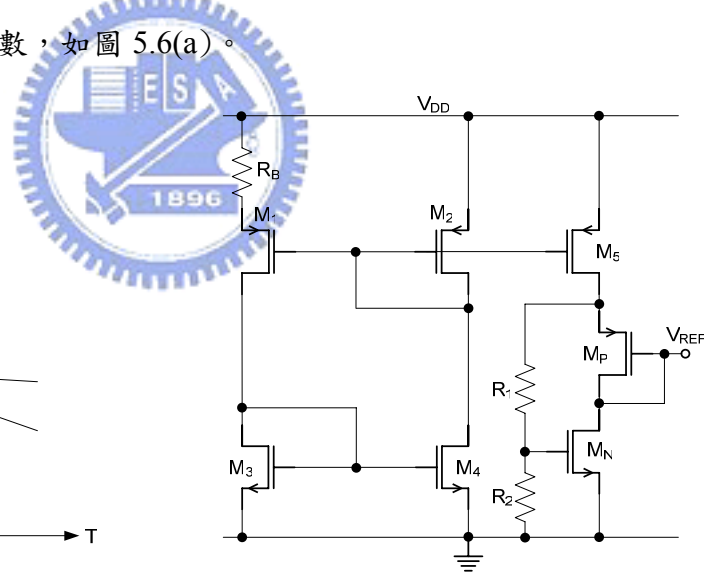


圖 5.6(b) 以 MOS 為基礎之參考電壓源

若想用簡單電路去提出  $V_{th}$  是非常困難地，但我們仍可利用  $V_{GS}$  近似成  $V_{th}$ 。從圖 5.6(b) 可推導出參考電壓  $V_{REF}$ ：

$$V_{REF} = \left( 1 + \frac{R_1}{R_2} \right) V_{GSN} - |V_{GSP}| \quad (5.14)$$

當  $R_1$  和  $R_2$  設計較大值，流過電阻的電流很小可以忽略。最佳化調整  $R_1$  對  $R_2$  的比值以及 NMOS、PMOS 電晶體的尺寸可以得到溫度係數為  $36.9\text{ppm}/^\circ\text{C}$ ，此溫

度係數已經非常接近能帶隙參考電壓源。另外，電源的相依性很低，因為當  $I_B$  增加時，則  $V_{GSN}$  增加而  $|V_{GSP}|$  減少；當  $I_B$  減少時，則  $V_{GSN}$  減少而  $|V_{GSP}|$  增加，因此具有對供應電壓變不敏感之特性。不過這種全部使用 MOS 電晶體所組成之參考電壓源的輸出值，仍然會受到製程漂移(變異)的影響。

## 5.4 研究動機

本參考電壓源的設計以標準 CMOS 製程為基準，電路完全以 MOS 電晶體和電阻完成設計而不需使用寄生的 Bipolar 電晶體，可以應用於低壓降線性穩壓器或直流-直流切換式電壓轉換器中。

從現有的 Paper 無論是會議論文或期刊論文不難發現，所發表的能帶隙電壓參考電路技術，在提出低的供應電壓及低的功率耗損，甚至更低溫度係數時，很多都無法同時有效地達成對供應電壓變化的較低敏感度，而沒有將其結果明確地顯示於論文中，例如[21]–[23]。所以在此希望設計一個低溫度係數，同時對供應電壓變化不敏感(insensitivity)、寬範圍(wide range)的電路。另外，這次電壓參考電路設計應用面是設定在低壓降線性穩壓器電路之中，故需要不錯的電源拒斥比規格及低的溫度係數，同時考慮面積和功率消耗最小化。由於 CMOS 製程中的寄生 Bipolar 電晶體特性不像 BiCMOS 製程中的 Bipolar 電晶體好，而且寄生的 Bipolar 電晶體會佔去較多晶片面積，所以出發點是希望設計無 Bipolar 電晶體的電壓參考電路。

## 5.5 設計新的參考電壓源

### 5.5.1 電路架構

我們所提出的 CMOS 參考電壓源總共包含三個方塊圖，如 Fig. 5.7 所示：

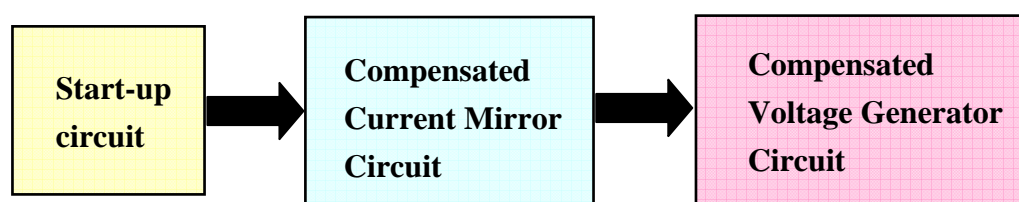


圖 5.7 參考電壓源方塊圖

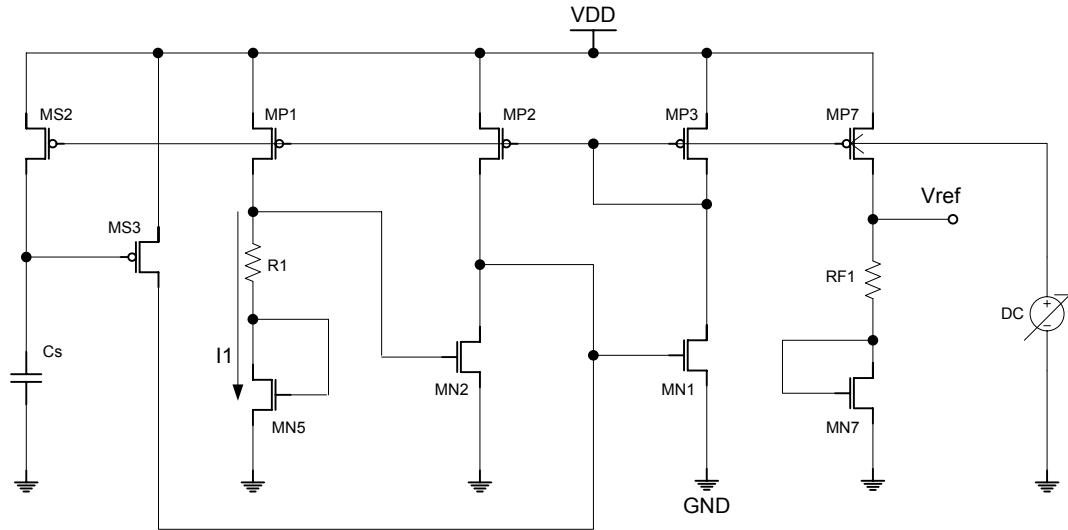


圖 5.8 新的參考電壓源完整電路圖

### 5.5.2 操作原理與理論分析

起始電路是由 Cs、MS2、MS3 所組成，當電源電壓啟動時，MS3 瞬間 turn-on 致使 current mirror circuit 有電流流過，所以不會停留在靜態平衡點。然後 mirror current 透過 MS2 對 Cs 充電，於是 MS3 會 turn-off 不會影響電路的正常運作。由於有 Cs 的關係所以不會持續有靜態電流，可節省功率消耗。

Compensated current mirror 由 MP1、MP2、MP3、MN1、MN2、R1、MN5 所組成，compensated voltage generator 由 MP7、RF1、MN7 所組成。所有 MOSFET 均設計操作在飽和區，從電路圖可計算供應電壓 worst cast 的路徑  $V_{DD(min)} = V_{DS(sat)} + IR + V_{GS}$ ，本設計最低可達到 1V 左右的供應電壓。另外，電源拒斥比可達到約 60dB。

溫度係數補償分析公式推導如下：

$$I_1 R_1 = V_{GS2} - V_{GS5} \quad (5.15)$$

$$I_1 = \frac{V_{GS2} - V_{GS5}}{R_1} \quad (5.16)$$

$$I_1 = \frac{\left[ \sqrt{\frac{2I_1 \delta_1}{K_n' S_{n2}}} + V_{thn} \right] - \left[ \sqrt{\frac{2I_1}{K_n' S_{n5}}} + V_{thn} \right]}{R_1} \quad (5.17)$$

$$(I_1 R_1)^2 = \frac{2I_1 \delta_1}{K_n' S_{n2}} - 2 \left( \frac{2I_1 \delta_1}{K_n' S_{n2}} \right) \left( \frac{2I_1}{K_n' S_{n5}} \right) + \frac{2I_1}{K_n' S_{n5}} \quad (5.18)$$

$$R_1^2 I_1^2 = \left( \frac{2\delta_1}{K_n' S_{n2}} + \frac{2}{K_n' S_{n5}} \right) I_1 - \left( \frac{8\delta_1}{K_n'^2 S_{n2} S_{n5}} \right) I_1^2 \quad (5.19)$$

$$\left( \frac{8\delta_1}{K_n'^2 S_{n2} S_{n5}} + R_1^2 \right) I_1^2 - \frac{1}{K_n'} \left( \frac{2\delta_1}{S_{n2}} + \frac{2}{S_{n5}} \right) I_1 = 0 \quad (5.20)$$

$$I_1 = \frac{\frac{1}{K_n'} \left( \frac{2\delta_1}{S_{n2}} + \frac{2}{S_{n5}} \right) + \frac{1}{K_n'} \left( \frac{2\delta_1}{S_{n2}} + \frac{2}{S_{n5}} \right)}{\frac{16\delta_1}{K_n'^2 S_{n2} S_{n5}} + 2R_1^2} = \frac{\frac{2\delta_1}{S_{n2}} + \frac{2}{S_{n5}}}{\frac{8\delta_1}{K_n' S_{n2} S_{n5}} + R_1^2 K_n'} \quad (5.21)$$

第(5.21)式，此步驟已經將電流  $I_1$  做一次溫度補償。

$$V_{ref} = \delta_2 I_1 R_{F1} + V_{GSn7} = \delta_2 I_1 R_{F1} + \sqrt{\frac{2\delta_2 I_1}{K_n' S_{n7}} + V_{thn}} \quad (5.22)$$

其中， $S=W/L$  ... Transistor aspect ratio ;  $\delta$ ...current ratio ;  $K=\mu C_{ox}$

$$\frac{\partial V_{thn}}{\partial T} \approx -1.27mV/^\circ C$$

$$\text{遷移率 } \mu = \mu_0 \left( \frac{T}{T_0} \right)^{-m} ; \quad m \approx 1.5 \sim 2$$

第(5.22)式， $V_{ref}$  的第一項已經跟溫度幾乎無關，接下來由第二項與三項設計好比例關係互相消去溫度係數效應，可輸出端可產生與溫度無關之參考電壓源，最後用 SPICE 模擬參考電壓之溫度係數的結果是 14ppm/ $^\circ C$ 。

在此，事先考慮 IC 製程 corner 的變異度，由於製程漂移的問題有可能會使得輸出電壓值偏離預期值，我們提出了克服製程變異的方法，使用基底電位微調的技巧：已知  $V_{th} = V_{t0} + \gamma \left( \sqrt{2|\Phi_F| + V_{SB}} - \sqrt{2|\Phi_F|} \right)$ ，因此可以控制  $V_{SB(MP7)}$  進而調整  $V_{thp(MP7)}$  的值，可輕易將參考電壓微調回預期的電壓值。

## 5.6 模擬結果

a). 佈局前，模擬輸出參考電壓與溫度之關係：

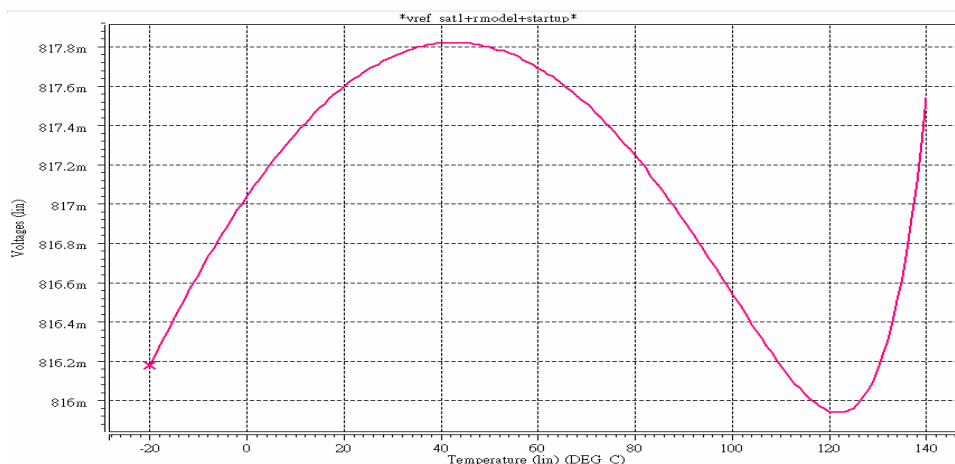


圖 5.9 佈局前，以 TT corner 模擬參考電壓與溫度的關係。

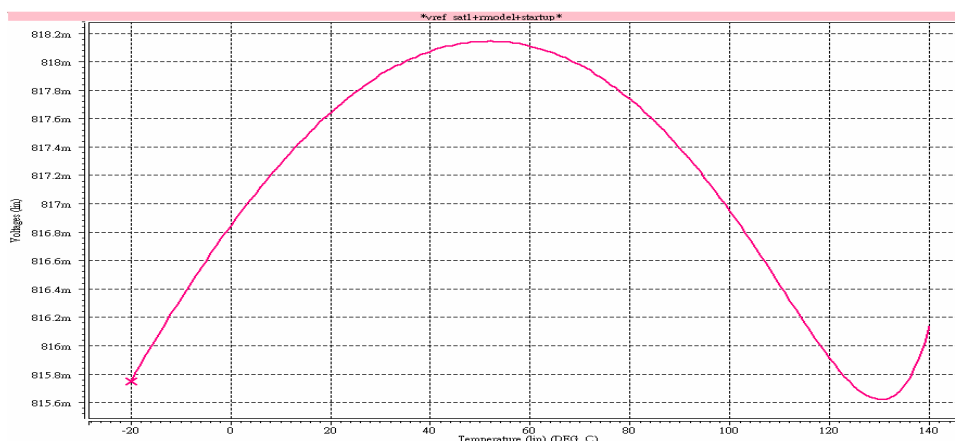


圖 5.10 佈局前，以 FF corner 模擬參考電壓與溫度的關係。

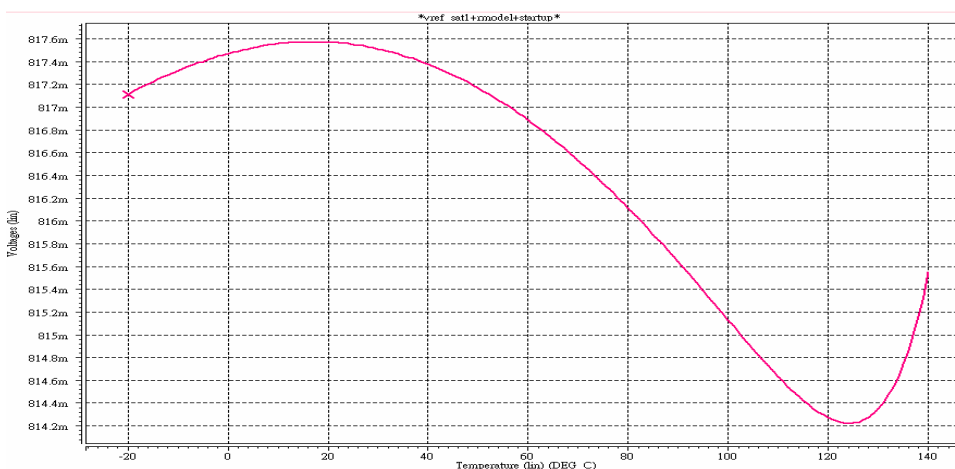


圖 5.11 佈局前，以 SS corner 模擬參考電壓與溫度的關係。

b). 佈局後，模擬輸出參考電壓與溫度之關係：

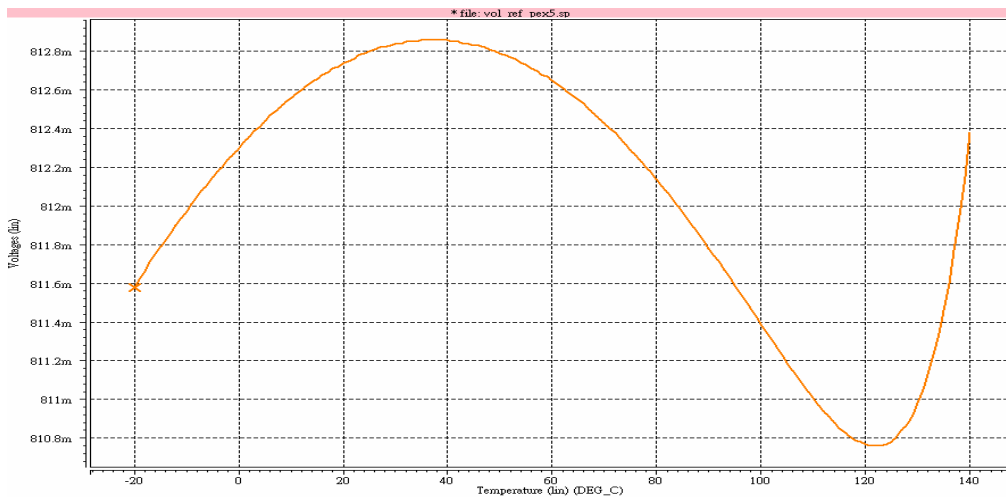


圖 5.12 佈局後，以 TT corner 模擬參考電壓與溫度的關係。

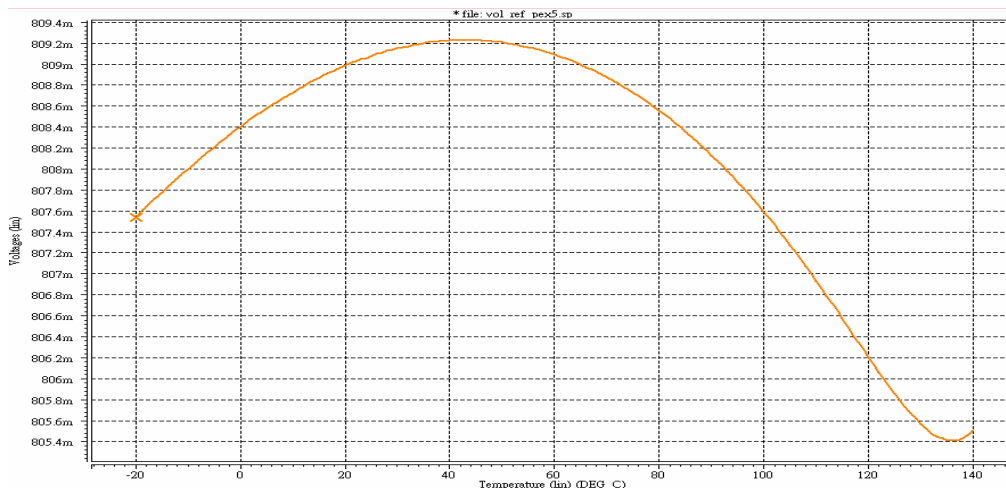


圖 5.13 佈局後，以 FF corner 模擬參考電壓與溫度的關係。

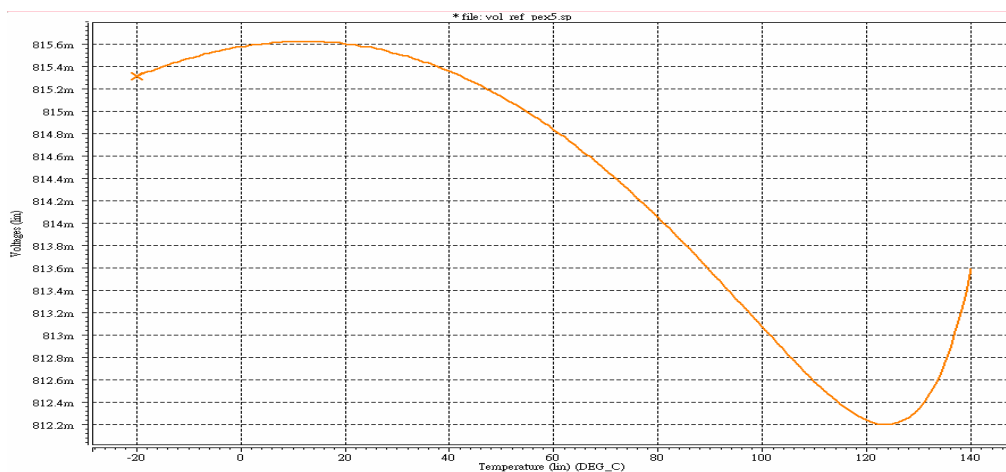


圖 5.14 佈局後，以 SS corner 模擬參考電壓與溫度的關係。

c). 佈局前，模擬輸出參考電壓與供應電壓之關係：

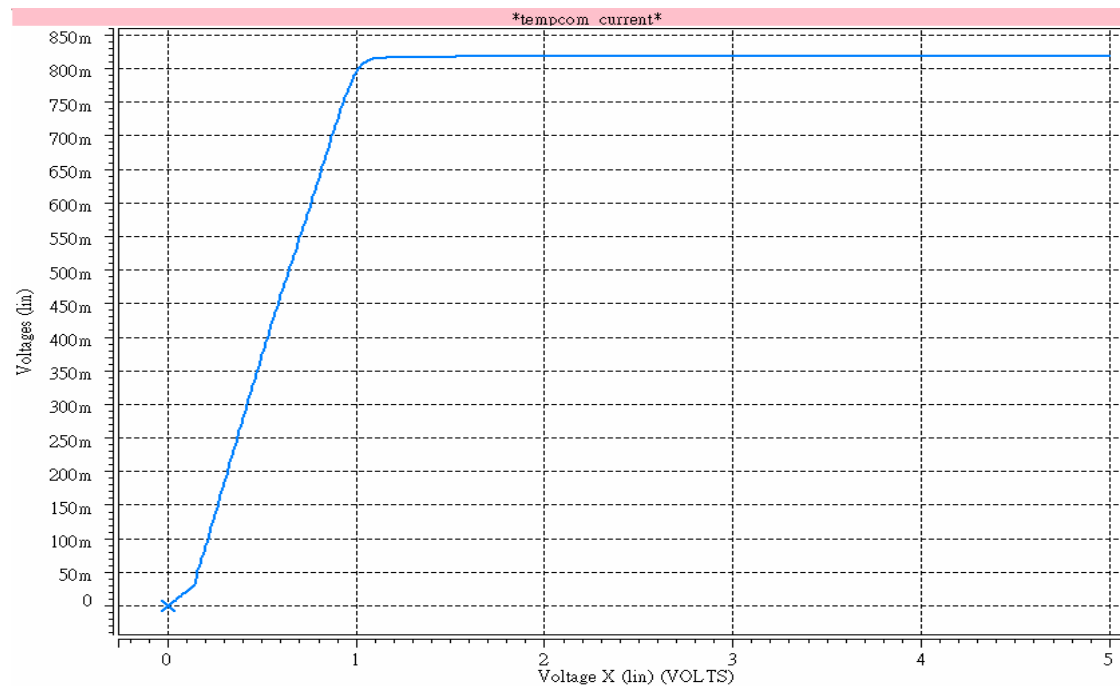


圖 5.15 佈局前，模擬輸出參考電壓與供應電壓之關係。

d). 佈局後，模擬輸出參考電壓與供應電壓之關係：

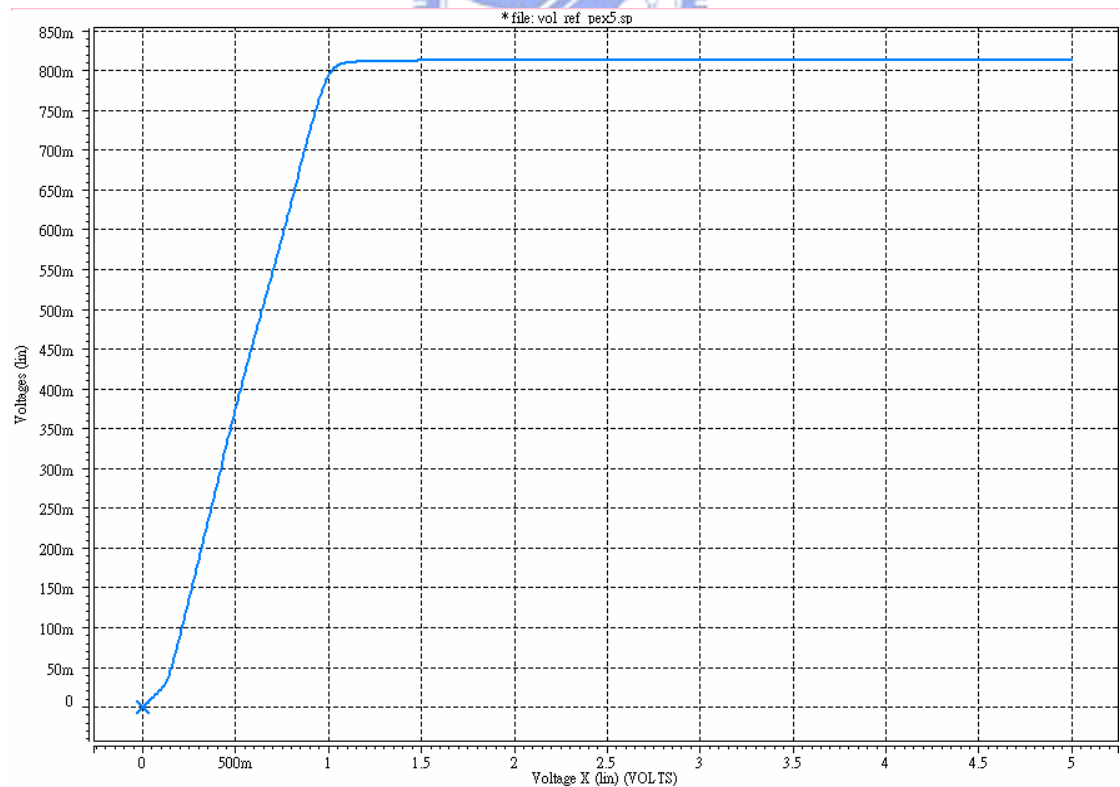


圖 5.16 佈局後，模擬輸出參考電壓與供應電壓之關係。

e). 佈局前，模擬參考電壓源的電源拒斥比：

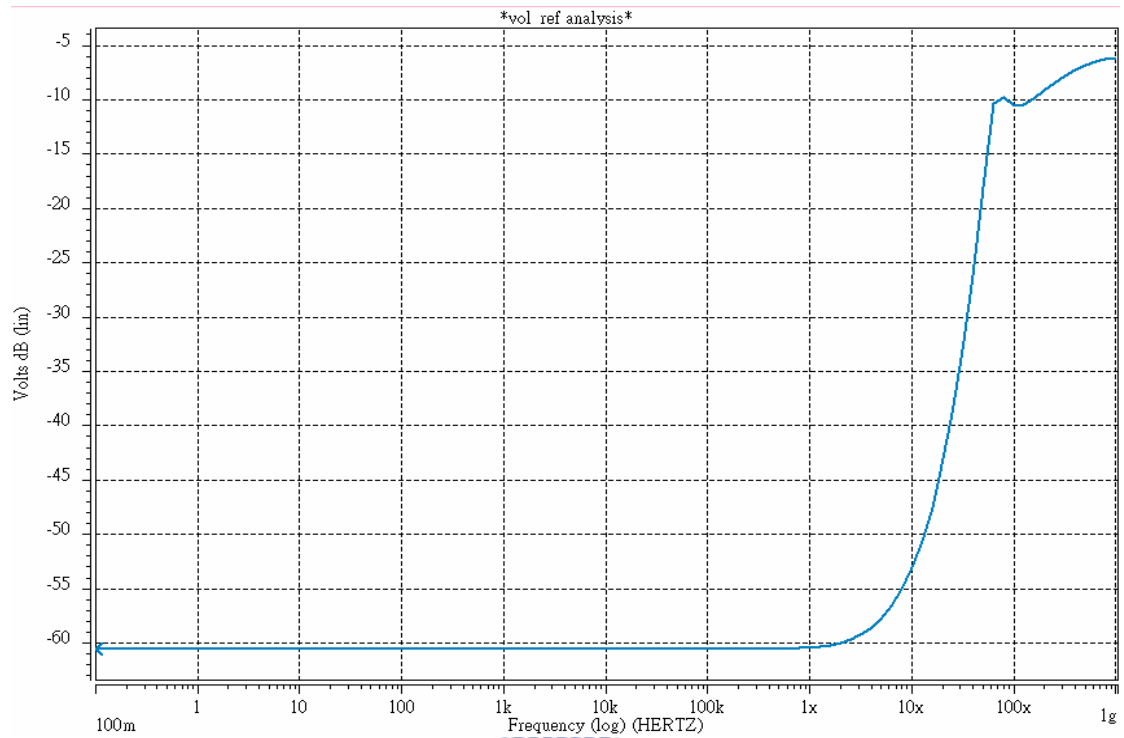


圖 5.17 佈局前，模擬參考電壓源的電源拒斥比。

e). 佈局後，模擬參考電壓源的電源拒斥比：

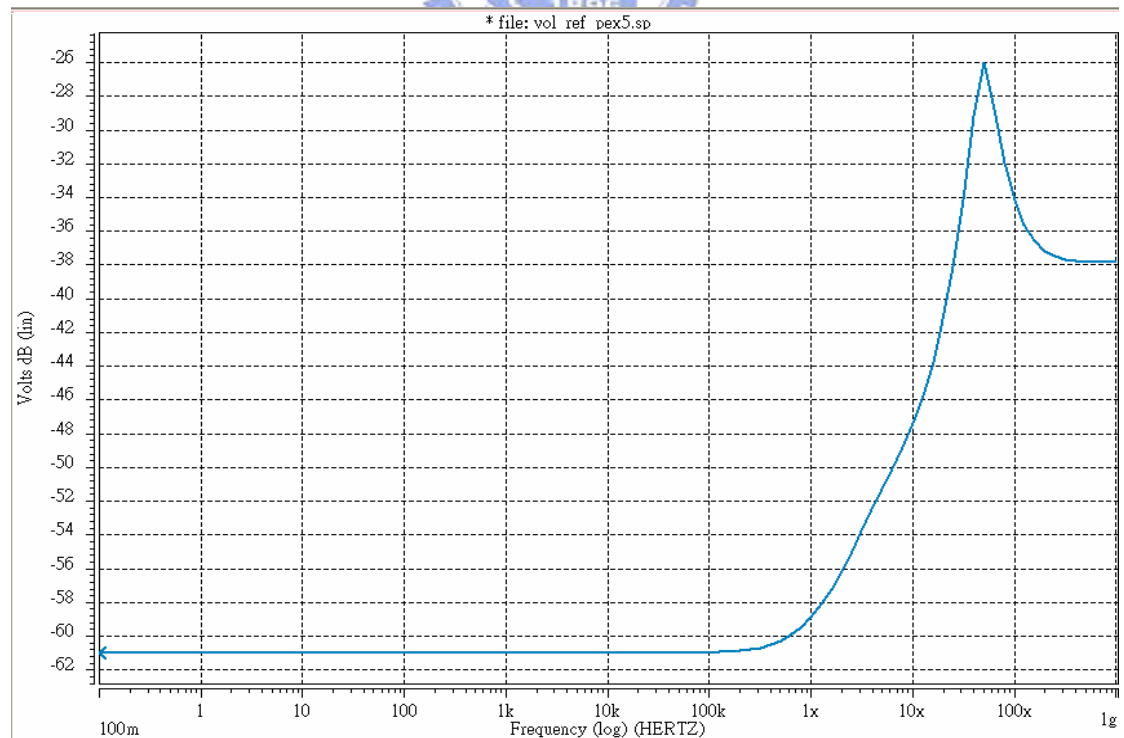


圖 5.18 佈局後，模擬參考電壓源的電源拒斥比。



g). 佈局前，模擬參考電壓的線上穩壓：

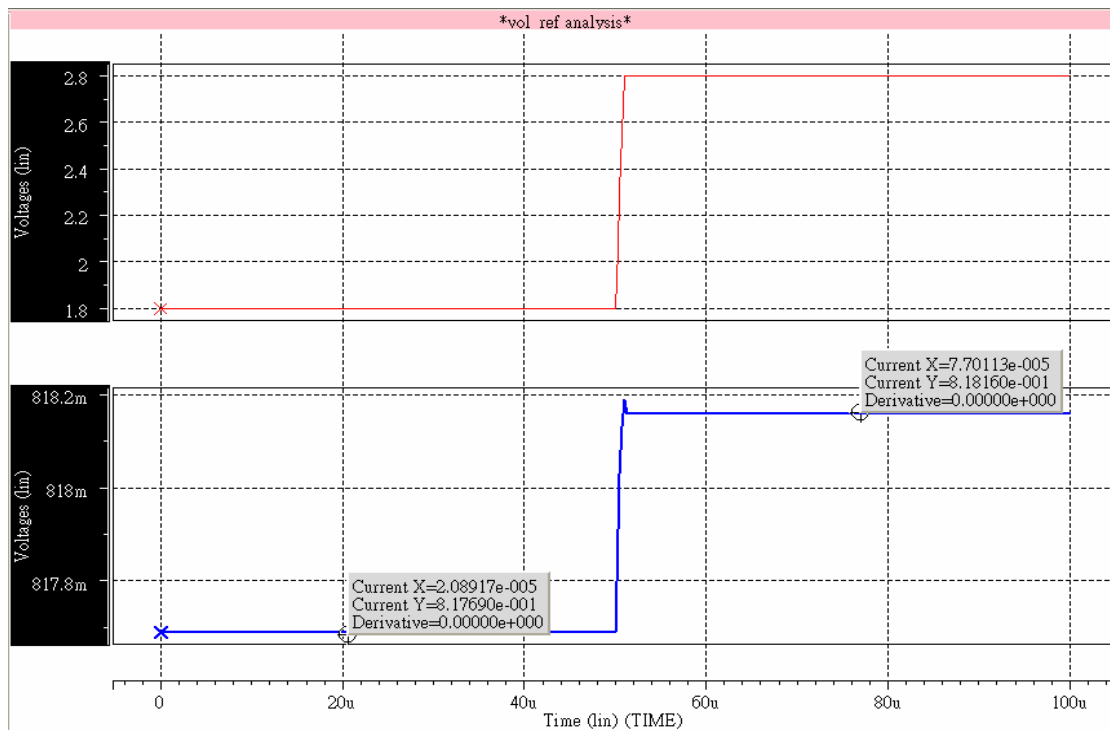


圖 5.19 佈局前，模擬參考電壓的線上穩壓(Line regulation =  $\pm 0.057\%/V$ )。

h). 佈局後，模擬參考電壓的線上穩壓：

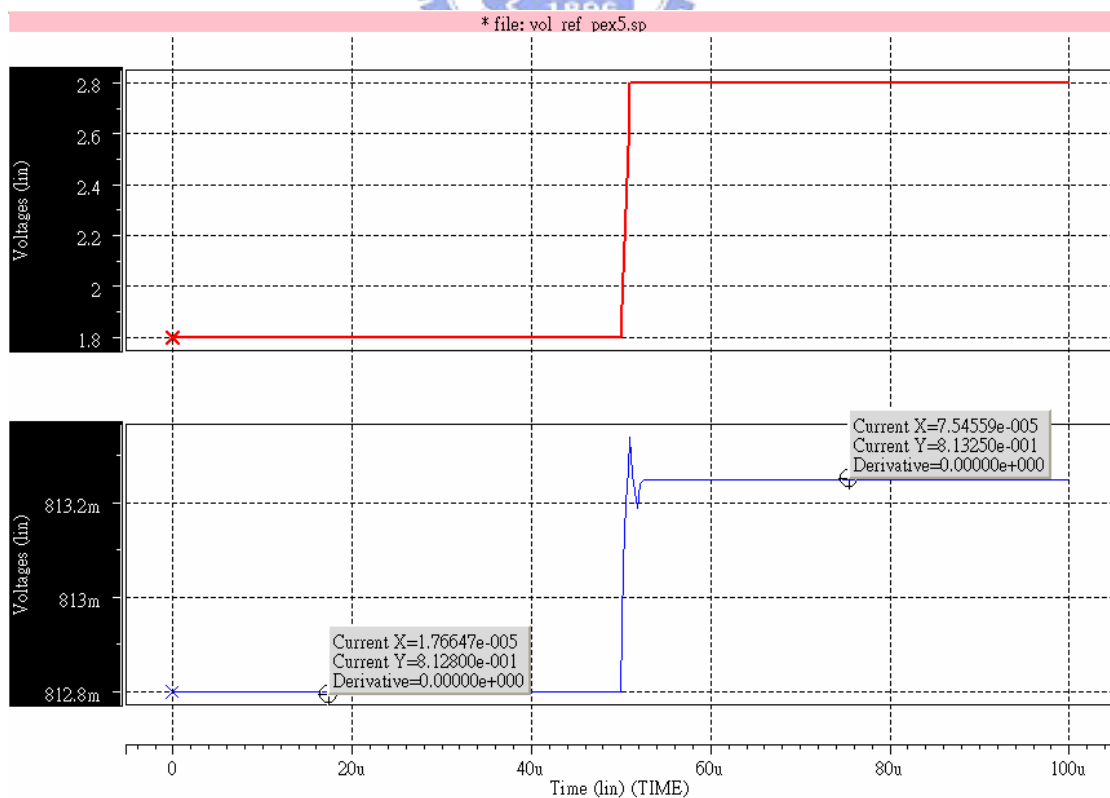
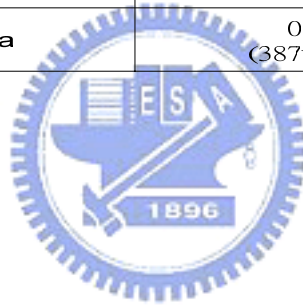


圖 5.20 佈局後，模擬參考電壓的線上穩壓(Line regulation =  $\pm 0.055\%/V$ )。

i). 預計規格列表

表 5.1 CMOS 參考電壓源模擬之後評估的結果

Chip Parameter	CMOS Voltage Reference
Technology	TSMC0.35-um 2P4M
Supply voltage	1V~5V
Current consumption	35.4uA@1.8V
Reference Voltage @T=25°C	817mV
Temperature coefficient	14ppm/°C
Line regulation @T=25°C	±0.055% / V
PSRR@T=25°C	-60dB@10 Hz -60dB@1K Hz -53dB@10M Hz
Cell area	0.018mm <sup>2</sup>
Total chip area	0.094mm <sup>2</sup> (387um×243um)



## 5.7 晶片佈局圖與電路板

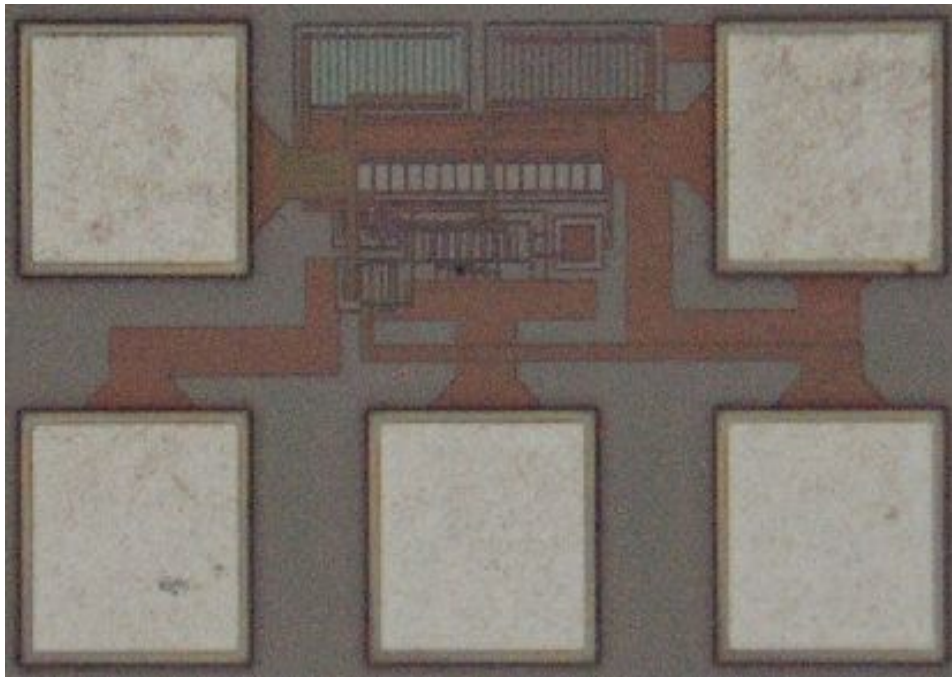


圖 5.21 CMOS 參考電壓源晶片微型照相圖

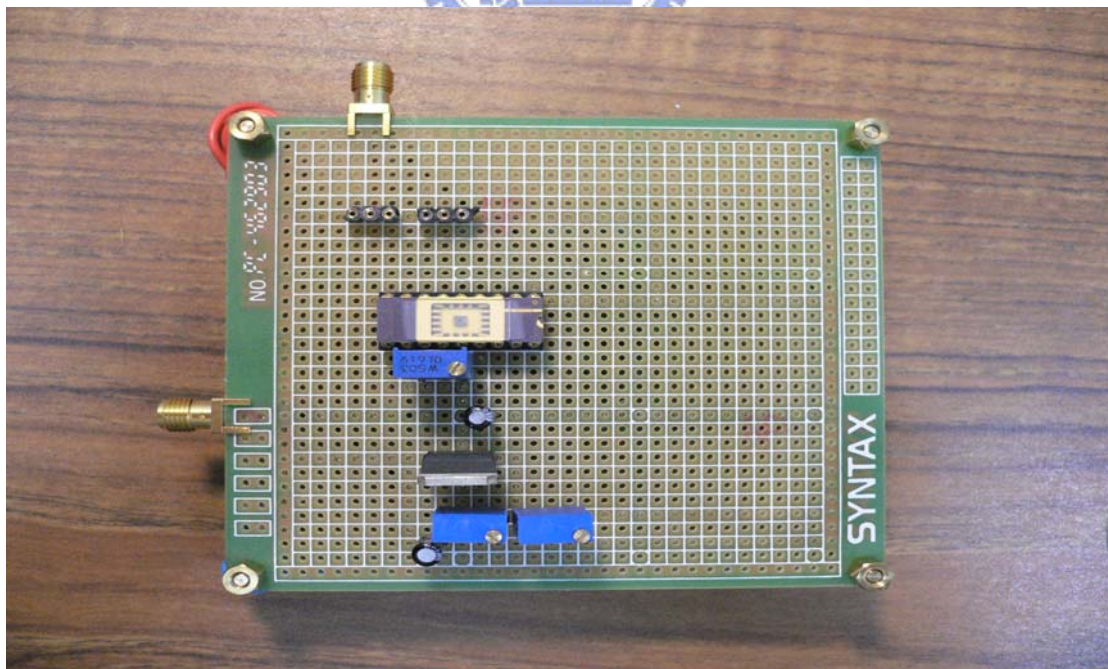


圖 5.22 測量 CMOS 參考電壓源之電路板

## 5.8 實驗結果

### 5.8.1 測試考量

a). 利用恆溫槽量進行測溫度係數，如圖 5.23 所示。

b). 使用網路分析儀量測電源拒斥比(PSRR)。

c). 量測線上穩壓與暫態響應-

使用訊號產生器產生脈衝訊號經過功率電晶體，供應電壓脈衝訊號進入待測物 (DUT)輸入端，再用示波器量測輸出端 Vref 的電壓變化，如圖 5.24 所示。

d). 雜訊分析-

使用頻譜分析儀直接測量輸出電壓的雜訊頻譜。或者，利用訊號產生器去模擬含有漣波雜訊(10KHz、100KHz、1MHz)的供應電壓，再測量參考電壓源電路的輸出電壓，紀錄輸出的雜訊峰對峰值大小。

e). 使用精確的 Multimeter 去量測參考電壓源電路的靜態消耗電流。

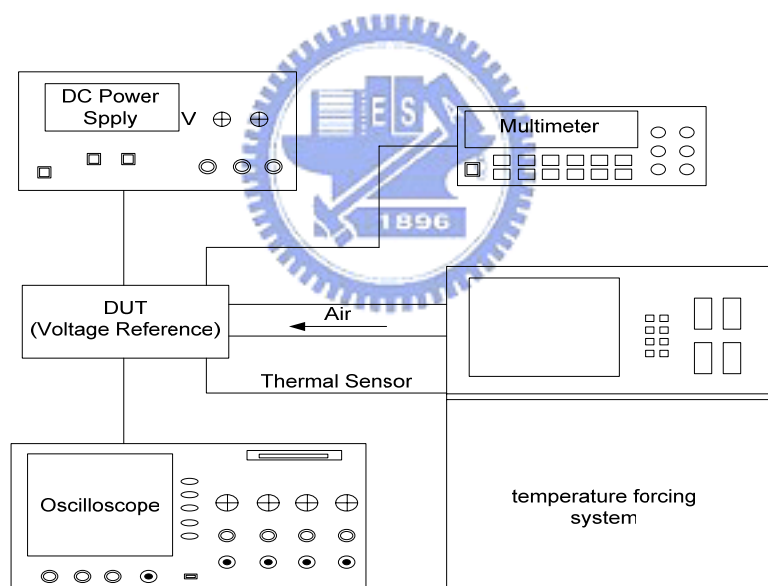


圖 5.23 實驗架設測量溫度係數

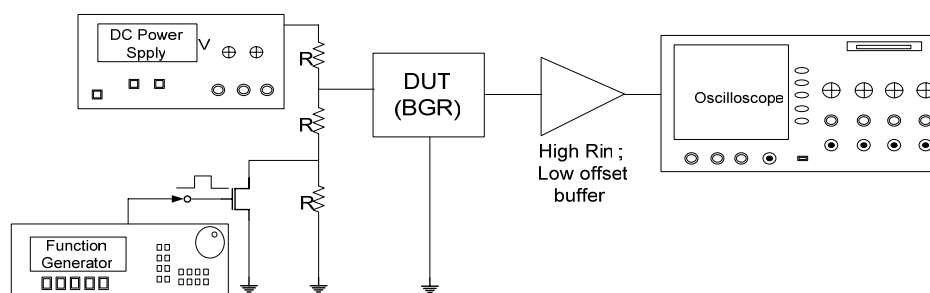


圖 5.24 實驗架設測量線上穩壓

## 5.8.2 量測結果

表 5.2 Trimming 前的參考電壓

Untrimmed state @ $V_{DD}=1.8\text{ V}$	$V_{ref}$
No.1	890 mV
No.2	902 mV
No.3	896 mV
No.4	905 mV
No.5	902 mV
No.6	890 mV
No.7	905 mV
No.8	887 mV

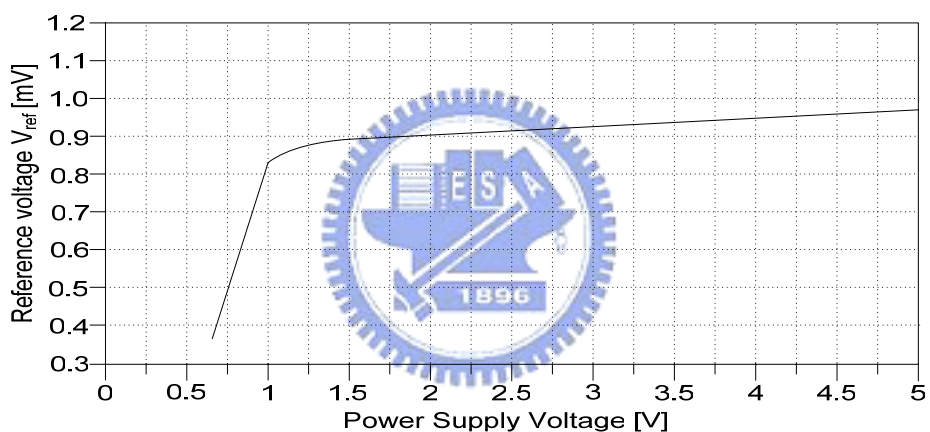


圖 5.25 參考電壓與供應電壓之關係(trimming 前)

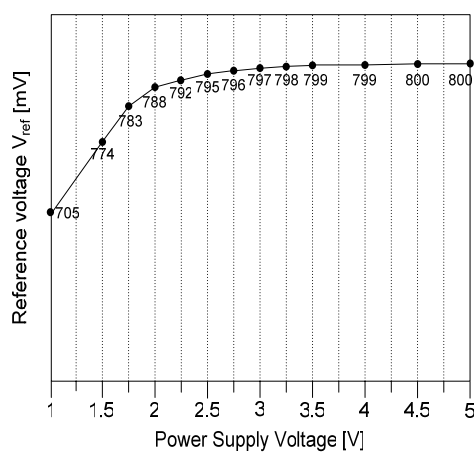


圖 5.26(a)  $V_{ref} \approx 800\text{ mV}$

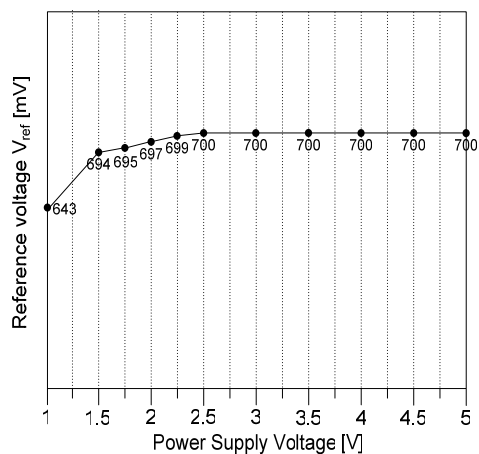


圖 5.26(b)  $V_{ref} \approx 700\text{ mV}$

圖 5.26 參考電壓與供應電壓之關係(trimming 後)

表 5.3 參考電壓源的靜態電流

Trimmed state @V <sub>DD</sub> =1.8 V	Quiescent Current I <sub>Q</sub>
No.1	37 $\mu$ A
No.2	37.5 $\mu$ A
No.3	37.7 $\mu$ A
No.4	37.7 $\mu$ A
No.5	38 $\mu$ A
No.6	38.2 $\mu$ A
No.7	38 $\mu$ A
No.8	38.9 $\mu$ A

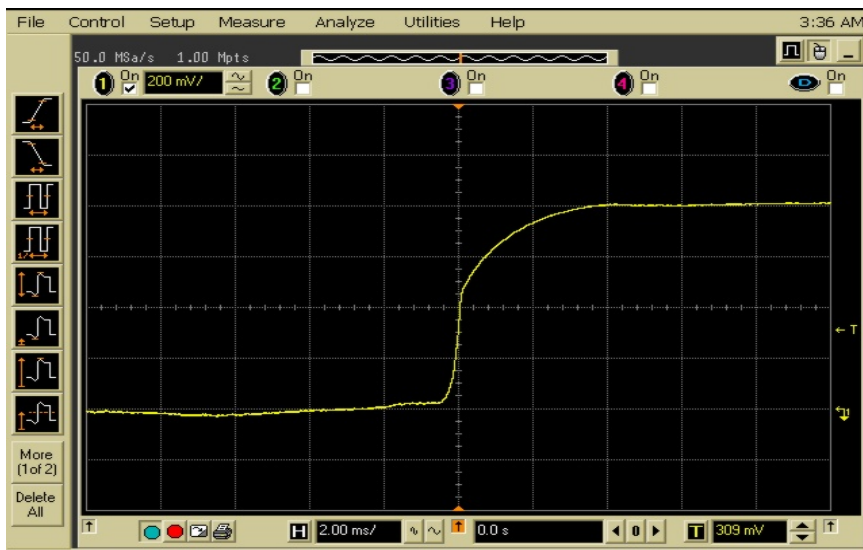


圖 5.27 參考電壓的起始時間

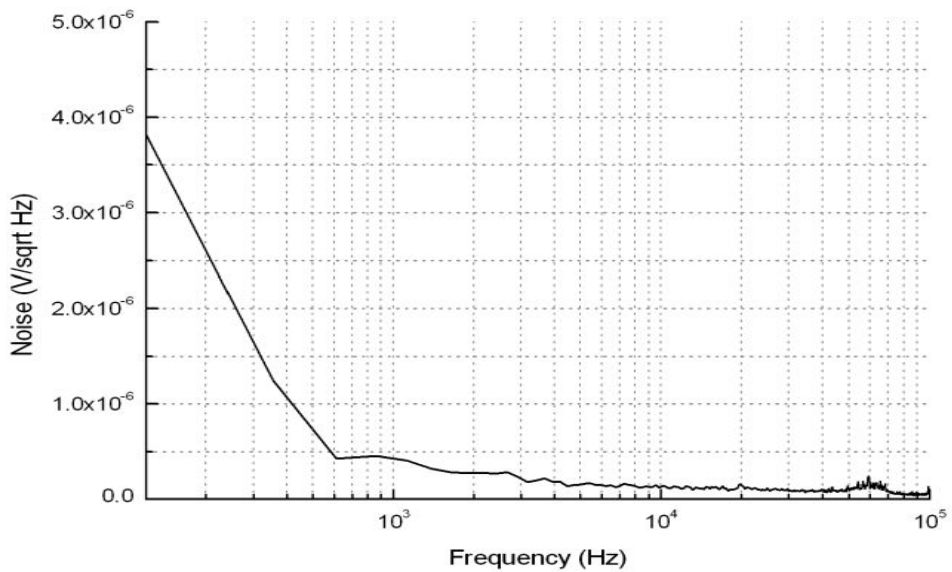


圖 5.28 參考電壓源之等效輸出雜訊

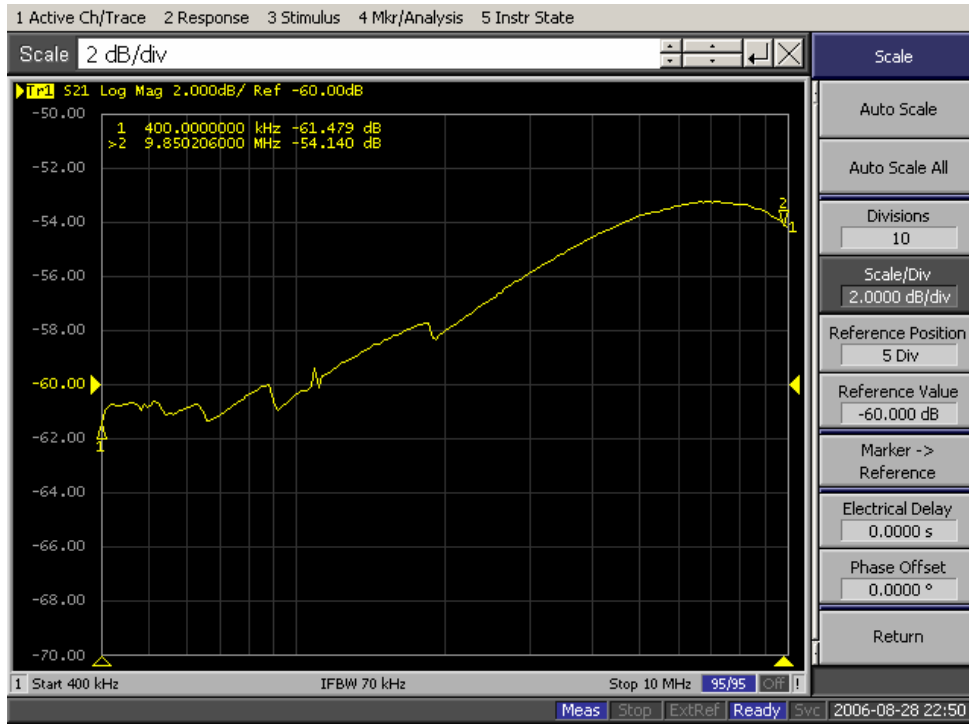


圖 5.29 參考電壓源的電源拒斥比

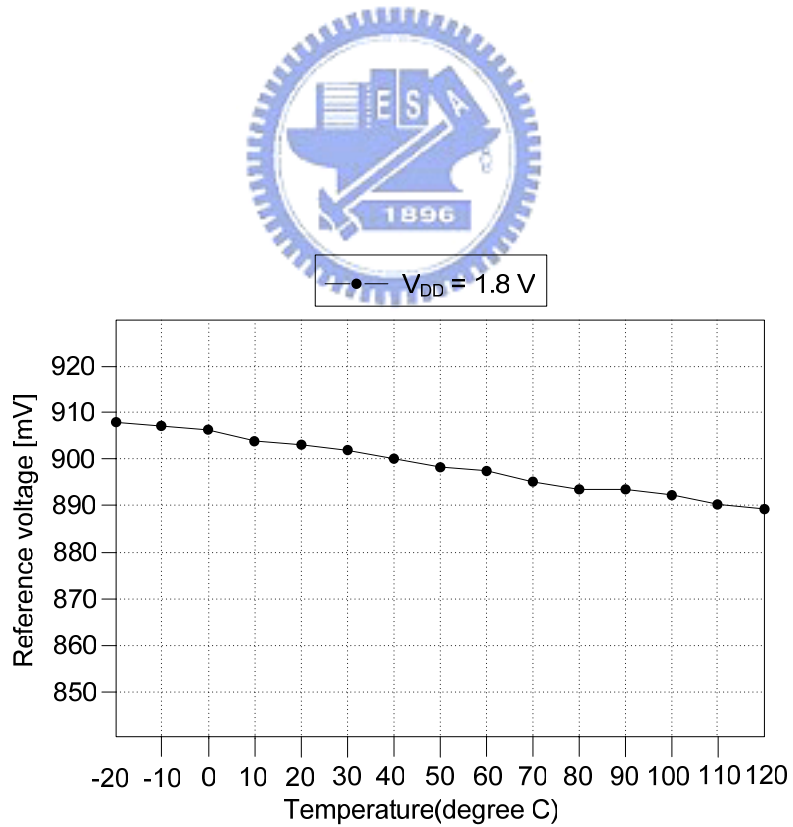


圖 5.30 溫度係數

# Chapter 6

---

## 結論

於本篇論文，提出兩種頻率補償技術，專門應用在低壓降線性穩壓器。所設計之穩壓器電路，不需在輸出端接大的負載電容來維持穩定度，可以完全將負載電容移除以節省電路板的面積與零件成本。

所設計的第一種低壓降線性穩壓器，有三個主要的特點：(一)具有較寬的等效串聯電阻選擇值( $R_{ESR} \geq 0.01 \Omega$ )，對於負載電容材質的選擇可以較有彈性、(二)穩壓器的輸出端可以不用接負載電容仍具有好的穩定度( $I_L \geq 5 \text{ mA}$ )、(三)此電路具有較大的頻寬。無負載電容時，迴路頻寬約為 $2\text{MHz} \sim 23 \text{ MHz}$ (@ $I_L = 100 \text{ mA} \sim 10\text{mA}$ )。透過實際地測量可得知，當輸出端接上 $1 \mu\text{F}$ 電容時，測試負載暫態(負載電流脈衝 $\Delta I_L = 100 \text{ mA}$ )，輸出電壓的正向電壓突波小於 $100 \text{ mV}$ ，負向電壓突波小於 $300 \text{ mV}$ 。當輸出端接上 $10 \mu\text{F}$ 電容時，測試負載暫態(負載電流脈衝 $\Delta I_L = 100 \text{ mA}$ )，輸出電壓的正向電壓突波小於 $25 \text{ mV}$ ，負向電壓突波小於 $100 \text{ mV}$ 。另外，當輸出端無負載電容時，從暫態測量結果證明輸出電壓仍保持穩定在目標值，不會產生過度抖動或持續震盪的現象。

所設計的第二種低壓降線性穩壓器，可應用於系統單晶片內或混合訊號晶片內。此電路設計時，已考慮負載電流在全部的範圍( $0 \text{ mA} \sim 100 \text{ mA}$ )都有較高的相位安全邊限。甚至，當晶片內之電源佈線層等效電容或濾波電容為 $100 \text{ pF}$ 時，仍具有足夠的相位安全邊限。透過實測結果可知，當穩壓器沒有連接大負載電容時，所提出的補償技術可以讓輸出電壓完全穩定。而且，有非常短的暫態響應時間及較小的暫態突波。

所設計的參考電壓源可以操作於一伏特供應電壓，具有低溫度係數( $14 \text{ ppm}/^\circ\text{C}$ )，低的線上穩壓( $0.47 \text{ mV/V}$ )，高的電源拒斥比( $> 60 \text{ dB}$ )，較小的晶片面積( $0.018 \text{ mm}^2$ )等特點。此電路唯一可能會遇到的問題是：由於參考電壓的變數與製程參數有關，因此參考電壓會些微受到製程變異的影響而偏離原先設計的目標值。雖然如此，我們可以運用簡易的微調方法：控制PMOS(MP7)的基底電位，如圖5.8所示。可輕易將參考電壓微調回原來設計的目標值。



最後，表6.1是將穩壓器(一)和穩壓器(二)的規格特性與其他paper作比較。表6.2是將參考電壓源的規格特性與其他paper作比較。本論文所提及之晶片，全部透過國家晶片中心教育服務和資料審查下線(tapeout)，最後使用TSMC 0.35 $\mu\text{m}$  CMOS製程技術製作。

表 6.1 低壓降線性穩壓器比較一覽

PARAMETER	[13]	[14]	[7]	[6]	This work 1	This work 2
Year	2003	2005	1998	2004	2006	2006
Technology [ $\mu\text{m}$ ]	0.6	0.09	0.5	0.5	0.35	0.35
$V_{\text{IN}}$ [V]	1.5 ~ 4.5	1.2	3.3 ~ 5.5	3.3	1.67 ~ 4.63	1.73 ~ 5
$V_{\text{OUT}}$ [V]	1.3	0.9	3.0 ~ 3.6	2.8	1.5	1.5
$I_{\text{L,MAX}}$ [mA]	100	100	300	100	100	100
$I_{\text{O}}$ [mA]	0.038	6	0.75	0.025	0.064	0.04
$V_{\text{DROP}}$	200 mV	300 mV	300 mV	500 mV	170 mV @ $I_{\text{L}} = 50$ mA 300 mV @ $I_{\text{L}} = 100$ mA	230 mV
$\Delta V_{\text{out,tran.}}$	85 mV, $C_{\text{L}} = 0$ @ $\Delta I_{\text{L}} = 90$ mA	90 mV @ $\Delta I_{\text{L}} = 100$ mA	400 mV @ $\Delta I_{\text{L}} = 100$ mA	$\approx 70$ mV @ $\Delta I_{\text{L}} = 39$ mA	< 1000 mV, $C_{\text{L}} = 0$ @ $\Delta I_{\text{L}} = 90$ mA	280 mV, $C_{\text{L}} = 0$ @ $\Delta I_{\text{L}} = 100$ mA
	130 mV, $C_{\text{L}} = 10$ $\mu\text{F}$ @ $\Delta I_{\text{L}} = 100$ mA				100 mV, $C_{\text{L}} = 10$ $\mu\text{F}$ @ $\Delta I_{\text{L}} = 100$ mA	83 mV, $C_{\text{L}} = 10$ $\mu\text{F}$ @ $\Delta I_{\text{L}} = 100$ mA
Line Regulation	$\pm 3.25$ mV/V	N/A	N/A	N/A	2.2 mV/V	2.5 mV/V
Load Regulation	$\pm 3.25$ mV/mA	N/A	N/A	N/A	0.046 mV/mA	0.16 mV/mA
PSRR [dB]	60 @ 100 Hz	N/A	N/A	N/A	60.2 @ 100 Hz	71 @ 100 Hz
$C_{\text{LOAD}}$	0 or 10 $\mu\text{F}$ (ESR = 1 $\Omega$ )	0.6 nF	180 pF	2.2 $\mu\text{F}$ (ESR = 0.1~2.5 $\Omega$ )	0 or 1 $\mu\text{F}$ or 10 $\mu\text{F}$ (ESR $\geq 0.01$ $\Omega$ )	0 or 1 $\mu\text{F}$ or 10 $\mu\text{F}$ (ESR $\geq 0.01$ $\Omega$ )
Area [ $\text{mm}^2$ ]	0.307	0.098	1	N/A	0.115	0.14

表 6.2 參考電壓源比較一覽

PARAMETER	Banba et Al. [17]	Jiang et Al. [23]	Buck et Al. [22]	Leung et Al. [20]	Vita et Al. [24]	This work
Year	1999	2000	2002	2003	2005	2006
Technology	0.4- $\mu\text{m}$ CMOS	1.2- $\mu\text{m}$ CMOS	0.5- $\mu\text{m}$ CMOS	0.6- $\mu\text{m}$ CMOS	0.35- $\mu\text{m}$ CMOS	0.35- $\mu\text{m}$ CMOS
Supply voltage	2.2 V to 4.4 V	1.2 V	3.7 V	1.4 V to 3 V	1.4 V to 4.3 V	1.5 V to 5 V
Current Consumption(max.)	>2.2 $\mu\text{A}$	500 $\mu\text{A}$	378 $\mu\text{A}$	9.7 $\mu\text{A}$	2.4 $\mu\text{A}$	37 $\mu\text{A}$
$V_{\text{ref}}$	515 mV	1.04 V	1.1195 V	309.3 mV	168 mV	900 mV
Temperature Coefficient	117 ppm/ $^{\circ}\text{C}$	210 ppm/ $^{\circ}\text{C}$	112 ppm/ $^{\circ}\text{C}$	36.9 ppm/ $^{\circ}\text{C}$	25 ppm/ $^{\circ}\text{C}$	150 ppm/ $^{\circ}\text{C}$
Line Regulation	1.1 mV/V	N.A.	N.A.	0.26 mV/V	1.6 mV/V	1.7 mV/V (trimming)
PSRR	N.A.	-20 dB@1 kHz	-45.1 dB@10 Hz	-47 dB@10 Hz -20 dB@10 MHz	-65 dB@10 Hz -57 dB@10 MHz	-61 dB@400 KHz -54.2 dB@10 MHz
Chip Area	0.1 $\text{mm}^2$	N.A.	0.4 $\text{mm}^2$	0.055 $\text{mm}^2$	0.08 $\text{mm}^2$	0.018 $\text{mm}^2$

## 參考文獻

- [1] G. A. Rincon-Mora and P. E. Allen, "Optimized Frequency-Shaping Circuit Topologies for LDO's," *IEEE Transactions on Circuits and System-II*, vol. 45, pp.703-708, June 1998.
- [2] D. S. Ma, W. H. Ki and C. Y. Tsui, "An Integrated One-Cycle Control Buck Converter with Adaptive Output and Dual Loops for Output Error Correction," *IEEE J. Solid-State Circuits*, vol. 39, no. 1, pp. 140-149, Jan. 2004.
- [3] G. A. Rincon-Mora and P. E. Allen, "A Low-Voltage, Low Quiescent Current, Low Drop-Out Regulator," *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 36-43, Jan. 1998.
- [4] Xiaohua Fan, Chinmaya Mishra and Edgar Sanchez-Sinencio, "Single Miller Capacitor Frequency Compensation Technique for Low-Power Multistage Amplifiers," *IEEE J. Solid-State Circuits*, vol. 40, no. 3, pp. 584-592, Mar. 2005.
- [5] G. A. Rincon-Mora, "Active Capacitor Multiplier in Miller-Compensated Circuits" *IEEE J. Solid-State Circuits*, vol. 35, no. 1, pp. 26-32, Jan. 2000.
- [6] C. K. Chava, and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," *IEEE Transation on Circuits and Systems I*, vol. 51, pp. 1041-1050, June. 2004.
- [7] G. W. den Besten and B. Nauta, "Embedded 5 V-to-3.3 V voltage regulator for supplying digital IC's in 3.3 V technology," *IEEE J. Solid-State Circuits*, vol. 33, no. 7, pp. 956-962, July 1998.
- [8] G. A. Rincon-Mora, "Current Efficient, Low Voltage, Low-Dropout Regulators," Ph.D. Thesis, Atlanta, GA: Georgia Institute of Technology, 1996.
- [9] Jim Williams, "Minimizing Switching Regulator Reside in Linear Regulator output," Linear Technology Application Report, Note 101, pp.1-11, July 2005.
- [10] B. S. Lee, "Technical review of low dropout voltage regulator operation and performance," Texas Instruments Application Report, SLVA072, Aug. 1999.
- [11] B. S. Lee, "Understanding the Terms and Definitions of LDO Voltage Regulators," Texas Instruments Application Report, SLVA079, Oct. 1999.
- [12] R. J. Milliken, "A Capacitor-less Low Drop-out Voltage Regulator with Fast Transient Response," M.S. Thesis, Texas A&M University, 2005.
- [13] K. N. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1691-1701, Oct. 2003.

- [14] Peter Hazucha, Tanay Karnik, Bradley A. Bloechel, Colleen Parsons, David Finan, and Shekhar Borkar, "Area-Efficient Linear Regulator With Ultra-Fast Load Regulation," *IEEE J. Solid-State Circuits*, vol. 40, pp. 933-940, April 2005.
- [15] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. New York, NY: Oxford, 2002.
- [16] B. Razavi, *Design of Analog CMOS Integrated Circuit*, New York: McGraw-Hill, 2001.
- [17] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi and K. Sakui, "A CMOS Bandgap Reference Circuit with Sub-1-V Operation," *IEEE J. Solid-State Circuits*, vol. 34, pp. 670-674, May 1999.
- [18] K. N. Leung and P. K. T. Mok, "A Sub-1V 15-ppm/°C CMOS Bandgap Voltage Reference without Requiring Low Threshold Voltage Device," *IEEE J. Solid-State Circuits*, vol. 37, pp. 526-530, Apr 2002.
- [19] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, New York: John Wiley & Sons, 2001.
- [20] K. N. Leung and P. K. T. Mok, "A CMOS Voltage Reference Based on Weighted  $\Delta V_{GS}$  for CMOS Low-Dropout Linear Regulators," *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 146-150, Jan. 2003.
- [21] G. Giustolisi, G. Palumbo, M. Criscione, and F. Cutrì, "A Low-Voltage Low-Power Voltage Reference Based on Subthreshold MOSFETs," *IEEE J. Solid-State Circuits*, vol. 38, no. 1, pp. 151-154, Jan. 2003.
- [22] A. E. Buck, C. L. McDonald, S. H. Lewis and T. R. Viswanathan, "A CMOS Bandgap Voltage Reference without Resistors," *IEEE J. Solid-State Circuits*, vol. 37, pp. 81-84, Jan. 2002.
- [23] Y. Jiang and E. K. F. Lee, "Design of Low-Voltage Bandgap Reference Using Transimpedance Amplifier," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 552-555, June 2000.
- [24] Giuseppe De Vita, Giuseppe Iannaccone, "An ultra-low-power, Temperature Compensated Voltage Reference Generator", *IEEE Custom Integrated Circuits Conference*, 2005, pp. 751-754.