

國立交通大學

電機學院 IC設計產業研發碩士班

碩士論文

應用於參考電壓電路設計之高迴變率AB類放大器

High Slew-Rate Class-AB Amplifier for the Designs of Reference
Voltage

研究生：賴振昌

指導教授：胡竹生 陳科宏 教授

中華民國九十六年七月

應用於參考電壓電路設計之高迴變率AB類放大器

High Slew-Rate Class-AB Amplifier for the Designs of Reference
Voltage

研 究 生：賴振昌

Student：Zhen-Chang Lai

指導教授：胡竹生

Advisor：Chu-Sheng Hu

指導教授：陳科宏

Advisor：Ke-Horng Chen

國 立 交 通 大 學

電機學院 IC 設計產業研發碩士班



A Thesis

Submitted to College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Industrial Technology R & D Master Program on

IC Design

July 2007

Hsinchu, Taiwan, Republic of China

應用於參考電壓電路設計之高迴變率AB類放大器

學生：賴振昌

指導教授：胡竹生 教授

指導教授：陳科宏 教授

國立交通大學電機學院IC設計產業研發碩士班



大多數的類比電路，都需要參考用的電壓、電流、或是『時間』。參考電壓提供一個準則，如 DAC 或 ADC 的 LBS 大小、穩壓器（Regulator）的輸出電壓位準、電池充電的開和關等等，都是由參考電壓源或參考電流源所提供來決定。近年來，由於製程的進步，以及環保的需求，使得系統操作電壓不斷地下降，本論文提出幾種不同型式帶差參考電路（bandgap voltage reference）來討論。

本論文主要內容是改善傳統帶差參考電路內部 op 的迴變率及頻寬，並且，依據傳統帶差參考電路的缺點來加以討論，就如供給電壓必須超過 1V 以上（1.6V~4V），我們則是利用另一種帶差參考電路來改善；使其供給電壓為（0.98V），但因為電路過於龐大，我們利用次臨界區（subthreshold region）操作的溫度補償電路來大大縮小面積，然而，由於還有電阻補償參考電壓，所以我們就採用真正全 CMOS 並能供給 0.9V~4V 的帶差參考電路，來一一作比較。

在本論文中實現了各個帶差參考電路的模擬結果，能夠真正完成操作在供應電壓 1V 以下，並縮小晶片所佔面積及使用 TSMC 0.35um CMOS 製程進行設計。

High Slew-Rate Class-AB Amplifier for the Designs of Reference Voltage

Student : Zhen-Chang Lai

Advisor : Dr. Chu-Sheng Hu

Advisor : Dr. Ke-Horng Chen

Industrial Technology R & D Master Program of
Electrical and Computer Engineering College
National Chiao Tung University



Most of analog circuits need reference voltage circuits for developing accurate signal process. Bandgap reference voltage can provide a reference standard for digital-to-analog (DAC) or analog-to-digital (ADC) converters.

Besides, the designs of regulators also need the temperature independent reference voltage to provide a regulated and stable supply voltage to system-on-chip (SoC) systems.

In the recent years, because of CMOS processing technology advance and eco-awareness, the system supply voltage is scaled down for low power and low voltage operation. The target of this thesis is to propose some useful designs of bandgap voltage reference for SoC systems.

The target of this paper to improve bandgap bowel of OP slew rate, bandwidth and amendment shortcomings, for example the minimum supply voltage needs to be greater than 1V (1.6V~4V) . In this thesis, the improvement is based on the previous literature with the minimized supply voltage about 0.98V. However, the circuit is too immense to be implemented in a small silicon area. Thus, we use the advantage of the

subthreshold region for temperature compensated voltage reference generator to reduce the silicon area.

The advantage of the circuit is the simple design with only one resistor for temperature compensated voltage by full CMOS technology. Besides, the supply voltage can be extended from 0.9V to 4V according to the design technique of the voltage reference generator compared to the other voltage reference circuits.

According to the simulation results, the proposed bandgap reference designs complete sub-1V CMOS bandgap voltage reference with small silicon area. The circuits proposed by this thesis is suitable to be fabricated by 0.35- μ m CMOS technology.



誌謝

在研究所的日子以來經歷很多風風雨雨，在此由衷地感謝我的指導教授陳科宏博士以及胡竹生教授，在學生遭逢家父病逝和問題時；無私的給予幫忙及協助，並總不忘給我在研究上遇到瓶頸適時的指導和啟發，使我不論是在課業或做人處事上都獲益良多，也因此；使本論文內容更加的完整。

再來我要感謝 802 及 703、701 實驗室的同學，在課業上及實驗上的討論及幫忙。特別是劉德賢、柏欽二位學長在課業上無私的指導及指正，使我對於電路的觀念有更深刻的認知，另外，也很感謝柏逢、小柯、國林及孫謹在佈局上給予的寶貴意見及幫助。

最後，深深的感謝我的女友冠貝在這段日子裡的付出及關心，並謹以此篇論文獻給所有關心我的人及幫助過我的人；謝謝你們。



目錄

中文摘要

英文摘要

誌謝

目錄

圖示

表示

第一章.....	1
概論	1
1.1 研究背景	1
1.2 研究動機及目的.....	3
1.3 內容大綱	4
第二章.....	5
帶差參考電(BandgapReferences)介紹.....	5
2.1 基本的帶差參考電路(Bandgap References).....	5
2.2 帶差放大器的專有名詞定義及認識.....	6
2.2.1 次臨界導通 (sub-threshold conduction)	6
2.2.2 溫度因素 (Temperature coefficient)	8
2.2.3 電源電壓調整率 (Line Regulation).....	8
2.2.4 電源拒斥比(Power Supply Rejection Ratio)	9
2.3 帶差放大器的原理介紹	10
第三章.....	15
帶差參考電路的內部 OP 及應用	15
3.1 起動偏壓電路(Start-UP Circuit)	15
3.1.1 偏壓電路	16
3.2 CMOS 運算放大器電路.....	19
3.2.1 共模輸入電壓範圍:.....	20
3.2.2 輸出電壓範圍.....	22
3.2.3 小信號分析.....	23
3.2.4 頻率響應和補償問題	24
3.2.5 迴變率上的問題.....	29

3.3 改良兩極放大器 A 類 (Class-A) 成 AB 類放器 (Class-AB)	32
第四章.....	37
帶差參考電路的模擬及比較.....	37
4.1 標準的帶差參考電路.....	37
4.2 給定 $Sub1-V$ 的帶差參考電路.....	42
4.2.1 前饋偏壓電路 (Forward Basing the VSB of PMOS)	46
4.2.2 直流位移電流鏡.....	48
4.2.3 起動電路	49
4.2.4 降低 Offset Voltage 的影響.....	50
4.3 極低功耗的溫度補償參考電路.....	53
4.4 低功耗奈米級參考電壓電路.....	61
4.5 綜合比較	68
4.6 佈局和實現.....	69
第五章 結論及未來研究方向	70
5.1 結論	70
5.2 未來研究方向.....	70
參考文獻.....	71



圖示

圖. 1	基本的 Switching Regulator 架構	2
圖. 2	基本的 Charge-Pump Regulator 架構.....	2
圖. 3	基本的 LDO 線性穩壓器架構	3
圖. 4	基本的帶差參考電路〔1〕	6
圖. 5	MOSFET 在次臨界狀態下導之示意，以及飽和轉換曲線之差異。 〔2〕	7
圖. 6	溫度因素示意圖〔3〕	8
圖. 7	電源電壓調整率示意圖〔3〕	9
圖. 8	PSRR 示意圖〔3〕	9
圖. 9	正負溫度係數電壓源互相抵銷溫度係數〔1〕	10
圖. 10	能隙電壓對溫度的變化量〔1〕	13
圖. 11	V_{BE} 和 KV_t 曲線抵銷，輸出 V_{out}	13
圖. 12	以 KV_t 和 K' 雙線形成的非線性曲線補償 V_{BE}	14
圖. 13	在 CMOS 製程技術中垂直的 PNP BJT 電晶體結構〔4〕	14
圖. 14	偏壓啟動電路〔1〕	15
圖. 15	偏壓電路電流操作點圖示〔1〕	16
圖. 16	隨輸入電壓變化輸出電流模擬結果.....	17
圖. 17	隨溫度變化輸出電流模擬結果	18
圖. 18	二級放大器(Two-Stage OP)、A 類放大器 (Class-A)	19
圖. 19	共模輸入電壓之上下限〔2〕	20
圖. 20	接成負回授方式量測共模輸入電壓範圍 (ICMR).....	21
圖. 21	共模輸入電壓範圍 (ICMR)	22
圖. 22	接成開迴路狀態來量測輸出電壓範圍.....	23
圖. 23	輸出電壓範圍	23
圖. 24	小信號頻率響應	24
圖. 25	米勒補償前後的 S 域〔2〕	25
圖. 26	振幅波德圖〔2〕	26
圖. 27	米勒電容後加串電阻的零點改變〔2〕	27
圖. 28	外接大電容及電感來量測二級放大器的頻率響應	28
圖. 29	二級放大器的頻率響應.....	28
圖. 30	二極放大器迴變率〔2〕	29
圖. 31	接成負回授及外加大電容來測迴變率.....	30
圖. 32	二極放大器迴變率模擬結果	30
圖. 33	AB 類於大器的概念〔5〕	32

圖. 34 實際 AB 類於大器電路〔5〕	33
圖. 35 全差動 AB 類放大器電路〔5〕	34
圖. 36 AB 類放大器的迴變率(slew rate)	35
圖. 37 實際模擬 Class-A & Class-AB 的頻寬	36
圖. 38 和溫度無關之電壓的概念生成圖〔4〕	37
圖. 39 和溫度無關之電壓電路之實現〔4〕	38
圖. 40 實際的帶差參考電路	39
圖. 41 線性敏感度(Line Sensitivity)模擬結果	40
圖. 42 電源供應拒斥比 (PSRR)	41
圖. 43 溫度因素 (TC)	41
圖. 44 NMOS 架構〔6〕	43
圖. 45 PMOS 架構〔6〕	44
圖. 46 Sub-1V 帶差參考電壓〔6〕	45
圖. 47 完整架構的 Sub-1V 帶差參考電路〔6〕	46
圖. 48 低電壓放大器轉換曲線〔6〕	47
圖. 49 前饋偏壓電路〔6〕	47
圖. 50 沒有直流位移電路〔6〕	48
圖. 51 位移電路〔6〕	49
圖. 52 起動電路〔6〕	50
圖. 53 線性敏感度(Line Sensitivity)模擬結果	51
圖. 54 電源供應拒絕比 (PSRR)	52
圖. 55 溫度因素 (TC)	52
圖. 56 極低功耗的溫度補償參考電路〔7〕	54
圖. 57 電流產生器〔7〕	54
圖. 58 主動負載電路〔7〕	56
圖. 59 線性敏感度(Line Sensitivity)模擬結果	59
圖. 60 電源供應拒斥(PSRR)	60
圖. 61 溫度係數模擬(TC)	60
圖. 62 低功耗奈米級參考電壓電路〔10〕	62
圖. 63 M1、M3 次臨界區及 M2、M4 飽和區圖示	62
圖. 64 參考電壓示意圖	64
圖. 65 線性敏感度(Line Sensitivity)模擬結果	65
圖. 66 電源供應拒斥比 (PSRR)	66
圖. 67 溫度因素 (TC)	67
圖. 68 AB 類放大器佈局圖	69
圖. 69 實際 AB 類放大器 Layout 圖	69

表示

表 1 標準帶差參考電路模擬結果列表....	51
表 2 輸入-1V 以下的帶差參考電路模擬列表.....	62
表 3 極低功耗的溫度補償電路模擬列表.....	70
表 4 低功耗奈米級參考電壓電路模擬列表.....	76
表 5 綜合比較帶各式帶差參考電路模擬列表.....	77



第一章

概論



1.1 研究背景

隨著電力電子技術的發展，各種電子裝置對於所使用的電源供應系統之暫態響應能力和大電流輸出的要求也非同日而語。此外，現在電子設備在機構上要求輕薄短小，對產品的可靠度評估也日益嚴格，因此電源系統的設計難度也變的更高！

而應用在可攜式電子產品中，待機電源的節省是很重要的，所以必須利用有效的電源管理。由於電路中不同模組會需要不同的電壓及電流規格，因此必須使用到許多電源管理 IC。一般的直流轉直流的穩壓器(DC-DC Regulator)大概分成三種：交換式穩壓器(Switching Regulator)，電荷幫浦穩壓器(Charge-Pump Regulator)及 LDO 線性穩壓器。然而不管是那一種的電源管理 IC 都需要帶差參考電路(Bandgap References)，如圖. 1、圖. 2 圖. 3 所示。

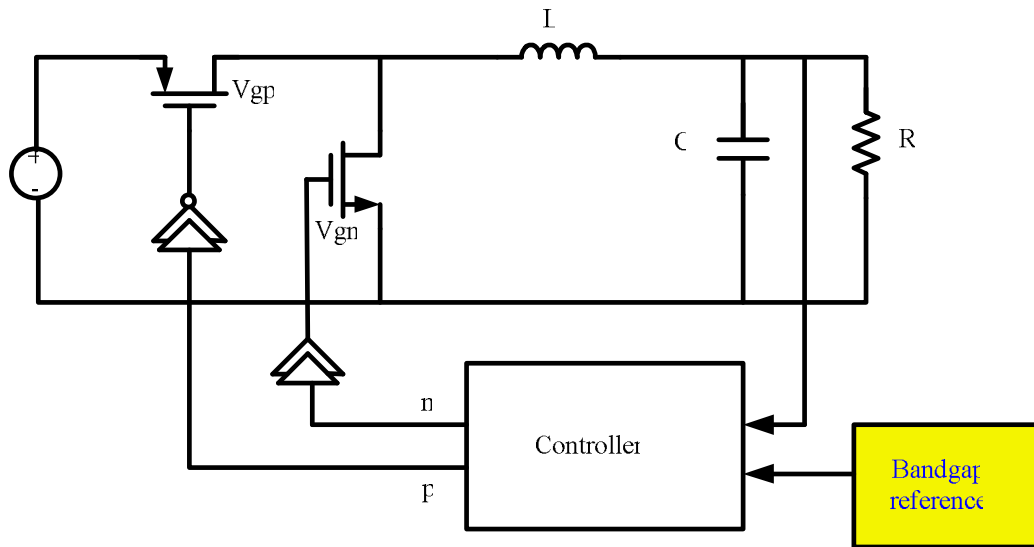


圖. 1 基本的 Switching Regulator 架構

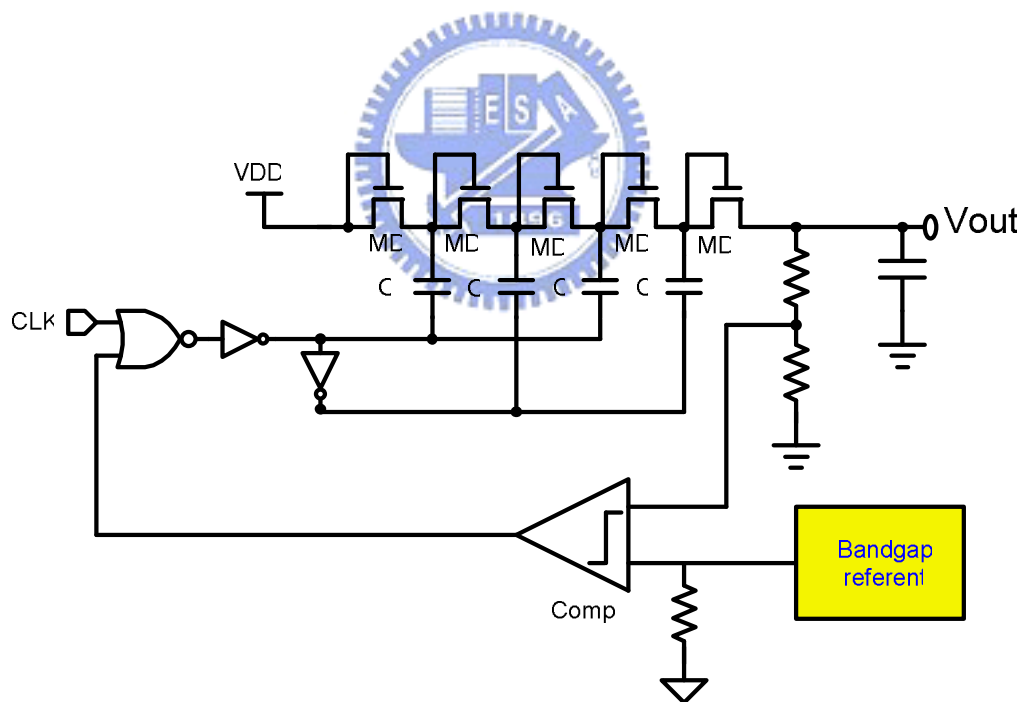


圖. 2 基本的 Charge-Pump Regulator 架構

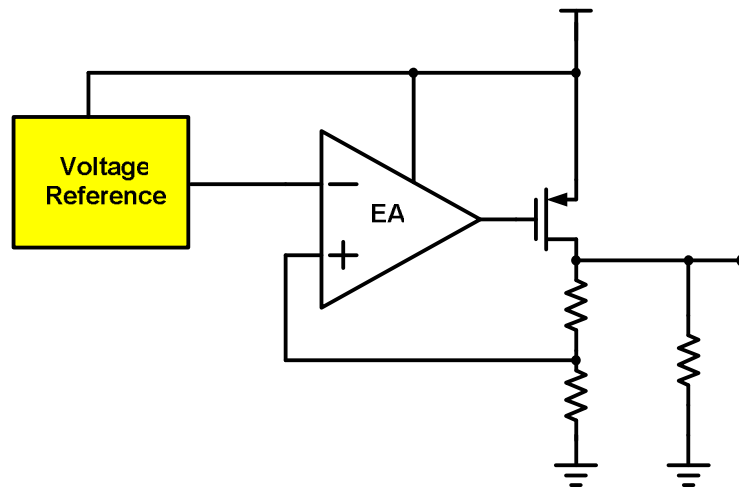


圖. 3 基本的 LDO 線性穩壓器架構

這樣的參考電路顯示了與供應電源和製程參數相關性低，且和溫度有明確相關性之直流數值。舉例而言，一差動對之偏壓電流必須依據參考電路產生，因為它影響了電路的電壓增益和雜訊。同樣地，在 D/A 和 A/D 轉換器中，需要一參考電路來定義輸入和輸出全部的範圍。

1.2 研究動機及目的

帶差參考電路廣泛的應用於類比和數位電路中，就像動態隨機處理記憶體（DRAM）和快閃記憶體（Flash Memory），因為帶差參考電路可以提供一個穩定的電壓；不會隨溫度、供應電壓以及製程的變化而改變電壓值。因此本篇論文就是從基本的帶差參考電路開始探討，並且，由於基本的帶差參考電路裡有用到二極放大器（two-stage op）；同樣的，也叫作 A 類放大器，在這裡同時利用二極放大器本身的架構，用最簡易的方法來改變為 AB 類放大器，來大大提升了原來迴變率（slew rate）及頻寬（bandwidth）。之後，我們在根據標準帶差參考電路不好的地方，來加以修正；並提出來三種不同的帶差參考電路，分別是：供給 Sub1-V 的帶差參考電路以及極低功耗的溫度補償參考電路和低功耗奈米級參考電壓電路，並根據電路優劣改良來一一探討。

1.3 內容大綱

本論文共分五個章節說明,各章節的標題與內容簡述如下:

第一章 概論 :旨在說明本論文之研究背景、動機及目的,包括各種帶差參考電路的應用圖。

第二章 帶差參考電路的介紹 : 探討與分析基本參考電壓及專有名詞的定義和公式推導。

第三章 帶差參考電路的內部應用:利用內部構造二極式運算放大器(A類放大器)的原理介紹探討,並提出利用最簡易的方法來讓二極式運算放大器(A類放大器)改變成為AB類放大器的應用

第四章 各式的帶差參考電路比較及模擬:先從最標準的帶差參考電路介紹其工作原理,並一一根據我們的需求;來比較各個帶差參考電路包含了:給定低於1-V的CMOS帶差參考電路、極低功耗溫度補償參考電路和低功耗奈米級參考電壓等等,並對整體電路架構分析和實際電路設計以及模擬,並對電路實體佈局等等。

第五章 結論及未來方向:對整體的研究做總結並討論未來可能的研究方向。



第二章

帶差參考電(BandgapReferences)介紹

2.1 基本的帶差參考電路(Bandgap References)



產生參考電路的目的是建立與供應電源和製程無關，但和溫度有明確關聯性之直流電壓或電流。在大部份的應用中所需的溫度相關性假設了三種形式：(1)和絕對溫度成比例(proportional to absolute temperature, PTAT)；(2)常數 G_m 之特性，即某電晶體的轉導值維持固定；(3)和溫度無關。下面圖. 4 是一個傳統的能隙參考電路。

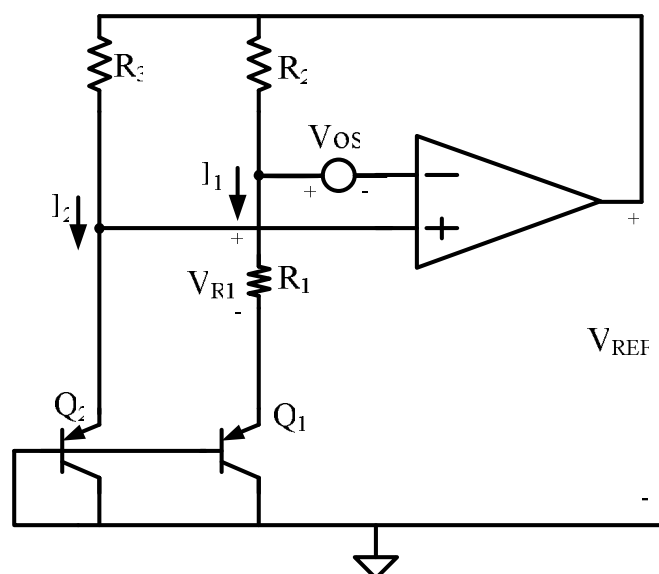


圖.4 基本的帶差參考電路〔1〕

然而，傳統能隙參考電壓電路的 OP 放大器輸入偏移電壓的大小會導致參考電路在輸出上的重大誤差，再者， V_{os} 本身又是溫度的函數，所以它還是會進一步引入一些變化量並讓電路表現更加偏離理想值。誤差的另一個來源是電阻的溫度係數，此外， Q_1 跟 Q_2 在 β 值上的匹配度以及 Q_1 跟 Q_2 的有限基極電阻匹配度也都是影響效應之一，最後，另一個使問題變得更複雜的誤差來源就是矽的能隙大小，它會在很大的溫度範圍內隨著溫度而改變。所以，以下會介紹一些帶差參考電路以及它們的好壞來改善不好的情形。

2.2 帶差放大器的專有名詞定義及認識

在進入帶差放大器的架構之前，我們必須對帶差放大器所用到的規格及專有名詞定義做說明，包含有：次臨界導通(sub-threshold conduction)、溫度因素(Temperature coefficient)、電源電壓調整率(Line Regulation)、電源拒斥比(Power Supply Rejection Ratio)。以上的名詞介紹如下：

2.2.1 次臨界導通 (sub-threshold conduction)

依照電流公式

$$i_D = \frac{1}{2} \mu_n C_{ox} [2(v_{GS} - v_t)v_{DS} - v_{DS}^2] \quad (1)$$

當 $v_{GS} < V_t$ 時，應得 $i_D = 0$ 。但實際並非如此，當 v_{GS} 略小於 V_t 時，卻可有極小電流導通，此稱為次臨界導通(sub-threshold conduction)現象，該電流稱為次臨界電流。其中原因將說明如下：

- (1) V_t 是針對基皮表面發生強反轉臨界時而定義的，但 v_{GS} 略小於 V_t 時，基板表面仍有載子反轉的情形，只是程度未強而已。換言之， v_{GS} 略小於 V_t 時，仍有極微弱之通道存在。
- (2) 因 S、D 極區為 n 型，而基板卻是 p 型，於是這三者之間如同一橫向的 npn 電晶體。
- (3) 加上 v_{DS} 時，因為 S 極電位最低，故 v_G 在其邊緣所造成的電子反轉濃度為最大，如圖所示；同時，D 極區之電位最高，於是 v_G 在此附近之電子反轉情形並不佳。因此，S 極區如同 npn 一電晶體之射極(重摻雜濃度)，而 D 極區則猶如是低摻雜的集極。
- (4) 由於 $v_{DS} > 0$ 之故，可讓此橫向 npn 電晶體於主動模式，以致發生擴散電流。

簡言之，處於次臨界時，仍有反轉而生的電子可由 S 極區擴散至 D 極區，故造成次臨界電流，並且該電流將隨 $(V_t - v_{GS})$ 成自然指數成長，截然不同於 MOSFET 正常操作時之漂移電流。因此，當 v_{GS} 略小於 V_t 時，實際之飽和轉換曲線將和理想者有所誤差，如圖. 5 所繪之意。反言之，當 $v_{GS} > V_t$ 時，MOSFET 之次臨界電流將隨 $(v_{GS} - V_t)$ 成自然指數衰減，故只剩下明顯的漂移電流成份。

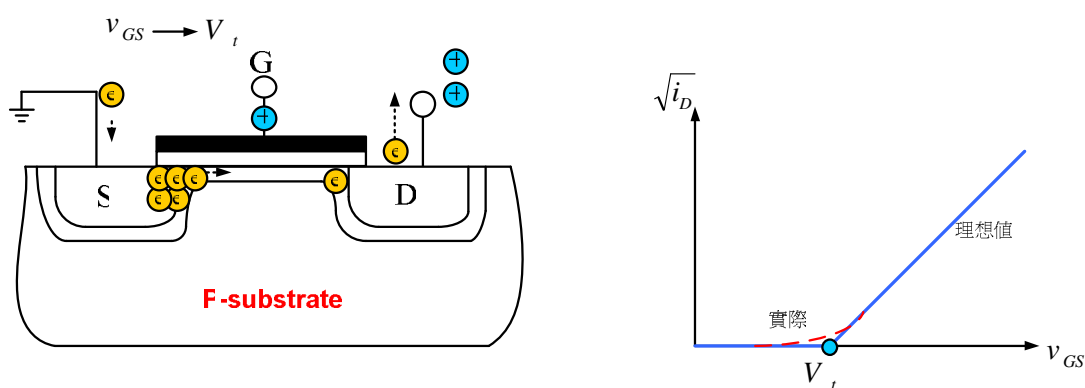


圖. 5 MOSFET 在次臨界狀態下導之示意，以及飽和轉換曲線之差異。〔2〕

2.2.2 溫度因素 (Temperature coefficient)

一般用來分析參考電壓受溫度變化之影響的參數為 T_c (temperature coefficient) 其定義如下:

$$T_c = \frac{\frac{\Delta V_{REF}}{V_{REF}}}{\Delta T} \times 10^6 (ppm/^{\circ}C) \quad (2)$$

我們一般常用的溫度區間 ($0^{\circ}C \sim 80^{\circ}C$)，來比較普通能隙參考電壓電路 (bandgap) 和曲線能隙參考電路 T_c 的優劣，其值越小，代表輸出電壓受溫度變化的影響越小。

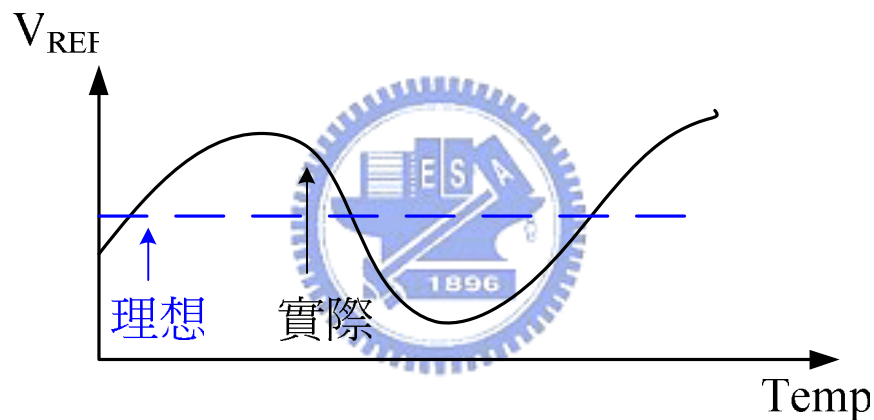


圖. 6 溫度因素示意圖 [3]

2.2.3 電源電壓調整率 (Line Regulation)

電源電壓調整率(Line Regulation)是用來量測當輸入電壓變動時,輸出電壓能夠保持固定的穩定度，定義如下:

$$Lineregulation = \frac{\left(\frac{\Delta V_{ref}}{V_{ref}} \right)}{\Delta V_{in}} (mV / V) \quad (3)$$

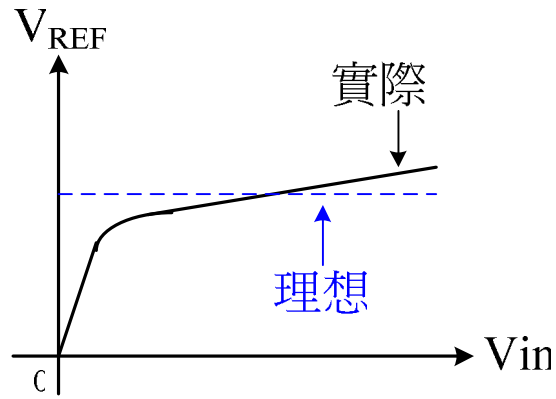


圖. 7 電源電壓調整率示意圖〔3〕

2.2.4 電源拒斥比(Power Supply Rejection Ratio)

電源拒斥比(Power Supply Rejection Ratio)是量測當輸入電壓變化,輸出電壓能夠抑制變化的能力,定義如下：

$$PSRR = \frac{\Delta V_{ref}}{\Delta V_{in}} (dB) \text{ at all frequencies} \quad (4)$$

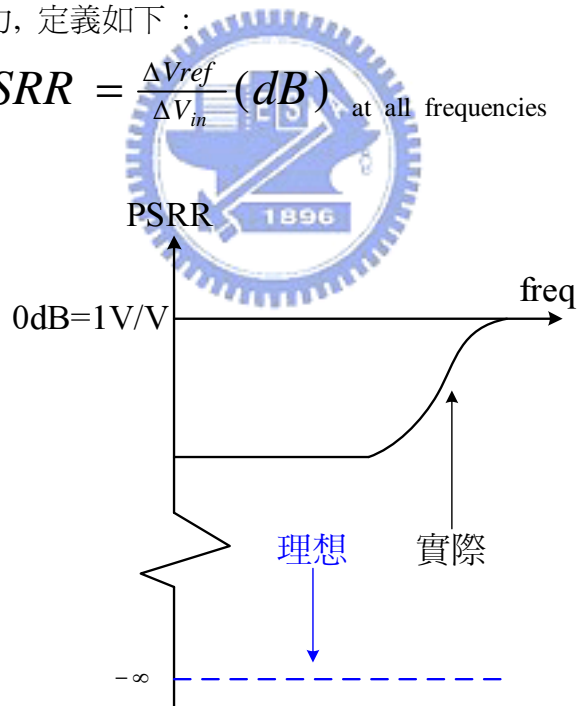


圖. 8 PSRR 示意圖〔3〕

2.3 帶差放大器的原理介紹

常用的參考電壓電路有：(1) 能隙參考電壓電路(Bandgap Reference Voltage Circuit) (2) CMOS 參考電路(CMOS Voltage Reference Circuit)兩種。

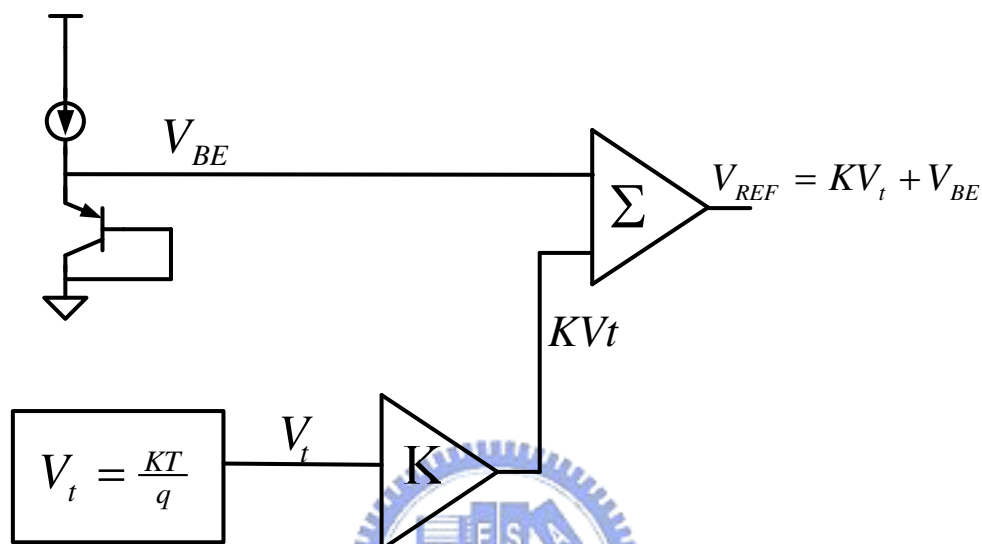


圖.9 正負溫度係數電壓源互相抵銷溫度係數〔1〕

能隙電壓參考電源分析如上圖所示，pn 接面產生一個室溫下約-2.2mV/°C 的負溫度係數，同時也由熱電壓(thermal voltage)產生+0.085mv/°C 的正溫度係數再乘上個常數 k ，如此一來輸出電壓即為

$$V_{REF} = V_{BE} + KV_T \quad (5)$$

理論上來說 K 的值應該讓整個式子的溫度係數為零，因此我們必須提供更詳細的 V_{BE} 值以利 K 值的設定。為了知道整個能隙參考電壓源的運作，我們要先能推導出 V_{BE} 的溫度獨立關係。

在雙載子二極體中的汲極電流密度

$$J_c = \frac{qD_n n_{po}}{W_B} \exp\left(\frac{V_{BE}}{V_T}\right) \quad (6)$$

而 n_{po} 為基極電子的平衡濃度， D_n 為電子平均擴散常數， WB 為基極寬度。又因

$$n_{po} = \frac{n_i^2}{N_A} \quad (7)$$

而

$$n_i^2 = DT^3 \exp\left(\frac{-V_{GO}}{V_T}\right) \quad (8)$$

D 是溫度獨立常數， $-V_{GO}$ 是能隙電壓（1.205V）， T 為溫度係數。如此再由式子（6）和（8），可解得一個新的汲極電流密度

$$\begin{aligned} J_C &= \frac{qDn}{N_A W_B} DT^3 \exp\left(\frac{V_{BE} - V_{GO}}{V_T}\right) \\ \therefore &= AT^\gamma \exp\left(\frac{V_{BE} - V_{GO}}{V_T}\right) \end{aligned} \quad (9)$$

在上式所表示的 A ，就是合併新的汲極電流密度中所代表的溫度獨立常數，其中溫度係數 T 的 γ 並不是 3，因為 Dn 中的溫度會和溫度係數 V_T 互相影響。

接著我們可以將 V_{BE} 推導成下列的形式：

$$V_{BE} = \frac{KT}{q} \ln\left(\frac{J_C}{AT^\gamma}\right) + V_{GO} \quad (10)$$

現在我們將 J_C 溫度係數假設為 T_0 ，可得下列的式子：

$$J_{C0} = AT_0^\gamma \exp\left[\frac{q}{kT_0}(V_{BE} - V_{GO})\right] \quad (11)$$

我們比較一下 J_C 跟 J_{C0} ：

$$\frac{J_C}{J_{C0}} = \left(\frac{T}{T_0}\right)^\gamma \exp\left[\frac{q}{k}\left(\frac{V_{BE} - V_{GO}}{T} - \frac{V_{BE0} - V_{GO}}{T_0}\right)\right] \quad (12)$$

如此一來可以重新表示 V_{BE} ：

$$V_{BE} = V_{GO}\left(1 - \frac{T}{T_0}\right) + V_{BE0}\left(\frac{T}{T_0}\right) + \gamma \frac{kT}{q} \ln\left(\frac{T_0}{T}\right) + \frac{kT}{q} \ln\left(\frac{J_C}{J_{C0}}\right) \quad (13)$$

由上式取微分當溫度係數 T 為 T_0 時：

$$\left. \frac{\partial V_{BE}}{\partial T} \right|_{T=T_0} = \frac{V_{BE} - V_{GO}}{T_0} + (\alpha - \gamma) \left(\frac{k}{q} \right) \quad (14)$$

我們現在已經推導出詳細的 V_{BE} 對溫度 T 的關係式，現在針對不同的兩個雙載子電晶體電流密度的關係式推導出 ΔV_{BE} 。我們利用式子 (10) 則有一個關於 ΔV_{BE} 的關係式產生：

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = \frac{KT}{q} \ln \left(\frac{J_{C1}}{J_{C2}} \right) \quad (15)$$

再將我們所得到的值對溫度係數 T 微分：

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{V_T}{T} \ln \left(\frac{J_{C1}}{J_{C2}} \right) \quad (16)$$

爲了能夠在 T_0 時得到零溫度係數，所以我們將式子 (14) 和 (16) 相加後必須爲零，式子如下：

$$0 = K'' \left(\frac{V_{T0}}{T_0} \right) \ln \left(\frac{J_{C1}}{J_{C2}} \right) + \frac{V_{BE0} - V_{GO}}{T_0} + \frac{(\alpha - \gamma)V_{T0}}{T_0} \quad (17)$$

K'' 在這裡代表的是整個電路的常數是爲了使上式較爲簡化，接下來我們可以得到：

$$0 = K \left(\frac{V_{T0}}{T_0} \right) + \frac{V_{BE0} - V_{GO}}{T_0} + \frac{(\alpha - \gamma)V_{T0}}{T_0} \quad (18)$$

K 的值實際上代表的是 $K = K'' \ln(J_{C1}/J_{C2})$ ；爲了將等式成立，我們的 K 值要取爲：

$$K = \frac{[V_{GO} - V_{BE0} + (\gamma - \alpha)V_{T0}]}{V_{T0}} \quad (19)$$

我們將式子 (19) 重新整理一下，可以得到一個新的項如下所示：

$$KV_{T0} = V_{GO} - V_{BE} + V_{T0}(\gamma - \alpha) \quad (20)$$

再將得到式子代入 $V_{REF} = V_{BE} + KV_T$ ，也就是令它 V_{REF} 的溫度係數爲 T_0 ，可以得到

下式，這也是最典型的能隙電壓表示式

$$V_{REF}|_{T=T_0} = V_{GO} + V_{t0}(\gamma - \alpha) \quad (21)$$

典型的能隙電壓值大約是 27°C 時， $\gamma=3.2$ ； $\alpha=1$ ，則 $V_{REF}=1.262$ ，它的變動值如下圖所示：

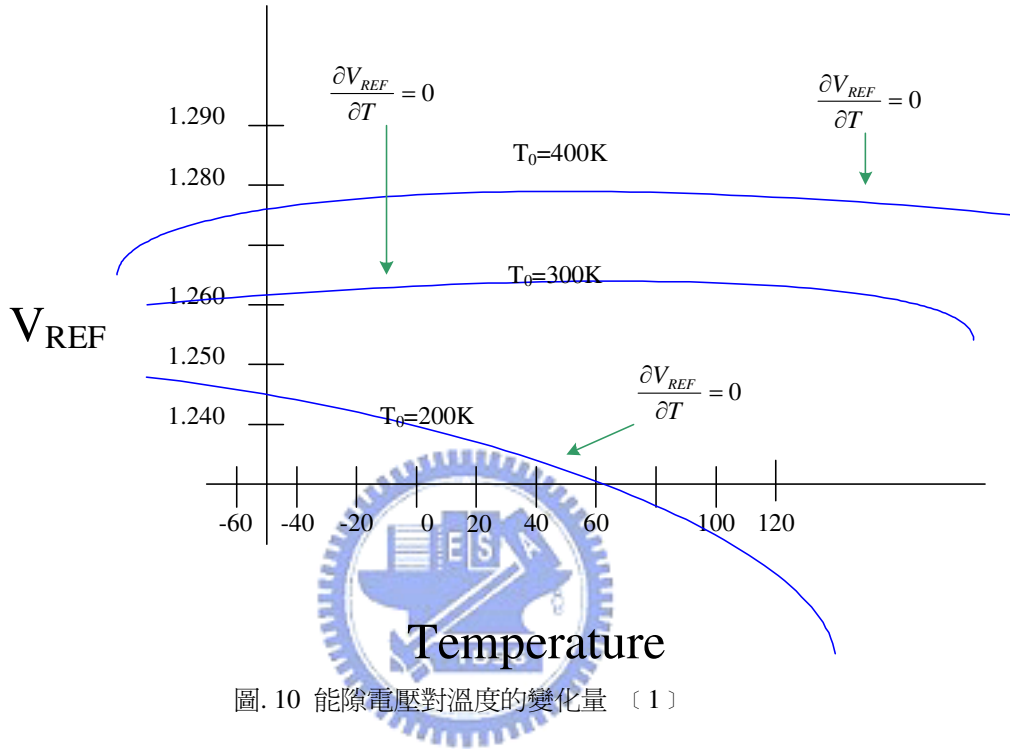


圖. 10 能隙電壓對溫度的變化量〔1〕

如圖. 11，實際的 V_{BE} 對溫度並非線性關係，而是一個高次曲線，而 V_t 對溫度則近似線性行為($V_t=KT/q$)，兩者間無法完全互補地消除。因此 V_t 和 K 的選擇，僅能在室溫附近和 V_{BE} 合成零溫度係數點。

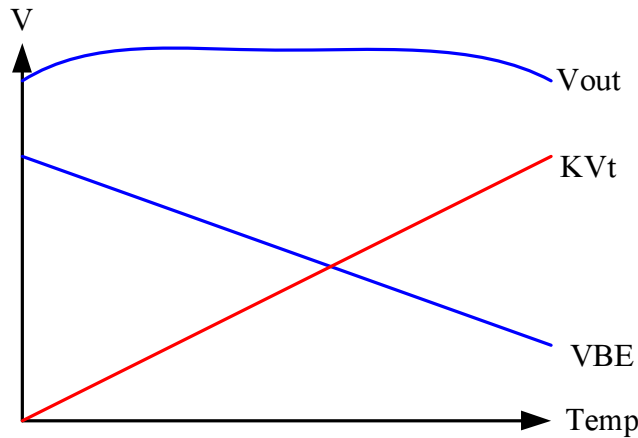


圖. 11 V_{BE} 和 KV_t 曲線抵銷，輸出 V_{out}

若使用非線性曲線補償 V_{BE} ，則可以得到圖. 12 的輸出曲線，使得 V_{out} 在較寬的溫度區間中，維持較小的變化。

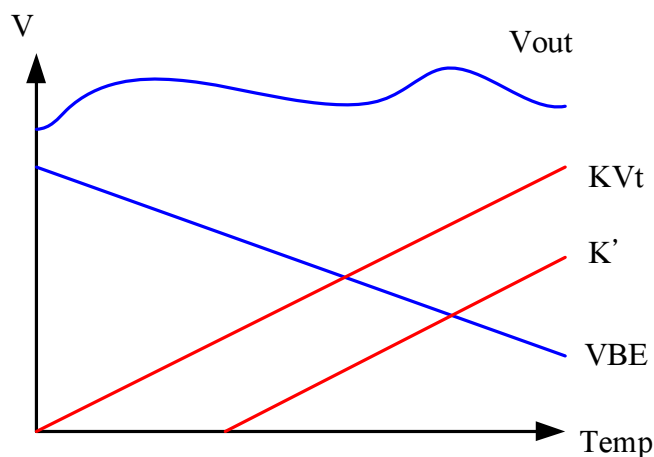


圖. 12 以 KVt 和 K' 雙線形成的非線性曲線補償 V_{BE}

能隙參考電壓約 1.25V 的輸出特性極適合於 0.18 μ m 以上的製程。

在標準 n-well 的 CMOS 製程技術中，可以利用垂直的 PNP BJT 電晶體來實現能隙參考電壓電路。一般的晶圓廠都會提供這個 Model。如圖. 13，利用在 n-well 中的 P^+ 當作射極(emitter)，n-well 本身當基極(base)，P 型基底當做集極(collector)。

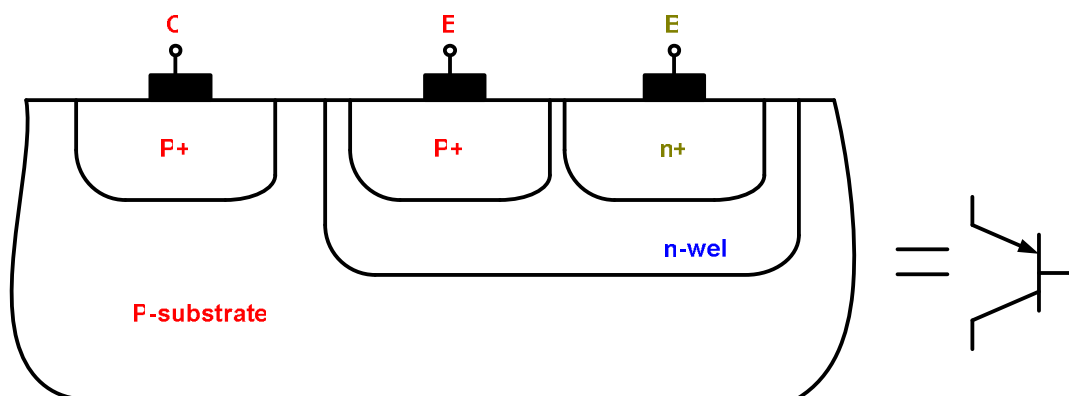


圖. 13 在 CMOS 製程技術中垂直的 PNP BJT 電晶體結構 [4]

第三章

帶差參考電路的內部 OP 及應用

3.1 起動偏壓電路(Start-UP Circuit)

爲了讓帶差參考電路（bandgap）的電流源在開機時脫離零電流的狀態，因此需要一個起動電路，並且我們給定一定值參考電流 I_{REF} ，也要考慮到配合帶差參考電路的溫度範圍（temperature range = $-40^{\circ}\text{C} \sim 140^{\circ}\text{C}$ ）以及供應電壓範圍（voltage range = $2\text{V} \sim 5\text{V}$ ）。接下來會介紹工作原理以及設計過程。

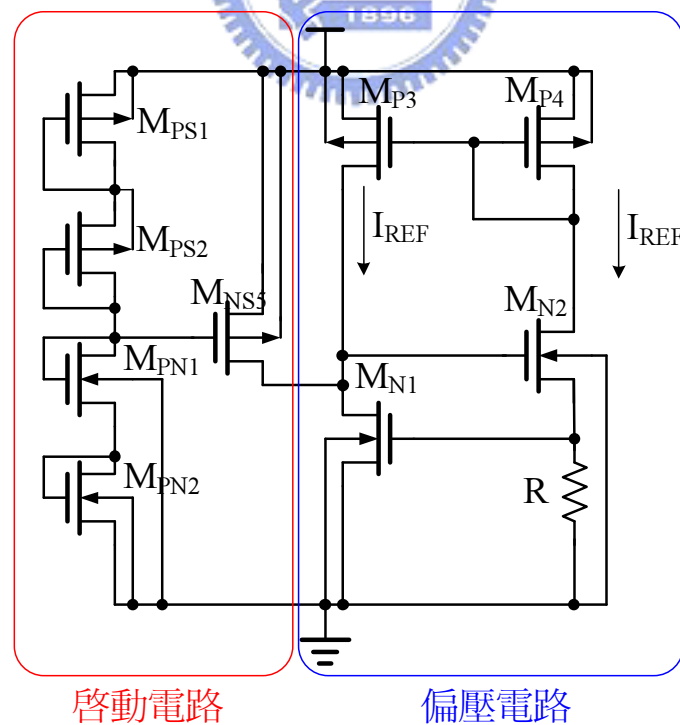


圖. 14 偏壓啓動電路〔1〕

在 $MOS M_3$ 和 M_4 的電流部份，由於是電流鏡的因素，所以流過 $MOS M_1$ 和 M_2 的電流也是相同。在這裡我們有從 M_1 的閘極和源極接一電阻，並忽略 MOS 的體極效應 (*body effect*)。

$$\text{由電路中可得此關係式 } I_{REF} \times R = V_{GS1} = V_{THN} + \sqrt{\frac{2I}{\beta_1}} \quad (22)$$

假設 β_1 很大，那參考電流 I_{REF} ，我們可得：

$$\begin{aligned} I_{REF} &= \frac{V_{THN}}{R} \\ I_{REF} &= \frac{V_{GS1}}{R} \end{aligned} \quad (23)$$

假設給定範圍 M_{NI} : $\frac{W}{L} = \text{定值}$ ，求得 L 、 W 、 M 的大小。

再代入 $i_D = \frac{1}{2} \mu_n c_{ox} (V_{GS1} - V_t)^2$ ；求得 V_{GS1} 。

接下來我們求電阻值大小 $I_{REF} = \frac{V_{GS1}}{R_S}$ ，求得 R_S 。

3.1.1 偏壓電路

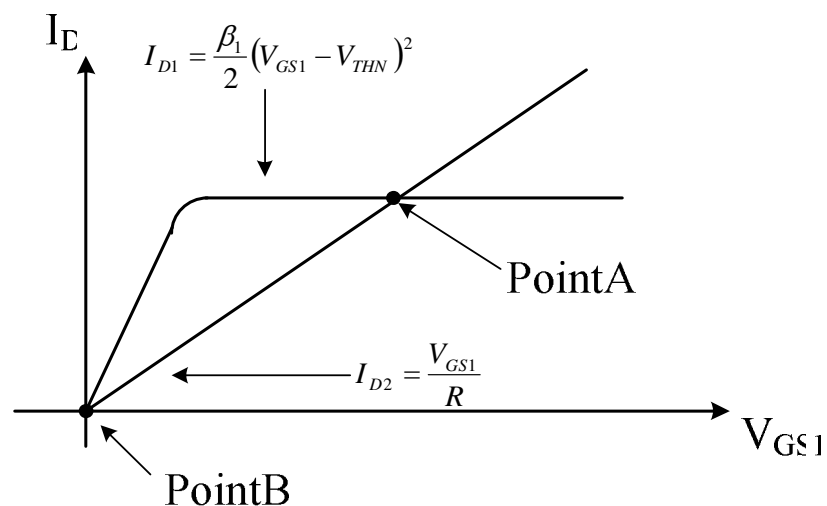


圖. 15 偏壓電路電流操作點圖示〔1〕

這個偏壓電路的穩態點包含了 A 和 B 二點，偏壓電路的參考電流 I_{REF} 從原點 B 開始，起動電路 (Startup circuit) 的參考電流 I_{REF} 我們則操縱在點 A。

M_{NS1} 、 M_{NS2} 、 M_{NS3} 和 M_{PS1}

如果 $V_{THN} < V_{A1} - V_{GN2} \Rightarrow MNS5$ "ON"

如果 $V_{THN} > V_{A1} - V_{GN2} \Rightarrow MNS5$ "OFF"

求得 V_{GN2}

再代入 $i_D = \frac{\beta}{2} (V_{GS2} - V_t)^2$

得到 V_{GS2}

可再求得 $V_{GN2} = V_{GS1} + V_{GS2}$

接下來，對起動偏壓電路的輸入電壓變化以及溫度變化；對輸出電流的影響模擬如下圖所示：

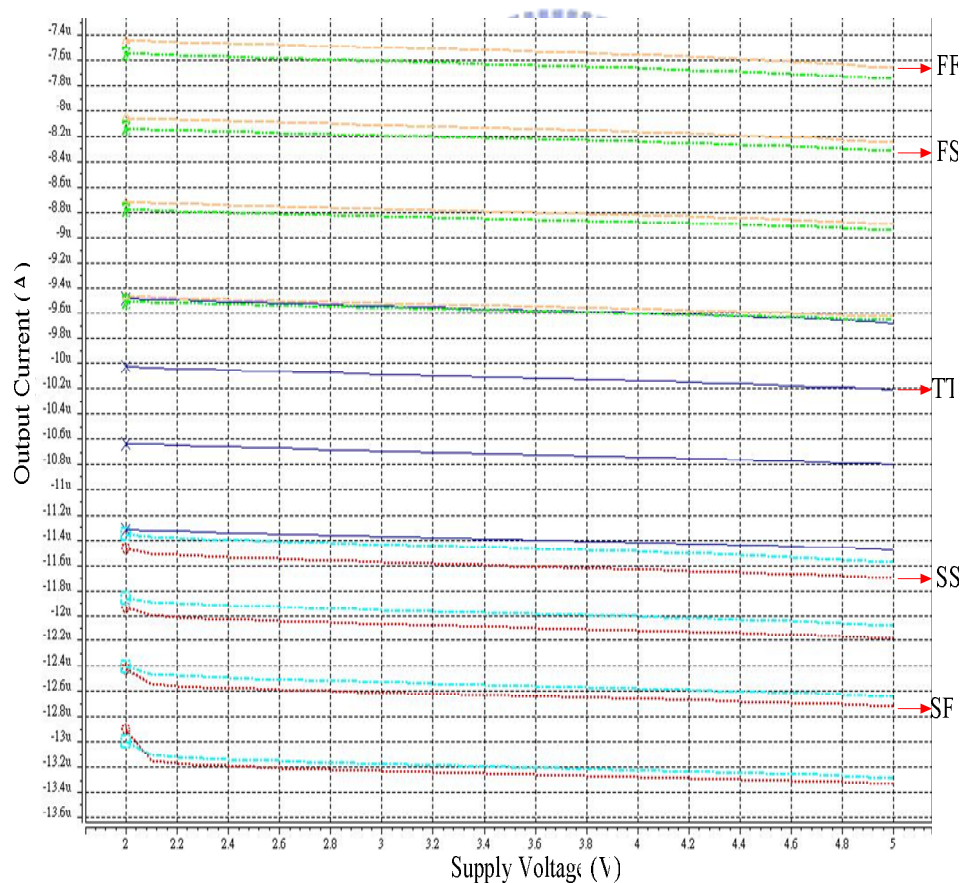


圖. 16 隨輸入電壓變化輸出電流模擬結果

我們給定輸入電壓為 2V 到 5V，並且讓溫度為 -40°C、25°C、85°C 和 140°C 的情況底下；分別來看五個 Corner 的輸出電流變化。

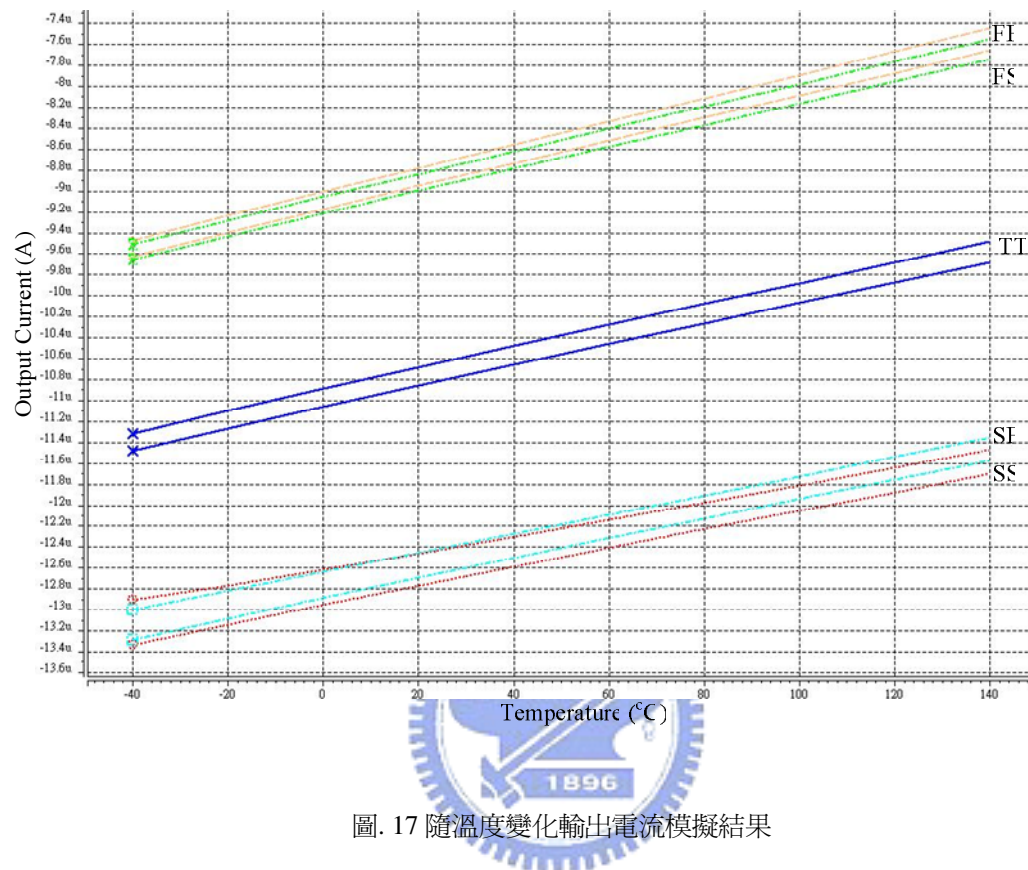


圖. 17 隨溫度變化輸出電流模擬結果

我們給定溫度變化為 -40°C 到 140°C，輸入電壓為 2V 及 5V 的情況底下；分別來看五個 Corner 的輸出電流變化。

3.2 CMOS 運算放大器電路

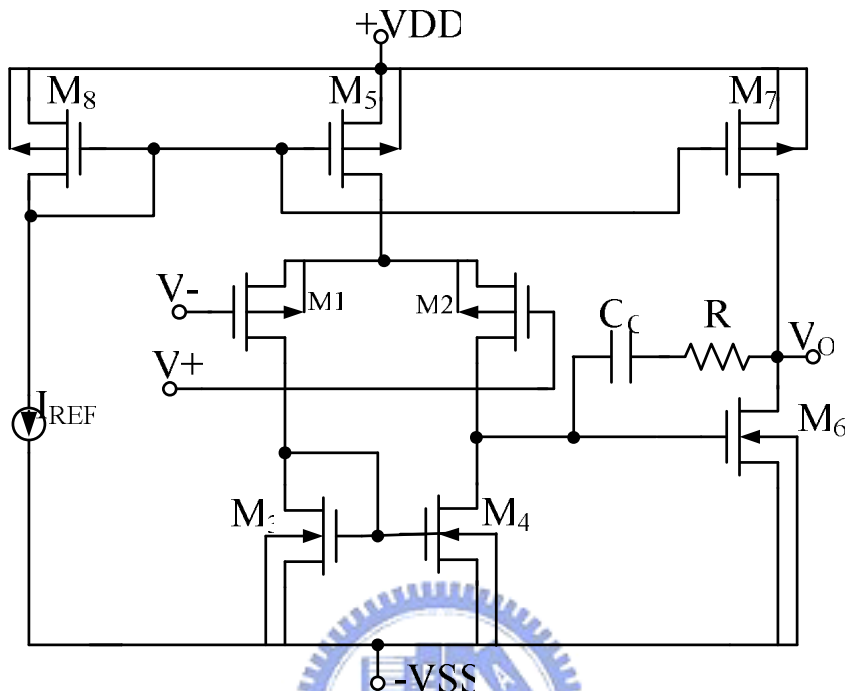


圖. 18 二級放大器(Two-Stage OP)、A 類放大器 (Class-A)

由於帶差參考電路(bandgap)裡所用到的放大器，是一個二級放大器(two-stage op)同樣的也叫作 A 類放大器 (Class-A)如圖. 18 所示，接下來對此電路來一一分析。

再此先介紹輸入偏差電壓問題:

- (a) 隨機偏差(*random offset*)：因製程誤差所造成的元件不匹配。
- (b) 系統偏差(*systematic offset*)：因電路設計不當所造成，說明如下：在偏壓電壓方面：
 - (1) 電流鏡之中 $V_{GS3}=V_{GS4}$ ，其設計目的是要讓 $I_3=I_4=I$ ，若再考慮通道長度調變效應，則必須達到 $V_{DS3}=V_{DS4}$ 。
 - (2) 在 MOS 二極體 M_3 中，因 $V_{DS3}=V_{GS3}$ ，故可知 $V_{DS4}=V_{GS3}=V_{GS4}$ 。
 - (3) 在 M_6 方面，因為 $V_{GS6}=V_{DS4}$ ，於是可知 $V_{GS6}=V_{GS4}$ 。

在偏壓電流方面：

(1) 在 *PNP* 電流鏡中，假設 M_5 和 M_7 具有相同的外形比值，則 $I_7 = I_5 = 2I$ 。

(2) 因 $I_6 = I_7 = 2I$ ，故 $I_6 = 2I_4$ 。

結果：

因 $V_{GS6} = V_{GS4}$ ，但電流卻是 $I_6 = 2I_4$ ，因此，外形比值設計必須符合 $\frac{(W/L)_6}{(W/L)_4} = 2$ ，否則，將導致輸出偏差問題。廣義來說，尺寸設計必須符合

$$\frac{(W/L)_6}{(W/L)_4} = 2 \times \frac{(W/L)_7}{(W/L)_5} \quad (24)$$

3.2.1 共模輸入電壓範圍：

當輸入為共模電壓 V_{ICM} 時，則偏壓電流幾乎不變，於是各 *MOS* 的 V_{GS} 近乎於固定。因此，對於各個 *MOSFET* 而言， V_{ICM} 所造成的改變僅僅在於 V_{DS} 值而已，因此

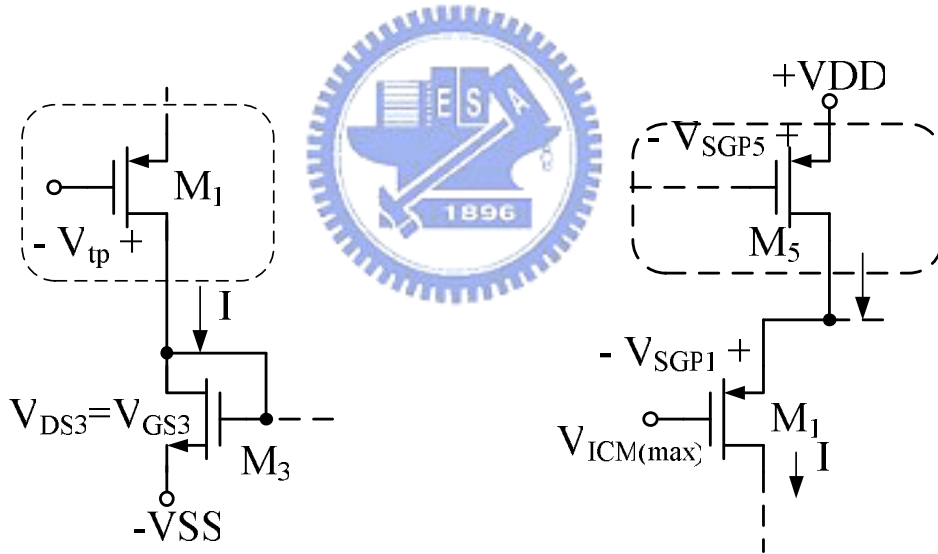


圖. 19 共模輸入電壓之上下限〔2〕

(1) V_{ICM} 的下限：當 V_{ICM} 愈小時，應愈不利於 M_1 和 M_3 。不過，由於 *MOS* 二極體 M_3 必在飽和區不會進入三極管區，並且 $V_{DS3} = V_{GS3}$ ，於是 M_1 的 *D* 極電壓保持於 $V_{D1} = -V_{SS} + V_{DS3}$ 不動。因此，當 V_{ICM} 過低時，則 M_1 可能因為閘極電壓過低而進入三極管區。換言之， V_{ICM} 的最小值是決定於 M_1 飽和臨界，即是

$$V_{ICM(\min)} = V_{D1} - |V_{tp}| = -V_{SS} + V_{GS3} - |V_{tp}| \quad (25)$$

其中， V_{GS3} 可由偏壓電流 I 求得，即是 $V_{GS3} = \sqrt{I/K_n} + V_{tn}$ ；另外，若以過度驅動電壓 $V_{OV} = V_{GS} - V_t$ (或稱有效電壓 V_{eff}) 來表示，則上式可寫成

$$V_{ICM(\min)} = -V_{SS} + V_{ov3} + V_{tn} - |V_{tp}| \quad (26)$$

(2) V_{ICM} 的上限決定：當 V_{ICM} 提高時，因 $|V_{GS1}|$ 保持不變，於是 $V_{S1} = V_{D5}$ 將隨 V_{ICM} 上升。如此，將會壓縮 $|V_{DS5}|$ 大小而不利於 M_5 。因此， V_{ICM} 的最大值是決定 M_5

$$\text{飽和臨界，於是可知 } V_{ICM(\max)} = V_{DD} - V_{SDP5(\min)} - V_{SGP1} \quad (27)$$

上式若改以過度驅動電壓 $V_{OV} = (V_{GS} - V_t)$ 來表示，則因為

$$V_{SDP5(\min)} = V_{SDP5} - |V_{tp}| = |V_{OV5}|, \text{ 並且 } |V_{OV1}| = V_{SGP1} - |V_{tp}|, \text{ 故上式為}$$

$$V_{ICM(\max)} = V_{DD} - |V_{OV5}| - (|V_{OV1}| - |V_{tp}|) \quad (28)$$

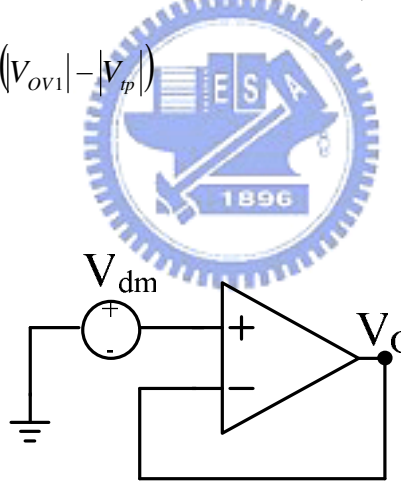


圖. 20 接成負回授方式量測共模輸入電壓範圍 (ICMR)

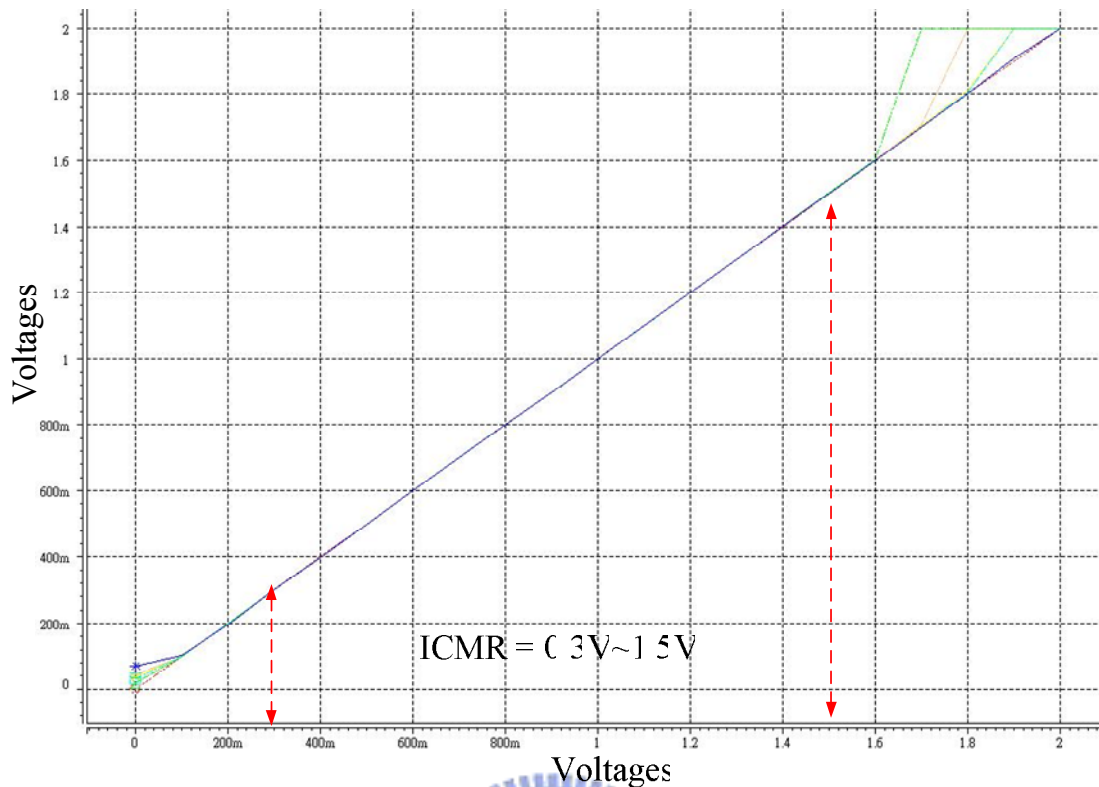


圖. 21 共模輸入電壓範圍 (ICMR)

上圖. 21 的線性線段就是所謂的飽和區的電壓值，我們可以看到共模輸入電壓大約為 0.3V 到 1.5V 左右。

3.2.2 輸出電壓範圍：

V_o 下限之決定：在於 M_6 飽和臨界之際，因此，

$$v_{o(\min)} = -V_{SS} + V_{DS6(\min)} = -V_{SS} + V_{OV6}$$

V_o 上限之決定：在於 M_7 飽和臨界之際，於是可知

$$v_{o(\max)} = V_{DD} - V_{SDP7(\min)} = V_{DD} - |V_{OV7}| \quad (29)$$

輸出電壓的範圍為 $(-V_{SS} + V_{OV6}) \leq v_o \leq (V_{DD} - |V_{OV7}|)$ ，如欲增強 V_o 的擺幅，則應設

法降低 V_{ov6} 和 $|V_{ov7}|$ 等過度驅動電壓值。

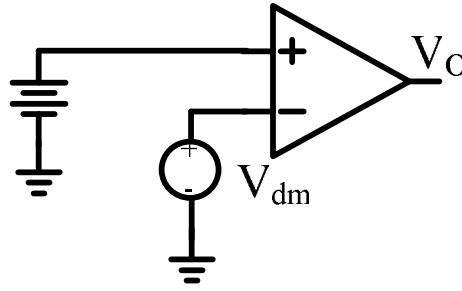


圖. 22 接成開迴路狀態來量測輸出電壓範圍

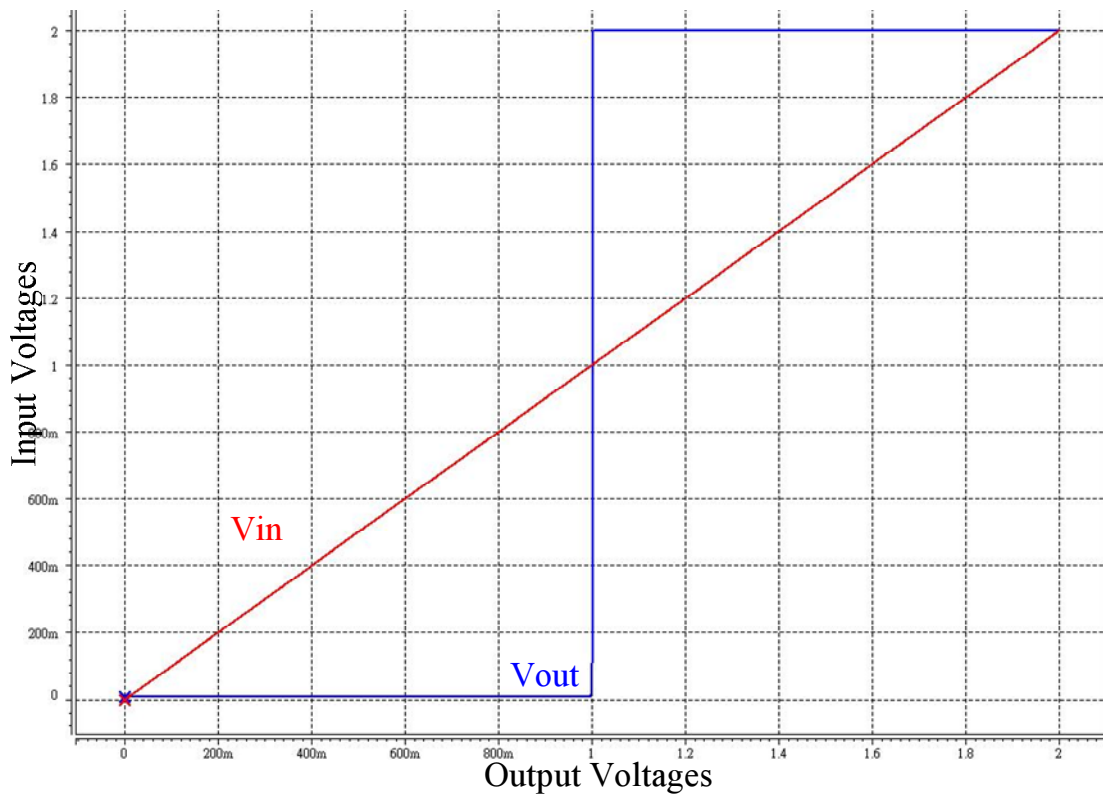


圖. 23 輸出電壓範圍

3.2.3 小信號分析：

小信號等效電路如圖. 24 所示，其中，

第一級方面：輸出電阻 $R_{O1} = r_{o2} // r_{o4}$ ，其中 $r_{o2} = \frac{|V_{A2}|}{I}$ ， $r_{o4} = \frac{V_{A4}}{I}$ 轉導增益 $Gm1 = gm1 = gm2$ ，若以偏壓電流 I 來表示，則

$$G_{m1} = 2\sqrt{K_P I_{D1}} = 2K_P (V_{SGP1} - |V_{tp}|) = \frac{2I_{D1}}{V_{SGP1} - |V_{tp}|} = \frac{2I}{V_{OV1}} \quad (30)$$

電壓增益 $A1 = -G_{m1}R_{o1} = -g_{m1}(r_{o2} // r_{o4})$ 。

第二級方面：忽略電容器作用，則可知低頻小信號電壓增益為

$$A_{vo} = A1A2 = g_{m1}(r_{o2} // r_{o4})g_{m6}(r_{o6} // r_{o7})。$$

輸入電阻： $R_i = \infty$ 。

輸出電阻： $R_o = R_{o2} = r_{o6} // r_{o7}$ 。

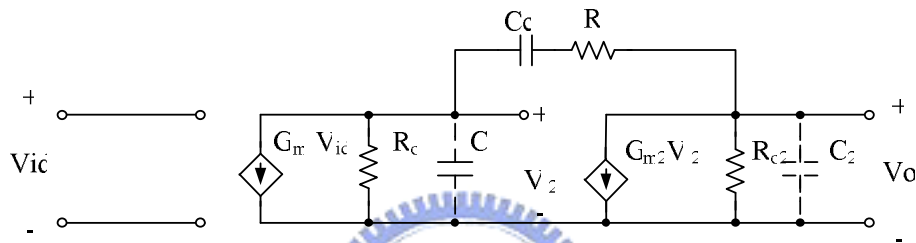


圖. 24 小信號頻率響應

3.2.4 頻率響應和補償問題：

電容成份有：

$$C_1 = C_{gd2} + C_{gb2} + C_{gd4} + C_{db4} + C_{gs6}$$

$$C_L = C_{db6} + C_{gd7} + C_{db7} + C_L$$

通常，輸出端寄生電容 C_L 大於其他的寄生電容，因此 C_2 明顯大於 C_1 。首先，米勒補償之中的電阻 R 暫不考慮，由於補償電容 C_c 是蓄意製造而遠大於寄生電容，故 C_{gd6} 可忽略。

米勒電容 C_c 會造成極點分裂，但也會形成正零點，如下圖. 25 所示。

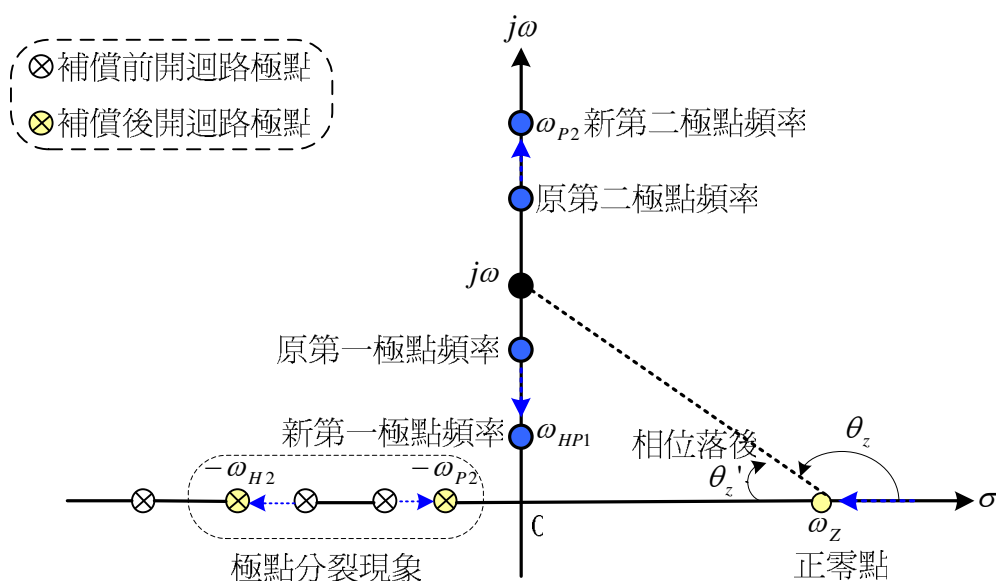


圖. 25 米勒補償前後的 S 域〔2〕

其中，極點頻率為

$$\omega_{P1} = \frac{1}{R_1(C_1 + (1 + G_{m2}R_2))} \approx \frac{1}{R_1 G_{m2} R_2 C_c} \quad (31)$$

$$\omega_{P2} \approx \frac{G_{m2}}{C_2} \quad (32)$$

正零點所造成的零點頻率，則是 $\omega_z = \frac{G_{m2}}{C_c}$ (33)

因此是低通的正零點，將形成相位落後，於是相位響應之關係式為

$$\theta(\omega) = -\theta_{P1} - \theta_{P2} - \theta_z' = -\tan^{-1}\left(\frac{\omega}{\omega_{P1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{P2}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_z}\right) \quad (34)$$

再者， ω_{P1} 必是主極點頻率，若單倍增益頻率 ω_t 小於 ω_{P2} 、 ω_z ，則其振幅波德圖如下圖. 26 所示

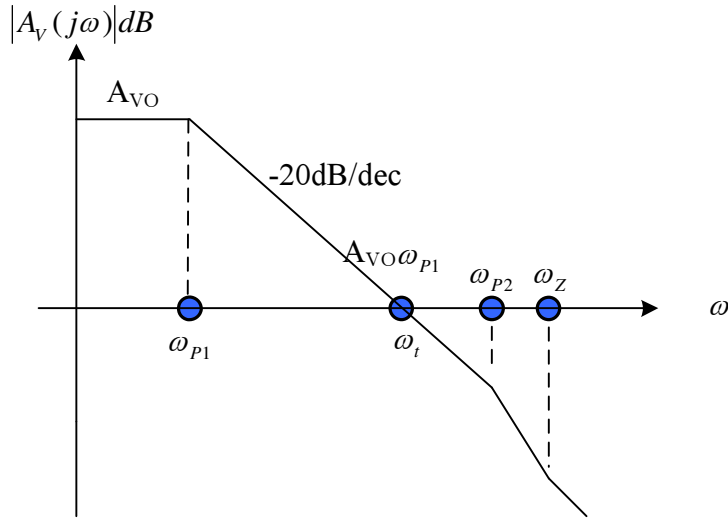


圖. 26 振幅波德圖〔2〕

利用斜率關係或 GB 值概念可知

$$\omega_t = A_{vo} \omega_{P1} = G_{m1} R_1 G_{m2} R_2 \times \frac{1}{R_1 G_{m2} R_2 C_c} = \frac{G_{m1}}{C_c} \quad (35)$$

因此，如要達成上述波德圖，則其條件為『 $\omega_t < \omega_Z$ 和 $\omega_t < \omega_{P2}$ 』，即是

$$\frac{G_{m1}}{C_c} = \frac{G_{m2}}{C_2} \quad \text{且} \quad G_{m1} < G_{m2}$$

另外，關於相立邊限 PM 問題，針對回授因子 $\beta=1$ 來考量，則

$$PM = 180^\circ - \angle A(j\omega_t)$$

其中

$$\angle A(j\omega_t) = \theta(\omega_t) = -\tan^{-1}\left(\frac{\omega_t}{\omega_{P1}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_{P2}}\right) - \tan^{-1}\left(\frac{\omega_t}{\omega_Z}\right) \quad (36)$$

又因為 $\omega_t \gg 100\omega_{P1}$ ，故 $\tan^{-1}\left(\frac{\omega_t}{\omega_{P1}}\right) \cong 90^\circ$

因此，

$$\theta(\omega_t) = -90^\circ - \tan^{-1}\frac{\omega_t}{\omega_{P2}} - \tan^{-1}\frac{\omega_t}{\omega_Z} \quad (37)$$

於是可知

$$PM = 180^\circ - \theta(\omega_t) = 90^\circ - \tan^{-1}\frac{\omega_t}{\omega_{P2}} - \tan^{-1}\frac{\omega_t}{\omega_Z} \quad (38)$$

簡單來說，由於 CMOS 運算放大器中的正零點並不大，將使得相位邊限下降，容易導致閉迴路電路不穩定。

爲了提高 PM 值，進而造成相位領先，如下圖所示，相位響應則變成是

$$\theta(\omega) = -\theta_Z - \theta_{P1} - \theta_{P2} = \tan^{-1}\left(\frac{\omega}{\omega_Z}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{P1}}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{P2}}\right) \quad (39)$$

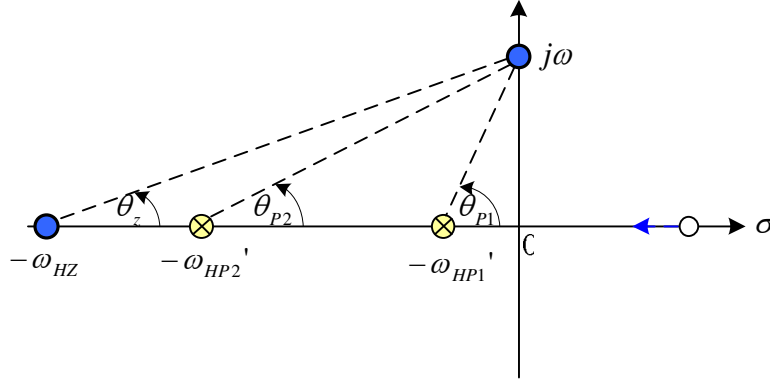


圖. 27 米勒電容後加串電阻的零點改變 [2]

於是在米勒電容 C_c 之後串入一電阻 R ，其說明如下：

以 S 域來論，負實數代表著衰減性，爲了造成負數零點，因此，在米勒電容之後，加串一電阻 R ，以達此效果。

其次，關於零點的分析，仍用 $V_o=0$ 的物理意義，即是 C_c 上的電流等於依賴電流源 $G_{m2}V_{i2}$ 之時，不過，此時『 C_c 和 R 串聯體』上的電壓爲 V_{i2} ，因此，零點的關係式應修正成

$$\frac{V_{i2}}{R + \frac{1}{sC_c}} = G_{m2}V_{i2} \Rightarrow S = \frac{-1}{C_c \left(R - \frac{1}{G_{m2}} \right)}$$

故 R 必須大於 $\frac{1}{G_{m2}}$ ，且零點頻率將是 $\omega_z = \frac{1}{C_c \left(R - \frac{1}{G_{m2}} \right)}$ 。 (40)

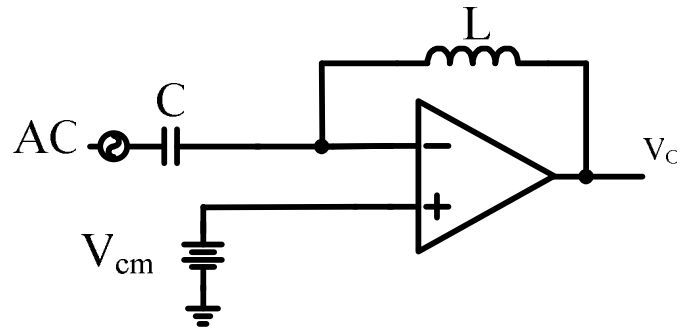


圖. 28 外接大電容及電感來量測二級放大器的頻率響應

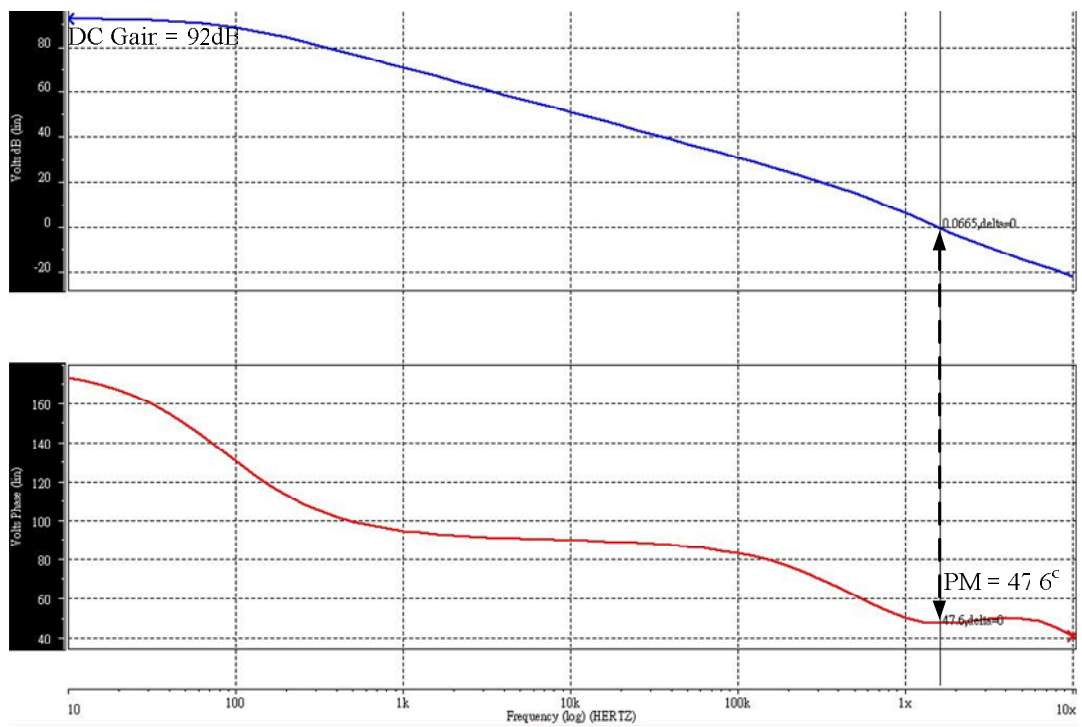
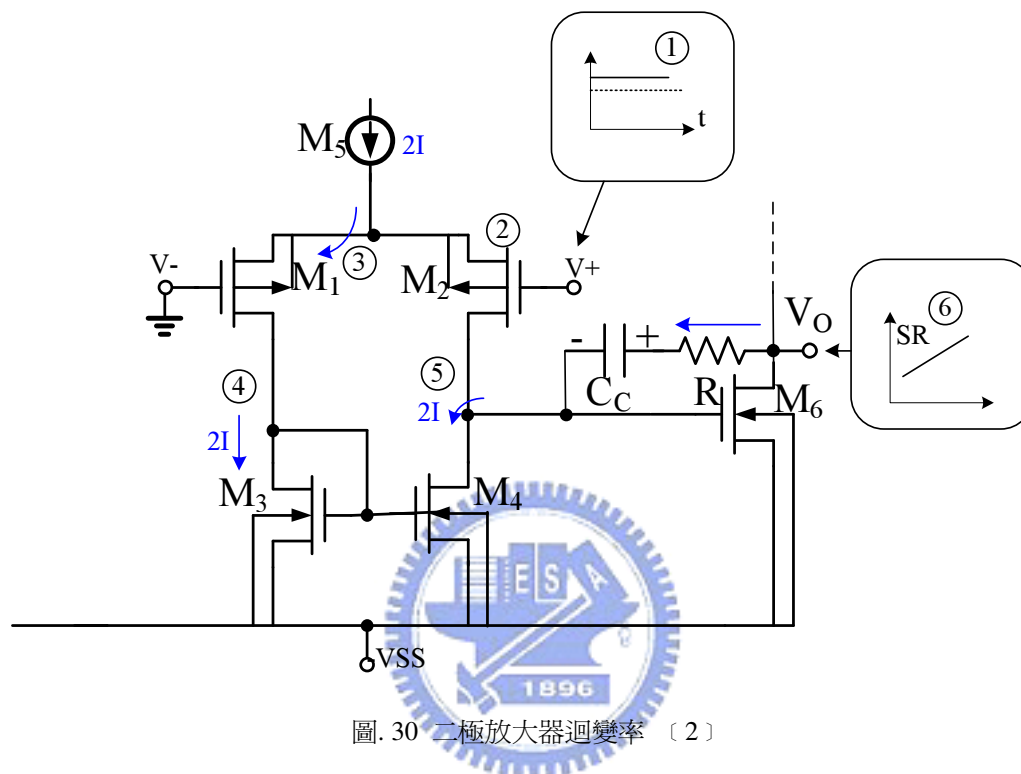


圖. 29 二級放大器的頻率響應

由上圖. 29 我們可以知道這個二級放大器的增益邊限 (Gain Margin, G.M) 和相位邊限 (Phase Margin, P.M) 分別為 92dB 及 47.6°。

3.2.5 迴變率上的問題

所謂的迴變率 SR ，是指輸出電壓的最大變化率，爲了簡化說明和分析，於是假設反相輸入端接地，即是 $V_-=0$ 。



- (1) 當輸入 V_+ 過大時，如圖. 30 所示之意。
- (2) 導致 M_2 截止。
- (3) 偏壓電流 $2I$ 全歸於 M_1 所有。
- (4) 偏壓電流 $2I$ 全部流入 MOS 二極體 M_3 。
- (5) 因電流鏡之故，於是受控的 M_4 也是 $2I$ 。
- (6) M_4 的電流 $2I$ 將向輸出端汲取，且 $2I$ 會通過 C_C ，故而造成輸出電壓變動。再者，此時，輸出電壓變化即是電容電壓變化，於是輸出電壓的最大變化量爲。

$$SR = \left. \frac{dV_O(t)}{dt} \right|_{\max} = \left. \frac{dV_C(t)}{dt} \right|_{\max} = \left. \frac{I_C}{C_C} \right|_{\max} = \frac{2I}{C_C} \quad (41)$$

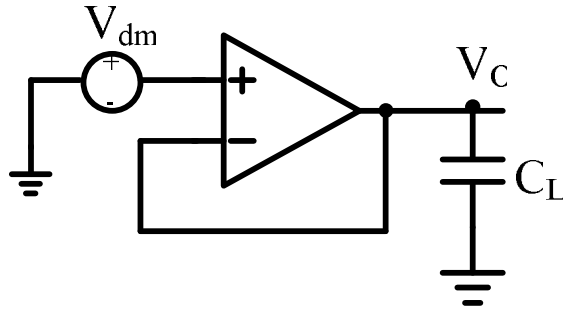


圖. 31 接成負回授及外加大電容來測迴變率

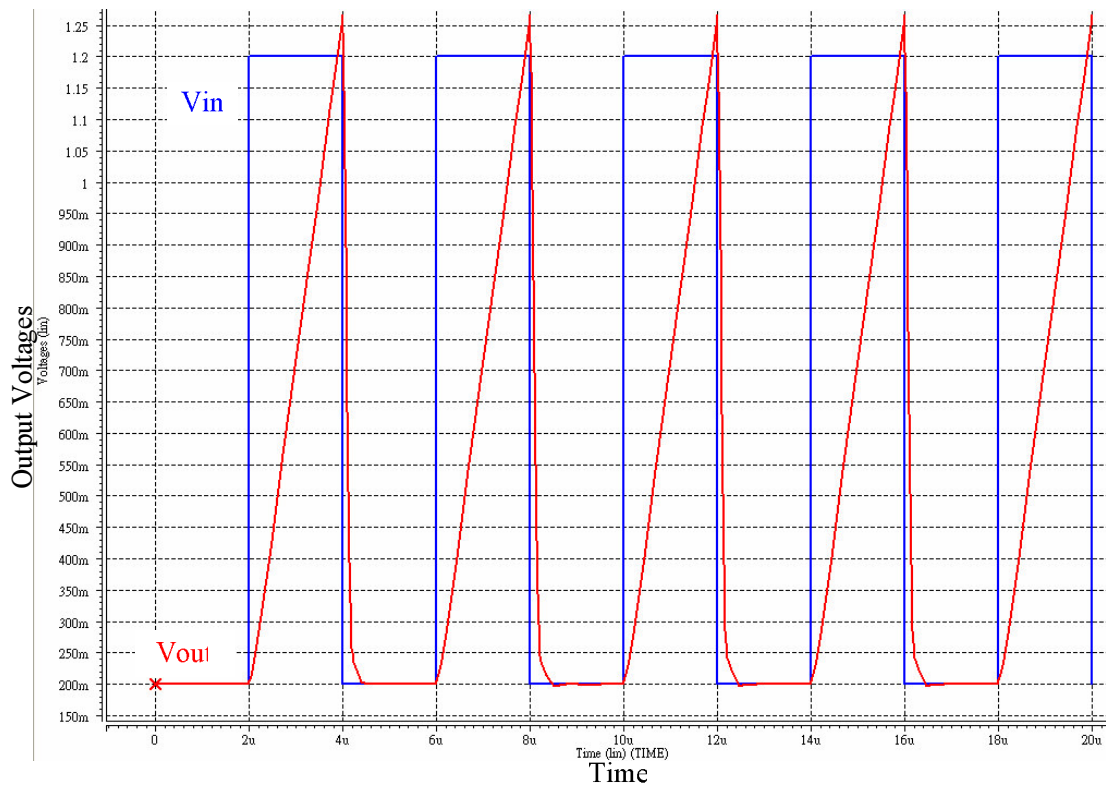


圖. 32 二極放大器回變率模擬結果

我們以 $.35\text{-}\mu\text{m}$ CMOS 製程下輸入電源 2V ，偏壓電流 $I_B=10\mu\text{A}$ ，並外接電容 C_L (15pF) 來量測的結果如下所示：

$$SR = \frac{\Delta y}{\Delta x} = \frac{\Delta V}{\Delta t} = \frac{V_H - V_L}{\Delta t} = \frac{1.2\text{V} - 0.2\text{V}}{1.77e-006} = 0.574 \frac{\text{V}}{\mu\text{s}}$$

總之，米勒電容 C_c 的影響

(1)在穩態上：決定了單倍增益頻率 $\omega_t = \frac{G_{m1}}{C_c}$ ，再者，因為 G_{m1} 又等於 $g_{m1} = \frac{2I}{V_{ov1}}$ ，

因此， $\omega_t = \frac{2I}{C_c V_{ov1}}$ 。

(2)在暫態上：造成了迴變效 $SR = \frac{2I}{C_c}$ 。

至此可知， SR 和 ω_t 的關係為 $SR = V_{ov1} \omega_t = (V_{SGP1} - |V_{tp}|) \times \omega_t$ (42)

由於上的結果我們可得知若 ω_t 為固定，則 V_{ov1} 愈大，則 SR 值愈大。因此；

- (A) 在相同偏壓電流 I 下， $I = K_n (V_{GSN} - V_{tn})^2 = K_p (V_{SGP} - |V_{tp}|)^2$ ，因為 $K_n > K_p$ ，故 PMOS 的 V_{ov} 值大於 NMOS 者。因此，第一級採用 PMOS，可得到較大的 SR 值。
- (B) 因為 NMOS 的 gm 值高於 PMOS，於是第二級使用 NMOS，已獲得較高的 ω_{p2} 。



一般 AB 類放大器還有一個額外的靜態電流消耗叫作 $I_{Qcontrol}$ ，我們定義輸出電流效率因素（effective output current enhancement factor）為：

$$EOCEF = I_{o\max} / (2I_b + I_{Qcontrol}) \quad (44)$$

以 A 類放大器來說明，由於 A 類放大器本身並沒有多餘的靜態電流消耗；而且，A 類放大器的電流 $I_{o\max} = I_b$ 所以它的 $EOCEF = 0.5$ 。由於這個 AB 類放大器是根據 A 類改變而來；所以，並沒有一般 AB 類的靜態電流消耗 $I_{Qcontrol}$ ，故我們的 $I_{Qcontrol} = 0$ 。

接下來，我們要具體實現簡易改良 AB 類放大器如圖. 34 所示：

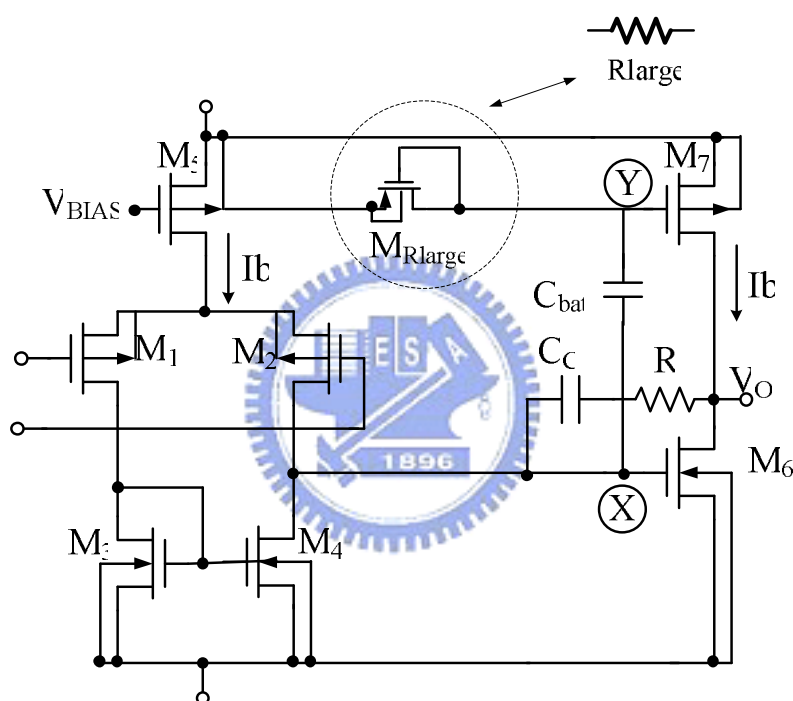


圖. 34 實際 AB 類放大器電路〔5〕

我們接個大電阻 $MRlarge$ 及電容 $Cbat$ ；來不讓電路很快的充、放電，然而 $Cbat$ 我們可用 MOS 的閘、源極內部電容並操縱在三極體區來實現。而電阻 $MRlarge$ 我們可預期是一個非常大的電阻（ $Rlarge$ ），因此，我們使用 PMOS 來接成二極體方式來實現，並且，操作在次臨界區（*subthreshold*）使其成為一個大電阻。

然而，一般的 A 類放大器它的增益頻寬（gain-bandwidth）為 $GB = g_{m1} \cdot 2 / C_c$ ，而它的高頻極點輸出值為 $\omega_{p2} = g_{m6} / CL$ ，而我們這個 AB 類放大器它的高頻極點輸出值 $\omega_{p2} = g_{m6} + g_{m7} / CL$ ，這是因為輸出 MOS（M6、M7）提升了 AB 類放大器的極點。也因此，AB 類放大器會頻率響應會比 A 類放大器來的好；而輸入電壓的最小值為 $V_{DDmin} = V_{GS6} + V_{SDsat2} + V_{SDsat5}$ 來決定。這個簡易改良 AB 類放大器的迴變率 $SR = Ib / (Cc + CL)$ 。

(45)

圖. 35 是把 AB 類放大器改為全差動 AB 類放大器

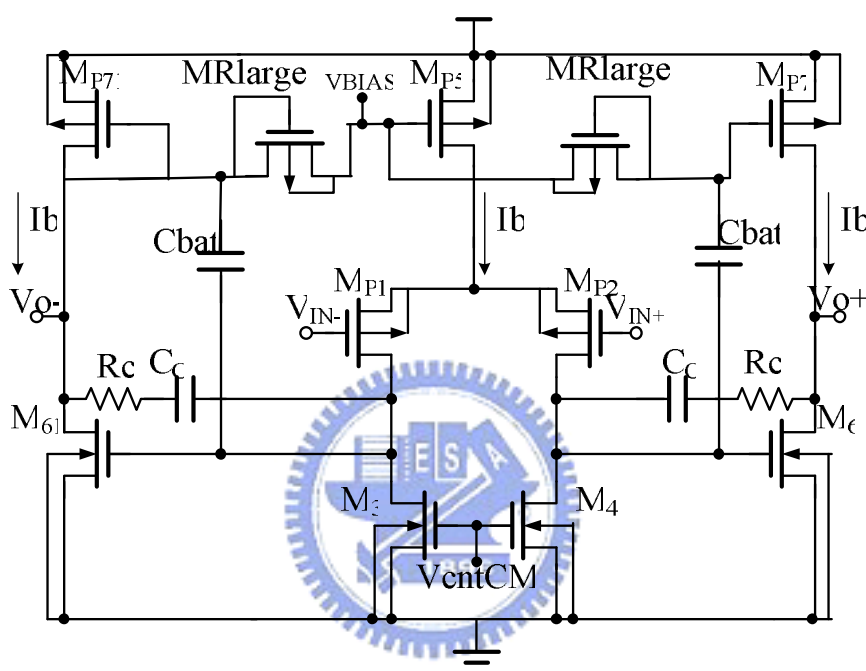


圖. 35 全差動 AB 類放大器電路 [5]

我們用最少的成本及最簡單的方法來使 A 類放大器改成 AB 類放大器，當然它的優點在前面就已提過；就是比 A 類放大器更好的迴變率（SR）還有更優於 A 類放大器的頻率響應，模擬圖如下列所示。

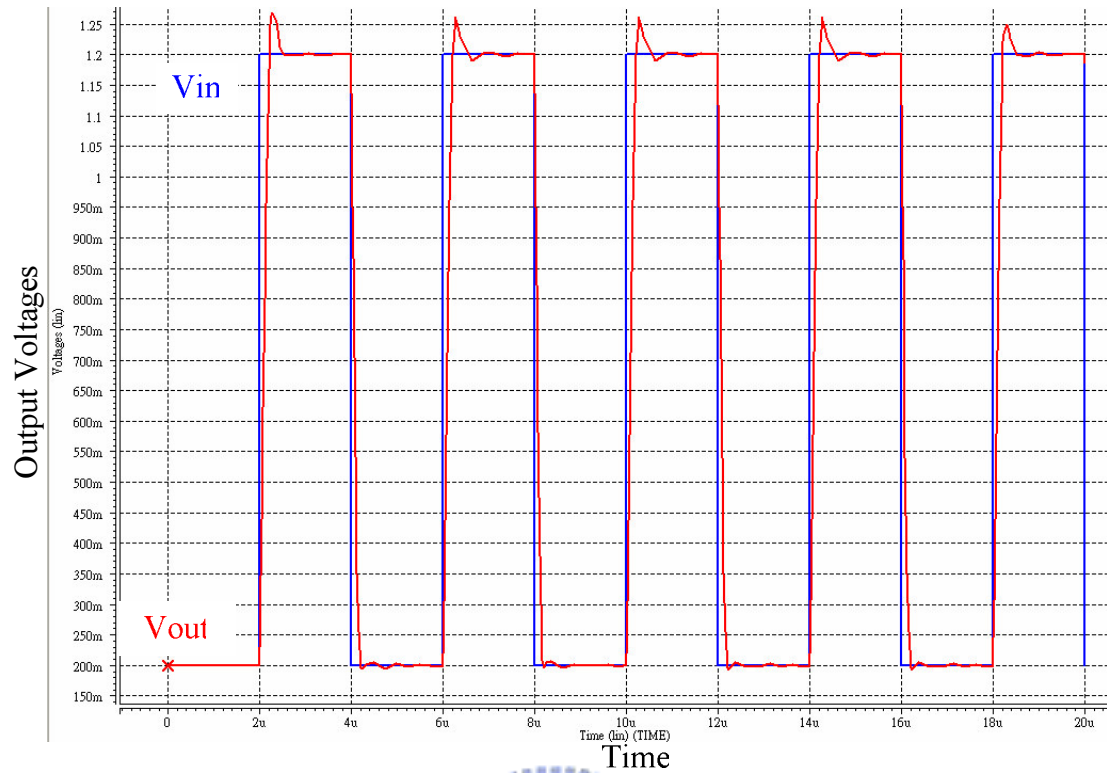


圖. 36 AB 類放大器的迴變率(slew rate)

我們以 $.35\text{-}\mu\text{m}$ CMOS 製程下輸入電源 2V 偏壓電流 $I_B=10\mu\text{A}$ ，並外接電容 C_L (15pF) 來量測的結果如下所示：

$$SR = \frac{\Delta y}{\Delta x} = \frac{\Delta V}{\Delta t} = \frac{V_H - V_L}{\Delta t} = \frac{1.2\text{V} - 0.2\text{V}}{2.14 \times 10^{-7}} = 4.672 \frac{\text{V}}{\mu\text{s}}$$

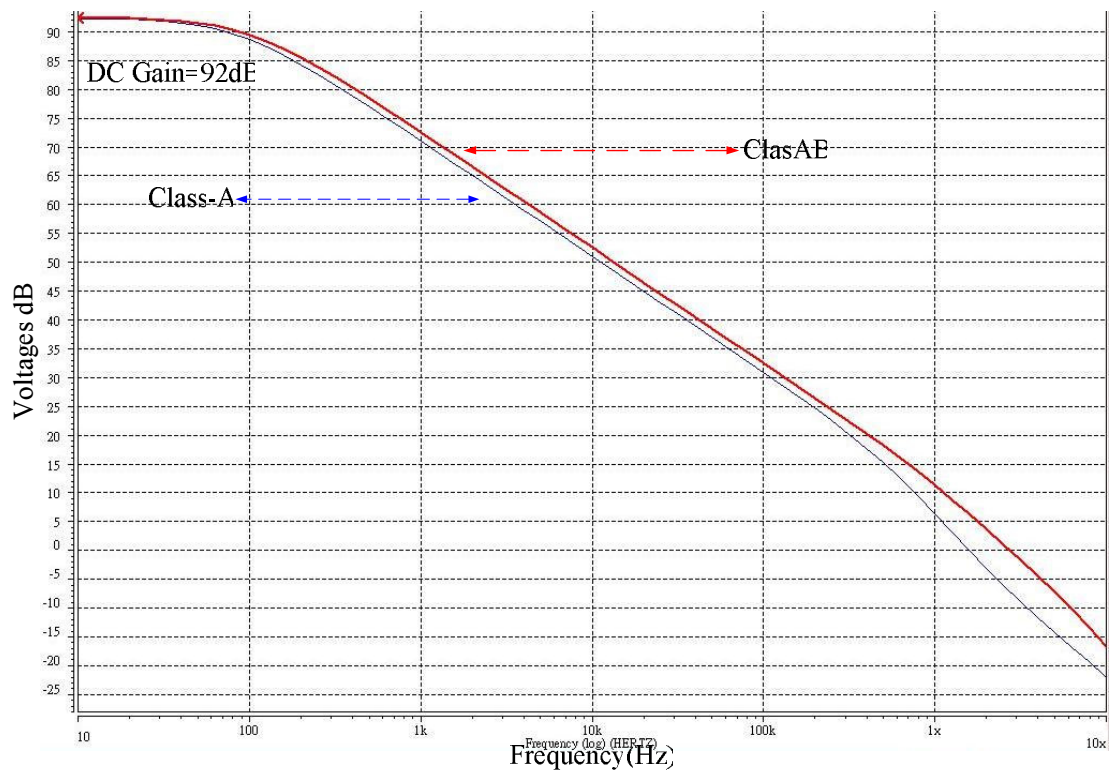


圖. 37 實際模擬 Class-A & Class-AB 的頻寬

經由模擬的結果，我們實際量測到在 $0dB$ 時；class-A 的頻寬為 $1.62MHz$ ，而 class-AB 的頻寬為 $2.89MHz$ ，所以 class-AB 的頻寬的確是將近二倍的 class-A 頻寬。

第四章

帶差參考電路的模擬及比較

4.1 標準的帶差參考電路

我們設計一電路將 V_{BE} 增加至 $17.2V_T$ 。首先，考慮下圖之電路，其中基極電流可忽略不計，電晶體 $Q2$ 由 n 個單位電晶體平行組成而 $Q2$ 為單位電晶體。假設我們強制 V_{O1} 和 V_{O2} 相同，則 $V_{BE1} = RI + V_{BE2}$ ，且 $RI = V_{BE1} - V_{BE2} = V_T \ln n$ ，因此， $V_{O2} = V_{BE} + V_T \ln n$ ，推論出如果 $\ln n$ 近以等於 17.2 時， V_{O2} 可故為和溫度無關之參考電路。

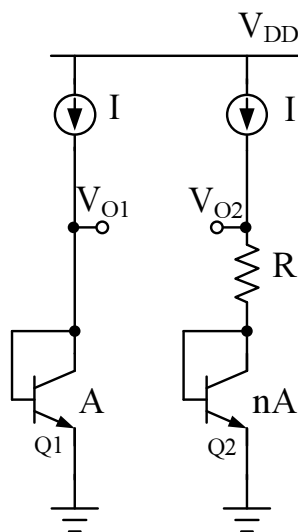


圖. 38 和溫度無關之電壓的概念生成圖 [4]

圖. 38 之電路需要二個修正以變得較為實際。首先，必須加入一機制使 $V_{O1}=V_{O2}$ ；第二，因為 $\ln n=17.2$ 會產生一很大的 n 值，則 $RI=V_T \ln n$ 項必須被適當地放大。如圖. 39 所示為滿足上述二項修正之電路。在此，放大器 $A1$ 量測 V_X 和 V_Y ，驅動 $R1$ 和 $R2$ ($R1=R2$) 之上端點使得 X 和 Y 處理的電壓值大約相等。

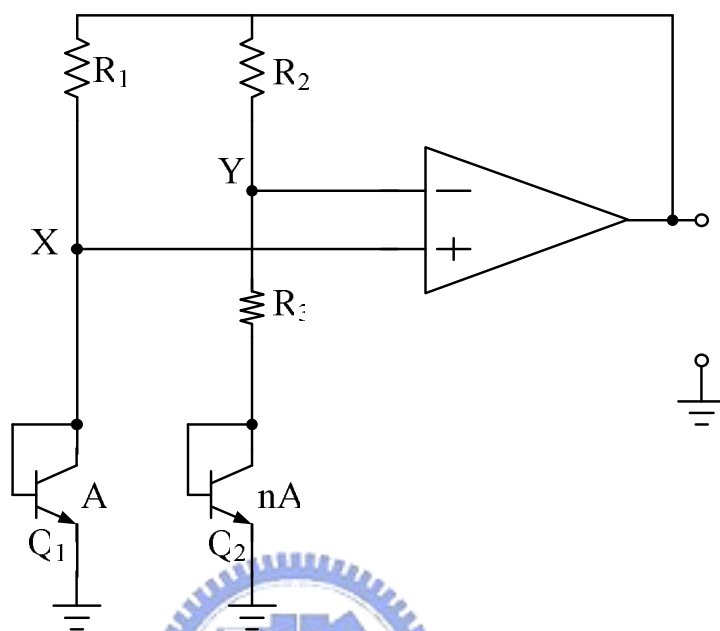


圖. 39 和溫度無關之電壓電路之實現 [4]

參考電壓可在放大器之輸出端得到（而不是在節點 Y ），依圖. 39 之分析，我們得到 $V_{BE1}-V_{BE2}=V_T \ln n$ ，得到一經過右分支的電流為 $V_T \ln n/R_3$ 且輸出電壓為：

$$\begin{aligned} V_{out} &= V_{BE2} + \frac{V_T \ln n}{R_3} (R_3 + R_2) \\ &= V_{BE2} + (V_T + \ln n) \left(1 + \frac{R_2}{R_3} \right) \end{aligned} \quad (46)$$

對零 TC 而言，我們必須得到 $(1+R_2/R_3) \ln n$ 近似等於 17.2。舉例來說，我們可以選擇 $n=31$ 而 $R_2/R_3=4$ ，得到了和電阻之 TC 無關。接下來，我們設計一個實際帶差參考電路，以 P 型基板做為集極且必須連接到最小之供應電壓。如圖. 40 所示。

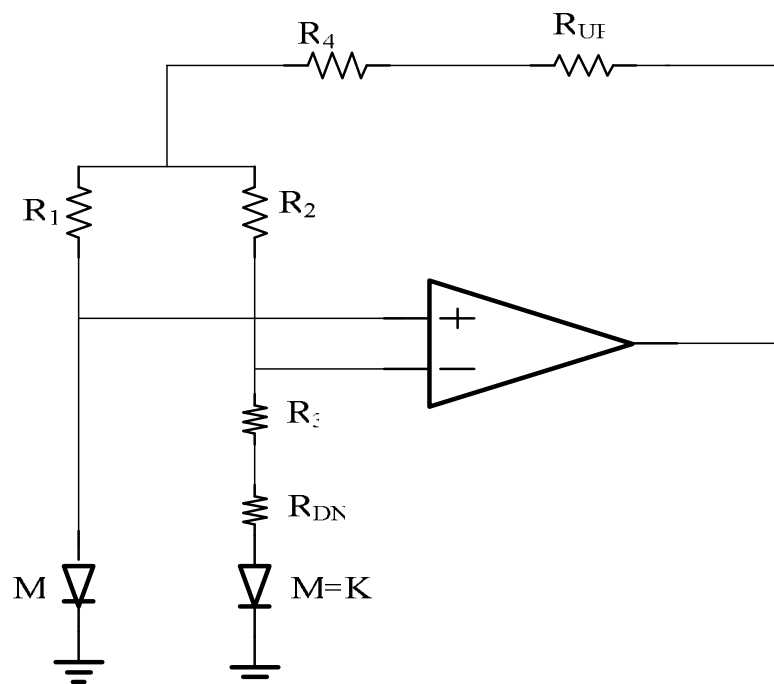


圖. 40 實際的帶差參考電路

接下來我們舉個實際例子來帶入數值；求得參考電壓值，我們設 $R1 = R2 = 471.6K$ 、 $R3 = 173.4K$ 、 $R4 = 735.1K$ ； $RUP = RDN = 10\Omega$ （這是保險電阻），代入以上的數據開始計算。

$$\Delta V = V_T \ln K$$

$$I = \frac{\Delta V}{R3 + R_{dn}}$$

$$V_{BG} = V_{BE(ON)} + \frac{R2 + 2*(R4 + R_{UP})}{R3 + R_{dn}} V_T \ln K$$

$$V_T = 0.0259V$$

$$R1 = R2 = 471.6K$$

$$R3 = 173.4K$$

$$R4 = 735.1K$$

$$K = 8$$

$$V_{BE(ON)} = 0.65V$$

$$\therefore V_{BG} = 1.25312V$$

由計算的結果可以得知，傳統的帶差參考電壓都只能固定輸出在 $1.25V$ 左右，爲了因應我們的不同的需要；接下來會提出各種不同的帶差參考電路，而電路的模擬結果如下所示。

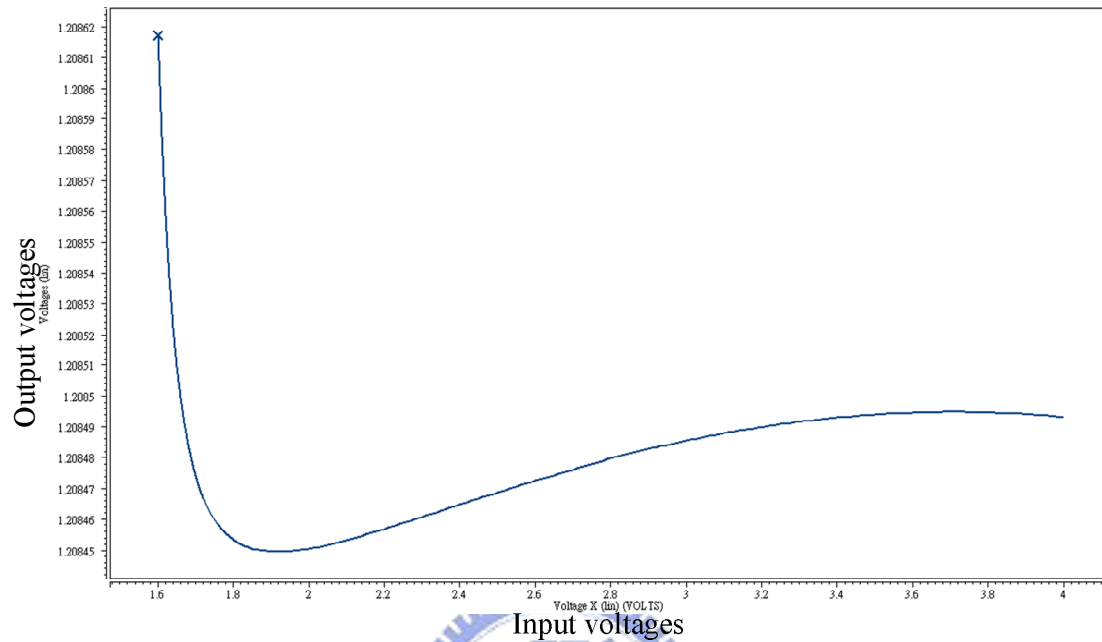


圖. 41 線性敏感度(Line Sensitivity)模擬結果

線性敏感度模擬如圖 所示，電壓從 $1.6V \sim 4V$ 參考電壓的值爲 $1.2V$ ；線性敏感度爲 $4.5m\%$ 。線性敏感度計算如下：

$$LS = \frac{\left(\frac{\Delta V_{REF}}{V_{REF}} \right)}{\Delta VDD} \times 100\% = \frac{\left(\frac{1.20862 - 1.20849}{1.2} \right)}{4 - 1.6} \times 100\% = 4.5m\% \frac{V}{V}$$

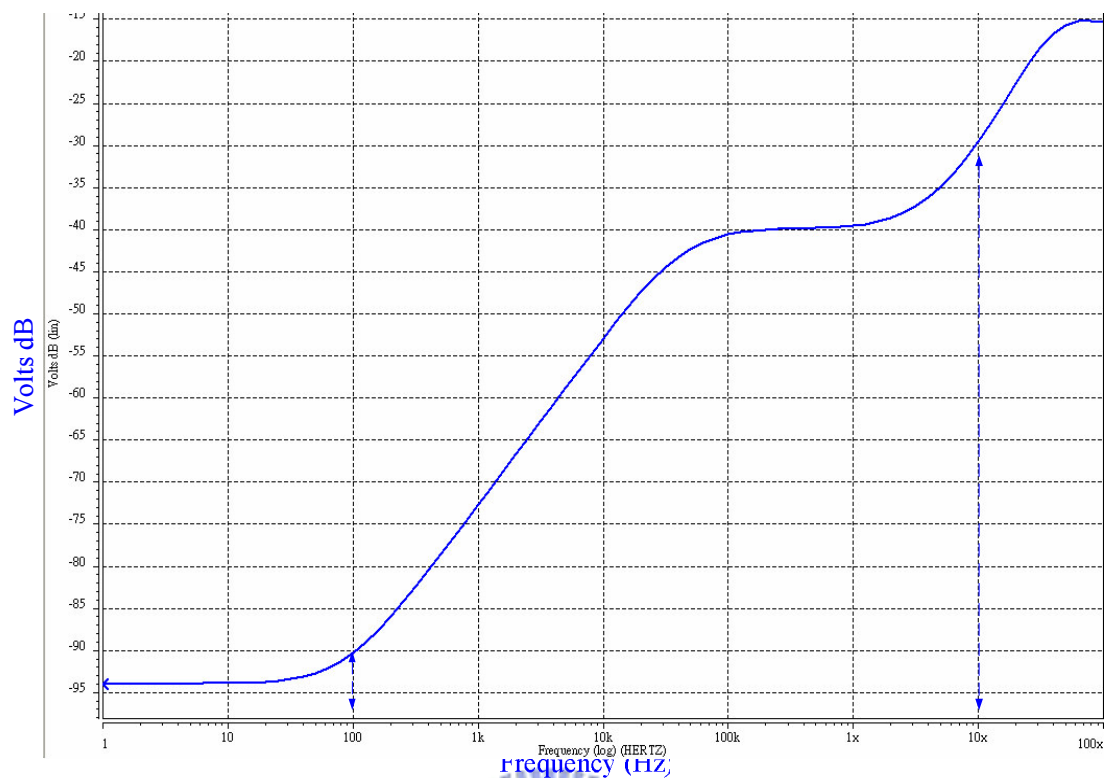


圖. 42 電源供應拒斥比 (PSRR)

電源供應拒斥比如圖. 42 所示，而電源供應拒斥比在頻率 100Hz 時有 -90dB ，在 10MHz 時為 -30dB 。

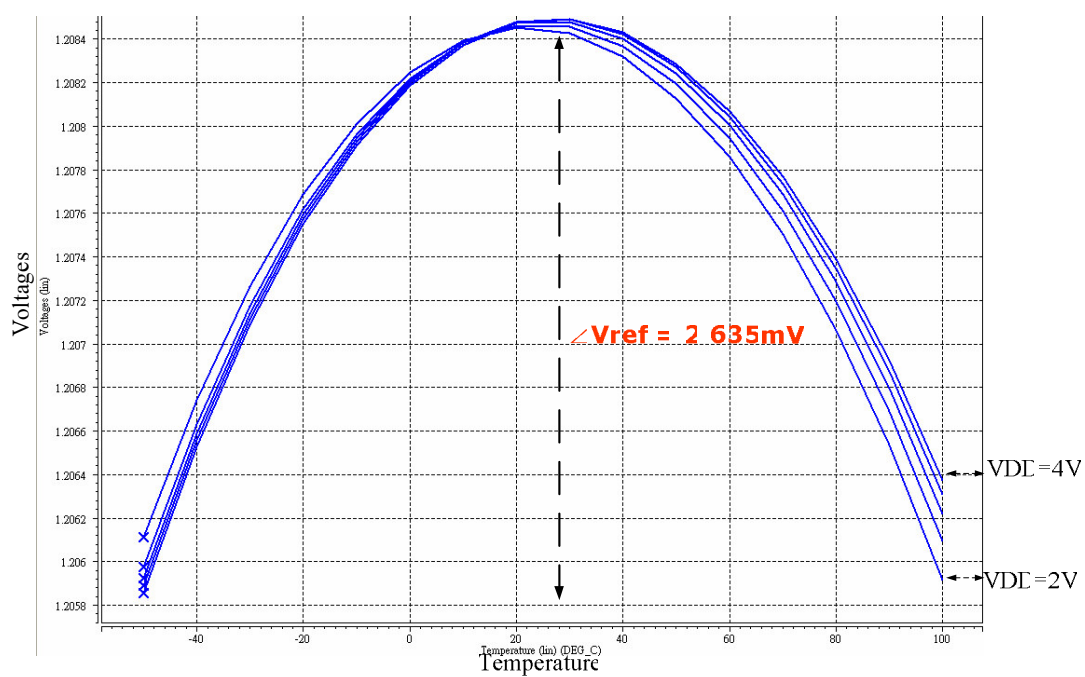


圖. 43 溫度因素 (TC)

溫度係數模擬如圖. 43 所示，溫度從-50℃~100℃參考電壓的變化為 2.63mV；溫度係數為 14.55ppm/℃。溫度係數計算如下：

$$TC = \frac{\frac{\partial V_{REF}}{V_{REF}}}{\partial T} \times 10^6 = \frac{\frac{2.635m}{1.2072}}{150} \times 10^6 = 14.55 ppm / ^\circ c$$

表 1 標準帶差參考電路模擬結果列表

Supply Voltage	Vref	TC	Line Sensitivity	PSRR @100Hz @10MHz
1.6V~4V	1.2V	14.55ppm/℃	4.5m%	-90db -30db



4.2 給定 Sub1-V 的帶差參考電路

Bandgap 的最小供給電壓（minimum supply）必須大於 1V 的原因主要受限於兩個原因：

- (1) 一般參考電壓大概約 1.25V 已超過 1V。
- (2) 帶差參考電路裡的放大器（OP）的輸入共模電壓（input common mode voltage）受限於 BJT 的 VBE 電壓，只要解決以上兩問題就可實現 Sub-1V 的 Bandgap，第一個問題可用電阻分壓將參考電壓給降低（Scale Down）。第二個問題可由前饋偏壓電路（Forward Biasing VSB 的 PMOS）及 直流位移電流（DC level-shifting current）來完成 低電壓放大器（low Voltage Amplifier）。

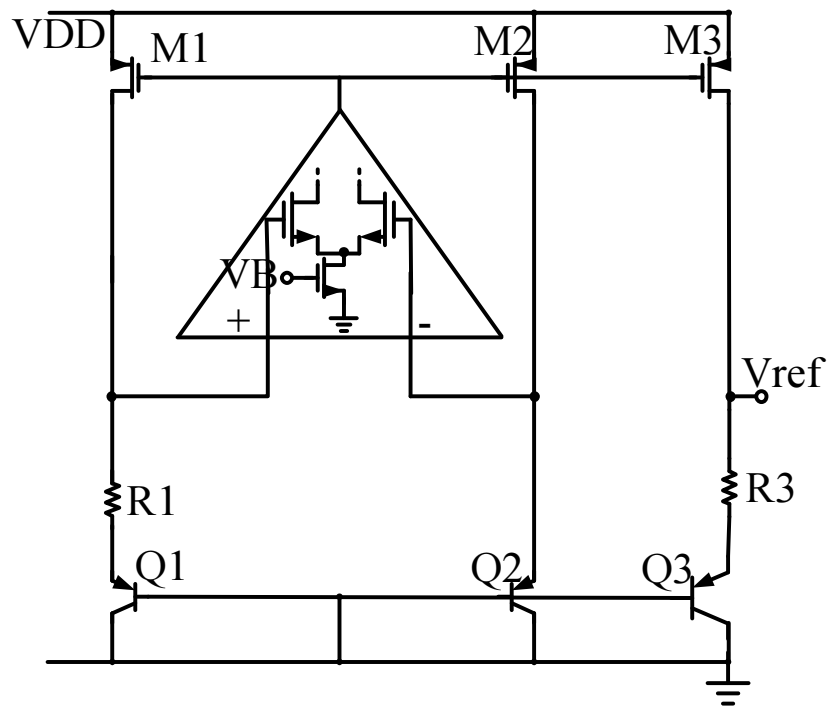


圖. 44 NMOS 架構 [6]

由圖. 44 電路我們可得知 NMOS 的架構

它受限於 $V_{EB} > V_{GS} + V_{DS}$

所以 $V_{TH} + 2V_{DS(sat)} < V_{EB(on)}$

其中 $V_{EB(on)} = 0.7V$; $V_{DS(sat)} = 50mv$

故 $V_{TH} < 0.6V$;

但 $V_{TH} + 2V_{DS(sat)}$ (隨溫度改變較小) $< V_{EB(on)}$ (隨溫度改變較大)

所以要使 $V_{TH} < 0.5V$ 是比較難以達成。

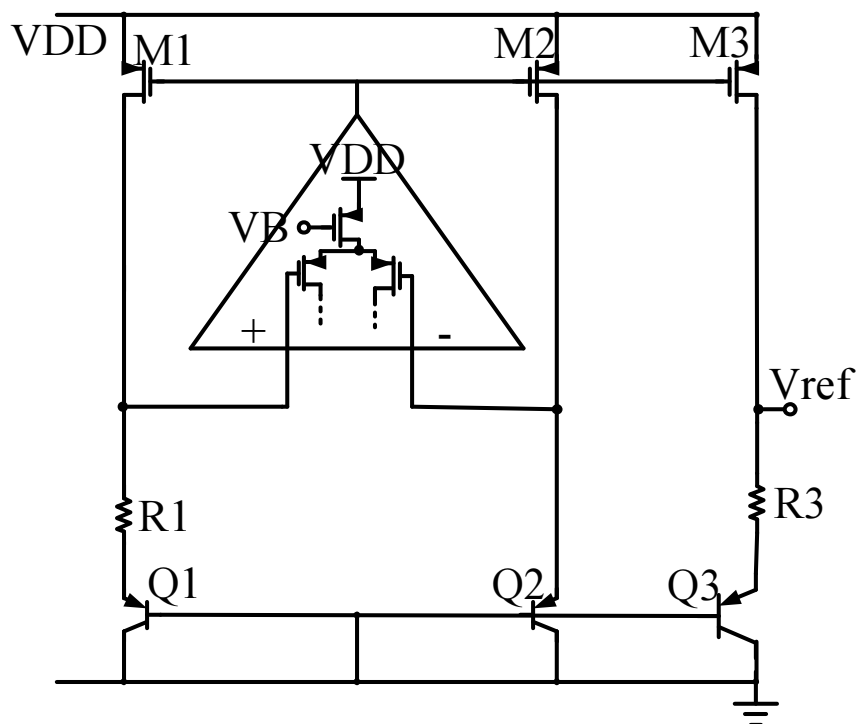


圖. 45 PMOS 架構 [6]

由圖. 45 電路中我們可得

$$V_{DD} - V_{SD(Sat)} - V_{SG} - V_{BE(ON)} = 0$$

$$V_{DD} = V_{SD(Sat)} + V_{SG} + V_{BE(ON)}$$

$$V_{DD} = 2V_{DS(Sat)} + |V_{thp}| + V_{BE(ON)}$$

$$V_{DD} - 2V_{DS(sat)} - |V_{thp}| > V_{BE(ON)}$$

$$\text{若 } V_{DD} = 1V, \text{ 而 } V_{DS(Sat)} = 50mV,$$

$$V_{BE(ON)} = 0.7V, \text{ 故 } V_{TH} < 0.2V$$

而要使臨界電壓要小於 0.2V 更是無法達成。

所以；為了解決上述的問題，於是我們採用 PMOS 架構以及利用電阻分壓來完成我們的需求電路如圖. 46 所示：

所以，為了解決以上的問題，我們提出了下面這個電路

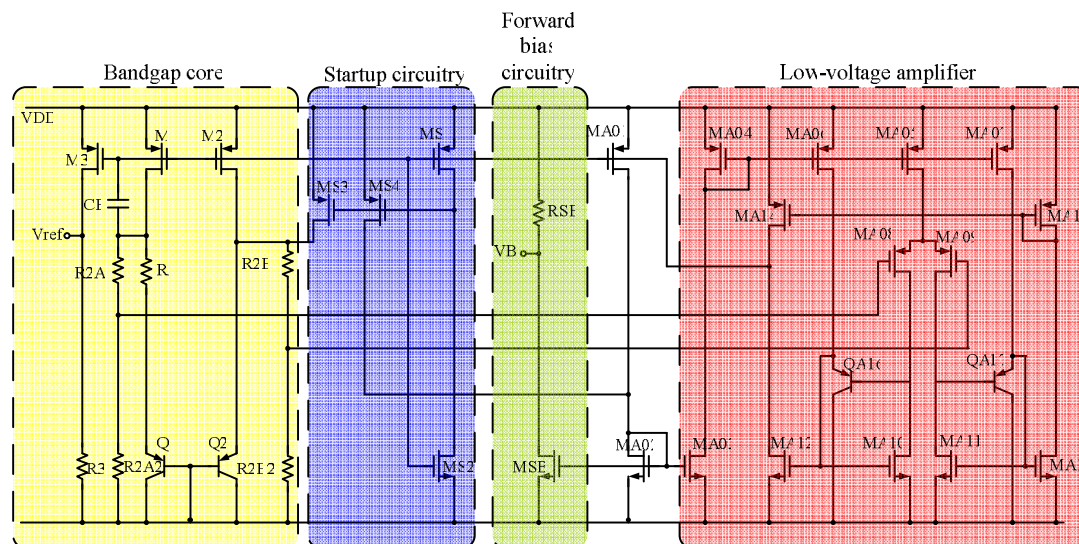


圖. 47 完整架構的 Sub-1V 帶差參考電路 [6]

整個電路分成四部份: (1) Bnadgap Core (2) Start UP (3) VSB bias 及(4) Low voltage OP 如圖. 47，整個 bandgap 說明，amplifier 將 $N1$ 及 $N2$ 兩點強制等電位，只要 $R2A2=R2B2$ ； $R2A1=R2B1$ ，即可完成正溫度係數 $PTAT(Vt \ln N)$ 及負溫度係數 V_{BE} 相加的電流 I ，此電流理論上與溫度、 VDD 、製程無關；然後由 current mirror $M1 \sim M3$ ，mirror 到 $R3$ ，產生 $Vref$ 。

4.2.1 前饋偏壓電路（Forward Basing the VSB of PMOS）：

當 VDD 降到 $1V$ 時，因為 OP 的輸出端接到 $M1 \sim M3$ PMOS 的 Gate 端，可能低到接近地（Ground）；這可能使得 OP 輸出的 NMOS 操作在線性區，如圖. 48 的 region A 使的 OP 的增益減少很多。

我們使用順偏 Body 電壓的方法，把所有 PMOS 的 Body 都接到 VB ，使得 PMOS 的 V_{th} 可以下降一些，讓 OP 的輸出端不須降的太低，保持 OP 有很高的增益；如圖. 48 region B。

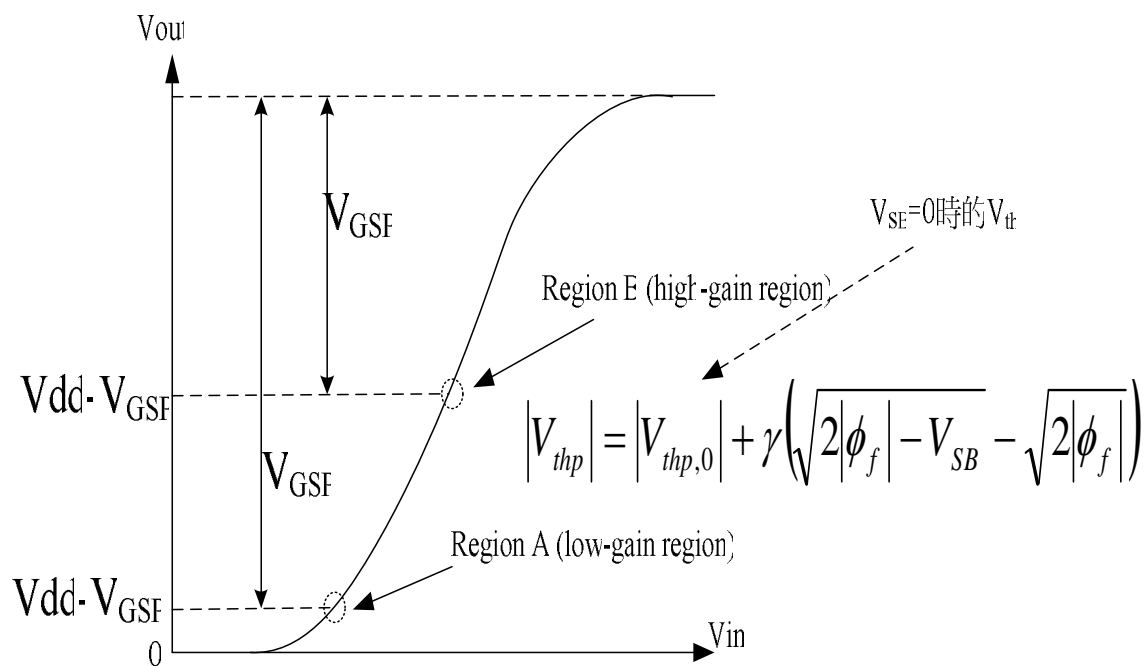


圖. 48 低電壓放大器轉換曲線〔6〕

爲了產生順偏Body電壓，用 R_{SB} 電阻，此電阻隨溫度稍微減少，並建議不要順偏超過0.3V，以避免漏電流產生。因爲源極和體極（body），的pn接面有可能會導通，以避免漏電流產生

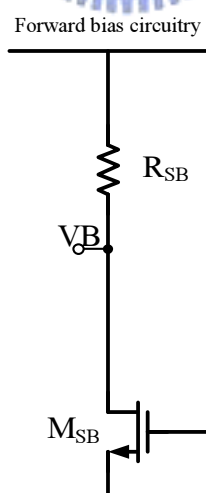


圖. 49 前饋偏壓電路〔6〕

4.2.2 直流位移電流鏡

爲了讓低電壓放大器能正常，尤其是 $V_{thn} \geq |V_{thp}|$ 的製程,作者使用寄生 BJT 的 V_{EB} 產生位移（level shifting）讓 $V_{DS8}(\text{different input PMOS}) > V_{Dsat}$ ，能在飽和區工作。

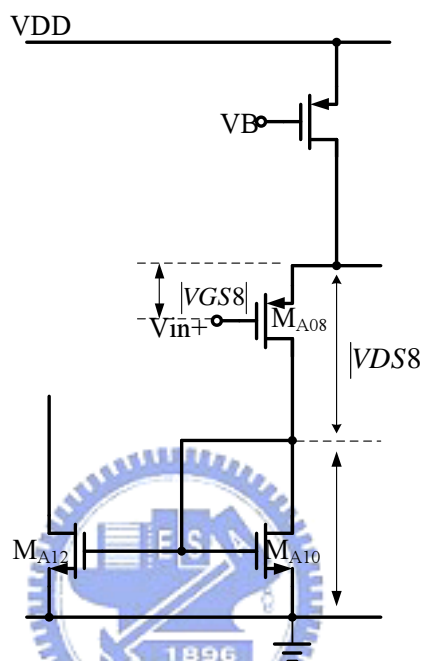


圖. 50 沒有直流位移電路〔6〕

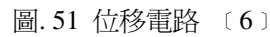
$$V_{in+} + |V_{GS8}| - V_{GS10} \cong V_{in+}$$

其中 V_{GS8} 爲 PMOS； V_{GS10} 爲 NMOS

但因 $V_{thn} \geq |V_{thp}|$ ；所以

$$V_{ub+} = \frac{R_{2B2}}{R_{2B2} + R_{2B1}} \cdot V_{EB2}$$

在這個 bandgap，可能會造成 M_{A08} 操作在線性區，並且會降低 op-amp 的增益。


$$V_{in+} + |V_{GS8}| + V_{EB16} - V_{GS10}$$

4.2.3 起動電路

49

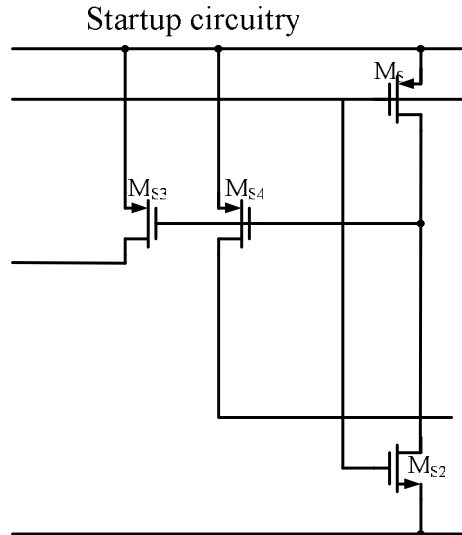


圖. 52 起動電路〔6〕

爲了確保能完全關閉 M_{S3} 、 M_{S4} 、 M_{S2} 的 W/L 須遠小於 M_{S1} 的 W/L

4.2.4 降低 Offset Voltage 的影響

$$\begin{aligned}
 V_{N2} &= V_{N1} + V_{OS} \\
 I_1 &= \frac{V_{R1}}{R_1} = \frac{(V_{N2} - V_{OS}) \frac{R_2}{R_{2A2}} - V_{f1}}{R_1} = \frac{V_{f2} - V_{f1} - \frac{R_2}{R_{2A2}} V_{OS}}{R_1} = \frac{V_T \ln(N)}{R_1} - \frac{\frac{R_2}{R_{2A2}} V_{OS}}{R_1} \\
 I_2 &= \frac{V_{EB2}}{R_2} \\
 V_{ref} &= \frac{R_3}{R_2} \cdot \left[V_{EB2} + \frac{R_2}{R_1} \cdot \left(V_T \cdot \ln N - \frac{R_2}{R_{2A2}} \cdot V_{OS} \right) \right] \quad (48)
 \end{aligned}$$

由公式可知要縮小 V_{REF} 的 Offset 須增加 N 及縮小 $R2/R1$ 的 Ratio，接下來的模擬圖如下所示。

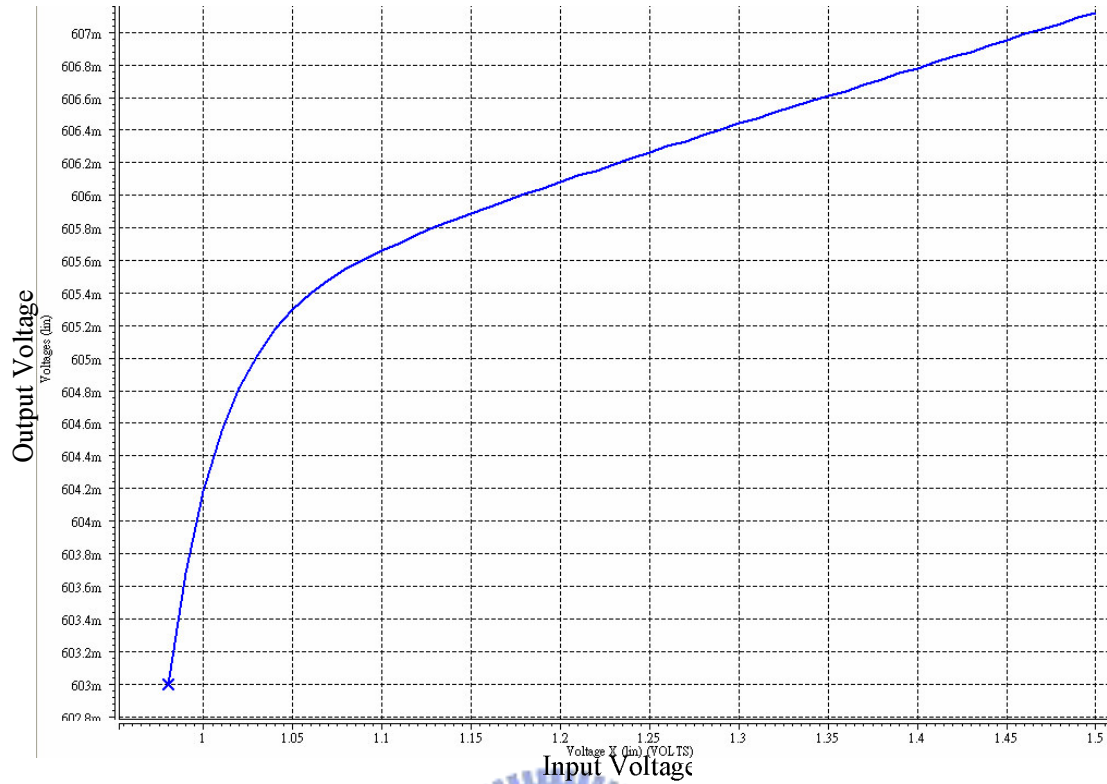


圖. 53 線性敏感度(Line Sensitivity)模擬結果

線性敏感度模擬如圖 所示，電壓從 $0.98V \sim 1.5V$ 參考電壓的值為 $603mV$ ；線性敏感度為 1.33% 。線性敏感度計算如下：

$$LS = \frac{\left(\frac{\Delta V_{REF}}{V_{REF}} \right)}{\Delta VDD} \times 100\% = \frac{\left(\frac{607.18 - 603}{603} \right)}{1.5 - 0.98} \times 100\% = 1.33\% \frac{V}{V}$$

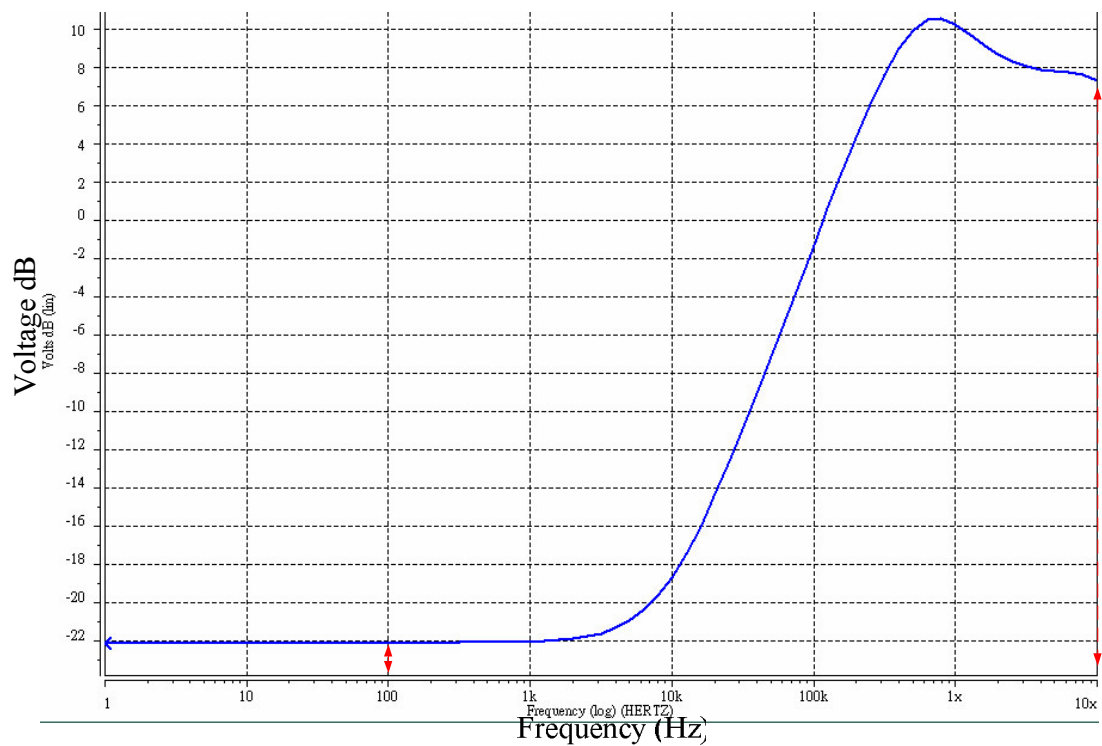


圖. 54 電源供應拒絕比 (PSRR)

電源供應拒斥比如圖. 54 所示，而電源供應拒斥比在頻率 100Hz 時有 -22.1dB ，在 10MHz 時為 7.5dB 。

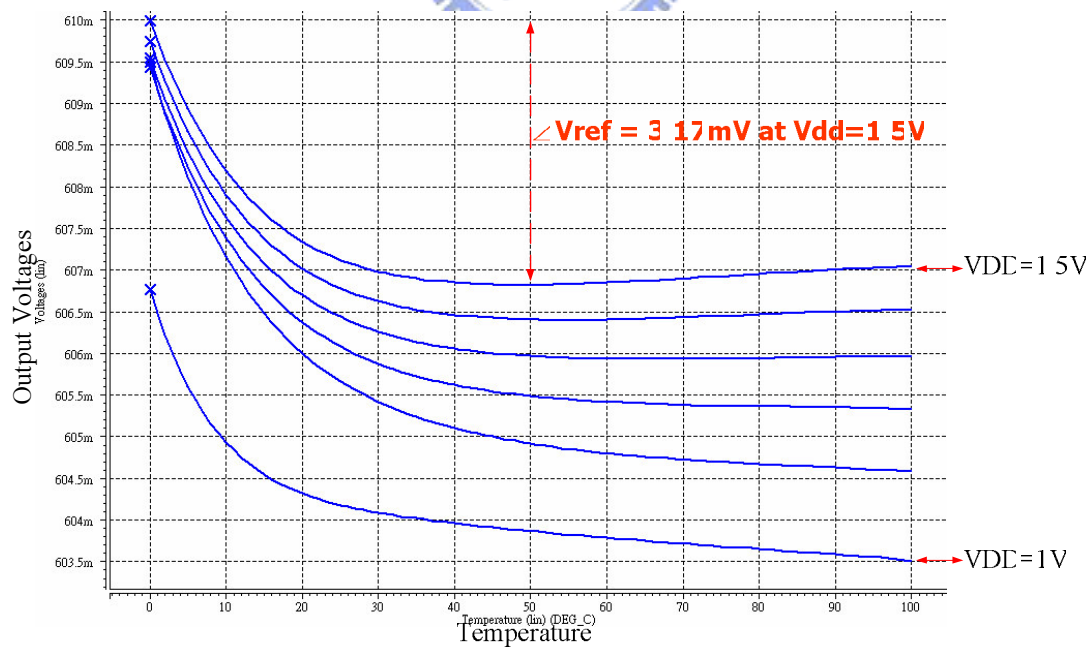


圖. 55 溫度因素 (TC)

溫度係數模擬如圖 所示，溫度從 0°C ~ 100°C 參考電壓的變化為 3.17mV ；溫度係數為 $52\text{ppm}/^{\circ}\text{C}$ 。溫度係數計算如下：

$$TC = \frac{\frac{\partial V_{REF}}{V_{REF}}}{\partial T} \times 10^6 = \frac{\frac{3.17\text{mV}}{608.4\text{m}}}{100} \times 10^6 = 52\text{ppm}/^{\circ}\text{C}$$

表 2 輸入-1V 以下的帶差參考電路模擬列表

Supply Voltage	Vref	TC	Line Sensitivity	PSRR @100Hz @10MHz
0.98 to 1.5	603mV	52ppm/ $^{\circ}\text{C}$	1.33%	-22db 7.5db



4.3 極低功耗的溫度補償參考電路

由於 Sub1-V 的帶差參考電路它的電路過於龐大包含了：核心參考電路（bandgap core）、起動電路（start up circuitry）、低電壓放大器（low voltage amplifier）..等等。所以，我們就想用一個簡單輕巧的架構，來完成帶差參考電路，這就是爲了什麼要做這個參考電路的目的。

這個電路如圖. 56 所示，而且，會產生不受供應電壓影響的電流 I_o ，由電流產生器 $M1$ 、 $M2$ 、 $M3$ 、 $M4$ 、 $M5$ 、 $M6$ 產生 I_o 電流，經電流鏡比例放大到 $M9$ 來產生 $M I_o$ 。

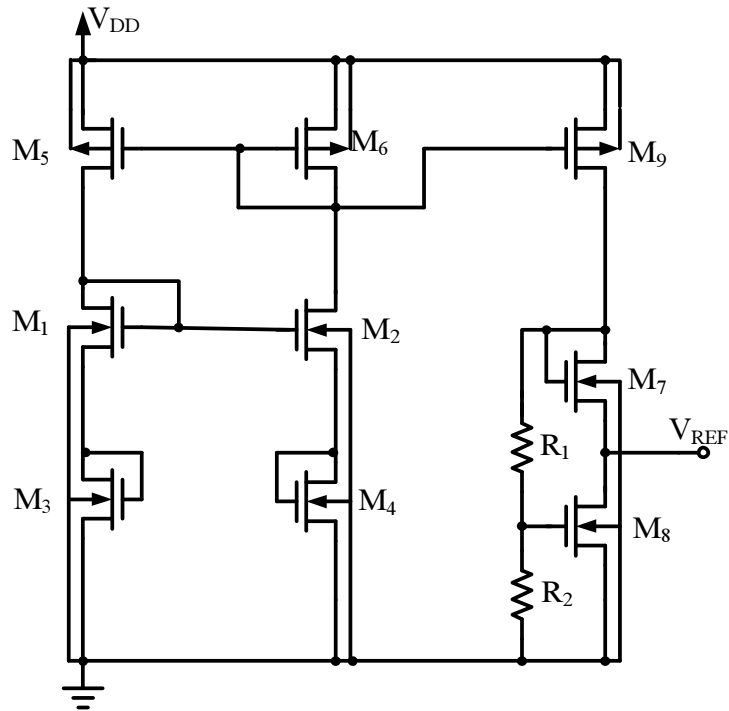


圖. 56 極低功耗的溫度補償參考電路〔7〕

在本電路中 M_1 和 M_2 是操作在次臨界區 (subthreshold)，而 M_3 、 M_4 則操作在飽和區 (saturation)，然而， M_3 、 M_4 的 $V_{GS3,4} > M_1$ 、 M_2 的 $V_{GS1,2}$ ，是為使 M_3 、 M_4 沒有通道長度調變效應 (channel-length modulation)。也因為如此， M_1 、 M_2 的通道寬度 $W_{1,2} > M_3$ 、 M_4 的通道寬度 $W_{3,4}$ 。

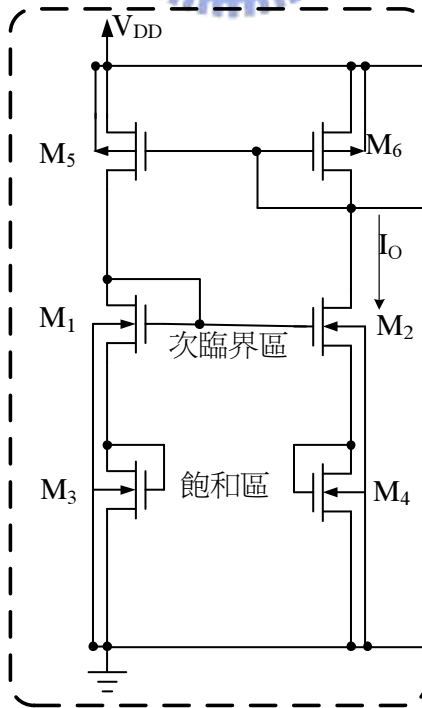


圖. 57 電流產生器〔7〕

接下來 MOS 操作在飽和區和次臨界區的公式分別如下示：

$$\text{飽和區 } I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 = \frac{k}{2} (V_{GS} - V_{th})^2 \quad (49)$$

$$\text{次臨界區 } I_D = \mu V_T^2 \frac{W}{L} \exp\left(\frac{V_{GS} - V_{th}}{mV_T}\right) \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right)\right] \quad (50)$$

而 M_5 、 M_6 的通道長度 (L) 我們是選擇比較大的，這是爲了減少通道調變效應，而再利用上式的飽和區及次臨界區電流公式來求得電流 I_o 的公式如下：

$$I_o = \frac{m^2 V_T^2 K_4}{2} \left(\frac{N}{N-1}\right)^2 \ln^2 \left(\frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} \right) \quad (51)$$

$$\text{而 } N = \sqrt{\frac{K_3}{K_4}}$$

這個 I_o 電流的產生並沒利用任何電阻，而且，這個電流特別重要的地方就是，如果電流很小的話，能夠大大地減少參考電路的能量消耗。

M_2 的 V_{DS} 不會影響到 I_o 有任何的大變動，因爲 M_2 工作在次臨界區的關係，它對 V_{DS} 的通道長度調變效應是可以忽略的。而同樣的爲了減少通道長度調變效應 M_5 的通道長度是要調整成足夠大。

而通道長度調變效應對 M_3 、 M_4 是可以忽略的，首先，它們都是足夠大的通道長度，再來就是，它們供給電壓有所變動時對於的 $V_{GS3,4}$ 的變化是極小的。所以說， M_3 、 M_4 是爲了抑制通道長度調變效應，使其電路有溫度補償的效果。而下圖所示是主動負載電路：

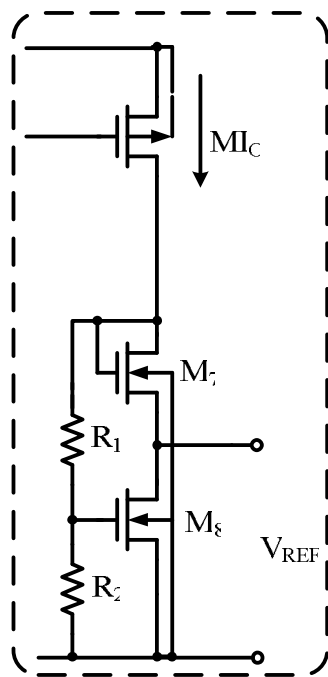


圖. 58 主動負載電路〔7〕

二個 NMOS 偏壓來自 MI_O ，而 M_7 、 M_8 操作在飽和區；而輸出參考電壓公式推導如下所示：

$$V_{GS8} = \frac{R_2}{R_1 + R_2} \times V_{G7}$$

$$V_{G7} = \frac{R_1 + R_2}{R_2} \times V_{GS8} = \left(1 + \frac{R_1}{R_2}\right) V_{GS8}$$

$$\therefore V_{REF} = V_{G7} - V_{GS7} = \left(1 + \frac{R_1}{R_2}\right) V_{GS8} - V_{GS7}$$

$$\text{所以可得 } V_{REF} = \left(1 + \frac{R_1}{R_2}\right) V_{GS8} - V_{GS7} \quad (52)$$

而絕大多數的電流 MI_O 都流入 M_7 、 M_8 ；只有少部分的流入 R_1 、 R_2 ，我們決定了適當的電阻值使其少佔晶片面積。

然而；決定最小的偏壓電流使其能保證穩定的產生參考電壓式子如下：

$$MI_O \gg \frac{V_{DS8} + V_{GS7}}{R_1 + R_2} \quad (53)$$

我們以一次項近似來考慮 NMOS 的臨界電壓(threshold voltage)，呈現出線性減少的溫度關係式子如下所示：

$$V_{th}(T) = V_{th}(T_0) - K_m(T - T_0) \quad (54)$$

假設 這個式子是成立的，則參考電壓的式子可以由下來來表示。

$$\text{因} \quad I_o = \frac{m^2 V_T^2 K_4}{2} \left(\frac{N}{N-1} \right)^2 \ln^2 \left(\frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \right) \quad (55)$$

經過 M 倍的鏡射(mirror)到電流 I_o

$$MI_o = \frac{Mm^2 V_T^2 K_4}{2} \left(\frac{N}{N-1} \right)^2 \ln^2 \left(\frac{\left(\frac{W}{L} \right)_2}{\left(\frac{W}{L} \right)_1} \right) \quad (56)$$

然而把跟溫度系數不相關的給提出來，以 h 代表；從新寫式子 (56)

$$MI_o = h \frac{V_T^2 k_4}{2}$$

而 MI_o 同時也是 M_7 、 M_8 的電流可得

$$MI_o = \frac{k_8}{2} \left(\frac{W}{L} \right)_8 (V_{GS8} - V_{th})^2 = \frac{k_7}{2} \left(\frac{W}{L} \right)_7 (V_{GS7} - V_{th})^2$$

整理之後分別得到 V_{GS8} 、 V_{GS7} 的關係式

$$V_{GS8} = \sqrt{\frac{h}{\left(\frac{W}{L} \right)_8}} V_T + V_{th}$$

$$V_{GS7} = \sqrt{\frac{h}{\left(\frac{W}{L} \right)_7}} V_T + V_{th}$$

重新帶回求得參考電壓公式 (52) 中

$$V_{REF} = \left(1 + \frac{R_1}{R_2}\right) V_{GS8} - V_{GS7} = \left(1 + \frac{R_1}{R_2}\right) \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_8}} V_T + V_{th} \right) - \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_7}} V_T + V_{th} \right) \quad (57)$$

接下來我們對 V_{REF} 偏微分

$$\frac{\partial V_{REF}}{\partial T} = \left(1 + \frac{R_1}{R_2}\right) \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_8}} \frac{\partial V_T}{\partial T} + \frac{\partial V_{th}}{\partial T} \right) - \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_7}} \frac{\partial V_T}{\partial T} + \frac{\partial V_{th}}{\partial T} \right) \quad (58)$$

我們令 $\frac{\partial V_{th}(T)}{\partial T} = -K_{t1}$

可以得到下式

$$\frac{\partial V_{REF}}{\partial T} = \left(1 + \frac{R_1}{R_2}\right) \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_8}} \frac{\partial V_T}{\partial T} - K_{t1} \right) - \left(\sqrt{\frac{h}{\left(\frac{W}{L}\right)_7}} \frac{\partial V_T}{\partial T} - K_{t1} \right) = 0$$

而 k_b 是波斯曼常數

q 是電荷密度。

最後我們可以得到使溫度因素為零的式子

$$\frac{R_1}{R_2} = \frac{\sqrt{h} \frac{k_B}{q} \left(\frac{1}{\sqrt{\left(\frac{W}{L}\right)_8}} - \frac{1}{\sqrt{\left(\frac{W}{L}\right)_7}} \right)}{K_{t1} - \sqrt{h} \frac{k_B}{q} \frac{1}{\sqrt{\left(\frac{W}{L}\right)_8}}} \quad (59)$$

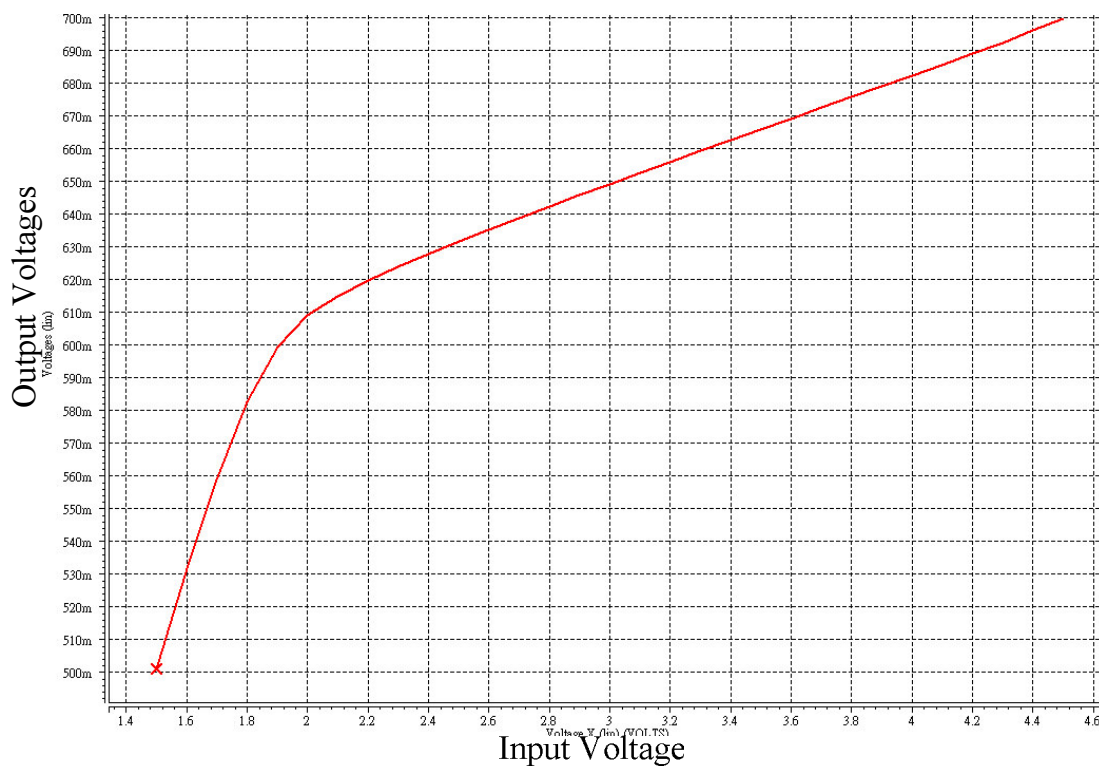


圖. 59 線性敏感度(Line Sensitivity)模擬結果

線性敏感度模擬如圖. 59 所示，電壓從 $1.5V \sim 4.5V$ 參考電壓的值為 $630mV$ ；線性敏感度為 10.5% 。線性敏感度計算如下：

$$LS = \frac{\left(\frac{\Delta V_{REF}}{V_{REF}} \right)}{\Delta VDD} \times 100\% = \frac{\left(\frac{700 - 500}{630} \right)}{4.5 - 1.5} \times 100\% = 10.5\% \frac{V}{V}$$

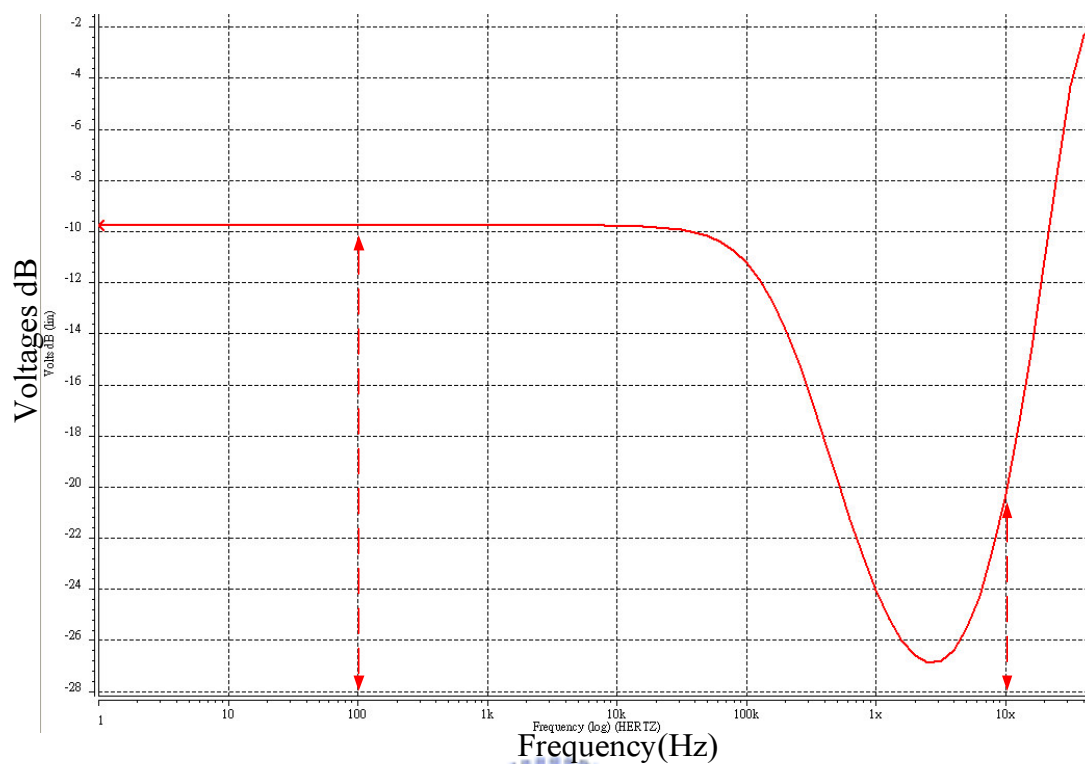


圖. 60 電源供應拒斥(PSRR)

電源供應拒斥比如圖. 60 所示，而電源供應拒斥比在頻率 100Hz 時有 -9.81dB ，在 10MHz 時為 -21.3dB 。

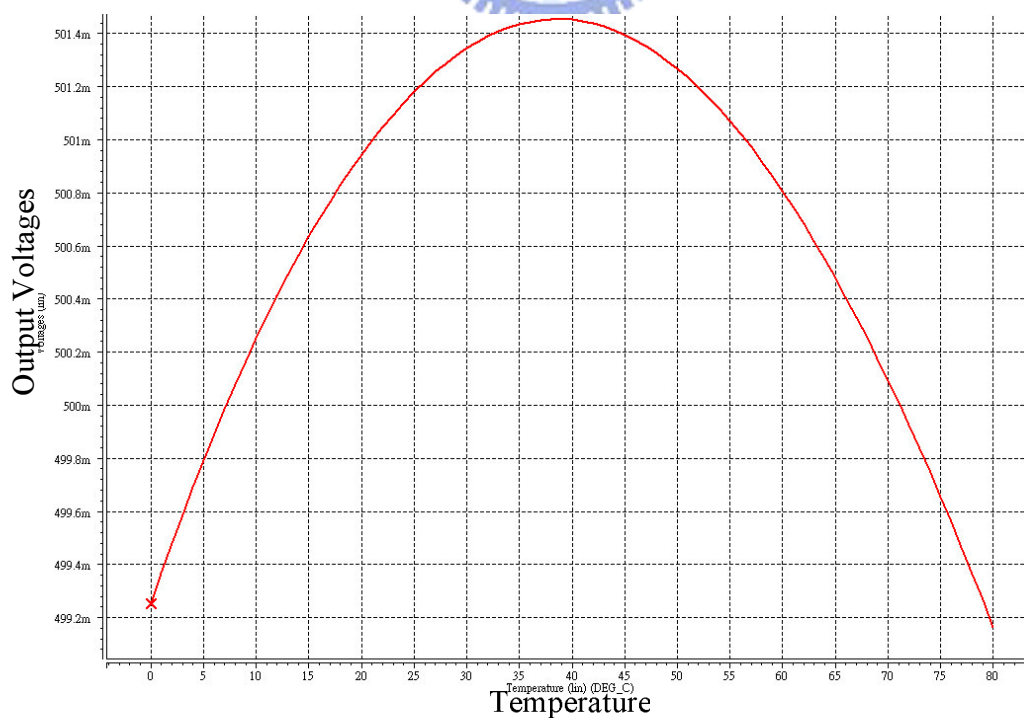


圖. 61 溫度係數模擬(TC)

溫度係數模擬圖. 61 所示，溫度從 0°C ~ 80°C 參考電壓的值為 500.2mV ；溫度係數為 $57.976\text{ppm}/^{\circ}\text{C}$ 。溫度係數計算如下：

$$TC = \frac{\frac{\partial V_{REF}}{V_{REF}}}{\partial T} \times 10^6 = \frac{\frac{501.48}{499.16} - \frac{500.2}{500.2}}{80} \times 10^6 = 57.976\text{ppm}/^{\circ}\text{C}$$

表 3 極低功耗的溫度補償電路模擬列表

Supply Voltage	Vref	TC	Line Sensitivity	PSRR @100Hz @10MHz
1.5V to 4.3V	502mV	58ppm/ $^{\circ}\text{C}$	10.5%	-9.81db -21.3db



4.4 低功耗奈米級參考電壓電路

我們根據極低功耗的溫度補償參考電路裡發現了，裡面的電阻很佔面積，因此，我們就想；能不能完全不用到電阻的帶差參考電路呢？也因此我們決定了接下來的電路討論。這個電路如圖. 62 所示；而電流 I_o 不受輸入電壓所影響，而 I_o 主要是由 M_1 到 M_8 所產生的，同樣的，它也會因電流鏡的關係映射（mirror）過去流經 M_{10} ，由 M_{10} 的 V_{GS} 產生溫度補償的輸出參考電壓（ V_{REF} ）。

接下來我們令其 $V_{GS1}=V_{GS2}$ 和 $V_{GS3}=V_{GS4}$ 可以得到下列公式：

$$V_{th1} + mV_T \ln \left(\frac{I_1}{\frac{uV_T^2 W_1}{L_1}} \right) = V_{th2} + \sqrt{\frac{2I_o}{\frac{uC_{ox}W_2}{L_2}}} \quad (62)$$

$$V_{th3} + mV_T \ln \left(\frac{I_1}{\frac{uV_T^2 W_3}{L_3}} \right) = V_{th4} + \sqrt{\frac{2I_o}{\frac{uC_{ox}W_4}{L_4}}} \quad (63)$$

再令 $V_{th1}=V_{th3}$ 和 $V_{th2}=V_{th4}$ ；在依據式子 (62)·(63) 再代回次臨界區公式我們可得到電流 I_o 為：

$$I_o = \frac{\mu C_{ox} W_4 / L_4}{2(N-1)^2} m^2 V_T^2 \ln^2 \left(\frac{W_3 / L_3}{W_1 / L_1} \right) \quad (64)$$

$$N = \sqrt{\frac{W_4 / L_4}{W_2 / L_2}}$$

M_{10} 爲了溫度補償所以接成爲二極體模式，而 M_{10} 操作在飽和區，所以我們把飽和區公式跟上式輸出電流公式代入可求得輸出參考電壓公式 (V_{REF})：

$$V_{REF} = V_{th10} + \frac{mV_T}{N-1} \sqrt{\frac{W_4 / L_4}{W_{10} / L_{10}}} \ln \left(\frac{W_3 / L_3}{W_1 / L_1} \right) \quad (65)$$

然而，輸出電流 I_o 並沒有使用任何的電阻，這樣一來就不會因爲電阻而產生約數十奈安培 (nA) 的乾出電流 I_o ，也因此大大的減少了在晶片所佔的面積；使其能夠更爲精小。

我們以一次項近似來考慮 NMOS 的臨界電壓(threshold voltage)，呈現出線性減少的溫度關係式子如下所示：

$$V_{th}(T) = V_{th}(T_0) - K_m(T - T_0)$$

接下來，我們對 V_{REF} 對溫度 T 來偏微分

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial \left[V_{th10} + \frac{mV_T}{N-1} \sqrt{\frac{W_4/L_4}{W_{10}/L_{10}}} \ln \left(\frac{W_3/L_3}{W_1/L_1} \right) \right]}{\partial T} \quad (66)$$

因為臨界電壓在 T_0 時並不考慮，所以我們可以得到 $V_{th10}(T) = -K_m$ ；在帶回到上式我們可以得到以下的結果：

$$\frac{\partial V_{REF}}{\partial T} = -K_m + \frac{m}{N-1} \frac{k_B}{q} \sqrt{\frac{W_4/L_4}{W_{10}/L_{10}}} \ln \left(\frac{W_3/L_3}{W_1/L_1} \right) \quad (67)$$

再整理可以得到 M_4 和 M_{10} 尺寸的比值

$$\sqrt{\frac{W_4/L_4}{W_{10}/L_{10}}} = \frac{K_m}{\frac{m}{N-1} \frac{k_B}{q} \ln \left(\frac{W_3/L_3}{W_1/L_1} \right)} \quad (68)$$

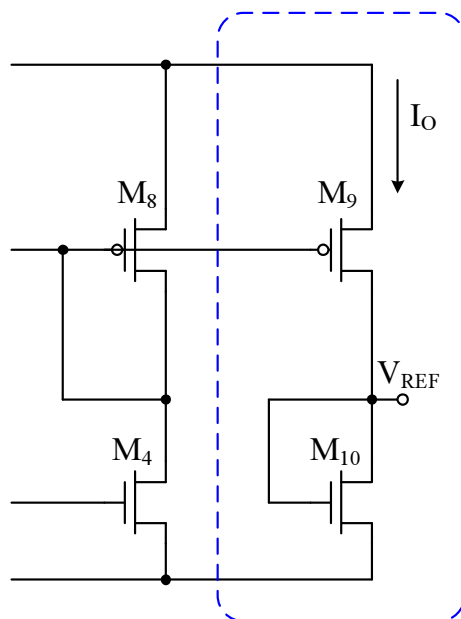


圖. 64 參考電壓示意圖

另外對於輸出電流 I_o 及電流 I_l 的下限如下列所示：

$$I_{OMIN} = \frac{\frac{uC_{ox}W_2}{L_2}}{2} m^2 V_T^2 \ln \left(\frac{\frac{W_3}{L_3}}{\frac{W_1}{L_1}} \right) \quad (69)$$

$$I_{lMIN} = uV_T^2 \left(\frac{W_3}{L_3} \right) \exp \left(-\frac{V_{th3} - V_{th4}}{mV_T} \right) \quad (70)$$

由公式可知，我們選擇相當小的 k_2 、 k_3 爲了使 M_{l0} 能夠操作在飽和區，當 $I_o = I_{omin}$ 時 k_{l0} 必須要比 k_4 還要來的更小才行，而這個電路的模擬圖如下所示。

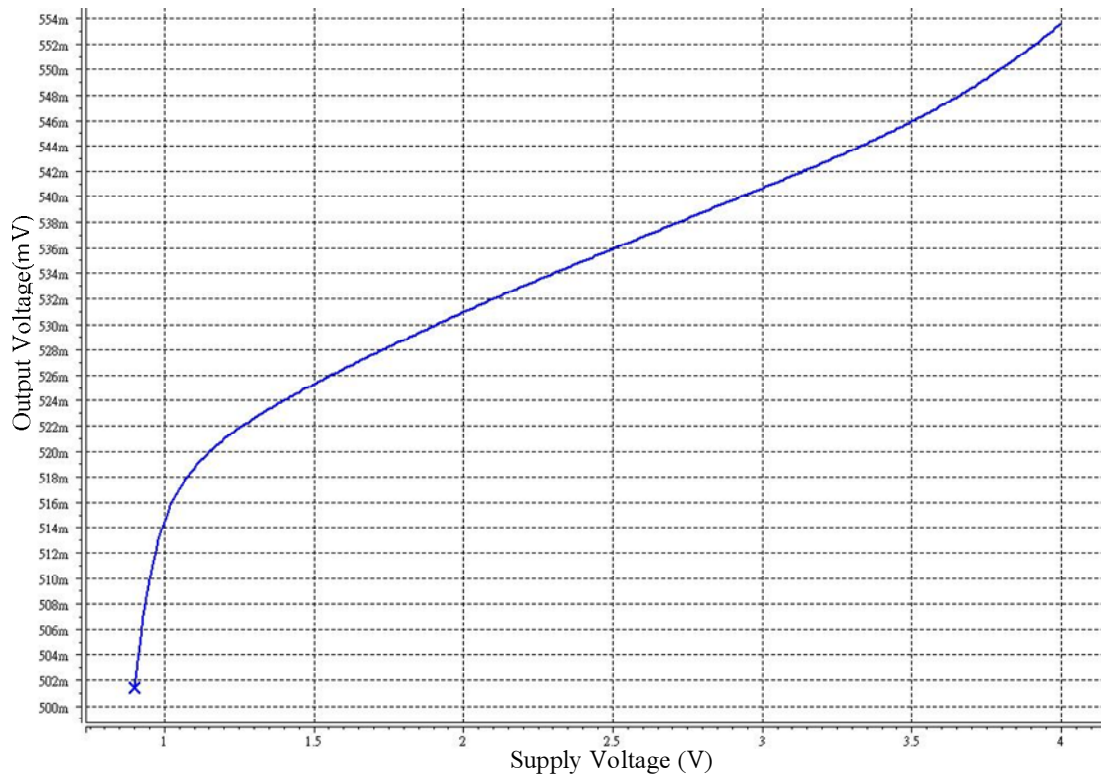


圖. 65 線性敏感度(Line Sensitivity)模擬結果

線性敏感度模擬如圖. 65 所示，電壓從 $0.9V \sim 4V$ 參考電壓的值爲 $534mV$ ；線性敏感度爲 3.16% 。線性敏感度計算如下：

$$LS = \frac{\left(\frac{\Delta V_{REF}}{V_{REF}} \right)}{\Delta VDD} \times 100\% = \frac{\left(\frac{553.8 - 501.5}{534} \right)}{4 - 0.9} \times 100\% = 3.16\% \frac{V}{V}$$

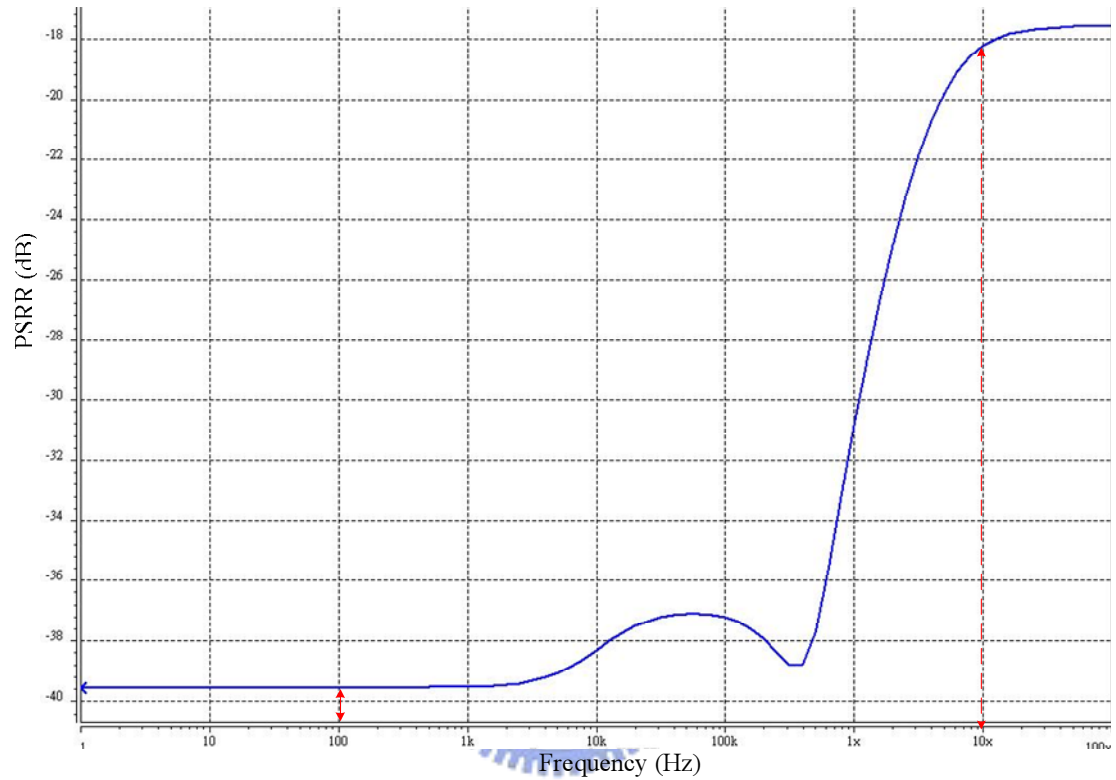


圖. 66 電源供應拒斥比 (PSRR)

電源供應拒斥比如圖. 66 所示，而電源供應拒斥比在頻率 100Hz 時有 -39dB ，在 10MHz 時為 -18.5dB 。

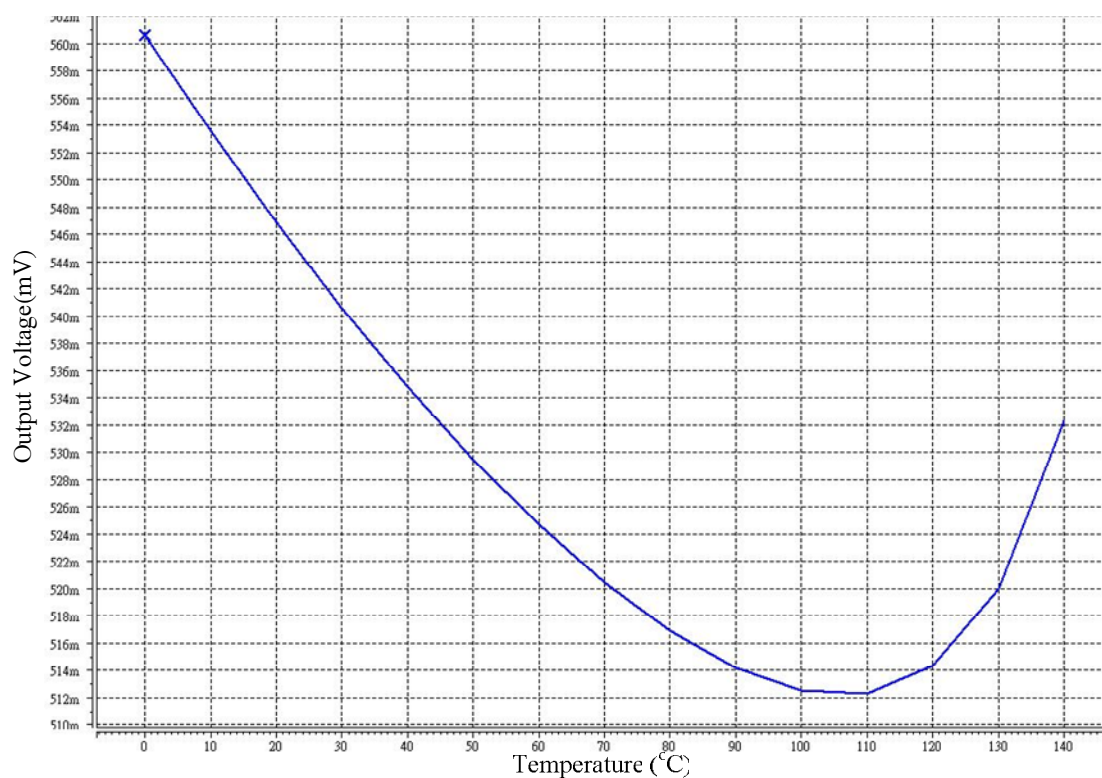


圖. 67 溫度因素 (TC)

溫度係數模擬如圖. 67 所示，溫度從 0°C ~ 140°C 參考電壓的變化為 48.3mV ；溫度係數為 $643\text{ppm}/^{\circ}\text{C}$ 。溫度係數計算如下：

$$TC = \frac{\left(\frac{\partial V_{REF}}{\partial T}\right)}{V_{REF}} \times 10^6 = \frac{48.3\text{mV}}{\frac{536\text{mV}}{140}} \times 10^6 = 643.65\text{ppm}/^{\circ}\text{C}$$

表 4 低功耗奈米級參考電壓電路模擬列表

Supply Voltage	Vref	TC	Line Sensitivity	PSRR @100Hz @10MHz
0.98 to 1.5	603mV	52ppm/°C	1.33%	-22db 7.5db

4.5 綜合比較

接下來，我們把這四種不同型式的帶差參考電壓；一起依照輸入電壓、參考電壓、溫度因素、線性敏感度(Line Sensitivity)以及電源供應拒斥比 (PSRR)；一起來比較其優劣其比較如下表示之：

表 5 綜合比較帶各式帶差參考電路模擬列表

	標準帶差電路 參考	Sub-1V 的帶 差參考電路	極低功耗的 溫度補償參考 電路	Sub-1V 低功耗奈米級參考 電壓電路
Technology	0.35um CMOS	0.35um CMOS	0.35um CMOS	0.35um CMOS
Supply Voltage (V)	1.6V~4V	0.98V~1.5V	1.5V~4.3V	0.9V~4V
Vref	1.2V	603mV	502mV	536mV
TC (ppm/°C)	14.55	52	58	644
Line Sensitivity	4.5m%	1.33%	10.5%	3.16%
PSRR @100Hz @10MHz	V _{DD} =1.6V -90dB -30dB	V _{DD} =0.98V -22.1dB 7.5dB	V _{DD} =1.5V -9.81dB -21.3dB	V _{DD} =0.9V -39dB -18.5dB

4.6 佈局和實現

Class-AB 佈局和實現如圖. 68 圖. 69 所示：

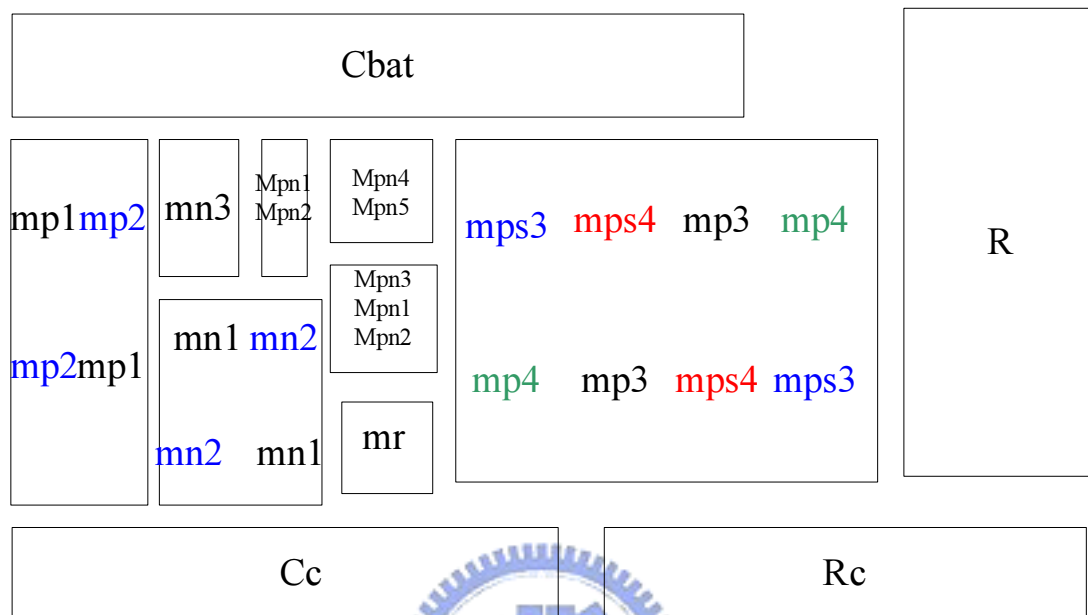


圖. 68 AB 類放大器佈局圖

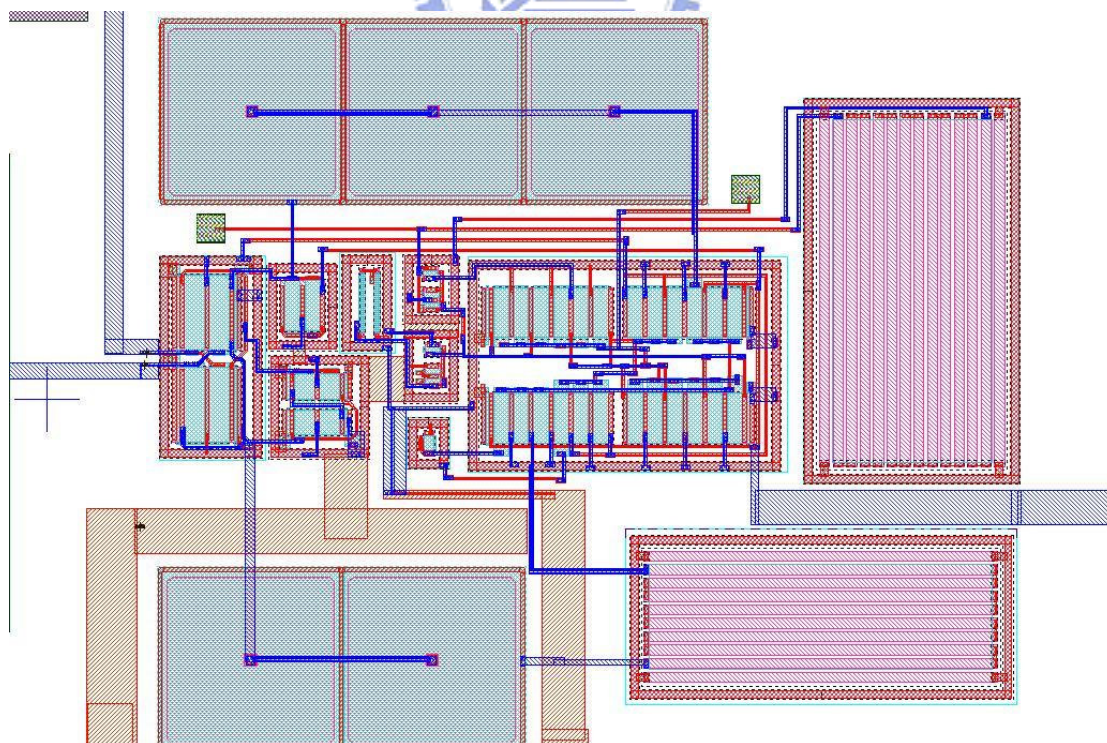


圖. 69 實際 AB 類放大器 Layout 圖

第五章 結論及未來研究方向

5.1 結論

在本論文中，首先說明了標準帶差參考電路的基本工作原理以及推導，並且也介紹了各種專有名詞。接著，開始對標準帶差參考電路內部 OP 開始探討，並且利用簡易的改良二極放大器的迴變率及頻寬，都得到了顯著的成果；緊接著我們對標準帶差參考電路的缺點，開始加以介紹其它不同的帶差參考電路分別是：供給 Sub1-V 的帶差參考電路，以及；極低功耗的溫度補償參考電路和低功耗奈米級參考電壓電路等。並以 HSPICE 模擬所設計電路的結果，最後，以佈局軟體 Laker 完成佈局。



5.2 未來研究方向

在本論文中，由於標準的帶差參考電路的最小供給電壓必須大於 1V，爲了改善這個問題，我們又介紹了一個新的電路並加上了前饋偏壓電路及直流位移電流來完成，但是；相對的增加了電路的複雜度以及面積會佔的更大，所以，我們就開始往次臨界區的電路開始發展，最後；我們想連電阻都把它給省掉使其完全不佔面正真正的全 CMOS 電路，但是在次臨界區受到製程及溫度影響很大，也因此增加了設計的困難及能夠真正在業界量產的可以性，所以；未來的研究方向可以朝向能夠穩定並且減少受製程及溫度影響的次臨界電路的帶差參考電路上前進。

參考文獻

- [1] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design," *OXFORD*, 2002.
- [2] Dr.Philip Mok, "Design of Power Management IC-Voltage Reference , Low-Dropout Regulator and Switching Regulator," 2005 混合訊號式積體電路設計專題研討會, 九十四年六月十六日。
- [3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *McGraw Hill*, 2001.
- [4] Ramirez-Angulo, J.; Carvajal, R.G.; Galan, J.A.; Lopez-Martin, A.; "A free but efficient low-voltage class-AB two-stage operational amplifier," *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS_II : EXPRES BRIEFS*, vol.53, NO.7 PP 568-571 July 2006.
- [5] K.N.Leung, P.K.T. Mok, "A sub-1 V 15 ppm/°C CMOS Bandgap Voltage Reference Without requiring Low Threshold Voltage Device," *IEEE Journal of Solid State Circuits*, vol.37, pp 526-530.
- [6] De Vita, G.; Iannaccone, "G.; An ultra-low-power, temperature compensated voltage reference generator," *IEEE Journal of Solid State Circuits*, pp. 26-5-1~26-5-4, 2005.
- [7] K.N.Leung, P.K.T. Mok, K.C Kwok, "CMOS Voltage Reference," *US Patent 6441680*, August 2002.
- [8] K.N.Leung, P.K.T. Mok, "A CMOS Voltage Reference Based on Weighted $\triangle V_{GS}$ for CMOS Low-Dropout Linear Regulators," *IEEE Journal of Solid State Circuits*, vol. 38, pp. 146-150, January 2003.

- [9] De Vita, G.; Iannaccone, "A Sub-10 ppm/°C, Nanopower Voltage Reference Generator," *IEEE Journal of Solid State Circuits*, pp. 307~310, 2006.
- [10] K. N. Leung, P.K.T. Mok, K.C Kwok, "CMOS Voltage Reference "US Patent 6 441 680, August 2002.
- [11] M.Bikumandla, J. Ramirez-Angulo, C. Urquidi, R. G. Carvajal, and A. J. Lopez-Martin, "Biasing CMOS amplifiers using MOS transistors in subthreshold region," *IEICE Electron. Expr.*, vol. 1, no. 12, pp.339-345, sep.25, 2004
- [12] A. J. Lopez-Martin, S. Basua, J. Ramirez-Angulo, and R. G. Carvajal, "Low-voltage super Class-AB CMOS OTA cell with very high slew rate and power efficiency," *IEEE J. Solid-State Circuits*, vol.40, no. 5, pp.1068-1077, May 2005
- [13] J. Ramirez-Angulo, R. Gonzalez-Carvajal, A. Torralba, and C. Nieva, "A new Class-AB differential input stage for implementation of low voltage high slew rate op-amps and linear transconductors," in *proc. IEEE Int. Symp. Circuits Symp. Circuits Syst.*, Sydney, Australia, May 6-9, 2001, PP 671-674.
- [14] G. De Vita, G. Iannaccone, P. Andreani, "A 300 nW, 12 ppm/°C Voltage Reference in a Digital 0.35 μ m CMOS Process," *Proc. Of VLSI Symp.*, Honolulu, USA, June 2006
- [15] H. Banba et al., "A CMOS Bandgap Reference Circuit with Sub-1V Operation." *IEEE Journal of Solid State Circuits*, vol.34, pp.670-674, May 1999
- [16] Y. Jiang and E. K. F. Lee, "Design of low-voltage bandgap reference using transimpedance amplifier," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 552-555, June 2000
- [17] GABRIEL A. RINCON-MORA, PH.D. "VOLTAGE REFERENCES From Diodes to Precision High-Order Bandgap Circuits," *WILEY INTERSCIENCE*

- [18] W .Maly, “Atlas of IC Technologies : ” An Introduction to VLSI Process,“*The Benjamin/Cummings Publishing Company, Inc.* 1987
- [19] Dan Clein “CMOS IC LAYOUT Concepts, Methodologies, and tools,” *Newnes*

