

國立交通大學

電子工程學系      電子研究所碩士班

碩士論文

低電壓管線式類比數位轉換器之設計技術

**Design Techniques for Low-Voltage Pipelined  
Analog-to-Digital Converters**



研究生：方炳楠  
指導教授：吳介琮

中華民國九十六年七月

低電壓管線式類比數位轉換器之設計技術

**Design Techniques for Low-Voltage Pipelined  
Analog-to-Digital Converters**

研究生：方炳楠      Student：Bing-Nan Fang  
指導教授：吳介琮      Advisor：Dr. Jieh-Tsong Wu

國立交通大學

電子工程學系      電子研究所碩士班



Submitted to Department of Electronics Engineering  
College of Electrical Engineering and Computer Science

National Chiao-Tung University

in partial Fulfillment of the Requirements

for the Degree of

**Master of Science**

in

Electronics Engineering

July 2007

Hsin-Chu, Taiwan, Republic of China

中華民國九十六年七月

# 低電壓管線式類比數位轉換器之設計技術

學生：方炳楠

指導教授：吳介琮

國立交通大學電子工程學系

電子研究所碩士班

## 摘要

在通訊系統中，訊號會先透過一個類比數位轉換器將接收到的類比訊號量化，以供後級的數位電路執行更複雜的訊號處理；而製程技術的進步使得數位信號處理系統可以用更小的晶片面積達到更高的運算速度，伴隨著電晶體尺寸的縮小供應電源電壓也跟著下降，在現今的積體電路設計趨勢中，類比數位轉換器必須和龐大的數位訊號處理系統整合在單一顆晶片上。因此，類比數位轉換器也必須和數位電路操作在相同的工作電壓之下。

在本論文中我們的主要目標是設計一個操作在1V電壓，每秒200萬次取樣導管式類比數位轉換器。採用每級2.5-bit解析度的架構提高整個類比數位轉換器的運算速度，並結合數位校正技術以補償對比較器的偏移電壓容忍度和電容不匹配以及放大器增益太小所造成的誤差；因為放大器是整個類比數位轉換器功率消耗的主要來源，在系統規格的要求下，設計出一個高速放大器，並對此放大器進行功率消耗最小化的設計流程；利用切換放大器技巧可以降低整個類比數位轉換器功率消耗約為原來的一半。此外針對因為放大器增益太小所造成的非線性誤差，本文也提出一個非線性係數粹取的演算法，可以將此一非線性係數給找出來，再利用數位的方式校正回去。



# Design Techniques for Low-Voltage Pipelined Analog-to-Digital Converters

Student : Bing-Nan Fang      Advisor : Dr. jieh-Tsong Wu

Department of Electronics Engineering  
and Institute of Electronics  
National Chiao-Tung University



In nowadays communication system, the input signal will be quantized by an analog-to-digital converter to provide follow-up digital circuit to execute more complicated signal-processing. The progress of technology makes digital signal-processing system reach higher operation rate with smaller chip area. To accompany with the diminution of the transistor size, the supply voltage decreases. Today, the trend of integrated circuit design integrates the analog-to-digital converter with the huge digital signal-processing system in the same chip. Therefore, the analog-to-digital converter has to be operated in the same voltage as digital circuit is.

The subject of the thesis is to design a 200MS/s pipelined analog-to-digital-converter under a 1V power supply. It adopts the architecture of 2.5-bit/stage to raise the operation rate of the analog-to-digital converter. It also combines with digital calibration technique to compensate the errors causing by offset voltage of the comparator, capacitors mismatch and finite amplifier gain. Duing to amplifier is the main power-comsumption

of whole analog-to-digital converter. We can reduce it to about half of original power-comsumption by using switched-Opamp technique. However, a calibration alogrithm is prposed for nonlinear error duing to low-gain amplifier. We can extract nonlinear parameters and calibrate it in digital domain.



# 誌謝

首先我要對我的指導教授吳介琮教授致上最誠摯的謝意與敬意。感謝他在我研究所期間不厭其煩地給我指導與協助，以及研究理念上的薰陶。這些影響都使我受益良多並且永生難忘。

此外，感謝『奈米晶片與系統實驗室』的周儒明，黃鈞正，鍾勇輝，范振麟，范啟威，李瑞梅，翟芸，吳書豪，曾偉信，等諸位實驗室的學長姐，在各方面所給予的幫忙與協助，使我的能順利的完成我的碩士論文。

最後僅將我的論文獻給我最摯愛的父母親，感謝他們的一直以來的關心照顧與支持，每當求學而感到孤單時，家人總是我的最佳精神支柱。也感謝我的妻子麗雪一直在背後默默的支持我，使我能無後顧之憂的專心做研究，在此衷心地感謝他們。

方炳楠

國立交通大學

中華民國九十六年七月





# 目錄

中文摘要	i
English Abstract	iii
誌謝	v
表目錄	ix
圖目錄	xi
<b>1 緒論</b>	<b>1</b>
1.1 動機 . . . . .	2
1.2 論文組織 . . . . .	2
<b>2 管線式類比數位轉換器的工作原理</b>	<b>5</b>
2.1 簡介 . . . . .	5
2.2 一般數學描述 . . . . .	6
2.3 最小基準為2的轉換器設計 . . . . .	7
2.4 誤差來源和具有多餘比較器的數位碼的錯誤更正 . . . . .	9
2.5 互補式金氧半電路的實現 . . . . .	15
2.6 結論 . . . . .	20
<b>3 1V 200MS/s的MDAC電路設計</b>	<b>23</b>
3.1 簡介 . . . . .	23
3.2 管線式類比數位轉換器的架構 . . . . .	23



3.3	類比電路設計	23
3.4	切換放大器的管線式類比數位轉換器設計	34
3.5	模擬結果	43
3.6	結論	46
<b>4</b>	<b>管線式類比數位轉換器的數位校正技術</b>	<b>47</b>
4.1	簡介	47
4.2	線性的數位校正技術	47
4.3	線性的數位背景校正技術	56
4.4	模擬結果	61
4.5	結論	79
<b>5</b>	<b>管線式類比數位轉換器的非線性校正技術</b>	<b>81</b>
5.1	簡介	81
5.2	管線式類比數位轉換器的非線性表示式	81
5.3	尋找非線性係數的演算法	84
5.4	模擬結果	90
5.5	結論	91
<b>6</b>	<b>結論與建議</b>	<b>95</b>
6.1	結論	95
6.2	建議將來研究方向	95
	<b>參考文獻</b>	<b>97</b>
	<b>自傳</b>	<b>103</b>

# 表目錄

3.1	放大器規格和電容大小. . . . .	33
3.2	管線級的線性增益和正則化的非線性係數. . . . .	33
3.3	放大器規格和電容大小. . . . .	44
4.1	前面四級MDAC的規格. . . . .	71





# 圖目錄

1.1	數位和類比的介面. . . . .	2
2.1	管線式類比數位轉換器. . . . .	5
2.2	一級管線級的方塊示意圖. . . . .	6
2.3	最小基準設計. . . . .	8
2.4	比較器位準產生位移時的轉換特性曲線. . . . .	10
2.5	比較器位準產生位移時的數位類比轉換器轉換特性. . . . .	11
2.6	具有非理想次數位類比轉換器時的轉換特性曲線. . . . .	12
2.7	具有非理想次數位類比轉換器時的數位類比轉換器轉換特性. . . . .	12
2.8	一個管線級具有增益誤差時的轉換特性曲線. . . . .	14
2.9	具有增益誤差時的數位類比轉換器轉換特性. . . . .	14
2.10	具有多餘比較器的管線級轉換特性. . . . .	15
2.11	1.5位元的切換式電容管線級. . . . .	16
2.12	1.5位元的切換式電容管線級的轉換特性. . . . .	16
2.13	1.5位元的切換式電容管線級的電路操作. . . . .	17
2.14	具有高增益的放大器電路設計. . . . .	18
2.15	SNR vs 電容大小. . . . .	19
2.16	取樣輸入開關的昇壓器電路. . . . .	20
2.17	sub-ADC的比較器電路. . . . .	21
3.1	管線式類比數位轉換器的架構圖. . . . .	24
3.2	高速低增益的兩級放大器. . . . .	25
3.3	截止頻率 $f_c$ 對於閘極過驅動電壓 $V_{ov}$ 的關係. . . . .	27
3.4	本質增益 $g_m r_o$ 對於閘極過驅動電壓 $V_{ov}$ 的關係. . . . .	27

3.5	放大器的共模回授電路. . . . .	28
3.6	放大器的頻率響應. . . . .	30
3.7	傳統的兩級放大器. . . . .	32
3.8	1.5位元管線級電路示意圖. . . . .	34
3.9	切換式電容的操作模式. . . . .	35
3.10	切換式放大器的示意圖. . . . .	35
3.11	取樣開關合併的示意圖. . . . .	36
3.12	取樣開關合併的切換式放大器和共模回授電路. . . . .	37
3.13	切換式放大器應用於管線級的連接電路. . . . .	38
3.14	切換式放大器在管線級的取樣和放大週期時的接法. . . . .	38
3.15	切換式放大器的共模回授操作等效電路. . . . .	40
3.16	切換式放大器由關(OFF)到開(ON)的等效電路. . . . .	41
3.17	切換式放大器由關(OFF)到開(ON)的模擬結果. . . . .	44
3.18	前面三級MDAC的輸出的模擬結果. . . . .	45
4.1	增益小於二的1.5位元的管線式類比數位轉換器轉換特性. . . . .	49
4.2	增益大於二的1.5位元的管線式類比數位轉換器轉換特性. . . . .	49
4.3	第 $j$ 級管線級的數位編碼. . . . .	50
4.4	第 $j$ 級管線級的數位校正. . . . .	51
4.5	管線級數位校正的示意圖. . . . .	52
4.6	多個管線級的數位校正. . . . .	54
4.7	非理想的轉換特性曲線，增益大於二. . . . .	57
4.8	非理想的轉換特性曲線，增益小於二. . . . .	57
4.9	電容等份的1.5位元管線級. . . . .	58
4.10	電容等份的管線級等效示意圖. . . . .	59
4.11	$R_j$ 和 $R_{ji}$ 關係的等效示意圖. . . . .	60
4.12	背景校正的方塊等效示意圖. . . . .	60
4.13	10位元的管線式類比數位轉換器方塊圖. . . . .	61
4.14	2.5位元的MDAC電路實現和轉換特性曲線圖. . . . .	62
4.15	2.5位元的MDAC電路實現. . . . .	63
4.16	加入隨機訊號 $q$ , $C_1$ 的轉換特性曲線圖. . . . .	64

4.17	加入隨機訊號 $q$ , $C_2$ 的轉換特性曲線圖. . . . .	65
4.18	加入隨機訊號 $q$ , $C_3$ 的轉換特性曲線圖. . . . .	66
4.19	修改後的 $C_1$ 轉換特性曲線圖. . . . .	66
4.20	修改後的 $C_2$ 轉換特性曲線圖. . . . .	67
4.21	修改後的 $C_3$ 轉換特性曲線圖. . . . .	68
4.22	DNL的說明. . . . .	69
4.23	INL的說明. . . . .	70
4.24	輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , INL的模擬結果. . . . .	72
4.25	輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , DNL的模擬結果. . . . .	73
4.26	輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , FFT的模擬結果. . . . .	74
4.27	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.8V_r$ , INL的模擬結果. . . . .	75
4.28	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.8V_r$ , DNL的模擬結果. . . . .	76
4.29	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.8V_r$ , FFT的模擬結果. . . . .	76
4.30	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , INL的模擬結果. . . . .	77
4.31	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , DNL的模擬結果. . . . .	78
4.32	輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , FFT的模擬結果. . . . .	78
5.1	一級管線級的方塊示意圖. . . . .	82
5.2	管線式類比數位轉換器的非線性轉移特性曲線. . . . .	82
5.3	第 $j$ 個管線級非線性校正的示意圖. . . . .	83
5.4	隨機信號所造成的轉移特性曲線的改變. . . . .	85
5.5	非線性曲線的多項式. . . . .	86
5.6	非線性係數的收斂過程. . . . .	88
5.7	非線性係數的收斂過程. . . . .	90
5.8	非線性係數 vs $\Delta R_{j1}$ . . . . .	92
5.9	量化後的非線性係數 vs 量化的 $\Delta R_{j1}$ . . . . .	92
5.10	具有三階非線性管線級的FFT校正結果. . . . .	93

# 第一章

## 緒論

在現今十倍速的時代，隨著極大型積體電路的製程不斷地向下縮小尺寸，單位晶片面積所含的電晶體數目也跟著不斷的遽增；電路設計可以達到高速、低功率消耗以及低成本等優點。其中極大型積體電路快速發展並大幅增加電路系統中數位運算和訊號處理的能力，加上數位電路的高精確度以及相較於類比電路較不易受到雜訊、操作電壓和製程等變動的影響等優點，使其在電路積體化的過程中伴演主要的角色，在整體電路系統中所占的比重也有越來越多的驅勢。然而，即使數位電路擁有這麼多的優點，但無論如何最終仍須要和自然環境有溝通、互動，而在自然環境的訊號都是以類比的型式存在，如圖1.1所示。舉凡高頻的射頻電波；或較低頻的聲頻訊號，均為連續時間的類比訊號。因此，在類比訊號與數位處理之間，資料的轉換以及重建性能的優劣便成為影響整個電路系統設計上最重要的瓶頸。所以，無論是設計多麼完美的類比電路或是數位電路都必須搭配良好的資料轉換電路才能完全發揮其功能。除此之外，也由於極大型積體電路的製程不斷地向下縮小尺寸，閘極氧化層亦不斷地變薄。此時若操作電壓仍維持與尺寸縮小前相同，將會導致垂直和水平電場過大，前者會造成閘極氧化層可靠度 (Reliability) 的問題，後者會產生熱載子效應(Hot Carrier Effect) 的問題[1][2][3]。所以隨著製程的縮小，電路的操作電壓勢必也要跟類著降低。又因為考慮到漏電流的影響，元件的臨界電壓並沒有等比例的隨著製成尺寸縮小而下降，這樣對於數位電路而言有著正面的優點，其中最直接的就是大幅地降低了電路的功率消耗；但是這樣一來卻會使得一向重視電晶體工作區間的類比電路面臨極大的挑戰[4][5]。



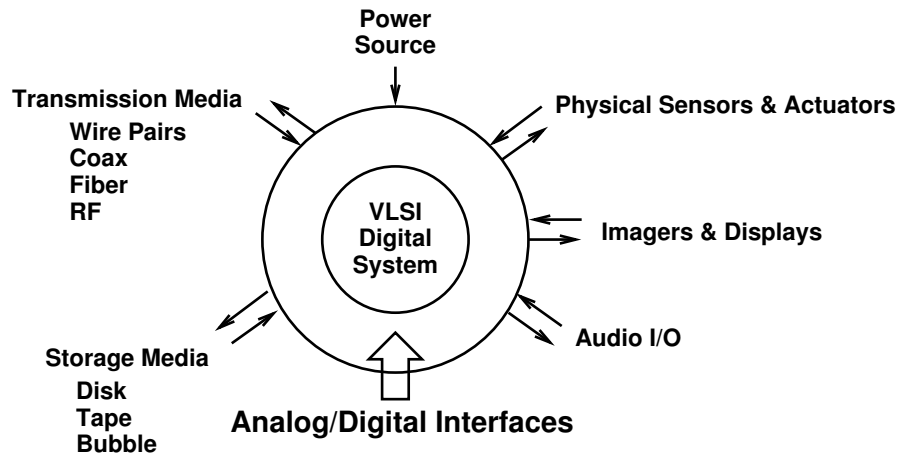


圖 1.1: 數位和類比的介面.

## 1.1 動機

類比數位轉換器的應用範圍非常廣泛，舉凡無線網路系統(wireless communication system)、個人行動電話(cellar phone)、數位影音系統(digital video system)、高速數據機(high speed modem)和乙太網路系統(Ethernet system)等，都屬於類比數位轉換器應用的範疇。由其應用範圍的不同，造成類比數位轉換器具有各式各樣不同的規格須求，也因此衍生出許多不同的電路架構，如快閃式類比數位轉換器(Flash ADC)，管線式類比數位轉換器(Pipelined ADC)，過取樣類比數位轉換器(Sigma-Delta ADC)．．等。

在本論文中我們主要目標是設計一個操作在 1V 的工作電壓下，每秒 200 萬次取樣導管式類比數位轉換器。採用每級 2.5-bit 解析度的架構提高整個類比數位轉換器的運算速度，並結合數位校正技術增加對比較器的偏移電壓容忍度；此外，利用一些線性校正的方法，可以改善電容不匹配和放大器有限增益的影響，提高整體類比數位轉換器的效能 [6][7][8][9][10][11][12][13][14][15]。

## 1.2 論文組織

本篇論文之內容架構如下：在論文的第一章中，首先簡述類比數位轉換器之重要性與低電壓設計的必然趨勢，並對此一類比數位轉換器的研究動機和設計重點做初步的說明。

在論文的第二章中，我們將對管線式類比數位轉換器架構做一說明並分析其相關特性以及對應的數學表示式，並且討論管線級中的誤差來源。最後我們介紹了一個管線級的電路實現方式，包含有輸入開關的昇壓器電路，比較器電路，以及傳統的兩級放大器電路。同時也介紹了取樣電容和回授電容值大小決定的方法。

在論文的第三章，我們將對類比數位轉換器中所採用的放大器電路的設計做詳細的說明。首先概述我們所需要的系統規格，接下來主要探討我們所採用的放大器和傳統兩極放大器的比較。並將此放大器應用於切換放大器的管線式類比數位轉換器中。

在論文的第四章中，針對先前管線式類比數位轉換器的線性誤差校正方法作一個探討。並介紹管線式類比數位轉換器用切換式電容所實現的電路作一個討論。並且將電路模擬所得的參數，代入整個類比數位轉換器來做系統模擬，驗證是否滿足所要的規格。

在論文的第五章中，對於因為放大器增益不夠，所導置整個類比數位轉換器出現的非線性的問題，作一個討論。利用先前所提出的線性校正方法中所得到的資訊，我們提出一個演算法，可以將整個類比數位轉換器的非線性係數給找出來並且補償回去。

在論文的第六章中，我們將對這篇論文做個總結，並討論後續的研究與建議



## 第二章

### 管線式類比數位轉換器的工作原理

#### 2.1 簡介

圖2.1表示一個具有P極的傳統管線式類比數位轉換器的架構，其中的每一極的架構都是一樣的。圖2.2表示每一極的內部架構，其中包含了一個低解析度的次類比數位轉換器(sub-ADC)和一個次數位類比轉換器(sub-DAC)以及一個減法器和放大器。在正常的操作下，每一極會先將前一極的輸出結果作取樣和保持，並將此類比信號經由低解析度的次類比數位轉換器產生出數位碼，再將此數位碼結果送給次數位類比轉換器產生出一個類比電壓值，並將此類比電壓值和保持的電壓做相減，再經由放大器產生輸出結果，再送給下一極，依此一直將信號傳送下去。數位編碼器將每一極所產生的數位碼做相加，得到最後的數位碼輸出結果。

管線式類比數位轉換器的好處是具有很高的輸出率(throughput rate)。也因為每

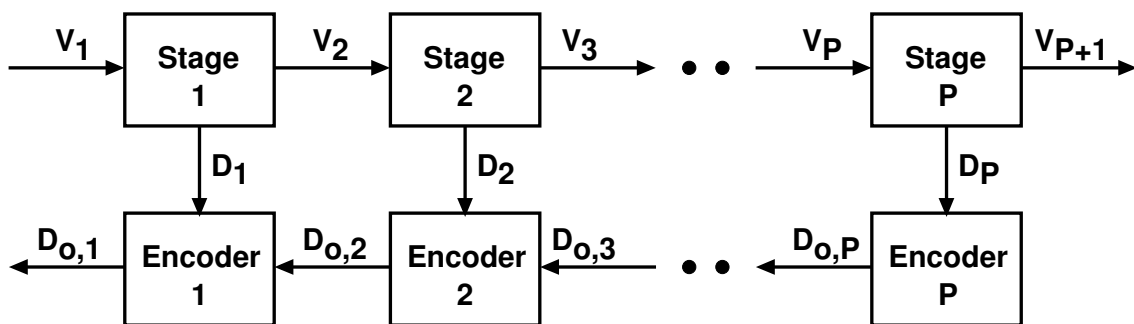


圖 2.1: 管線式類比數位轉換器.

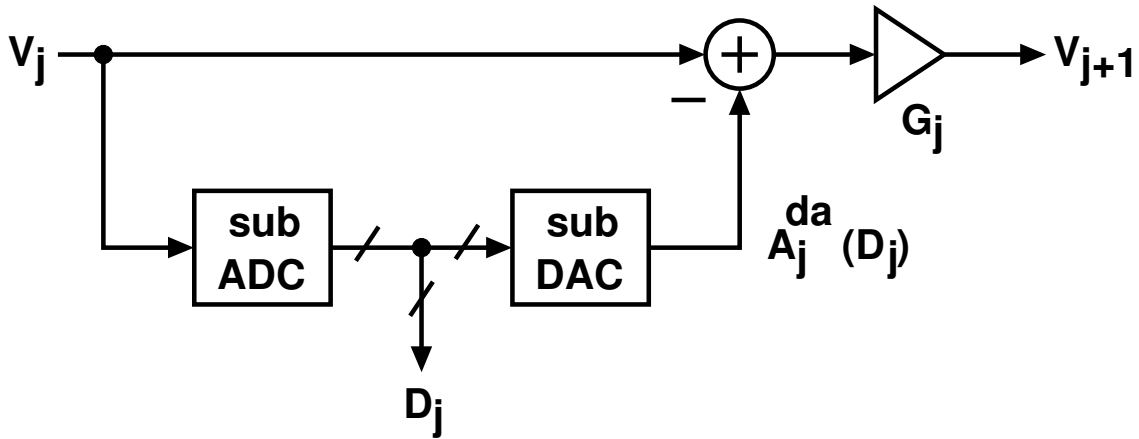


圖 2.2: 一級管線級的方塊示意圖.

一極都只針對前一極的輸出作取樣和保持的動作，所以每一極都可以同時的並行處理；此外，如果利用快閃式類比數位轉換器當作是次類比數位轉換器，則轉換時間只需要一個時脈的兩個相位即可完成。所以最快的輸出率就是時脈週期，總共的極數由所需要的解析度來決定，而整體轉換器的速度則由每一極相互之間取樣和保持的安定時間(settling time)所決定。

## 2.2 一般數學描述

為了更進一步的描述多極類比數位轉換器，先以一極來作為考量。如圖2.2所示，代表第 $V_j$ 代表第 $j$ 極的類比輸入，使用快閃式類比數位轉換器當作是次類比數位轉換器，則比較器的輸出是一組數位溫度碼(thermometer code)，我們用 $D_j$ 來表示，如果有 $M$ 個比較器，則會產生 $(M+1)$ 個可能的數位碼。接下來的次數位類比轉換器(sub-DAC)，將依據數位碼 $D_j$ 來產生所對應的 $(M+1)$ 個類比電壓值 $A_j^{da}(D_j)$ ，和輸入做相減；這一個相減的電壓差 $(V_j - A_j^{da}(D_j))$ 又稱為殘餘值(residue)透過增益為 $G_j$ 的放大器產生 $V_{j+1}$ 輸出到下一極去； $V_{j+1}$ 。如圖2.1所示一個具有串接 $P$ 個相同極的示意圖( $P$ 代表最後一極)。對每一極(再此用下標 $j$ 來表示)的數位碼 $D_j$ ，具有 $(M+1)$ 個可能的數位碼，可以用 $0(00\dots0)$ ， $1(00\dots1)$ 到 $M(11\dots1)$ 來表示。對任意一個給定的 $D_j$ ，我們可以將殘餘值 $V_{j+1}$ 用 $V_j$ 為函數的方程式來表示，

$$V_{j+1} = G_j \times [V_j - A_j^{da}(D_j)] \quad (2.1)$$

從方程式(2.1)，我們也可以反過來將 $V_j$ 用 $V_{j+1}$ 來表示：

$$V_j = A_j^{da}(D_j) + \frac{V_{j+1}}{G_j} \quad (2.2)$$

$$= A_j^{da}(D_j) + \frac{A_{j+1}^{da}}{G_j} + \frac{V_{j+2}}{G_j G_{j+1}} \quad (2.3)$$

根據(2.3)的推展，我們可以將整個P極管線式類比數位轉換器的輸入 $V_1$ 用下列式子來表示：

$$V_1 = A_1^{da}(D_1) + \frac{A_2^{da}}{G_1} + \frac{A_3^{da}}{G_1 G_2} + \cdots + \frac{A_P^{da}}{G_1 G_2 \cdots G_{P-1}} + Q \quad (2.4)$$

這裡 $Q = V_{P+1}/(G_1 G_2 \cdots G_P)$ 代表整個類比數位轉換的量化誤差 (quantization error)。

## 2.3 最小基準為2的轉換器設計

當整個管線式類比數位轉換器是用所謂的“最小基準為2的設計”時，則整個轉換器的數位輸出 $D_o$ ，可以從每一級的數位輸出碼 $D_j$ ，經由同步和位移之後再相加得到。這裡所謂最小基準為2的設計[9]，即是在整個管線式類比數位轉換器中的每一極放大器的增益都是為二的冪數。最小化的設計的一個主要特性，是輸入範圍剛好是的整數增益 $G_j$ 的倒數的整數倍，也就是輸入範圍被整數增益 $G_j$ 等份的分割，每一個等份為 $\Delta V = 2/G_j$  (在此假設輸入範圍為-1和+1)，因此我們需要的比較器數目為 $M$ ，也等於 $G_j - 1$ 。而每一個比較器的參考電壓 $V_j^{ref}$ 為 $V_j^{ref}(D_j) = -1 + (D_j + 1)\Delta V = -1 + (D_j + 1)2/G_j$ ，對所有的 $0 \leq D_j < M$ 。對於次數位類比轉換器的參考電壓準位 $A_j^{da}(D_j)$ 的數目也是 $G_j$ ，而且參考電壓準位 $A_j^{da}(D_j)$ 也是 $\Delta V = 2/G_j$ 的整數倍， $A_j^{da}(D_j) = -1 + (D_j + 1/2)\Delta V = -1 + (D_j + 1/2)2/G_j$ ，其中 $0 \leq D_j < M$ 。圖2.3所示，我們展示了增益分別為2,3,4的最小基準設計，同時它也展示出每一極的輸入 $V_j$ 和輸出 $V_{j+1}$ 的轉移函數的關係圖。在理想的情況下，轉移函數是一個鋸齒狀，只要每一極的輸入範圍和殘餘(residue)值的放大輸出範圍都在正負的參考電壓準位之間(在此為-1到+1)。最終的量化誤差 $Q$ 被限制在 $2/G_P$

$$0 \leq Q \leq \frac{2}{G_1 G_2 \cdots G_P} \approx \frac{2}{G^P} \quad (2.5)$$

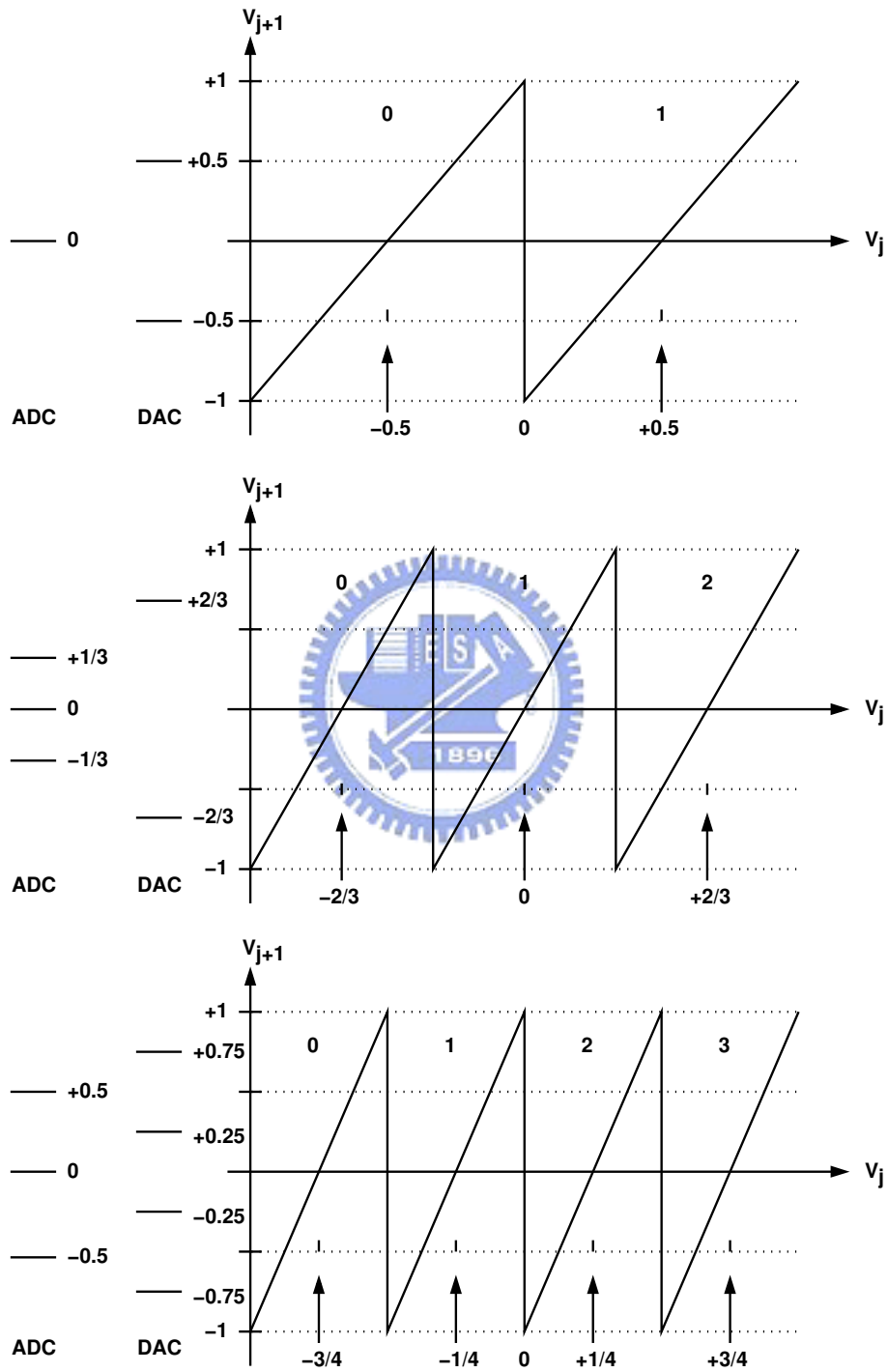


圖 2.3: 最小基準設計.

理論上，一個理想的N個位元類比數位轉換器所對應的量化誤差為 $2/2^N$ ，我們也定義成1 LSB(last significant bit)。此外，一個LSB也可以定義成輸入範圍(在此為-1到+1)和增益的關係，

$$1LSB = \frac{2}{G^P} \quad (2.6)$$

根據2.6我們定義有效的位元 $N_{eff}$ 為：

$$N_{eff} = \log_2\left(\frac{2}{1LSB}\right) = P\log_2(G) \quad (2.7)$$

則每一極的有效的位元 $n_{eff}$ 為：

$$n_{eff} = \log_2(G) \quad (2.8)$$

對最小基準為2的轉換器而言， $G = 2^n$ ，也就是有效位元 $n_{eff} = n$ 。我們將每一極M個位元的溫度碼轉成n個位元的二進位碼，再將整個P極的個別的n位元依序移位再結合成N個位元( $N=nP$ )，即為整個轉換器的輸出結果。

## 2.4 誤差來源和具有多餘比較器的數位碼的錯誤更正

一個管線式類比數位轉換器的效能是被以下的誤差所限制住，其中包括了次類比數位轉換器和次數位類比轉換器所產生的非線性誤差，以及在每一極和每一極之間增益不同所造成的增益誤差。次類比數位轉換器所產生的誤差包含了比較器的位移電壓(offset)和參考電壓的誤差，這兩個誤差都會導致次類比數位轉換器的判斷準位產生位移。次數位類比轉換器所產生的誤差包含了位移電壓(offset)、增益誤差和非線性誤差。如果我們用切換電容的方式來實現增益極，則增益誤差的產生是因為電容不匹配誤差和放大器的有限增益所造成。接下來的章節我們會解釋這一些誤差來源。

首先，先對次類比數位轉換器的誤差來做說明，先假設次數位類比轉換器和放大增益在每一極都是理想的。通常次類比數位轉換器是用快閃式類比數位轉換器來實現，一串的比較器一端都接輸入，另一端則接一組參考電壓，比較兩個輸入端的差值，然後決定輸出相對應的數位碼。當兩個輸入電壓準位很接近時，如果比較器本身有了位移電壓(offset)或者是參考電壓本身有了誤差，都會使得比較器的比較位準產生位移，因而產生錯誤的數位碼。而次數位類比轉換器依據此數位



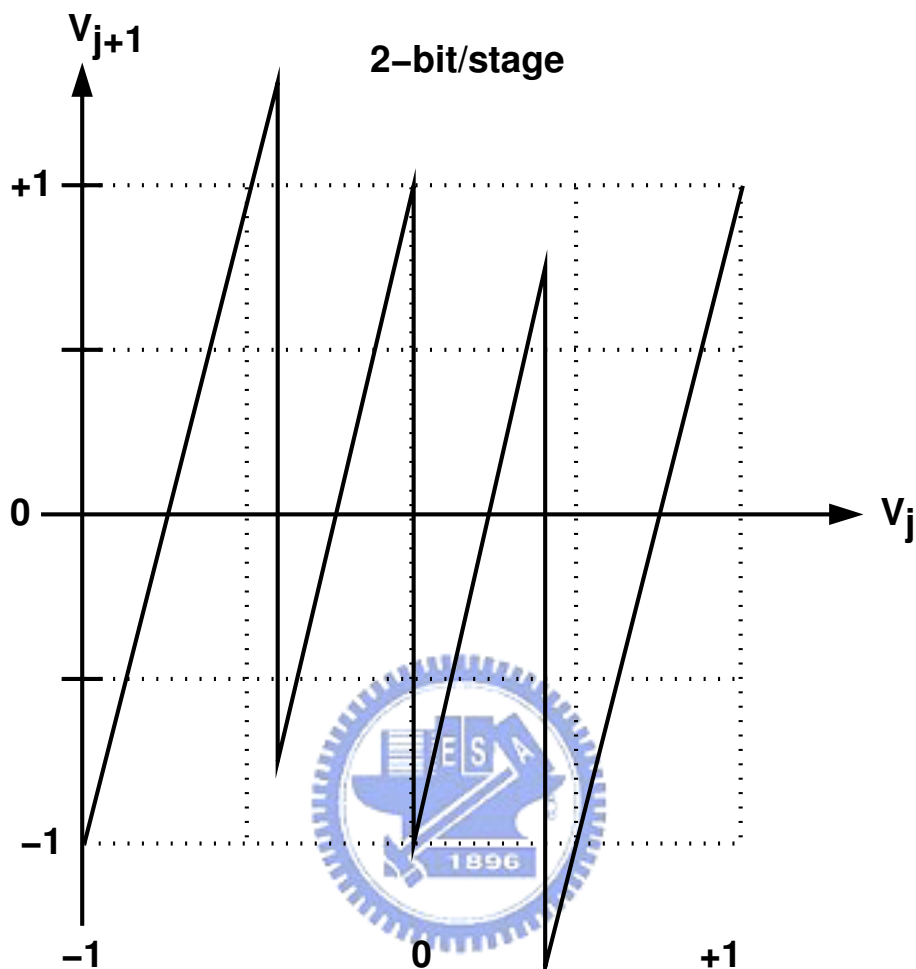


圖 2.4: 比較器位準產生位移時的轉換特性曲線。

碼所產生的類比電壓和輸入做相減，也會因而產生錯誤。以一個一極是兩個位元的例子而言，比較器的比較位準產生位移所產生的效應，在輸出入的轉移曲線圖可以表現出來。如圖2.4所示，殘餘電壓已經大於下一極輸入電壓的範圍，這一段超過範圍的輸入信號將不會有任何位準與之作比較，也就是位準遺失，數位碼停留在之前的結果，如圖2.5所示。

接下來，對次數位類比轉換器的誤差做說明，次數位類比轉換器依據次類比數位轉換器輸出所得的數位碼，產生類比電壓的輸出。因此整個次數位類比轉換器的增益誤差和非線性誤差會是整個轉換器誤差的重要來源。如圖2.6所示，這些非理想的誤差對轉移函數所造成的影響。圖2.7 則為這些非理想的誤差對整個轉換器特性所造成的影響(在此假設只有第一極有誤差，剩餘的極數都是理想的情形下

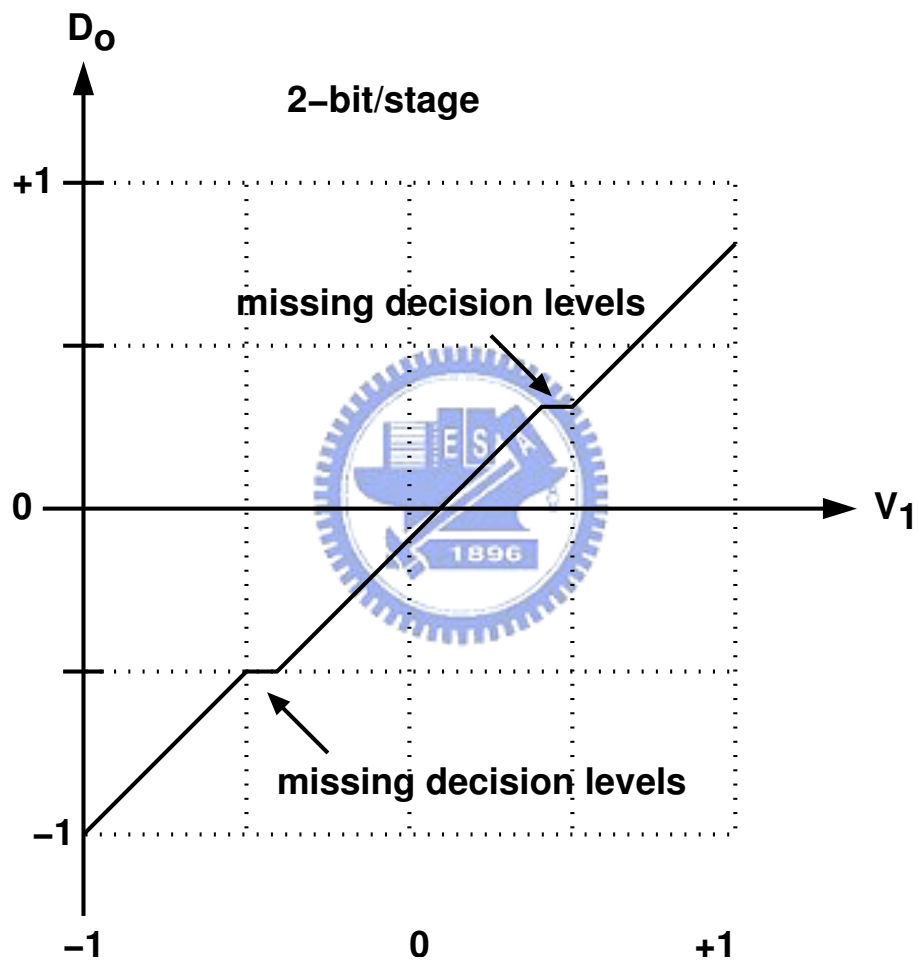


圖 2.5: 比較器位準產生位移時的數位類比轉換器轉換特性。

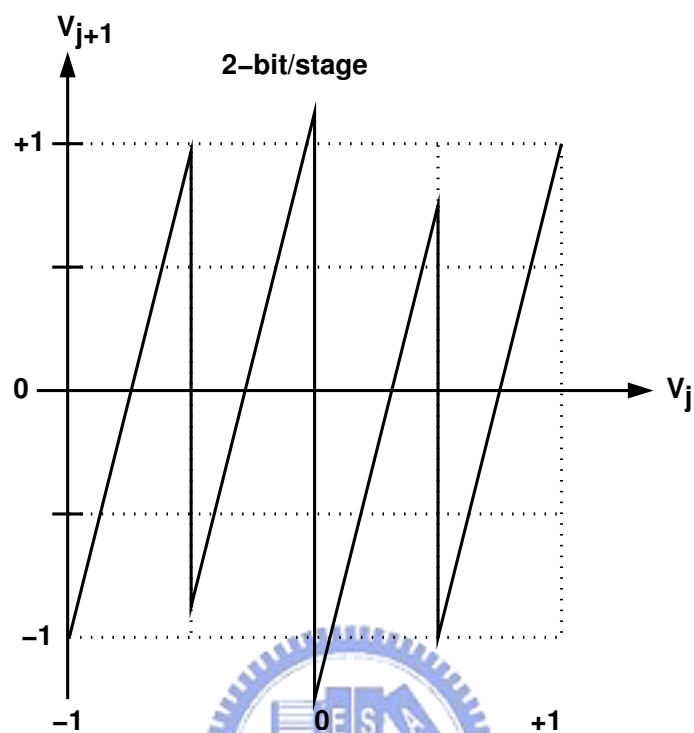


圖 2.6: 具有非理想次數位類比轉換器時的轉換特性曲線。

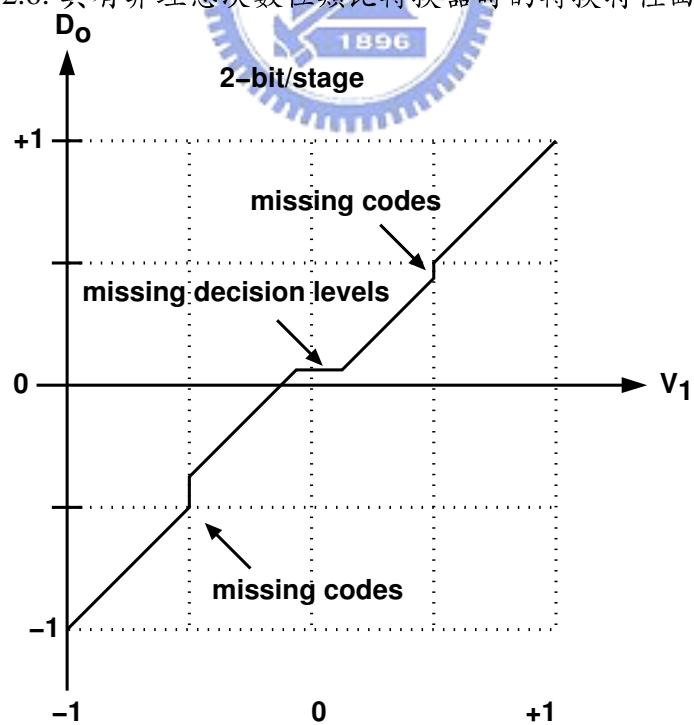


圖 2.7: 具有非理想次數位類比轉換器時的數位類比轉換器轉換特性。

所得的結果)。由圖可知，次數位類比轉換器的非理想特性會導致數位碼將遺失和錯誤的判斷準位。

最後針對增益極的誤差做說明，當增益極有了增益誤差以後，會對整個轉換器特性造成影響。如圖2.8所示，是當增益極的增益太小時，所造成的誤差會使得整體的轉換器轉換特性產生數位碼遺失，如圖2.9所示；反之，當增益太大時，則會造成部份輸入因為超出輸入範圍無法被解碼，也就是位準遺失。如果每一極的增益都不同時，則整個轉移函數可能會同時存在數位碼遺失和位準遺失。在互補式金氧化半導體的製程下，一般會用切換式電容來實現整個管線式類比數位轉換器，增益極的增益誤差通常是因為電容的不匹配、放大器的有限增益和有限頻寬所造成。

由以上的討論可以得知最小基準為二的管線式類比數位轉換器設計，對應於電路的非理想特性所產生的誤差，例如比較器的位準產生位移，次數位類比轉換器的非線性誤差，和每一極之間增益不同所造成的增益誤差，都有可能產生數位碼將會遺失或是有部份的輸入值無法被解碼，影響是非常大的。考慮如圖2.8所示的轉移函數圖，表示在各極增益之間產生了增益誤差，圖2.9所代表的是因為這個誤差所造成的整體類比數位轉換器的轉換特性，有一些數位碼將會遺失。但如果我們將輸入的範圍增加，使得前一極的輸出範圍被這一極的輸入範圍所包含，則這一個問題就可以被解決。因為剩餘值本身包含了部份尚未被前一階量化器所量化的值及因為比較器位移電壓所造成的誤差值；但只要DAC是準確的；被增加的剩餘值仍會對應正確的碼字，換句話說，輸入信號的資訊在某種程度上來說是沒有遺失的。只要第二級比較器可以處理的轉換範圍大於第一級比較器的輸出範圍，則第一級因位移電壓所造成的錯誤就可以被校正回來，這也就是數位碼的錯誤更正。為了使得使得前一極的輸出範圍被輸入範圍所包含，我們可以增加比較器的數目，也就是讓 $M > G_j - 1$ 或者降低各極之間的增益。一般的電路實現上，我們多使用增加比較器的方法，因為如此一來各極之間的增益仍然是二的冪數。使用增加一個比較器的例子來做說明，所對應的轉換特性曲線如圖2.10所示，和最小化設計(minimal)來做比較，則 $V_j^{ref}(D_j)$ 和 $A_j^{da}(D_j)$ 分別減去一個 $\Delta V = 2/G_j$ 。則 $V_j^{ref}(D_j) = -1 + (D_j + 1/2)\Delta V$ ， $A = -1 + D_j\Delta V$ ，其中 $D_j \in \{0, 1, 2\}$ 。這樣的安排又稱為每級1.5位元的管線級，我們可以看出所容許的超過範圍為 $1/G_j$ 。

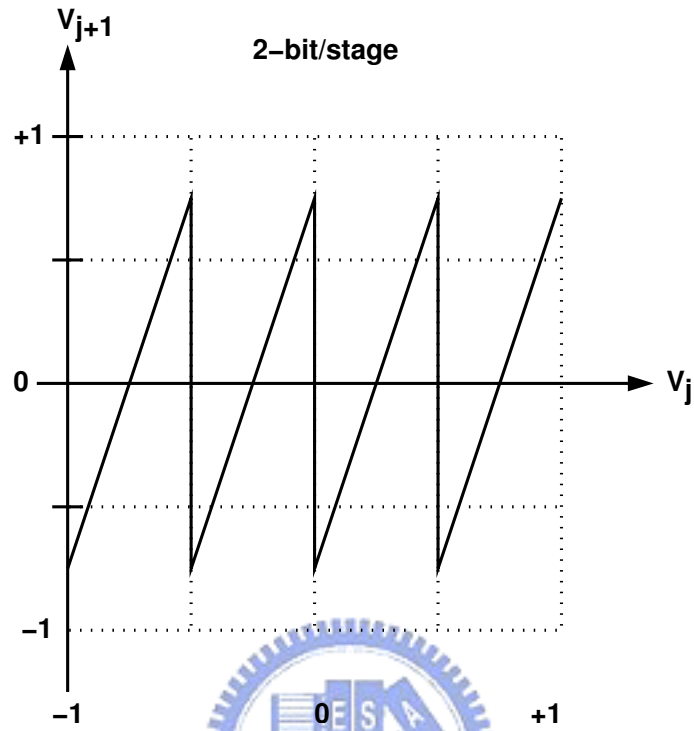


圖 2.8: 一個管線級具有增益誤差時的轉換特性曲線.

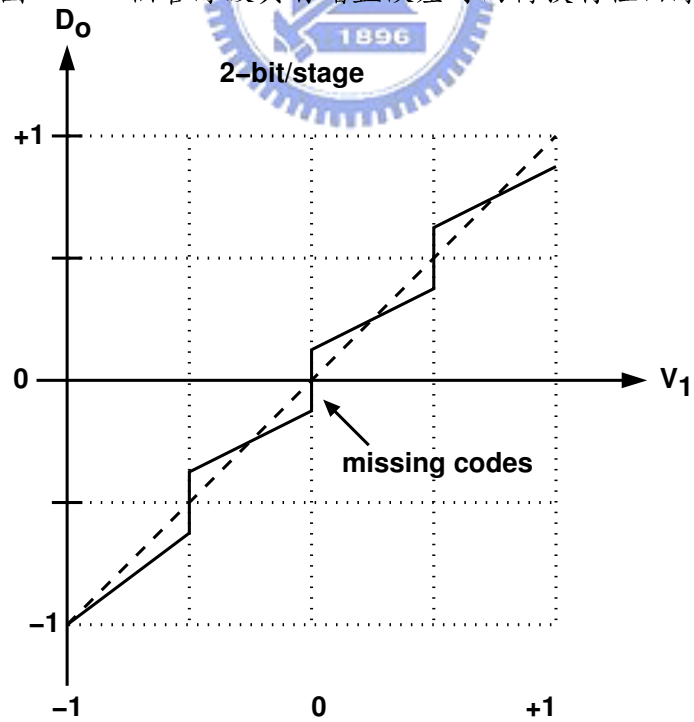


圖 2.9: 具有增益誤差時的數位類比轉換器轉換特性.

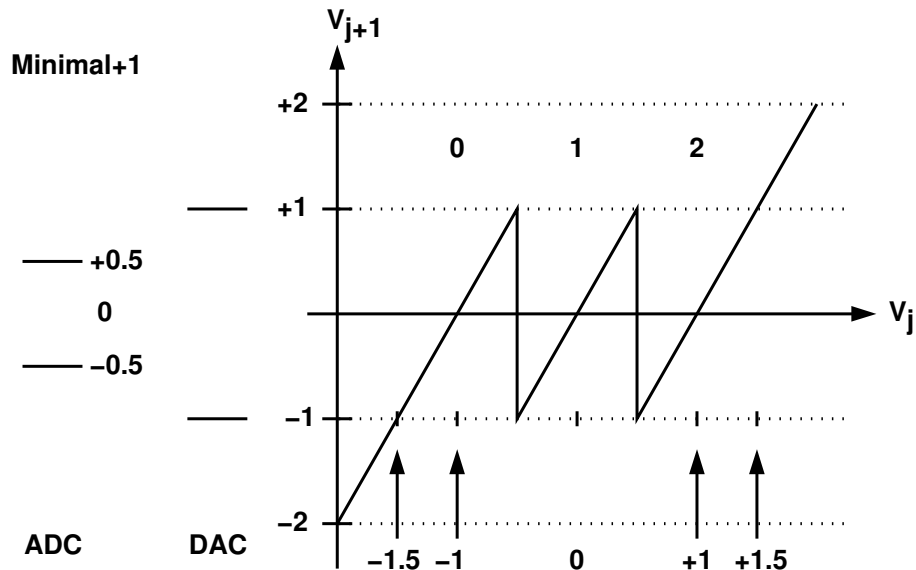


圖 2.10: 具有多餘比較器的管線級轉換特性。

## 2.5 互補式金氧半電路的實現

圖2.2展示了一個管線級的方塊示意圖，在現今的互補式金氧半製程技術，一個管線級的電路實現多由包含有一組比較器電路作為sub-ADC，和切換式電容乘積式的數位類比轉換器(Multiplying digital-to-analog converter, MDAC)。其中MDAC則同時合併了取樣和保持，數位類比轉換器，減法器以及電壓放大器的功能 [6][16]。一個切換式電容的MDAC是由一個運算放大器和電容回授的網路所構成。圖2.11所示為一個1.5位元的管線式類比數位轉換器其中的一極，其對應的轉移曲線則如圖2.12所示。次數位類比轉換器由兩個比較器所組成，一個比較器的一端輸入接 $+0.25V_r$ ，另一個比較器的一端輸入接 $-0.25V_r$ 。而MDAC則由一個運算放大器和兩個電容所組成的網路所形成。其工作原理如圖2.13所示，在時脈 $\phi_1$ 時， $V_j$ 值被電容 $C_s$ 和 $C_f$ 所取樣。同時 $V_j$ 也透過比較器和參考電壓 $-0.25V_r$ 和 $+0.25V_r$ 做比較，得到數位的輸出碼 $D_j \in \{-1, 0, +1\}$ 。在時脈 $\phi_2$ 時，電容 $C_f$ 接運算放大器的輸出端，電容 $C_s$ 則接到比較器輸出所對應的電壓 $-V_r, 0, +V_r$ 。經由電荷守恆的原理分析，輸出 $V_{j+1}$ 可得如下面的式子：

$$V_{j+1} = \hat{G}_j \times [V_j - A_j^{da}(\hat{D}_j) - A_j^{os}] \quad (2.9)$$

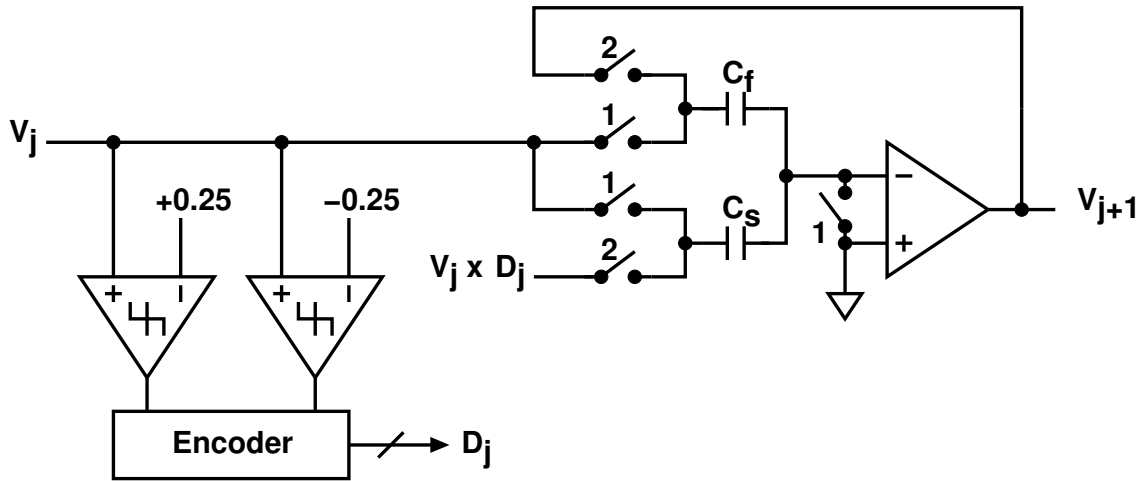


圖 2.11: 1.5位元的切換式電容管線級.

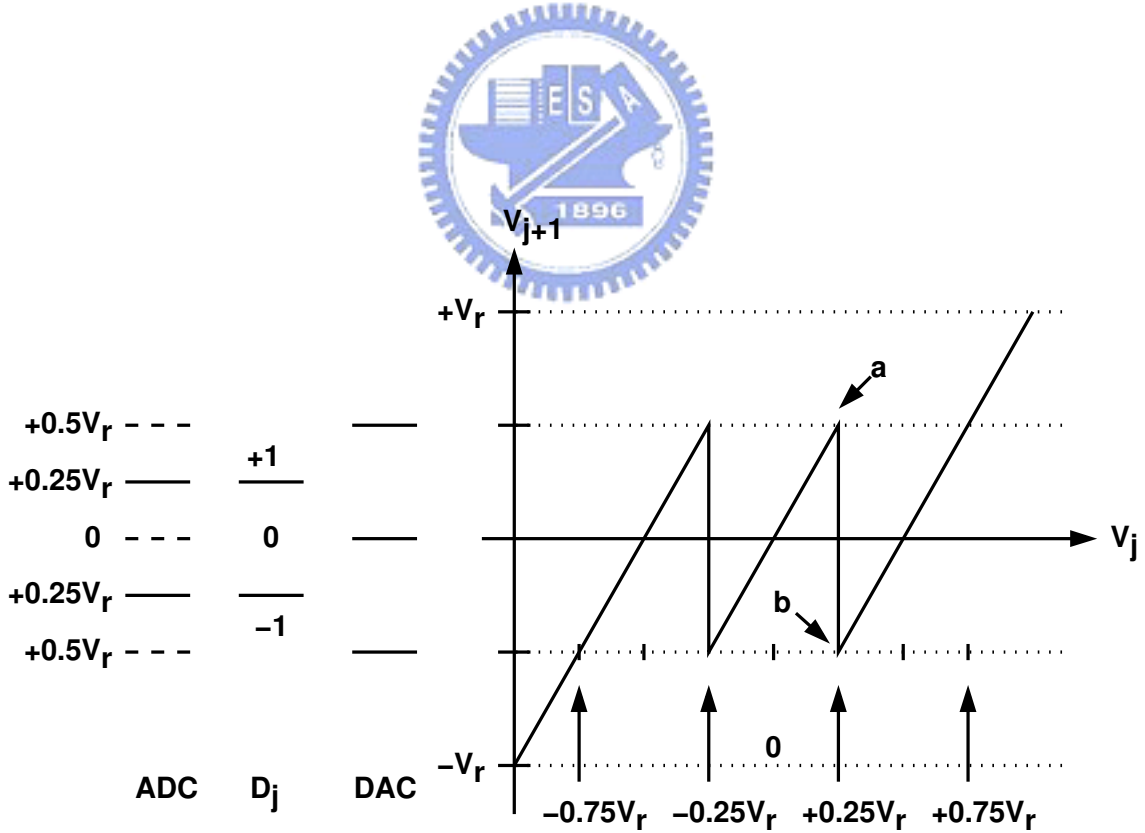


圖 2.12: 1.5位元的切換式電容管線級的轉換特性.

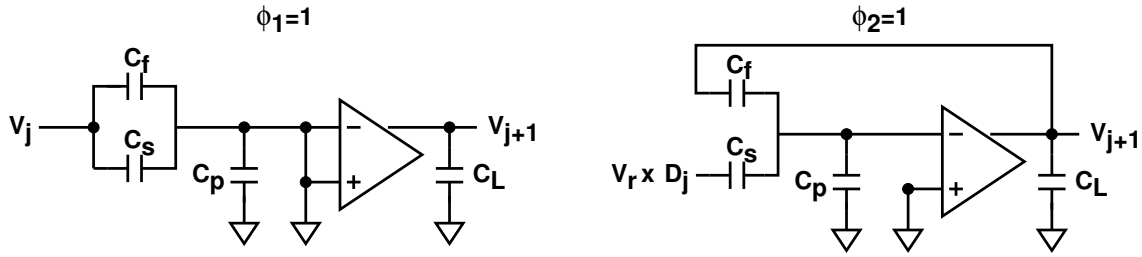


圖 2.13: 1.5位元的切換式電容管線級的電路操作。

其中

$$\hat{G}_j = \frac{C_s + C_f}{C_f} \times \frac{1}{\frac{1}{A_0} \cdot \frac{C_s + C_f + C_p}{C_f}} \quad (2.10)$$

$$\hat{A}_j^{da}(D_j) = V_r \cdot \frac{C_s}{C_s + C_f} \times D_j \quad (2.11)$$

其中 $\hat{G}_j$ 所代表的是第 $j$ 極的真正增益， $A_j^{os}$ 是放大器輸入所代表的等效位移， $\hat{A}_j^{da}$ 代表sub-DAC的真正輸出值。在理想的情形下， $A_0 = \infty$ 且 $C_s = C_f$ ，所得的增益 $\hat{G}_j = 2$ 且 $\hat{A}_j^{da}(D_j) = 0.5V_r \times D_j$ 。

就傳統的設計上，為了不使得整體的數位類比轉換器的效能因為放大器的增益不夠，而造成的效能下降，我們都希望把放大器的增益做的越大越好，如圖2.14所示。這是一個兩級的放大器，第一級是採用堆疊式(cascode)的架構，包括了M1, M2, ..., M8以及共模回授的M13和M14，以提供主要的增益，第二級主要是用來讓輸出達到最大擺幅，所以不需要多顆電晶體只用了M9, ..., M12以及共模回授的M15和M16。因為用了兩級的放大器，所以就需要補償電容 $C_{c1} \dots C_{c4}$ 以提供足夠的相位邊際，使得放大器可以操作在穩定的狀態。但是也因為補償電容所以整個放大器會消耗較多的功率，以及速度無法操作在高速的工作頻率之下。除此之外，採用堆疊式的架構，並無法適用於越來越低的工作電壓下。

對於取樣電容和回授電容大小的選取，主要是由電容所產生的熱雜訊(KT/C)所決定。太大的電容值會消耗更多的功率，太小的電容，會產生太大的熱雜訊。所以這個電容值通常是由類比數位轉換器中所需要的規格所決定，考慮 $N$ 個位元的類比數位轉換器，輸入的訊號大小為 $V_{FS}$ ，取樣電容為 $C_s$ ，則當我們只有考慮電容的熱雜訊和量化誤差時，整個轉換器的訊號雜訊比(SNR)可以由式子(4.1)所決



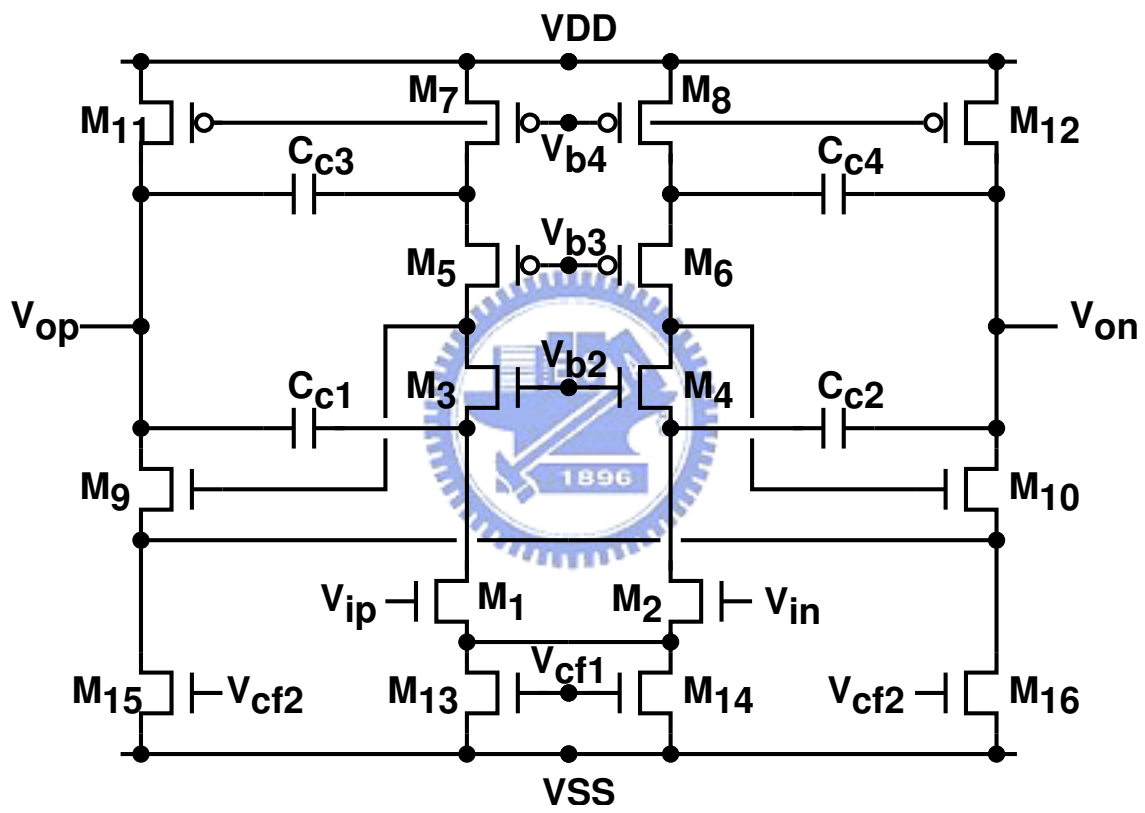


圖 2.14: 具有高增益的放大器電路設計.

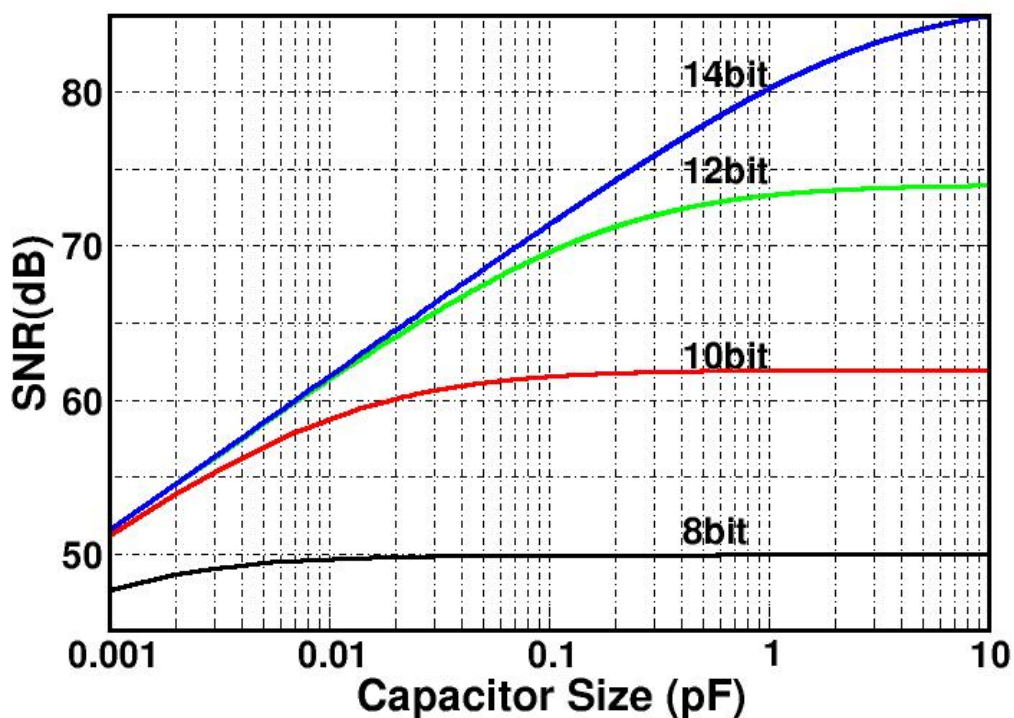


圖 2.15: SNR vs 電容大小.

定：

$$SNR = 10 \times \log \left[ \frac{V_{FS}^2/2}{\frac{KT}{C_s} + \frac{(2V_{FS}/2^N)^2}{12}} \right] \quad (2.12)$$

如圖2.15所示，對應於不同的電容大小的SNR值。我們可以根據所要的系統規格，來決定所需要的取樣電容值大小。

由於我們將輸入訊號直接接到第一個管線級，如圖2.11所示，輸入訊號經由取樣開關1對取樣電容和回授電容進行充電的動作，進行輸入訊號取樣的動作。為了避免輸入取樣開關所造成的非線性電阻效應和電荷注入的影響，造成整體轉換器的效能下降；在輸入端的我們使用了單一NMOS來作為取樣開關，因此我們在的開極端使用了昇壓器，如圖 2.16，圖中所輸出的電壓 $V_g$ ，會隨著輸入電壓 $V_i$ 做變化，使得輸入開關的在導通的時候，NMOS的 $V_{gs}$ 電壓會保持在一固定值，以減少NMOS開關的非線性電阻效應，使得整體轉換器的效能不會因為取樣開關而有

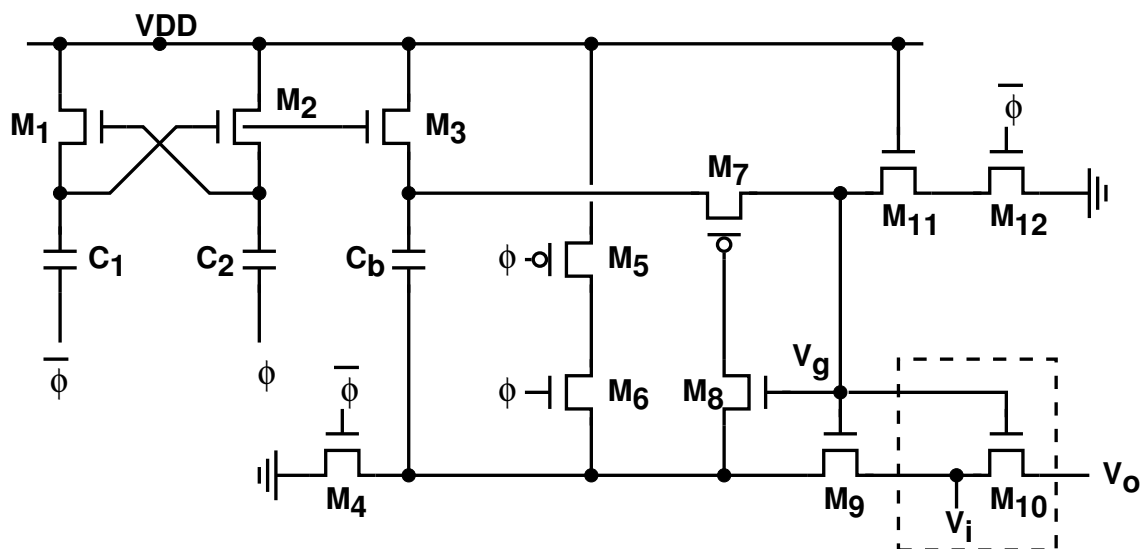


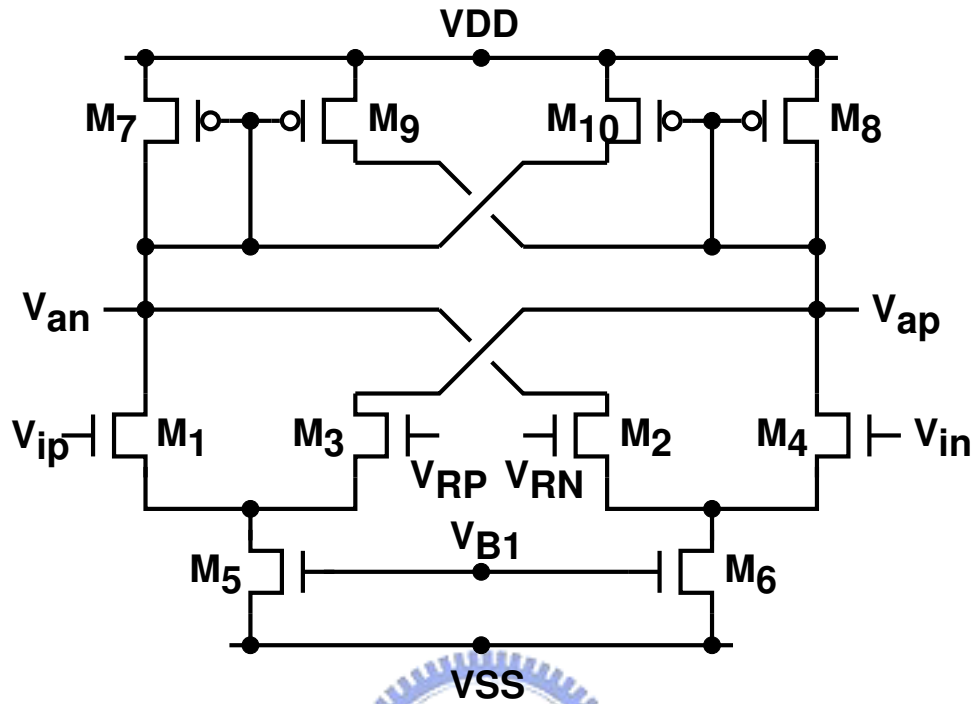
圖 2.16: 取樣輸入開關的昇壓器電路.

所影響。

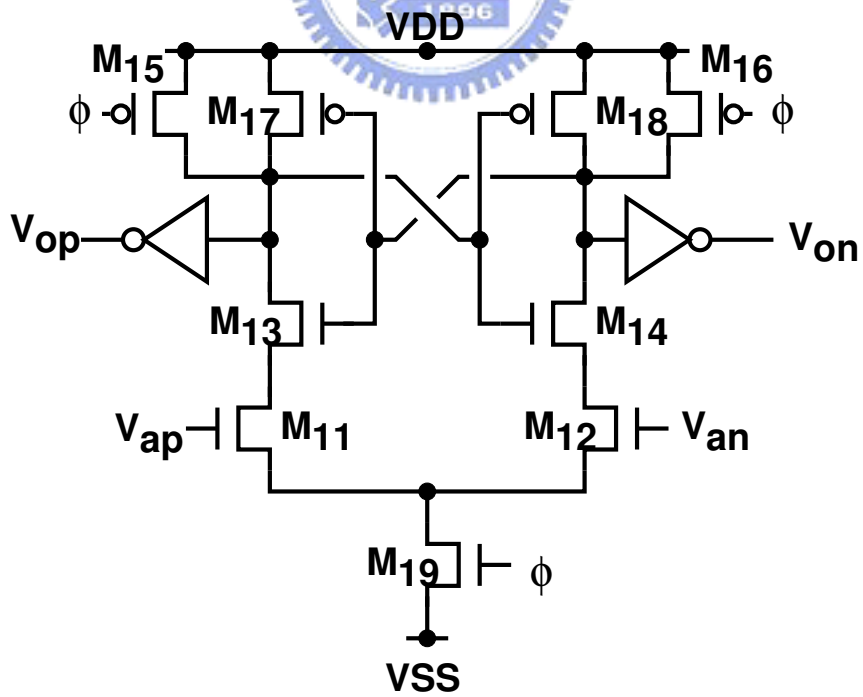
圖2.17，為我們所使用的比較器的架構。前級使用了差動差分的前端放大器，後面接到再生柙(regeneration latch)；M7，M8，M9和M10構成了前端放大所需要的主動負載，將電流訊號轉成電壓訊號輸出，接到再生柙的兩個NMOS輸入，將輸入兩端的電壓轉成電流差值輸出。M13，M14，M17和M18構成再生柙所需要的正回授，當 $\phi = 1$ 時，只要兩個輸入的NMOS電晶體一導通，就會進入飽和區，將電流差值透過上面的正回授電路，輸出最後的結果。

## 2.6 結論

在這個章節，我們討論了管線式類比數位轉換器的工作原理和數學表示式，以及其對應的誤差來源。這一些誤差，在轉換器的轉換特性曲線上都可以看的出來，可能對整體轉換器的數位輸出結果，產生遺失碼或者是有一些輸入範圍無法對應到相對應的數位碼。最後我們介紹了一個管線級的電路實現方式，包含有輸入開關的昇壓器電路，sub-ADC中的比較器電路，以及MDAC中傳統的兩級放大器電路。同時也介紹了取樣電容和回授電容值大小決定的方法。



Differential-Difference Preamp



Regenerative latch

圖 2.17: sub-ADC的比較器電路.



## 第三章

# 1V 200MS/s的MDAC電路設計

### 3.1 簡介

這一個章節介紹一個1V 200MS/s的MDAC電路的設計。由於有了數位的線性校正技術，所以我們可以把放大器的增益降低一些，設計一個增益不高但是具有高速和高輸出擺幅的放大器。除此之外，我們可以利用切換放大器的技巧，在沒有使用放大器時，將放大器關掉，來節省功率的消耗，估計可以節省四成的功率消耗。

### 3.2 管線式類比數位轉換器的架構

圖3.1表示一個管線式類比數位轉換器的方塊圖。包含類比部分和數位的部分。一共是五級，每一級是2.5個位元最後再加上四個位元的比較器。只有前面三級會做線性的數位校正。類比訊號使用完全差動訊號，以避免產生二次諧波，造成訊號失真。數位部分則包含數位校正和數位編碼器。對於每一個管線級內部電路的設計，包含昇壓器，比較器，已於上一章最後一節介紹過了；以下主要針對MDAC中所需要的高速放大器，來做設計。

### 3.3 類比電路設計

深次微米的製程下，元件的通道越來越短，本質增益(intrinsic gain)越來越小，但

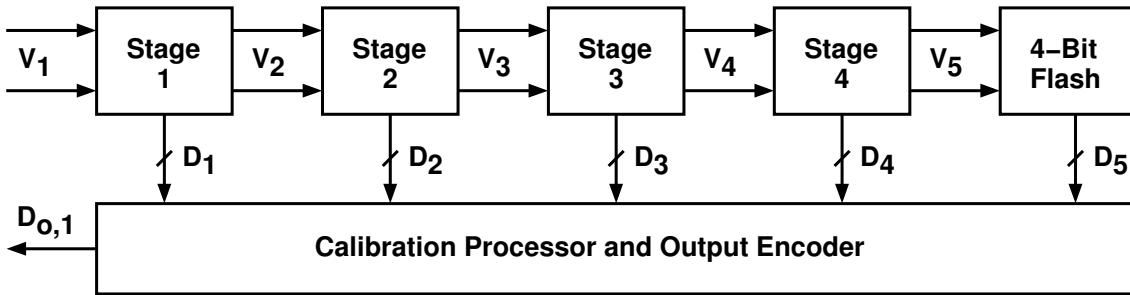


圖 3.1: 管線式類比數位轉換器的架構圖.

是操作速度越來越快[1][2][3][5]。本節我們提出了一個增益不大但速度夠快的放大器設計。如圖3.2所示，我們設計了兩級的放大器，不同於傳統的兩級放大器的設計，我們將放大器的主要增益放在第二級，由輸出端所看到的負載電容值，來決定放大器的主極點的位置。第一級電路主要是用來提供第二級輸入第二級輸入的偏壓，以及提供增益約為二的放大作用，他所產生的第二個極點的位置，是由第一極輸出端所看到的雜散電容和等效阻值來決定。由於我們所設計的放大器沒有補償電容，所以第二個極點必須和主極點的位置分的夠開，才可以避免因為放大器不穩定所產生震盪。

接下來我們會詳細的討論放大器設計的流程，並且在設計的過程中，在滿足系統的規格要求之下，做到功率消耗最小的目的。我們可以將放大器的兩級各別分開來討論，由於電路是完全差動放大的電路，所以我們只需針對一半的電路來分析即可，在此我們考慮圖3.2右半邊的電路。首先，我們先對第二級來討論。這可以視為是一個單極具有單一極點的放大器，因此我們可以得到封閉回路的單位步階響應，

$$V_{out}(t) = V_{step} \cdot (1 - e^{-t/\tau}) = V_{step} \cdot (1 - e^{-t \cdot \beta \cdot \omega_u}) \quad (3.1)$$

其中， $V_{step}$ 是指輸入的步階高度， $\tau$ 是指安定(settling)的時間常數， $\beta$ 是指迴授因子， $\omega_u$ 是指放大器的單位增益頻寬。為了避免電壓變化速率(slew rate)太慢對輸出所造成的失真影響，電壓變化速率必須要大於輸出最大的斜率，也就是

$$SR \geq \frac{d}{dt} V_{out}(t) = V_{step} \cdot \beta \cdot \omega_u \quad (3.2)$$

其中

$$SR = \frac{2I}{C_{o,load}} \quad (3.3)$$

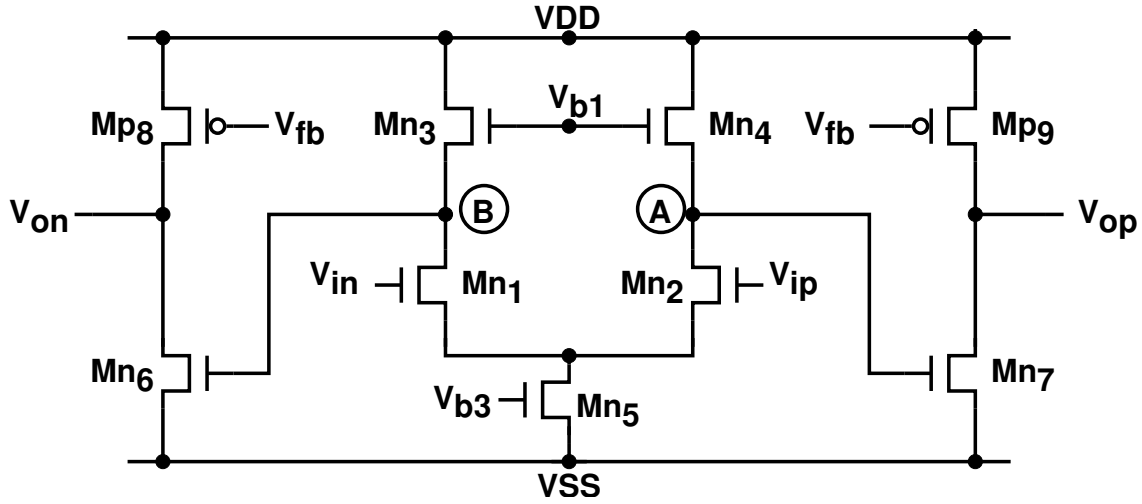


圖 3.2: 高速低增益的兩級放大器.

$$\omega_u = 2 \cdot \frac{g_{m,Mn7}}{C_{o,load}} \quad (3.4)$$

這裡的  $C_{o,load}$  是指輸出端所看到的等效電容，包括了回授端的等效電容，下一級的取樣電容以及雜散電容。其中，式子(3.4)中的常數2，代表的是第一級增益在整體放大器單位增益頻寬所造成的影響。只要電壓變化速率夠快，沒有對輸出造成影響，則沒有完全安定的輸出所造成的只是線性誤差而已。除此之外，電壓變化速率和單位增益頻寬之間通常會有相互的關係，所以無法各別獨立的去各別調整。通常較大的電壓變化速率也意味者較大的單位增益頻寬。由式子(3.3)，(3.4)，我們可以得到電壓變化速率和單位增益頻寬的關係：

$$SR = \frac{2I \cdot \omega_u}{2 \cdot g_{m,Mn7}} \geq V_{step} \cdot \beta \cdot \omega_u \quad (3.5)$$

為了避免受到電壓變化速率的影響，我們可以得開極的過驅動電壓  $V_{ov}$  和輸入步階高度的關係，必須滿足以下的關係：

$$\frac{V_{ov}}{V_{step}} \geq 2 \cdot \beta \quad (3.6)$$

同理，對於單位增益頻寬而言，為了滿足放大器的輸出必須安定在最後值的  $1/2^N$  之內，所需要的安定時間為：

$$T_{settling} > N \cdot \tau \ln 2 = N \cdot \frac{1}{\beta \omega_u} \cdot \ln 2 \quad (3.7)$$



將 $T_{settling} = T_s/2 = 1/2f_2$ 和 $\tau = 1/\beta \cdot \omega_u$ 代入上式，我們可以得到在滿足系統所需的單位增益頻寬的情形下， $g_{m,Mn7}$ 所需的的最小值。

$$g_{m,Mn7} > \frac{N}{\beta} \cdot f_s \cdot \ln 2 \cdot C_{o,load} \quad (3.8)$$

其中 $f_s$ 是取樣頻率。 $C_{load}$ 是放大器輸出端所看到的等效電容值，可以寫成

$$C_{o,load} = \frac{C_f \cdot (C_s + C_p)}{C_f + C_s + C_p} + C_{o,para} + C_{next,load} \quad (3.9)$$

$C_s$ 和 $C_f$ 所需要的值，是根據系統規格所需要的解析度 $N$ ，由熱擾動雜訊 $KT/C$ 所決定，如式子(??)所示。 $C_{next,load} = C_{s,next} + C_{f,next}$ 是輸出端所看到的下一級負載，只要第一級所解出的位元數決定，則第二級的 $C_{s,next}$ 和 $C_{f,next}$ 也可以被決定，也是由熱擾動雜訊 $KT/C$ 所決定。 $C_{o,para}$ 是輸出端的雜散電容，通常是元件本身對基板(substrate)的寄生電容。

由式子(3.5)和(3.7)，根據金氧半電晶體的電流的公式，我們可以決定輸出電流的最小值：

$$I_d = \frac{1}{2} \cdot g_{m,Mn7} V_{ov} > N \cdot f_s \cdot \ln 2 \cdot C_{o,load} \cdot V_{step} \quad (3.10)$$

由以上的式子(3.10)，我們可以得到輸出級所需要的最小輸出電流。

因此，只要根據系統所需要的規格，如解析度( $N$ 位元)，取樣週期的頻率 $f_s$ ，最大輸出擺幅(Swing)和迴授因子 $\beta$ 等，一旦被決定之後，我們可以根據式子(3.6)，(3.8)和(3.10)，找出 $g_{m,Mn7}$ 和 $V_{ov}$ 設計的最小限制，以及所需要的最小輸出電流，來對輸出功率消耗進行最佳化的設計。其中迴授因子 $\beta$ 的決定，是取決於每一個管線級的架構是採用一級解出多少位元下，在MDAC中殘餘值(residue)的放大增益；在切換式電容的應用上，這個值通常由電容比例來決定。

一旦轉導 $g_{m,Mn7}$ 和閘極的過驅動電壓 $V_{ov}$ 被決定之後，輸出級的所需要的最小電流和元件尺寸比例(W/L)就可以被決定。接下來對元件尺寸比例選取做說明。理論上，在固定元件尺寸比例之下，長度 $L$ 越短，寬度 $W$ 也可以等比例的來變短，不但可以減少元件本身對基板的寄生電容效應，也同時也可以提高元件本身的操作速度。

圖3.3和圖3.4，分別是電晶體的截止頻率 $f_i$ 對於閘極過驅動電壓 $V_{ov}$ 的關係以及電晶體的本質增益 $g_m r_o$ 對於閘極過驅動電壓 $V_{ov}$ 的關係。正如前面所言，電晶體的長度越短，截止頻率越高，速度越快。但是從圖3.4可以看出，隨著電晶體的

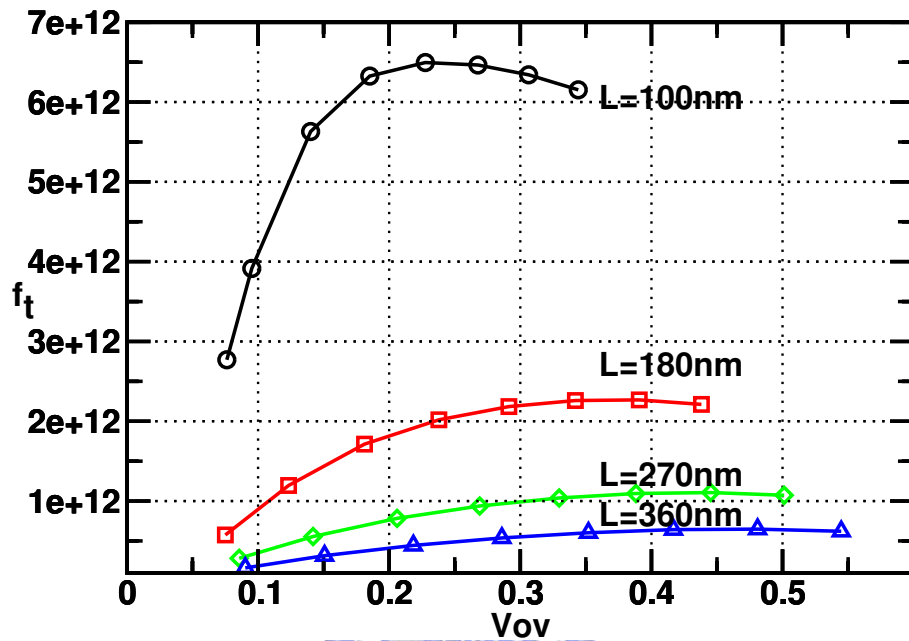


圖 3.3: 截止頻率  $f_t$  對於開極過驅動電壓  $V_{ov}$  的關係。

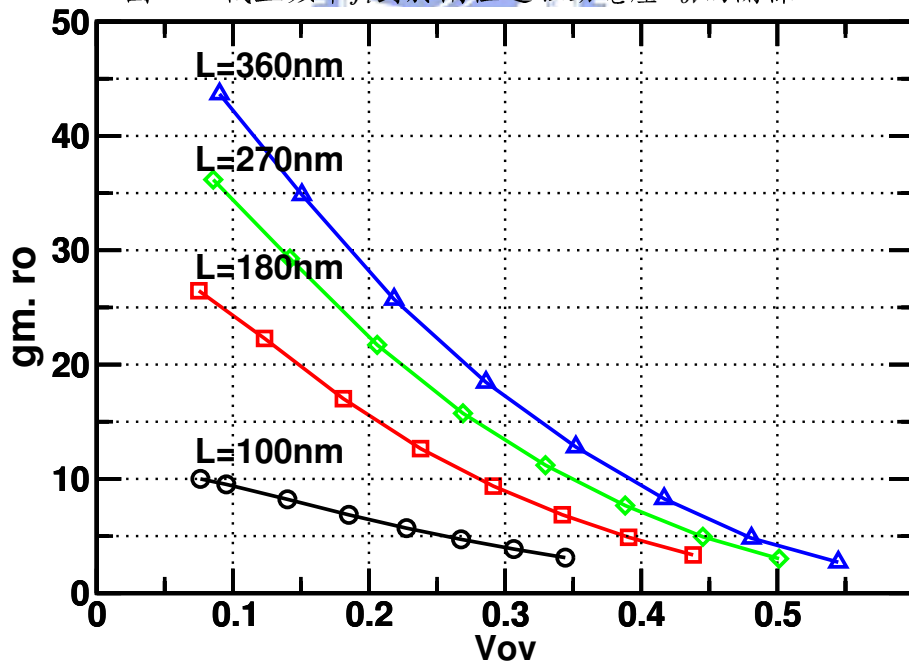


圖 3.4: 本質增益  $gm r_o$  對於開極過驅動電壓  $V_{ov}$  的關係。

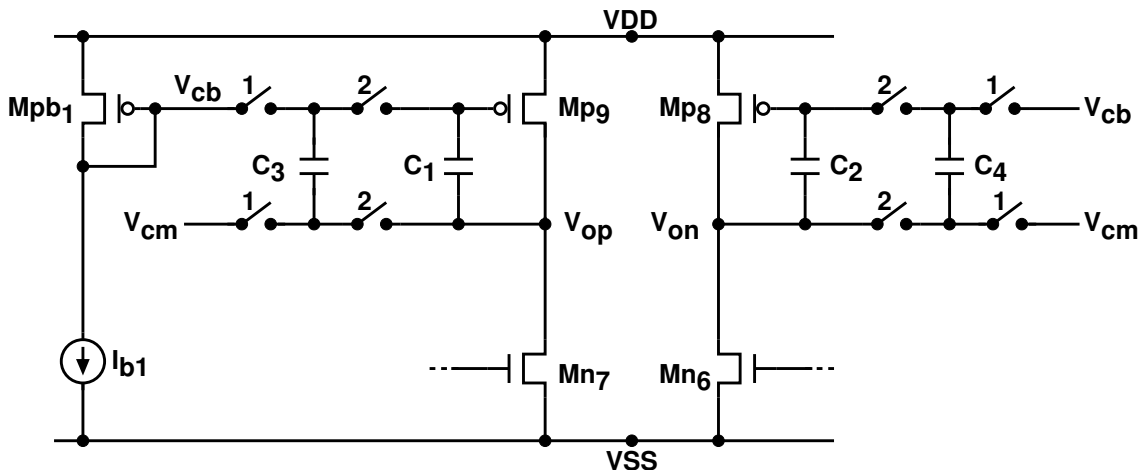


圖 3.5: 放大器的共模回授電路.

長度越短，本質增益越小。雖然在我們的設計要求上，因為有了數位的線性校正，所以對於增益的大小的要求上可以放寬不少，但是當增益真的是太小的時候，不但在輸入端所看到的雜訊會變大，使得整體的信號雜訊比例 (signal-to-noise ratio, SNR) 變差；放大器本身的非線性效應，也會因為增益太低無法壓抑，而再輸出端將此非線性效應顯現出來，也會使得整個類比輸位轉換器的效能變差。因此，雖然最小的電晶體長度可以達到速度最快的要求，但是由於增益實在太小，在這裡的設計要求上無法滿足，因此選取最小長度的兩倍為我們的設計長度。此外，由於短通道效應的發生，當我們使用最小長度設計時，電晶體本身的臨界電壓會比使用非最小長度的電晶體的臨界電壓來的大得多，造成偏壓設計上的困難度。一旦長度(L)決定後，依照已知的元件尺寸比例(W/L)，即可決定寬度(W)。

由於我們所設計的放大器是一個完全差動的架構，所以在放大器的輸出端必須有一個共模回授電路的設計，來穩定共模信號的輸出，使得輸入的差動信號不至於因為共模信號的變動而有影響。我們所採用的共模回授電路是使用切換電容式的共模回授，如圖3.5所示。其中的回授控制信號是接到PMOS電晶體的閘級端，利用所提供的增益來穩定輸出的共模電壓。

接下來，我們對充當電流源的PMOS電晶體Mp9來設計。一旦輸出電流決定之後，則轉導 $g_{m,Mp9}$ 和閘極的過驅動電壓 $V_{ov,Mp9}$ 之間就有了一定的關係。由前面所討論的結果，為了不使得輸出的增益降到太低，電晶體Mp9的設計上，也不使用最小的長度，在這裡我們仍然選擇和Mn7一樣使用最小長度的兩倍；為了有較快的操作速度，在不影響輸出擺幅(swing)的情形下，可以將Mp9的閘極過驅動

電壓 $V_{ov,Mp9}$ 稍微的提高一些，雖然這樣會有效的降低共模回授的增益。由於共模回授電路的輸出端所看到的電容負載和差動端一樣，且共模回授電路的操作誤度也必須要滿足系統規格所要求的速度。由圖可以看出，輸出 $Vop(Von)$ 是透過電容 $C1(C3)$ 回授到的電晶體 $Mp9(Mp8)$ 的閘極端，考慮電晶體 $Mp9$ 的閘極端的雜散電容效應，對於共模回授的回授因子 $\beta_{cmfb}$ ：

$$\beta_{cmfb} = \frac{C_1}{C_1 + C_{mp9,para}} \quad (3.11)$$

其中 $C_{mp9,para}$ 包括了電晶體閘極電容和開關元件的雜散電容。因此一旦電晶體的尺寸變大，則等效的閘極電容也會跟著線性的等比變大，使得 $\beta_{cmfb}$ 變小，速度變慢。這也是另外一個設計上的限制條件。為了不使得共模回授電路的操作速度影響到正常的差動輸出的操作，我們必須把共模回授電路的操作頻率設計的比差動輸出的操作頻率高一些，也就是 $\beta_{cmfb} \cdot \omega_{u,cmfb} \geq \beta \cdot \omega_u$ ，其中 $\omega_u = g_{m,Mp9}/C_{o,load}$ ， $\omega_u$ 則為式子(3.3)，則 $Mp9(Mp8)$ 和 $Mn7(Mn6)$ 之間的轉導 $g_m$ 關係為：

$$g_{m,Mp9} \geq \frac{\beta}{\beta_{cmfb}} \cdot 2 \cdot g_{m,Mn7} \quad (3.12)$$

其中 $\beta$ 和 $g_{m,Mn7}$ 已經再前面的討論所決定，由於 $g_{m,Mp9}$ 值的決定也就決定了元件尺寸比例(W/L)，閘極端的寄生電容也因而被決定了，由式子(3.11)我們得知 $g_{m,Mp9}$ 和 $\beta_{cmfb}$ 並不是個別獨立決定的，而是有相互關係的。在這個設計中 $\beta$ 的值為1/4，如果我們適當的選取 $C_1$ ，使得 $\beta_{cmfb}$ 的比例約為1/3 ~ 1/2，則我們可以得到 $g_{m,Mp9}$ 所需的最小值。一旦電流 $I_d$ 和轉導 $g_{m,Mp9}$ 決定之後，閘極的過驅動電壓 $V_{ov,Mp9}$ 有兩個條件可以得到，一是由式子(3.12)和電流公式得到下列的條件式：

$$V_{ov,Mp9} \leq I_d \cdot \frac{\beta_{cmfb}}{\beta} \cdot \frac{1}{g_{m,Mn7}} \quad (3.13)$$

另一個可由輸出的最大擺幅來決定，也就是 $V_{ov}$ 必須要小於 $VDD$ 減掉輸出的所需的最大擺幅。且由於此放大器操作在切換式電容的管線式類比數位轉換器的應用上，在輸入取樣的半週期之內，放大器是操作在重置上，輸出會重置到共模電壓；在接下來的半個週期內，放大差動信號。因此對共模信號而言，共模輸出不會有太大的擺幅，所以沒有考慮共模的電壓變化速率(slew rate)。

接下來設計第一級電路，由圖3.2可知，第一級電路包含了差動輸入端 $Mn1$ 和 $Mn2$ ，負載 $Mn3$ 和 $Mn4$ 以及電流源 $Mn5$ 。第一級電路也是放大器的第二極點所在，

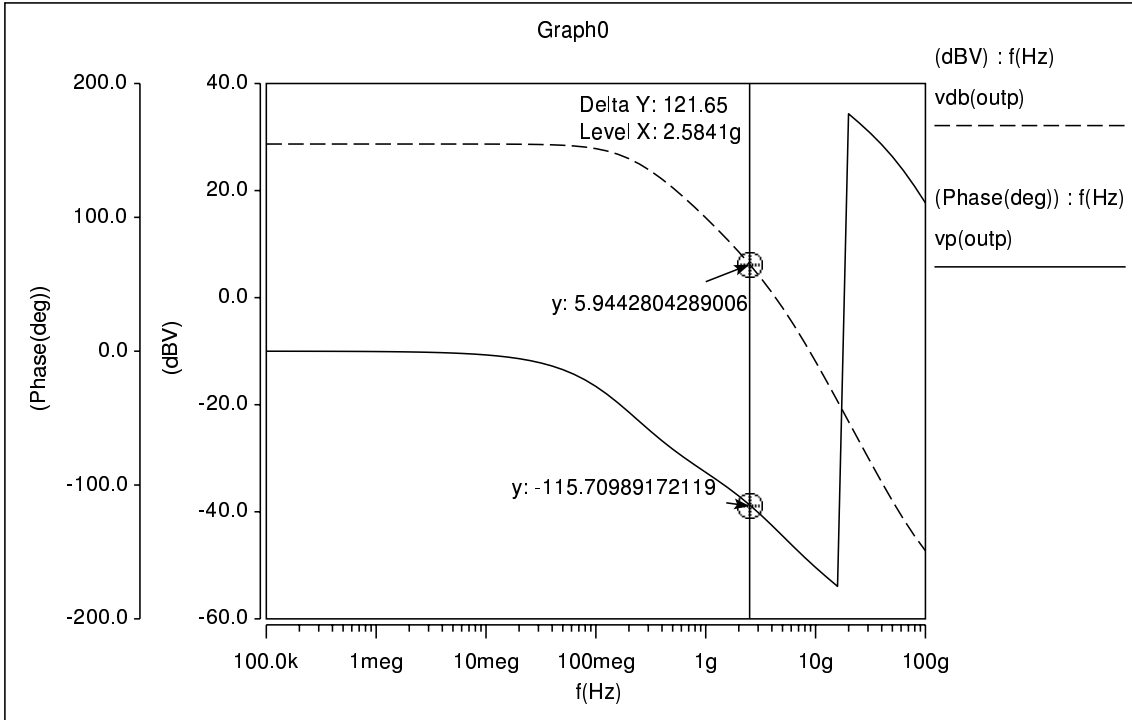


圖 3.6: 放大器的頻率響應.

為了使得放大器輸出不至於震盪，則整體放大器的相位邊際必須要大於65度，又考慮在迴授因子 $\beta$ 為1/4的情形之下，第二個極點所在的頻率位置 $\omega_2$ ，可由下式來決定：

$$\omega_2 \approx \beta\omega_u \cdot 10^{\frac{22.5}{90}} = 1.8 \cdot \beta\omega_u \quad (3.14)$$

。所以我們可以将第二個極點所在的頻率位置，設計在兩倍的迴路增益頻寬的地方，即可滿足相位邊際的要求，也就是：

$$\omega_2 \geq 2 \cdot \beta\omega_u \quad (3.15)$$

其中 $\omega_2 = g_{m,Mn4}/C_A$ ， $\omega_u = 2g_{m,Mn7}/C_{o,load}$ 。由於這裡的 $\omega_u$ ，所指的是整個放大器的單位增益頻寬，如式子(3.4)所示。其中 $C_A$ 為第一級輸出端所看到的雜散電容，也就是圖3.2中A點所看到的雜散電容， $C_A = C_{g,Mn7} + C_{s,Mn4} + C_{d,Mn2}$ 。因此我們可以得到Mn4的轉導 $g_{m,Mn4}$ 條件式：

$$g_{m,Mn4} \geq \frac{C_A}{C_{o,load}} \cdot g_{m,Mn7} \quad (3.16)$$

由上式我們可以得知，第一級的轉導 $g_{m,MN4}$ 和輸出級轉導 $g_{m,Mn7}$ 的關係就是第一級輸出電容 $C_A$ 和第二級輸出電容 $C_{o,load}$ 的比例關係。一旦 $g_{m,Mn4}$ 決定後，由第一級增益為的條件之下，可以得出 $Mn2$ 的轉導 $g_{m,Mn2}$ 。同時第一級的電流，也可根據以上的式子(3.16)來決定，也就是第一級的電流和輸出級電流的關係就是第一級輸出電容 $C_A$ 和第二級輸出電容 $C_{o,load}$ 的比例關係。一旦電流和轉導 $g_m$ 決定，則電晶體的閘極的過驅動電壓 $V_{ov}$ 就可以被決定。由於第一級不提供太大的增益，可以使用最短的通道長度(L)，來使得操作速度最快。圖3.6所示，是所設計的放大器在輸出負載電容為 $2.2pF$ 的情形下，所模擬出來的頻率響應結果。低頻的增益為 $28.7dB$ ，單位增益頻寬為 $4.23GHz$ ，且在迴路增益頻寬 (Loop-gain bandwidth)的地方，滿足相位邊際大於 $65^\circ$ 的要求。

接下來我們將所設計的放大器和傳統的兩級放大器就速度和消耗功率來做比較。如圖 3.7所示，是一個傳統的兩級放大器的設計，兩點是主極點的所在，第二個極點位於兩個輸出端，因為這兩個極點位置通常無法離的很遠，所以需要一個米勒補償電容 (Miller capacitor)，來將這兩個極點分離開來，達到足夠的相位邊際，讓放大器輸出能夠有穩定的輸出[17][18]。我們可以得到這個傳統兩級放大器的單位增益頻寬和第二個極點的表示式，

$$\omega_u = \frac{g_{m,Mn2}}{C_c} \quad (3.17)$$

$$\begin{aligned} \omega_2 &= \frac{g_{m,Mn7}C_c}{C_A C_{o,load} + C_A C_c + C_c C_{o,load}} \\ &= \frac{g_{m,Mn7}}{C_x} \end{aligned} \quad (3.18)$$

其中， $C_A$  為A點的寄生電容， $C_c$ 是補償電容， $C_x = \frac{C_A C_{o,load}}{C_c} + C_A + C_{o,load}$ ，如圖3.7所示。考慮一樣的回授因子 $\beta = 1/4$ 的情形之下，和式子一樣，為了達到相同的相位邊際，我們將第二個極點設計在兩倍的迴路增益頻寬的地方，和式子(3.14)一樣的情形之下來做考量，也就是 $\omega_2 = 2\beta\omega_u$ ，則我們可以得到第一級和第二級轉導  $g_m$ 之間的關係：

$$g_{m,Mn7} = \frac{1}{2} \cdot \frac{C_x}{C_c} \cdot g_{m,Mn2} \quad (3.19)$$

在偏壓固定的情形下，電流是正比於轉導的關係，也就是

$$I_{d,trad} \propto \left[1 + \frac{C_x}{2C_c}\right] \cdot g_{m,Mn2} \quad (3.20)$$

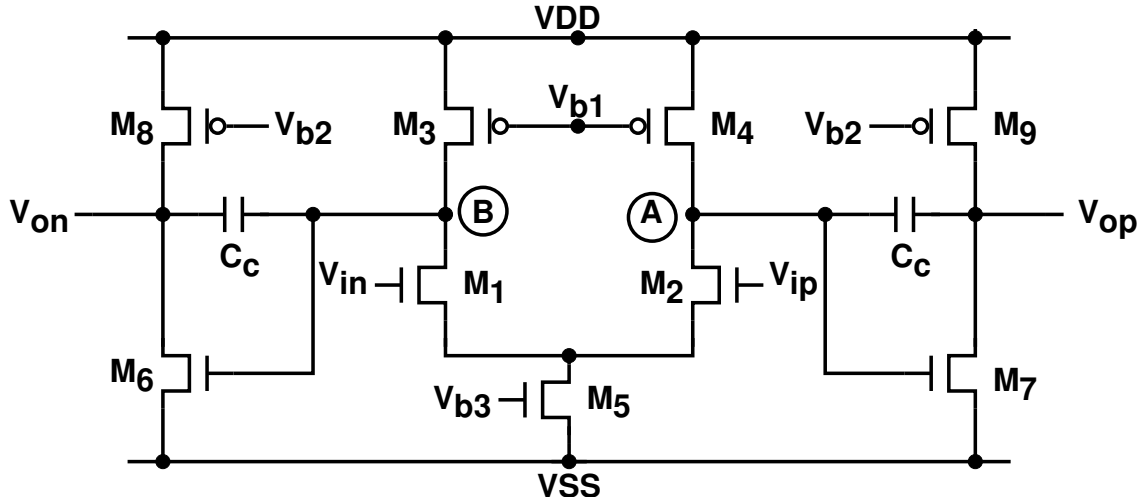


圖 3.7: 傳統的兩級放大器.

而我們所設計的放大器的電流消耗，根據式子(3.15)，

$$I_{d,prop} \propto \left[1 + \frac{C_A}{C_{o,load}}\right] \cdot g_{m,Mn7} \quad (3.21)$$

讓兩個放大器的單位增益頻寬是一樣的情形之下，來比較所消耗的電流。也就是式子(3.3)和(3.17)是相等的情形下，傳統放大器的轉導和我們設計的放大器輸出的轉導之間的關係為：

$$g_{m,Mn2,trad} = 2 \cdot \frac{C_c}{C_{o,load}} \cdot g_{m,Mn7,prop} \quad (3.22)$$

因此，傳統放大器所消耗的電流是，

$$I_{d,trad} \propto \left[1 + \frac{C_A}{C_{o,load}} + \frac{C_A}{C_c} + 2 \cdot \frac{C_c}{C_{o,load}}\right] \cdot g_{m,Mn7} \quad (3.23)$$

在上述的定性分析下，由式子(3.21)和(3.23)，我們得到在同樣的操作頻率和負載之下，傳統放大器相較於我們所提出的放大器有著較大的電流消耗。此外當操作頻率越來越高或負載電容變大時，傳統放大器必須增加輸入級的轉導，這同時也會增加放大器的輸入雜散電容，降低回授因子，使得速度變慢。而且頻率補償會變得更不容易。

接著我們討論每一個管線級的放大器設計，根據圖3.1所示，由於管線式ADC的每一級會同時解出來一部分的數位碼，所以第二級的設計所需要的解析度要求就不需要像第一級的規格一樣，不但取樣電容和回授電容的大小可以變

	STG1	STG2	STG3
$Mp9/Mn7$ 並聯數目	44/12	22/6	15/4
第一級電流 $I_{1st}(mA)$	2.7	1.34	0.67
第二級電流 $I_{2nd}(mA)$	10.22	5.10	3.42
總電流 $I_{total}(mA)$	13	6.44	4.1
最大輸出電壓 $V_{o,max}(V)$	0.505	0.521	0.5
共模回授電容 $C_{CMFB}(pF)$	0.4	0.4	0.2
取樣和回授電容 $C_f + C_s(pF)$	2	1	0.5
放大器輸入寄生電容 $C_{in}(pF)$	0.35	0.175	0.087
第一級輸出寄生電容 $C_A(pF)$	0.7	0.37	0.25
輸出負載電容 $C_{load}(pF)$	1.2	0.8	0.8
輸出端電容 $C_{out}(pF)$	2.2	1.582	1.31

表 3.1: 放大器規格和電容大小.

	STG1	STG2	STG3
一階的線性增益 $a_1$	3.34	3.34	3.2
一階的線性增益 $\hat{a}_1(\text{norm.})$	1	1	1
三階非線性係數 $\hat{a}_3(\text{norm.})$	0.0532	-0.029	-0.083
五階非線性係數 $\hat{a}_5(\text{norm.})$	-0.437	-0.218	-0.314

表 3.2: 管線級的線性增益和正則化的非線性係數.

小，也同時可以將第二級放大器的設計規格較第一級來的鬆。我們可以根據式子(3.7)和(3.10)，適當的對第二級、第三級和第四級的放大器來作設計和所選取所需的電容大小。表3.1所示，是根據1V，200MHz，12位元的管線式ADC所需要的規格，在90nm的製程條件下，模擬所得的電容大小和放大器的規格。

表3.2所得的結果，為表3.2所設計的電路，接成真正的MDAC的型式如圖3.8，然後在輸入端輸入一個很慢的鋸齒波，訊號振幅會隨著時間越來越大，接著我們在每一個時脈週期，對輸出端作取樣，一直取樣到輸出振幅達到我們所要的最大輸出為止。接著我們對所取樣的輸出資料，利用線性回歸的演算法，得到一階(線性項)，三階和五階的係數， $a_1, a_3, a_5$ 。表3.2中所得的三階和五階的係數，已經是分別對線性項做正則化(normalized)之後的結果，也就是  $\hat{a}_3 = a_3/a_1^3$  和  $\hat{a}_5 = a_5/a_1^5$ 。



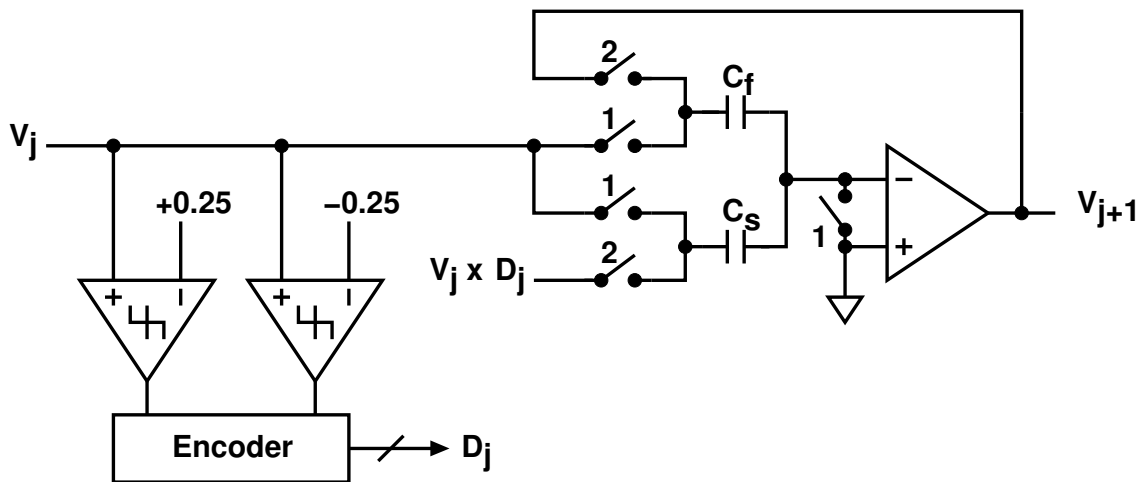


圖 3.8: 1.5位元管線級電路示意圖.

### 3.4 切換放大器的管線式類比數位轉換器設計

圖3.8所代表的是一個1.5位元的管線級的電路實現方式的示意圖。由於 切換式電容的管線式類比數位轉換器，在一個時脈週期( $\phi_1 = 1$ )之內，是用來將輸入信號做取樣的動作，然後在下一個時脈週期( $\phi_2 = 1$ )，將餘數信號(residue)放大傳給下一極；如果我們將放大器接到VDD和VSS的地方，各自接上一個開關，如圖3.9所示。當整個電路在做信號取樣的週期( $\phi_1 = 1$ )時，放大器是處於重置(reset)的狀態。所以如果這時將這兩個開關給打開(OFF)，將放大器給關掉，並不會影響整個類比數位轉換器的正常工作，而且可以節省功率的消耗。而在餘數放大的週期( $\phi_2 = 1$ )，再將開關給關閉(ON)，讓放大器恢復正常的工作。由於放大器只有工作在一半的時脈週期，所以理論上可以節省一半的功率消耗。但是由於放大器的開關動作，當操作由關(OFF)變為開(ON)在正常工作時，元件的反應時間和內部雜散電容的充放電，都會使得放大器的操作速度變慢，影響整個類比數位轉換器的效能。除此之外，額外所增加的切換開關，其等效電阻也會增加額外的充放電時間[19][20][21][22]。

接下來，如果當我們將圖3.2所設計的放大器用於在切換放大器的動作上，我們會對操作速度作進一步的分析。我們將切換開關設計在輸出端，由於上面的電流源是用來將輸出信號拉高，所以上面只用PMOS當開關即可；同理，由於下面的電晶體是用來將信號拉低，所以下面用NMOS來當開關即可，如圖3.10所示。但是因為加了上下兩個元件開關，所以等效上是加了兩個小電阻在上面，使得輸

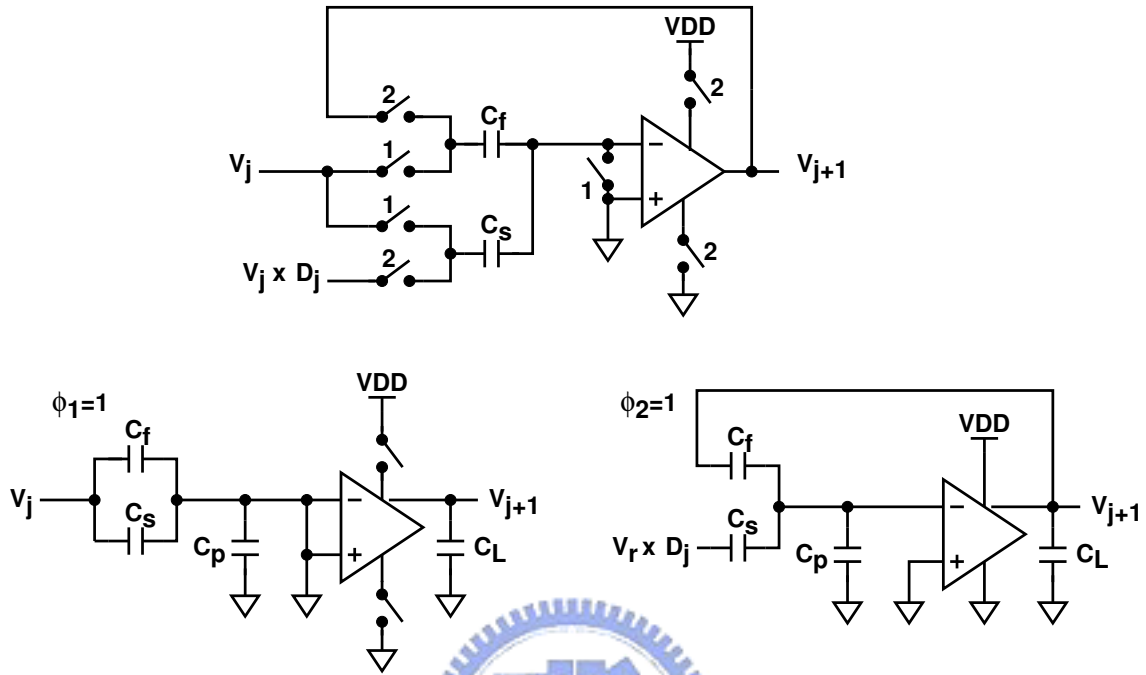


圖 3.9: 切换式电容的操作模式.

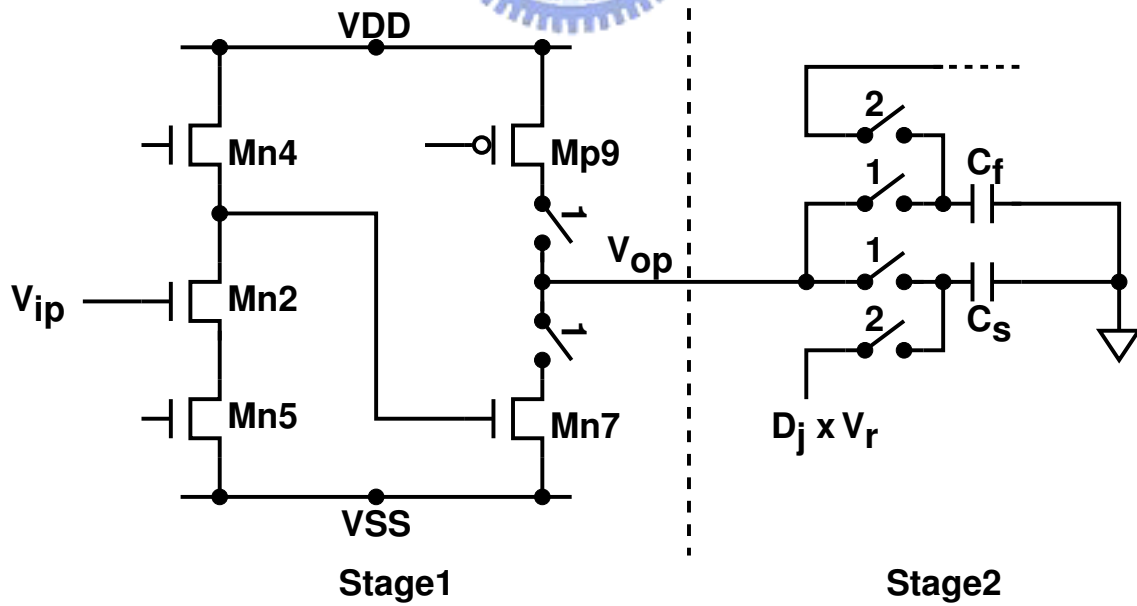


圖 3.10: 切换式放大器的示意图.

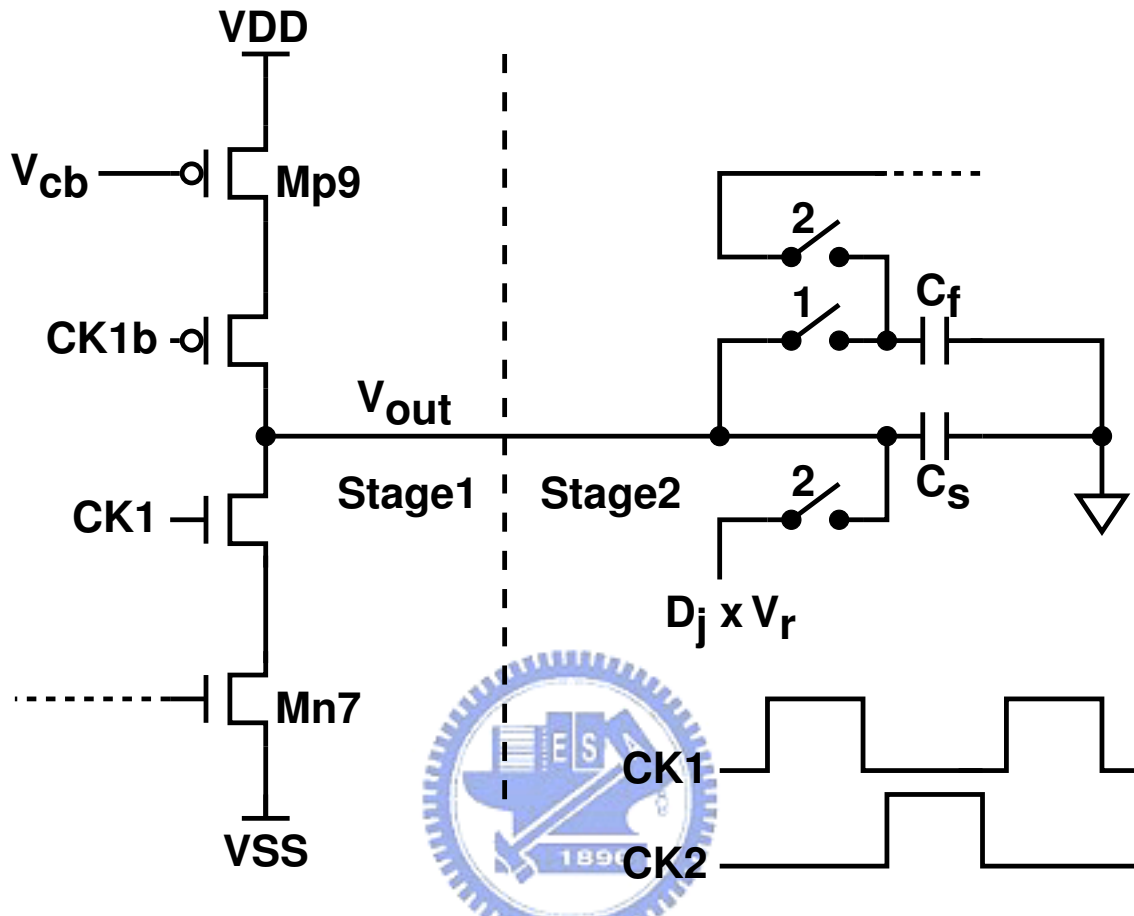


圖 3.11: 取樣開關合併的示意圖.

出擺幅的大小，會較原先沒有加開關的時候小一些，但還是滿足我們所要的輸出擺幅大小。

同時，對於原先存在的下一級CMOS輸入取樣開關，也可分別和這兩個開關合併，所以對原先的充放電時間並不會造成額外的負擔，如圖3.11所示。我們將原先接到下一級接取樣電容 $C_s$ 的開關，分別由Mps9和Mns7所取代了。但是接到回授電容的取樣開關依然是存在的。為了將回授電容的取樣開關給合併掉，我們將原先的輸出級，分拆成兩個一樣的平行的電路，如圖3.12所示，原來的Mp9被拆成Mp9a和Mp9b，原來下面的Mn7，也被拆成Mn7a和Mn7b。圖3.12並且把切換放大器的共模回授電路也表示在圖上了。當我們將切換放大器用於管線式類比數位轉換器時，由於在取樣(sampling)的時脈週期時，放大器處於關掉的情形，此時的輸出會分別接到一個參考準位和下一級的輸出，所以我們將原先的輸出級所分成的兩個並行電路，一個會接參考電壓，另一個則接到下一級的輸出端，

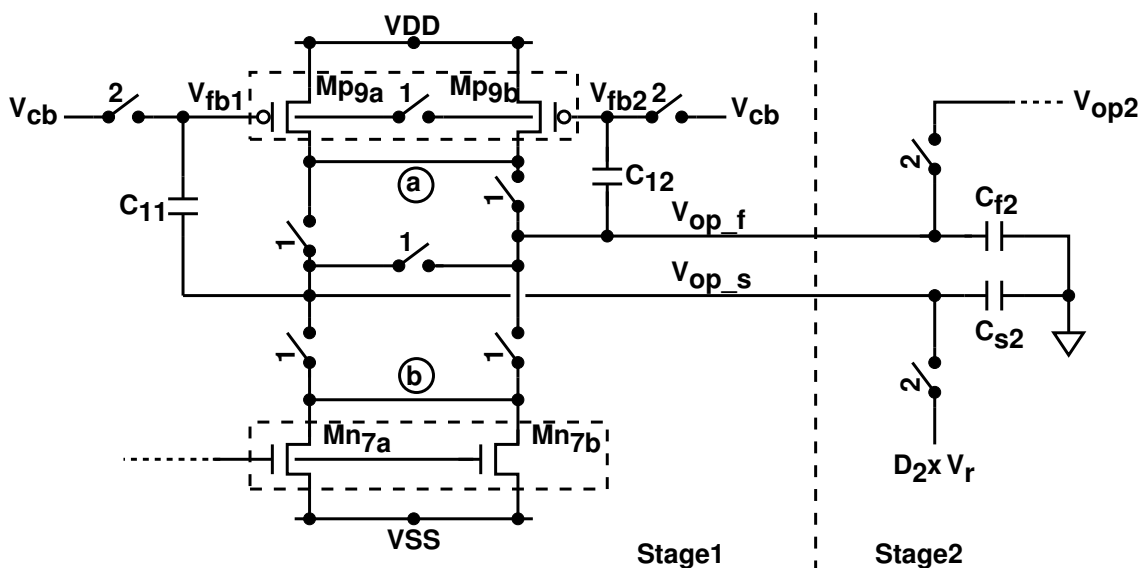


圖 3.12: 取樣開關合併的切換式放大器和共模回授電路。

如圖3.12所示。當我們將此切換式放大器應用於管線式類比數位轉換器時，則如圖3.13所示，兩級之間的取樣開關不見了，它被併到切換式放大器內部去了。而圖3.14則分別表示此切換式放大器應用於管線式類比數位轉換器時，取樣和餘數放大週期的接法。

但是由於原來的放大器被接成切換式放大器，所以原來放大器的共模回授電路也要跟著做一些修正。由圖3.12可知，修改後的共模回授電路部份，包括了被拆成兩份的 Mp9和Mp13，電容 $C_1$ 和 $C_3$ 以及左右兩個開關；相較於原來的共模回授電路，我們也把原來的共模電容 $C_1$ ，拆成兩個共模電容 $C_{11}$ 和 $C_{12}$ ，同時把原來另外兩個共模電容 $C_3$ ， $C_4$ 和相對應的切換開關給移除了。接下來說明這一個共模回授電路的 操作原理。

以此切換放大器的正端輸出電路為例，當第一級在取樣週期時，被拆成兩個輸出的端點  $V_{op\_f}$ 和 $V_{op\_s}$ ，分別接到第二級的正端輸出 $V_{op2}$ 和某一個固定的參考電壓  $D_2 \times V_r$ 上，由於共模回授的電容 $C_{12}$ ， $C_{11}$ 和兩個輸出端 $V_{op\_f}$ ， $V_{op\_s}$ 是連接在一起，所以共模電容的一端也分別接到第二級的正輸出端 $V_{op2}$ 和 某一個固定的參考電壓 $D_2 \times V_r$ ，同時共模開關打開，把這兩個共模電容 $C_{11}$ ， $C_{12}$ 的另一端接到一個共模偏壓 $V_{cb}$ 。因此兩個共模電容 $C_{11}$ 和 $C_{12}$ 的兩端分別接到某一個固定電壓，電容

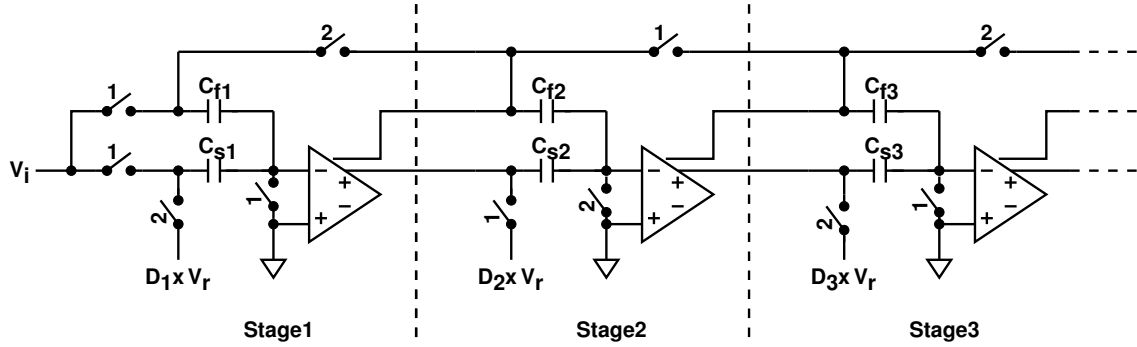
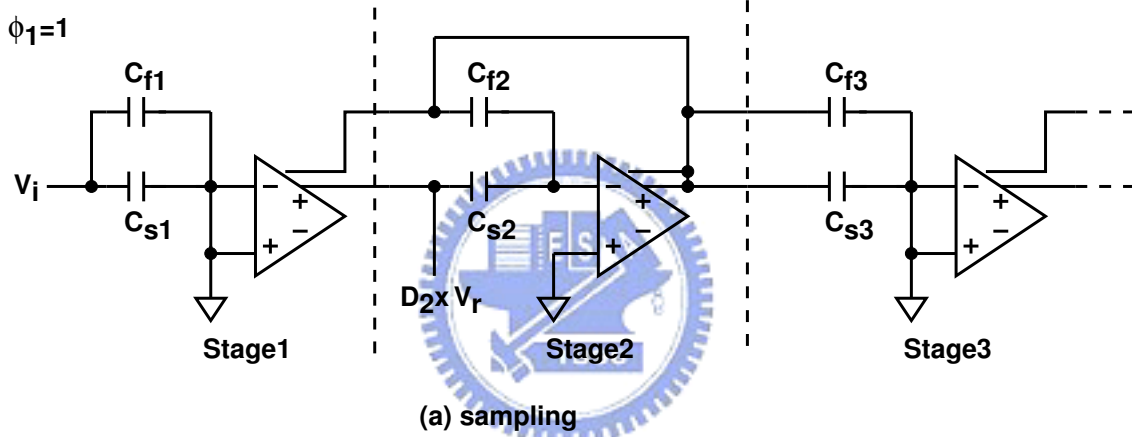
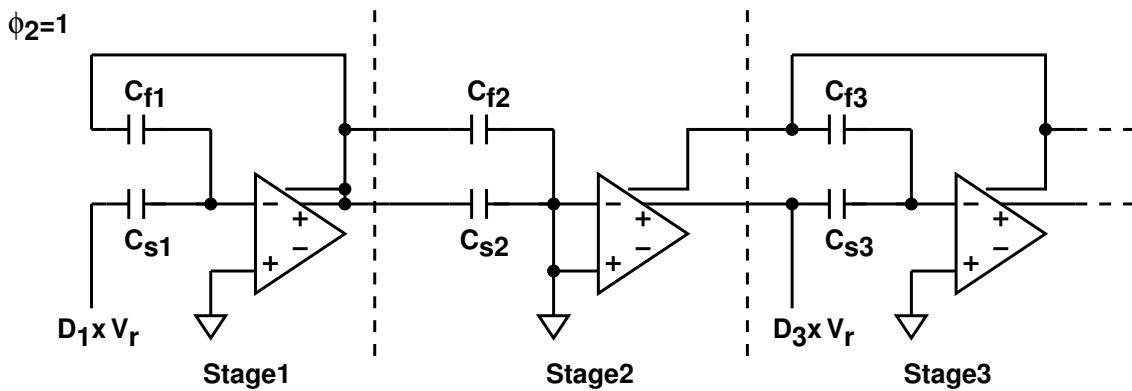


圖 3.13: 切換式放大器應用於管線級的連接電路。



(a) sampling



(b) amplifying

圖 3.14: 切換式放大器在管線級的取樣和放大週期時的接法。

上的儲存的電荷 $Q_{11}$ 和 $Q_{12}$ 分別為：

$$Q_{11}(n) = C_{11} \cdot [V_{cb} - D_2 \cdot V_r] \quad (3.24)$$

$$Q_{12}(n) = C_{12} \cdot [V_{cb} - V_{op2}] \quad (3.25)$$

同理，在切换放大器的負端輸出電路，一樣把原來的共模電容 $C_2$ 拆成兩個電容 $C_{21}$ 和 $C_{22}$ 。在第一級是取樣週期時，分別接到第二級的負端輸出 $V_{on2}$ 和某一個固定的參考電壓 $-D_2 \times V_r$ 上，同時也把共模開關打開，把這兩個共模電容 $C_{21}$ ， $C_{22}$ 的另一端接到一個共模偏壓 $V_{cb}$ 上。則共模電容 $C_{21}$ 和 $C_{22}$ 上的所儲存的電荷 $Q_{21}$ 和 $Q_{22}$ 分別為：

$$Q_{21}(n) = C_{21} \cdot [V_{cb} - (-D_2 \cdot V_r)] \quad (3.26)$$

$$Q_{22}(n) = C_{22} \cdot [V_{cb} - V_{on2}] \quad (3.27)$$

其中

$$D_2 \times V_r = V_{mid} + \Delta V_r \quad (3.28)$$

$$-D_2 \times V_r = V_{mid} - \Delta V_r \quad (3.29)$$

$$V_{op2} = V_{o2,cm} + \Delta V_{o2} \quad (3.30)$$

$$V_{on2} = V_{o2,cm} - \Delta V_{o2} \quad (3.31)$$

如圖3.15所示，以上的情形為 $\phi_2 = 1$ ，第一級放大器在取樣週期時所得的結果。再考慮第一級放大器在放大的週期( $\phi_1 = 1$ )時，由圖3.15的右邊圖所示，此時兩個共模點 $V_{fb1}$ 和 $V_{fb2}$ 是接在一起的，再此定義為 $V_{fb}$ 。這時在共模電容上的儲存電荷分別為：

$$Q_{11}(n+1) = C_{11} \cdot [V_{fb} - V_{op1}] \quad (3.32)$$

$$Q_{12}(n+1) = C_{12} \cdot [V_{fb} - V_{op1}] \quad (3.33)$$

$$Q_{21}(n+1) = C_{21} \cdot [V_{fb} - V_{on1}] \quad (3.34)$$

$$Q_{22}(n+1) = C_{22} \cdot [V_{fb} - V_{on1}] \quad (3.35)$$

在此讓 $C_1 = C_2 = C_3 = C_4 = C$ ，由電荷守恆的原理，我們得知在取樣和餘數放大週期時，電荷必須要一樣，因此，

$$Q_{11}(n) + Q_{12}(n) + Q_{21}(n) + Q_{22}(n) = Q_{11}(n+1) + Q_{12}(n+1) + Q_{21}(n+1) + Q_{22}(n+1) \quad (3.36)$$

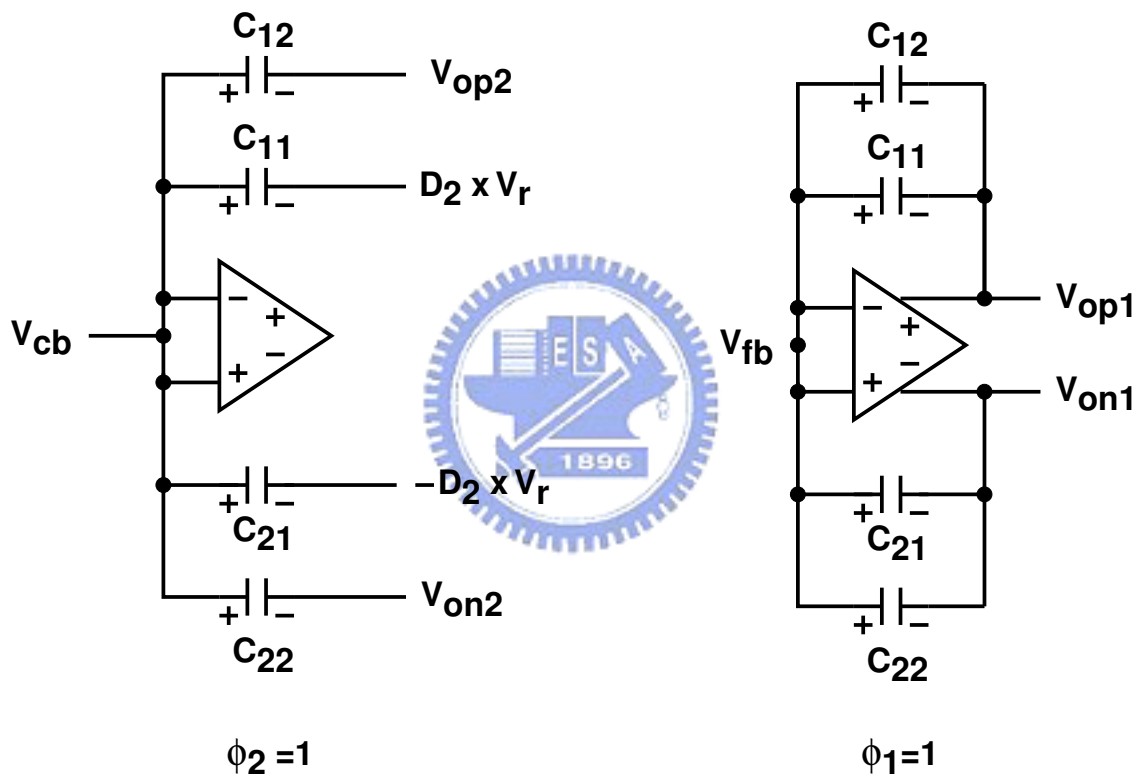


圖 3.15: 切换式放大器的共模回授操作等效电路。

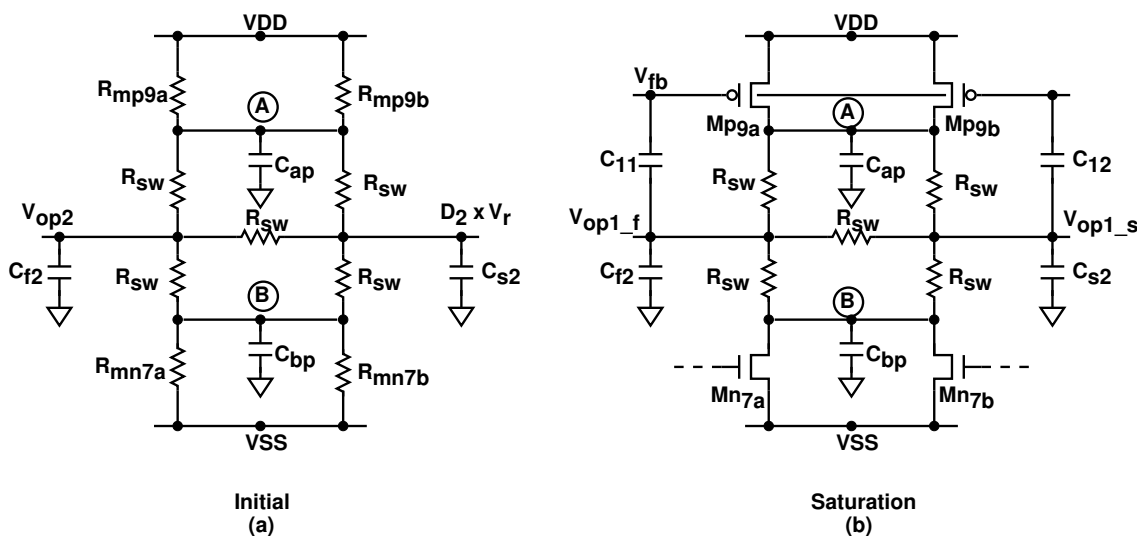


圖 3.16: 切换式放大器由關(OFF)到開(ON)的等效電路.

$$C \cdot [4V_{cb} - 2V_{mid} - 2V_{o,cm}] = C \cdot [4V_{fb} - 2V_{op1} - 2V_{on1}] \quad (3.37)$$

因為 $\phi_1 = 1$ ，放大器在放大週期時，共模輸入為零，所以此時的放大器兩端的共模輸出也會是一樣，也就是 $V_{op1} = V_{on1}$ 。因此，第一級的輸出共模電壓 $V_{op1}$ ， $V_{on1}$ 和共模電壓的輸入電壓 $V_{fb}$ 為

$$V_{fb} = V_{cb} \quad (3.38)$$

$$V_{op1} = V_{on1} = \frac{V_{o2,cm} + V_{mid}}{2} \quad (3.39)$$

由上式可以看出在放大器在放大週期時，共模電壓 $V_{fb}$ 會是我們所要設定的電壓 $V_{cb}$ 。而且此時的共模輸出電壓會是參考電壓的中間值 $V_{mid}$ 和第二級輸出的共模電壓 $V_{o2,cm}$ 和的一半。如果參考電壓的中間值 $V_{mid}$ 和第二級輸出的共模電壓 $V_{o2,cm}$ 兩者的電壓準位是一樣的時候，也就是 $V_{mid} = V_{o2,cm}$ ，則

$$V_{op1} = V_{on1} = V_{mid} \quad (3.40)$$

接下來，我們要討論的是這樣架構的切换放大器的操作速度。由於放大器的第二級所消耗的功率，是整個放大器的主要功率消耗的來源，所以為了加快放大器切换的速度，我們只針對第二級電路作開關的動作，第一級電路是一直在工作的。當放大器由正常工作到關閉時，也就是 $\phi_1 = 1$ ，由於上面的電



晶體Mp9a，Mp9b的閘極端是接到一個固定偏壓 $V_{cb}$ ，所以Mp9a和Mp9b都是導通的；而下面的電晶體Mn7a，Mn7b的閘極端是接到第一級的輸出，因為第一級的電路並沒有被關掉，也就是Mn7a和Mn7b這兩個電晶體也是導通的。所以當開關由開(ON)到關(OFF)的時候，第二級電路被關掉，此時A點電壓會被拉到 $V_{DD}$ ，而B點電壓會被拉到 $V_{SS}$ ，這時的兩個輸出端 $V_{op1_f}$ 和 $V_{op1_s}$ 會被分別接到下一級的輸出 $V_{op2}$ 和某一個固定參考電壓上 $D_2 \times V_r$ ，如圖3.14中的(a)圖所示；

當 $\phi_2 = 1$ ，開關由關(OFF)到開(ON)，放大器要恢復到正常工作的情形下。這時候整個第二級放大器會有三個動作同時進行，決定輸出電壓值的大小和輸出電壓的安定(settling)行為。第一個動作是輸出端對A點的電壓和對B點電壓的充放電過程以及兩個輸出端 $V_{op1_f}$ 和 $V_{op1_s}$ 不同電壓經由開關連結的平衡過程。由圖3.16的(a)圖得知，整個電路在一開始，所看到的都是等效電阻和電容的連接。一開始的輸出端 $V_{op1_f}$ 和 $V_{op1_s}$ 的電壓，是由之前儲存在下一級的電容 $C_{f2}$ 和 $C_{s2}$ 上的電荷所決定。這兩個端點電壓會經由中間的開關，達到一個平衡值，可視為兩個電容的電荷重分配的狀況，這一個過程通常很快，不會影響到操作速度。

同時，輸出端對A點的電壓和對B點電壓的充放電也會達一個平衡值。對A點而言是對輸出端做放電的動作，對B點而言是對輸出對此B點充電。這是一個單純的RC充放電的過程；對於電容C，是指A，B兩個點由元件的雜散電容所貢獻的電容值。而R值，則是指開關的導通電阻值。我們可以適當的來調整這個開關電阻，使得這個RC延遲的影響最小。由模擬所的結果，發現所造成的延遲約為整個半週期的1/10，所以影響並不大。第二個動作是差動信號的放大，只要放大器的設計滿足前面的設計流程，則對差動信號的放大結果，應該和沒有做切換時的結果一樣才是。

第三個動作則是共模迴授(common-mode feedback)的安定(settling)問題。當 $\phi_2 = 1$ ，開關由關(OFF)到開(ON)時，一開始的動作如圖3.16(a)所示，PMOS電晶體Mp9a和Mp9b以及NMOS電晶體Mn7a和Mn7b，在一開始也是操作在線性區，等效電路是形同一個電阻。就如同前面所討論，是一個單純是RC的充放電行為。一旦A點電壓從 $V_{DD}$ 降低到一個閘極的過驅動電壓 $V_{ov}$ 電壓，以及B點電壓從 $V_{SS}$ 上升到一個閘極的過驅動電壓 $V_{ov}$ 電壓時，上下的電晶體就操作在飽和區，如圖3.16(b)所示。下面的NMOS電晶體開始放大差動信號，如同第二個動作所討論。而上面的PMOS電晶體開始把輸出安定到我們所要的對共模電壓去。在原來放大器沒有做切換時的共模回授電路上，對於輸出端在輸入端作取樣週期

時( $\phi_1 = 1$ )，輸出的正負端會接在一起，重置到共模電壓去。所以在放大週期時( $\phi_2 = 1$ )，對共模電壓而言並不會有輸出擺幅過大的電壓變化率的問題(slew)。然而在切換放大器的操作上，由圖3.16可知，電壓由  $V_{DD} - V_{ov}$  變化到我們要的共模電壓上，就必須考慮到共模電壓的變化率(slew rate)的問題。所以共模電路的共模電壓的變化率(slew rate)也會有類似式子(3.12)的結果，如下所示：

$$\frac{V_{ov.Mp9}}{V_{step,cmfb}} \geq \beta_{cmfb} \quad (3.41)$$

其中， $V_{step,cmfb}$ 是指共模電壓的最大變動範圍。 $\beta_{cmfb}$ 則如同式子(3.11)所定義。而且為了滿足速度的要求，電晶體的轉導 $g_{m.Mp9}$ 也必須滿足式子(3.12)所示。同時由式子(3.13)，我們有了電晶體Mp9閘極的過驅動電壓 $V_{ov}$ 電壓所對應的最大和最小的範圍，如下所示：

$$2I_d \cdot \frac{\beta_{cmfb}}{\beta} \cdot \frac{1}{g_{m.Mn7}} \geq V_{ov.Mp9} \geq \beta_{cmfb} \cdot V_{step,cmfb} \quad (3.42)$$

如果式子(3.42)的結果比式子(3.13)的結果來的大時，代表共模回授電路無法滿足切換放大器操作在這樣的頻率之下；也就是這樣的切換放大器無法操作在系統所要的操作頻率之下。

由以上的討論，我們可以得知在這樣的切換放大器架構下，整個電路的速度是不只由差動電路決定，同時也需要考慮的共模回授電路的操作速度。

### 3.5 模擬結果

圖3.17，是模擬所得的結果；在 $\phi_2 = 1$ 的時候，放大器是關掉(OFF)的情形，輸出分別接到下一級的輸出以及下一級的參考電壓上。在 $\phi_1 = 1$ 的時候，放大器是正常的工作，放大器的輸出會安定到我們要的共模電壓上。同時由模擬結果可以看出，當放大器由關掉(OFF)到正常(ON)工作，所需要的回復時間(recovery time)大約是一個半週期的 $\frac{1}{10}$ 。而切換放大器的開關所造成的等效電阻大約是 $20\Omega$ ，所以會有0.1V的壓降。除此之外，由於我們只針對放大器的輸出級來作開關的動作，對於放大器的第一級並不作開關的動作，相對於原來沒有開關的放大器，此切換放大器可以節省四成的功率消耗。

表4.1所得的結果，為表3.2所設計的電路，接成真正的MDAC的型式如圖3.8，然後在輸入端輸入一個很慢的鋸齒波，訊號振幅會隨著時間越來越大，接著

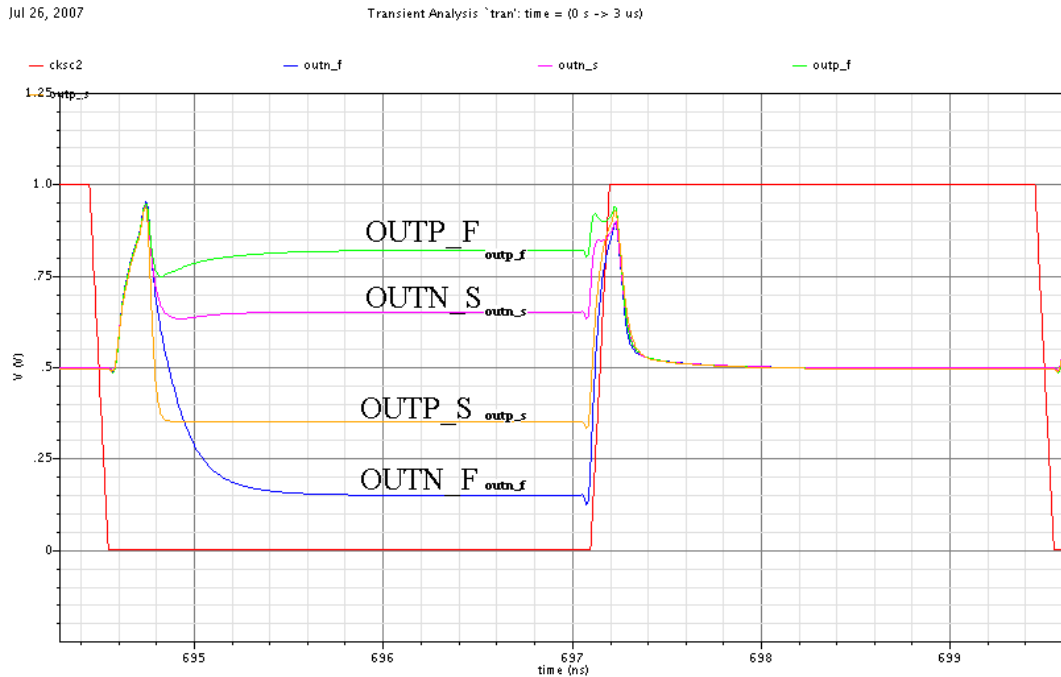


圖 3.17: 切換式放大器由關(OFF)到開(ON)的模擬結果.

	STG1	STG2	STG3
$Mp9/Mn7$ 並聯數目	44/12	22/6	15/4
第一級電流 $I_{1st}(mA)$	2.7	1.34	0.67
第二級電流 $I_{2nd}(mA)$	5.1	2.60	1.72
總電流 $I_{total}(mA)$	7.7	3.94	2.39
最大輸出電壓 $V_{o,max}(V)$	0.495	0.505	0.49
	STG1	STG2	STG3
一階的線性增益 $a_1$	3.34	3.34	3.2
一階的線性增益 $\hat{a}_1$ (norm.)	1	1	1
三階非線性係數 $\hat{a}_3$ (norm.)	0.0532	-0.029	-0.083
五階非線性係數 $\hat{a}_5$ (norm.)	-0.437	-0.218	-0.314

表 3.3: 放大器規格和電容大小.

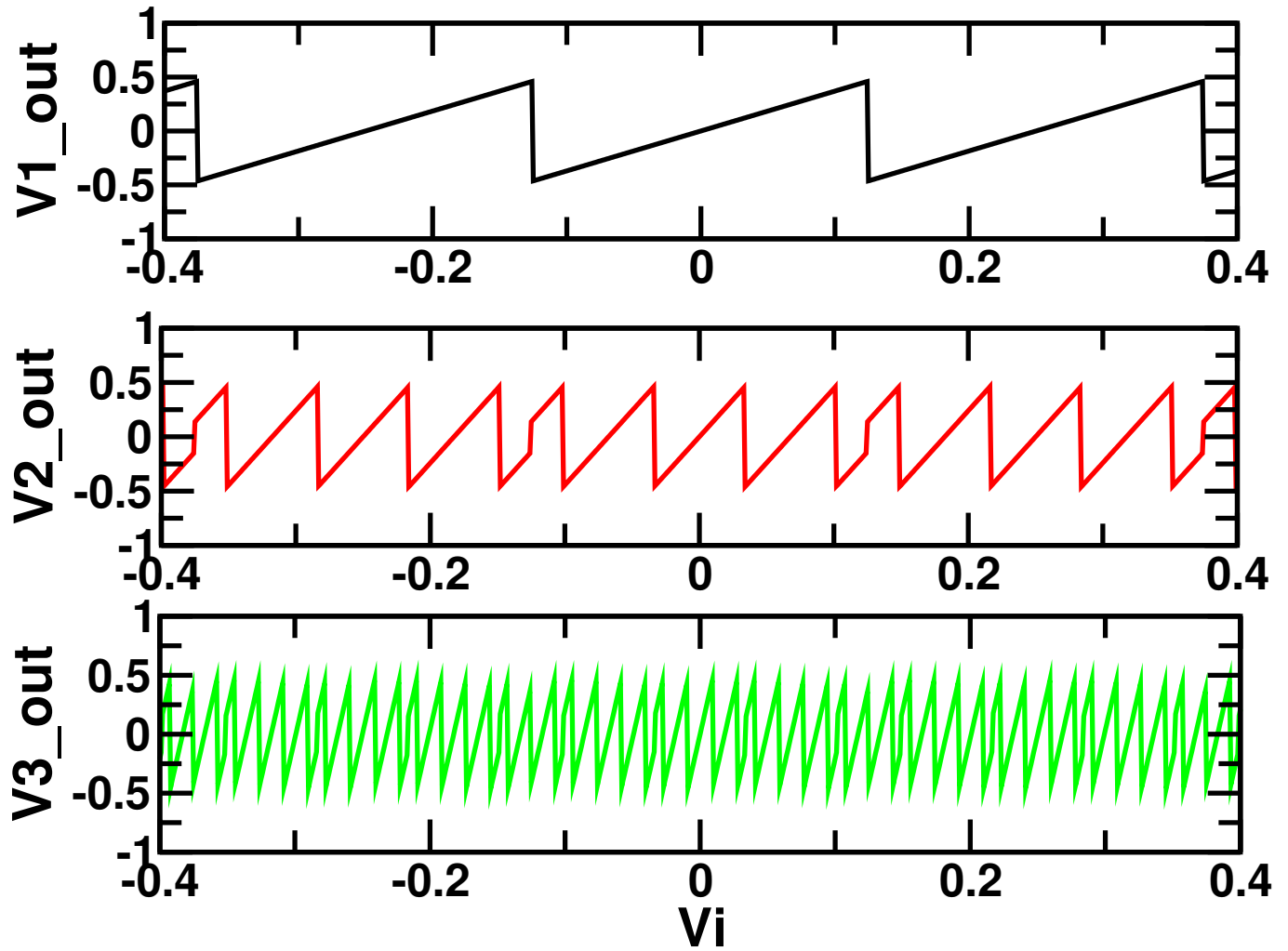


圖 3.18: 前面三級MDAC的輸出的模擬結果.

我們在每一個時脈週期，對輸出端作取樣，一直取樣到輸出振幅達到我們所要的最大輸出為止。接著我們對所取樣的輸出資料，利用線性回歸的演算法，得到一階(線性項)，三階和五階的係數， $a_1, a_3, a_5$ 。表3.2中所得的三階和五階的係數，已經是分別對線性項做正則化(normalized)之後的結果，也就是 $\hat{a}_3 = a_3/a_1^3$ 和 $\hat{a}_5 = a_5/a_1^5$ 。

我們將切換放大器接成一級2.5位元的MDAC電路，並且串接成四級，如圖3.1所示的整個管線式類比數位轉換器上；圖3.18為前面三級MDAC的輸出模擬結果；由圖上可以看出，在第一級輸出轉折點的地方，在第二級會有不連續的現象發生；同時在第二級輸出轉折點的地方，在第三級會有不連續的現象發生；同理在第四級也會有此現象發生。這個不連續現象的發生，是由於放大器的增益不夠大，以及輸入雜散電容所造成的回授因子變小，所導致的轉換曲線的增益變小所導致的現象。在下一章所介紹的線性校正技巧，我們可以利用線性校正技巧來校正因為轉換曲線增益變小以及其他雜散效應所導致整體類比數位轉換器的誤差。

### 3.6 結論

本章我們主要討論了一個1V，200MHz的管線級ADC中的放大器電路設計，我們針對一個高速，低增益和具有大的輸出擺幅的放大器來做設計；同時也與傳統式的兩級放大器作個定性的比較，在相同操作速度之下，我們設計的放大器可以有較小的功率。根據系統的規格，我們可以得到輸出級所需的最小電流的規格。同時在管線級ADC的操作中，我們可以依序將放大器的設計條件做調整，以達到將功率最小化的目的。最後我們將所設計的放大器應用於切換式放大器的應用上，不但可以節省功率消耗，也同時將取樣開關給合併，並討論其對操作速度的影響。最後我們將切換放大器應用在MDAC電路上，並且串接成4個管線級MDAC，並且對其整個電路作模擬，得到模擬的輸出結果。



## 第四章

# 管線式類比數位轉換器的數位校正技術

### 4.1 簡介

在第二章我們介紹了管線式類比數位轉換器的原理以及誤差來源，例如次類比數位轉換器的準位產生位移，電荷注入，電容不匹配，參考電壓產生位移以及放大器的有限的增益．．等等，都會影響整體類比數位轉換器的特性。然而，在一些需要高解析度和高線性度的應用上，這一些非理想的特性可能會限制類比數位轉換器無法達到系統的要求。因此，針對這一些非理想特性所造成的誤差做適當的自我校正是有必要的，所謂的自我校正是指類比數位轉換器依據內部的一些偵測電路，量測到轉換器的誤差值再做出適當的校正[23][24][25][26][27][28][29][30]。而校正的方式可以分為類比校正和數位校正，由於數位校正在電路的實現上，比較不容易受到雜訊的影響，所以校正的可靠度會比類比校正來的好，以下針對數位校正的技術來做說明。

### 4.2 線性的數位校正技術

而此數位的校正技術又可分為前景校正和背景校正。所謂的前景校正，是指在類比數位轉換器做校正的時候，此轉換器必須要停止訊號的輸入，直到整個轉換器校正完畢，才可以恢復正常的工作[6][7][8][10][11][12][31][32][33]。因此前景校正會中斷掉原來正常的工作，而且當環境產生變化時，例如溫度的變化、供應電壓的變化．．等等，前景校正並無法一直持續去做校正的工作，這是前景校正

最主要的缺點。而所謂的背景校正並不會中斷整個電路的正常工作，轉換器可以一面在正常的操作，同時一面作校正的工作，因此可以隨著環境的變化而不斷的自我校正[26][27][28][29][30]。我們可以從類比數位轉換器的轉移函數來說明數位校正技術的概念。以一個P極的管線式類比數位轉換器為例，假設每一極都是1.5個位元而且只有第一級極具有增益誤差，其餘的級的是理想的。由轉移函數曲線圖可以看的出來，曲線在 $\pm V_r$ 位置有兩的不連續點，這是由增益的誤差所造成。圖4.1和圖4.2分別是極增益小於二和大二的情形，分別造成了數位碼的遺失，和轉移曲線的非單調性，虛線所代表的是理想的轉移曲線。

在校正週期的時候，兩個誤差會分別被第二極到第P極所組成的類比數位轉換器所量測出來並將此數位碼儲存起來。在正常操作時，只要輸入小於 $-\frac{1}{4}V_r$ 就把第一個誤差加回去，當輸入大於 $+\frac{1}{4}V_r$ 時就將第二個誤差減回來，因此校正完之後的轉移曲線也是一條直線，如圖4.1所示。但是對於圖4.2，在正常操作時，只要輸入小於 $-\frac{1}{4}V_r$ 就把第一個誤差減回來，當輸入大於 $+\frac{1}{4}V_r$ 時就將第二個誤差加回去，因此校正完之後的轉移曲線也是一條直線。以下針對數位校正技術作詳細的說明。我們知道增加比較器可以補償次類比數位轉換器的準位產生位移所造成的錯誤，但是對於次數位類位轉換器所造成錯誤和極增益誤差所造成的錯誤則無法補償，這就必須由數位校正技術來補償這些錯誤。式子(2.9)是較式子(2.1)更接近真實的管線式類比數位轉換器，我們可以證明位移項 $A_j^{os}$ ，對於 $j = 1, \dots, P$ ，只會使得在整體類比數位轉換器產生位移而已。然而， $\hat{G}_j \neq G_j$ 和 $\hat{A}_j^{da} \neq A_j^{da}$ 才會使得整體的類比數位轉換器產生錯誤，為了增加整體的類比數位轉換器的解析度，我們必須找出 $\hat{G}_j$ 和 $\hat{A}_j^{da}$ ，取代式子(2.4)的 $G_j$ 和 $A_j^{da}$ 。

如果我們將要量測的第j管線極的 $\hat{G}_j$ 和 $\hat{A}_j^{da}$ ，利用第(j+1)極到第P極所組成的類比數位轉換器，在此我們用zADC來表示，如圖4.3所示。此zADC接受第j極的輸出 $V_{j+1}$ 當成輸入，並將此輸入信號量化成數位碼， $D_z$ 。我們可以將 $V_{j+1}$ 表示成以下的式子：

$$V_{j+1} = \hat{G}_j \times [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}] = \frac{G_z}{\hat{G}_z} \cdot D_z + O_z + Q_z \quad (4.1)$$

其中 $G_z/\hat{G}_z$ 所代表是zADC的增益誤差，是 $G_z$ 理想的增益值， $\hat{G}_z$ 是zADC實際

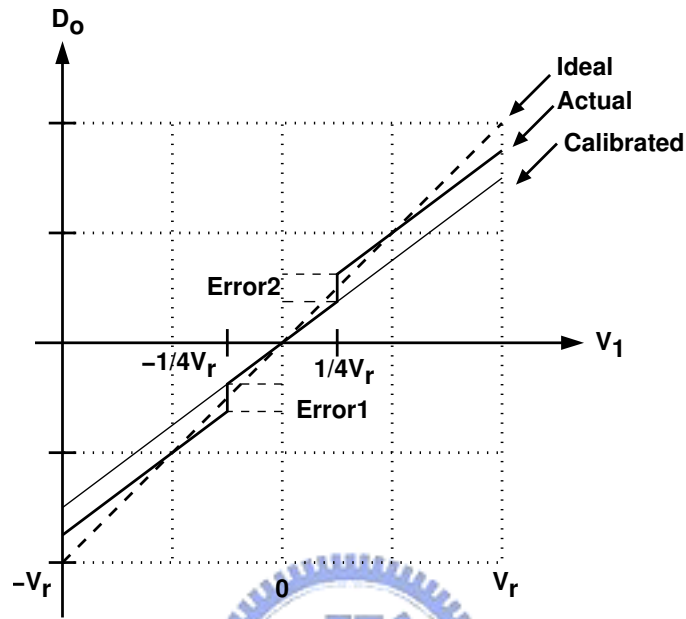


圖 4.1: 增益小於二的1.5位元的管線式類比數位轉換器轉換特性.

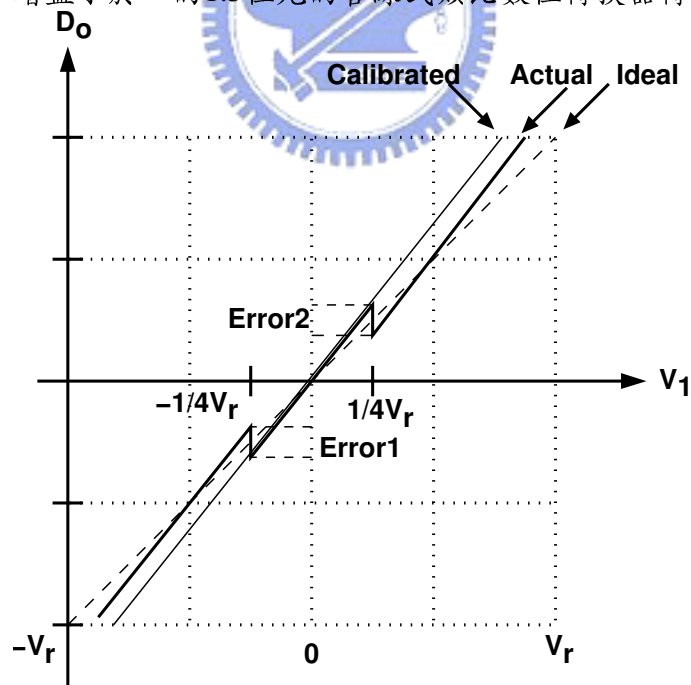
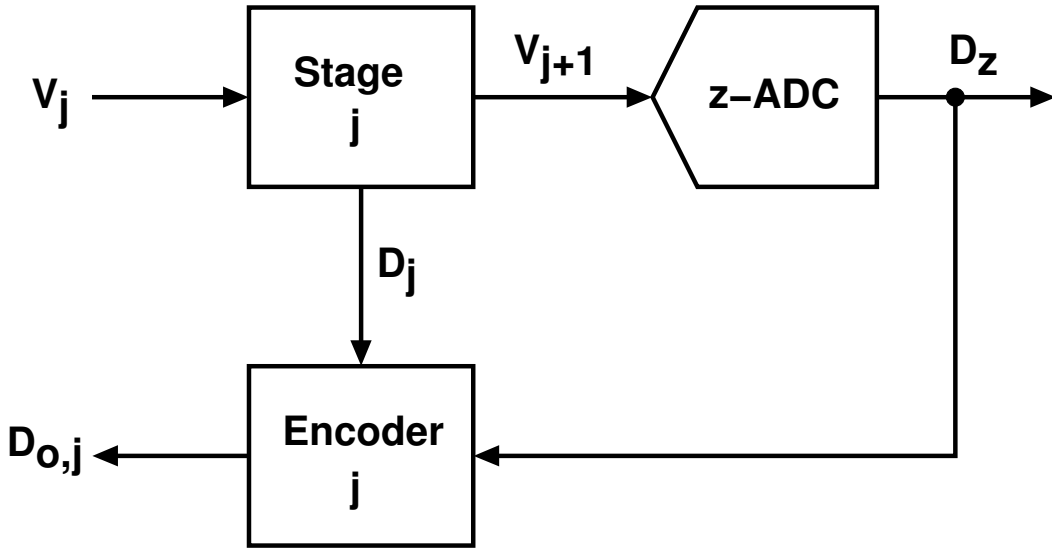


圖 4.2: 增益大於二的1.5位元的管線式類比數位轉換器轉換特性.



圖 4.3: 第  $j$  級管線級的數位編碼.

的增益， $O_z$  代表的 zADC 位移值， $Q_z$  是 zADC 量化誤差。我們也可以將  $V_j$  表示為

$$V_j = \hat{A}_j^{da}(D_j) + A_j^{os} + \frac{V_{j+1}}{\hat{G}_j} \quad (4.2)$$

$$= \frac{G_j G_z}{\hat{G}_j \hat{G}_z} \times \underbrace{\left\{ \frac{1}{G_j} \cdot \left[ \frac{\hat{G}_z}{G_z} [\hat{G}_j \cdot \hat{A}_j^{da}(D_j)] + D_z \right] \right\}}_{D_{o,j}} + [A_j^{os} + \frac{O_z}{\hat{G}_j}] + \frac{Q_z}{\hat{G}_j} \quad (4.3)$$

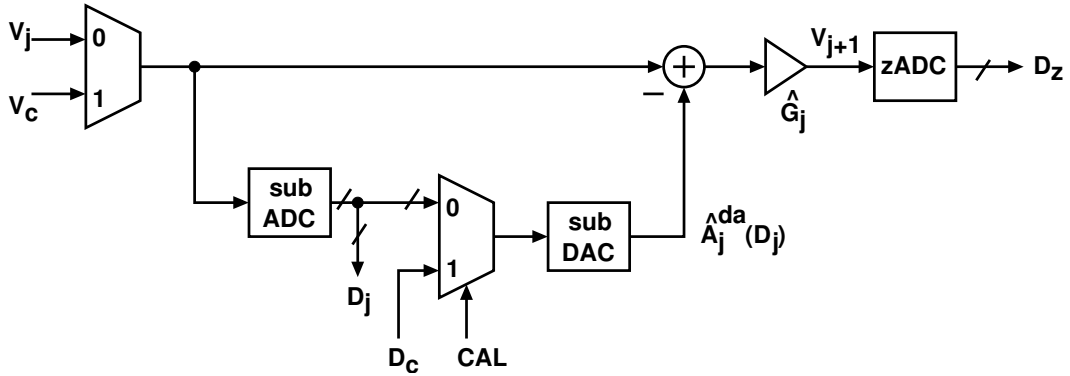
這裡的  $D_{o,j}$ ，表示第  $j$  級的輸出數位碼和後面 zADC 所輸出的數位碼，經過第  $j$  級的編碼而成的輸出結果。

接下來，我們利用圖 4.4 來解釋線性校正的原理。當 "CAL" 信號為 1 時，代表進入校正週期。一個已知的信號  $V_c$  會取代原來的正常輸入信號送到第  $j$  極去，而一個已知的數位碼  $D_c$  也會取代原來的  $D_j$  給次數位類比轉換器產生出對應的類比電壓，因此  $V_{j+1}$  對  $V_j$  的轉移曲線高度就可以被 zADC 所量測並且量化成數位碼。如圖 4.5 所示， $V_{j+1}$  在 a 和 b 或者是 c 和 d 可以分別被量測出來，在 a 點的值可以寫成：

$$V_{j+1,a} = \hat{G}_j \times [V_c - \hat{A}_j^{da}(D_a) - A_j^{os}] = \frac{G_z}{\hat{G}_z} \cdot D_{z,a} + O_z + Q_{z,a} \quad (4.4)$$

在 b 點的值也可以寫成：

$$V_{j+1,b} = \hat{G}_j \times [V_c - \hat{A}_j^{da}(D_b) - A_j^{os}] = \frac{G_z}{\hat{G}_z} \cdot D_{z,b} + O_z + Q_{z,b} \quad (4.5)$$

圖 4.4: 第  $j$  級管線級的數位校正.

將這兩個量測的結果相減可得：

$$V_{j+1,b} - V_{j+1,a} = \hat{G}_j \times [\hat{A}_j^{da}(D_b) - \hat{A}_j^{da}(D_a)] = \frac{G_z}{\hat{G}_z} \cdot (D_{z,b} - D_{z,a} + (Q_{z,b} - Q_{z,a})) \quad (4.6)$$

經由多次量測的結果再做平均，我們可以將  $Q_{z,b} - Q_{z,a}$  這一項誤差給消除掉。對於  $D_j \in \{0, 1, 2, \dots\}$ ，和  $D_c > 0$ ，經由校正之後可得

$$\hat{G}_j \times [\hat{A}_j^{da}(1) - \hat{A}_j^{da}(0)] = \frac{G_z}{\hat{G}_z} \cdot (D_{z,1}) \quad (4.7)$$

$$\hat{G}_j \times [\hat{A}_j^{da}(2) - \hat{A}_j^{da}(1)] = \frac{G_z}{\hat{G}_z} \cdot (D_{z,2}) \quad (4.8)$$

.....

$$\hat{G}_j \times [\hat{A}_j^{da}(D_c) - \hat{A}_j^{da}(D_c - 1)] = \frac{G_z}{\hat{G}_z} \cdot (D_{z,D_c}) \quad (4.9)$$

將上式依序相加可得：

$$\hat{G}_j \times [\hat{A}_j^{da}(D_c) - \hat{A}_j^{da}(0)] = \frac{G_z}{\hat{G}_z} \cdot (D_z(D_c)) \quad (4.10)$$

其中

$$D_z(D_c) = D_{z,1} + D_{z,2} + \dots + D_{z,D_c} \quad (4.11)$$

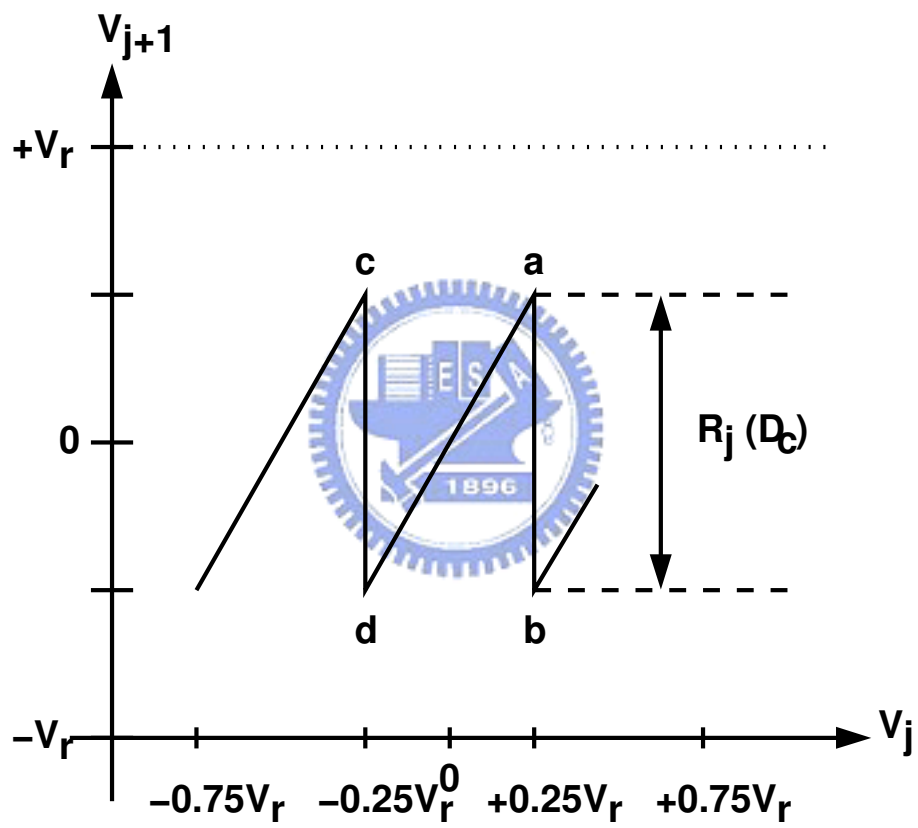


圖 4.5: 管線級數位校正的示意圖.

如果我們適當的選取第 $j$ 級的位移項 $A_j^{os}$ ，使得 $\hat{A}_j^{da}(0) = 0$ ，則我們可以得到圖4.5的轉態高度 $R_j(D_c)$ ，

$$R_j(D_c) \equiv \hat{G}_j \times \hat{A}_j^{da}(D_c) = \frac{G_z}{\hat{G}_z} \times W_j(D_c) \quad (4.12)$$

這裡的 $W_j(D_c)$ 是 $R_j(D_c)$ 經過zADC所量化的數位值。

如果我們將上式重新安排，可以得到的 $\hat{A}_j^{da}$ 的表示式

$$\hat{A}_j^{da}(D_c) = \frac{G_z}{\hat{G}_j \hat{G}_z} \cdot W_j(D_c) \quad (4.13)$$

將式子(4.1)，(4.3)和(4.13)結合，我們可以得到以下的表示式：

$$V_j = \frac{G_z}{\hat{G}_j \hat{G}_z} \cdot W_j(D_c) + A_j^{os} + \frac{1}{\hat{G}_j} \left[ \frac{G_z}{\hat{G}_z} \cdot D_z + O_z + Q_z \right] \quad (4.14)$$

$$= \frac{G_j G_z}{\hat{G}_j \hat{G}_z} \times \left[ \frac{W_j(D_c) + D_z}{G_j} \right] + \left( A_j^{os} + \frac{O_z}{\hat{G}_j} \right) + \frac{Q_z}{\hat{G}_j} \quad (4.15)$$

$$= \frac{G_{jz}}{\hat{G}_{jz}} \cdot D_{o,j} + O_{jz} + Q_{jz} \quad (4.16)$$

其中，數位碼輸出為

$$D_{o,j} = \frac{W_j(D_c) + D_z}{G_j} \quad (4.17)$$

增益誤差為

$$\frac{G_{jz}}{\hat{G}_{jz}} = \frac{G_j G_z}{\hat{G}_j \hat{G}_z} \quad (4.18)$$

位移值為

$$O_{jz} = \left( A_j^{os} + \frac{O_z}{\hat{G}_j} \right) \quad (4.19)$$

量化誤差

$$Q_{jz} = \frac{Q_z}{\hat{G}_j} \quad (4.20)$$

因此結合了第 $j$ 級和從第 $(j+1)$ 級到最後一級所組成的zADC，我們有了一個從第 $j$ 級到最後一級的新的zADC，而其新的zADC的轉換特性，增益誤差

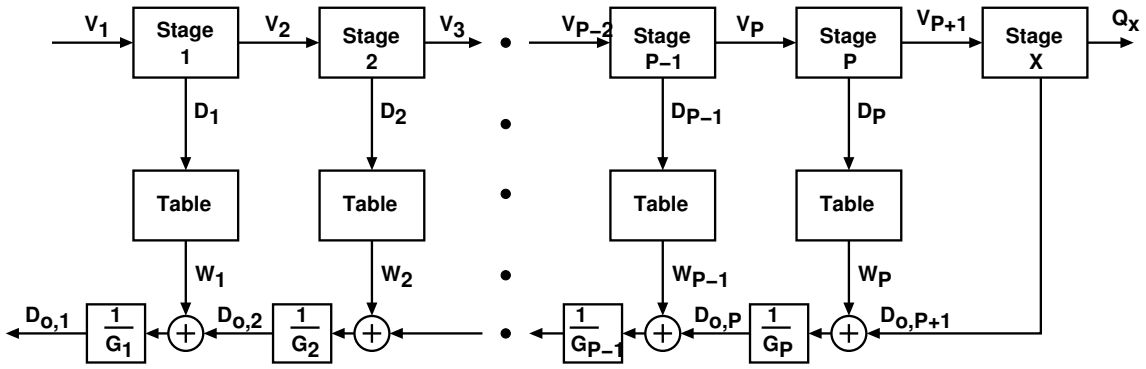


圖 4.6: 多個管線級的數位校正。

為  $G_{jz}/\hat{G}_{jz}$ ，位移量為  $O_{jz}$ ，和等效的量化誤差為  $Q_{jz} = Q_z/\hat{G}_j$ ，因此我們知道新的 zADC 會有較原來的由第  $j$  級到最後一級所組成的 zADC 有更高的解析度。我們將利用新的 zADC，依照前面相同的步驟來對  $(j-1)$  級來做校正，等到  $(j-1)$  級完成校正，再對  $(j-2)$  級來做校正，如此依序往前校正一直到第一級為止。

將每一級所量到的高度差記錄在每一級個別的數位對應表內，如圖 4.6 所示。當所有需要校正的級數都一一校正完畢之後，每一級會有每一級個別的數位對應表。根據式子 (2-7) 表示第  $j$  級的輸入信號，依序往前推，我們可以得到第一級的輸入信號  $V_1$  的表示式為：

$$V_1 = \hat{A}_1^{da}(D_1) + \frac{\hat{A}_2^{da}}{\hat{G}_1} + \frac{\hat{A}_3^{da}}{\hat{G}_1\hat{G}_2} + \cdots + \frac{\hat{A}_P^{da}}{\hat{G}_1\hat{G}_2 \cdots \hat{G}_{P-1}} + \frac{V_{P+1}}{(\hat{G}_1\hat{G}_2 \cdots \hat{G}_P)} \quad (4.21)$$

$$= \frac{1}{\hat{G}_1} \cdot \hat{G}_1 \hat{A}_1^{da} + \cdots + \frac{1}{\hat{G}_1\hat{G}_2 \cdots \hat{G}_P} \cdot \hat{G}_P \hat{A}_P^{da} + \frac{V_{P+1}}{(\hat{G}_1\hat{G}_2 \cdots \hat{G}_P)} \quad (4.22)$$

$$(4.23)$$

如圖所示 4.6，假設最後一級的 x-ADC 具有以下特性：

$$V_{P+1} = \frac{G_x}{\hat{G}_x} \cdot D_{o,P+1} + O_x + Q_x \quad (4.24)$$

將式子(4.12)，(4.24)代入(4.23)則為：

$$\begin{aligned}
 V_1 &= \frac{G_1 G_{1x}}{\hat{G}_1 \hat{G}_{1x}} \cdot \left[ \frac{W_1}{G_1} \right] + \frac{G_1 G_2 G_{2x}}{\hat{G}_1 \hat{G}_2 \hat{G}_{2x}} \cdot \left[ \frac{W_2}{G_1 G_2} \right] + \cdots + \frac{G_1 \cdot G_P G_x}{\hat{G}_1 \cdots \hat{G}_P \hat{G}_x} \cdot \left[ \frac{W_P}{G_1 \cdots G_P} \right] \\
 &+ \frac{1}{\hat{G}_1 \cdots \hat{G}_P \hat{G}_x} \left[ \frac{G_x}{G_x} \cdot D_{o,P+1} + O_x + Q_x \right] \\
 &= \frac{G_1 G_2 \cdots G_P G_x}{\hat{G}_1 \hat{G}_2 \cdots \hat{G}_P \hat{G}_x} \cdot \left[ \frac{W_1}{G_1} + \frac{W_2}{G_1 G_2} + \cdots + \frac{W_P + D_{o,P+1}}{G_1 \cdots G_P} \right. \\
 &+ \left. \frac{\hat{G}_x}{G_x} \cdot \frac{O_x + Q_x}{G_1 \cdots G_P} \right] \\
 &= \frac{G_1 G_2 \cdots G_P G_x}{\hat{G}_1 \hat{G}_2 \cdots \hat{G}_P \hat{G}_x} \cdot \underbrace{\left[ \frac{1}{G_1} \cdot [W_1 + \frac{1}{G_2} \cdot [W_2 + \cdots + \frac{1}{G_P} [W_P + D_{o,P+1}]]] \right]}_{D_{o,2}} \\
 &+ \frac{\hat{G}_x}{G_x} \cdot \frac{O_x + Q_x}{G_1 \cdots G_P} \\
 &= \hat{m} \cdot [D_{o,1} + O_{Px} + Q_{Px}] \tag{4.25}
 \end{aligned}$$

其中，整個轉換器的數位輸出為

$$D_{o,1} = \frac{1}{G_1} \cdot \left[ W_1 + \frac{1}{G_2} \cdot [W_2 + \cdots + \frac{1}{G_P} [W_P + D_{o,P+1}]] \right] \tag{4.26}$$

整個轉換器的增益誤差為

$$\hat{m} = \frac{G_1 G_2 \cdots G_P G_x}{\hat{G}_1 \hat{G}_2 \cdots \hat{G}_P \hat{G}_x} \tag{4.27}$$

最後等效的位移值為

$$O_{Px} = \frac{\hat{G}_x}{G_x} \cdot \frac{O_x}{G_1 \cdots G_P} \tag{4.28}$$

最後等效的量化誤差為

$$Q_{Px} = \frac{\hat{G}_x}{G_x} \cdot \frac{Q_x}{G_1 \cdots G_P} \tag{4.29}$$

從上面的式子可以看出，在做完校正之後，只要轉換器所存在的誤差是放大器的有限增益和電容的不匹配所造成的，則 $\hat{m}$ 是線性的。所得的轉換特性曲線會是一條直線，只不過斜率不是1(如圖4.1和4.2所示)，而是要乘上一個增益誤差 $\hat{m}$ 。當 $\hat{m} < 1$ 時，則最大和最小的幾個數位碼將會遺失，所以一樣有數位碼遺

失(missing code)的問題。當 $\hat{m} > 1$ 時，則輸入的範圍還未到最大和最小值時，數位碼就已經到了最大和最小的輸出了，因此會壓縮到輸入的範圍。

整個校正程序可以總結如下：根據式子(4.12)，校正程序會利用校正級之後的管線級組成一個類比數位轉換器，我們簡稱zADC。利用這個去量測校正級中所有次數位類比器所造成所有的轉換高度，並將之紀錄下來儲存在記憶體內。這一個校正程序會依序一直往第一級方向進行下去，一直到所有要校正的管線級都校正完畢為止。這時所有校正過後的管線級都有各自儲存在記憶體內的數位值，當個級的數位碼經由編碼產生最後的數位碼時，我們只要利用個級儲存在記憶體內的數位值，就可以得到校正後的輸出結果。

### 4.3 線性的數位背景校正技術

本節是根據論文[13][14][15]，所提出的數位背景校正技術來做說明。以一個每級1.5位元的管線式類比數位轉換器為例，如圖2.12表示其每一級的轉換特性圖。圖2.11是相對應的切換式電容管線式類比數位轉換器之中MDAC的電路實現方式，我們可以得到輸入 $V_j$ 和輸出 $V_{j+1}$ 的關係式，當 $V_j > +\frac{1}{4}V_r$ 時，

$$V_{j+1} = \hat{G}_j \times \left[ V_j - V_r \cdot \frac{C_s}{C_s + C_f} \right] \quad (4.30)$$

當 $-\frac{1}{4}V_r < V_j < +\frac{1}{4}V_r$ 時，

$$V_{j+1} = \hat{G}_j \times V_j \quad (4.31)$$

當 $-\frac{1}{4}V_r < V_j$ 時，

$$V_{j+1} = \hat{G}_j \times \left[ V_j + V_r \cdot \frac{C_s}{C_s + C_f} \right] \quad (4.32)$$

其中

$$\hat{G}_j = \frac{C_s + C_f}{C_f} \times \frac{1}{1 + \frac{1}{A_0} \cdot \frac{C_s + C_f + C_p}{C_f}} \quad (4.33)$$

$A_0$ 表示運算放大器的有限增益， $C_p$ 表示運算放大器輸入端的寄生電容。在理想的情形下， $A_0 \rightarrow \infty$ ， $C_p = 0$ 和 $C_s = C_f$ ，輸出和輸入的關係式子可以寫成

$$V_{j+1} = 2V_j \pm V_r \quad \text{or} \quad V_{j+1} = 2V_j \quad (4.34)$$

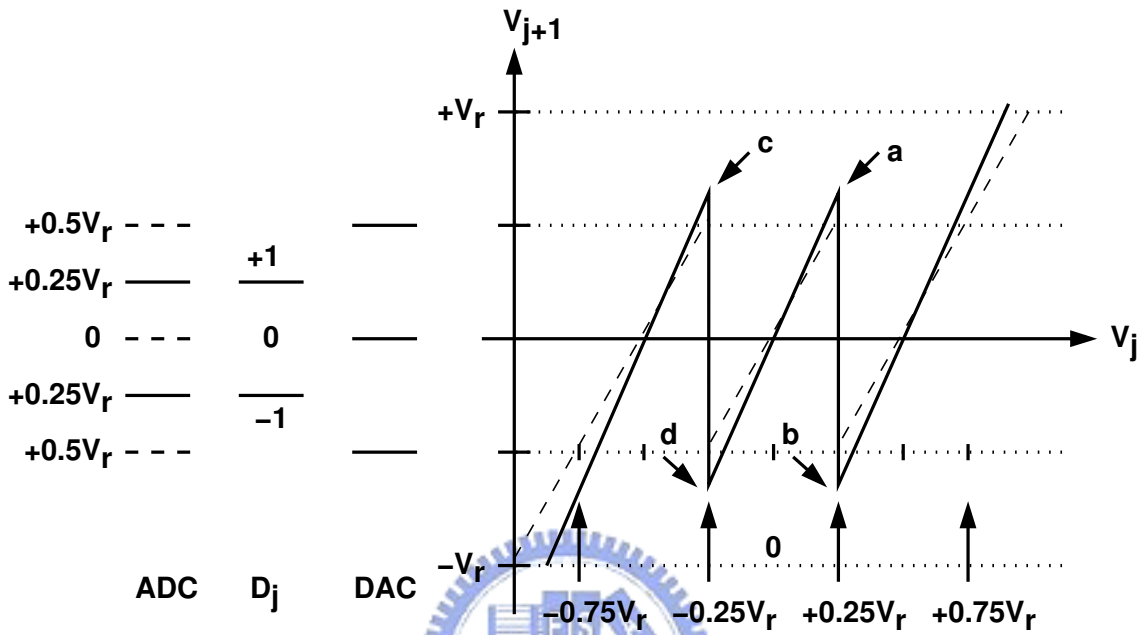


圖 4.7: 非理想的轉換特性曲線，增益大於二。

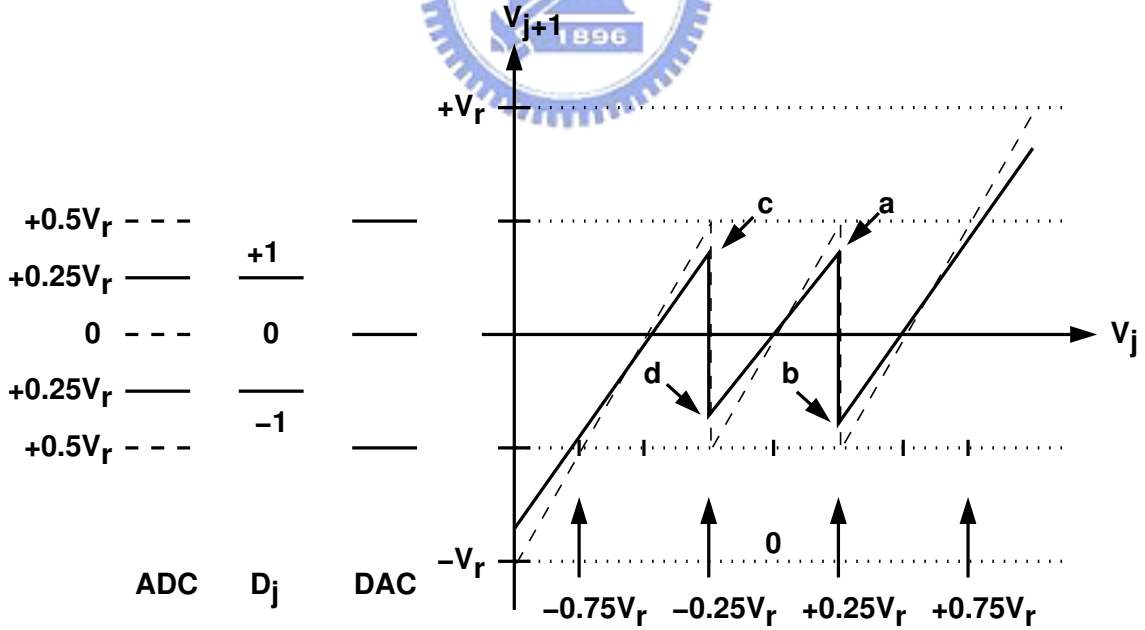


圖 4.8: 非理想的轉換特性曲線，增益小於二。



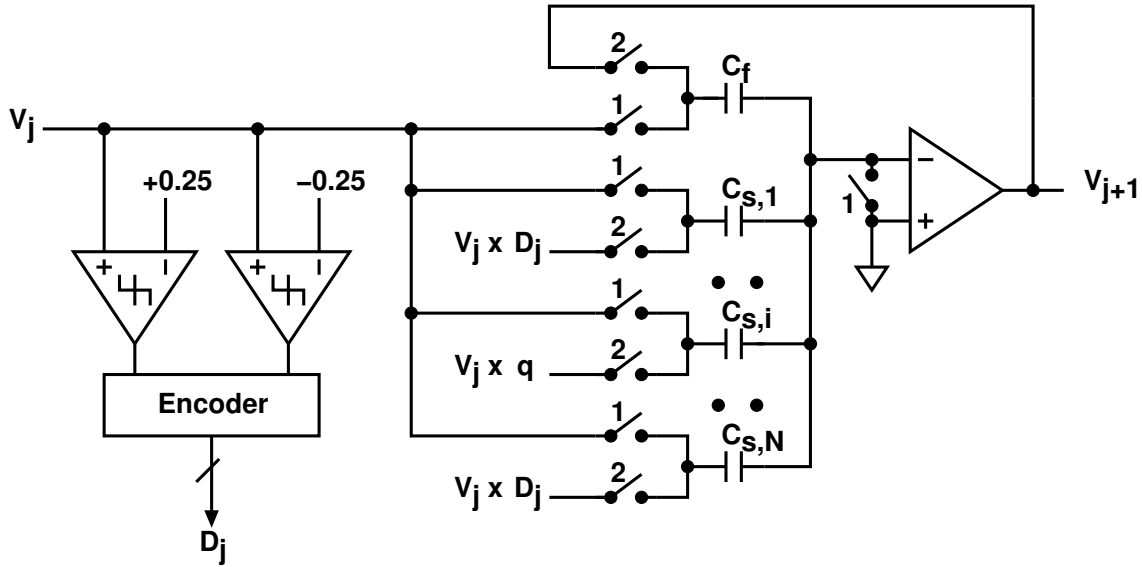


圖 4.9: 電容等份的1.5位元管線級.

或是

$$V_{j+1} = 2V_j \quad (4.35)$$

由以上的式子可以看出，放大器的有限增益 $A_0$ 和電容 $C_s$ 和 $C_f$ 之間的不匹配以及寄生電容 $C_p$ 都會影響到整個轉換函數的特性。圖4.7和圖 4.8分別代表各極增益小於二和大於二的情形。這裡所提出的背景校正技術就是要量化式子(4.12)中的 $R_j(D_c)$ ，而不會去中斷原來電路的正常工作。為了達到這一個目的，我們在原先的圖2.11切換式電容管線級做一些修改，將原先的電容 $C_s$ 切成 $N$ 等分，如圖4.9，也就是

$$C_s = C_{s,1} + C_{s,2} \cdots + C_{s,N} \quad (4.36)$$

當在時脈1時，所有的電容 $C_s$ 和 $C_f$ 都接到輸入訊號 $V_j$ 做取樣。在時脈2時， $C_f$ 接到運算放大器的輸出端， $C_s$ 接到 $D_j \cdot V_r$ ，除了 $C_{s,i}$ 接到 $q \cdot V_r$ 。這裡的 $q$ 是一個二進位值的隨機訊號，由隨機訊號產生器所產生。如圖4.10代表經過修改的切換式電容管線級等效示意圖。

當量測時 $R_j(+1)$ ， $q$ 的值為+1或0。當量測時 $R_j(-1)$ ， $q$ 的值為-1或0。圖4.10為修改後的管線極示意圖，其所對應的轉換特性為：

$$V_{j+1} = \hat{G}_j \times [V_j - \hat{A}_j^{da}(D_c) - A_j^{os}] + R_{ji}(D_c) \cdot D_c - R_{ji}(D_c) \cdot q \quad (4.37)$$

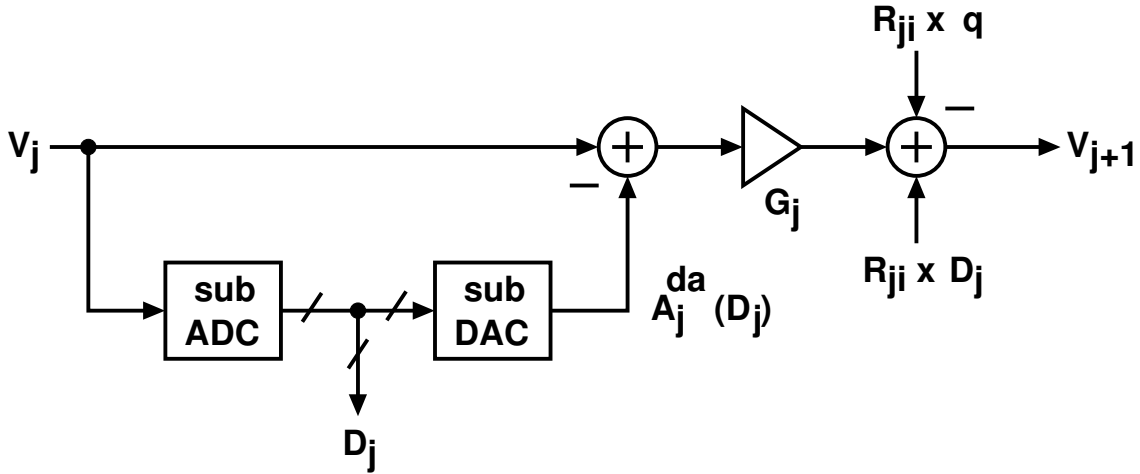


圖 4.10: 電容等份的管線級等效示意圖.

其中

$$R_{ji}(D_c) = \hat{G}_j \times D_c \times V_r \cdot \frac{C_{s,i}}{C_s + C_f} \quad (4.38)$$

如圖4.11所示， $R_{ji}(D_c)$ 是 $V_{j+1}$ 和 $V_j$ 之間轉換高度 $R_j(D_c)$ 的一部份， $R_{ji}(D_c)$ 和 $R_j(D_c)$ 的關係可以表示為：

$$R_j(D_c) = \hat{G}_j \times \hat{A}_j^{da}(D_c) = R_j(D_c - 1) + \sum_{i=1}^N R_{ji}(D_c) \quad (4.39)$$

如圖4.12所示，是一個淬取 $R_{ji}(D_c)$ 的背景校正技術的示意圖。 $V_{j+1}$ 經由zAD量化得到數位碼 $D_z$ ，再乘以 $q'$ ，所得的結果，經由數位的低通濾波器過濾得到 $D_y$ 。這裡的 $q'$ 和 $q$ 的波形一樣，但是值為+1或-1。如果 $q'$ 具有平均值為零以及和輸入訊號無關的特性，則

$$\frac{G_z}{\hat{G}_z} \cdot D_y = -\overline{q'q} \times R_{ji}(D_c) = -\frac{1}{2} \times R_{ji}(D_c) \quad (4.40)$$

在正常的工作下，數位類比轉換器的輸出 $D_o$ 可以從 $D_z$ ， $k = 1, \dots, (j - 1)$ 和 $D_{jz}$ 得到。然而，數位碼 $D_z$ 已經包含了式子(4.37)的最後兩項，所以在計算 $D_{jz}$ 之前， $D_z$ 必須把這兩項給減掉。式子(4.40)的 $D_y$ 一旦被找到，則這兩項的效應可以完全的被移除。

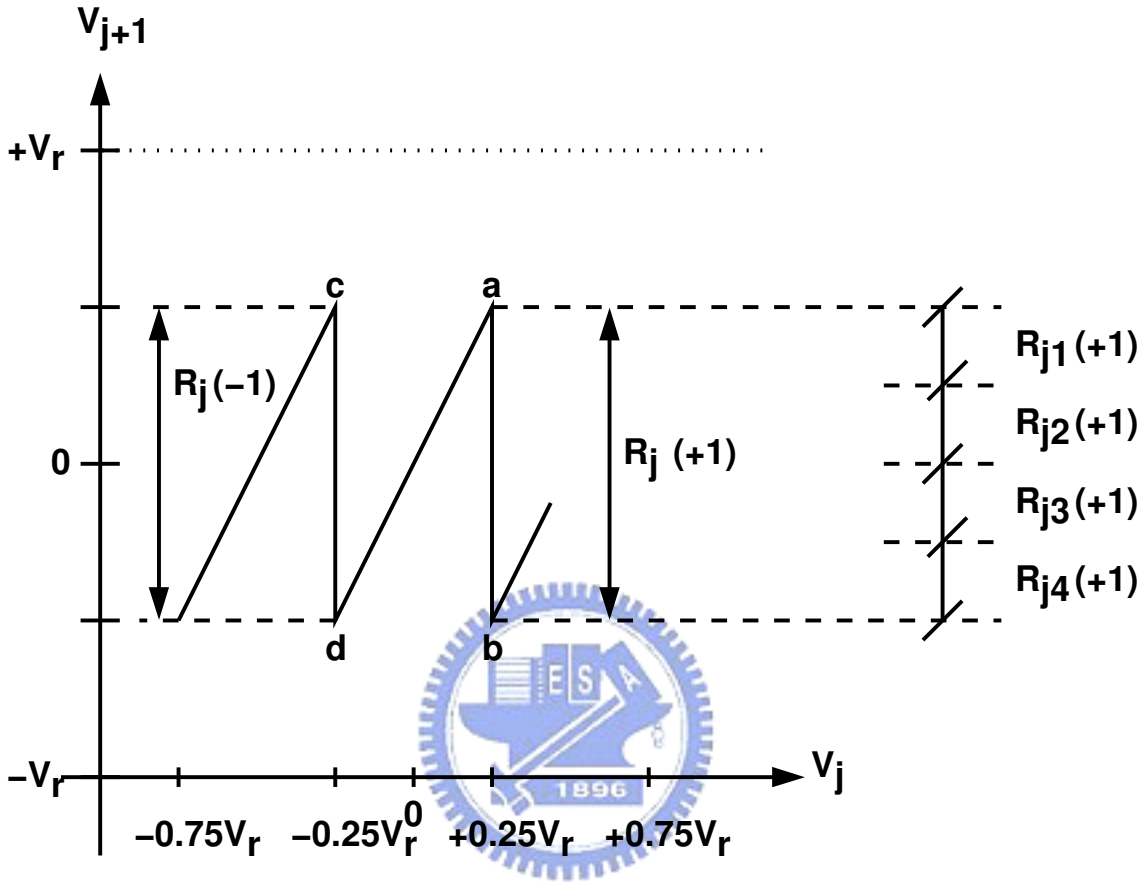


圖 4.11:  $R_j$ 和 $R_{j_i}$ 關係的等效示意圖.

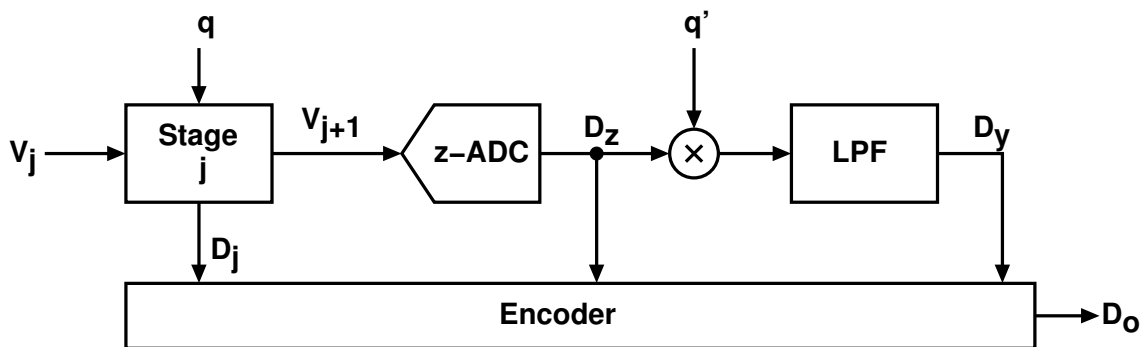


圖 4.12: 背景校正的方塊等效示意圖.

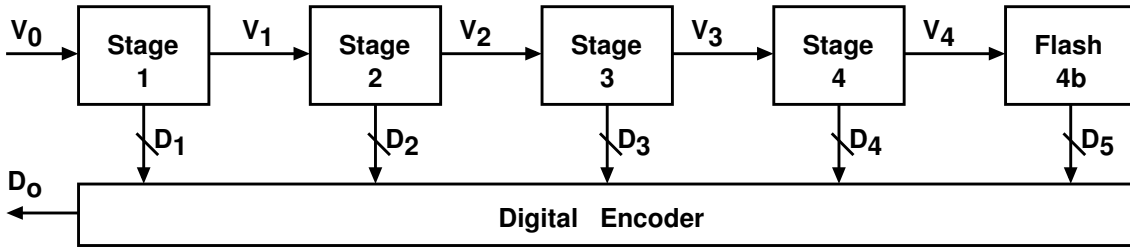


圖 4.13: 10位元的管線式類比數位轉換器方塊圖.

## 4.4 模擬結果

以下我們就一個1V 10b 200MS/s 的管線式類比數位轉換器來作設計，並且用系統模擬的方式，來模擬輸出結果。圖4.13為一個10位元的管線式類比數位轉換器的方塊圖，為了考慮低增益放大器所造成的影響，前面採用了四個管線級，每一級2.5個位元，最後一級為4個位元的 Flash ADC。圖4.14為一級2.5位元的切換電容的MDAC電路實現以及所對應的轉換特性曲線。其中每一個取樣電容和回授電容的大小是一樣的，也就是  $C_{s1} = C_{s2} = C_{s3} = C_f$ ；而且用了6個比較器，所以有了七個數位碼的輸出0, 1..., 6，所以用三個位元  $D_{j1}, D_{j2}, D_{j3}$  來表示， $D_{ji} \in (-1, 0, 1)$ 。我們可以對第  $j$  級的輸入  $V_j$  和輸出  $V_{j+1}$  得到其對應的數學表示式：

$$V_{j+1} = \hat{G}_j \times [V_j - D_{j1} \cdot V_r \cdot \frac{C_{s1}}{C_{total}} - D_{j2} \cdot V_r \cdot \frac{C_{s2}}{C_{total}} - D_{j3} \cdot V_r \cdot \frac{C_{s3}}{C_{total}}] \quad (4.41)$$

其中

$$C_{total} = C_{s1} + C_{s2} + C_{s3} + C_{s4} + C_f \quad (4.42)$$

$$\hat{G}_j = \frac{C_{total}}{C_f} \times \frac{1}{1 + \frac{1}{A_0} \cdot \frac{C_{total} + C_p}{C_f}} \quad (4.43)$$

$A_0$ 表示運算放大器的有限增益， $C_p$ 表示運算放大器輸入端的寄生電容。

為了將類比數位轉換器作線性校正，我們將原來圖4.14的電路做了修改，如圖4.15所示，將原來的三個取樣電容  $C_{s1}, C_{s2}, C_{s3}$ ，都各自分成兩個電容，而每一個電容值為原來一半，並將所要校正的電容接上隨機訊號  $q$ ，如圖 4.15所示，

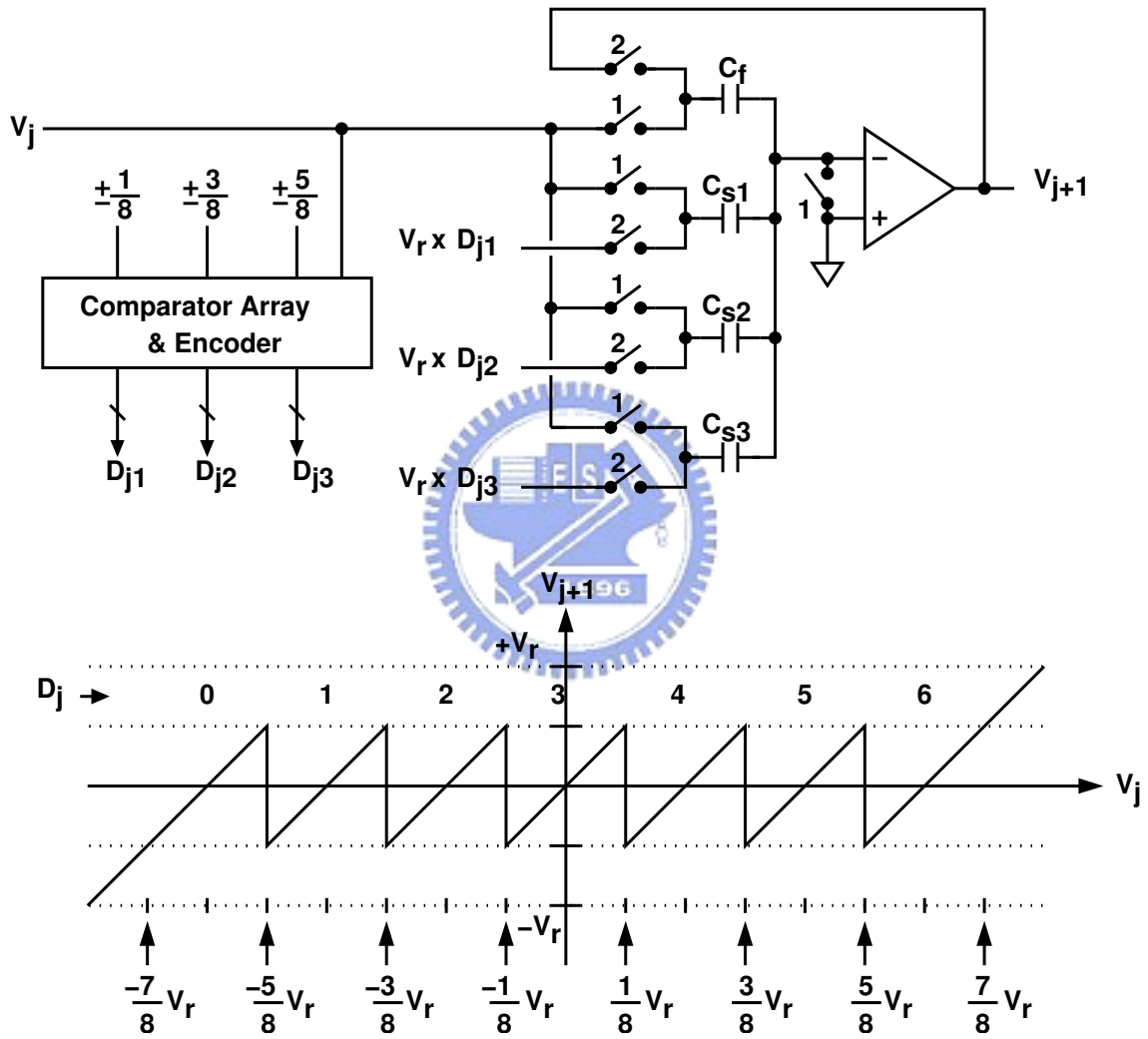


圖 4.14: 2.5位元的MDAC電路實現和轉換特性曲線圖.

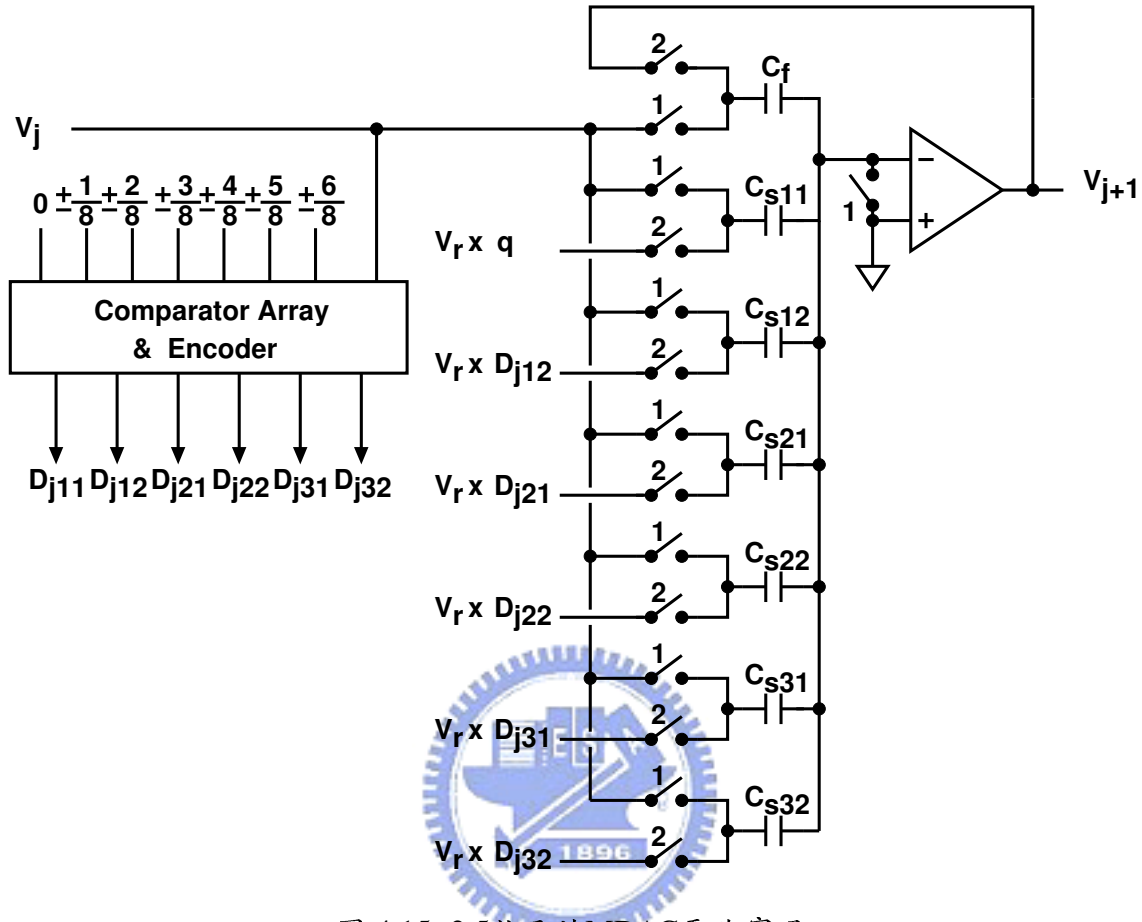


圖 4.15: 2.5位元的MDAC電路實現。

我們將電容 $C_{s11}$ 接到隨機訊號 $q$ ；我們可以對加入隨機訊號的第 $j$ 級的輸入 $V_j$ 和輸出 $V_{j+1}$ 寫出其對應的數學表示式：

$$\begin{aligned}
 V_{j+1} = & \hat{G}_j \times [V_j - D_{j11} \cdot V_r \cdot \frac{C_{s11}}{C_{total}} - D_{j12} \cdot V_r \cdot \frac{C_{s12}}{C_{total}} - D_{j21} \cdot V_r \cdot \frac{C_{s21}}{C_{total}} - D_{j22} \cdot V_r \cdot \frac{C_{s22}}{C_{total}} \\
 & - D_{j31} \cdot V_r \cdot \frac{C_{s31}}{C_{total}} - D_{j32} \cdot V_r \cdot \frac{C_{s32}}{C_{total}} + (D_{j11} - q) \cdot V_r \cdot \frac{C_{s11}}{C_{total}}] \quad (4.44)
 \end{aligned}$$

但是因為加上隨機訊號的關係，會使得原來的轉換曲線發生改變，當我們將 $C_{s11}$ 接上隨機訊號時，所得到的轉換曲線如圖 4.16所示，實現所代表的是隨機訊號 $q = 0$ ，而虛線則代表 $q = 1, V_j > 0$  或者是 $q = -1, V_j < 0$ 的情形。因為加了隨機訊號 $q$ 的關係，轉換曲線的輸出會從原來的 $-\frac{1}{2}V_r$ 到 $\frac{1}{2}V_r$ 的範圍，變成 $-V_r$ 到 $V_r$ 的範圍。如此會使得放大器的輸出電壓範圍變為原來的兩倍，產生更大的非線性效應，降低整體的轉換器的效能。同樣的，對於電容 $C_{s2}$ 和 $C_{s3}$ 在作校正的

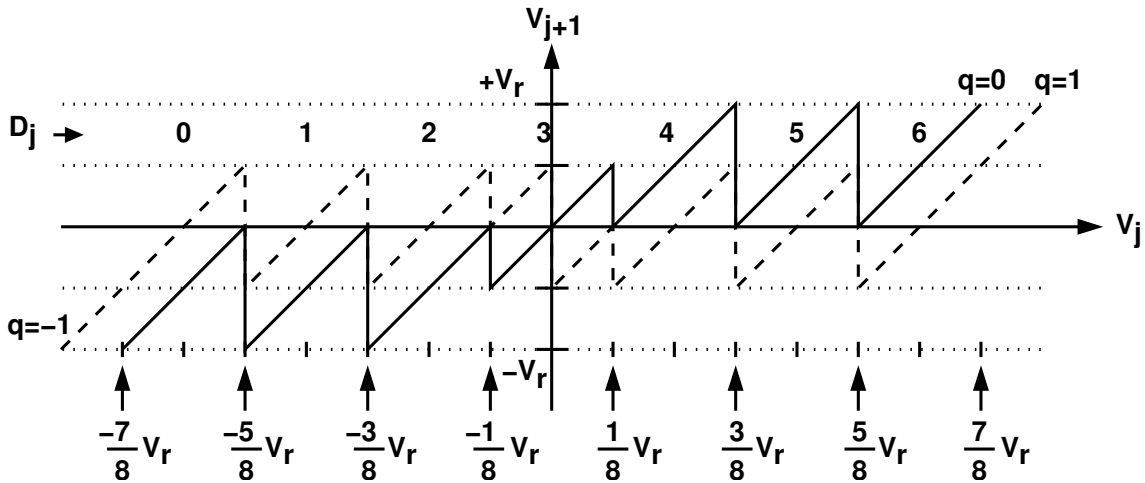
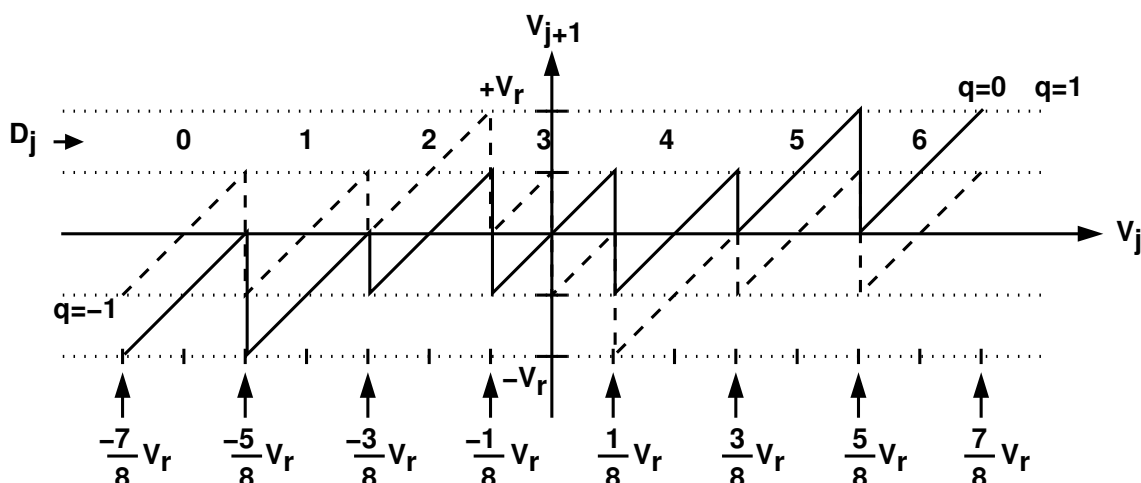


圖 4.16: 加入隨機訊號 $q$ ,  $C_1$ 的轉換特性曲線圖。

時候，轉換曲線的輸出會從原來的 $-\frac{1}{2}V_r$ 到 $\frac{1}{2}V_r$ 的範圍，變成 $-V_r$ 到 $V_r$ 的範圍，如圖4.17和4.18。因此，為了避免加了隨機訊號所產生的輸出範圍變大，並且保持MDAC的輸出範圍保持在 $\pm\frac{1}{2}V_r$ 之內，我們必須要對原來的轉換曲線來作修改。

以下對於轉換曲線的修改來做說明；當我們對電容 $C_{s11}$ 和 $C_{s12}$ 做校正時，所要校正的電容 $C_{s11}$ 或 $C_{s12}$ 會接隨機訊號 $q$ ，使得輸出訊號在輸入訊號介於 $\frac{2}{8}V_r \sim \frac{3}{8}V_r$ 和 $\frac{4}{8}V_r \sim \frac{5}{8}V_r$ 的地方會超出 $\frac{1}{2}V_r$ ；並且當輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{3}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{5}{8}V_r$ 的地方，輸出訊號會低於 $-\frac{1}{2}V_r$ ，如圖4.16所示；於是我們在輸入電壓為 $0, \pm\frac{2}{8}V_r, \pm\frac{4}{8}V_r, \pm\frac{6}{8}V_r$ 的位置，多加了七個比較器；當輸入訊號介於 $\frac{2}{8}V_r \sim \frac{3}{8}V_r$ 和 $\frac{4}{8}V_r \sim \frac{5}{8}V_r$ 的地方時，我們會對電容 $C_{32}$ 所接的訊號 $D_{32}$ 來作修改，如圖所示4.19，我們將原來的訊號 $D_{32} = 0$ ，改接成 $D_{32} = 1$ ，如此就可以避免輸出訊號超出 $\frac{1}{2}V_r$ 的範圍；同理，在輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{3}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{5}{8}V_r$ 的地方，我們將原來的訊號 $D_{32} = 0$ ，改接成 $D_{32} = -1$ ，如此就可以避免輸出訊號低於 $-\frac{1}{2}V_r$ 的範圍。實線所代表的是隨機訊號 $q = 0$ 的情形，虛線所代表的是 $q = 1, V_j > 0$ 以及 $q = -1, V_j < 0$ 的情形。

當我們對電容 $C_{s21}$ 和 $C_{s22}$ 做校正時，所要校正的電容 $C_{s21}$ 或 $C_{s22}$ 會接隨機訊號 $q$ ，使得輸出訊號在輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{1}{8}V_r$ 和 $\frac{4}{8}V_r \sim \frac{5}{8}V_r$ 的地方會超出 $\frac{1}{2}V_r$ ；並且當輸入訊號介於 $\frac{1}{8}V_r \sim -\frac{2}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{5}{8}V_r$ 的地方，輸出訊號會低於 $-\frac{1}{2}V_r$ ，如圖4.17所示；根據比較器的輸出結果，我們可以知道當輸入訊號介於 $\frac{1}{8}V_r \sim \frac{2}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{5}{8}V_r$ 的地方時，我們會對電容 $C_{11}$ 所接的訊號 $D_{11}$ 來作修改，如圖所

圖 4.17: 加入隨機訊號 $q$ ,  $C_2$ 的轉換特性曲線圖。

示4.20，我們將原來的訊號 $D_{11} = 1$ 和 $D = -1$ ，改接成 $D_{11} = 0$ ，如此就可以避免輸出訊號低於 $-\frac{1}{2}V_r$ 的範圍；同理，在輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{1}{8}V_r$ 和 $\frac{4}{8}V_r \sim \frac{5}{8}V_r$ 的地方，我們會對電容 $C_{32}$ 所接的訊號 $D_{32}$ 來作修改，我們將原來的訊號 $D_{32} = 0$ ，分別改接成 $D_{32} = 1, V_j > 0$ 和 $D_{32} = -1, V_j < 0$ ，如此就可以避免輸出訊號超出 $\frac{1}{2}V_r$ 的範圍。實線所代表的是隨機訊號 $q = 0$ 的情形，虛線所代表的是 $q = 1, V_j > 0$ 以及 $q = -1, V_j < 0$ 的情形。

當我們對電容 $C_{s31}$ 和 $C_{s32}$ 做校正時，所要校正的電容 $C_{s31}$ 或 $C_{s32}$ 會接隨機訊號 $q$ ，使得輸出訊號在輸入訊號介於 $\frac{1}{8}V_r \sim \frac{2}{8}V_r$ 和 $\frac{3}{8}V_r \sim \frac{4}{8}V_r$ 的地方會低於 $-\frac{1}{2}V_r$ ；並且當輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{1}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{3}{8}V_r$ 的地方，輸出訊號會超出 $\frac{1}{2}V_r$ ，如圖4.18所示；根據比較器的輸出結果，我們可以知道當輸入訊號介於 $\frac{1}{8}V_r \sim \frac{2}{8}V_r$ 和 $\frac{3}{8}V_r \sim \frac{4}{8}V_r$ 的地方時，我們會對電容 $C_{11}$ 所接的訊號 $D_{11}$ 來作修改，如圖所示4.21，我們將原來的訊號 $D_{11} = 1$ ，改接成 $D_{11} = 0$ ，如此就可以避免輸出訊號低於 $-\frac{1}{2}V_r$ 的範圍；同理，在輸入訊號介於 $-\frac{2}{8}V_r \sim -\frac{1}{8}V_r$ 和 $-\frac{4}{8}V_r \sim -\frac{3}{8}V_r$ 的地方，我們將原來的訊號 $D_{11} = -1$ ，改接成 $D_{11} = 0$ ，如此就可以避免輸出訊號超出 $\frac{1}{2}V_r$ 的範圍。實線所代表的是隨機訊號 $q = 0$ 的情形，虛線所代表的是 $q = 1, V_j > 0$ 以及 $q = -1, V_j < 0$ 的情形。

接下來，我們先對轉換器的直流量測規格來做說明。首先，我們定義微分非線性誤差(Differential Nonlinearity, DNL)[34]，理想的ADC是一個數位碼相對於輸入電壓是維持在1 LSB的幅度內。可是實際上的ADC在此相對幅度上是有大有小



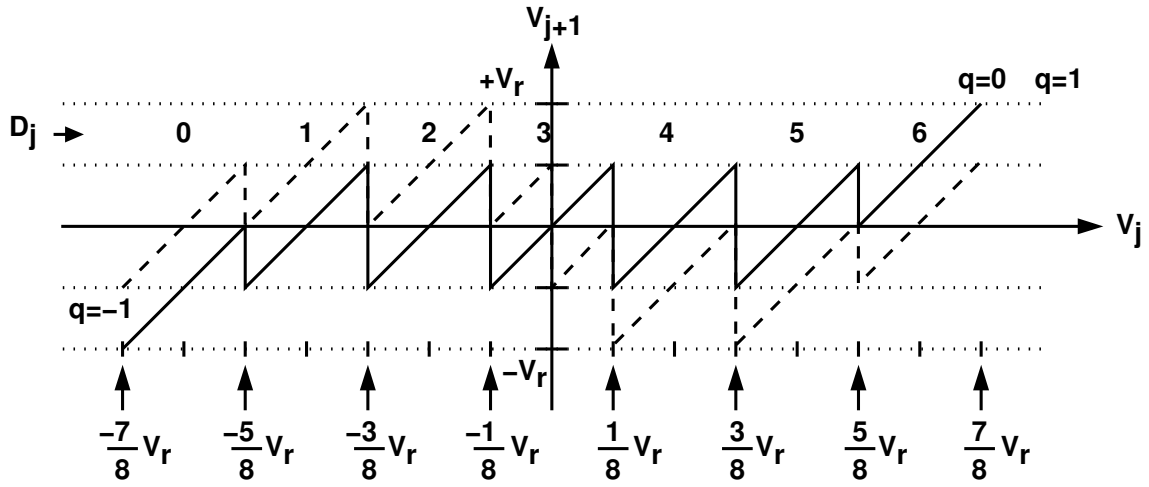


圖 4.18: 加入隨機訊號 $q$ ,  $C_3$ 的轉換特性曲線圖。

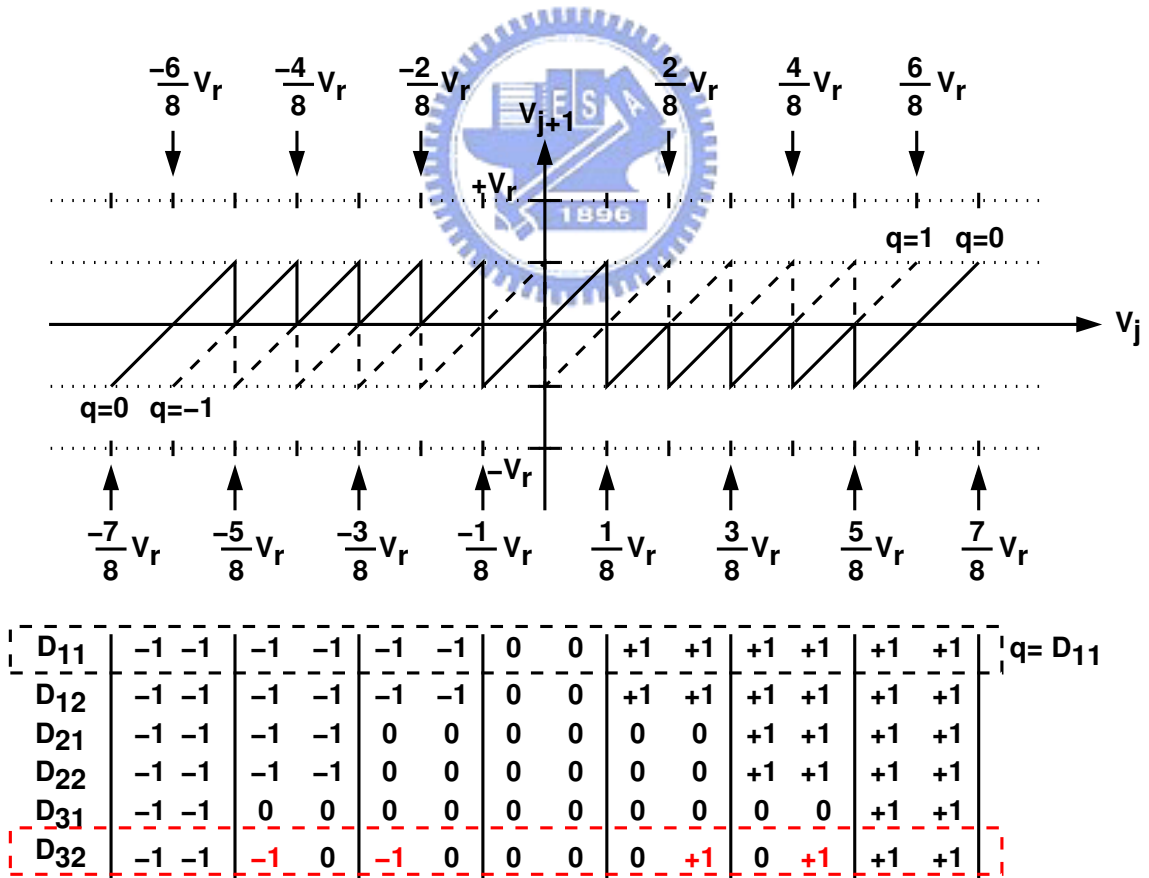


圖 4.19: 修改後的 $C_1$ 轉換特性曲線圖。

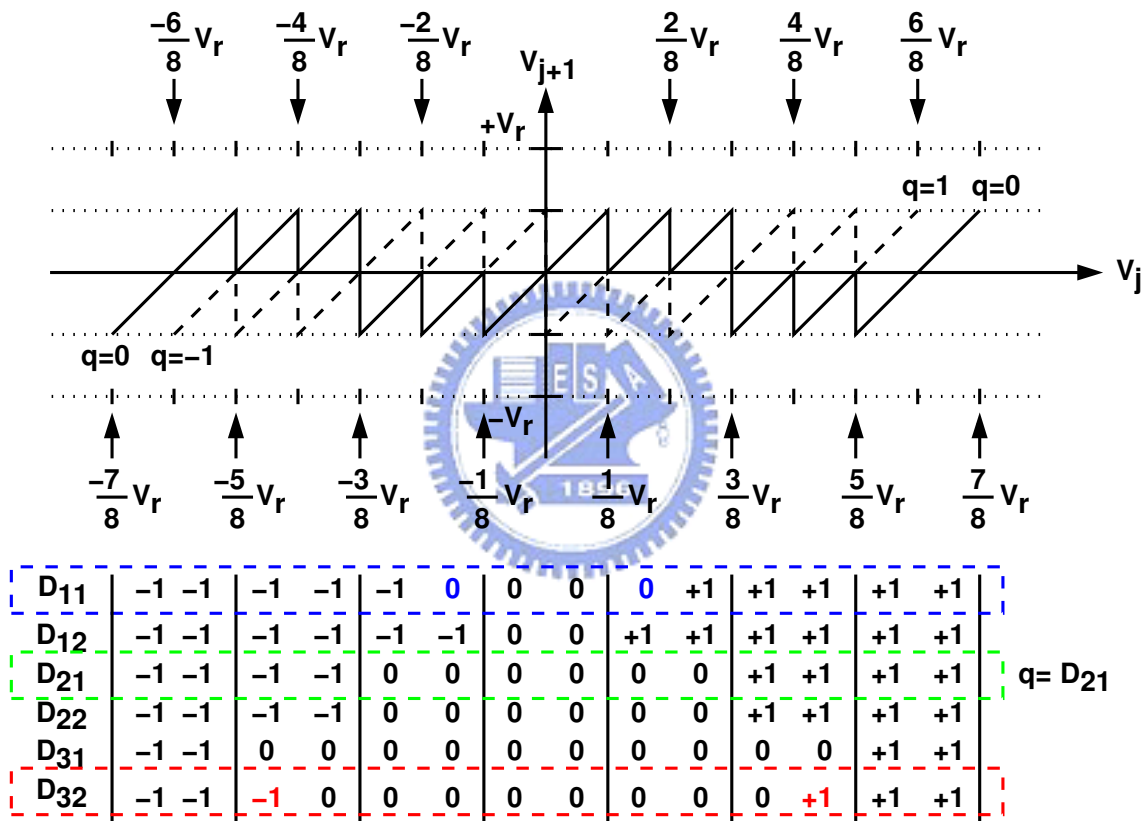


圖 4.20: 修改後的  $C_2$  轉換特性曲線圖。

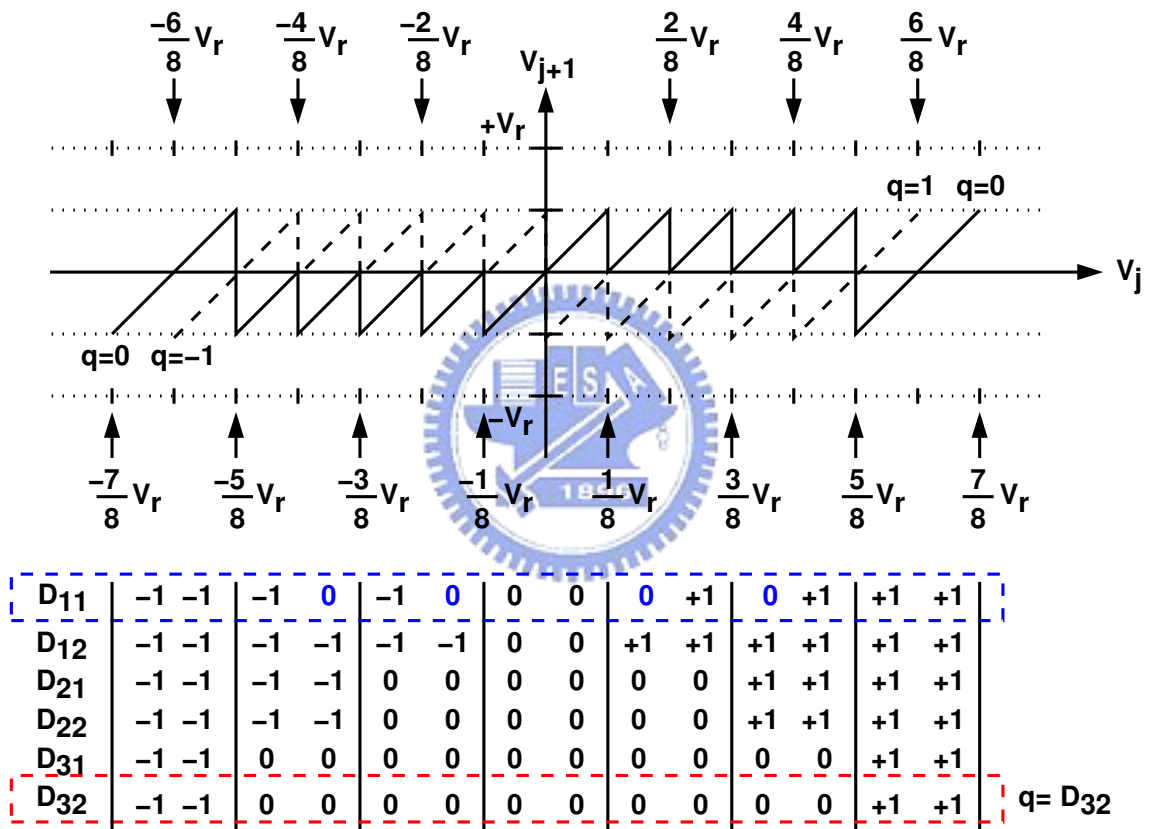


圖 4.21: 修改後的  $C_3$  轉換特性曲線圖。

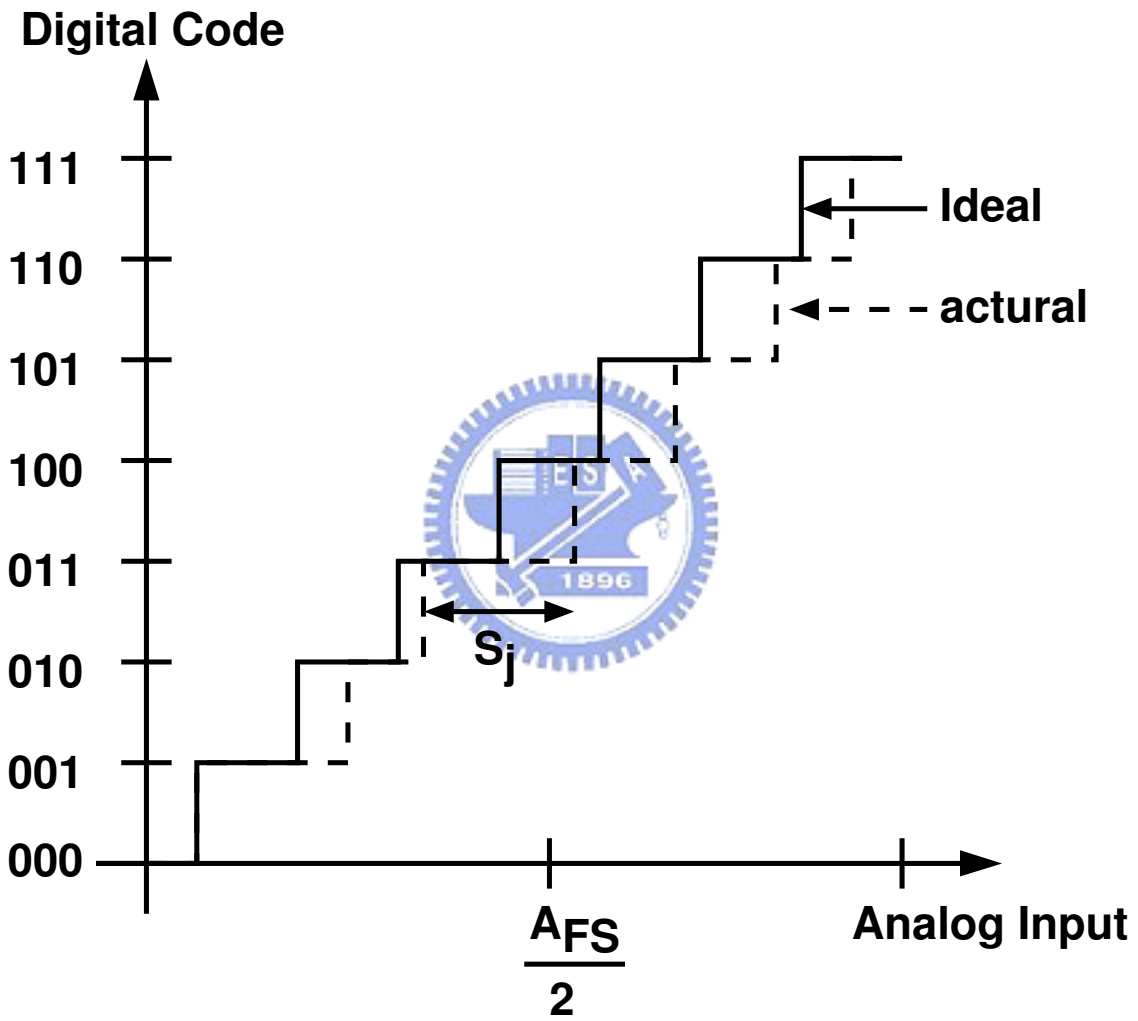


圖 4.22: DNL的說明.

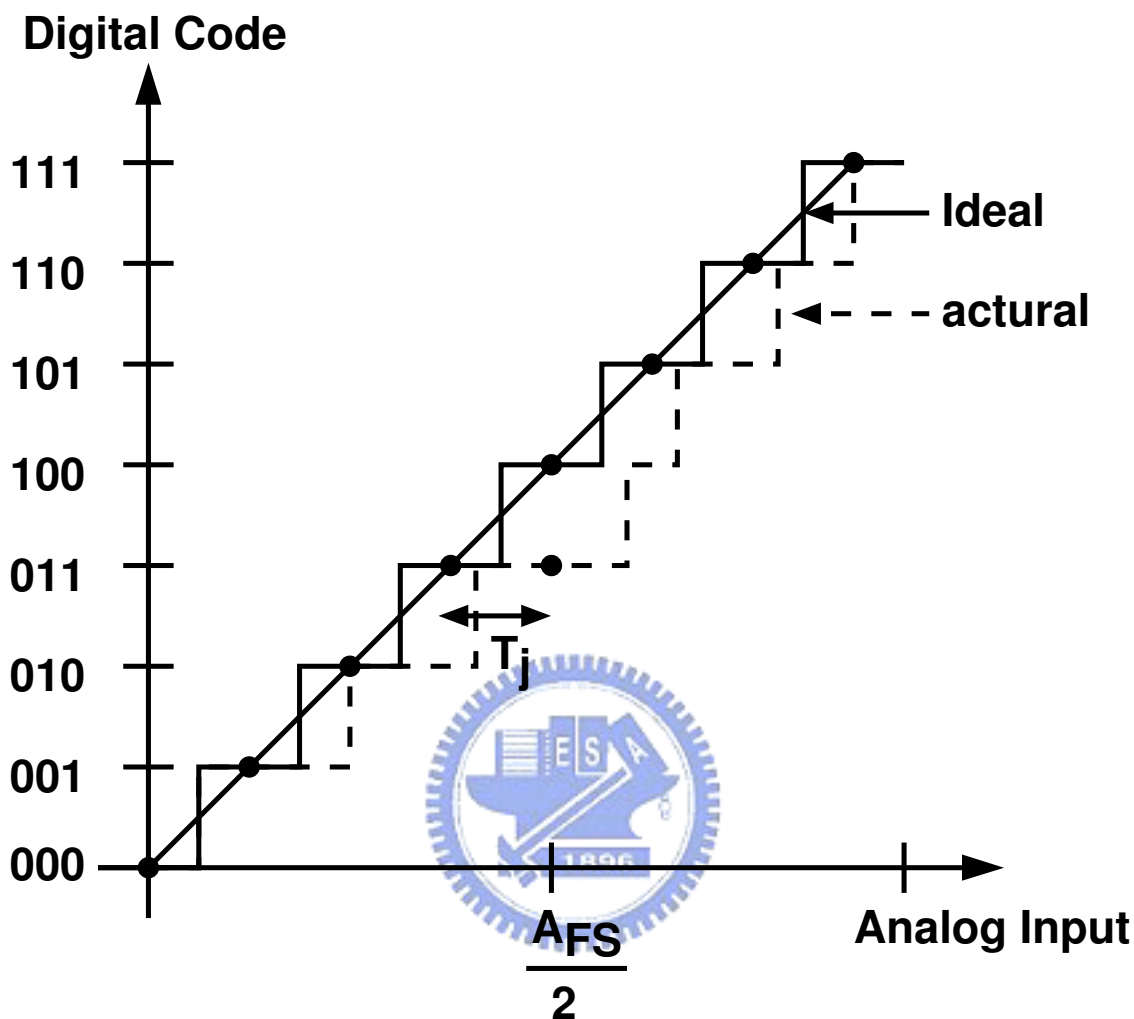


圖 4.23: INL的說明.

的。此大小幅度的變動就稱為微分非線性誤差。如圖4.22所示，實線所代表的是理想的轉換曲線，虛線所代表的是實際所得的轉換曲線；若以 $S_j$ 表示第 $j$ 個數位碼的實際寬度，則

$$DNL(D_j) = \frac{S_j - \Delta}{\Delta} (LSB) \quad (4.45)$$

$$\Delta = \frac{A_{FS}}{2^N} = 1LSB \quad (4.46)$$

其中 $A_{FS}$ 為輸入電壓的範圍。再來我們定義積分非線性誤差(Integral Nonlinearity, INL)[34]，它指的是實際上的ADC所產生數位碼所對應的輸入電壓寬度的中

	STG1	STG2	STG3	STG4
一階的線性增益 $a_1$	3.34	3.33	3.2	3.2
三階非線性係數 $a_3$	-3.67	-3.33	-3.5	-3.5
電容 $C_{s1}/C_f$ 的不匹配	3.5%	2%	1.5%	0
電容 $C_{s2}/C_f$ 的不匹配	2.5%	2.4%	1.8%	0
電容 $C_{s3}/C_f$ 的不匹配	3.0%	2.6%	2%	0

表 4.1: 前面四級MDAC的規格.

間值和理想直線之間的差值，如圖4.23所示，實線所代表的是理想的轉換曲線，虛線所代表的是實際所得的轉換曲線；若以  $T_j$  表示第  $j$  個數位碼所對應的輸入電壓寬度的中間值和理想直線之間的差值，則

$$INL(D_j) = \frac{T_j - \Delta}{\Delta} (LSB) \quad (4.47)$$

接下來我們介紹兩個動態的量測特性，訊號對於雜訊加上諧波失真的比例(SNDR)以及無雜散動態範圍(SFDR)[35]。SFDR是一個頻域概念，它的定義是，在單頻輸入條件下，輸出信號功率與最大的諧波功率的比值，

$$SFDR = 10 \cdot \frac{\text{Signal Power}}{\text{Largest Spurious Power}} \quad (4.48)$$

SNDR是指輸出端主訊號功率和所有雜訊功率以及所有諧波功率的比值，單位是dB。SNDR代表雜訊和諧波對於訊號的影響程度，通常也以此決定等效位元數目。

$$SNDR = 10 \cdot \frac{\text{Signal Power}}{\text{Noise and Distortion Power}} \quad (4.49)$$

一旦我們將轉換曲線修改之後，我們可以利用前面所提的線性校正技巧，對整個轉換器來作校正。利用上一章Hspice模擬得到各級的MDAC轉換特性曲線，和相對應的參數值並且考慮取樣電容  $C_{si}$ ,  $i = 1, 2, 3$  和回授電容  $C_f$  的不匹配誤差，如下表4.1所示。根據模擬所得的參數，我們利用C語言來模擬整個管線式類比數位轉換器，在校正之前和校正之後的特性，來做分析和比較。

首先，我們輸入一個速度很慢的斜波訊號(ramp)，從  $-V_r$  慢慢的增加到  $+V_r$ ，再量測每個數位碼在轉態時的輸入電壓值，得到整個轉換特性曲線；將所得的

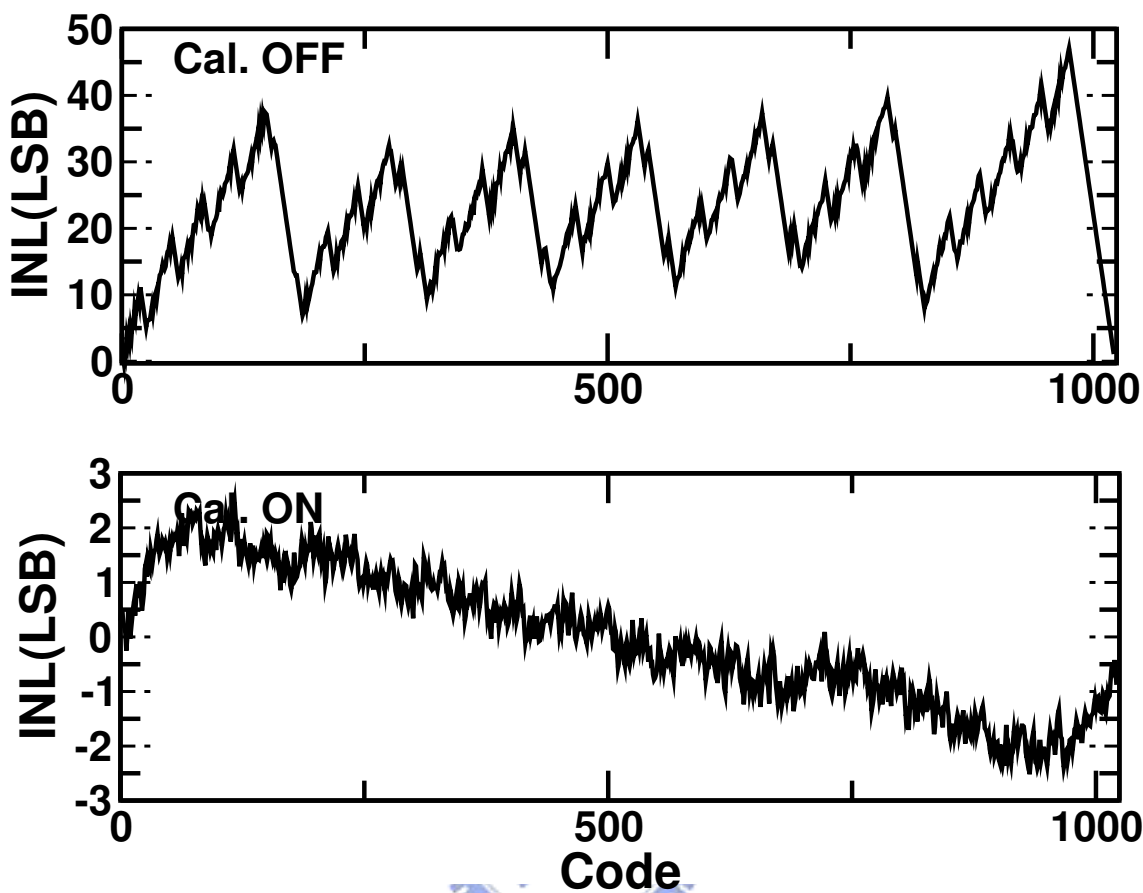


圖 4.24: 輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , INL的模擬結果.

數據，計算整個轉換器的INL和DNL。INL所得的結果如圖4.24所示。圖4.24的上面為線性校正之前的結果，由於沒有任何的校正，所得到的INL特性較差；圖4.24的下面為線性校正之後的結果，整個特性就改善很多了。DNL所得的結果如圖4.25所示，在校正之前，整個轉換器在轉換曲線轉折點的地方，會有很多的遺失碼(missing code)如圖4.25的上面所示，DNL在很多位置的地方都是-1；經由線性校正之後，即沒有遺失碼了。可以看出經由線性校正的結果，INL和DNL都有明顯的改善。圖4.26為輸入正弦波時所量測的動態FFT特性，由圖上可以看出經由線性校正之後的動態特性有了明顯的改善。從圖上我們可以得到在沒有校正之前的SFDR為41dB，在校正之後的SFDR為68dB。但是由於低增益放大器所造成轉換曲線的非線性特性，使得經由線性校正之後，仍然會存在奇數項的諧波，如圖4.26的下圖所示。

由於我們只有對整個轉換器進行線性校正，為了避免非線性項所造成轉換

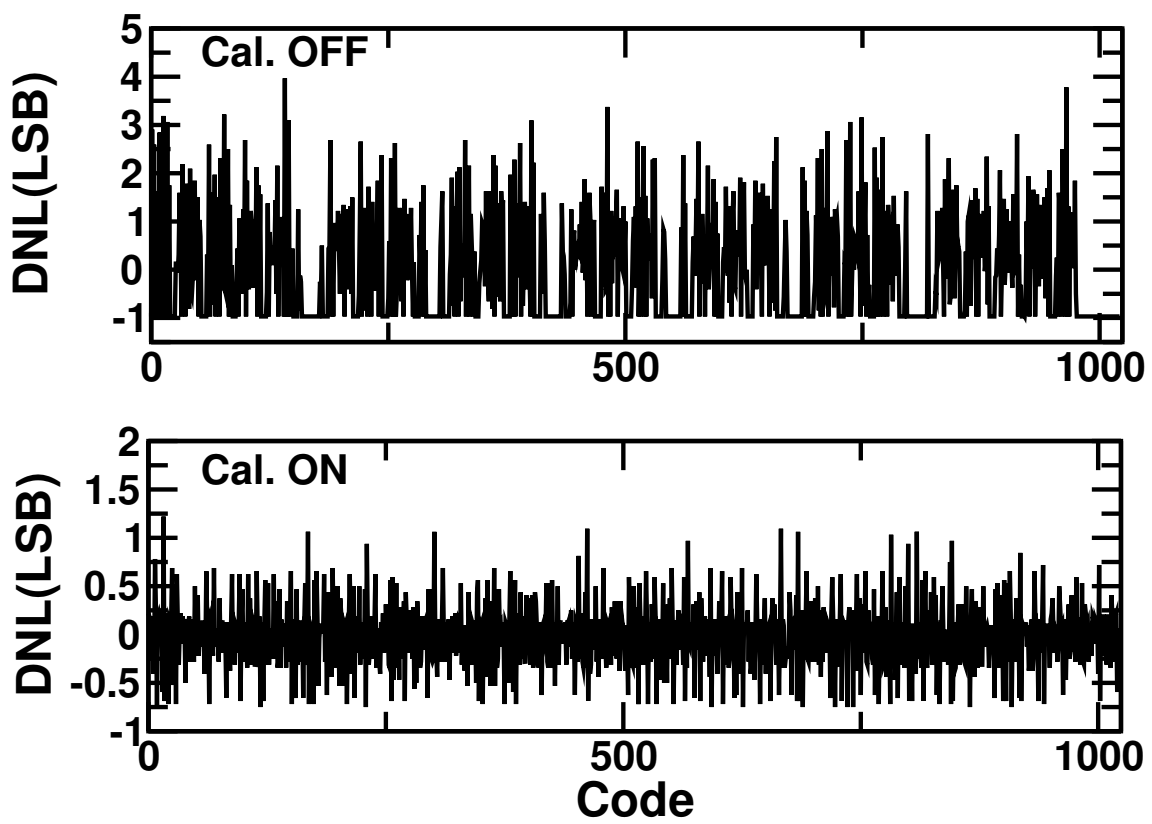


圖 4.25: 輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , DNL的模擬結果.



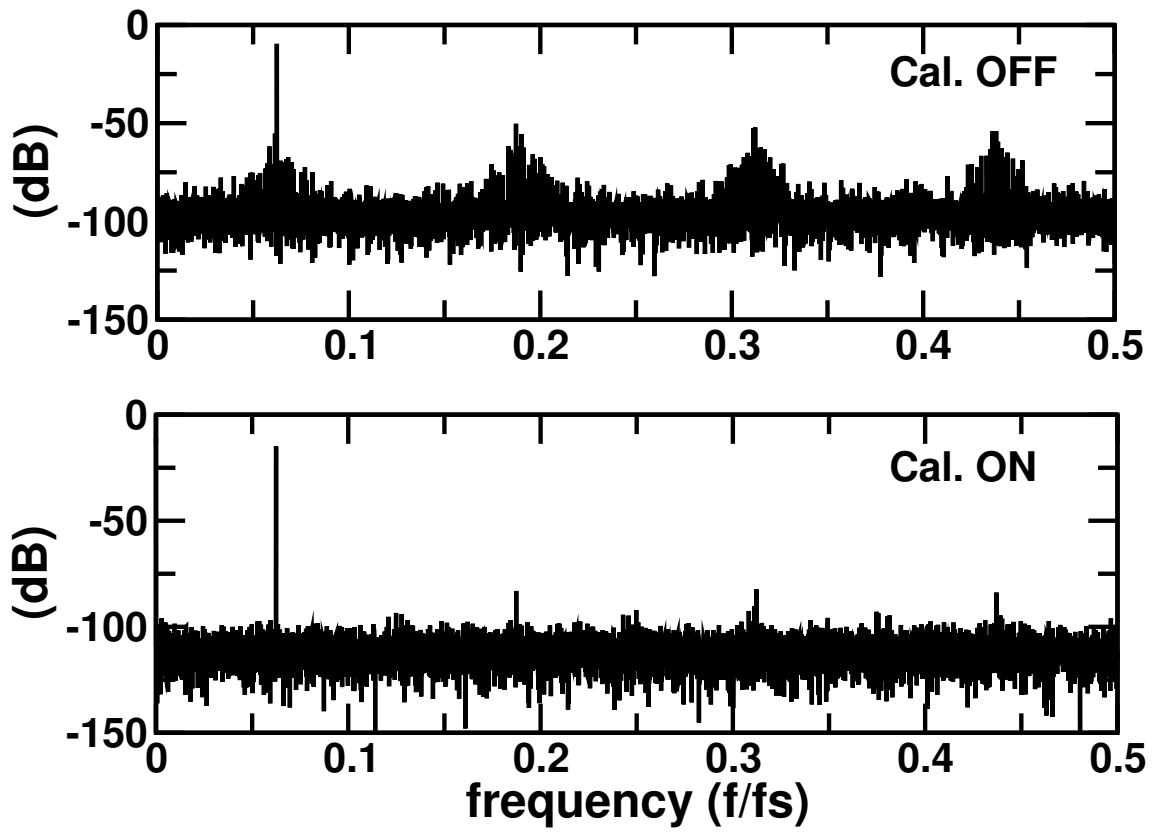


圖 4.26: 輸入電壓範圍 $V_{in}$ 等於 $\pm V_r$ , FFT的模擬結果.

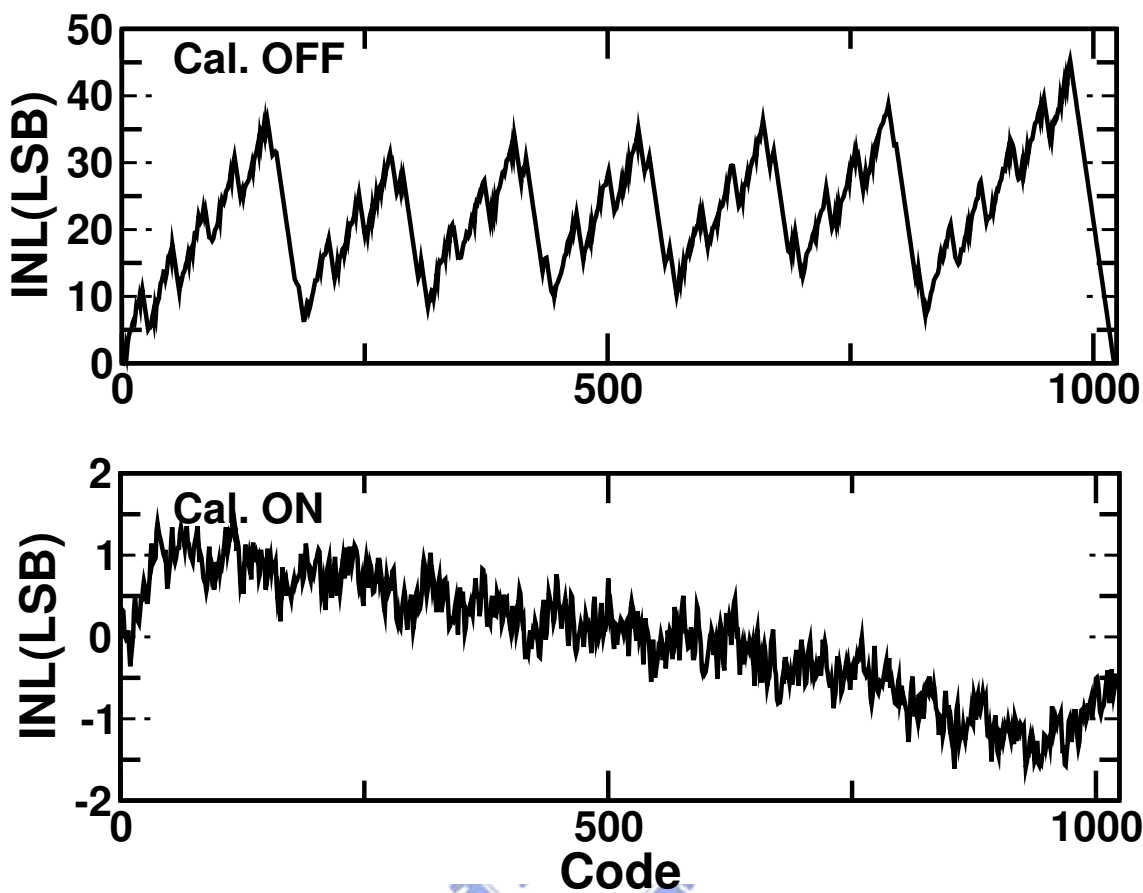


圖 4.27: 輸入電壓範圍  $V_{in}$  等於  $\pm 0.8V_r$ , INL 的模擬結果。

器的整體效能變差，我們將降低整個轉換器的輸入電壓範圍；當我們將電壓範圍降到原來的  $\pm 0.8V_r$  時，我們再對整體的轉換器的 INL, DNL 和動態的 FFT 特性的量測。圖 4.27, 圖 4.28 和圖 4.29 分別是 INL, DNL 和 FFT 在輸入電壓範圍為  $\pm 0.8V_r$  所得到的結果。相較於輸入電壓範圍為  $\pm V_r$  的結果, INL 從  $\pm 2.5LSB$  的範圍降到  $\pm 1.3LSB$  的範圍；而 FFT 的結果可以得到 SFDR 為 70dB。因此整體的效能都有有進一步的改善。因此，我們可以預期隨著輸入電壓範圍變小的結果，我們可以降低原來轉換器的非線性特性所造成的效能下降，使得整體轉換器的效能不至於受到非線性而產生太大的影響；因此，我們再將輸入電壓範圍降低為原來的  $\pm 0.6V_r$ ，所得到的 INL, DNL 和 FFT 的結果，分別如圖 4.30, 圖 4.31 和圖 4.32 所示。由圖上可以得到，INL 的範圍為  $\pm 0.75LSB$  的範圍；而 FFT 的結果可以得到 SFDR 為 76。可以看出整體的諧波效應在輸入電壓範圍變小之下，會變得比較不重要。

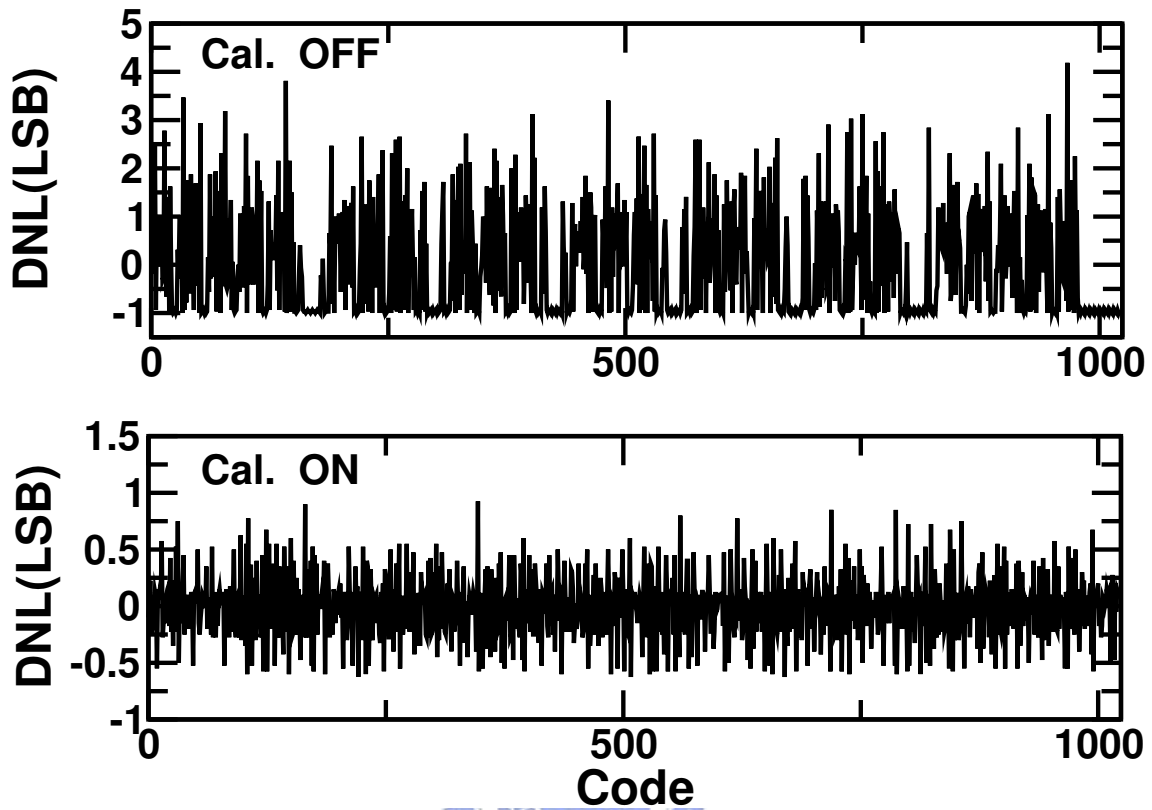


圖 4.28: 輸入電壓範圍  $V_{in}$  等於  $\pm 0.8V_r$ , DNL 的模擬結果.

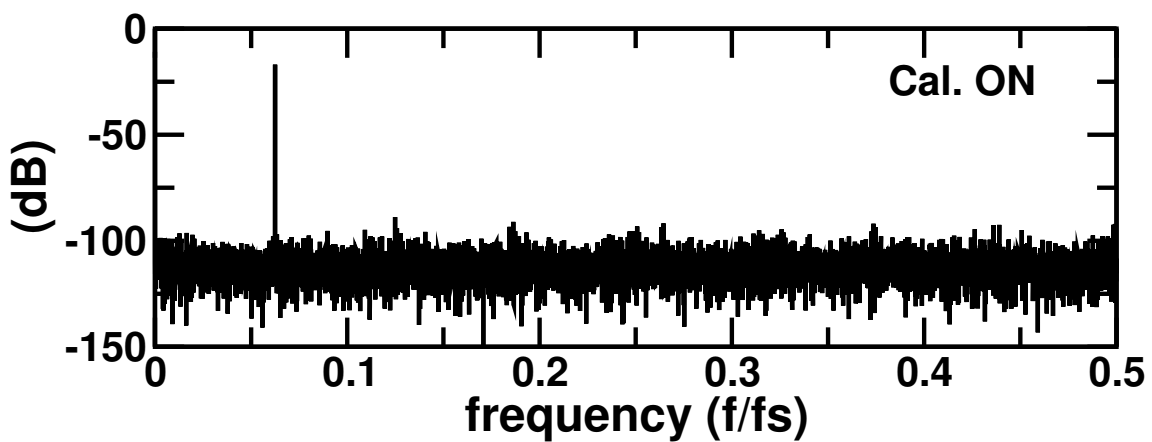


圖 4.29: 輸入電壓範圍  $V_{in}$  等於  $\pm 0.8V_r$ , FFT 的模擬結果.

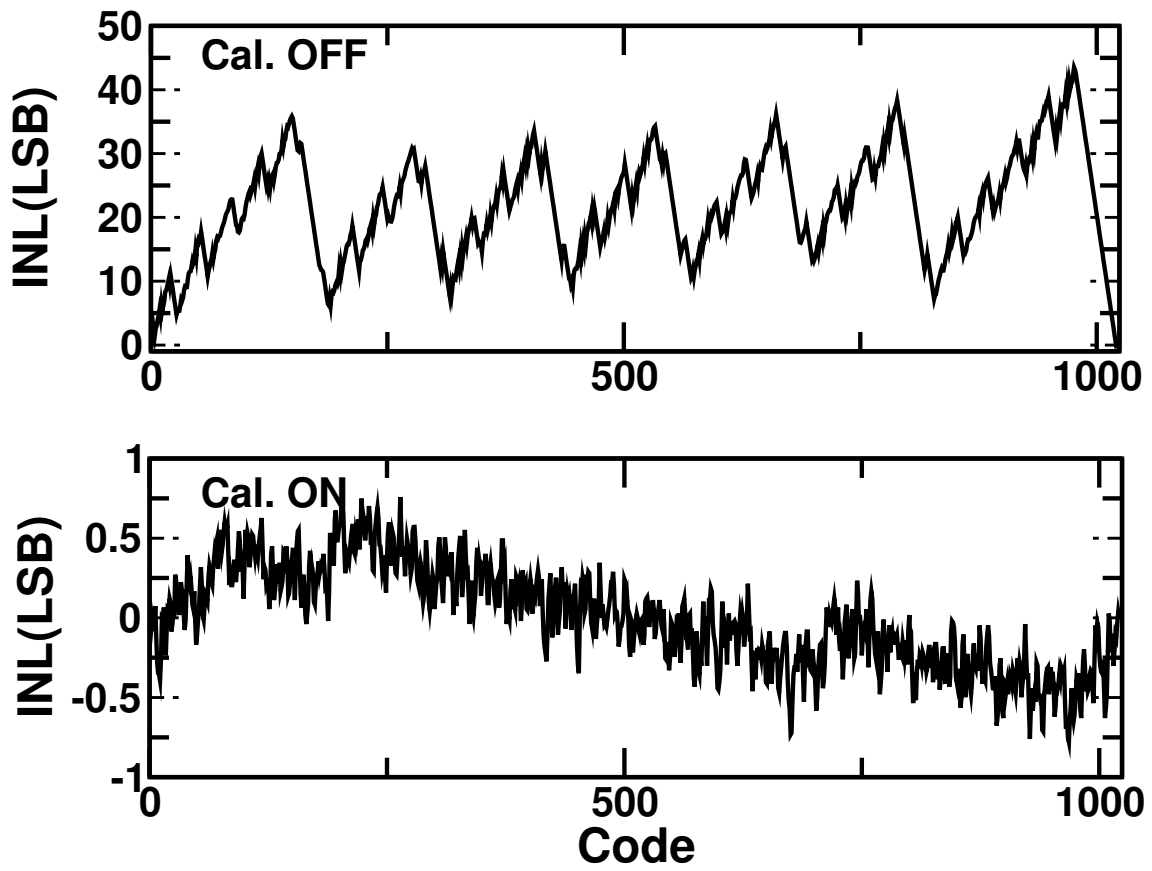


圖 4.30: 輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , INL的模擬結果.

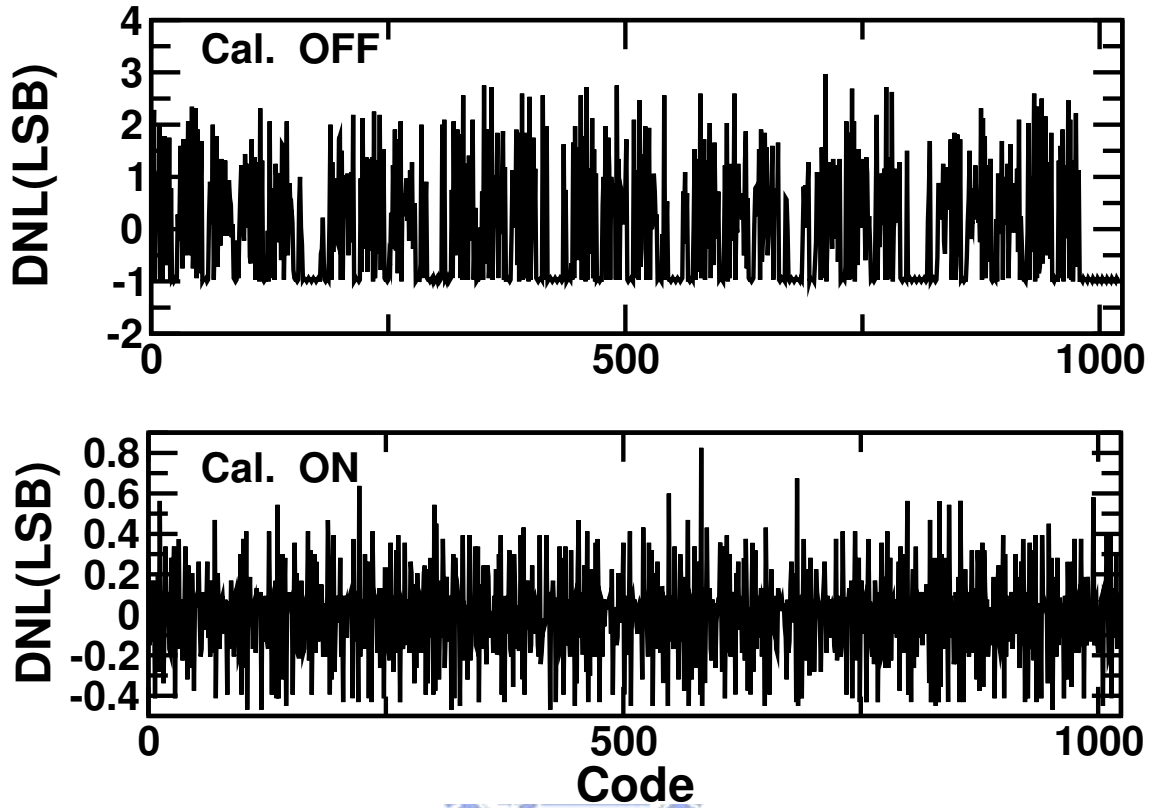


圖 4.31: 輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , DNL的模擬結果.

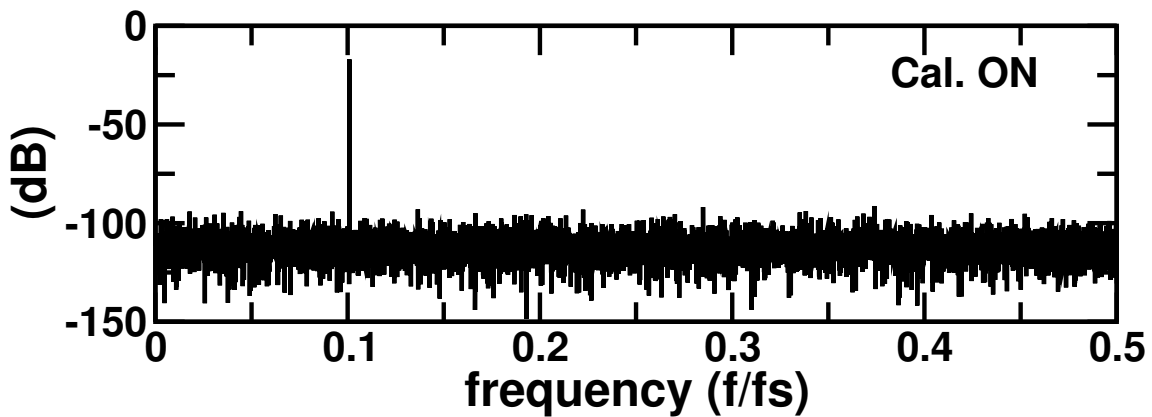


圖 4.32: 輸入電壓範圍 $V_{in}$ 等於 $\pm 0.6V_r$ , FFT的模擬結果.

## 4.5 結論

本章我們針對管線式類比數位轉換器的誤差，例如次類比數位轉換器的準位產生位移，電荷注入，電容不匹配，參考電壓產生位移以及放大器的有限的增益．．等等，討論其數位校正的原理，利用此數位校正技術，我們可以將這一些線性的誤差給校正回來，提高整體的解析度。同時介紹了一個之前所做過的數位校正電路，它是背景式的校正技術；利用將取樣電容做分割，同時對其中一個打入隨機訊號，再利用訊號相關的原理，量測出轉折高度，在輸出端補償回去。最後利用系統模擬來模擬一個1V 10b 200MS/s的管線式類比數位轉換器，根據前一章所得到MDAC轉換特性曲線和對應的參數，並且利用線性校正技巧，將真正電路的非理想特性代入系統模擬中，根據模擬所得到的結果，我們可以得到轉換器的靜態INL，DNL和動態FFT的特性。模擬結果顯示，經由線性校正技巧，可以有效改善因為低增益放大器所造成的整體轉換器效能下降。






## 第五章

# 管線式類比數位轉換器的非線性校正技術

### 5.1 簡介



由於放大器增益的降低，將放大器接成迴授系統時，靠增益所能抑制的非線性失真就變的有限，因此非線性失真的效應就開始顯現出來。在管線式類比數位轉換器的設計上，每一級管線級都是利用切換電容和放大器接成迴授電路來實現，因此當放大器增益的降低，所造成的線性誤差，可以藉由第二章所介紹的線性數位校正技術所補償回來；但是因為增益不夠所造成的非線性失真，就必須要另外的一個非線性校正技術，來補償因為非線性失真所造成的誤差[36][37][38][39][40]。以下會介紹管線式類比數位轉換器的非線性轉換特性的數學模型，並且利用在做線性校正時所得得到的一些資訊，發展出一個演算法找到由輸出所表示的非線性係數，一旦我們有了這個係數我們就可以將非線性所造成的誤差給補償回去。

### 5.2 管線式類比數位轉換器的非線性表示式

圖5.1表示一級管線級的示意圖，這裡考慮放大器增益 $G_j$ 是具有非線性誤差的。如圖5.2我示，當管線級具有非線性的增益誤差 $G_j$ 時，所對應的轉換特性曲線，由圖上可以看出原先的直線，已經因為具有非線性增益誤差而變得彎曲。對原先的線



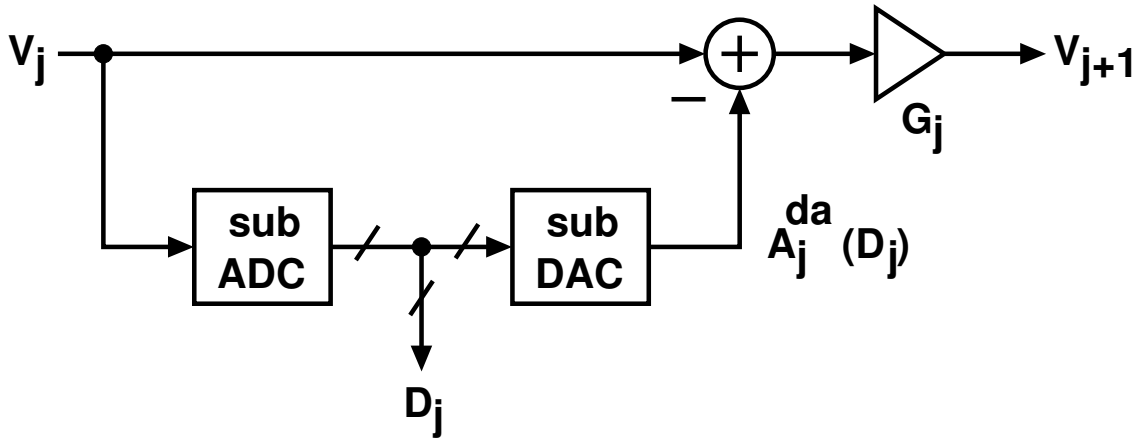


圖 5.1: 一級管線級的方塊示意圖.

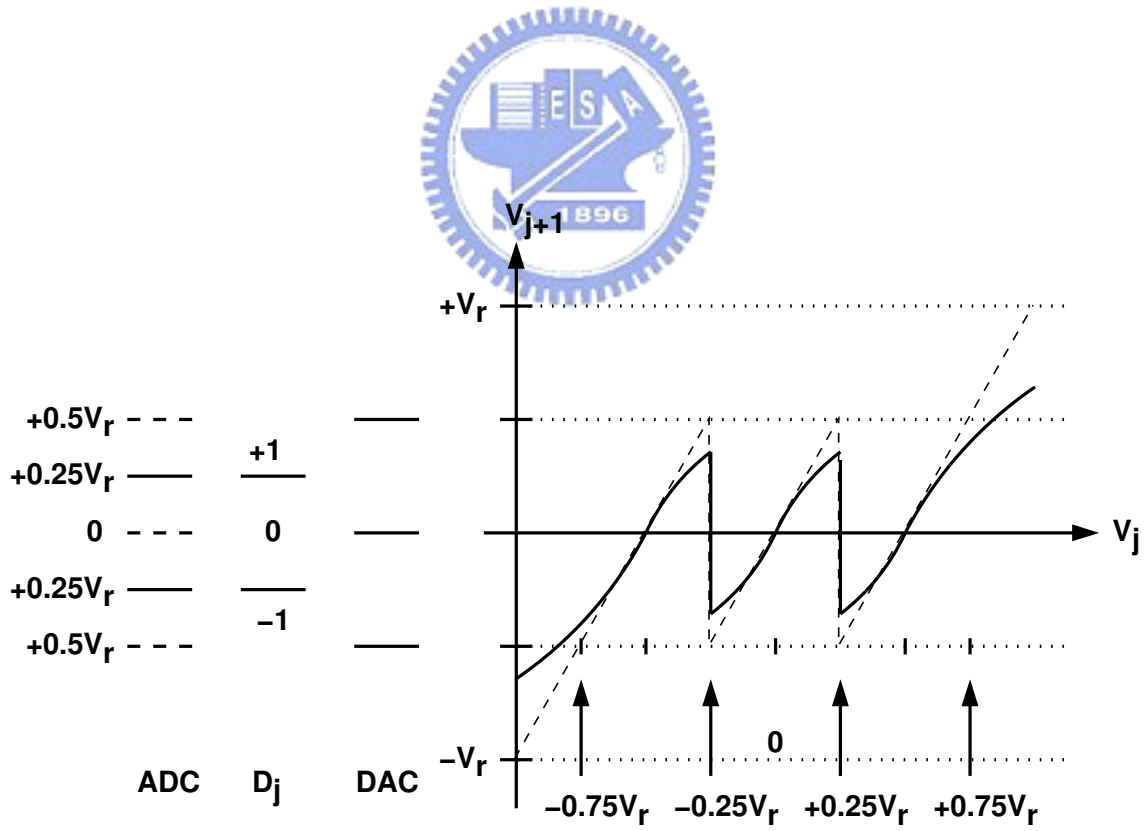


圖 5.2: 管線式類比數位轉換器的非線性轉移特性曲線.

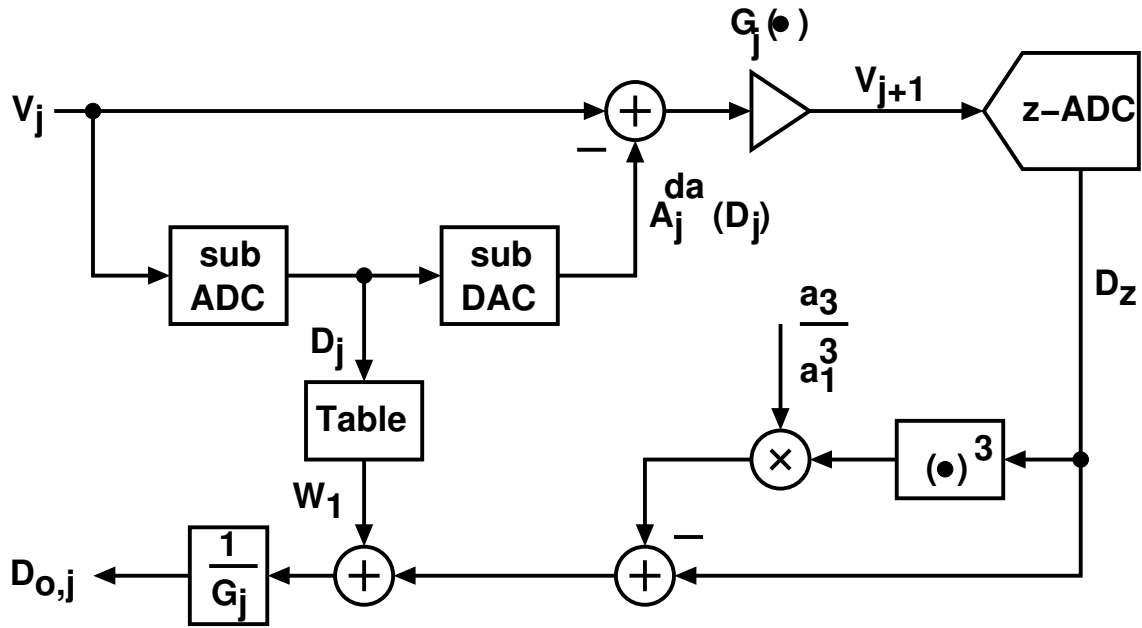


圖 5.3: 第  $j$  個管線級非線性校正的示意圖。

性管線級，我們有以下的數學表示式：

$$V_{j+1} = \hat{G}_j \times [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}] \equiv Y \quad (5.1)$$

同時一旦轉換函數有了非線性增益  $G_j$ ，我們可以將非線性增益用一個具有高階係數的多項式來表示。如下所示：

$$\begin{aligned} V_{j+1} &= a_1 \cdot [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}] + a_3 \cdot [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}]^3 \\ &+ a_5 \cdot [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}]^5 + \dots \end{aligned} \quad (5.2)$$

$$= \hat{V}_{j+1} + \frac{a_3}{a_1^3} \hat{V}_{j+1}^3 + \frac{a_5}{a_1^5} \hat{V}_{j+1}^5 + \dots \quad (5.3)$$

其中， $a_1$ 是轉換曲線的線性放大係數，在此假設信號是完全差動放大，因此只考慮奇數項的諧波失真，所以只有奇數項的諧波係數， $a_3, a_5, \dots$ 。而  $\hat{V}_{j+1}$ 是沒有非線性失真時的線性輸出，也就是

$$\hat{V}_{j+1} = a_1 \cdot [V_j - \hat{A}_j^{da}(D_j) - A_j^{os}] \quad (5.4)$$

如果管線級沒有非線性誤差，則  $V_{j+1} = \hat{V}_{j+1}$ 。

當我們只考慮三階的非線性係數 $a_3$ ，而忽略剩餘的高次項(h.o.t)，式子(5.3)變為

$$V_{j+1} = \hat{V}_{j+1} + \frac{a_3}{a_1^3} \hat{V}_{j+1}^3 \quad (5.5)$$

如果我們可以找出係數 $a_3/a_1^3$ ，則將此係數乘以 $V_{j+1}$ 的三次方，再減回上式(5.5)，則我們可以得到校正後的結果。如下所示：

$$V_{j+1} - \frac{a_3}{a_1^3} \cdot V_{j+1}^3 = \hat{V}_{j+1} + \frac{a_3}{a_1^3} \cdot [\hat{V}_{j+1}^3 - V_{j+1}^3] \quad (5.6)$$

其中， $[\hat{V}_{j+1}^3 - V_{j+1}^3]$ 是代表最後結果的誤差量；當這個誤差量越小，代表校正後的結果會越接近線性的結果。則我們可以將此三階的非線性所造成的失真效應給降至最低。

如圖5.3所示，這是一個第 $j$ 級管線級非線性的校正方塊圖。由圖5.3可知，當我們可以找到非線性校正係數時 $a_3/a_1^3$ ，則我們可以將此係數乘以zADC的輸出結果 $D_z$ ，在數位的領域減回去，如此可以將此三階的非線性所造成的失真效應給降至最低。



### 5.3 尋找非線性係數的演算法

當我們利用第四章所提出的線性校正技術[13][14][15]，將電容拆成 $N$ 等分，然後對其中任一個打入隨機信號，利用訊號相關的特性，找出對應的高度時，則整個轉換特性會如圖5.4所示。由於隨機信號的加入，會使得原來的轉移曲線在上下兩條曲線之間作切換。

為了方便解釋非線性係數找尋的演算法，我們考慮一個1.5位元的管線式類比數位轉換器，第 $j$ 個管線級的轉換曲線在 $-0.25V_r$ 到 $+0.25V_r$ 的情形， $\hat{A}_j^{da}(D_j) = 0$ 並且讓 $A_j^{os} = 0$ ，如圖4.11所示，轉換曲線具有兩個轉折高度，分別是 $R_j(+1)$ 和 $R_j(-1)$ 。以下考慮 $R_j(+1)$ 的情形(同樣的情形也可用於 $R_j(-1)$ )，並且將取樣電容 $C_s$ 等分成四等份，會對應四段 $R_{ji}$ ， $i \in \{1, 2, 3, 4\}$ 值，而高度 $R_j$ 就是這四段的高度相加，也就是 $R_j = \sum_{i=1}^4 R_{ji}$ 。如圖5.5所示。考慮只存在三階的非線性係數，忽略高階的奇數項。這兩條曲線都是 $V_j$ 的函數，我們分別對此寫出對應的多項式，

$$V_{j+1}(V_j) = a_1 V_j + a_3 V_j^3 \quad (5.7)$$

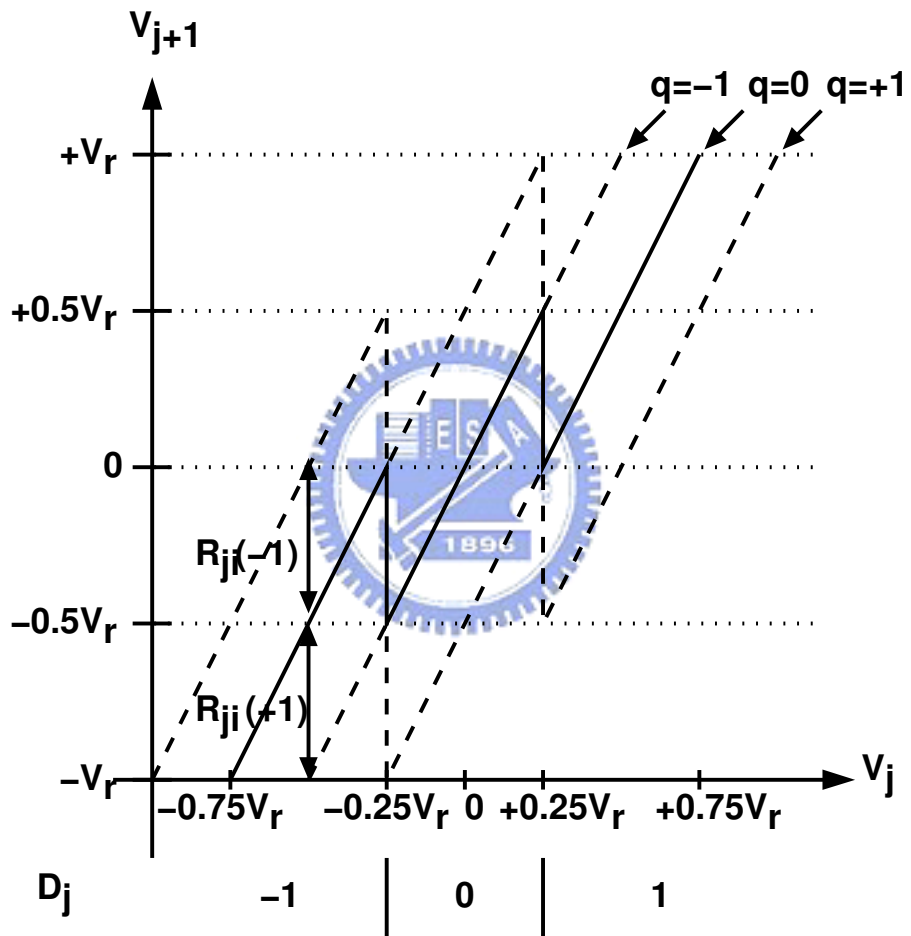


圖 5.4: 隨機信號所造成的轉移特性曲線的改變。

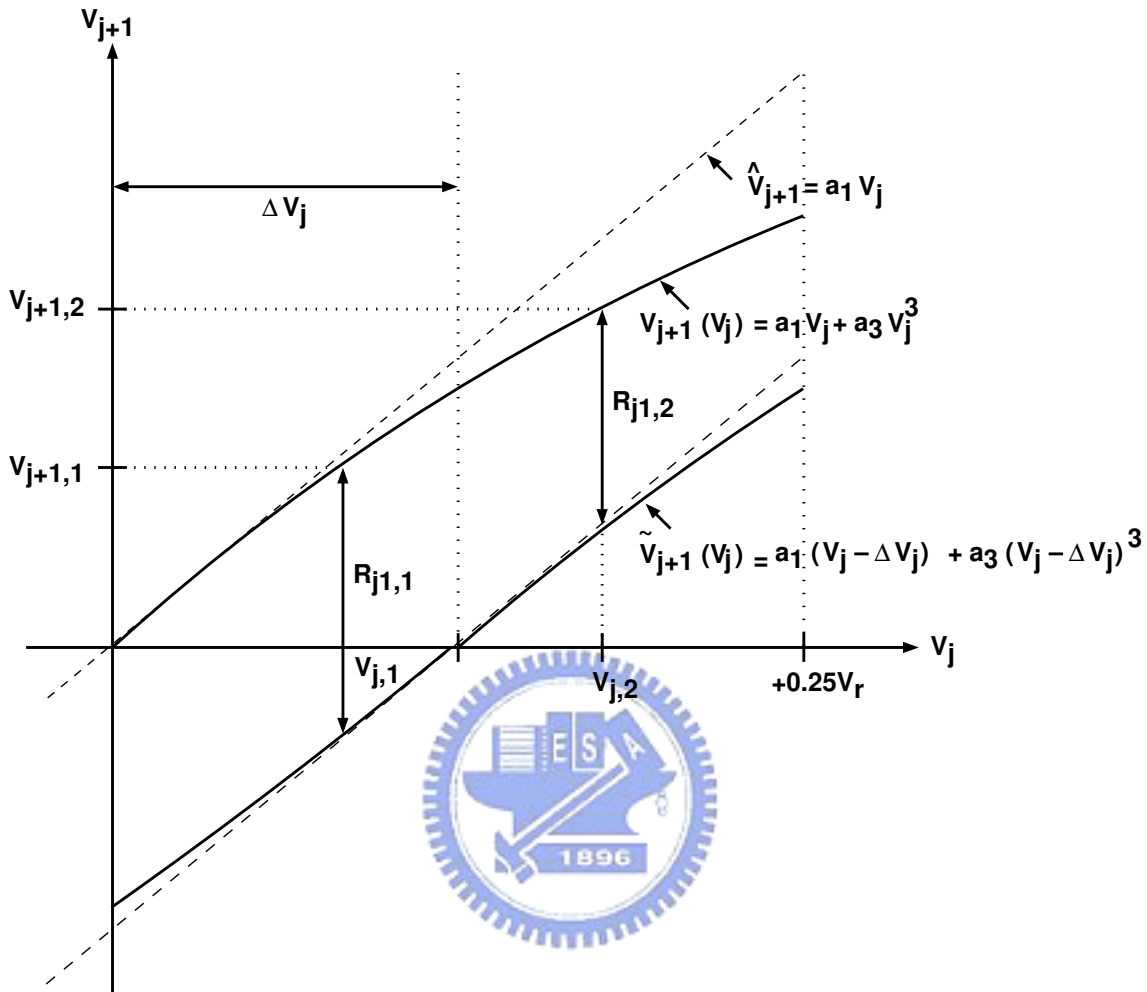


圖 5.5: 非線性曲線的多項式.

$$\tilde{V}_{j+1}(V_j) = a_1[V_j - \Delta V_j] + a_3[V_j - \Delta V_j]^3 \quad (5.8)$$

其中  $\Delta V_j$  是代表因為加入亂數的影響在  $V_j$  軸的位移量。將以上兩個式子相減，我們可以得到高度得差值，也就是在線性校正下的  $R_{ji}$ ，在線性的情形之下，這個位移量是所量測高度  $R_{j1}$  的  $1/a_1$  倍，也就是  $R_{j1} = a_1 \Delta V_j$ 。

如果沒有非線性的增益誤差，則轉換曲線是一條直線，如圖 5.2 中的虛線所示。則在  $V_j$  的任何位置所量測的高度差  $R_{ji}$  都應該是一樣的；然而因為有了非線性的增益誤差，在  $V_j$  的任一位置所量到的高度便會不一樣，在  $V_{j+1}$  的值越大的情形下，非線性效應會越明顯，高度差  $R_{ji}$  也會越來越小。

我們可以利用假隨機信號(pseudo-random generator)產生器產生一組輸出是二位

元的隨機序列，且使得輸出為數位”1”和為數位”0”的數目是一樣的。所以圖5.5中的曲線在上下切換的機率會是一樣的。隨機信號將輸入信號平均打散分佈在上下兩條曲線上，理論上當隨機信號的序列夠多時，所以上下區線所對應輸入信號的平均值理論上是一樣的，而得到在這個平均值的輸入下，所對應的兩條曲線的個別輸出值，這兩個輸出值的差值就是我們所量測的的高度  $R_{ji}$ 。

假設輸入信號是均勻的分佈在輸入範圍之內，我們可以將所得的平均值在分成左右兩個輸入信號的平均值，如圖中的  $V_{j,1}$  和  $V_{j,2}$ 。為了達到這件事，我們必須要增加隨機信號的序列長度，使得輸入可以有足夠的數量，分散在左右兩邊而得到個別的輸入值平均；至於如何將輸入平均分成左右兩邊而得到個別的平均值，有兩個辦法；第一是增加次類比數位轉換器(sub-ADC)中比較器的數量，將輸入分成左右兩邊，再分別收集得到量化輸出的平均值。第二種方式，是直接由輸出量化的數位碼來得到量化輸出的平均值，所以在數位端必須要有一個數位的比較器，設定一個數位的臨界值(threshold)將所得的數位碼依據隨機信號的大小和這個臨界值分別來收集，也可以得到將輸入等效的分成左右兩邊，得到在輸入平均下的輸出量化結果。第一種方式必須要增加類比的比較器，不但輸入所看到的負載會增加，也同時增加功率消耗和面積。利用第二種增加數位比較器的方式，只要在數位端設定一個臨界值將所收集的數位碼分開即可，不會造成硬體上的增加。再此我們採用第二種方式。

因此我們利用設定一個臨界值和增加隨機信號的序列的長度的方法，將輸入值分成左右兩個輸入信號的平均值，再分別量測其各別的高值度差  $R_{j1,1}$  和  $R_{j1,2}$ ，則我們有以下的式子：

$$R_{j1,1} = V_{j+1}(V_{j,1}) - V_{j+1}(V_{j,1}) = a_1 \Delta V_j + a_3 [3V_{j,1}^2 \Delta V_j - 3V_{j,1} \Delta V_j^2 + \Delta V_j^3] \quad (5.9)$$

$$R_{j1,2} = \tilde{V}_{j+1}(V_{j,2}) - \tilde{V}_{j+1}(V_{j,2}) = a_1 \Delta V_j + a_3 [3V_{j,2}^2 \Delta V_j - 3V_{j,2} \Delta V_j^2 + \Delta V_j^3] \quad (5.10)$$

將以上兩個式子相減，可得

$$\Delta R_{j1} = R_{j1,1} - R_{j1,2} = a_3 \cdot [3\Delta V_j][(V_{j,1} - V_{j,2})(V_{j,1} + V_{j,2} - \Delta V_j)] \quad (5.11)$$

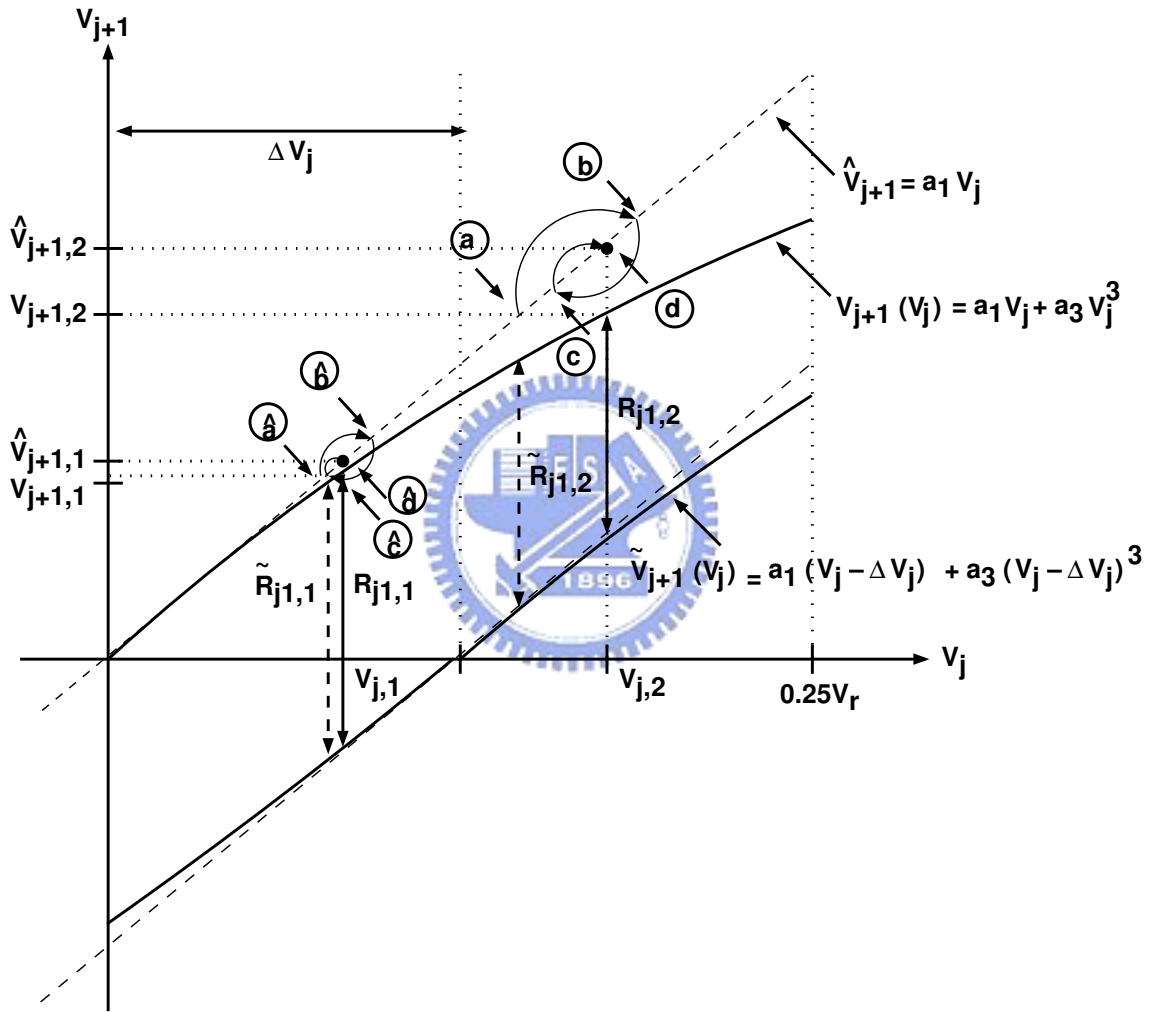


圖 5.6: 非線性係數的收斂過程.

如果我們將上式中的 $V_{j,1}$ ， $V_{j,2}$ 和 $\Delta V_j$ ，分別用 $\hat{V}_{j+1,1}/a_1$ ， $\hat{V}_{j+1,2}/a_1$ 和 $R_{ji,1}/a_1$ 代入，則原來的右式變為

$$\Delta R_{j1} = 3 \cdot \frac{a_3}{a_1^3} [R_{ji,1}] [\hat{V}_{j+1,1} - \hat{V}_{j+1,2}] [\hat{V}_{j+1,1} + \hat{V}_{j+1,2} - R_{ji,1}] \quad (5.12)$$

根據前面第四章所提出的線性校正的方法[13][14][15]，我們可以量測到 $R_{j1,1}$ ， $R_{j1,2}$ ， $V_{j+1,1}$ 和 $V_{j+1,2}$ 所對應的數位碼。所以在式子(5.12)左邊的 $\Delta R_{j1}$ ，可以根據我們所量測到的 $R_{j1,1}$ 和 $R_{j1,2}$ 而得到；然而的右邊中的 $\hat{V}_{j+1,1}$ 和 $\hat{V}_{j+1,2}$ ，則是我們所不知道的。因此，我們無法由式子(5.12)直接來得到我們所要的非線性係數 $\frac{a_3}{a_1^3}$ 。

但是如果我們將所量測得到的 $R_{j1,1}$ ， $V_{j+1,1}$ 和 $V_{j+1,2}$ ，代入式子(5.12)的右邊，則我們所得到的的是的 $\tilde{R}_{ji,1}$ 和 $\tilde{R}_{ji,2}$ 的差值 $\Delta \tilde{R}_{j1}$ 。

$$\Delta \tilde{R}_{j1} = 3 \cdot \frac{a_3}{a_1^3} [R_{ji,1}] [V_{j+1,1} - V_{j+1,2}] [V_{j+1,1} + V_{j+1,2} - R_{ji,1}] \quad (5.13)$$

由於非線性的遞減性，所得的 $\Delta \tilde{R}_{j1} < \Delta R_{j1}$ 。因此，將量測值 $R_{j1,1}$ ， $V_{j+1,1}$ 和 $V_{j+1,2}$ 代入式子(5.12)的右式，所得到的非線性係數 $3 \frac{a_3}{a_1^3}$ ，會比實際上的值要來的大，

$$\left(\frac{a_3}{a_1^3}\right)^{(1)} > \frac{a_3}{a_1^3} \quad (5.14)$$

所得的非線性係數 $\left(\frac{a_3}{a_1^3}\right)^{(1)}$ ，我們用上標(1)來表示第一次遞迴所得的結果。如果將所得的非線性係數 $\left(\frac{a_3}{a_1^3}\right)^{(1)}$ 乘上原來量測所得的結果 $V_{j+1,1}$ 和 $V_{j+1,2}$ ，則我們可以得到一個新的 $V_{j+1,1}$ 和 $V_{j+1,2}$ 的值。如圖5.6所示，也就是原來的 $V_{j+1,1}$ 和 $V_{j+1,2}$ 會分別從 $\hat{a}$ 跳到 $\hat{b}$ ，和從 $a$ 跳到 $b$ 。我們將此新的一組值用 $V_{j+1,1}^{(1)}$ 和 $V_{j+1,2}^{(1)}$ 來表示，代表第一次遞迴所得的結果

再將 $V_{j+1,1}^{(1)}$ 和 $V_{j+1,2}^{(1)}$ 代入式子(5.12)右邊，得到另外一組非線性係數 $\left(\frac{a_3}{a_1^3}\right)^{(2)}$ 。由於式子(5.14)，所得的 $V_{j+1,1}^{(1)}$ 和 $V_{j+1,2}^{(1)}$ 會較實際值來的大，也就是：

$$V_{j+1,1}^{(1)} > \hat{V}_{j+1,1} \quad (5.15)$$

$$V_{j+1,2}^{(1)} > \hat{V}_{j+1,2} \quad (5.16)$$

所以，所得到的非線性係數 $\left(\frac{a_3}{a_1^3}\right)^{(2)}$ 會比實際來的小，也就是

$$\left(\frac{a_3}{a_1^3}\right)^{(2)} < \frac{a_3}{a_1^3} \quad (5.17)$$



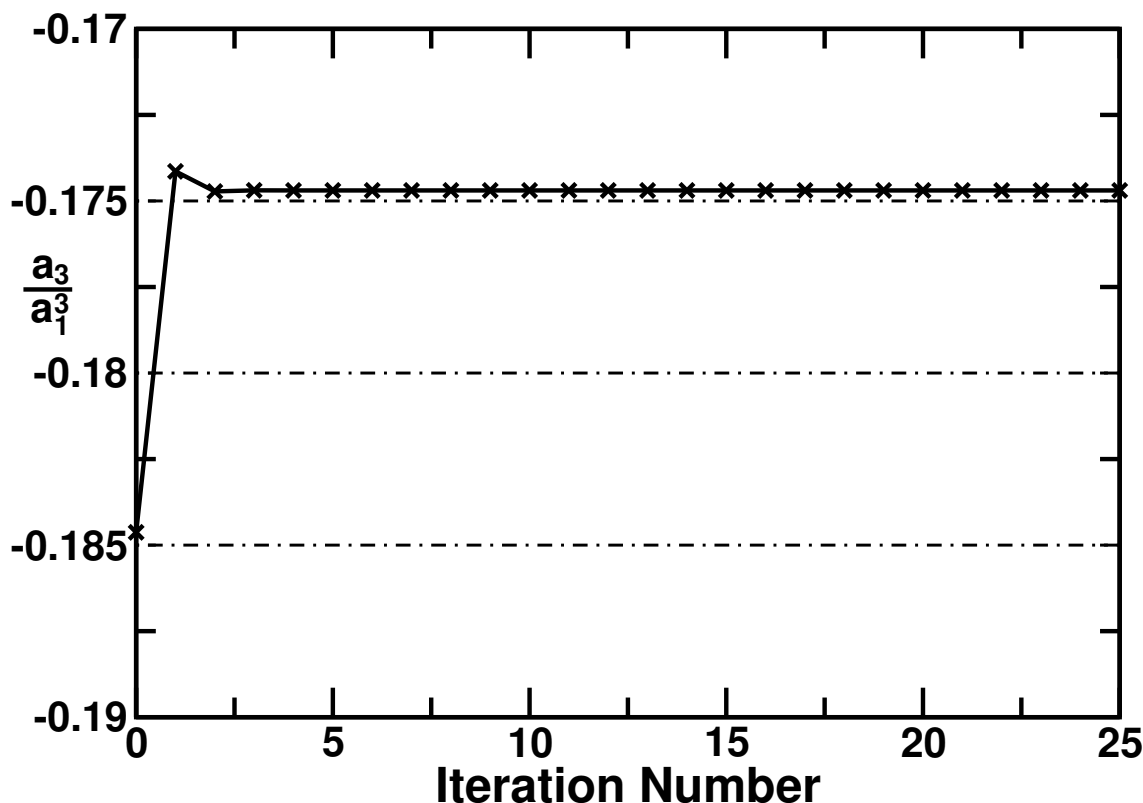


圖 5.7: 非線性係數的收斂過程。

我們將將所得的非線性係數 $(\frac{a_3}{a_1^3})^{(2)}$ 再乘上原來量測所得的結果 $V_{j+1,1}$ 和 $V_{j+1,2}$ ，則我們可以得到一組新的 $V_{j+1,1}^{(2)}$ 和 $V_{j+1,2}^{(2)}$ 的值。由於式子(5.17)，我們知

$$V_{j+1,1}^{(2)} < \hat{V}_{j+1,1} \quad (5.18)$$

$$V_{j+1,2}^{(2)} < \hat{V}_{j+1,2} \quad (5.19)$$

從圖5.6可以看出， $V_{j+1,1}$ 和 $V_{j+1,2}$ 等效上是分別從 $\tilde{b}$ 跳到 $\tilde{c}$ 和從 $b$ 跳到 $c$ 。

如此遞迴下去，則最後式子(5.12)右邊的值會收斂到和左邊一樣的結果。這個時候所得的第 $n$ 次遞迴非線性係數 $(\frac{a_3}{a_1^3})^{(n)}$ 結果值才會收斂到真正的 $\frac{a_3}{a_1^3}$ 。同時所得到的第 $n$ 次遞迴 $V_{j+1,1}^{(n)}$ 和 $V_{j+1,2}^{(n)}$ 的結果，也才會收斂到真正的 $\hat{V}_{j+1,1}$ 和 $\hat{V}_{j+1,2}$ 的值。

## 5.4 模擬結果

為了驗證上一節所提出的找非線性係數的演算法，我們用C語言寫了一個程式來驗證。在輸入範圍為0 0.25(讓 $V_r = 1$ )，我們直接輸入 $V_{j,1}$ 和 $V_{j,2}$ 的兩個值，分別

為0.042和0.1。係數  $a_1 = 3.2$ ， $a_3 = -5.732$ ；這係數是由上一章所設計的放大器用線性回歸分析所得的非線性係數。並讓高階的非線性係數為零。圖5.7所示，為C程式模擬所得到的結果，在幾個遞迴之後，會很快的收斂到真正的值。

接下來，當我們將輸入作隨機變化時，任意的兩個輸入值  $V_{j,1}$  和  $V_{j,2}$  所得到  $a_3/a_1^3$  的結果。如圖5.8所示，由圖可知，當兩個輸入所得到的  $R_{ji,1}$  和  $R_{ji,2}$  很接近的時候，也就是  $\Delta R_{j1}$  很小的時候，會有較大的誤差出現。只要  $\Delta R_{j1}$  不要太小，則所得的結果是會收斂到理想值。

由於我們實際上所得到的量測結果，是經由第  $j$  級之後所組成的zADC量化得來的數位碼，如圖5.3所示。所以為了驗證，當相對應的  $V_{j+1,1}$ ， $V_{j+1,2}$  以及  $R_{ji,1}$  經後面的zADC所量化出來的值，仍然能利用上述的演算法，來得到我們所要的  $a_3/a_1^3$  經量化結果的值，我們將所得的值經由一個十位元的量化器（振幅是-1 +1），產生所相對應的數位碼，代入上述的演算法；一樣是經由寫也是C程式語言所模擬得到的結果。如圖5.9所示，由圖可看出因為經過量化之後，所得到的  $\Delta R_{j1}$ ，只會是出現在幾個量化值上，和前面一樣， $\Delta R_{j1}$  越小，所得非線性係數的結果變動越大。而且對應同一個  $\Delta R_{j1}$ ，也會得到變動頗大的非線性係數；這是因為對應於任意兩個不同的輸入而言，經量化過程後都有可能產生相同的  $\Delta R_{j1}$ 。所以所得的結果已經包含了量化的誤差和數位除法所產生的誤差在內了；為了解決非線性係數的結果變動太大的問題，我們可以將所得的決非線性係數結果，收集以後，累加再取平均值。同時，可經由調整數位準位的值來改善，也就是當我們在數位端搜集的數位碼時，只要是  $R_{ji,1}$  和  $R_{ji,2}$  或者是  $V_{j+1,1}$  和  $V_{j+1,2}$  太過於接近時，我們就不去計算  $a_3/a_1^3$  的值，如此一來可以大幅的減少誤差過大的產生；將所得到的  $a_3/a_1^3$  值再一次的累加做平均，所得到的值將會變動更小。我們將上述的模擬結果，取其平均值； $a_3/a_1^3$  在未量化之前的平均值為-0.1745，量化後的平均值為-0.1732。

圖5.10所是的模擬結果，是假設系統具有非線性的時候，利用上式所得到的結果，如圖所示，三階的諧波失真在經補償之後，-58dB從降到-80.1dB，有被抑制下來了。

## 5.5 結論

在這個章節，我們討論了因為放大器的增益太小，除了造成整個ADC的轉換特性曲線出現線性的誤差以外，同時非線性的誤差也會開始顯現出來。為了達到更高

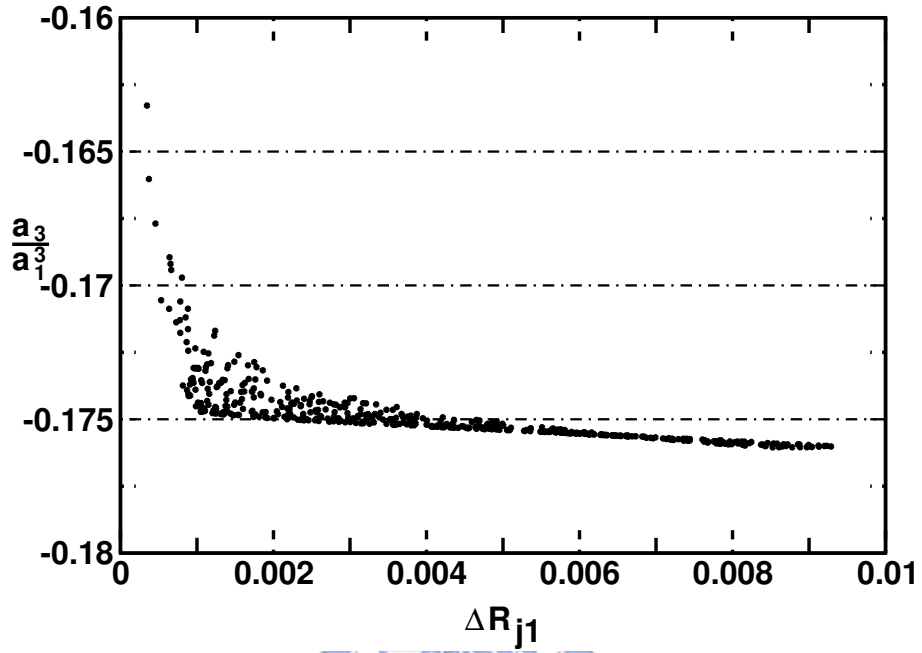


圖 5.8: 非線性係數 vs  $\Delta R_{j1}$ .

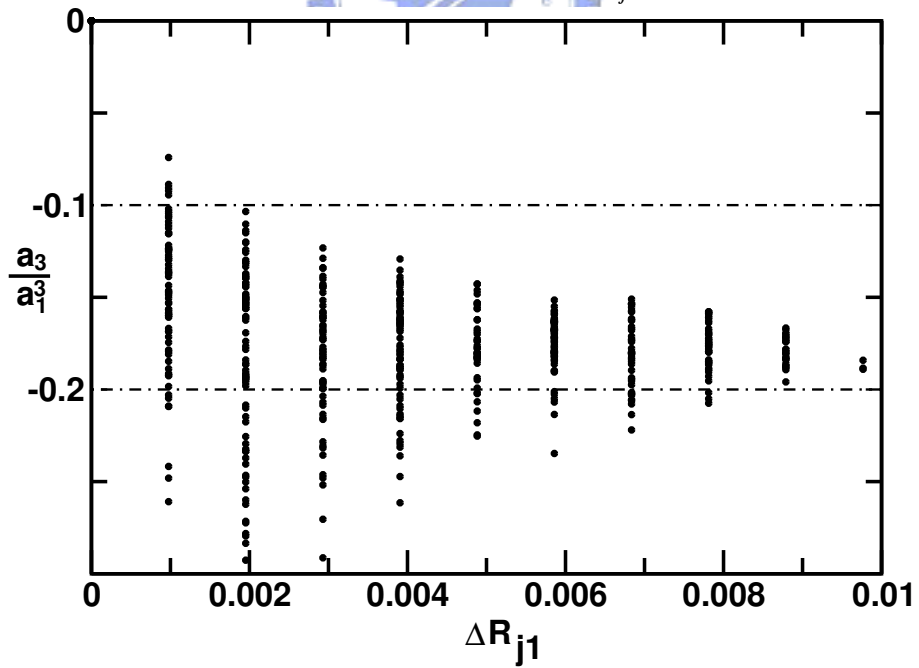


圖 5.9: 量化後的非線性係數 vs 量化的  $\Delta R_{j1}$ .

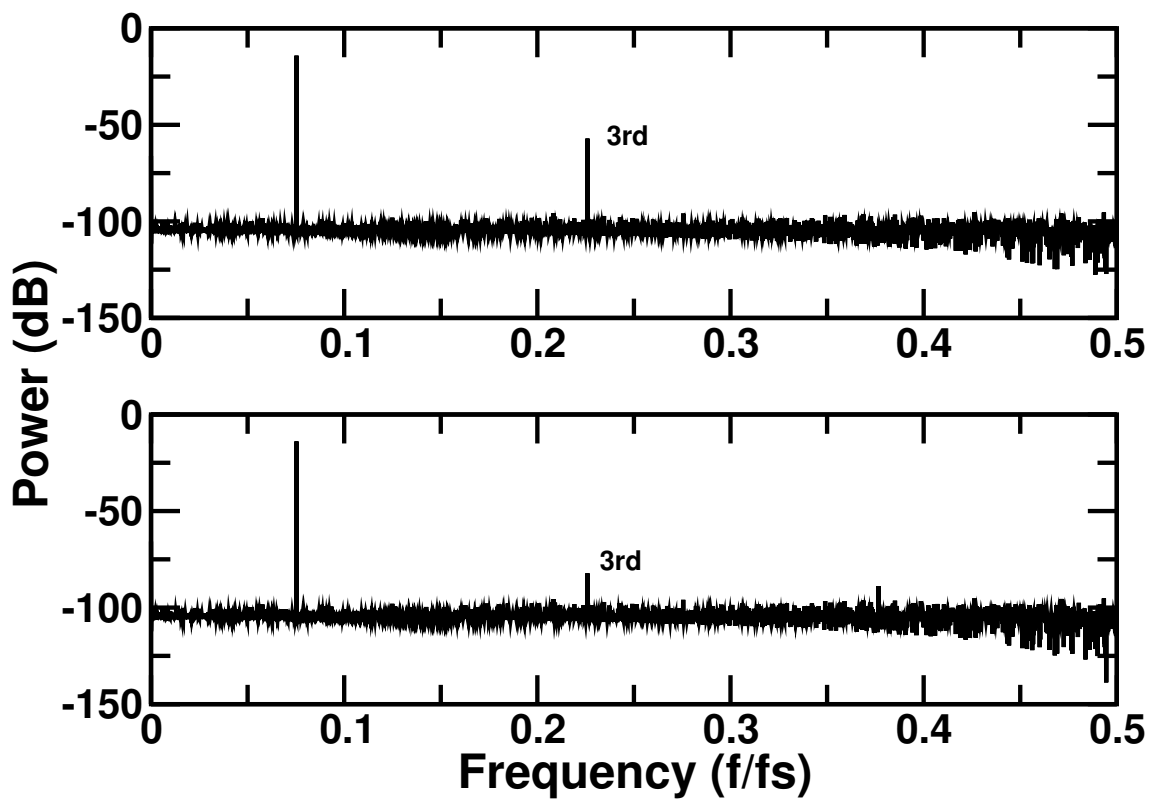


圖 5.10: 具有三階非線性管線級的FFT校正結果.

的解析度，除了線性誤差需要校正之外，對於非線性的誤差也應該要適當的更正。在這個章節，我們根據線性校正所得的訊息，我們提出一個演算法，能在不增加類比電路的硬體之下，找出這一個非線性係數。模擬結果，可以得到由這一個非線性係數所補償回去的結果，可以有效的抑制非線性的諧波。



# 第六章

## 結論與建議

### 6.1 結論

在本論文中我們主要針對一個操作在1V 電壓，每秒200萬次取樣管線式類比數位轉換器來設計。採用每級2.5-bit解析度的架構提高整個類比數位轉換器的運算速度，並結合數位校正技術以補償對比較器的偏移電壓容忍度和電容不匹配以及放大器增益太小所造成的誤差；因為放大器是整個類比數位轉換器功率消耗的主要來源，在系統規格的要求下，設計出一個高速放大器，並對此放大器進行功率消耗最小化的設計流程；利用切換放大器技巧可以降低整個類比數位轉換器功率消耗約為原來的一半，將電路模擬所得的MDAC轉換曲線參數，代入整個管線式類比數位轉換器的系統模擬，得到模擬輸出的結果。此外針對因為放大器增益太小所造成的非線性誤差，本文也提出一個非線性係數粹取的演算法，可以將此一非線性係數給找出來，在數位端用數位的方式校正回去。

### 6.2 建議將來研究方向

以下提出未來可能進行的研究方向：

- 提高放大器的操作速度。
- 非線性的演算法可以工作在輸入是固定的電壓下。
- 找出五階的非線性係數。



## 參考文獻

- [1] A. Annema, “Analog circuit performance and process scaling,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, no. 6, pp. 711–725, 1999.
- [2] M. Garg, S.S.Suryagandh, and J.S.Woo, “Scaling impact on analog performance for sub-10 nm MOSFET’s for mixed mode application,” in *Proc. ESSDERC*, pp. 371–374, 2003.
- [3] A. Annema and *et al*, “Analog circuits in ultra-deep-submicron CMOS,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 1, pp. 132–143, January 2005.
- [4] K. Bult, “Broadband communication circuits in pure digital deep sub-micro CMOS,” in *Proc. ISSCC*, pp. 76–77, Feb. 1999.
- [5] B. Murmann, P. N., D.J.Connelly, and R. W.D., “Impact of scaling on analog performance and associated modeling needs,” *IEEE Transactions on Electron Devices*, vol. 53, no. 9, pp. 2160–2167, September 2006.
- [6] S.-H. Lee and B.-S. Song, “Digital-domain calibration of multistep analog-to-digital converters,” *IEEE Journal of Solid-State Circuits*, vol. 27, no. 12, pp. 1679–1688, December 1992.
- [7] A. Karanicolas, H.-S. Lee, and K. Bacrania, “A 15-b 1-Msample/s digitally self-calibrated pipelined ADC,” *IEEE Journal of Solid-State Circuits*, vol. 28, no. 4, pp. 1207–1215, December 1993.



- [8] H.-S. Lee, "A 12-b 600 Ks/s digitally self-calibrated pipelined algorithmic ADC," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 4, pp. 509–515, April 1994.
- [9] E. Soenen and R. Geiger, "An architecture and an algorithm for fully digital correction of monolithic pipelined ADC's," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 42, no. 3, pp. 143–152, March 1995.
- [10] M. Mayes and S. Chin, "A 200mw, 1Msamples/s, 16-b pipelined A/D converter with on-chip 32b microcontroller," *IEEE Journal of Solid-State Circuits*, vol. 31, no. 12, pp. 1862–1872, December 1996.
- [11] I. Opris, L. Lewicki, and B. Wong, "A single-ended 12bit 20Msamples/s self-calibrating pipelined A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, pp. 1898–1903, December 1998.
- [12] S.-Y. S. Chuang and T. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 6, pp. 674–683, June 2002.
- [13] H.-C. Liu, Z.-M. Lee, and J.-T. Wu, "A digital background calibration technique for pipelined analog-to-digital converters," *IEEE International Symposium on Circuits and Systems*, pp. 1881–1884, May 2003.
- [14] —, "A 15b 20MS/s pipelined adc with digital background calibration," *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 454–455, February 2004.
- [15] —, "A 15b 40MS/s pipelined analog-to-digital converter with digital background calibration," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, pp. 1047–1056, May 2005.
- [16] B.-S. Song, S.-H. Lee, and M. Tompsett, "A 10b 15mhz cmos recycling two-step a/d converter," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 6, pp. 1328–1338, December 1990.
- [17] P. E. Allen and D. R. H., *CMOS Analog Circuit Design*. New York: Oxford, 2002.

- [18] D.Johns and K. Martin, *Analog Integrated Circuit Design*. New York: Wiley, 1997.
- [19] M. Waltari and K. Halonen, "1-v 9-bit pipelined switched-opamp ADC," *IEEE Journal of Solid-State Circuits*, vol. 36, no. 1, pp. 129–134, Jan. 2001.
- [20] D.-Y.Chang and U.-K. Moon, "A 1.4-v 10-bit 25-MS/s pipelined ADC using opamp-reset switching technique," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 8, pp. 1401–1404, August 2003.
- [21] B.Baz, J.Goes, and N.Paulino, "A 1.5-v 10-b 50MS/s time-interleaved switch-opamp pipelined CMOS ADC with high energy efficiency," in *Proc VLSI Circuits Symp.*, pp. 432–435, 2004.
- [22] H.-C.Kim, D.-K.Jeong, and W. Kim, "A partially switched-opamp technique for high-speed low-power pipelined analog-to-digital converters," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 4, pp. 795–801, April 2006.
- [23] H.-S.Lee, D.A.Hoges, and P.R.Gray, "A self-calibrating 15b CMOS A/D converter," *IEEE Journal of Solid-State Circuits*, vol. 19, no. 6, pp. 813–819, December 1984.
- [24] Y.-M.Lin, B.Kim, and P.R.Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3- $\mu$ m CMOS," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 4, pp. 628–636, April 1991.
- [25] J.Goes, J.C.Vital, and J.E.Franca, "System design for optimization of high-speed pipelined A/D converters using self-calibration," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 33, no. 12, pp. 1513–1526, December 1998.
- [26] I.Galton, "Digital cancellation of D/A converter noise in pipelined A/D converters," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, no. 3, pp. 185–196, March 2000.
- [27] E.Siragusa and I.Galton, "Gain error correction technique for pipelined analog-to-digital converters," *IEE Electronic Letters*, vol. 36, no. 7, pp. 617–618, March 2000.

- [28] ———, “A digitally enhanced 1.8v 15b 40MS/s CMOS pipelined ADC,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 452–453, February 2004.
- [29] ———, “A digitally enhanced 1.8v 15b 40MS/s CMOS pipelined ADC,” *IEEE Journal of Solid-State Circuits*, pp. 2126–2138, December 2004.
- [30] K.Nair and R.Harjani, “A 96dB SFDR 50MS/s digitally enhanced CMOS pipelined A/D converters,” *IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pp. 456–465, February 2004.
- [31] U.-K.Moon and B.-S.Song, “Background digital calibration techniques for pipelined ADC’s,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 44, no. 2, pp. 102–109, February 1997.
- [32] J. annd U.-K.Moon, “Background calibration techniques for multistage pipelined adcs with digital redundancy,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, no. 9, pp. 531–538, September 2003.
- [33] Y.Chiu, C.W.Tsang, B.Nikolic, and P.R.Gray, “Least mean square adaptive digital background calibration of pipelined analog-to-digital conveters,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, no. 1, pp. 38–45, January 2004.
- [34] R. van de Plassche, *CMOS Integrated analog-to-digital and digital-to-analog converters*. Boston: Kluwer Academic Publishers, 2003.
- [35] M. Gustavsson, J. Wikner, and N.-N.Tan, *CMOS data converters for communications*. Boston: Kluwer Academic Publishers, 2000.
- [36] B.Murmann and B.E.Boser, “A 12-bit 75MS/s pipelined ADC using open-loop residue amplification,” *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, pp. 2040–2050, December 2003.
- [37] C.R.Grace, P.J.Hurst, and S.H.Lewis, “A 12 bit 80MSample/s pipelined ADC with bootstrapped digital calibration,” *IEEE Journal of Solid-State Circuits*, vol. 40, no. 40, pp. 1038–1046, May 2005.

- [38] J.P.Keane, P.J.Hurst, and S.H.Lewis, “Background interstage gain calibration technique for pipelined ADCs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, no. 1, pp. 32–43, January 2005.
- [39] J.Yuan, N.Farhat, and J. Spiegel, “A 50 MS/s 12-bit CMOS pipelined A/D converter with nonlinear background calibration,” in *Proceedings of the IEEE Custom Integrated Circuits Conference*, pp. 399–402, September 2005.
- [40] A. Panigada and I.Galton, “Digital background correction of harmonic distortion in pipelined ADCs,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 8, pp. 1–2, August 2006.





# 自傳

方炳楠於西元 1969 年 8 月 24 日在高雄市出生. 西元 1993 年畢業於國立交通大學控制工程學系, 獲學士學位.

住址: 新竹縣竹東鎮中興路四段 590 巷 9 號



本論文使用 L<sup>A</sup>T<sub>E</sub>X<sup>1</sup> 系統排版.

---

<sup>1</sup>L<sup>A</sup>T<sub>E</sub>X 是 T<sub>E</sub>X 之下的 macros 集. T<sub>E</sub>X 是 American Mathematical Society 的註冊商標. 本論文 macros 的原始作者是 Dinesh Das, Department of Computer Sciences, The University of Texas at Austin. 交大中文版的作者是吳介琮, 交通大學電子工程學系, 新竹, 台灣.