

# 國立交通大學

理學院 IC 製程化學產業研發碩士專班

## 碩士論文

奈米等級 PN 接面二極體



Nano - PN Junction

研究生：黃昭凱

指導教授：孫建文 博士

中華民國九十六年五月

# 奈米等級 PN 接面二極體

Nano – PN Junction

研究生：黃昭凱

Student : Chiao-Kai Hwang

指導教授：孫建文

Advisor : Kien-Wen Sun

國立交通大學

理學院 IC 製程化學產業研發碩士專班



Submitted to Department of IC Chemical Processing

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

of

Science in IC chemical processing

May 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年五月

# 國立交通大學

## 論文口試委員會審定書

本校 理學院 IC 製程化學產業研發碩士專班 學系

碩士班 黃昭凱 君

所提論文 奈米等級PN界面二極體

合於碩士資格標準、業經本委員會評審認可。

口試委員：

孫建文

孫文聖

孫建文

指導教授：

孫建文

系主任：

鍾文聖

教授

中華民國 96 年 5 月 28 日

# 奈米等級 PN 接面二極體

學生：黃昭凱

指導教授：孫建文

國立交通大學理學院 IC 製程化學產業研發碩士專班

## 摘要

二極體元件，一直以來在積體電路中，具有相當廣泛的應用，其元件原理及特性，更是構成半導體元件的基石。現今半導體的特徵尺寸逐漸縮小至奈米等級，使得現有的理論觀念已不能用來解釋其效應特性。而利用其新的特性，勢必造成全新的應用層面發展。

目前以矽基材所做出來的太陽能電池，雖然被廣泛地使用，但其轉換效率卻不及以異質接面砷化鎵為基材的太陽能電池。其主要的原因為在於矽元素屬於間接能隙的材料特性使然；然而，此一特性，使得矽具有較砷化鎵更多的光波長吸收範圍，但也相對地造成較大的飽和電流，致使漏電流增加，導致整體轉換效率下降。有鑑於此，本論文的研究方向，在於提出一個方法，用來改善矽基材的飽和電流特性。

本實驗透過電子束微影技術，來製作一矽奈米等級 PN 接面二極體元件，藉此特殊結構性質，來探討是否能夠有效地降低矽基材的飽和電流，並與傳統塊材 PN 二極體來相互比較，觀察兩種不同 PN 接面面積的二極體，其電性是否會有不同的表現方式。

關鍵字：二極體、電子束微影技術

# Nano – PN Junction

**Student** : Chiao-Kai Hwang

**Advisors** : Dr. Kien-Wen Sun

**Department (Institute) of IC Chemical Processing**

**National Chiao Tung University**

## Abstract

“Diode” has so far been widely applied in the Very-large-scale integration (VLSI). What is more, the theorem and characteristics of its device also lay a solid foundation for the device of semiconductor. Nowadays, the feature size of semiconductor has been downsized into a nano-scale which makes the existing theories insufficient to explain both its effect and property. However, if well utilized, its novel property will lead into a brand-new application level.

The Solar cell made of silicon substrate has currently been in an extensive application; nevertheless, its conversion efficiency is far disappointing when compared to solar cell made of heterojunction GaAs. The major explanation lays on the fact that the property of Si belongs to material of Non-direct energy band. This special property helps Si absorb more wavelength than GaAs; however, it also causes comparatively stronger Saturation Current in which the leakage effects are increased and the whole conversion efficiency is decreased accordingly. Hence, the research focus of this dissertation is aiming at proposing a method which hopefully will improve the property of saturation current of si-based.

Through E-Beam Lithography, this experiment is intended to build a device of PN Junction diode made of Si material in a nano scale. Besides,

the experiment also probes into whether the saturation current of Silicon substrate can be alleviated effectively out of its special structure and, what is more, in comparison with those traditional PN Junction diodes by observing two different PN Junction diodes to understand if their electrical characteristics will be different.



Key words: Diode 、 E-Beam Lithography

## 誌謝

哈！哈！終於寫到誌謝這個部份了，辛苦了這麼久就是為了好好的寫個誌謝來謝謝曾經幫過我的人，並且敘說一下我在這兩年當中的心路歷程。謝謝的人很多，所以謝天還不夠，還要一個一個好好的謝謝他們，如果沒有這些人，我的碩士生涯可能要當博士班唸吧！哈！

下面就依照研究室成員、非研究室成員及家人來分別感謝。

### 研究室成員

首先我要感謝我的指導教授-孫建文博士，感謝您總是盡心盡力地幫學生處理在研究上所需的資源及設備，並提供學生在實驗上的探討方向，您是學生在研究上最堅強且牢固的後盾。在您身上學生看到了許多值得學習的優點，例如說，快速的掌握到問題的核心，並且想出解決方法，最後在衍生出其它想法及做法。這些智慧及舉一反三的能力，是學生努力想學習的方向。再一次的跟您說聲謝謝。

我要謝謝老堯及承翰兩位學長，謝謝你們教會了我使用研究上最主要的機台-電子束微影系統；謝謝你們的傳承，讓學弟的研究之路順暢了許多。也謝謝你們在研究室所帶來的快樂，有你們的日子裡，歡笑聲總是那麼的自然。謝謝老堯，你的處事態度及個性，一直是學弟我想學習的目標。謝謝承翰，你對這個研究室無私付出的心，學弟由衷的佩服。

我要謝謝克瑜學長，謝謝你擔任我與Ara之間的翻譯，尤其在一開始設定實驗參數時，更是幫了我一個大忙。謝謝Ara，謝謝你的指導。

我要謝謝廷育，謝謝你總是那麼好心，在實驗上幫助我，陪我在研究室熬夜，陪我進行早起晚歸的競賽。在這兩年當中，只要我開口求助，你從不拒絕付出，我打從心裡的把你當作我兄弟看待。希望你未來的人生路上，能活得更像自己，過得更快樂。

我要謝謝金鈴，謝謝你總是跟我述說很多有趣的想法，也謝謝你在卡片製作上的幫助，使我那年的私人美術比賽得了冠軍，你的美術造詣真的相當不錯。

我要謝謝昱麟學長，謝謝你打理了實驗室的一切，謝謝你教我玩相機及電腦，從你身上我看到了一個成熟男人的樣子，真的很高興實驗室有你的加入。

我要謝謝琇雅、子漢、建宏、凡軒、忠儀這些學弟妹，為這個實驗室帶來許多朝氣，讓我了解到登山的知識，買電腦的資訊，網購的魅力，真的很謝謝你們。

## 非研究室成員

我要謝謝洪錦石大哥，謝謝你在我找不到人可以訓練我半導體製程機台的時候，教會我使用濕式蝕割、爐管、薄膜測厚儀等機台，並且教導我相關的半導體知識。如果不是你，我想我永遠無法取得無塵



室的使用資格。謝謝你。

我要謝謝旭傑，謝謝你那麼熱心，教會了我使用蒸鍍及量測機台，並介紹了許多做半導體製程的朋友給我認識，謝謝你。謝謝凱俊在我找不到觀測機台時，幫助了我濺鍍金屬層，以利我觀察。謝謝勇智，謝謝你熱心的回答我的疑問，提供我諮詢的對象及知識。謝謝逸凡，謝謝你清楚的解釋光譜量測上的知識。謝謝李建平實驗室全體同仁，謝謝你們的熱心幫助。

我要謝謝李振欽同學，謝謝你提醒我在研究上的問題，雖然只是簡簡單單的幾句話，但真的很謝謝你！還有要謝謝洪玉仁同學，謝謝你在實驗數據上的解說，讓我受益良多。

我要謝謝台科大的蔡弼丞學長，謝謝你分享了許多研究上及生活中的心得予我，讓我不斷地重新評估自我的價值，謝謝你。

我要謝謝張簡學長，謝謝你對我們實驗室提供了許多有幫助的建議，也謝謝你那麼熱心的教我使用量測電性的機台。

我要謝謝又升，謝謝你介紹我報考產業碩士專班，使我得以在交通大學展開我的碩士生涯。

謝謝交通大學林明璋老師實驗室，謝謝載德學長提供的機台，讓我在量測數據上得以順利進行。謝謝政凱在儀器上的操作解釋，也謝謝你們對我們家的成員那麼細心的幫助。

謝謝陳明麗阿姨在分析上的幫助，使我得以確認研究上的實驗狀況，您的熱心讓我深深感謝。

謝謝交通大學許鈺宗老師，謝謝您提供我在蝕刻方面的技巧，讓我得以順利進行研究，也謝謝您願意擔任我的口試委員。

謝謝交通大學李耀坤老師、系辦淑鈺、小阿姨及蔡汶，感謝你們對專班所有的付出及辛勞，真的很謝謝你們。謝謝鴻榮、秀菱兩位同學，謝謝你們總是將好康的資訊分享予我。

謝謝中興大學孫允武老師，謝謝您幫助我申請貴校的實驗資格，也謝謝您願意擔任我的口試委員。

謝謝中興大學江芳興老師實驗室，謝謝瑞展與鴻鵬學長的幫助，使我順利申請到至貴校實驗的權利及機台操作的能力。謝謝玉鴻學長，謝謝你清楚地講解我研究上的問題，並告訴我身為一個研究生應有的態度。謝謝你們。

謝謝世界先進，提供了我這樣的就學機會，也謝謝我的副理予泰，那麼有擔當的把我這個包袱扛了下來。謝謝思瑋，謝謝你對我們專班所有的心思及安排。謝謝擴散製程一課全體同仁，對我這個後身晚輩的照顧。

謝謝交通大學奈米科技中心、奈米中心及國家奈米元件實驗室，提供了我在半導體製程上的機台應用，使我得以順利進行研究。

## 家人

在我開始謝謝我的父母前，我要先謝謝我父母的爸媽，也就是我的阿公、阿媽、外公、外婆。謝謝你們生下我的父母，讓我有機會做他們的孩子，使我受到他們無微不至的照顧及關愛，謝謝你們。外婆，雖然您已經不在了，但您永遠活在我的心裡。

我要謝謝我的爸爸。老爸，謝謝您總是在我失意時，即時地給予我再次往前的動力；不管我犯了多少錯，您總是一而再再而三地給我機會。謝謝您，您永遠是孩子背後最堅強的後盾，謝謝您從小到大的教誨，孩子會永遠謹記在心。最後謝謝您對於這個家所有的付出及努力。

我要謝謝我的媽媽。老媽，謝謝您，一直在輔導孩子心靈的部份下了很大的功夫，使我人品端正，使我以禮待人。您亦親亦友的身分，使孩子的童年才能那麼充實、快樂。從小到大，無論任何事情，您總是二話不說地支持，為了孩子，您總是無條件地付出，謝謝您，您是全天下最好的母親。

我要謝謝我的姐姐。老姐，謝謝妳，謝謝妳陪伴我過了一個快樂的童年。雖然我們常爭吵，但一點也不影響我們深厚的感情。謝謝妳，無論想到什麼好的、不好的、快樂的、難過的，妳總是第一個與我分享，妳是我最珍惜也最愛的姐姐。

最後，我要謝謝我這輩子最愛的女人，也是我未來的老婆欣怡，謝謝妳那麼愛我，那麼支持我，無論我做了何種決定，妳總是挺我到底。有妳，是我此生中最大的快樂及驕傲。有妳，讓我的生命更加地完整。謝謝妳將妳的愛給予了我，我願用此生來感謝及珍惜妳，人生的路上，有妳的笑容陪伴，我此生已別無所求。我愛妳。

在一次地跟所有幫助過我的人，說聲感謝，沒有你們就沒有今日的黃昭凱。在這兩年半中，感觸真的很多。由於研究方向完全沒有參考的對象，所以在一開始花了很多時間在架構實驗步驟，過程中走了許多冤枉路，但也學到很多。唸研究所，讓我體會到人是必需與人合作才能夠解決及排除問題，人際關係決定了這個人的能力範圍。兩年半當中，遇到了許多大大小小的事情，其中的解決之道，都與人有關。就因為受到這麼多人的幫助，所以才會有這篇論文的完成，在此誠摯地將這個成就，獻給所有幫助過我的人。謝謝。

黃昭凱 謹識於

國立交通大學理學院IC製程化學產業研發碩士專班研究所

中華民國九十六年五月三十日

# 目錄

摘要.....	I
Abstract.....	II
誌謝.....	IV
目錄.....	X
表目錄.....	XII
圖目錄.....	XIII
第一章 序論.....	- 1 -
1-1 前言.....	- 1 -
1-2 文獻回顧.....	- 3 -
1-2.1 PN 接面二極體(PN Junction Diode).....	- 3 -
1-2.2 PN 接面-熱平衡狀態.....	- 4 -
1-2.3 PN 接面-能帶圖.....	- 5 -
1-2.4 PN 接面-空間電荷區(Space-Charge Region).....	- 6 -
1-2.5 PN 接面-電流電壓特性.....	- 6 -
1-2.6 PN 接面-整流效應(Rectifying Effect).....	- 7 -
1-2.7 PN 接面-光生伏打效應(Photovoltaic Effect).....	- 7 -
1-3 特殊二極體種類及功用.....	- 8 -
1-3.1 蕭基二極體(Schottky-Barrier Diode).....	- 8 -
1-3.2 發光二極體(Light-Emitting Diode, LED).....	- 9 -
1-3.3 光二極體(Photodiode)-偵測器(Detector).....	- 9 -
1-3.4 光二極體(Photodiode)-太陽能電池(Solar Cell).....	- 10 -
1-4 研究動機.....	- 12 -
第二章 實驗設備技術與原理.....	- 24 -
2-1 電子束微影製程技術(Electron Beam Lithography).....	- 24 -
2-1.1 微影技術簡介.....	- 24 -
2-1.2 電子束微影系統簡介(Electron Beam Lithography).....	- 26 -
2-1.3 電子束微影製程影響效應.....	- 29 -
2-2 聚焦離子束系統(Focused Ion Beam System).....	- 31 -
2-3 原子力顯微鏡(Atomic Force Microscope).....	- 33 -
第三章 元件製程介紹.....	- 47 -
3-1 基材(Substrate)樣品前置作業步驟.....	- 47 -
3-2 電子束微影製程(Electron Beam Lithography).....	- 48 -
3-3 濕式蝕刻(Wet Etch)氧化層.....	- 50 -
3-4 成長非晶矽(Amorphous Silicon).....	- 52 -
3-5 二次塗佈光阻.....	- 53 -
3-6 電子槍蒸鍍系統(E-Gun Evaporator).....	- 54 -

3-7 量測元件電性.....	- 55 -
第四章 元件量測與數據分析.....	- 71 -
4-1 分析角度.....	- 71 -
4-2 對照組介紹.....	- 73 -
4-3 實驗組介紹.....	- 73 -
4-4 元件量測結果與分析.....	- 74 -
4-4.1 對照組量測結果.....	- 74 -
4-4.2 對照組結果分析.....	- 75 -
4-4.3 實驗組量測結果.....	- 76 -
4-4.4 實驗組結果分析.....	- 77 -
4-4.5 實驗組與對照組結果比較分析.....	- 78 -
第五章 結論.....	- 91 -
5-1 改善方法.....	- 92 -
5-2 未來方向.....	- 93 -
參考文獻.....	- 96 -



## 表目錄

表 1-1 主要半導體元件.....	- 22 -
表 1-2 各式材料的太陽能電池分類及電性參數.....	- 23 -
表 2-1 各種微影技術的整體比較.....	- 46 -
表 2-2 各種不同顯微鏡技術之比較.....	- 46 -
表 3-1 矽晶圓規格.....	- 69 -
表 3-2 RCA clean 清洗流程.....	- 69 -
表 3-3 Wet Etch vs. Dry Etch.....	- 70 -
表 3-4 PECVD 機台不同電性沈積層的氣體參數.....	- 70 -
表 4-1 N 型和 P 型非晶矽層與基材的相關數據.....	- 90 -
表 4-2 樣品製程參數設定值.....	- 90 -





## 圖目錄

圖 1-1 典型矽 PN 接面電流-電壓特性 .....	- 15 -
圖 1-2 PN 二極體形成時載體的移動 .....	- 16 -
圖 1-3 典型矽 PN 接面電流-電壓特性 .....	- 16 -
圖 1-4 (a)N 型與 P 型半導體在未接觸前的能階與載子濃度，(b)在 $T > 0K$ 時，在熱平衡的 p-n 接面，空乏區，能帶圖和自由電子與電洞濃度，所對應 $E_v 0$ 的能量差 .....	- 17 -
圖 1-5 順向偏壓時，空乏區的變化及電子與電洞分佈情形 .....	- 18 -
圖 1-6 逆向偏壓時，空乏區的變化及電子與電洞分佈情形 .....	- 18 -
圖 1-7 蕭基二極體的結構與電路符號 .....	- 19 -
圖 1-8 LED 的結構與電路符號 .....	- 19 -
圖 1-9 常見的光二極體元件結構 .....	- 20 -
圖 1-10 太陽能電池等效電路 .....	- 20 -
圖 1-11 各式太陽能電池轉換效率之演化 .....	- 21 -
圖 2-1 光學微影製程趨勢 .....	- 36 -
圖 2-2 各類曝光技術未來實際應用的可能性 .....	- 36 -
圖 2-3 典型的電子束微影系統示意圖 .....	- 37 -
圖 2-4 電子束微影系統之電子光學柱內部構造 .....	- 37 -
圖 2-5 電子束照射形狀演進 .....	- 38 -
圖 2-6 腔體示意圖 .....	- 38 -
圖 2-7 電子束曝光系統之三種電子束尺寸控制形式 .....	- 39 -
圖 2-9 曝光時平台的移動方式 .....	- 40 -
圖 2-10 曝光時平台的移動方式 .....	- 40 -
圖 2-11 電子束之圖案內(Intra-)與圖案間(Inter-)鄰近效應示意圖 .....	- 41 -
圖 2-12 電子束鄰近效應修正 .....	- 41 -
圖 2-13 引用導電性材料前後的比較 .....	- 42 -
圖 2-14 LMIS 系統結構 .....	- 43 -
圖 2-15 Ion Column 組成 .....	- 43 -
圖 2-16 Beam Current 與蝕刻氣體的關係 .....	- 44 -
圖 2-17 原子力顯微鏡三種操作模式示意圖 .....	- 44 -
圖 2-18 原子力顯微鏡的操作示意圖 .....	- 45 -
圖 3-1 實驗流程示意圖 .....	- 56 -
圖 3-2 製程元件架構及分類 .....	- 56 -
圖 3-3 國家奈米元件實驗室_n & k-薄膜測厚儀運作原理 .....	- 57 -
圖 3-4 國立台灣大學資電中心_電子束微影系統(E-Beam Lithography) .....	- 58 -
圖 3-5 電子束微影基本步驟分析 .....	- 59 -
圖 3-6 ZEP520A 旋轉速度與厚度關係 .....	- 60 -



圖 3-7 本實驗所設計的製程分配情形。	- 60 -
圖 3-8 本實驗所設計的製程圖形	- 61 -
圖 3-9 濕式蝕刻(Wet etch)所形成的圖形	- 61 -
圖 3-10 交通大學奈米中心_濕式清洗(Wet Bench)機台	- 62 -
圖 3-11 均勻性蝕刻的圖形(AFM)	- 62 -
圖 3-12 有無蝕刻到底的比較(SEM)	- 63 -
圖 3-13 原子力顯微鏡量測到的深度比	- 64 -
圖 3-14 中興大學電機學院_電漿輔助化學氣相沈積機台(PECVD)	- 64 -
圖 3-15 交通大學奈米中心_聚焦離子束(FIB)系統	- 65 -
圖 3-16 交通大學奈米中心_聚焦式離子束所製程的 TEM 試片(一)	- 66 -
圖 3-17 交通大學奈米中心_聚焦式離子束所製程的 TEM 試片(二)	- 66 -
圖 3-18 交通大學奈米中心_四點探針儀(Four-Point Probe)	- 67 -
圖 3-19 交通大學奈米中心_電子槍蒸鍍系統(E-Gun Evaporator)	- 67 -
圖 3-20 金屬-矽與金屬-砷化鎵兩種接觸的能障高度測量值	- 68 -
圖 3-21 交通大學李建平主任實驗室_HP-4145 參數分析系統	- 68 -
圖 4-1 公式推導示意圖	- 80 -
圖 4-2 組別代號示意圖	- 80 -
圖 4-3 Sub_N_500A-電流密度-電壓(J-V)半對數圖	- 81 -
圖 4-4 Sub_N_500A-崩潰電壓圖	- 81 -
圖 4-5 Sub_N_1000A-電流密度-電壓(J-V)半對數圖	- 82 -
圖 4-6 Sub_N_1000A-崩潰電壓圖	- 82 -
圖 4-7 Sub_N_500A-理想因子與逆向飽和電流及漏電流關係示意圖	- 83 -
圖 4-8 Sub_N_1000A-理想因子與逆向飽和電流及漏電流關係示意圖	- 83 -
圖 4-9 Sub_N_500A-逆向飽和電流與漏電流關係示意圖	- 84 -
圖 4-10 Sub_N_1000A-逆向飽和電流與漏電流關係示意圖	- 84 -
圖 4-11 Exp_N_500A-電流密度-電壓(J-V)半對數圖	- 85 -
圖 4-12 Exp_N_500A-崩潰電壓圖	- 85 -
圖 4-13 Exp_N_1000A-電流密度-電壓(J-V)半對數圖	- 86 -
圖 4-14 Exp_N_1000A-崩潰電壓圖	- 86 -
圖 4-15 Exp_N_500A-理想因子與逆向飽和電流及漏電流關係示意圖	- 87 -
圖 4-16 Exp_N_1000A-理想因子與逆向飽和電流及漏電流關係示意圖	- 87 -
圖 4-17 Exp_N_500A-逆向飽和電流與漏電流關係示意圖	- 88 -
圖 4-18 Exp_N_1000A-逆向飽和電流與漏電流關係示意圖	- 88 -
圖 4-19 生長氧化層 500A 的對照組與實驗組比較示意圖	- 89 -
圖 4-20 生長氧化層 1000A 的對照組與實驗組比較示意圖	- 89 -
圖 5-1 對照組與實驗組電性比較示意圖	- 94 -
圖 5-2 目前製程方向與未來製程方向的對照示意圖	- 95 -

# 第一章 序論

## 1-1 前言

邁入 21 世紀的現在，經歷了生產工具機械化；能源通訊電磁化；以及應用電腦的資訊網絡化三階段的工業革命，使我們今天得以享受應用微電子科學技術及電腦網路傳遞資訊的優質生活。而在眾多科技產業當中，存在著一個最具影響性的共通技術—半導體積體電路。

日進千里的積體電路技術造就電腦、通訊與網路業的蓬勃發展，而其進步的原動力，在於金氧半電晶體(MOS)尺寸不斷地縮小(Scaling Down)，因為縮小的元件能改善切換速度與元件消耗功率，電路之元件積成密度與功能性(如資訊儲存、邏輯運算、訊號處理等)也都加強了。隨著生產技術邁入深次微米(Deep submicron)的層次，已經有愈來愈多人改用奈米(Nanometer)的單位來取代漸漸不合時宜的微米，來作為元件尺寸的度量。在意義上，象徵進入一個技術的新紀元，卻也代表更多挑戰的出現。

人類研究半導體元件已經超過 125 年[1]，迄今大約有 60 種主要的元件、以及 100 種相關的元件[2]，但所有元件均可由幾種基本元件結構所組成。而在這幾種基本半導體元件結構當中，就屬二極體(Diode)元件的結構最為簡單，但其元件原理及特性，卻是構成眾多半導體元件的基石，幾乎在所有的電子電路中，都要用到二極體，它在

許多的電路中有着重要的作用，也是誕生最早的半導體元件之一，其應用相當廣泛。1911年英國的物理學家 William Henry Eccles 結合 Diode 及 ode (from odos) = 通道，兩個拉丁字根的意思，造出二極體 (diode) 這個字來。表 1-1 顯示主要半導體元件分類[3-23]。

二極體是一種具有整流作用的電子元件。其元件容許電流向一特定方向，並阻止電流由相反方向流動。早期的二極體多使用真空管，後期則多使用半導體二極體。二極體的種類繁多，包括了有 PN 二極體(PN Diode)、蕭特基二極體(Schottky Barrier Diode)、PIN 二極體(P-intrinsic-n Diode)、雷射二極體(Laser Diode)、光電二極體(Photo Diode)及發光二極體(Light Emitting Diode. LED)等等。種種元件的衍生，皆離不開 PN 二極體(PN Diode)的基本原理特性。其中光電二極體(Photo Diode)的光生伏打(Photovoltaic)效應，又為目前科技工業的重點研究方向，其衍生出來的產品如太陽能電池(Solar Cell)[8]，在未來能源短缺的情形下，以被各界視為最主要的替代能源之一。

本論文的研究方向，在於提出一個有關矽基材的 PN 二極體奈米光電效應(nano-optoelectronics)的實驗，透過特殊的結構型態，來達到改善其光生伏打(Photovoltaic)效應的特性；進而使整體效益增加；並期望能有助於在眾多發展層面上的應用。如太陽能電池(Solar Cell)的效率及光偵測器(Photo Detector)的靈敏度等等。

在本章節中，我們將以文獻回顧的方式，來逐一介紹PN二極體(PN Diode)的基本理論、衍生的種類及其用途，最後則詳述本實驗的研究動機。

## 1-2 文獻回顧

說到PN二極體(PN Diode)，就要由PN接面(PN Junction)來開始說起。PN接面在現代電子應用及瞭解其他半導體元件上扮演重要角色。它在整流、開關以及其他電子電路的操作上被廣泛應用。它也是雙載子電晶體(Bipolar Transistor)，閘流體(Thyristor)和金氧半場效電晶體(MOSFET)的重要構成組件。在給予適當的偏壓條件或曝露在光線下，PN接面也可做為微波(Microwave)或光(Photonic)元件。

### 1-2.1 PN 接面二極體(PN Junction Diode)

PN接面可以簡單的想成一P型半導體和一N型半導體接在一起所形成，在兩端再各以一金屬電極(稱為歐姆接點)連結外界電路，如圖1-1。

PN接面在形成時，空間中的載體分布先天上就已經不均勻，在P型半導體中的電洞會向n型半導體中擴散，在N型半導體中的電子會向P型半導體中擴散，如圖1-2(a)所示。由於帶電載體的移動，原本每

個位置都保持電中性的特性便被破壞，N型半導體中會帶正電，P型半導體中會帶負電。電洞進入N型區，或電子進入P型區都會產生復合，電子電洞同時消失，半導體中就只剩下帶電的摻雜離子，在P型半導體中是帶負電的受子離子，在N型半導體中是帶正電的施子離子，兩者的帶電量大小是相同的，如圖1-2(b)所示。這兩個帶電的離子區會集中在接面的兩側，如此可使系統的電位能降到最低。這時，帶電離子在接面附近產生一電場，所導致的漂移電子流(電洞流)，方向都和擴散電子流(電洞流)相反。圖1-2(c)顯示電子和電洞不同種類電流的方向。到達平衡時，在任一位置的漂移和擴散電子流(電洞流)完全抵銷，總電子流和總電洞流均為零。



### 1-2.2 PN 接面-熱平衡狀態

PN 接面最重要的特性是具有整流性，即它只容許電流輕易流經單一方向。圖 1-3 顯示一典型矽 PN 接面的電流-電壓的特性。當我們對 PN 接面施以順向偏壓(Forward Bias)時，隨著電壓的增加，電流會快速增加。然而，當我們施以逆向偏壓(Reverse Bias)，剛開始時，幾乎沒有任何電流。隨著逆向偏壓的增加，電流仍然很小，幾乎保持不變，此時電流稱為逆向飽和電流(Reversed-Biased Saturation Current)  $I_s$ 。直到一臨界電壓後電流才突然增加。這種電流突然增加的現象稱

為接面崩潰(Junction Breakdown)。外加的順向電壓通常小於 1V，但是逆向臨界電壓或崩潰電壓(Breakdown Voltage)可以從幾伏變化到幾千伏，視摻雜濃度和其他元件參數而定。一般而言，PN 接面二極體的電流-電壓特性可以用下式表示：

$$I = I_S (e^{V/nV_T} - 1)$$

其中  $V_T=KT/q$ ，K 為波茲曼常數，T 為接面的絕對溫度，q 為基本電荷大小。n 稱做理想因子(Ideality Factor)，和二極體的種類及品質有關，通當介於 1 和 2 之間。

### 1-2.3 PN 接面-能帶圖

當P型和N型半導體緊密結合時，接面上存在的大濃度梯度造成載子擴散。在P側的電洞擴散進入N側，而N側的電子擴散進入P側。對個別的帶電載子而言，電場的方向和擴散(Diffusion)電流的方向相反。電洞擴散電流由左至右流動，而電場引起的電洞漂移電流由右至左移動。電子擴散電流由左至右流動，而電子漂移電流移動的方向剛好相反。圖1-4(a)顯示N型與P型半導體在未接觸前的能階與載子濃度。圖1-4(b)顯示PN接面，空乏區，能帶圖和自由電子與電洞的濃度，內建電位差對應 $eV_0$ 的能量差。



## 1-2.4 PN 接面-空間電荷區(Space-Charge Region)

由中性區移向接面，我們會遇到一窄小的過渡區。在此雜質離子的空間電荷部份被移動載子補償。超越了過渡區域，我們進入移動載子密度為零的完全空乏區。這個區域稱為空乏區(Depletion region)，也叫做空間電荷區(Space-Charge Region)。

## 1-2.5 PN 接面-電流電壓特性

P型區的多數載體電洞，在順向偏壓時，通過空乏區，進入N型區，電洞在此為少數載體，這個行為稱做"少數載體注入"(minority carrier injection)。電洞一進入N型區，瞬間即吸引了等量的電子將其遮蔽，然後再向N型區內擴散，其間會被電子復合，越深入N型區內電洞越少，且擴散電流越小，電洞大部分分佈在靠近空乏區界面一個擴散長度(Diffusion Length) $L_p$ 內，如圖1-5所示。擴散長度和少數載體生命期及擴散係數有關，擴散的愈快、生命期愈長(愈不易被復合)，則擴散長度愈長。這裡要注意，當電洞被復合時，等量的電子被消耗掉，也就是說電洞擴散電流的減少量和補充的電子流是一樣大的。電子進入P型區也有一樣的行為。

在逆向偏壓時，P型區的電洞與N型區的電子所見到的位障 $q(V_{bi}+|V|)$ 均變大，空乏區也變寬，如圖1-6，更不容易跨過，因此只

剩下在P型區的少數載體電子及N型區的少數載體電洞通過空乏區所造成很小的電流 $-I_s$ 。

### 1-2.6 PN 接面-整流效應(Rectifying Effect)

PN 接面二極體的整流效應，與電子與電洞看到的位障受到外加偏壓影響有關。在順向偏壓時，如圖 1-5，P 型區接到外加直流電源的正極，N 型區則接到負極，如此使得原來的內建電位部分被抵銷，位障減小，空乏區的電場也減小，P 型區動能較高的電洞和 N 型區動能較高的電子就有較多機會克服位障通過空乏區，形成電流。更精細的描述，在沒有外加偏壓時，電子與電洞彼此的擴散電流與漂移電流完全互相抵銷，但在順向偏壓時，接面附近電場減小，使得漂移電流減小，這時原有的平衡被破壞，多出了擴散電流。

### 1-2.7 PN 接面-光生伏打效應(Photovoltaic Effect)

光生伏打(Photovoltaic Effect)效應是一種半導體中特別的光導電效應[24]，由李霍維克在1948年首先進行系統性的討論。在一塊半導體中，製造出以電子(Electrons)導電的N型和以電洞(Holes)導電的P型二極體。而P區與N區的接面處有一位障存在，那裡有相當強的內建電場。當具有足夠能量的入射光子在位障附近激發出自由電子-電洞對時，位障的電場使電子-電洞對分開，電子移向N型區，電洞則進入



P型區。此時N區帶負電，而P區就帶正電。兩區之間就有電位差，此特性則稱為光生伏打效應。如果用導線把兩端連接起來，電路中就有電流通過。如要獲得大量的光生伏打效應，則位障處的電場就要夠大，使光生載子(carrier)的產生盡可能靠近位障區。或者說，光生載子的壽命(Lifetime)要足夠長，在它產生之後有足夠的時間藉由擴散機制進入位障區，進而被內建電場分開，使對光生伏打電池作出貢獻。這種光生伏打電池可做為不需外加電源的簡單光偵測器使用，當然，太陽能電池還是它最重要的應用。

### 1-3 特殊二極體種類及功用

除了整流用的PN二極體外，還有許多其他種類及功用的二極體，特別在通訊及光電科技的應用上，扮演很吃重的角色。在此簡單地介紹一些常見的二極體。

#### 1-3.1 蕭基二極體(Schottky-Barrier Diode)

這是由N型半導體與金屬介面形成之二極體，結構與電路符號見圖1-7。當金屬部分電位較半導體部分高時，N型半導體中電子所看到的位障減小，可以跨過空乏區進入金屬，二極體即導通；當偏壓方式相反時，N型半導體中電子所看到的位障變大，而且金屬中電子所看到的位障，即所謂的蕭基能障(Schottky-barrier)，並不會改變，因此

不會導通。蕭基能障(Schottky-barrier)，為金屬中導電電子的能量與半導體中導電電子的能差，通常金屬中導電電子的能量較低。

蕭基二極體大多用在需要高速切換的地方，例如微波電路，主要原因在於它由導通到不導通狀態改變的切換時間遠比PN二極體短。PN二極體切換時必須將空乏區兩側所多出的少數載體移除，而在中性區中少數載體的移動僅能靠擴散電流，速度不夠快；而蕭基二極體完全靠主要載體傳導，所以速度上較快。


### 1-3.2 發光二極體(Light-Emitting Diode, LED)

PN接面二極體在順向偏壓時，N型區中的電子與P型區中的電洞到達空乏區附近復合，並釋放出約與半導體能帶 $E_g$ 相同之能量，若大部分的能量是光子的形式，此二極體可當作一有效的光源，稱做發光二極體(light-emitting diode, LED)。它能在紫外光、可見光或紅外光區域放射自發輻射光。可見光LED被大量用於各種電子儀器設備與使用者之間的訊息傳遞。而紅外光LED則可用於光隔絕及光纖通訊。圖1-8顯示LED結構與電路符號。

### 1-3.3 光二極體(Photodiode)-偵測器(Detector)

光二極體特別之處在於其P型區非常的薄，而P型區，N型基材，和N型重摻雜( $N^+$  doping)底層的厚度及摻雜濃度，將可決定光二極體

所欲偵測波長的光。施予不同的外加電壓，可以改變光二極體的空乏區厚度，當光二極體吸收的光子能量大於其半導體能階時，空乏區會產生電子-電洞對，而施予外加逆向偏壓(Reverse Bias)，可使光二極體的空乏區加大，並加速電子-電洞對的分離(在強內建電場下，電子與電洞將分別被快速地掃向N型區與P型區)，因此我們可在外接迴路中，以電流放大器或是電阻來放大訊號，即可推算光電流之大小。光電流得大小和吸收的光子數目成正比。圖1-9顯示常見的光二極體元件結構。



光二極體(Photodiode)可應用為光偵測器，半導體用作光偵測器一般有兩種，一是利用他的光導電度，稱為光導體(Photoconductor)；另一種則為光二極體(photodiode)。而光二極體偵測器的靈敏度遠較光導體偵測器高。其體積小，節省能源，現今已被廣泛地應用。

#### 1-3.4 光二極體(Photodiode)-太陽能電池(Solar Cell)

當光二極體面積很大時，照光後產生之光電流也很大，可以當作電源使用，稱為太陽能電池(Solar Cell)。圖1-10顯示太陽能電池等效電路圖。

太陽能電池的發展至今已有五十幾年的歷史。當時研發太陽能電池的動機，是為了做為人造衛星及偏遠地區的通訊電力供應系統，所

以市場小、產量少、價格昂貴。大約自1972年起，由於中東發生戰爭，石油禁運，使得工業國家的石油供應中斷造成能源危機，太陽能光電才開始被有規模地發展應用到陸面上發電。

太陽能電池的發電來自太陽光的照射，而太陽輻射的光譜主要是以可見光為主，波長從0.3微米的紫外光到數微米的紅外光是主要的分布範圍。換算成光子的能量，則大約在0.3到4電子伏特之間，因此能隙大小在這個範圍內的材料，會具有較好的光電轉換效率。圖1-11顯示各式太陽能電池轉換效率之演化。

太陽能電池若依材料的種類來區分，可分為單晶矽(single crystal silicon)、多晶矽(polycrystal silicon)、非晶矽(amorphous silicon, a-Si)、III-V族[包括：砷化鎵(GaAs)、磷化銦(InP)、磷化鎵銦(InGaP)]、II-VI族[包括：碲化鎘(CdTe)、硒化銦銅(CuInSe<sub>2</sub>)]及高分子[染料敏化(dye-sensitized)]型等。表1-2顯示各式材料的太陽能電池分類及電性參數[25]。

截至目前為止，太陽能電池一直是以矽材料為主流產品[26]，在矽系太陽能電池材料當中，以單晶矽太陽能電池的光電轉換效率最高，使用年限也比較長，比較適合於發電廠或交通照明號誌等場所的使用。至於多晶矽太陽能電池，因為它的多晶特性，在切割和再加工的手續上，比單晶和非晶矽更困難，效率方面也比單晶矽太陽能電池

的低。不過，簡單的製程和低廉的成本是它的最重要特色。所以，在部份低功率的電力應用系統上，便採用這類型的太陽能電池。對於非晶矽的太陽能電池來說，由於價格最便宜，生產速度也最快，所以較常應用在消費性電子產品上，而且新的應用也在不斷地研發中。

#### 1-4 研究動機

當半導體的特徵尺寸(Feature size)逐漸縮小至奈米等級時，現有的理論觀念已不能用來解釋其效應特性。而利用其新的特性，勢必造成全新的應用層面發展。在一篇探討Cu(In, Ga)Se<sub>2</sub>光生伏打電池的文章當中[27]，提出在結構中結合一層良好的隨機奈米PN接面時，能有效地提升其效率轉換。在更早之前，小面積的PN接面藉由點接觸(Point Contact)二極體的型態，已經被有效地開發應用於光纖通訊的檢光器上[28-30]，還有透過半導體探針尖端接觸所形成的小面積PN接面，也被有效應用於提升掃描式電容顯微鏡(Scanning Capacitance Microscopy, SCM)的成像對比[31]。在近幾年當中，更有學者將成長一奈米等級PIN二極體光偵測器(Photodetector)，用來與傳統薄膜接面二極體偵測器做比較，發現其具有能隨溫度變化而增加崩潰電壓(Breakdown Voltage)範圍的特性[32]。雖然至今仍無法合理解釋以上的作用原理，但這些現象的發現，大幅地增加奈米尺寸下光生伏打

(Nanoscale Photovoltaic)效應於元件上應用的可能性。

光生伏打效應為半導體PN二極體受光照射時，在接面處兩側產生電位差的現象。1839年，法國物理學家A.-E.貝克勒耳，在浸沒於電解液中的兩片電極間發現了這種效應。1887年，有人又在硒和金屬接觸面觀察到這種效應。20世紀50年代末期，半導體物理學的發展使這一效應得到充分的研究和應用。光生伏打(Nanoscale Photovoltaic)效應最重要的應用並在於將太陽光的光能轉換成電能[33]，而此效應更為太陽能電池轉換效率的依據。

以矽(Si)基材所做出的太陽能電池雖然被廣泛地使用[34]，但其轉換效率卻不及以異質接面砷化鎵(GaAs)為基材的太陽能電池。其主要的原因在於矽元素屬於間接能隙的材料特性使然；當然矽具有比砷化鎵還小的能階特性，可使其吸收較多波長範圍的光，但也相對地造成較大的飽和電流(Saturation Current)，致使漏電流增加，導致整體轉換效率下降。飽和電流為電子-電洞於PN接面處復合所造成的電性反應[35]。

所以在本實驗中，我們開發一個方法，用來改善矽基材的飽和電流特性。我們透過製作奈米等級的PN接面於矽基材上來達到此目的。此製程架構有別於一般的二極體結構。透過電子束微影系統(E-Beam Lithography)來製作奈米洞陣列圖案於成長氧化層的N型或P



型的矽基材上，並藉由濕式蝕刻(Wet Etch)的方式，做開窗處理，最後在沈積一層與矽基材不同電性的非晶矽(Amorphous Silicon)層，來形成奈米等級的洞PN接面。進而有效的縮小其PN接面面積。並透過氧化層絕緣的特性來有效阻擋漏電流的產生。

透過此特殊製程PN結構，我們將拿來與傳統薄膜PN接面結構做一電性比較，觀察兩種不同PN接面面積的二極體，其電性是否會有不同的表現方式。並且改變矽基材的電性及氧化層的厚度，作為變化參數的比較。



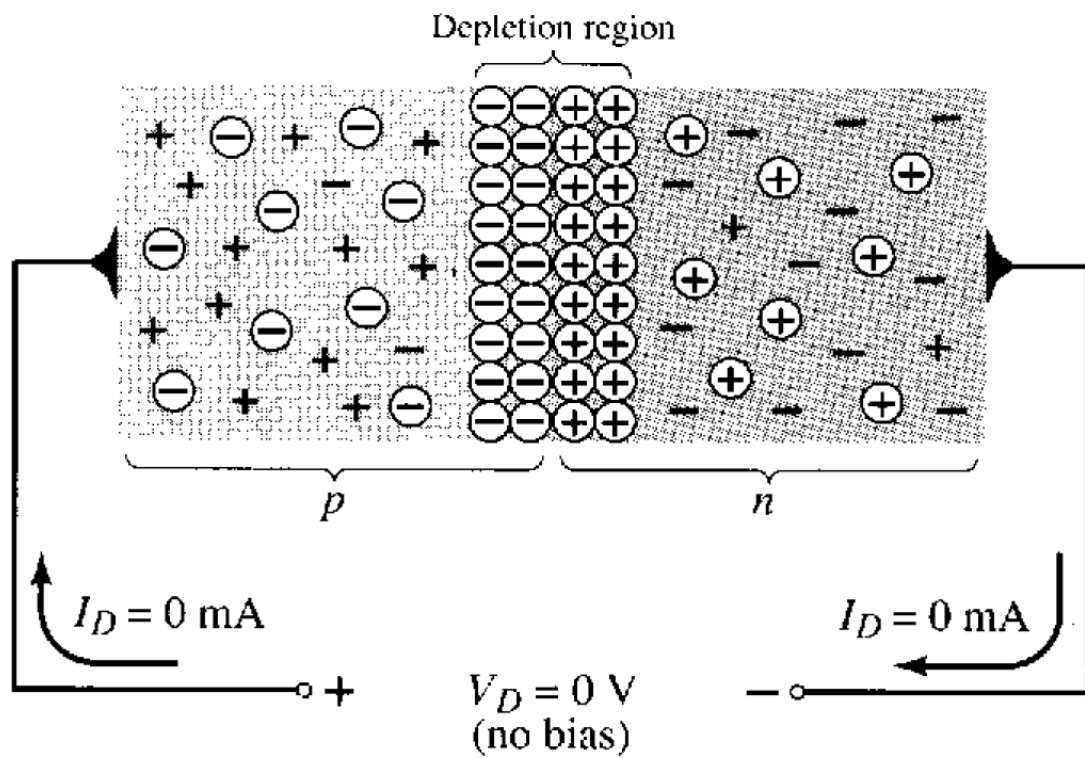


圖1-1 典型矽PN接面電流-電壓特性





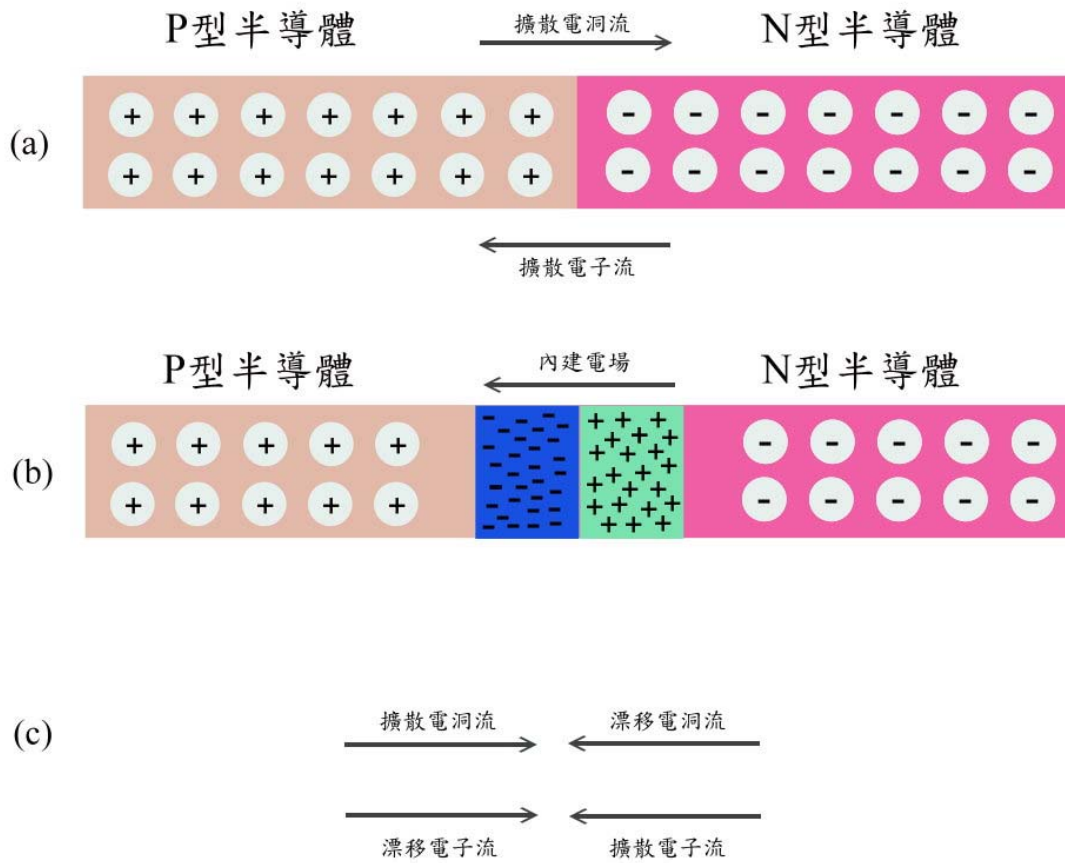


圖1-2 PN二極體形成時載體的移動

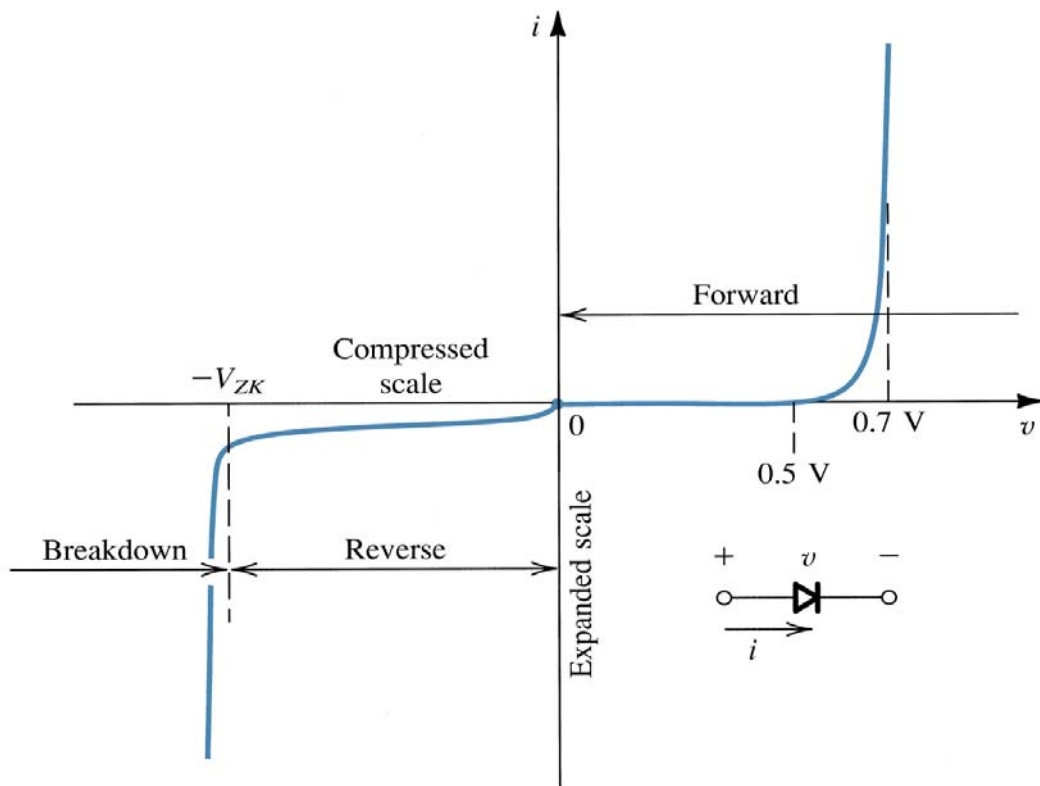


圖1-3 典型矽PN接面電流-電壓特性

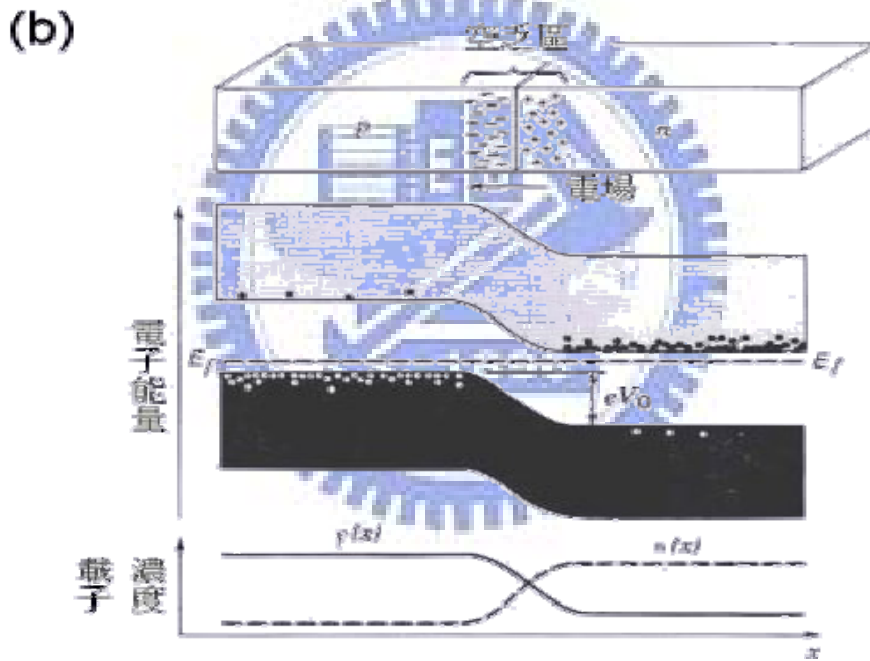
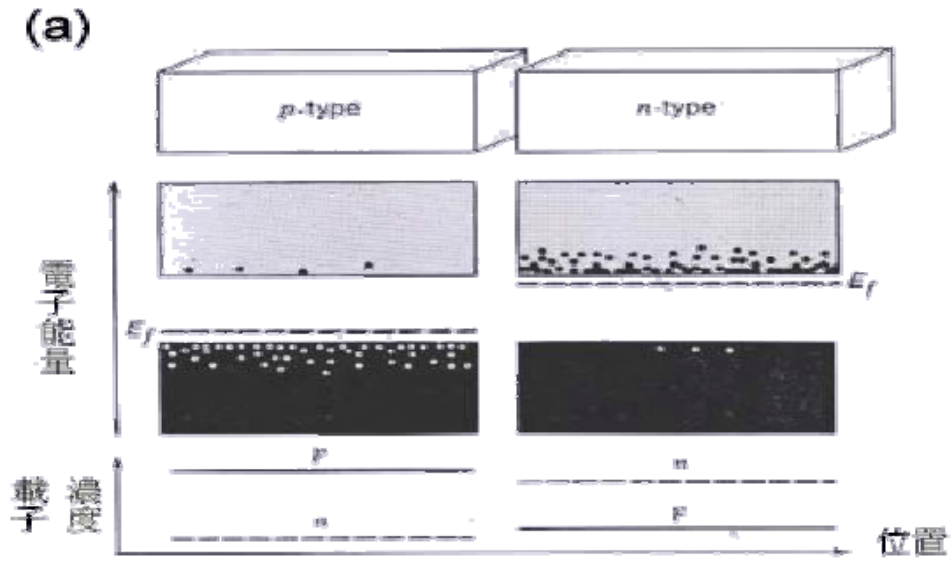


圖1-4 (a)N型與P型半導體在未接觸前的能階與載子濃度，(b)在 $T>0K$ 時，在熱平衡的p-n接面，空乏區，能帶圖和自由電子與電洞濃度，所對應 $eV_0$ 的能量差

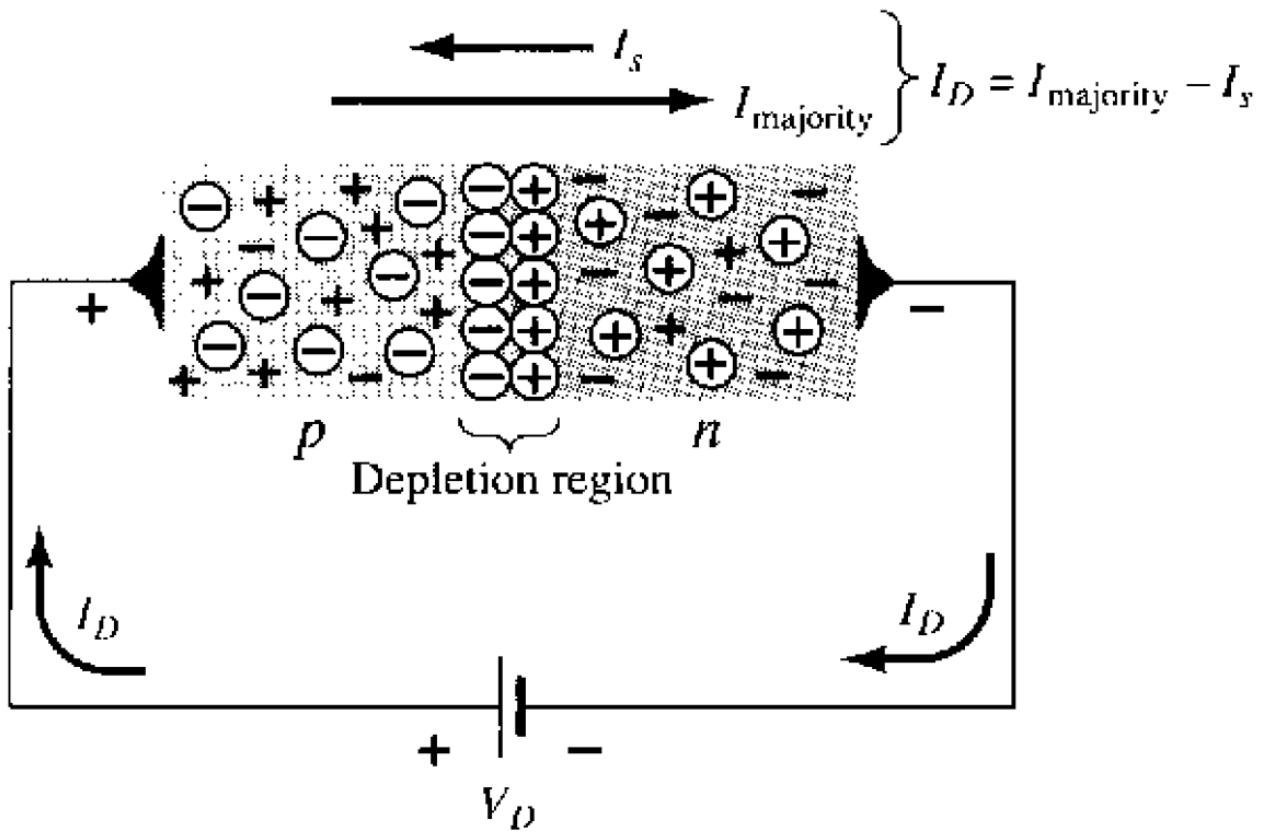


圖1-5 順向偏壓時，空乏區的變化及電子與電洞分佈情形

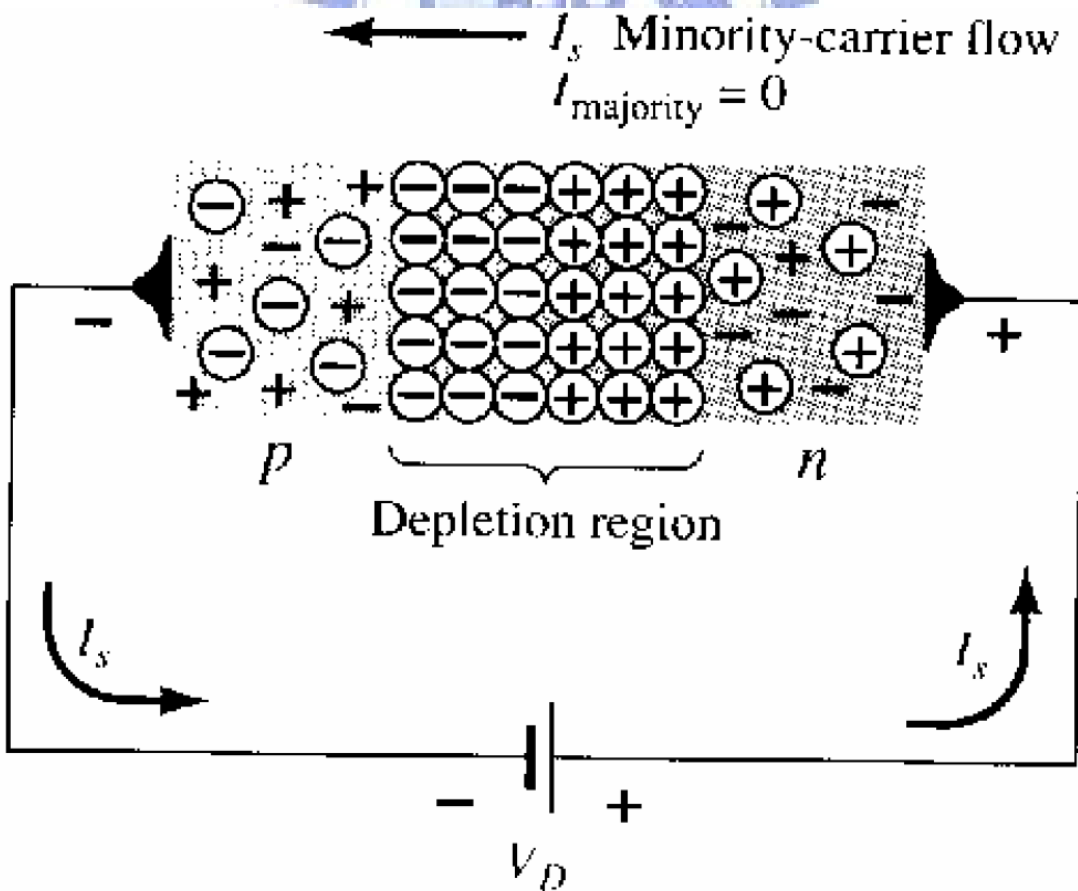


圖1-6 逆向偏壓時，空乏區的變化及電子與電洞分佈情形

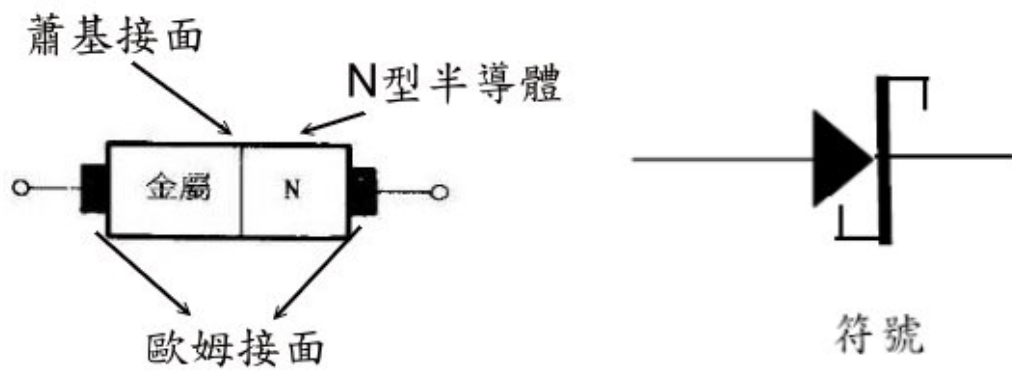


圖1-7 蕭基二極體的結構與電路符號

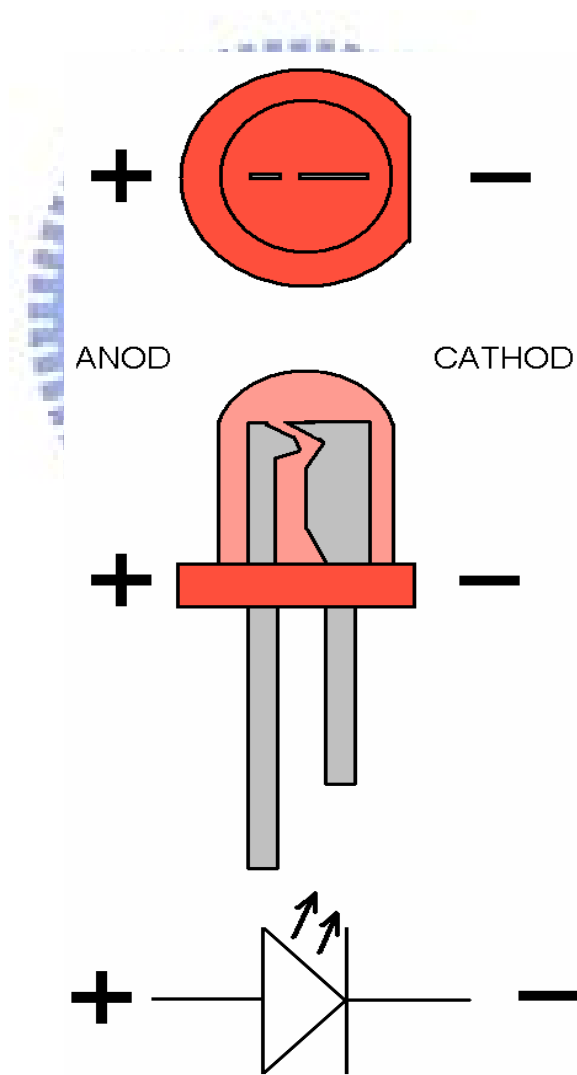


圖1-8 LED的結構與電路符號

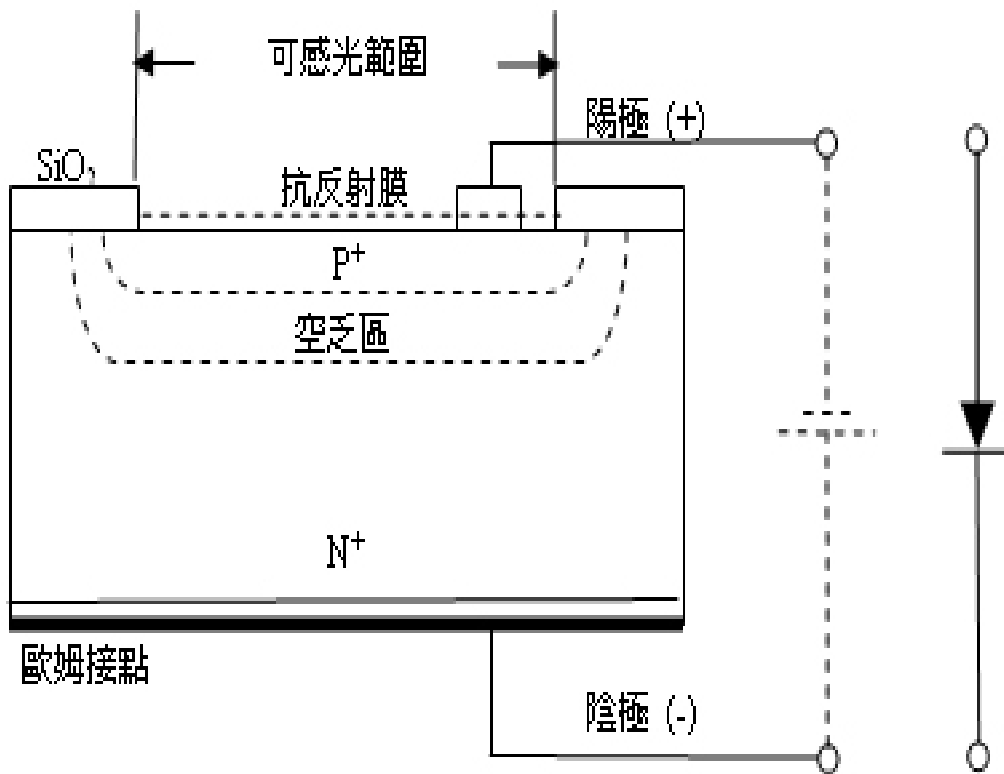


圖1-9 常見的光二極體元件結構

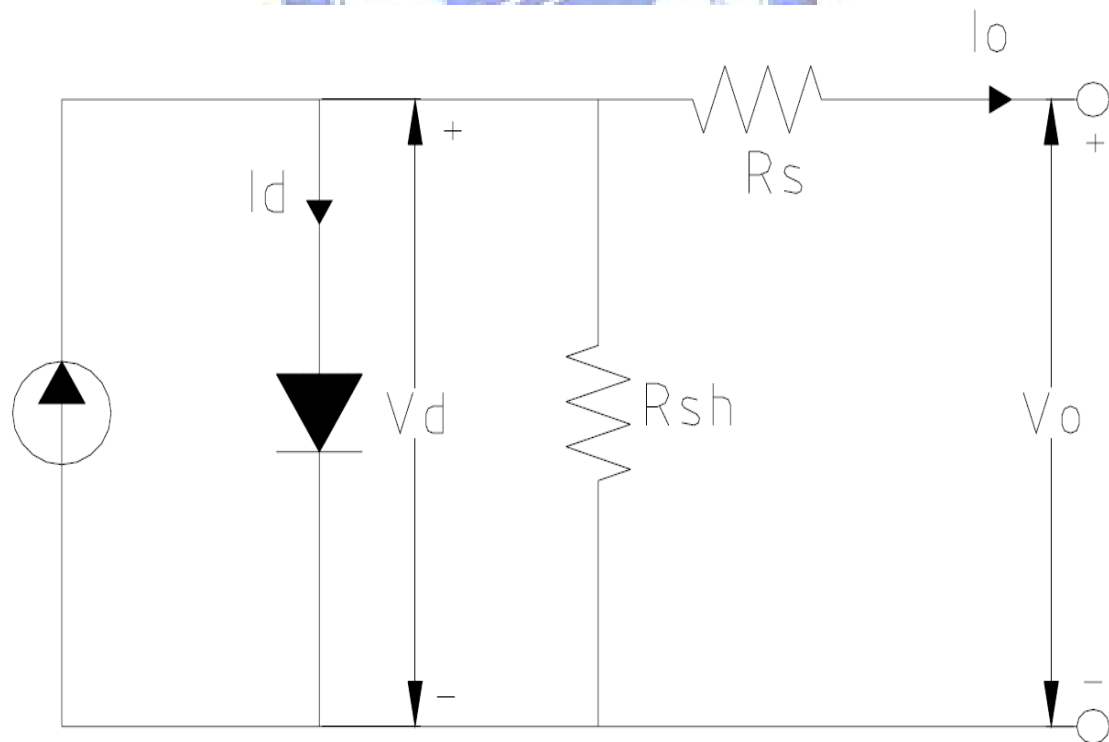


圖1-10 太陽能電池等效電路

# Best Research-Cell Efficiencies

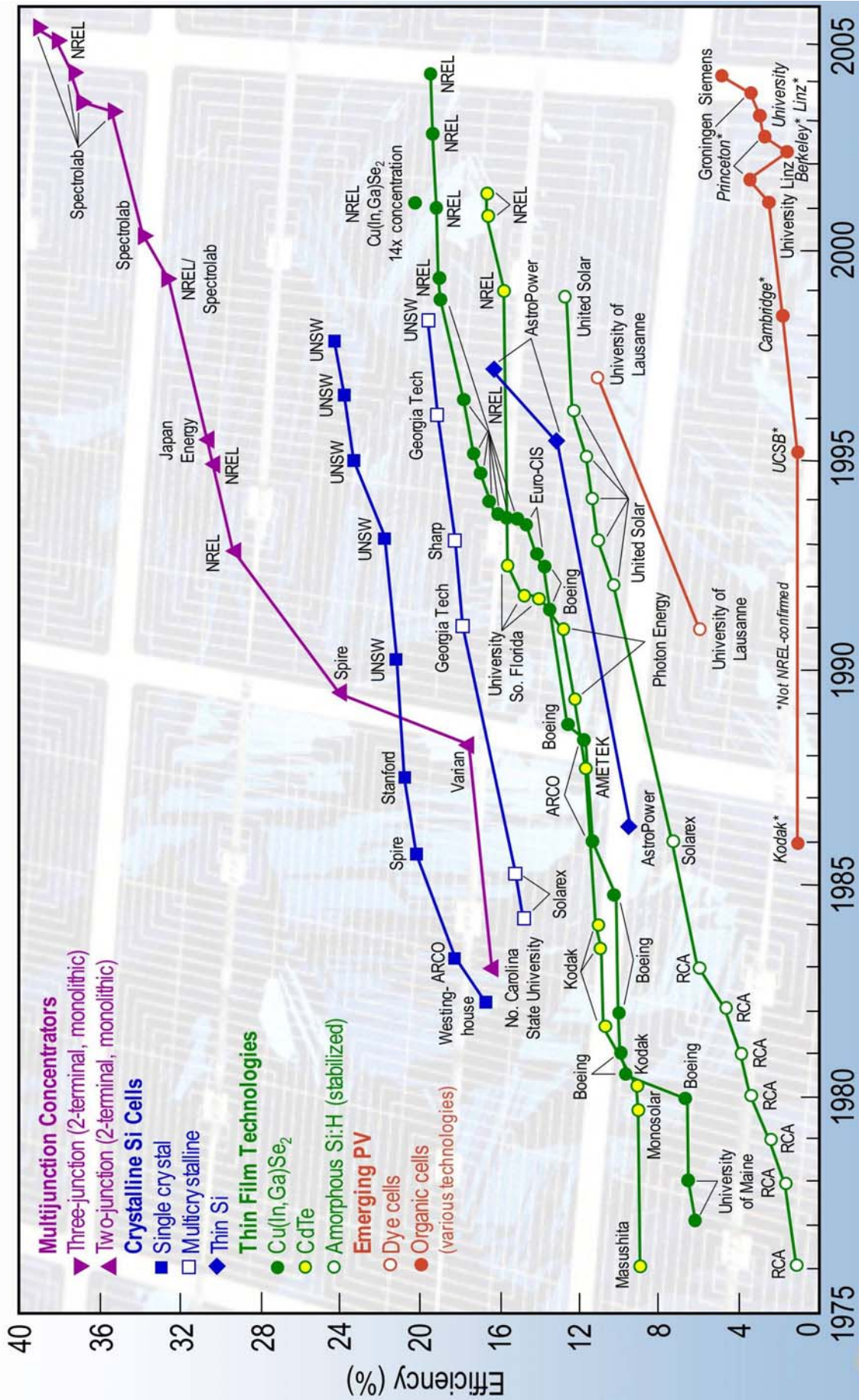


圖1-11 各式太陽能電池轉換效率之演化



表 1-1 主要半導體元件

西元	半導體元件	作者/發明者
1874	金半接觸	Braun
1907	發光二極體	Round
1947	雙載子電晶體	Bardeen、Brattain、Shockley
1949	P-N 接面	Shockley
1952	閘流體(Thyristor)	Ebers
1954	太陽能電池(Solar Cell)	Chapin、Fuller、Pearson
1957	界質接面雙載子電晶體(HBT)	Kroemer
1958	穿隧二極體(Tunnel Diode)	Esaki
1960	金氧半場效電晶體(MOSFET)	Kahng、Atalla
1962	雷射	Hall et al
1963	異質結構雷射	Kroemer、Alferov、Kazarinov
1963	轉移電子二極體(TED)	Gunn
1965	衝渡二極體(IMPATT Diode)	Johnston、DeLoach、Cohen
1966	金半場效電晶體(MESFET)	Mead
1967	非揮發性半導體記憶體 (NVSM)	Kahng 及施敏
1970	電荷耦合元件(CCD)	Boyle、Smith
1974	共振穿隧二極體	張立綱、Esaki、Tsu
1980	調變摻雜場效電晶體 (MODFET)	Mimura 等人
1994	室溫單電子記憶胞(SEMC)	Yano 等人
2001	15-奈米 金氧半場效電晶體	Yu 等人

表 1-2 各式材料的太陽能電池分類及電性參數

Classification <sup>a</sup>	Effic <sup>b</sup>	Area <sup>c</sup>	V <sub>oc</sub>	J <sub>sc</sub>	FF <sup>d</sup>
<b>Silicon</b>					
Si (crystalline)	24.7±0.5	4.00 (da)	0.706	42.2	82.8
Si (multicrystalline)	20.3±0.5	1.002 (ap)	0.664	37.7	80.9
Si (thin film transfer)	16.6±0.4	4.017 (ap)	0.645	32.8	78.2
Si (thin film submodule)	9.4±0.3	94.9 (ap)	0.493 <sup>f</sup>	26.0 <sup>f</sup>	73.1
<b>III-V Cells</b>					
GaAs (crystalline)	25.1±0.8	3.91 (t)	1.022	28.2	87.1
GaAs (thin film)	24.5±0.5	1.002 (t)	1.029	28.8	82.5
GaAs (multicrystalline)	18.2±0.5	4.011 (t)	0.994	23.0	79.7
InP (crystalline)	21.9±0.7	4.02 (t)	0.878	29.3	85.4
<b>Thin Film Chalcogenide</b>					
CIGS (cell)	18.4±0.5 <sup>g</sup>	1.04 (ap)	0.669	35.7	77.0
CIGS (submodule)	16.6±0.4	16.0 (ap)	0.661 <sup>f</sup>	33.4 <sup>f</sup>	75.1
CdTe (cell)	16.5±0.5 <sup>g</sup>	1.032 (ap)	0.845	25.9	75.5
<b>Amorphous/Nanocrystalline Si</b>					
Si (amorphous) <sup>h</sup>	9.5±0.3	1.070 (ap)	0.859	17.5	63.0
Si (nanocrystalline)	10.1±0.2	1.199 (ap)	0.539	24.4	76.6
<b>Photochemical</b>					
Dye sensitised	10.4±0.3	1.004 (ap)	0.729	21.8	65.2
Dye sensitised (submodule)	6.3±0.2	26.5 (ap)	6.145	1.70	60.4
<b>Organic</b>					
Organic polymer <sup>i</sup>	3.0±0.1	1.001 (ap)	0.538	9.68	52.4
<b>Multijunction Devices</b>					
GaInP/GaAs/Ge	32.0±1.5	3.989	2.622	14.37	85.0
GaInP/GaAs	30.3	4.0 (t)	2.488	14.22	85.6
GaAs/CIS (thin film)	25.8±1.3	4.00 (t)	—	—	—
a-Si/mc-Si (thin submodule) <sup>j</sup>	11.7_0.4	14.23 (ap)	5.462	2.99	71.3

a. CIGS=CuInGaSe<sub>2</sub> ; a-Si = morphous silicon/hydrogen alloy. b. Effic = efficiency. c. (ap) = aperture area ; (t)=total area ; (da) = designated illumination area. d. FF = fill factor. e. FhG-ISE = Fraunhofer Institut fur Solare Energiesysteme ; JQA = japan Quality Assurance ; AIST = Japanese National Institute of Advanced Industrial Science and Technology. f. Reported on a “per cell” basis. g. Not measured at an external laboratory. h. Stabilized by 800 hours , 1 sun AM1.5 illumination at a cell temperature of 50°C. i. Stability not investigated. J. Stabilized by 174 hours, 1 sun illumination after 20 hours, 5 sun illumination at a sample temperature of 50°C.



## 第二章 實驗設備技術與原理

### 2-1 電子束微影製程技術(Electron Beam Lithography)

#### 2-1.1 微影技術簡介

微影技術(lithography)在積體電路製程中扮演著舉足輕重的角色，倘若微影技術無法符合新一代電路設計的規範，則整個積體電路工業將面臨裹足不前的窘境。由於現今積體電路設計規範是往尺寸逐年縮小的方向邁進，因此主宰著圖案定義成效的微影技術，必須配合此需求而對曝光設備的開發、製程的建立、光罩的製作及其他相關技術的運用等，投入大規模的人力、物力、財力及時間。據統計在一晶圓廠中，微影相關製程所需的設備、材料及研發等經費，超過全部預算的百分之三十，為所有製程模組中最高者，其重要性可見一斑。

根據雷里準則(Rayleigh criterion) [36]，我們了解到縮短曝光光源之波長會有助於提高解析度 (resolution)，而使微影成像微細化。光學微影兩個基本的關係式如下：

$$\text{解析度 } RES = K1\lambda / NA$$

$$\text{聚焦深度 } DOF = K2\lambda / (NA)^2$$

$\lambda$ 為曝光光源，NA為數值孔徑；由基本的光學理論得知光學解析能力與其數值孔徑NA成正比，與使用之波長 $\lambda$ 成反比。因此欲增加光

學解析能力之方法為提高數值孔徑NA或使用較短之波長 $\lambda$ ，然而NA能夠增加的量有限，所以要提升解析能力，只有尋求更短波長如紫外光及深紫外光的光學系統，故對準曝光機之光源從早期之全光譜光源，演進到G-line(436nm)、I-line(365nm)到氟化氬(KrF) 準分子雷射(248nm)、氟化氬(ArF)雷射(193nm/DUV)或氟(F2)雷射(157nm/VUV)，進入到小於 $0.1\mu\text{m}$ 的製程技術(圖2-1) [37]。

光學微影之所以為現今主流技術，主要是由於其產能(Throughput)大、良率高、成本較低等因素。然而，由於使用的光波長所限制，使得光學微影技術將面臨極限。雖然我們可以藉由光學鄰近修正(Optical Proximity Correction, OPC)、相位移光罩(Phase-Shifting Mask, PSM.)及偏軸照射(Off-Axis Illumination, OAI)等技術，將光學微影製程推向 $0.1\mu\text{m}$ 左右，但伴隨的成本增加及製程上的困難，使得其他微影技術開始受到重視；因此科學家研發出許多不同的製程技術，期望可以再進一步縮小線寬，其中包括CaF<sub>2</sub> (157 nm)光微影術、雷射誘發電漿極紫外線(Extreme Ultra Violet, EUV)技術、電子束微影術(Electron Beam Lithography, EBL)、聚焦式離子束(Focus Ion Beam, FIB)、近接X射線微影術(Proximity X-ray Lithography, PXL)、奈米壓印微影術(Nanoimprint Lithography)等所謂次世代微影術；其中又以具有高解析度、景深大、技術成熟等優點的電子束微影技術，受到

最大的重視。表2-1顯示各種微影技術的比較，圖2-2顯示這些技術在未來應用的可能性。

電子束微影技術最初主要用於光罩的製作，但在開發後續的各種變化後，相當適合用於量子效應研究和奈米元件原型開發。可輕易的將圖樣縮小至奈米尺度，適合定義極精密的結構圖形，可克服一般光學微影的繞射極限問題，在相容的阻劑上產生次微米至奈米等級的精細圖案。結合其他相關的製程技術，可開發各式奈米元件或模仁，進行前瞻性研究或性能驗證。加上電子束微影不需要光罩的搭配，相對於傳統光學微影來說便能夠節省昂貴的光罩成本。

### 2-1.2 電子束微影系統簡介(Electron Beam Lithography)

電子束微影是由掃描式電子顯微鏡(scanning electron microscope, SEM)的概念發展而來，其波長為深紫外光的數千分之一，因此具有極佳的解析能力。此系統最早使用在半導體製程是始於1965年，R. K. Matta等人成功的根據掃描式電子顯微鏡的特性，利用SEM的架構並應用在積體電路圖形的製作，這就是最早期電子束微影系統的原型。

電子束微影技術乃利用具有高能量的電子群，經電磁裝置控制方向後，照射於塗佈感光性材料(阻劑)的基板上，此時電子與阻劑產生化學反應，在經過烘烤及顯影步驟後，使阻劑內有／無電子束反應的

區域得以被區隔，阻劑圖案因而顯現出來。圖2-3為電子束微影系統之示意圖，主要的架構為四部分：電子光學柱 (electron optical column)、腔體 (chamber)、傳送系統 (handling system)、以及控制單元 (control unit)。

### (一) 電子光學柱

如圖2-4[38]，結構上大致包含電子槍(Electron Gun)、開關(Blanking)、聚焦透鏡(Condense Lens)、像差校正器(Stigmator)、物鏡(Objective Lens)、偏折器(Deflector)、電子偵測器(Electron Detector)及移動平台(Stage Driver)。其功能主要為產生均勻分布的電子束，經由適當的成像系統控制電子束大小及定位後，投射至底部的照射位置。電子束主要分為熱電子(thermionic)及場發射(field emission)兩種型式，前者的典型材料為六硼化鏷(LaB6)，將該材料置於陰極並且直接加熱，而所產生的電子束經由電場加速後獲得能量；後者如鎢(W)，由於使用形狀尖銳的材料，並置於高電場環境下，所以非常適合產生直徑極小的電子束，且明亮度(brightness)較高，但製作上較為困難。目前電子束微影系統以鋯/氧/鎢(Zr/O/W)合金的場發射源為主流，發射的電子束經過加速電壓可使解析度到達5nm以下。隨著電子束微影系統的演變，不外乎要增加曝光區域的面積大小與減少曝光所

需的時間；其中最重要的一部份便是改變照射到晶圓表面上電子射束形狀，目前大約可以分成三類，從最早的高斯束(Gaussian Beam)系統演變為形狀束(Shaped Beam)系統包含定形電子束(fixed shaped beam)、可變形電子束(variable shaped beam)、單元投影(cell projection)，再演變為現階段的電子束投影微影(Electron-beam Projection Lithography，EPL)系統，見圖2-5[39]

## (二) 腔體

位於電子光學柱下方之腔體主要放置基板(substrate)，基板可為光學微影系統所使用之玻璃類光罩與晶圓，提供光罩製作及晶圓直寫雙重功能，由電子光學柱所產生之電子束便可射入基板上進行圖案製作。圖2-6為腔體之示意圖[40]，其中工作平台 (work stage)上可放置不同尺寸及類型的基板托架 (holder)，透過控制水平及垂直方向移動的兩組傳動器 (driver) 動作，可將基板托架做移動或旋轉，達到基板上不同位置的曝光。

## (三) 傳送系統

傳送系統主要功能為控制機械手臂的傳送，可將基板及其托架置入腔體中。

#### (四) 控制單元

控制單元由工作站或一般電腦所組成，主要的功能為控制曝光動作、圖案準備、工作檔案的建立、以及機台狀況的紀錄及疑難排除等等。

雖然電子束微影系統的解析度優於光學曝光機，但由於產能不足，使其製程成本大大地提升，所以仍無法成為市場上的主流技術。有鑑於此，由硬體及軟體方面著手，許多增加產能的技術因應而生；包括：高電流密度、可變形狀電子束、胞元投影技術、曝光時同步移動平台技術、曝光時傳送其他基板、使用高感度 (sensitivity) 阻劑、多重電子束同時曝光等技術來增加產能。圖2-7、2-8、2-9分別顯示可變形狀電子束、胞元投影技術及曝光時平台移動方式。

#### 2-1.3 電子束微影製程影響效應

在電子束微影技術中，除了低產能的問題必須提升外，影響解析度的因素如電子束散射(scattering)效應及充電(charging)效應，必須加以克服。

##### (一)電子束散射效應(鄰近效應)

如圖2-10所示，當一群帶能量的電子束射入阻劑時，將在阻劑、



基材內部及阻劑/基材介面與材料的組成粒子產生彈性及非彈性碰撞，除了對材料有些許破壞之外，彈性碰撞將使得電子的行進軌道改變，而非彈性碰撞將使得能量流失，並以熱能的方式表現出來，造成溫度升高而影響圖案的真確性。在電子束進入阻劑層時所產生的散射稱為前散射(forward scattering)，其散射的範圍較小；而在介面及基材內部所引起的散射稱為後散射(back scattering)，所散射的範圍較廣[41]。當電子束射入阻劑後，大部分的電子將以小角度延展(前散射)的方式行進，造成電子束在阻劑層底部的分佈範圍比阻劑表面大，使得圖案截面的尺寸較難控制，而少部分的入射電子將以接近180度的角度返回阻劑表面，造成電子流失。而電子束之後散射的延展範圍較大，為數不少的電子將以大於90度的路徑返回阻劑中，倘若鄰近區域尚有其它待曝光圖案，則本次曝光可能會影響鄰近區域的吸收劑量，造成各曝光區域間彼此干擾的現象，使得圖案定義的真確性難以掌握，此一現象稱為鄰近效應。圖2-11為後散射所引起之鄰近效應示意圖。

電子束的鄰近效應將使得所定義圖案的真確性降低，包括尺寸的變異及形狀的失真等，大幅地降低電子束微影系統的效應。實際上，該效應可用能量或形狀補償的概念加以修正，稱為鄰近效應修正(proximity effect correction)技術，其做法是將吸收能量過高的圖形部



分，以電子束能量減小或修改(縮小)圖案形狀的方式加以修正；而吸收能量不足的部分，則以加大電子束能量或修改(放大)圖案形狀的方式補償之，雖然圖案需額外的加以處理，然而經修正後的效果極佳，使得散射效應的影響降至最低；圖2-12比較修正鄰近效應前後的差別。

## (二) 充電效應

充電效應常常發生在掃描式電子顯微鏡量測非導電性材料時，因電子不易傳導而累積於表面，造成二次電子被過度釋放，產生影像過亮而導致模糊的情形，甚至當累積電荷過多而產生足夠強的電場，進一步導致電子束偏折於原路徑，而造成影像扭曲變形的情形。此一現象也發生在電子束微影系統中，當對非導電性材料基材(substrate)進行圖案定義時，由於電子的充電效應，使得圖案難以掌握。當充電效應發生時，解決的方法是在非導電性材料或阻劑上再加一層厚度較薄的導電性材料，使得累積的電子藉由該導電性材料而被驅離，可降低電荷堆積的充電效應。圖2-13顯示充電效應修正前後的差別。

## 2-2 聚焦離子束系統(Focused Ion Beam System)

1973年在Hughes研究室最先將一個直徑 $3.5\ \mu\text{m}$ 電流密度為 $0.4\text{mA}/\text{cm}^2$ 之聚焦離子束做為離子佈植機的離子源。1974年較先前亮

1萬倍的低溫場離子源首先被用在FIB上。自1975~1978年，開始發展液態金屬離子源。並且在1979~1982年，發展目前使用的鎵液相金屬場發射聚焦離子束，直徑約 $0.1\ \mu\text{m}$ ，而電流密度則為 $1.5\text{A}/\text{cm}^2$ 。直到1985年後第一台商用的FIB才上市。

聚焦離子束(FIB)簡單的說就是將Ga(鎵)元素離子化成 $\text{Ga}^+$ ，然後利用電場加速。再利用靜電透鏡(electrostatic)聚焦，將高能量(高速)的 $\text{Ga}^+$ 打到指定的點。基本原理與SEM類似，僅是所使用的粒子不同( $e^-$  vs.  $\text{Ga}^+$ )，透鏡型式(磁透鏡 vs. 靜電透鏡)位置不同。

掃描式電子顯微鏡(SEM)是以電子束聚焦來達到成像，而聚焦離子束系統則以鎵(Ga)離子束聚焦來成像。透過鎵液相金屬離子源(LMIS)來提供鎵(Ga)元素；如圖 2-14 所示，左右兩金屬棒作為電壓輸入與加熱使用，用一V字形的鎢(W)線連接及支撐，被支撐物上部為一螺旋(型似彈簧)，此處為Ga存留的地方；下方為一針狀結構，最下方為放射尖端。另外將FIB所使用的加速電壓加於Source上：將Sample置於Ground上，將Source電壓加到所需高壓(ex. 30/50 KeV)。使用鎵元素的原因在於其元素特性具有低熔點、低蒸氣壓、及良好的抗氧化力等優點。

典型的離子束顯微鏡包括Ion Column 聚焦離子槍、真空系統、控制系統、操作介面及輔助氣體。圖 2-15 顯示 Ion column 聚焦離子槍

的組成結構。Ion Column 聚焦離子槍功能在於提供離子源，透過外加電場(Suppressor)可於液相金屬離子源(LMIS)中，使液態鎵形成細小尖端，再加上負電場(Extractor)牽引尖端的鎵，而導出鎵離子束以靜電透鏡聚焦，並且決定離子束大小且穩定其發射量，再經過二次聚焦至試片表面，利用物理碰撞來達到切割之目的。此時蝕刻氣體的使用，可提高蝕刻選擇比及蝕刻速率，並防止 re-deposition 情形。圖 2-16 顯示 Beam Current 與蝕刻氣體的關係[42]，說明在 Beam 小時，會有較好的蝕刻率來提升效果(增加選擇比)，Beam 大時，則較沒什麼效果，不過仍可防止 re-deposition 效應。主要原因是表面濺擊(Sputter)速率佔整體比率較大的因素。

聚焦離子束(FIB)的應用主要分為：IC 線路修補和佈局驗證、半導體元件故障分析、半導體生產線製程異常分析、IC 製程監控-例如光阻切割、穿透式電子顯微鏡試片製作及奈米級結構製作，在結合場發射式電子顯微鏡後，可以進行即時監控，無論在效率、成功率上皆有長足的進步。

### 2-3 原子力顯微鏡(Atomic Force Microscope)

原子力顯微鏡(AFM)是由掃描式穿隧顯微鏡 STM 發明人之一 Binnig、美國史丹福大學教授 Quate、及 IBM 的 Gerber 率先發展出來，

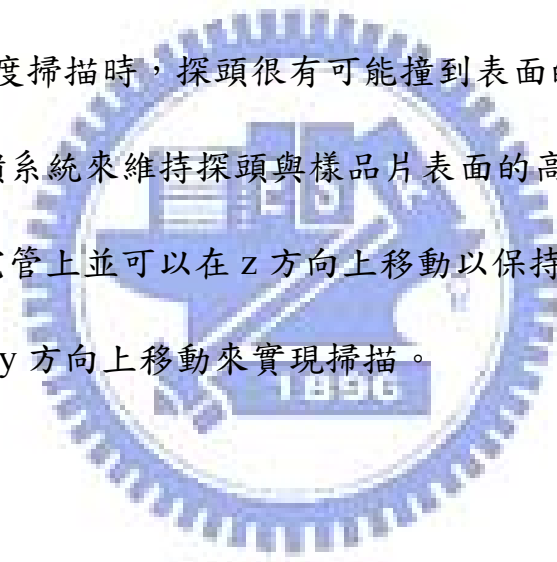
主要動機是希望有類似 STM 的空間解析能力，但不必受限於可導電的材料，表 2-2 顯示各種不同顯微鏡技術之比較。原子力顯微鏡(AFM)對於表面粗糙度，機械破壞表面的量測相當方便，原子力顯微鏡有接觸式，非接觸式與輕敲式三種基本的操作模式，圖 2-17 顯示接觸式、非接觸式及輕敲式此三種模式的示意圖[43]。

原子力顯微鏡的原理是利用原子之間的凡得瓦爾力作用來呈現樣品的表面特性。藉由針尖原子與樣品表面原子間的微弱作用力來作為回饋，以維持針尖能在樣品上方以固定高度掃描，從而得知樣品表面的高低起伏。操作過程係利用一根微小懸臂上的探針輕輕接觸或接近樣品表面，當探針與樣品表面作用力產生微弱變化時，懸臂會產生敏感的偏轉，照射在懸臂背面的雷射光角度因此而偏移，使得反射到感光二極體偵測器的訊號產生變化，經由電腦的運算可形成樣品表面的三維影像，近年來將奈米碳管黏在探針上，提升了原子力顯微鏡的空間解析度，可看出 DNA 的結構。圖 2-18 顯示原子力顯微鏡的操作示意圖。

原子力顯微鏡的關鍵組成部分是一個頭上帶有一個用來掃描樣品表面的尖細探針的微觀懸臂；這種懸臂通常由矽或者氮化矽構成，探頭的曲度在奈米量級。當探頭被放置到樣品表面附近的地方時，懸臂上探頭與表面引力會遵守胡克定律(Hooke's law)而產生彎曲偏移。在

不同的情況下，這種被原子力顯微鏡測量到的力可能是機械接觸力、凡得瓦爾力、毛吸力、化學鍵、電力、磁力（見磁力顯微鏡）喀希米爾效應力、溶劑力等等。通常，偏移會由射在雷射束微懸臂上的雷射束反射至光敏二極體陣列而測量到。其他方法還包括光學干涉法、電容法和壓阻效應法。這些探頭通常由採用壓阻效應的變形測量器而制得。通過惠斯通電橋，探頭的形變可以被測得，不過這種方法沒有雷射反射法或干涉法靈敏。

當在恆定高度掃描時，探頭很有可能撞到表面的造成損傷。所以通常會通過反饋系統來維持探頭與樣晶片表面的高度恆定。傳統上，樣品被放在壓電管上並可以在 z 方向上移動以保持與探頭之間的恆定距離，在 x、y 方向上移動來實現掃描。



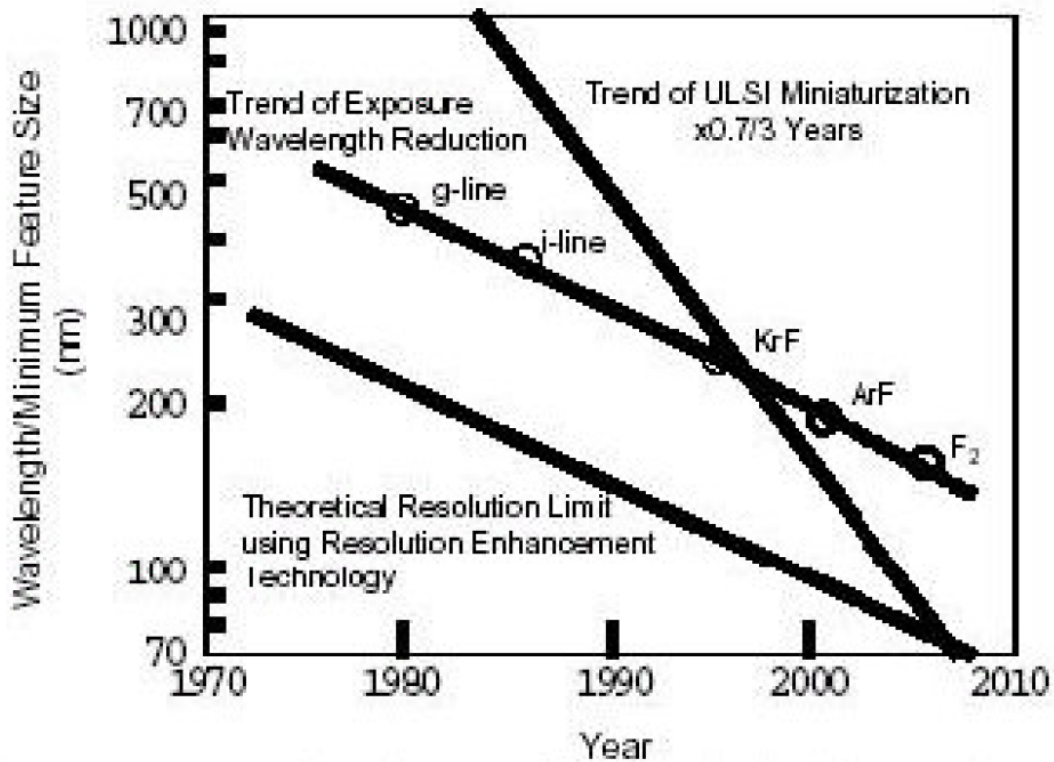


圖2-1 光學微影製程趨勢

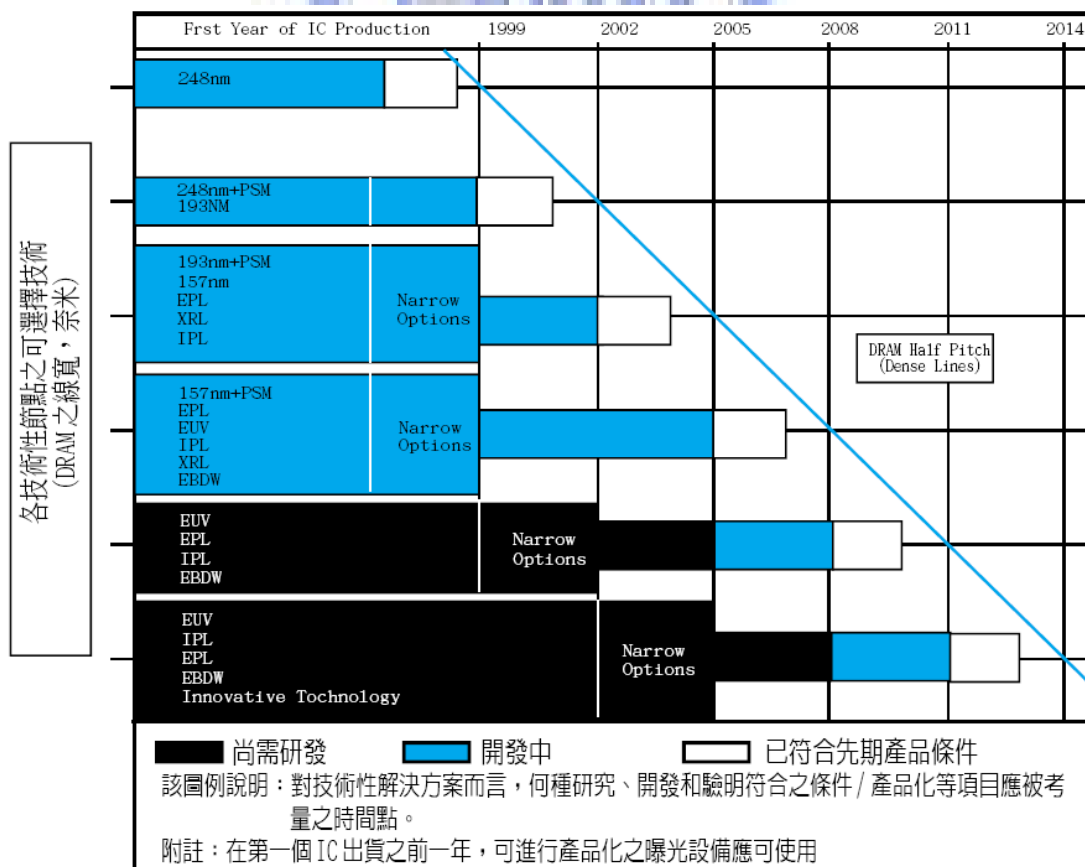


圖2-2 各類曝光技術未來實際應用的可能性



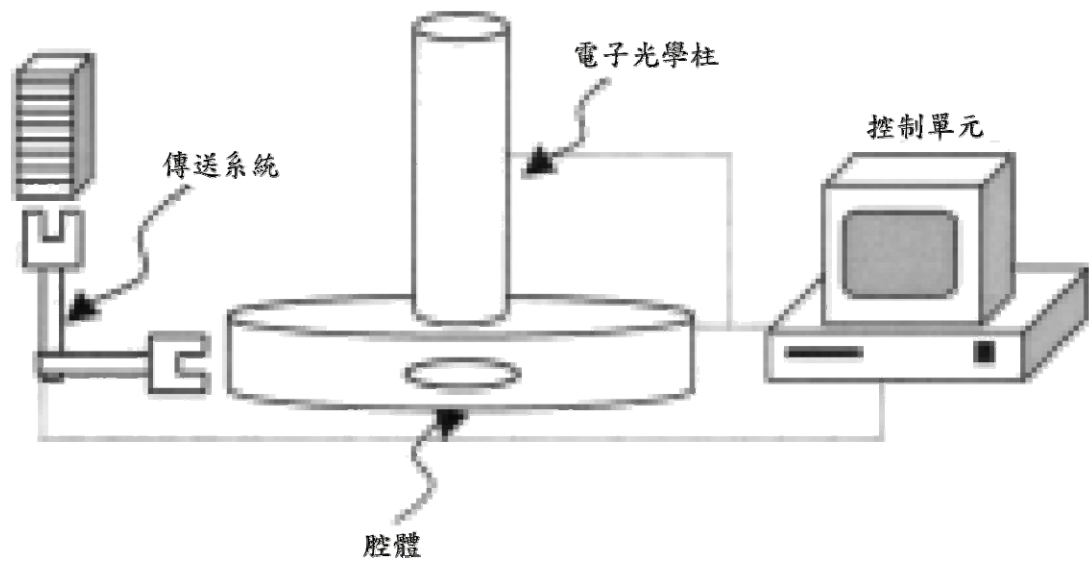


圖2-3 典型的電子束微影系統示意圖

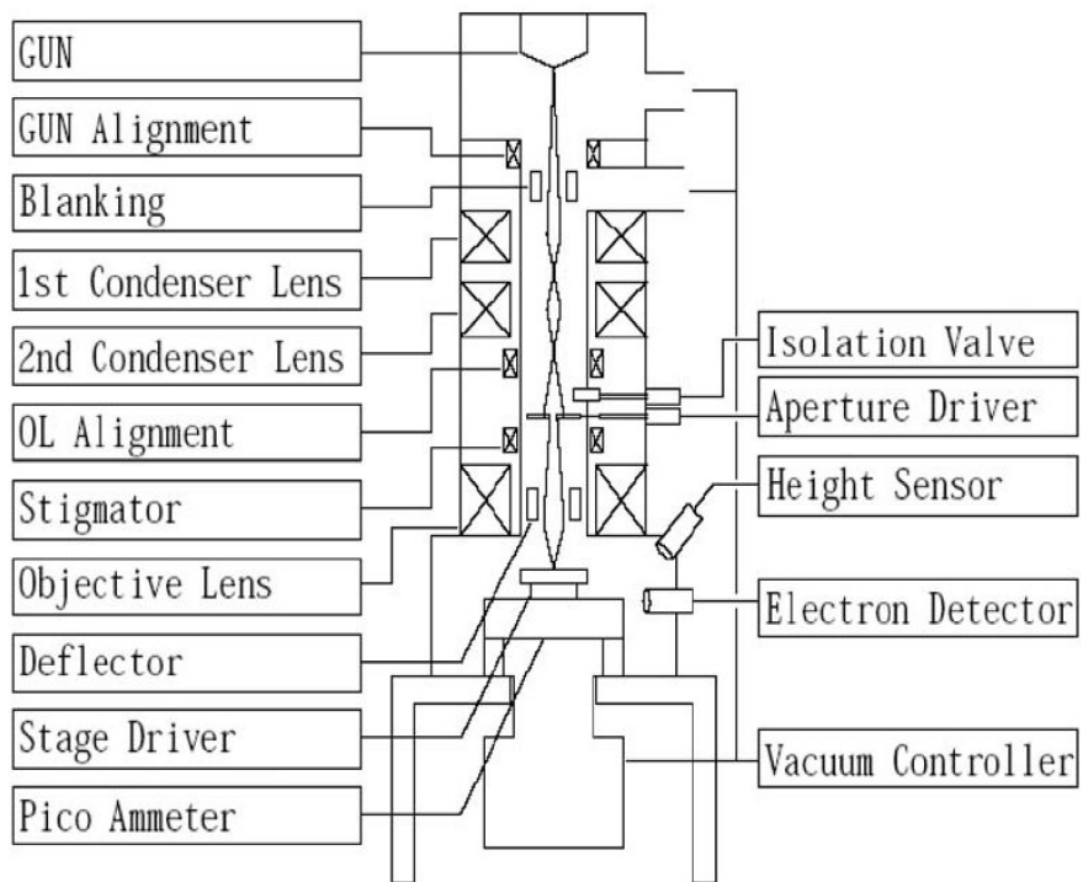


圖2-4 電子束微影系統之電子光學柱內部構造



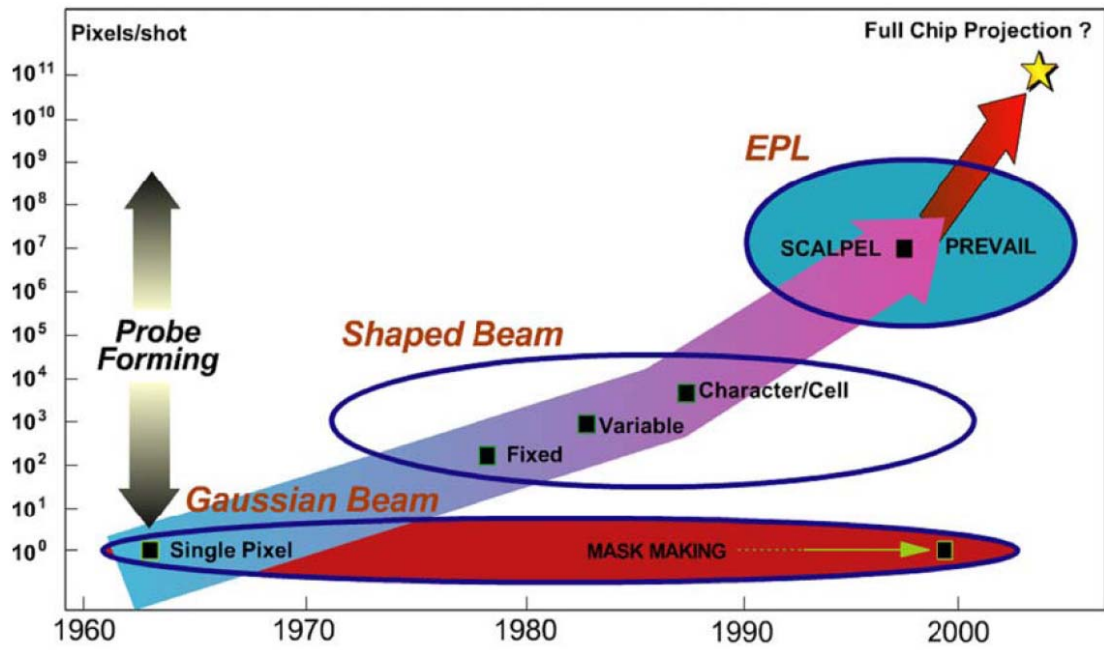


圖2-5 電子束照射形狀演進

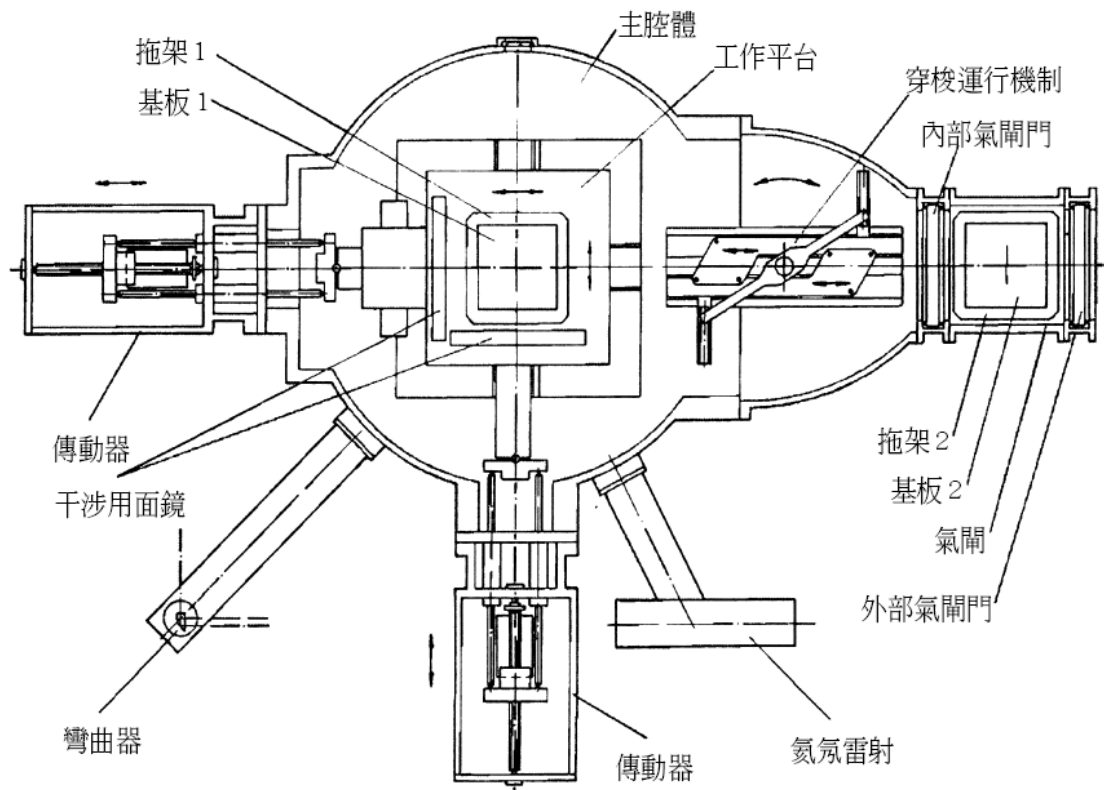


圖2-6 腔體示意圖

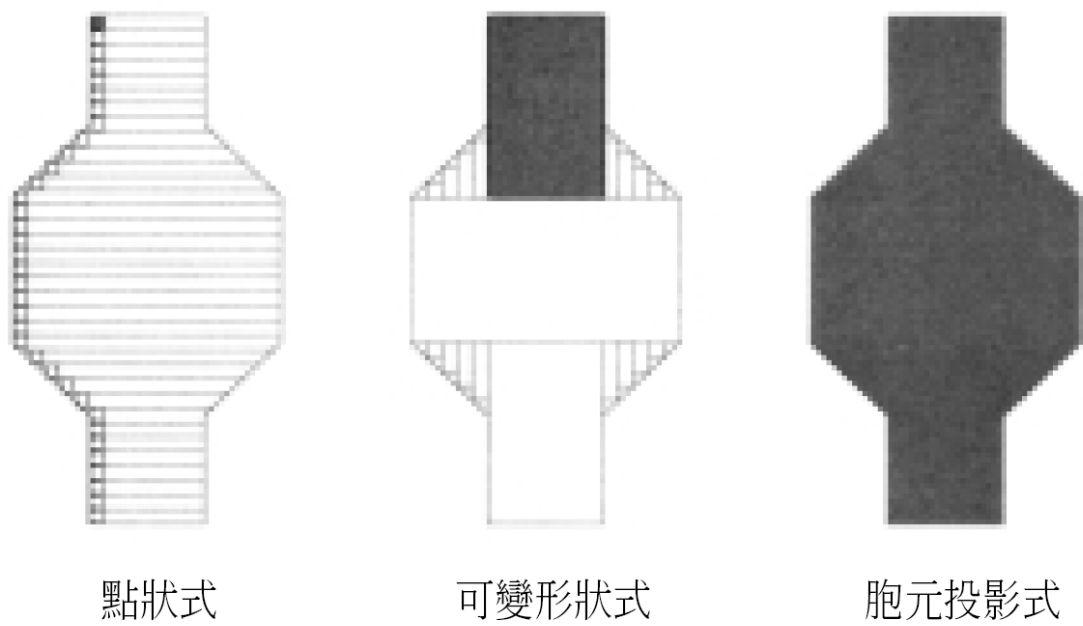


圖 2-7 電子束曝光系統之三種電子束尺寸控制形式

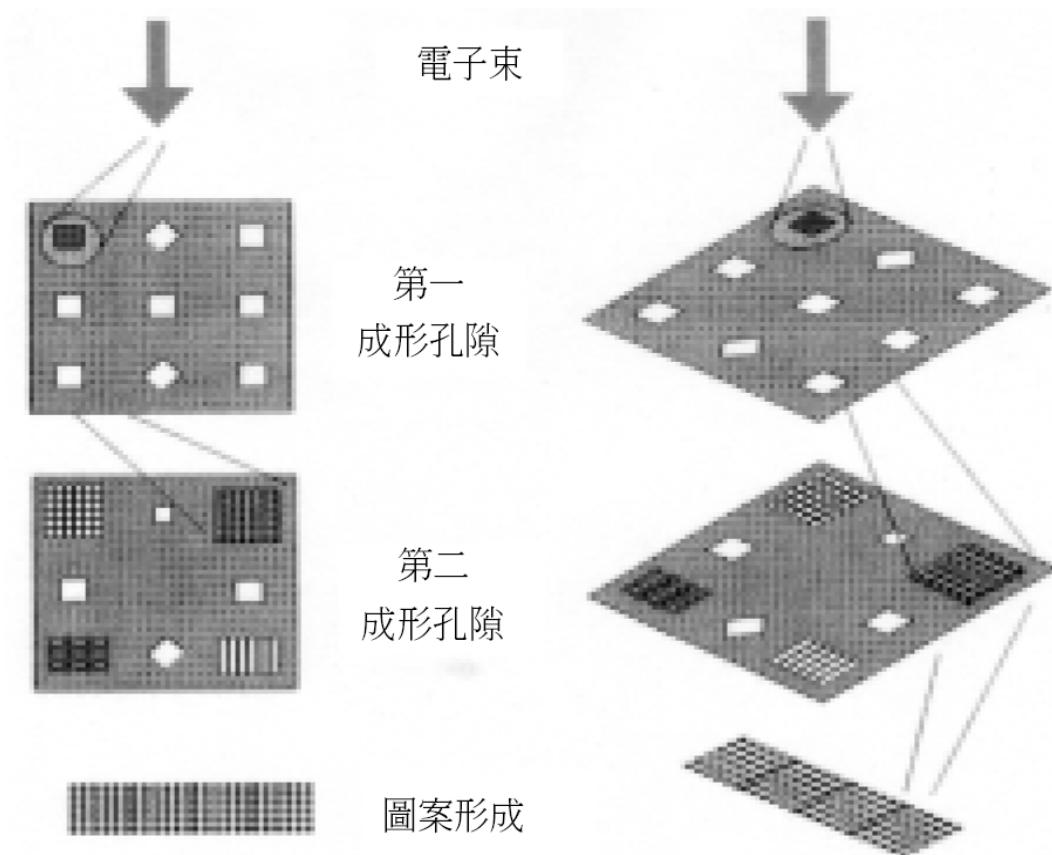


圖 2-8 胞元投影電子束系統之圖案建立方式

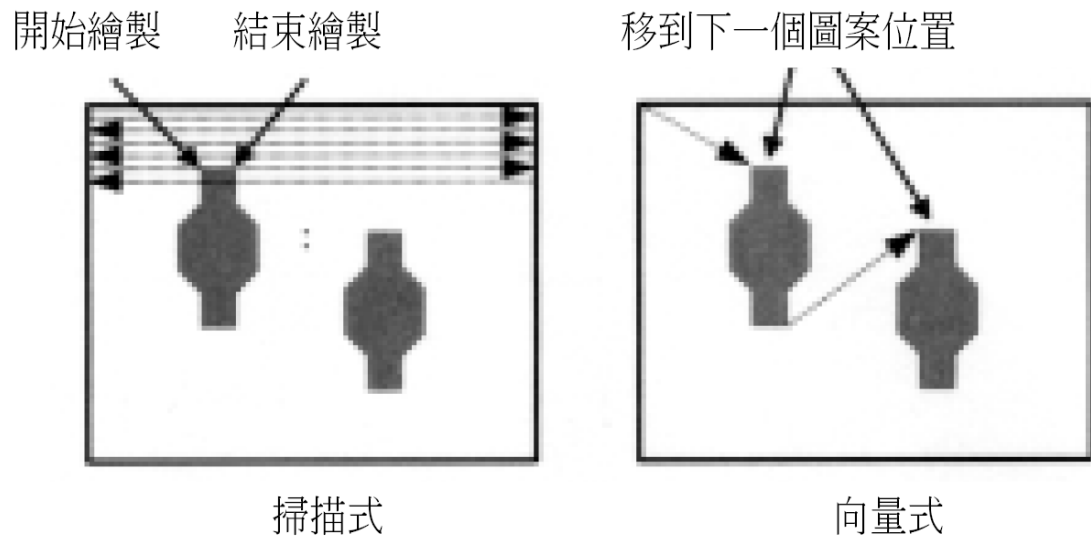


圖2-9 曝光時平台的移動方式

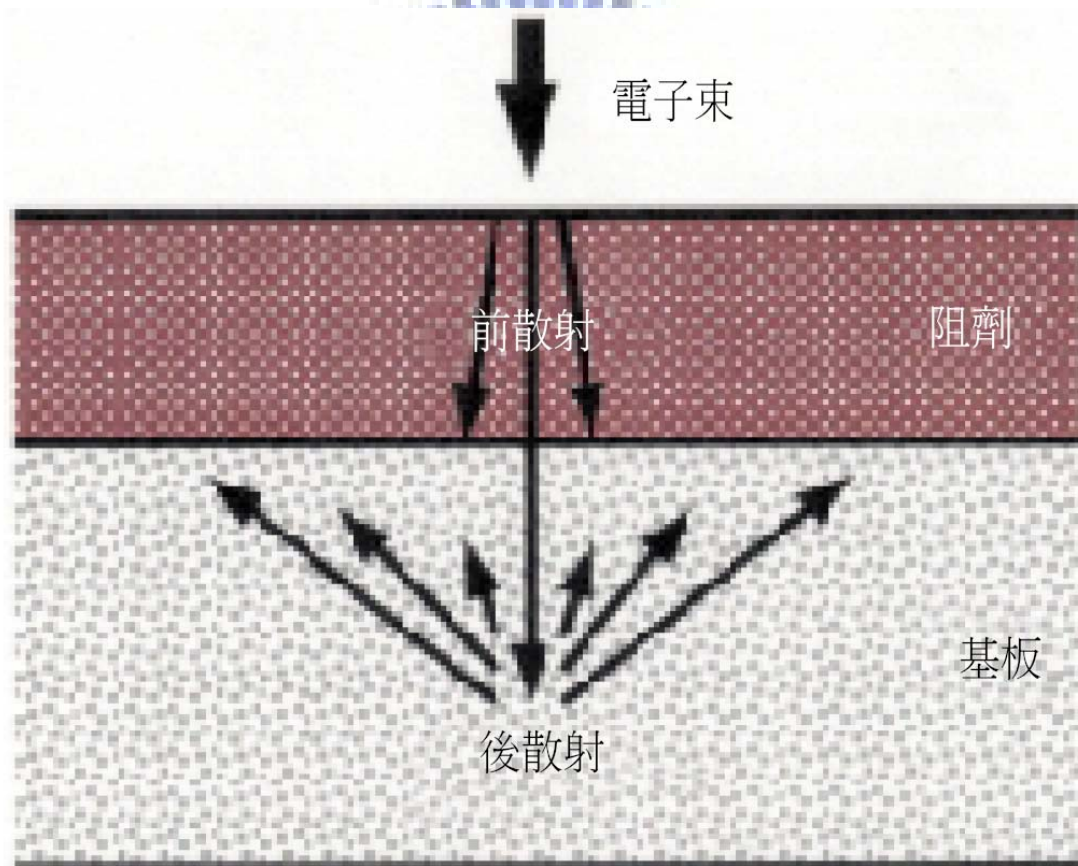


圖2-10 曝光時平台的移動方式

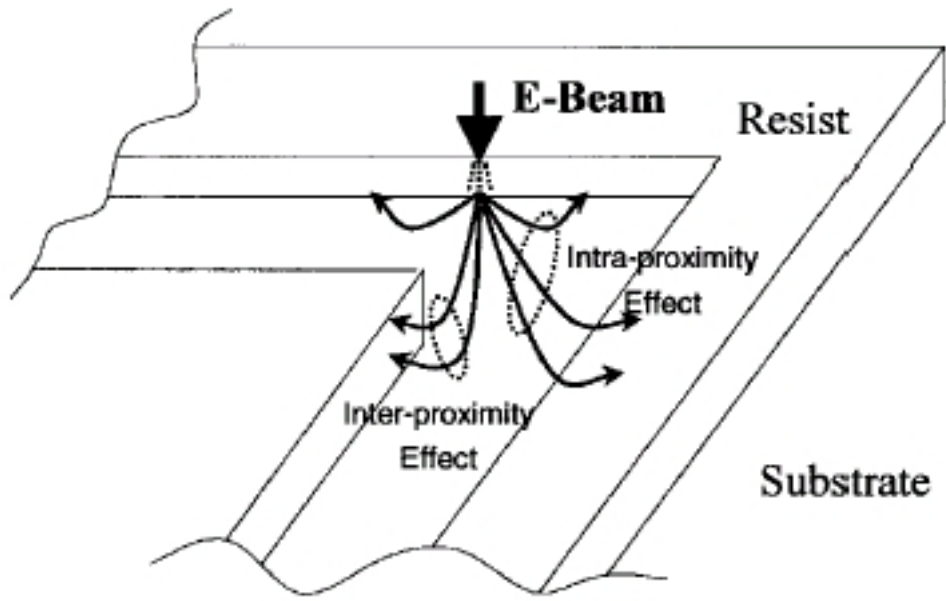
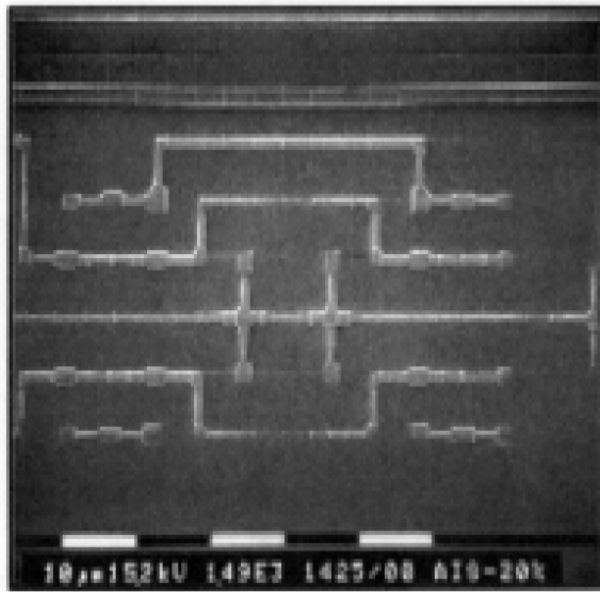
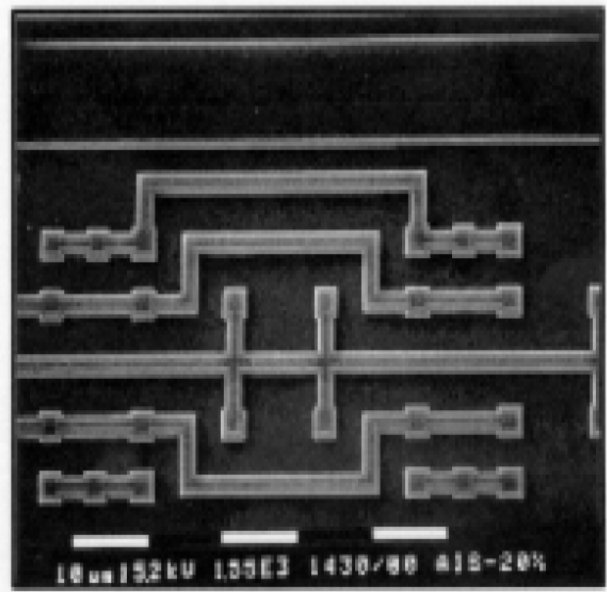


圖2-11 電子束之圖案內(Intra-)與圖案間(Inter-)鄰近效應示意圖

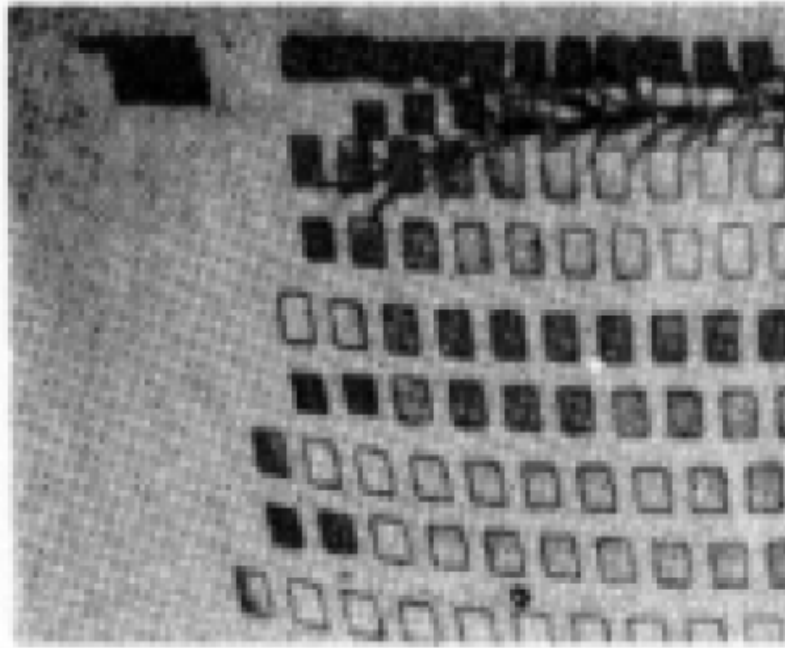


(a)修正前

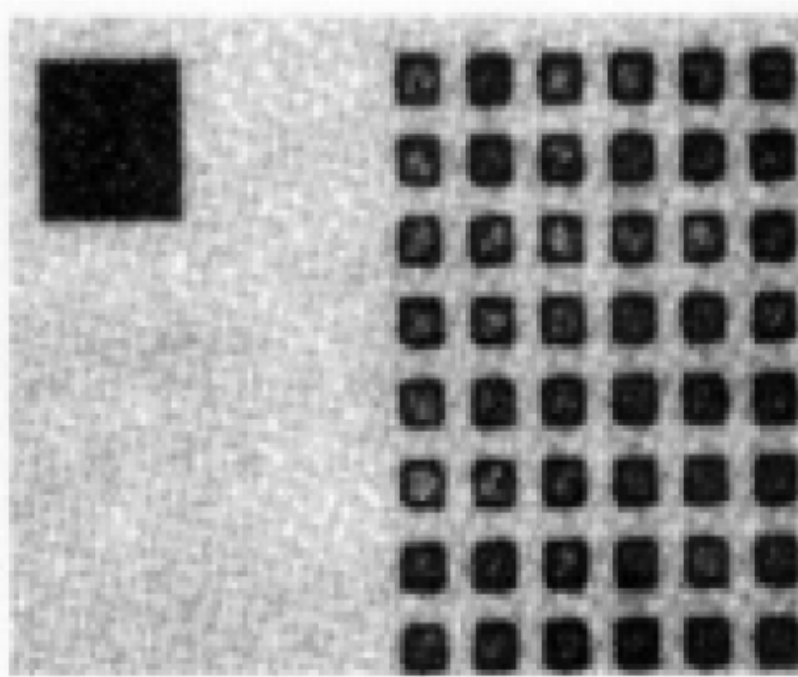


(b)修正後

圖2-12 電子束鄰近效應修正



(a) 未使用導電性材料



(b) 使用導電性材料

圖2-13 引用導電性材料前後的比較



圖2-14 LMIS系統結構

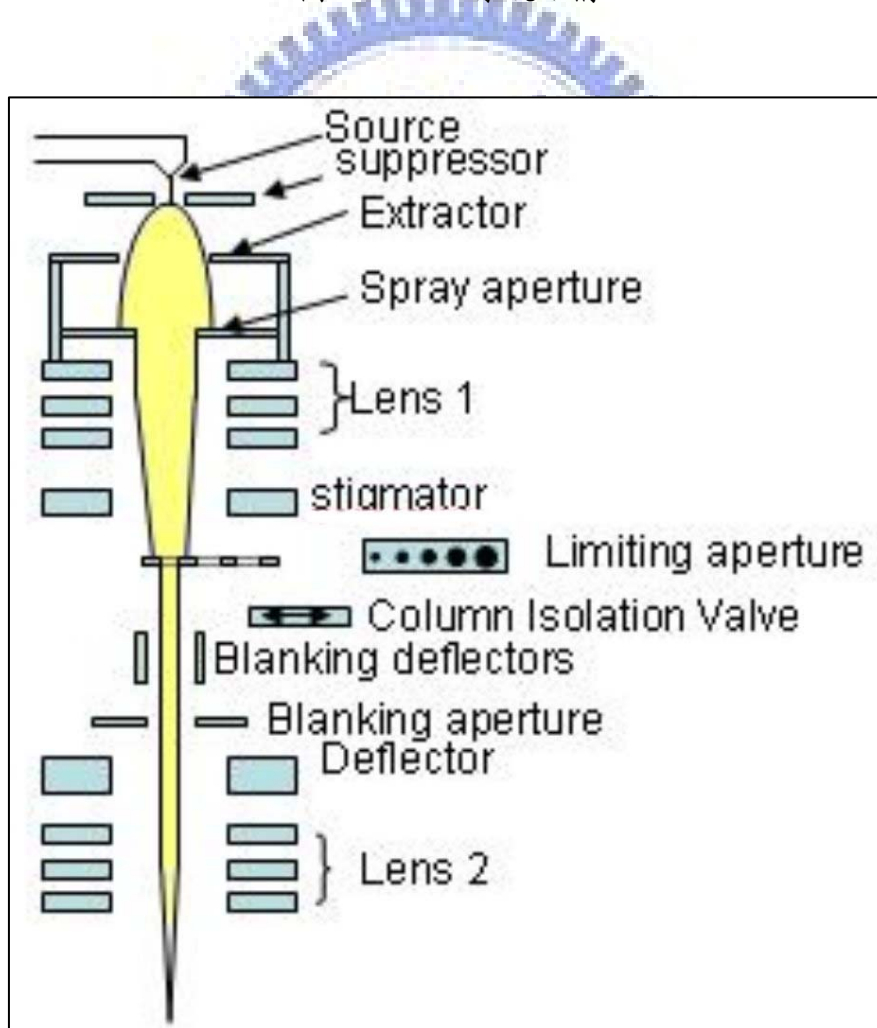


圖2-15 Ion Column組成



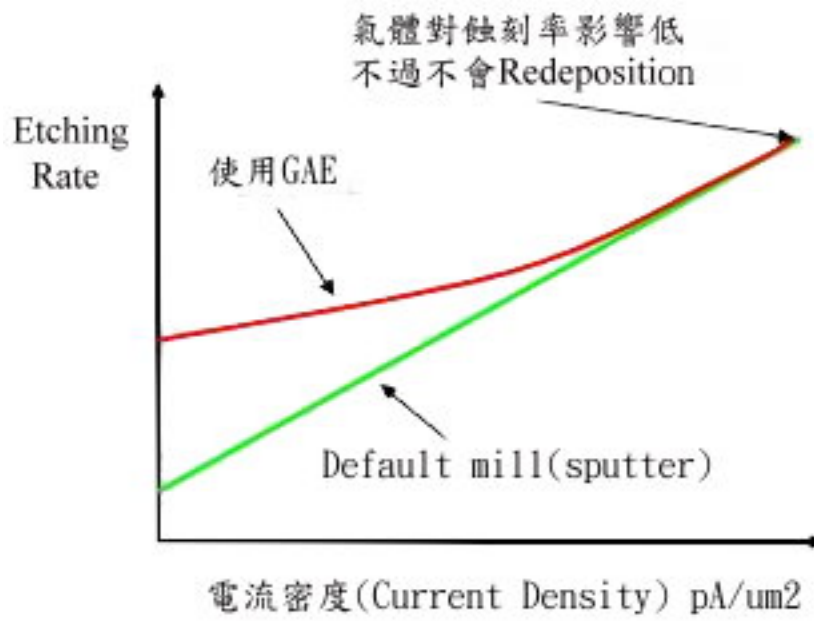


圖2-16 Beam Current與蝕刻氣體的關係

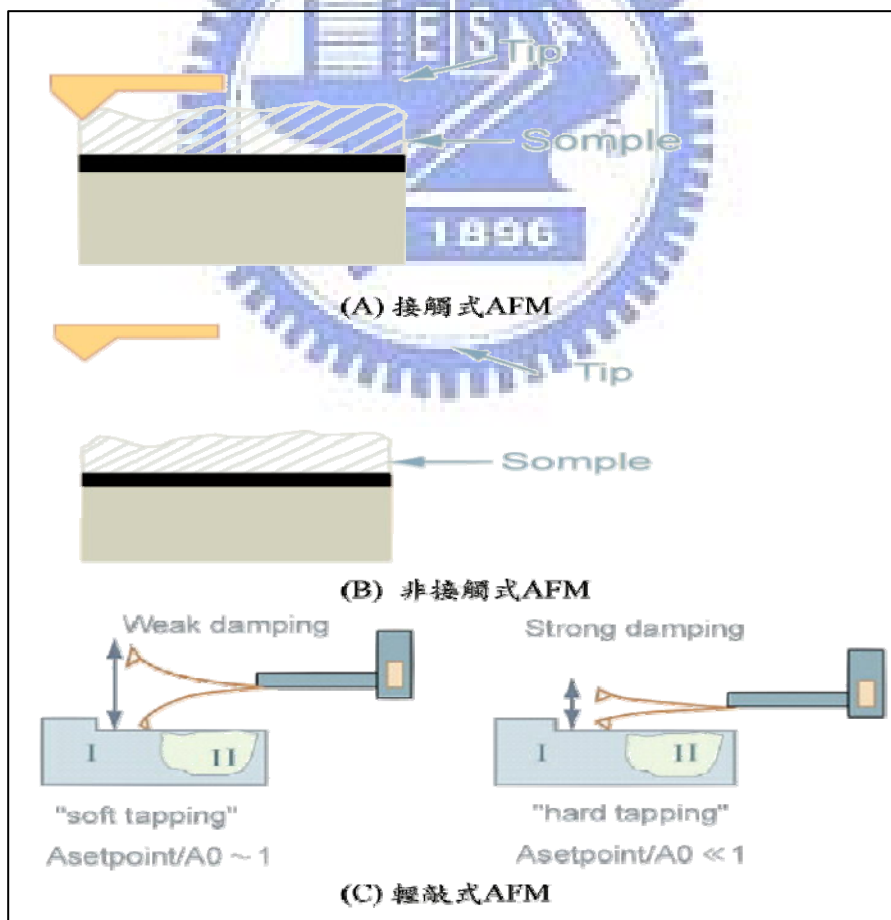


圖2-17 原子力顯微鏡三種操作模式示意圖



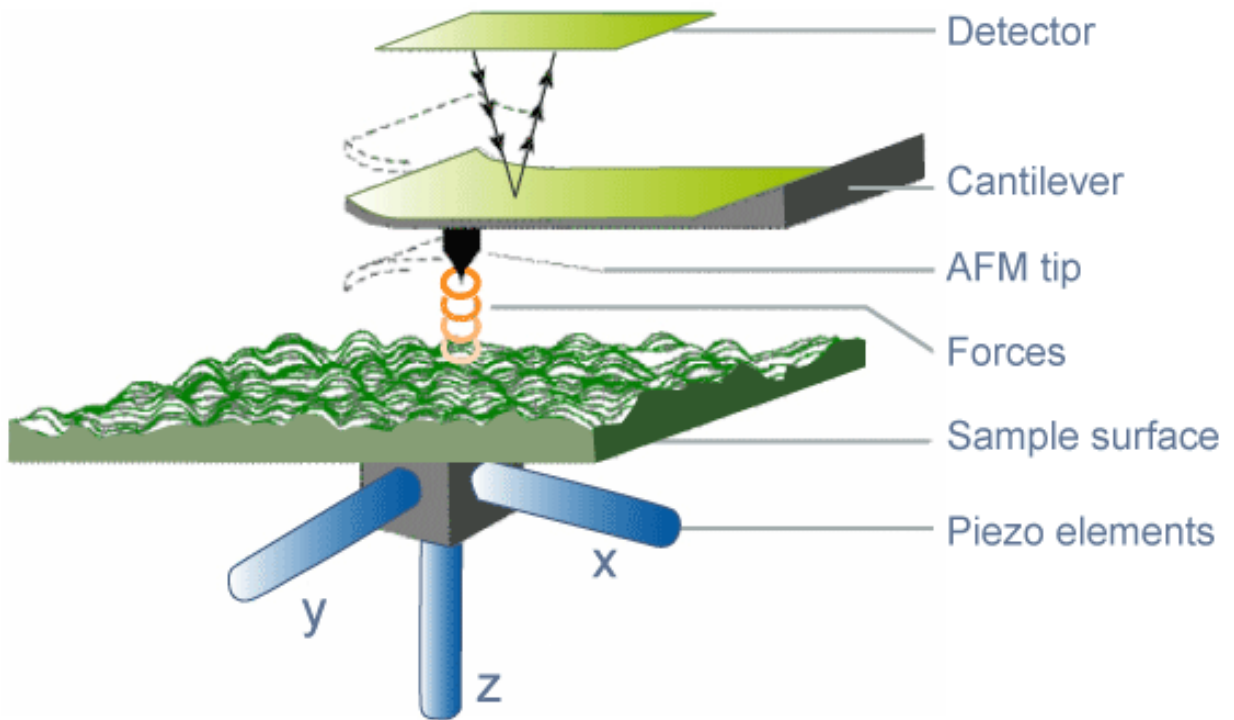


圖2-18 原子力顯微鏡的操作示意圖



表 2-1 各種微影技術的整體比較

	技術	圖案產生	曝光模式	曝光範圍	光阻材料	特徵尺寸	產量 (晶圓/時)
傳統	熱壓	模板	熱與壓力	晶圓	熱塑性	微米級	6
	接合	—	熱與壓力	晶圓	熱塑性/ 光敏性	—	6
寫入	微影	光罩	紫外線 深紫外線 極紫外線	晶圓/10 mm	光敏性	250 nm 180 nm 100 nm	10~50
	全相術	週期性	深紫外線	晶圓掃描	光敏性	150 nm	45~60
	聚焦離子束	直寫	離子	0.1~10 mm	薄膜	10 nm	0.1
	X光	光罩	X光	晶圓	光敏性	50 nm	10~40
	電子束	直寫	電子束	0.1~10 mm	光敏性	2 nm	0.1
轉印	奈米壓印微影	模板	熱與壓力	晶圓	熱塑性	10 nm	12~60
	紫外線基奈米 壓印微影	模板	紫外線	3.5×3.5 mm	光敏性	10 nm	60
	軟微影	PDMS	墨水	晶圓	自組裝	60 nm	10~20

表 2-2 各種不同顯微鏡技術之比較

	SEM	TEM	STM	AFM
橫向解析度	5nm	0.5nm	原子級	2~10nm
縱向解析度	10nm	N/A	0.01nm	0.1nm
放大倍率	$10\sim 10^6$	$3\times 10^5\sim 10^6$	$5\times 10\sim 10^8$	$5\times 10^2\sim 10^8$
成像範圍	1mm	0.1mm	0.1mm	0.1mm
成像環境	真空	真空	不限	不限
樣品處理	需鍍導電膜	複雜	無	無

## 第三章 元件製程介紹

本實驗元件製程部份，涵蓋了半導體主要的四個模組步驟，有微影(Photo)、蝕刻(Etch)、薄膜(Thin film)及擴散(Difussion)等等；量測的部份則有原子力顯微鏡(AFM)、掃描式電子顯微鏡(SEM)以及聚焦式離子顯微鏡(FIB)等等，最後再透過 HP-4145 參數分析系統來量測電性。圖 3-1 顯示整體製程步驟順序。整體實驗製程的變數在於氧化層的厚度及基材本身的屬性差異，共有四組製程變化的樣品來做比較分析。圖 3-2 呈現整體製程元件架構及分類。以下則開始詳細地介紹整體元件製程的各項步驟及參數設定。

### 3-1 基材(Substrate)樣品前置作業步驟

本實驗所用基材規格為四吋 N-Type 及 P-Type 矽晶圓 (Silicon Wafer)，是從昇美達國際開發股份有限公司所購得，表3-1顯示晶圓規格。由於元件最終目的為量測電性，所以選購上特別選擇了Prime的晶圓。

接著開始進行樣品的製程操作；首先將四吋矽晶圓，透過國家奈米元件實驗室的Wet Bench機台，來進行爐管長晶前的清洗；經由RCA clean步驟，來有效洗淨晶圓上的有機、無機、金屬微粒及原生氧化層，表3-2呈現RCA Clean流程。

之後則將洗淨的晶圓，放入國家奈米元件實驗室的常壓化學氣相沉積(APCVD)水平爐管機台，來進行生長氧化層的步驟，並分別透過Wet Oxide及Dry Oxide兩種模式來控制氧化層厚度。(本實驗氧化層厚度設定為 $500\text{\AA}$ 及 $1000\text{\AA}$ )，成長完後，再透過國家奈米元件實驗室的n & k-薄膜測厚儀來進行厚度確認；圖3-3顯示n & k-薄膜測厚儀運作原理。

### 3-2 電子束微影製程(Electron Beam Lithography)

使用的電子束微影系統為國立台灣大學資電中心的電子束微影系統 (Electron Beam Lithography System, EBLS)，見圖3-4。由日本ELIONIX Inc.所製造，機台型號為ELS-7500EX，裝備ZrO/W 熱場發射電子槍，又稱為蕭特基發射 (Schottky Emission)，電子束形狀為高斯束，加速電壓可達50kV。使用的電子阻劑、顯影液以及光阻去除液分別為ZEON Corp.所生產的ZEP-520A、ZEP-N50以及ZDMAC。

進行微影步驟前，先將四吋晶圓切成邊長2cm\*2cm大小的晶圓破片，以利後續製程圖形設計。接著開始進行微影步驟。而電子束微影製程，大致上可以分成三個步驟：第一步驟為塗佈光阻(Spin Coating)及軟烤(Soft Bake)，第二步驟為曝光(Exposure)，最後步驟則進行顯影(Develop)，如圖3-5。

第一步驟塗佈光阻的過程中，重要的是控制光阻旋塗之後的厚度及光阻(Photoresist)表面的平整度，這牽涉到基板(Substrate)的清潔、光阻劑的選用以及塗佈機轉速的控制。基板的清潔目的是為了清除表面上附著的微粒，以防止旋塗光阻時造成不平整的現象，通常使用丙酮(Acetone)、異丙醇(IPA)及去離子水(Deionized Water)，並加上超音波震盪來去除樣品(Sample)表面有機物質及微小粒子。清洗後則開始旋塗光阻；光阻是一種高分子材料，大致分成正光阻與負光阻兩種類型，當正光阻劑受到電子束照射時，阻劑的分子鏈將會斷裂，使得曝光區域內的高分子平均分子量減少，而平均分子量的減少將使得高分子對顯影液溶解度增加。而負光阻的作用則與正光阻相反，所以必須根據所需要定義的圖案來選擇光阻種類；本實驗所使用的光阻(ZEP-520A)屬於正光阻類型。接下來將塗佈機經由適當轉速設定來得到對應的光阻厚度，在經由180°C兩分鐘的軟烤，使光阻中的殘留氣體能夠逼出，並使結構更緊實。接著放置在不鏽鋼圓盤上冷卻數分鐘。圖3-6呈現本實驗所使用的光阻(ZEP-520A)，其轉速所對應厚度的關係。

第二步驟一開始，我們先將塗佈光阻完成的試片，固定在電子束微影系統的載盤(Holder)上，並貼齊載盤的邊線。在藉由游標尺來量測及定義製程區域座標，之後再送入電子束微影系統的真空腔體內來

進行曝光製程。透過電腦的控制系統，我們可以輸入游標尺所量測到的製程區域座標及曝光時間，並藉由特定的軟體來設計所需要的圖形，接著在給予適當的製程參數如加速電壓、曝光水平位置等；最後調效曝光電流大小及焦距設定，確定一切就緒後，則開始進行電子束微影製程。每一個參數設定都影響著最後曝光圖案的精確性與整體曝光過程所需的時間。不同的光阻厚度、不同的線寬尺寸與不同的圖形特徵，都需要不斷的嘗試這些製程參數來達到完美的效果。圖3-7顯示本實驗所設計的製程分配。圖3-8顯示製程圖形。


第三步驟顯影，則是將完成的曝光基材(Substrate)放入ZEP-N50顯影液，並置入23°C的恆溫環境中5分鐘。此時有照射到電子束的區域則被顯影液溶解，並形成所設定的圖形。最後使用異丙醇(IPA)將殘留的顯影液洗淨，並用氮氣吹乾即可。接下來便可以對具有曝光圖形的樣品進行後續製程工作。

### 3-3 濕式蝕刻(Wet Etch)氧化層

完成微影製程後，接下來則開始進行蝕刻氧化層的步驟。本實驗選擇使用濕式蝕刻，原因在於其對元件的電性損害為最小，而其等向性蝕刻的特性，又使後段所沈積地非晶矽層，能有效的填滿製程區域，如圖3-9。表3-3呈現濕式蝕刻(Wet Etch)與乾式蝕刻(Dry Etch)的



比較。蝕刻步驟有二點需特別注重；第一點就是確保製程圖形能夠進行均勻性地蝕刻，此點目的在於使接下來的沈積製程能有效地填滿到製程區域，由於製程圖形為洞的陣列，所以需確保每個洞的蝕刻成像都能一致。第二點則需將製程圖形區域的氧化層通通吃穿，此點目的在於使接下來所沈積地非晶矽層(Amorphous silicon)，能有效的與底層基材做連結(contact)，進而形成奈米等級的洞陣列P-N界面(Junction)。



在這個步驟當中，我們透過了交通大學奈米中心的Wet Bench機台，來進行蝕刻的部份，如圖3-10；使用氧化物蝕刻劑{BOE( $\text{NH}_4\text{F}$  : HF, 6 : 1)}來蝕刻二氧化矽層( $\text{SiO}_2$ )。為了使蝕刻成像均勻，我們使用了具有攪伴作用的加熱機(Hot plate)，在蝕刻過程中加入磁石攪伴，來達到均勻蝕刻的目的。圖3-11呈現利用原子力顯微鏡(AFM)所量測到的均勻性蝕刻成像。再來依據氧化層厚度的差異來決定蝕刻的時間。蝕刻完畢後，再透過掃描式電子顯微鏡(SEM)及原子力顯微鏡(AFM)來確認是否已蝕刻到底。因氧化層本身不導電，當沒有蝕刻到底時，在掃描式電子顯微鏡(SEM)會成像模糊，倘若蝕刻完全，則成像清楚。接著在透過原子力顯微鏡(AFM)來呈現深度比，所量測到的深度與氧化層長的厚度一致，進而確定在這樣的製程當中，是有符合我們剛剛所提到的兩點要求。圖3-12顯示利用電子顯微鏡(SEM)來進



行有無蝕刻到底的比較；圖3-13顯示利用原子力顯微鏡(AFM)所量測到的深度比。

### 3-4 成長非晶矽(Amorphous Silicon)

此步驟製程，我們透過中興大學電機學院的電漿輔助化學氣相沈積(PECVD)機台，如圖3-14，來進行沈積與基材相反電性的非晶矽層(Amorphous Silicon)。之所以選用電漿輔助化學氣相沈積機台，是在於配合製程上的需求，並且想測試在低溫沈積的系統中，其階梯覆蓋率(Step Coverage)是否能達到我們的製程需求。

步驟進行前，仍需將樣品進行簡單地清潔工作，這裡的清潔方式跟電子束微影相同，使用丙酮(Acetone)、異丙醇(IPA)及去離子水(Deionized Water)，並加上超音波震盪來去除Sample表面有機物質及微小粒子。之後則放入電漿輔助化學氣相沈積機台的腔體內準備進行沈積；沈積前，必須進行腔體的清潔動作，以保製程品質。其操作環境設定皆為溫度250°C、1torr壓力及電漿值5W，並依據基材電性的差異，來沈積相反電性的非晶矽層，再藉由不同電性層的生長速率，來決定沈積時間。最終形成洞陣列的P-N介面(Junction)。表3-4呈現不同電性層在電漿輔助化學氣相沈積(PECVD)機台的氣體設定參數。

此步驟完成後，有一個地方必須去確認，就是所沈積的非晶矽層

是否與基材形成有效的連結(Contact)；這個部份，我們透過交大奈米中心的聚焦離子束(FIB)系統來做檢測，如圖3-15。透過製作穿透式電子顯微鏡(TEM)的試片步驟，來檢測削薄後的樣品測面(Cross-Section)，如圖3-16、3-17，發現使用電漿輔助化學氣相沈積(PECVD)機台，其階梯覆蓋率(Step Coverage)的程度，是能夠有效地填滿到我們所定義的製程區域，並與基材做連結(Contact)。進而形成奈米等級的洞陣列P-N介面(Junction)。

本實驗所生長的P或N型非晶矽層，將藉由交通大學奈米中心的四點探針(Four-Point Probe)儀(圖3-18)，來量測其載子濃度(Carrier Concentration)及載子遷移率(Carrier Mobility)。



### 3-5 二次塗佈光阻

此步驟主要為定義表面金屬製程區域，以利接下來的金屬剝離(Lift-Off)製程。二次塗佈光阻的注意事項與第一次塗佈光阻時相同，只有一個地方需特別強調，即為將已塗佈好光阻的試片，固定在電子束微影系統的載盤上時，需特別將其貼齊載盤的邊線，以求固定的位置與第一次進行曝光顯影的區域一致，使往後蒸鍍金屬的位置能有效的坐落在製程區域。

### 3-6 電子槍蒸鍍系統(E-Gun Evaporator )

此步驟主要為製作元件前後金屬層，來當做前後電極之用。前金屬層需以剝離(Lift-Off)法來定義在製程區域上，後金屬層則整面鍍上。使用了交通大學奈米科技中心的電子槍蒸鍍系統(E-Gun Evaporator)，如圖3-19；此套系統具有可蒸鍍四種金屬以上的功能，如鍍(Ge)、金(Au)、鎳(Ni)及鋁(Al)等等。本實驗所沈積得金屬為鋁(Al)，主要用意在於鋁金屬與晶矽層所形成的能障高度( $q\Phi_{BP}$ )為其它可鍍金屬當中最低，能有效的形成歐姆接觸(Ohmic Contact)[44]，使其元件電性能有效發揮。圖3-20顯示金屬-矽與金屬-砷化鎵兩種接觸的能障高度測量值[45] [46]。

蒸鍍前金屬層前，需先將預蒸鍍的元件表面做原生氧化層(Native Oxide)的去除處理，以使金屬層能確實地與元件做連接(Contact)。這個前置作業，我們仍然透過交通大學奈米中心的濕式清洗(Wet Bench)機台來進行；使用稀釋氫氟酸(Dilute Hydrofluoric Acid)，將水與氫氟酸以100:1的比例來調配，藉以去除原生氧化層(native oxide)。前置作業完成後，則將試片貼在電子槍蒸鍍系統(E-Gun Evaporator)的載盤上，利用耐熱膠將試片黏貼固定後，則送入腔體內進行蒸鍍步驟。

前金屬層蒸鍍完後，則開始進行剝離(Lift-off)法，來定義出座落

在製程區的金屬層。將試片放入該光阻(ZEP520A)的去光阻液(ZDMAC)中1小時進行剝離，之後藉由異丙醇(IPA)、去離子水(DI Water)來清洗試片！前金屬層形成後，則接著進行背面金屬層的蒸鍍製程；方式跟上述一樣，仍需先去除原生氧化層後，才可進行蒸鍍。此步驟完成後，所有元件製程步驟就到此為止。接下來則開始驗收成果-量測電性。

### 3-7 量測元件電性

量測製程元件的電流-電壓值，將透過交通大學李建平教授實驗室的HP-4145參數分析系統來進行，見圖3-21。此套系統能滿足本製程元件的量測特性，舉凡電壓與電流的限制範圍及量測環境的設置要求。

本製程元件量測的電壓值範圍為負5伏特(-5V)到正5伏特(5V)之間，一個區間為0.05伏特，共有201個I-V值。最後再藉由Origin-Pro軟體來繪製I-V曲線，滙整所有數據。

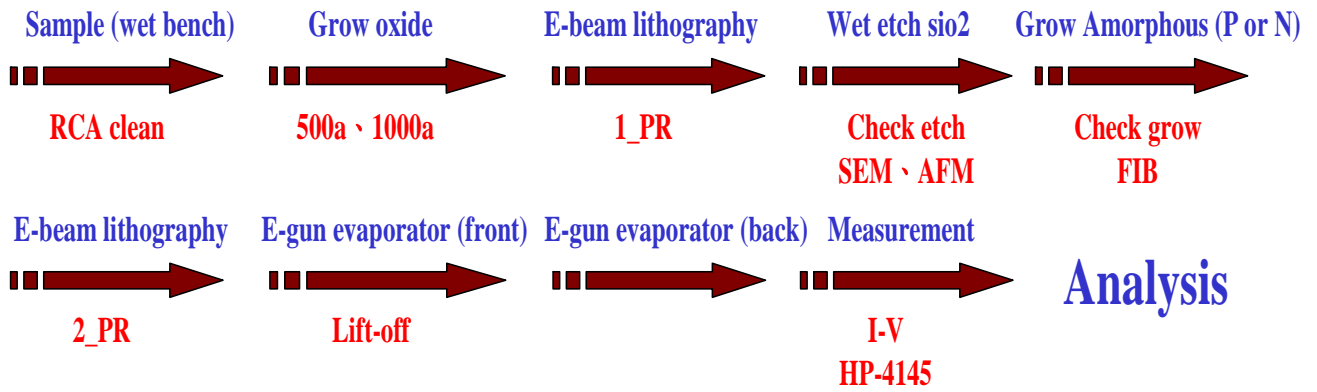


圖3-1 實驗流程示意圖

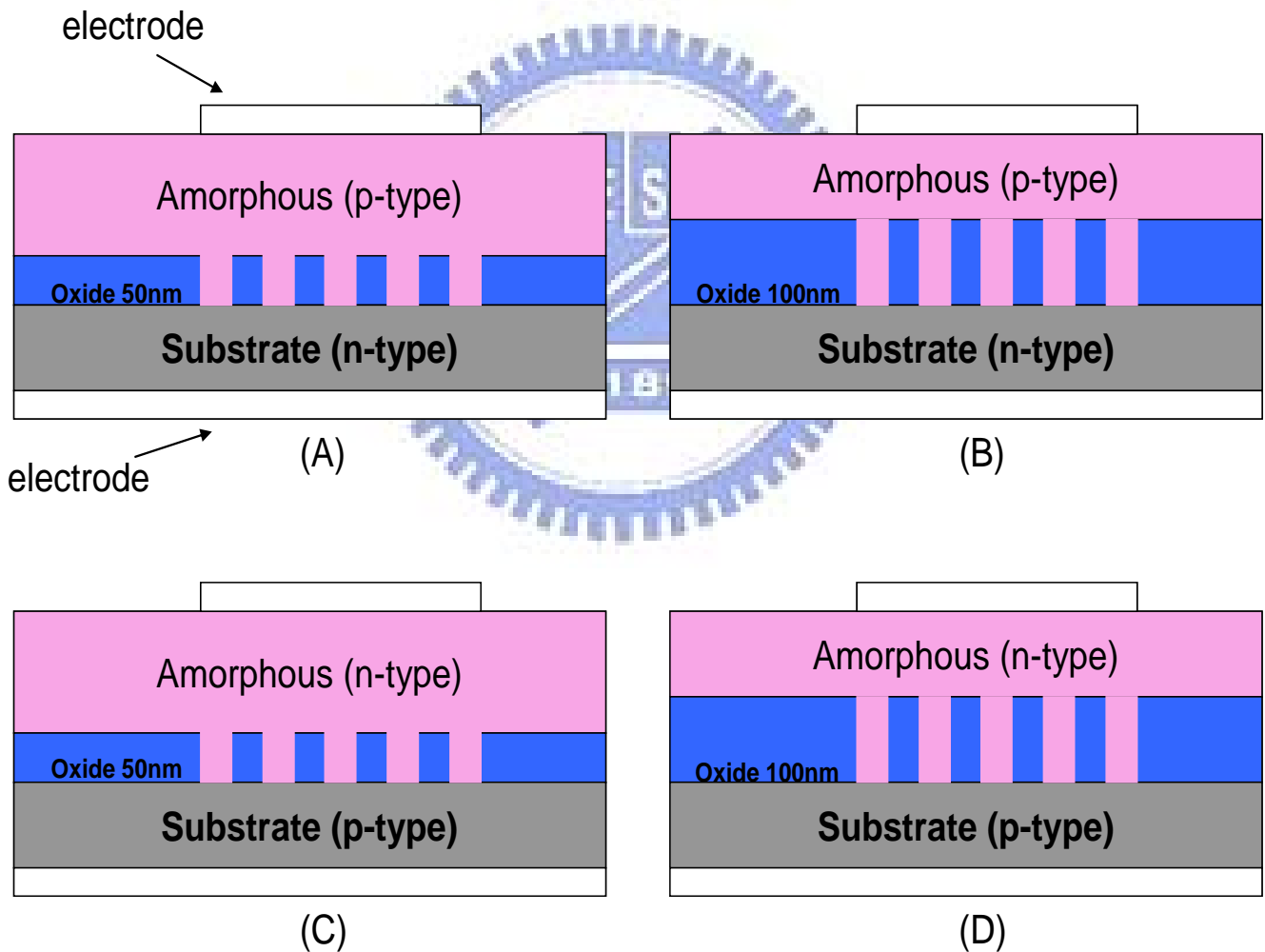


圖3-2 製程元件架構及分類

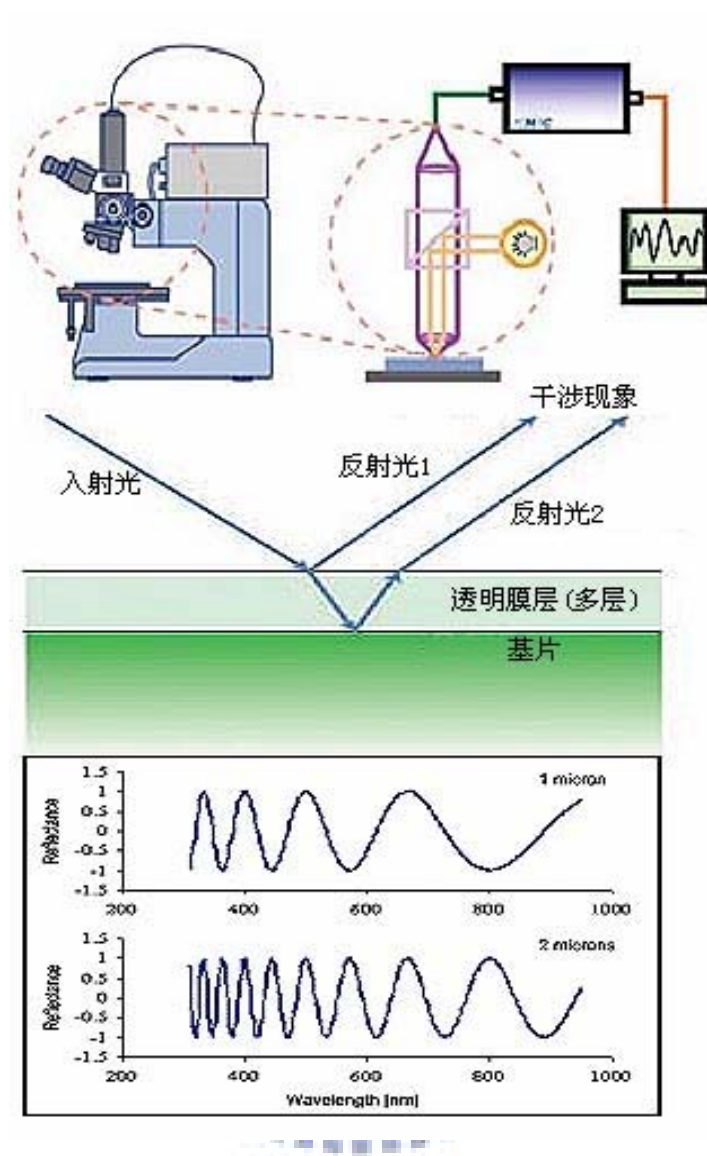


圖3-3 國家奈米元件實驗室\_n & k-薄膜測厚儀運作原理



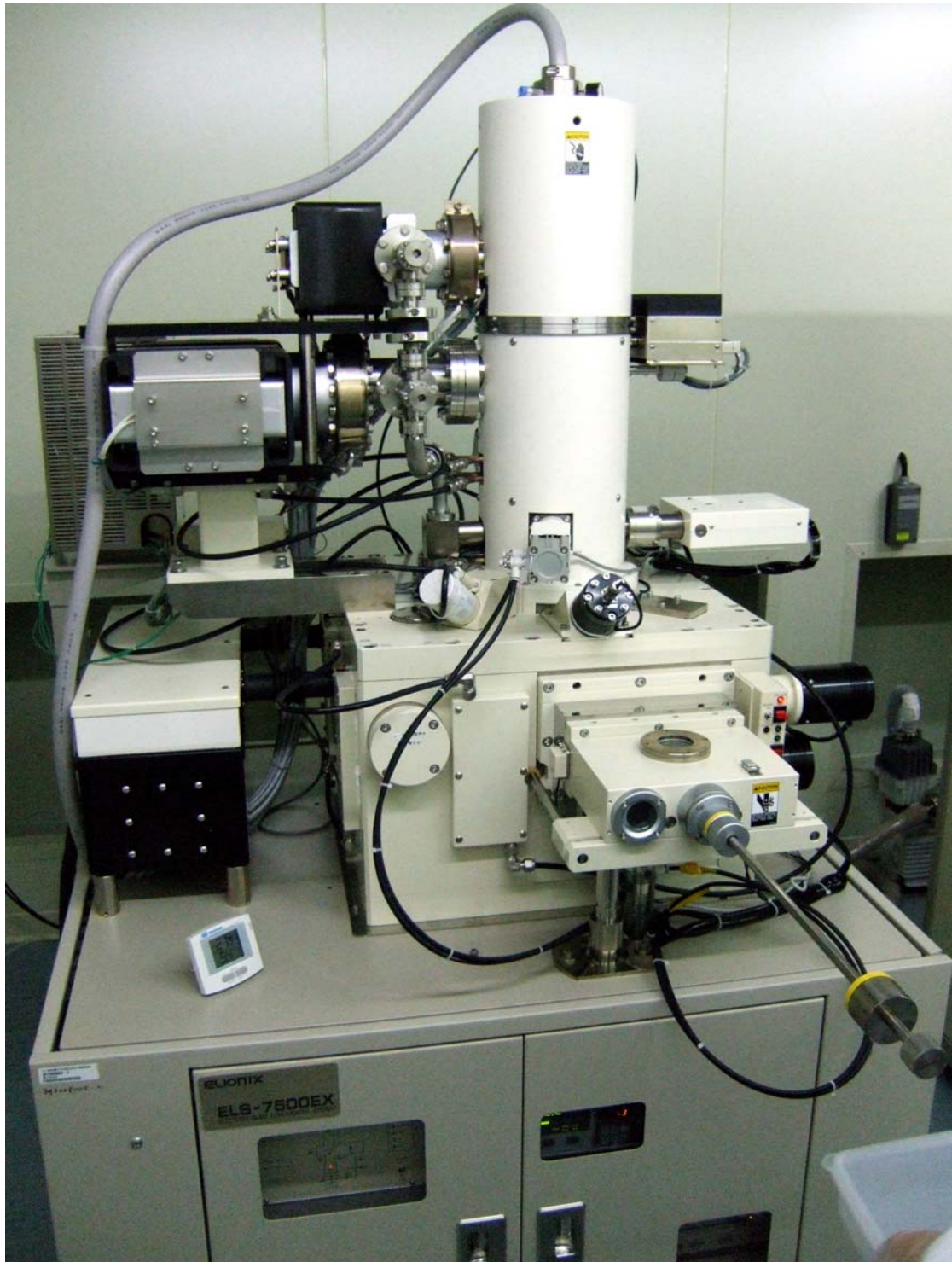


圖3-4 國立台灣大學資電中心\_電子束微影系統(E-Beam Lithography)

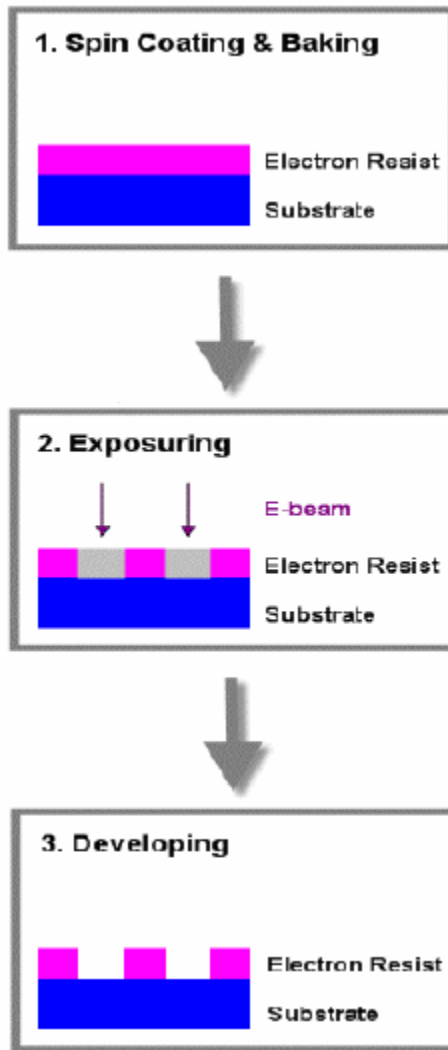


圖3-5 電子束微影基本步驟分析

DATA SET	N	Wafer No.	Speed (rpm)	RESIST THICKNESS					MEAN (angstroms)	STD. DEV. (angstroms)	Delta %	Comments
				TOP (angstroms)	CENTER (angstroms)	LOCATION BOTTOM (angstroms)	LEFT (angstroms)	RIGHT (angstroms)				
DATA SET 1	1	05232005_6	1000	7154	7230	7128	7166	7185	7172.80	34.21	0.48	
	2	05232005_6	1000	7365	7399	7311	7344	7340	7351.80	29.21	0.40	n = 1.56
	3	05232005_7	1000	7366	7343	7291	7367	7369	7351.20	33.07	0.45	n = 1.64
	4	05232005_8	2000	5138	5145	5152	5158	5137	5146.00	8.07	0.16	
	5	05232005_9	2000	5104	5136	5063	5096	5086	5101.00	19.02	0.37	
	6	05232005_10	3000	4174	4190	4173	4191	4155	4176.60	13.22	0.32	
	7	05232005_11	3000	4152	4169	4144	4150	4150	4153.00	8.44	0.20	
	8	05232005_12	4000	3662	3597	3579	3607	3583	3605.60	29.92	0.83	
	9	05232005_13	4000	3613	3621	3593	3612	3585	3604.80	13.51	0.37	
	10	05232005_14	5000	3228	3269	3219	3230	3262	3241.60	19.99	0.62	
DATA SET 2	11	05232005_15	5000	3270	3257	3209	3214	3220	3234.00	24.68	0.76	
	12	05242005_1	5000	3255	3291	3252	3264	3264	3262.80	14.77	0.45	
	13	05242005_2	5000	4573	4494	4727	4631	4566	4798.20	962.63	25.87	REJECT - DI
	14	05242005_3	6000	3005	3079	2973	2997	3001	3011.00	35.78	1.19	
	15	05242005_4	6000	3088	2989	3078	3039	3029	3044.60	35.68	1.17	
	16	05242005_5	7000	2792	2822	2774	2798	2780	2793.20	16.71	0.60	
	17	05242005_6	7000	2778	2794	2764	2766	2777	2775.80	10.70	0.39	
	18	05242005_7	8000	2629	2635	2633	2621	2636	2630.80	5.46	0.21	
	19	05242005_8	8000	2644	2658	2647	2638	2643	2645.60	5.95	0.23	
	20	LLNL_6	8000	2693	2744	2733	2707	2701	2716.60	19.53	0.72	Si <110>
21	LLNL_7	8000	2643	2711	2718	2744	2675	2698.20	35.32	1.31	Si <100>	
22	LLNL_8	8000	2653	2688	2682	2681	2714	2683.60	19.44	0.72	Si <100>	
23	LLNL_9	8000	2691	2693	2667	2676	2674	2680.20	10.11	0.38	Si <100>	
DATA SET 3	24	06282005_1	8000	2525	2522	2565	2556	2604	2554.40	29.96	1.17	
	25	06282005_5	8000	2567	2571	2553	2575	2582	2565.60	7.63	0.30	
DATA SET 4	26	06282005_4	8000	2573	2593	2582	2575	2576	2579.80	7.25	0.28	
	27	06282005_3	8000	2546	2566	2541	2523	2584	2548.00	15.86	0.62	
DATA SET 4	28	05242005_15	8000	2659	2664	2658	2651	2659	2658.20	4.17	0.16	
	29	05242005_16	8000	2648	2652	2650	2655	2648	2650.60	2.65	0.10	

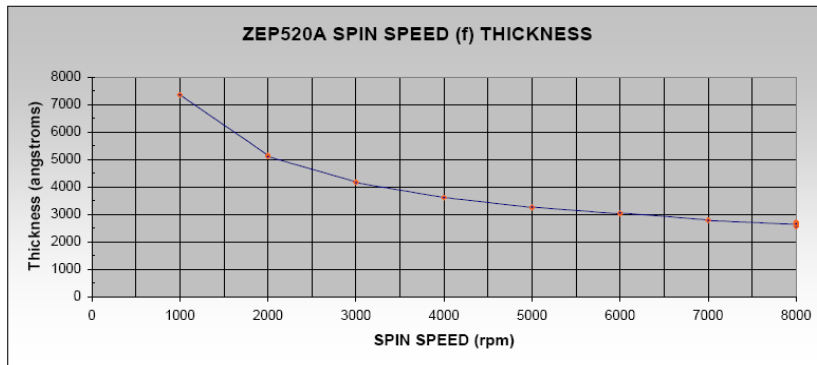


圖3-6 ZEP520A旋轉速度與厚度關係

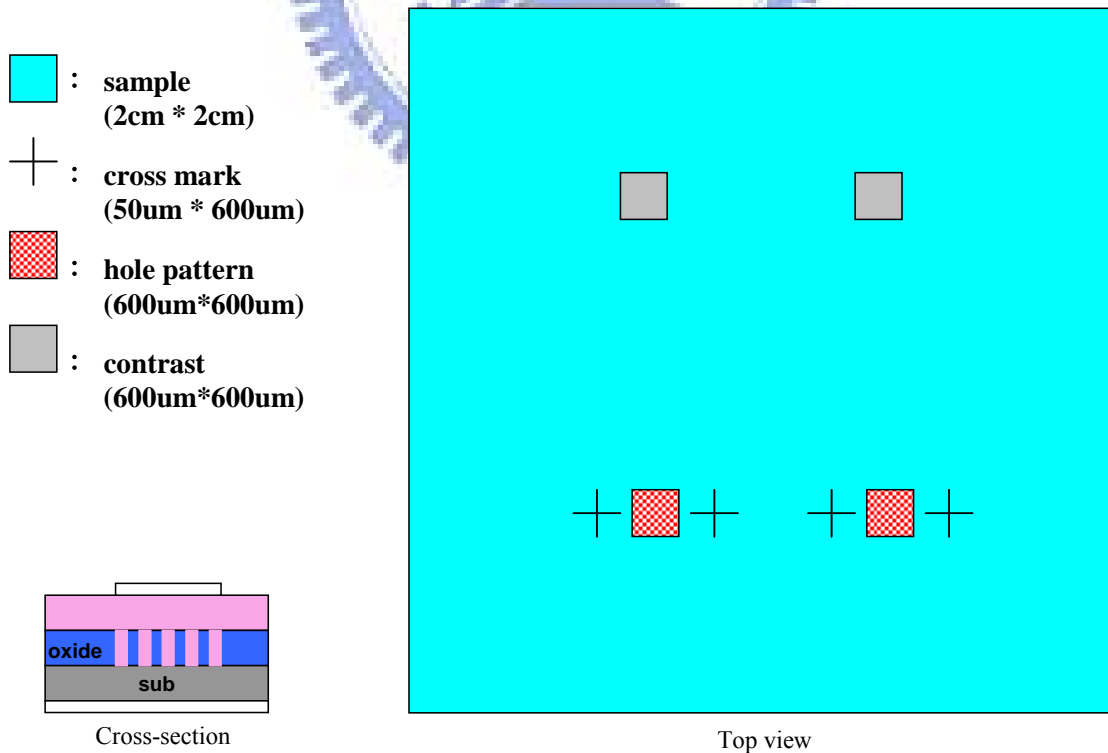


圖3-7 本實驗所設計的製程分配情形。

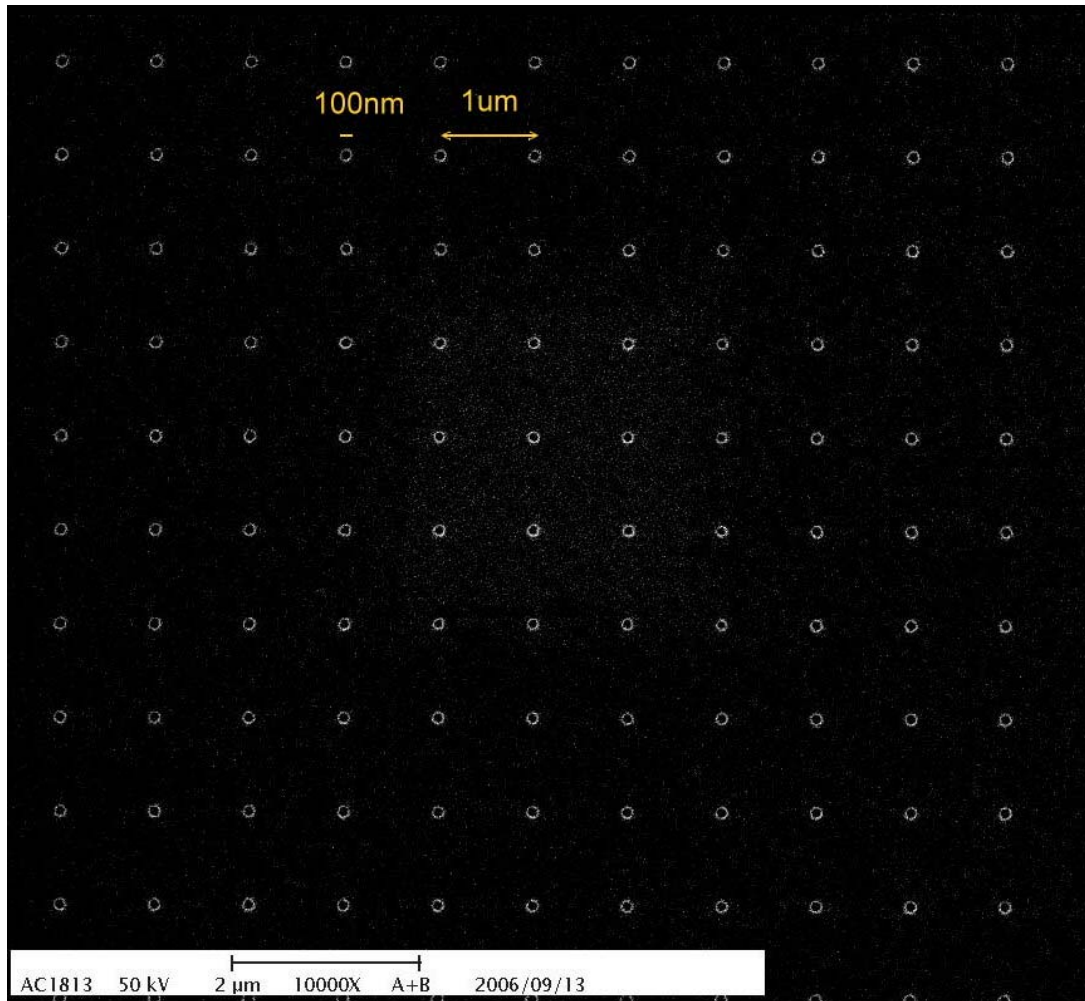


圖3-8 本實驗所設計的製程圖形



圖3-9 濕式蝕刻(Wet etch)所形成的圖形





圖3-10 交通大學奈米中心\_濕式清洗(Wet Bench)機台

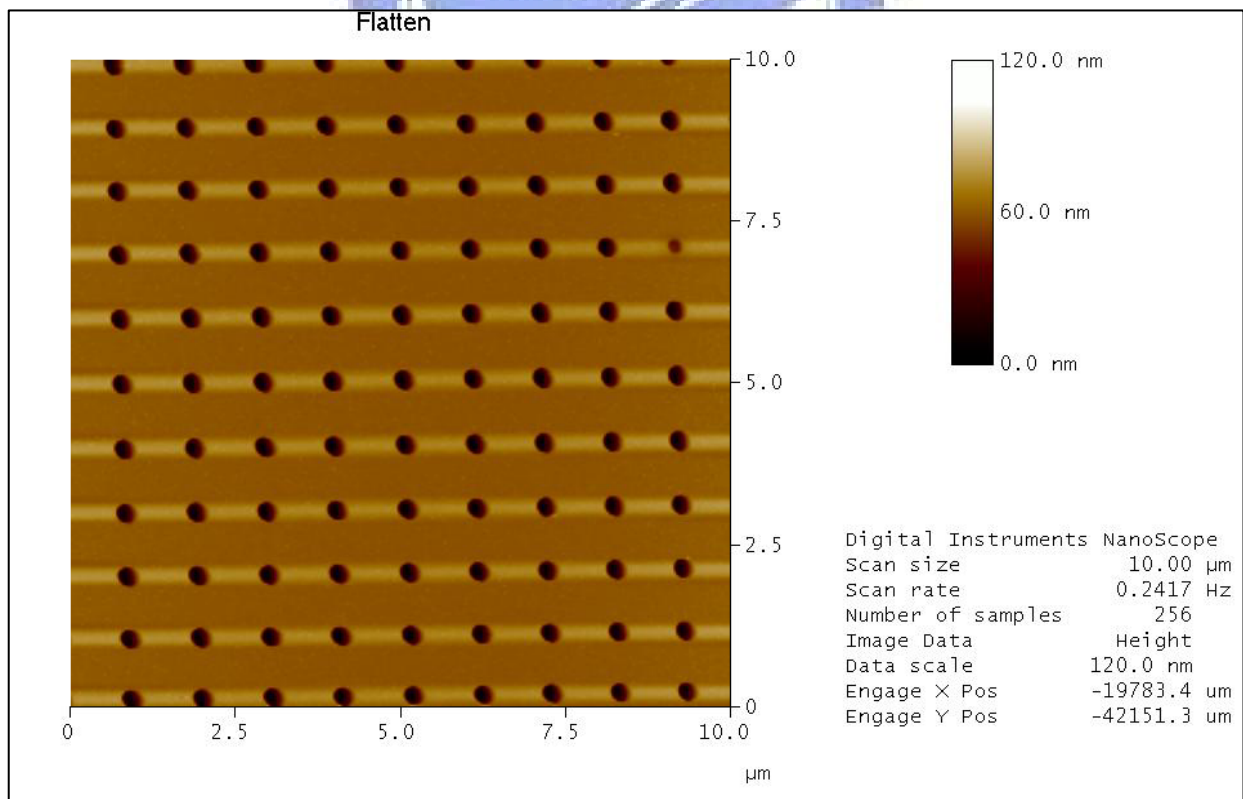
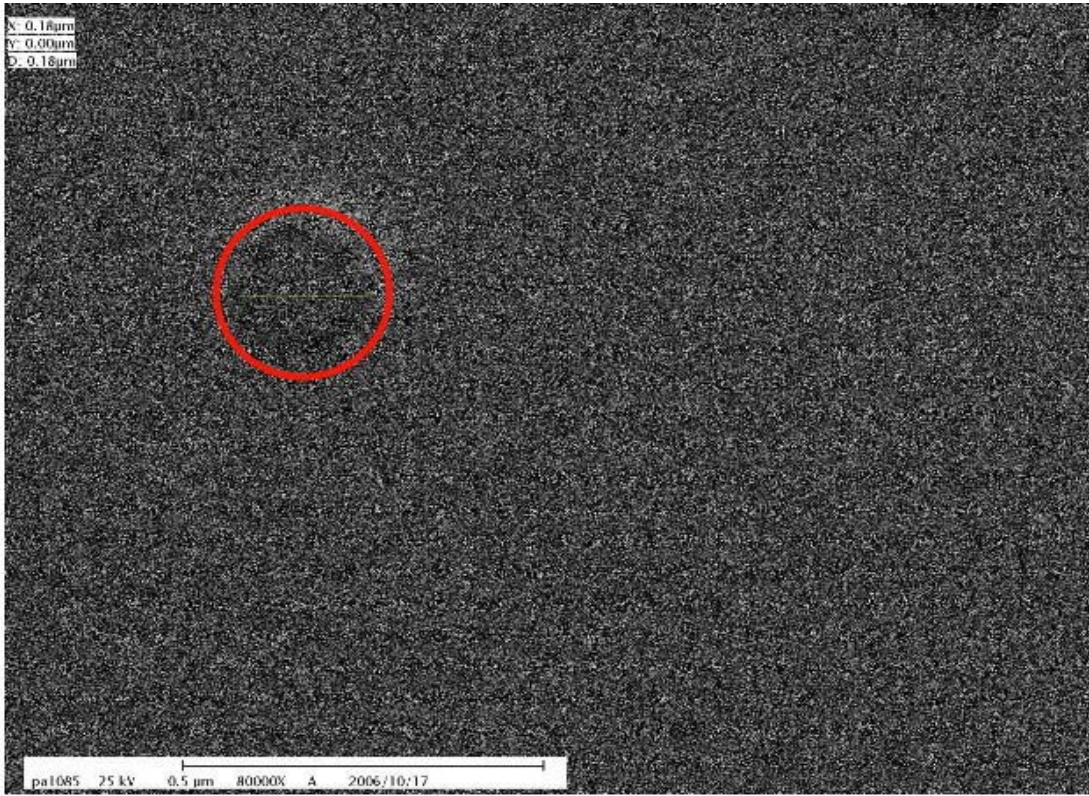
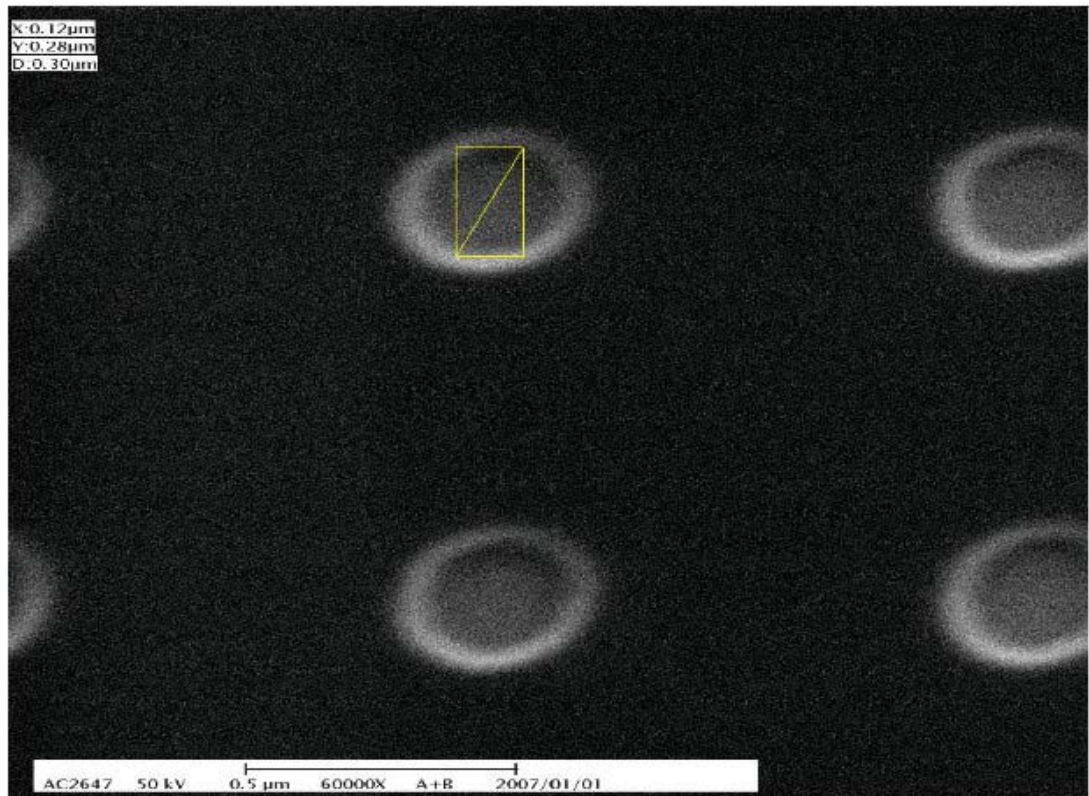


圖3-11 均勻性蝕刻的圖形(AFM)



蝕刻不完全



蝕刻完全

圖3-12 有無蝕刻到底的比較(SEM)



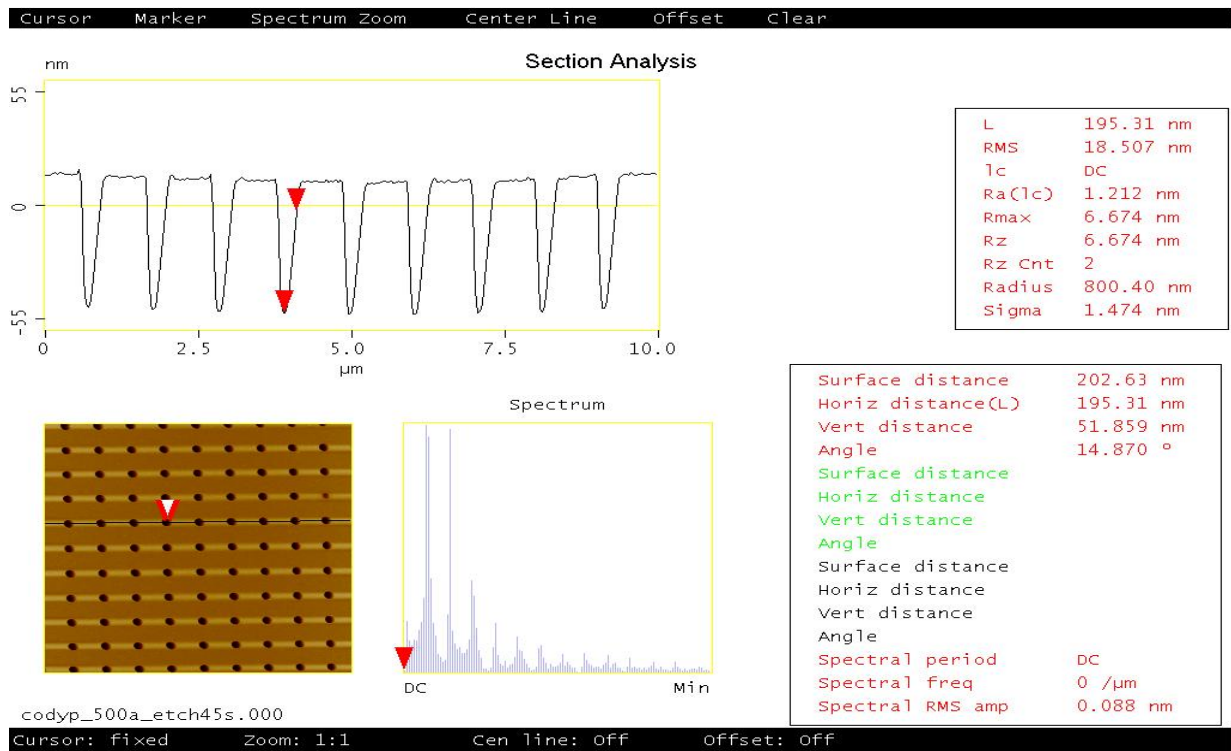


圖3-13 原子力顯微鏡量測到的深度比



圖3-14 中興大學電機學院\_電漿輔助化學氣相沈積機台(PECVD)

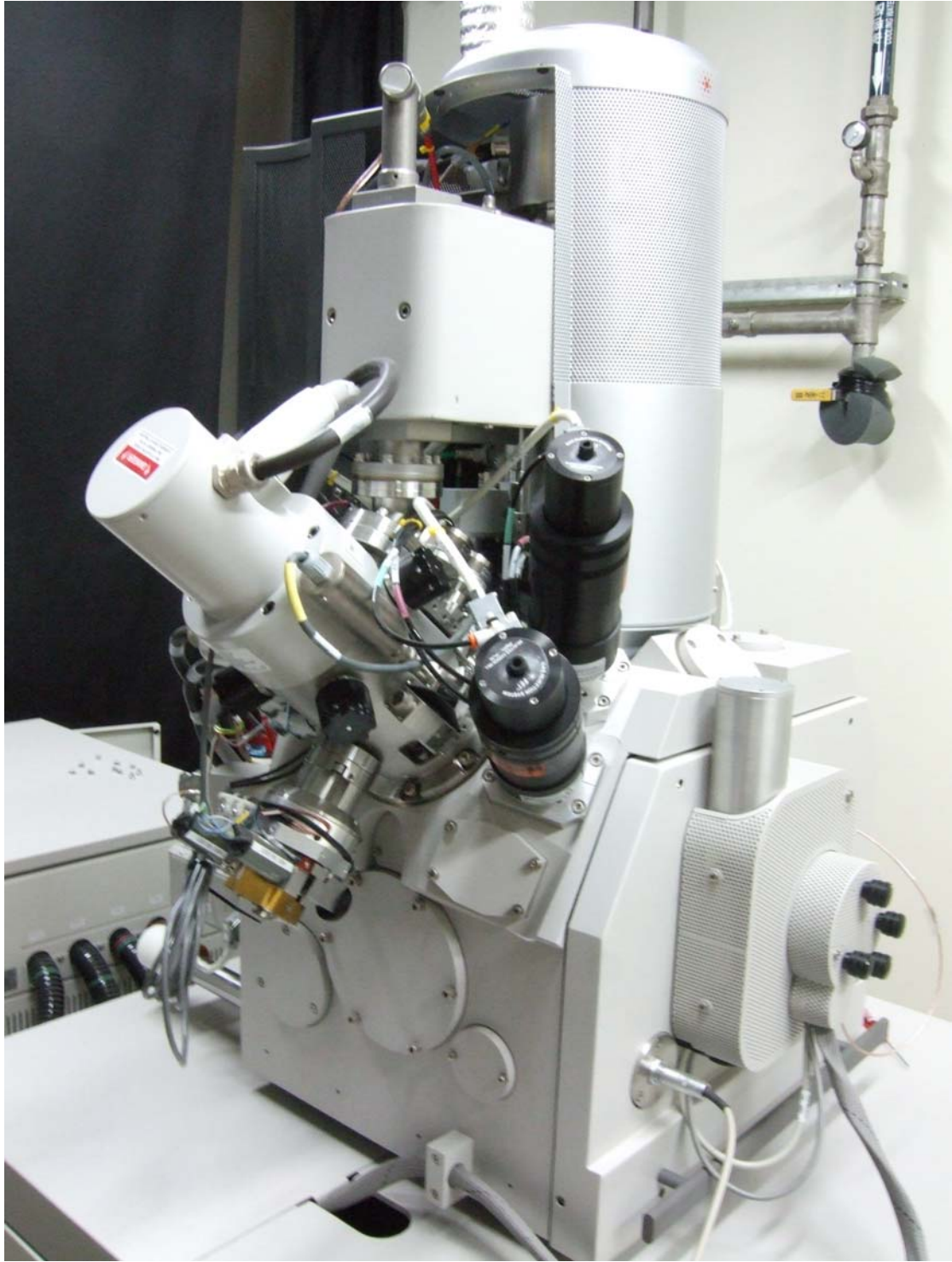


圖3-15 交通大學奈米中心\_聚焦離子束(FIB)系統



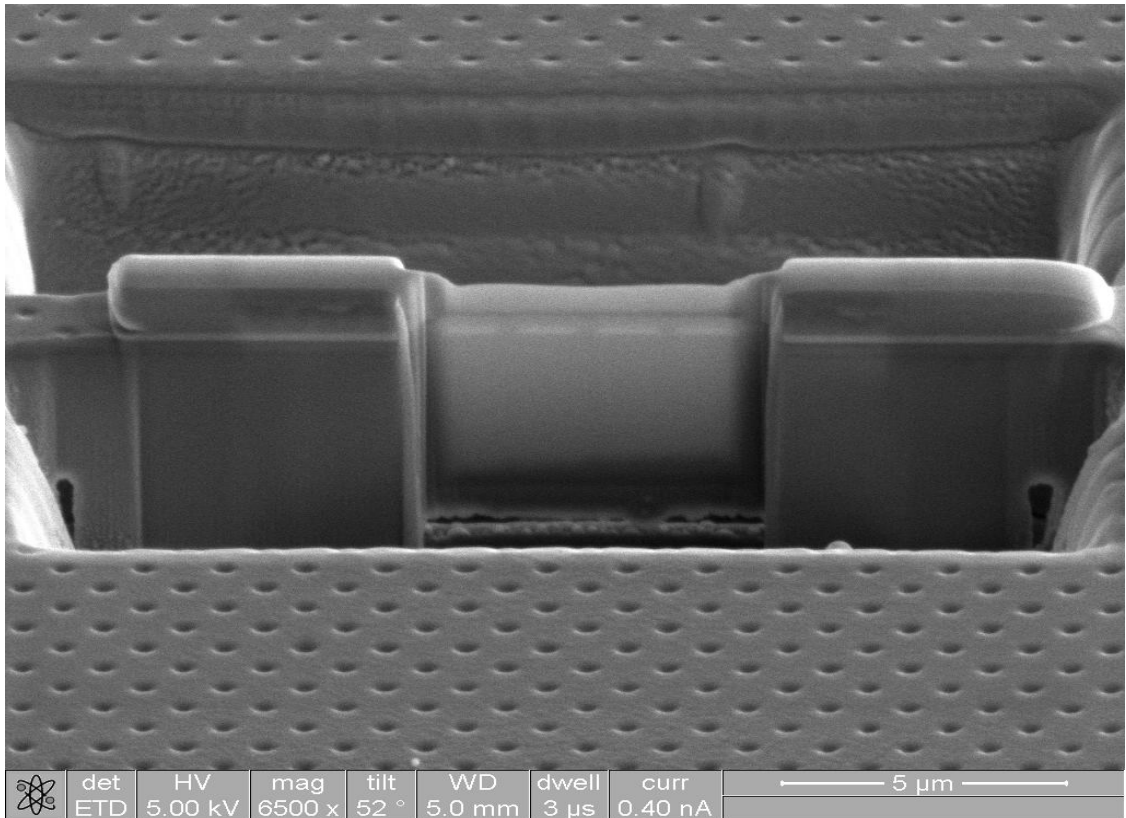


圖3-16 交通大學奈米中心\_聚焦式離子束所製程的TEM試片(一)

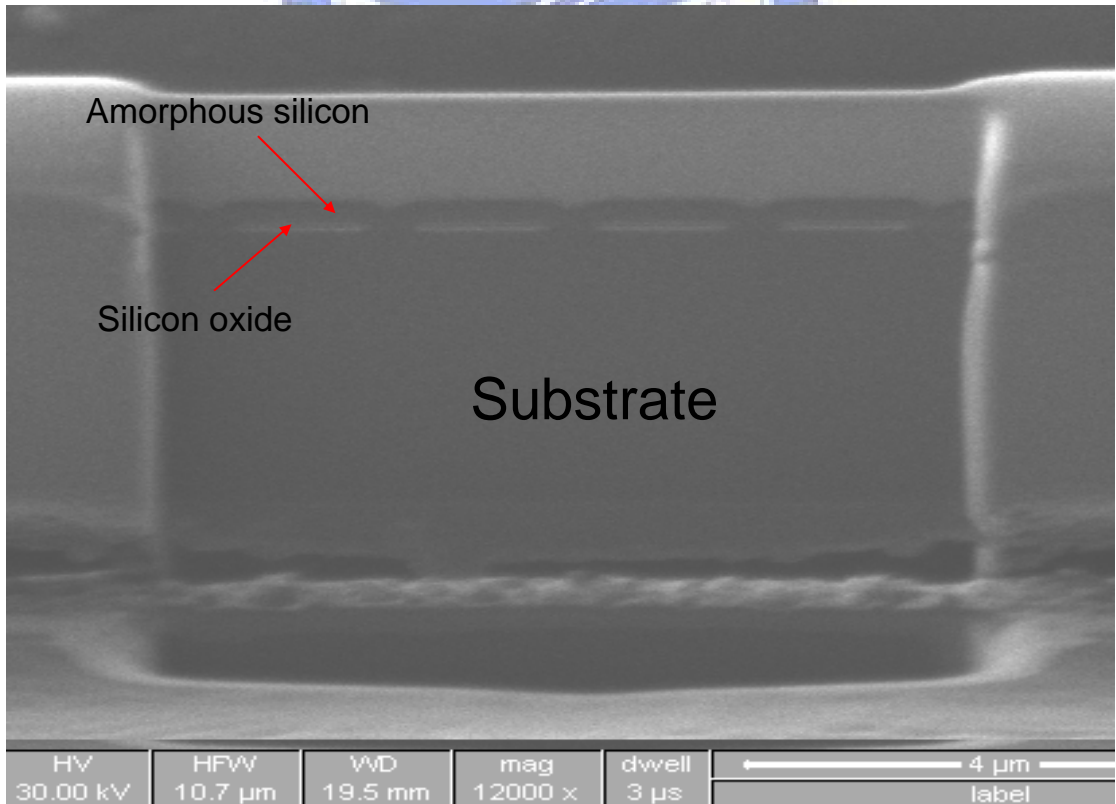


圖3-17 交通大學奈米中心\_聚焦式離子束所製程的TEM試片(二)



圖3-18 交通大學奈米中心\_四點探針儀(Four-Point Probe)



圖3-19 交通大學奈米中心\_電子槍蒸鍍系統(E-Gun Evaporator)

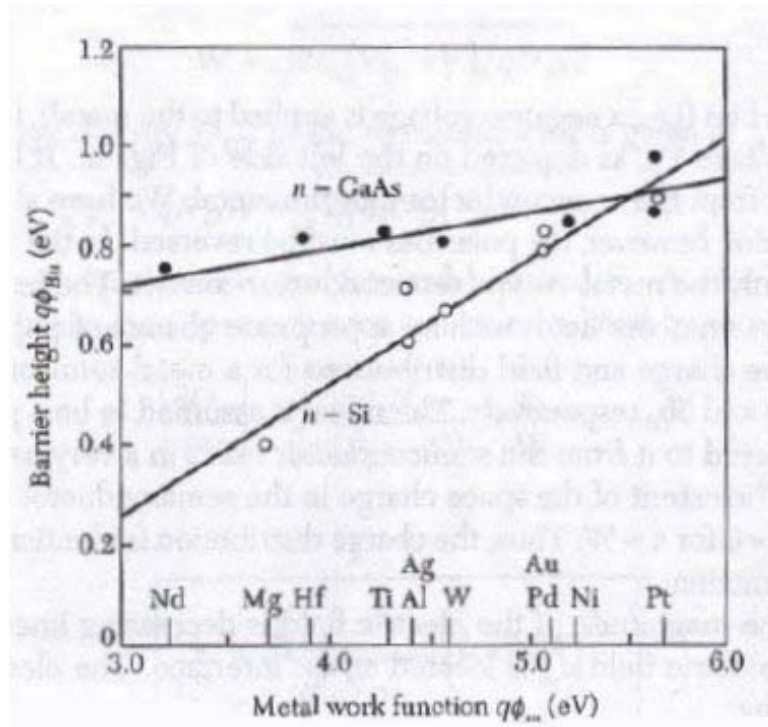


圖3-20 金屬-矽與金屬-砷化鎵兩種接觸的能障高度測量值

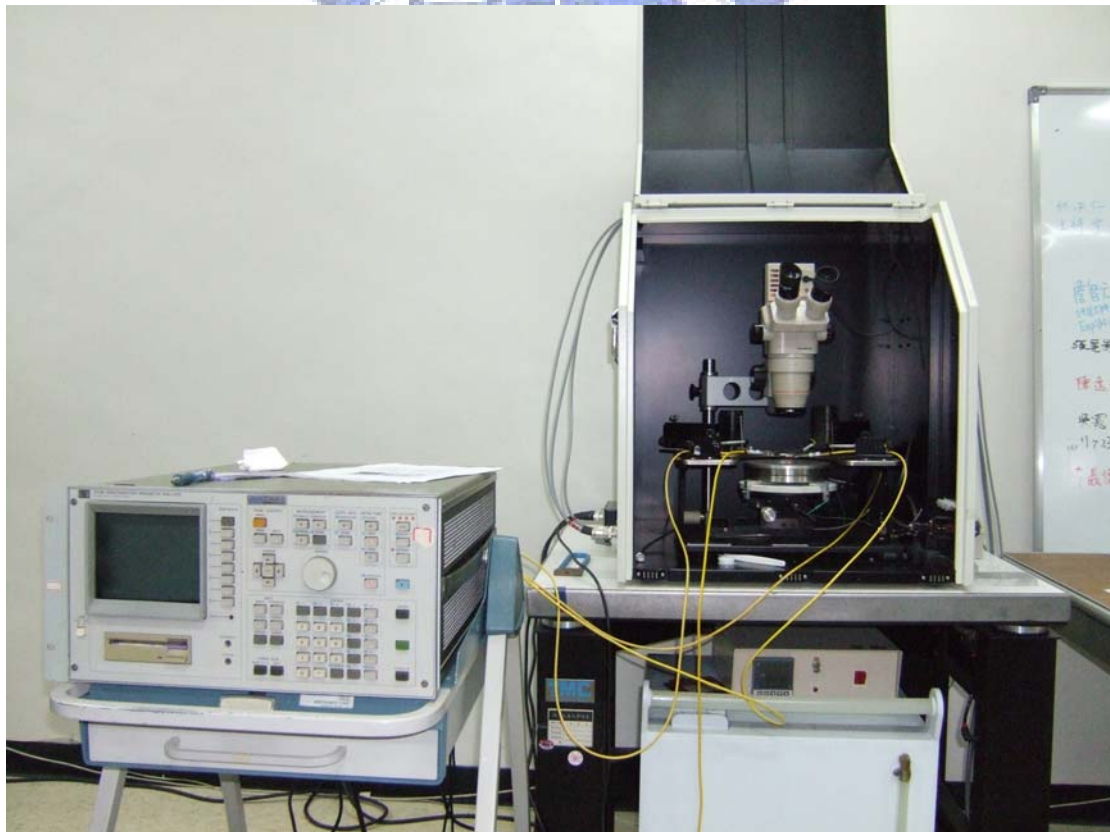


圖3-21 交通大學李建平主任實驗室\_HP-4145參數分析系統

表 3-1 矽晶圓規格

N-type	P-type
Si wafer	Si wafer
Size: Dia 4" × (525 +/- 25um)	Size Dia 4"×(525+/-25)um(T)
Orientation: (100) +/- 0.5 deg.	Orientation : (100) +/- 0.5deg.
Type/dopant: N/ Phos	Type/dopant: P/ Boron
Resistivity: 1-20 ohm-cm	Resistivity :1-20 ohm-cm
Surface: SSP	Surface: SSP
Grade: Prime	Grade: Prime
Si wafer	Si wafer

表 3-2 RCA clean 清洗流程

Step	化學溶劑	清洗溫度	清除之污染物
1	D. I. Water	室溫	洗清
2	H <sub>2</sub> SO <sub>4</sub> +H <sub>2</sub> O <sub>2</sub> ( 4:1)	75°C ~ 85°C	有機污染物
3	D. I. Water	室溫	洗清
4	NH <sub>4</sub> OH+H <sub>2</sub> O <sub>2</sub> +H <sub>2</sub> O (1:1:5)(SC1)	70°C ~ 80°C	無機物如微塵
5	D. I. Water	室溫	洗清
6	HCl+H <sub>2</sub> O <sub>2</sub> +H <sub>2</sub> O ( 1:1:6) (SC2)	75°C ~ 85°C	金屬
7	D. I. Water	室溫	洗清
8	HF+H <sub>2</sub> O (1:50)	室溫	原生氧化層
9	D. I. Water	室溫	洗清
10	用氮氣乾燥試片		



表 3-3 Wet Etch vs. Dry Etch

	<b>Wet Etch</b>	<b>Dry Etch</b>
<b>Etch Bias</b>	Unacceptable for $< 3 \mu\text{m}$	Minimum
<b>Etch Profile</b>	Isotropic	Acceptable to isotropic · controllable
<b>Etch rate</b>	High	Acceptable · controllable
<b>Selectivity</b>	High	Acceptable · controllable
<b>Equipment cost</b>	Low	High
<b>Throughput</b>	High(batch)	Acceptable · controllable
<b>Chemical usage</b>	High	Low
<b>Electricity damage</b>	Low	High

表 3-4 PECVD 機台不同電性沈積層的氣體參數

	<b>Amorphous silicon P-type</b>	<b>Amorphous silicon N-type</b>
<b>SiH<sub>4</sub></b>	12	12
<b>Ar</b>	160	160
<b>H<sub>2</sub></b>	80	80
<b>B<sub>2</sub>H<sub>6</sub></b>	6	
<b>PH<sub>3</sub></b>		9
<b>Unit: sccm</b>		

## 第四章 元件量測與數據分析

本實驗製程變數共有四種，包含基材(Substrate)的電性改變及氧化層的厚度變化，合共64組樣品，如圖3-2所示。為了有效比對實驗組與對照組的差異，我們一開始就先將實驗組與對照組做在同一晶圓破片上，如圖3-7所示。等到製程結束後，再經由鑽石刀來切割劃分。接著我們在室溫的環境下，透過5 $\mu$ m的鎢(Tungsten)探針於HP-4145參數分析系統來進行量測。

### 4-1 分析角度

在一篇討論氮化鎵(GaN)奈米柱二極體的文章中[47]，提出透過導電性原子力顯微鏡(Conductive Atomic Force Microscopy, CAFM)來做單一氮化鎵奈米柱二極體、大面積陣列氮化鎵奈米柱二極體及傳統薄膜層氮化鎵二極體的三種電性分析比較。其分析的角度包括了，理想因子(Ideality Factor)、崩潰電壓(Breakdown Voltage)、逆向飽和電流(Saturation Current)及漏電流(Leakage Current)等等，並在這些分析範圍當中找尋差異之處。由於此篇文章的探討方向與本實驗雷同，故在此我們也將透過相同的分析角度，來做為各項研究樣品其電性變化的探討依據。

藉由下列公式推導出理想因子(Ideality Factor)及逆向飽和電流

(Saturation Current)值，並透過電流密度-電壓(J-V)半對數曲線圖，求漏電流(Leakage Current)值。至於量測崩潰電壓(Breakdown Voltage)的部份，由於機台效能的設限因素，所以逆向偏壓最多只能在100伏以內進行觀察。

$$i_D = I_S \left( e^{v_D/nV_T} - 1 \right)$$

在順向偏壓時，假如

$$e^{v_D/nV_T} \gg 1$$

則

$$i_D \approx I_S e^{v_D/nV_T}$$

將上式兩邊取對數

$$\log i_D = \log I_S + \frac{v_D}{nV_T} \log e$$

對  $\log i_D$  與  $v_D$  作圖，則斜率為  $\frac{v_D}{nV_T} \log e$ ，進而推導出n值(理想因子)及  $I_S$  值(逆向飽和電流)，如圖4-1所示。

至於N型和P型非晶矽層的載子濃度(Carrier Concentration)及載子遷移率(Carrier Mobility)，透過四點探針儀所量測到的片電阻值，可使我們進一步推算出來，公式如下。

$$T = \frac{\rho_s}{R_s}$$

$T$  為膜厚， $\rho_s$  為電阻係數， $R_s$  為片電阻。

$$\rho = \frac{1}{qn\mu_n}$$

$$\rho = \frac{1}{qn\mu_p}$$

$q$  為基本電荷=1.6E-19， $n$  為各載子的濃度， $\mu_p$ 、 $\mu_n$  各代表彼此的載子遷移率。表4-1為N型和P型非晶矽層與基材的相關數據。

## 4-2 對照組介紹

對照組的製程區域為600um\*600um的正方型圖案，除了基材的電性差異及氧化層的厚度變化，所造成不同蝕刻時間外，並沒有其它的製程變化步驟。分有Sub\_N\_500A、Sub\_N\_1000A、Sub\_P\_500A、Sub\_P\_1000A四組，見圖4-2(a)。其中Sub為對照組的代稱。表層電極的大小及座落位置與製程區域相同。

## 4-3 實驗組介紹

實驗組的圖型皆為直徑100nm的洞陣列，洞與洞的間距為1um，如圖3-8所示，為具有36萬個洞的陣列圖型，製程區域為600um\*600um的大小，除了基材的電性差異及氧化層的厚度變化，所造成不同蝕刻

時間外，並沒有其它的製程變化步驟。分有 Exp\_N\_500A、Exp\_N\_1000A、Exp\_P\_500A、Exp\_P\_1000A 四組，見圖4-2(b)。其中 Exp 為實驗組的代稱。表層電極的大小及座落位置與製程區域相同。表4-2，呈現各樣品製程參數設定值。

## 4-4 元件量測結果與分析

在本實驗製程當中，由於製程機台的問題，所以使得以 P 型為基材的樣品皆產生缺陷，導致無法量測到其電性信號，因此我們在這邊就單單只以 N 型基材的樣品來做電性分析探討。

### 4-4.1 對照組量測結果

每組樣品的電性量測範圍皆由負5伏到正5伏，並取其電流密度-電壓(J-V)半對數圖來進行分析比較。

#### Sub\_N\_500A

J-V曲線圖，見圖4-3。理想因子(n)、逆向飽和電流(Is)及漏電流( $i_D$ )的平均範圍，各是2.0~2.2、 $8.5E-7(A/cm^3) \sim 2.7E-6(A/cm^3)$ 、 $4.2E-6(A/cm^3) \sim 4.72E-6(A/cm^3)$ 。至於崩潰電壓(Breakdown Voltage)的部份，在限定的100伏逆向偏壓內，並無發生。見圖4-4。

## Sub\_N\_1000A

J-V曲線圖，見圖4-5。理想因子(n)、逆向飽和電流( $I_s$ )及漏電流( $i_D$ )的平均範圍，各是2.1~2.3、 $3.9E-6(A/cm^3) \sim 4.8E-6(A/cm^3)$ 、 $1.17E-5(A/cm^3) \sim 1.64E-5(A/cm^3)$ 。至於崩潰電壓(Breakdown Voltage)的部份，在限定的100伏逆向偏壓內，並無發生。見圖4-6。

### 4-4.2 對照組結果分析

由以上的數據顯示，Sub\_N\_1000A所量測出來的電性，以漏電流而言，是比Sub\_N\_500A呈現較差的表現。

兩組的理想因子皆介於2.0~2.3，又理想因子與接面電流傳輸的情形有關，所以估計兩組電流流經接面的機制相同，接面間可能有氧化層、接面漸變(Junction Grading)、表面態位(Surface State)等效應的影響存在，使得電流傳導機制不全為熱離子放射(Thermionic Emission)型態。而逆向飽和電流與漏電流皆與n值呈比例關係。見圖4-7、4-8。

兩組樣品在相同的製程條件下，仍造成Sub\_N\_1000A電性比Sub\_N\_500A樣品差的原因，估計是因為製程圖型深寬比(Aspect Ratio)較大的因素所造成的結果。當沈積厚度相同時，在不同深寬比的製程圖型中，高深寬比的圖型會使得沈積的薄膜，無法完全進入底部，形成良好的鍵結[48]。



而在逆向飽和電流及漏電流的部份，對Sub\_N\_500A而言，實際的漏電流值與理論的漏電流值(逆向飽和電流)不會相差太多，見圖4-9。證明，在Sub\_N\_500A裡的漏流效應(Leakage effects)不是很嚴重，對Sub\_N\_1000A而言，實際的漏電流值與理論的漏電流值(逆向飽和電流)相差將近一個等級，見圖4-10。證明漏流效應(Leakage effects)在Sub\_N\_1000A裡，仍佔了大部份[49]，估計仍然是深寬比所造成的差異。

#### 4-4.3 實驗組量測結果

每組樣品的電性量測範圍皆由負5伏到正5伏，並取其電流密度-電壓(J-V)半對數圖來進行分析比較。

##### Exp\_N\_500A

J-V曲線圖，見圖4-11。理想因子(n)、逆向飽和電流( $I_s$ )及漏電流( $i_D$ )的平均範圍，各是2.1~2.3、 $9.0E-7(A/cm^2) \sim 1.7E-6(A/cm^2)$ 、 $1.8E-5(A/cm^2) \sim 3.78E-5(A/cm^2)$ 。至於崩潰電壓(Breakdown Voltage)的部份，在逆向偏壓90伏內發生。見圖4-12。

##### Exp\_N\_1000A

J-V曲線圖，見圖4-13。理想因子(n)、逆向飽和電流( $I_s$ )及漏電流

( $i_D$ )的平均範圍，各是 $2.2\sim 2.3$ 、 $1.8E-6(A/cm^3)\sim 3.3E-5(A/cm^3)$ 、 $2.20E-4(A/cm^3)\sim 2.61E-4(A/cm^3)$ 。至於崩潰電壓(Breakdown Voltage)的部份，在逆向偏壓98.5伏內發生。見圖4-14。

#### 4-4.4 實驗組結果分析

由以上的數據顯示，Exp\_N\_1000A所量測出來的電性，以漏電流而言，是比Exp\_N\_500A呈現較差的表現。

兩組的理想因子皆介於 $2.1\sim 2.3$ ，證明其接面電流傳輸的機制相同，接面間一樣具有氧化層、接面漸變(Junction Grading)、表面態位(Surface State)等效應的影響存在，使得電流傳導機制不全為熱離子放射(Thermionic Emission)型態。而逆向飽和電流與漏電流皆與n值呈比例關係。見圖4-15、4-16。

兩組樣品在相同的製程條件下，仍造成Exp\_N\_1000A電性比Exp\_N\_500A樣品差的原因，估計也是因為製程圖型深寬比(Aspect Ratio)較大的因素所造成的結果。洞陣列的製程圖型，在沈積相同厚度時，高深寬比的圖型會使得沈積至底部的比率，比低深寬比的圖型來的少。並容易在接觸孔口的位置就產生堆積，所造成的影響較低深寬比來得多。

而在逆向飽和電流及漏電流的部份，對Exp\_N\_500A而言，實際的

漏電流值與理論的漏電流值(逆向飽和電流)相差將近一個等級,見圖4-17。證明漏流效應(Leakage effects)在Exp\_N\_500A裡,仍佔了大部份,對Exp\_N\_1000A而言,實際的漏電流值與理論的漏電流值(逆向飽和電流)相差將近兩個等級,見圖4-18。證明,在Exp\_N\_1000A裡的漏流效應(Leakage effects)相當嚴重,估計仍然是深寬比所造成的差異。

#### 4-4.5 實驗組與對照組結果比較分析

將生長相同厚度的對照組及實驗組做比較分析。發現在同樣生長500A氧化層的樣品中,實驗組在暗電流( $i_D$ )的表現上較對照組大了一個等級,而在理想因子( $n$ )及飽和電流( $I_s$ )的表現上則相差不遠,見圖4-19。而且實驗組在限定的逆向偏壓100伏內呈現崩潰現象,對照組則無。由此可知,兩者的二極體接面品質(Quality)相似,符合矽二極體的要求,但在電性的表現上則有所差距。估計是因為實驗組圖型的邊界效應(Edge Effect)較大所造成的差異。過多的邊界效應在二極體的電性表現上,會造成載子傳輸的影響,以及造成過早的崩潰現象[50-53]。

在同樣生長1000A氧化層的樣品中,實驗組在暗電流( $i_D$ )的表現上也較對照組大了一個等級,且在理想因子( $n$ )及飽和電流( $I_s$ )的表現上

也相差不遠，見圖4-20。並且實驗組在限定的逆向偏壓100伏內也呈現崩潰現象，對照組則無。由此可知，兩者的二極體接面品質(Quality)相似，同樣符合矽二極體的要求，但電性的表現上則有所差距。估計也是因為實驗組圖型的邊界效應(Edge Effect)較大所造成的差異。



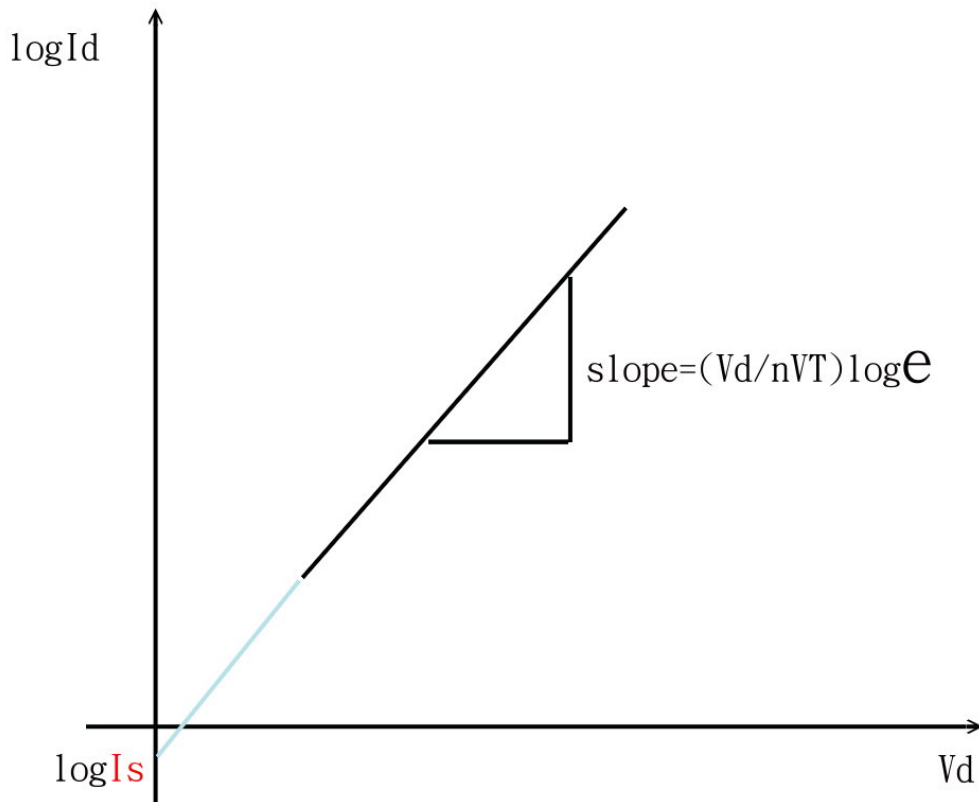


圖4-1 公式推導示意圖

組別名稱	基材型態	氧化層厚度
<input type="text"/>	<input type="text"/>	<input type="text"/>
(a)		(b)
Sub_N_500A		Exp_N_500A
Sub_N_1000A		Exp_N_1000A
Sub_P_500A		Exp_P_500A
Sub_P_1000A		Exp_P_1000A

圖4-2 組別代號示意圖

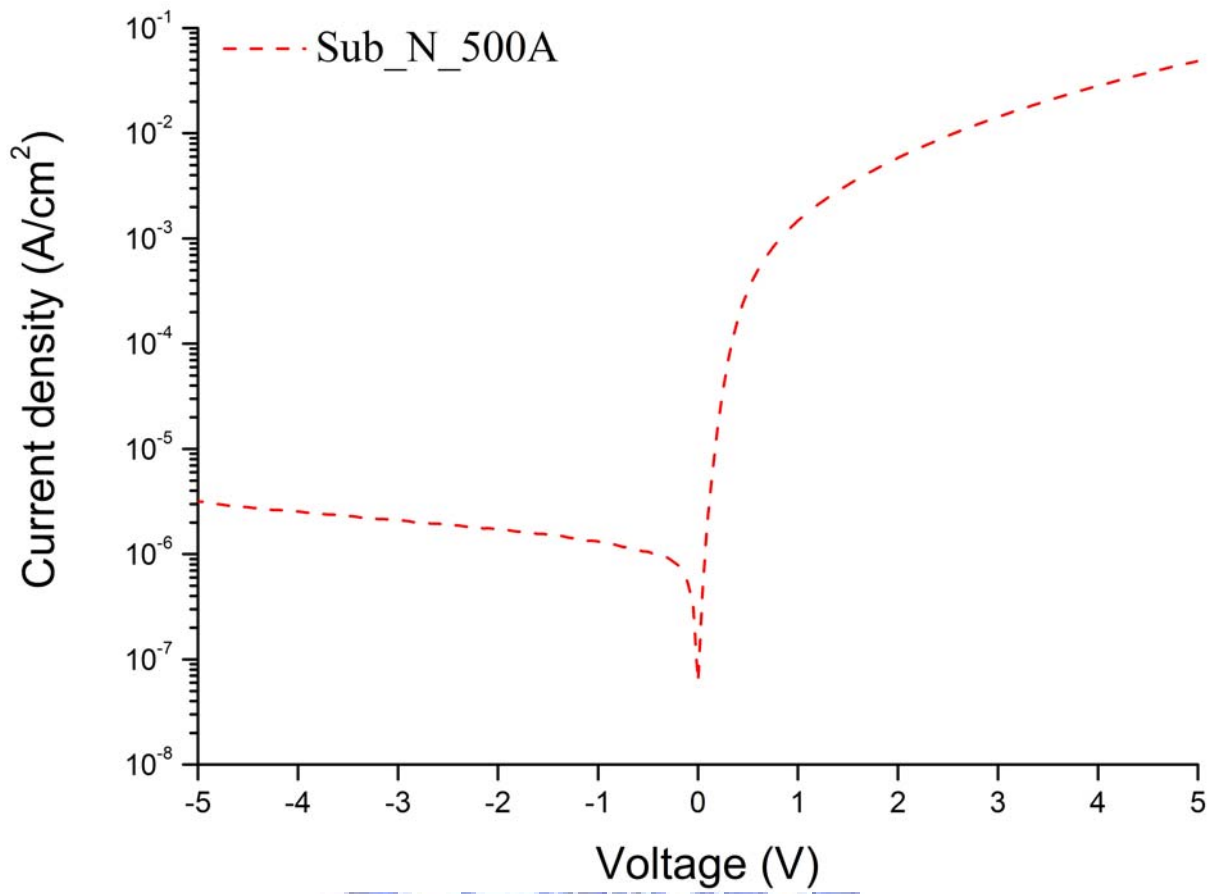


圖4-3 Sub\_N\_500A-電流密度-電壓(J-V)半對數圖

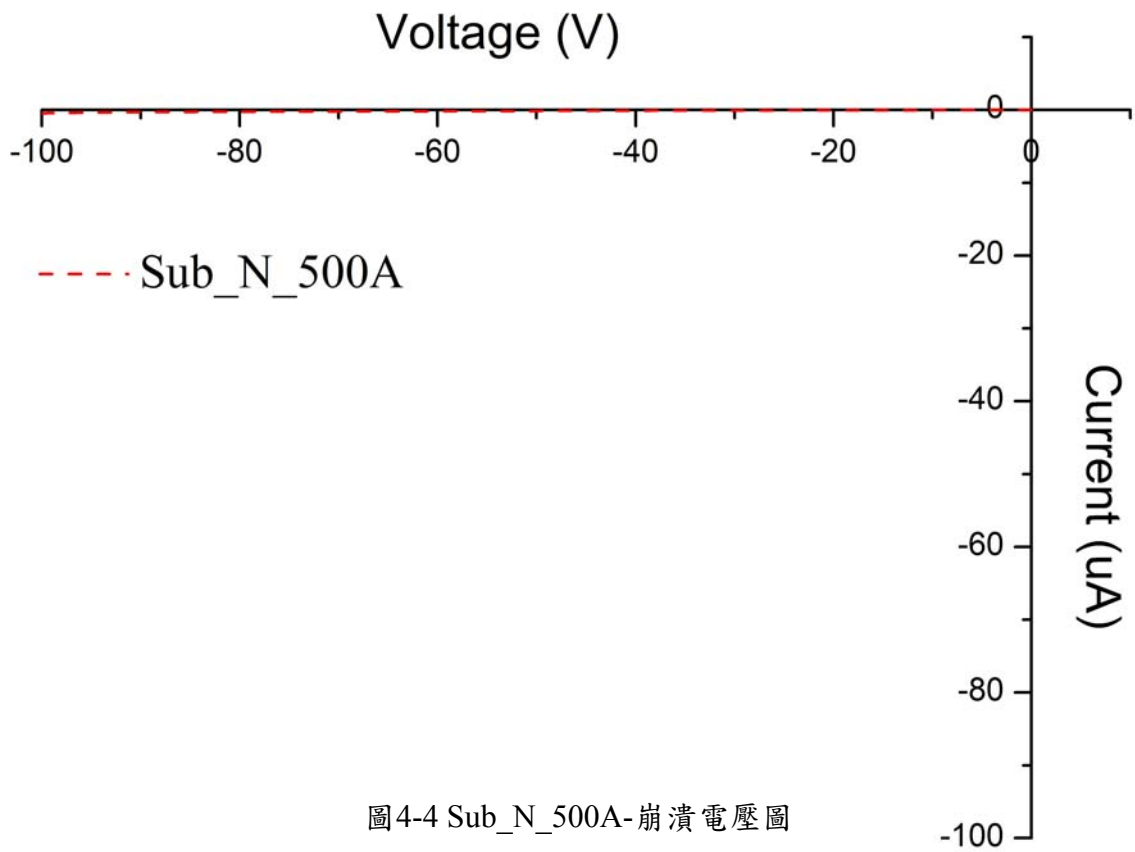


圖4-4 Sub\_N\_500A-崩潰電壓圖



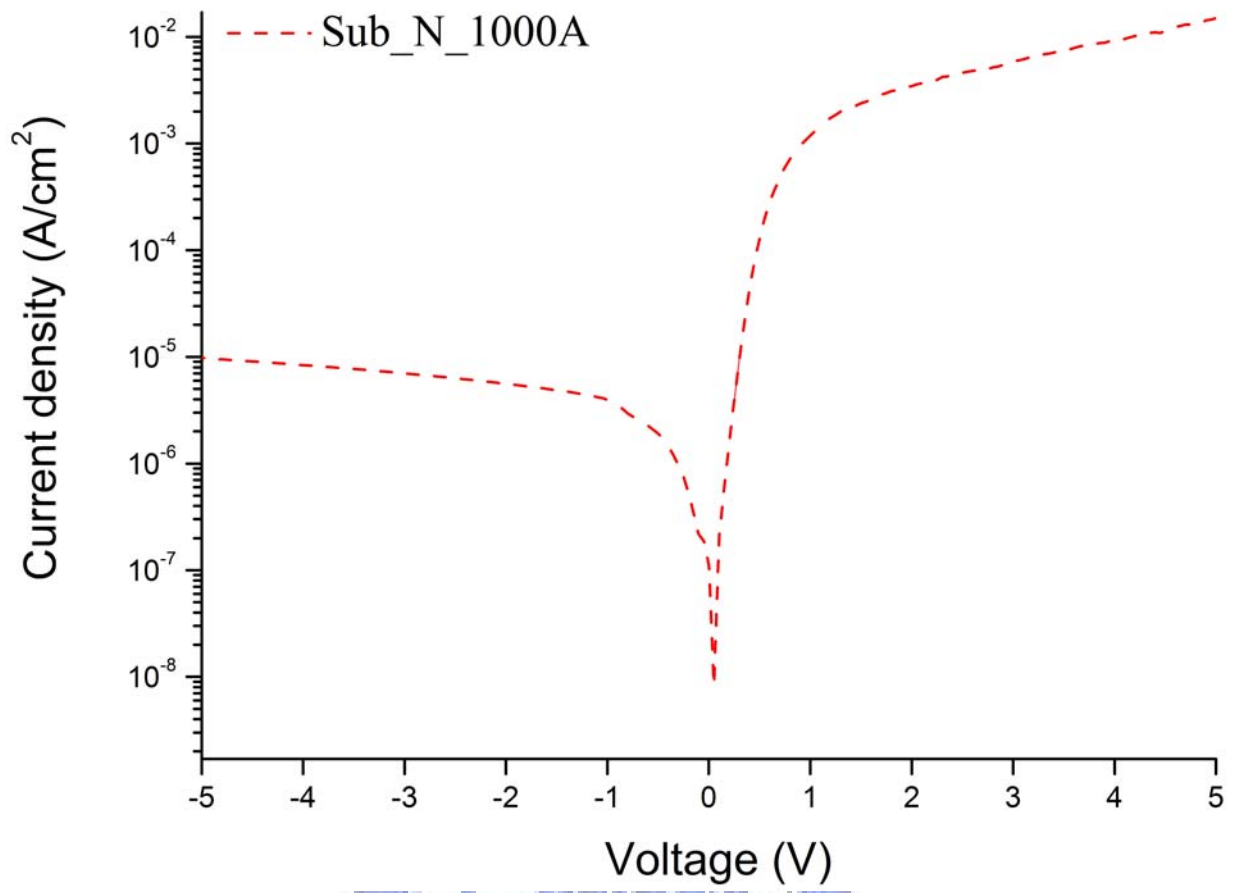


圖4-5 Sub\_N\_1000A-電流密度-電壓(J-V)半對數圖

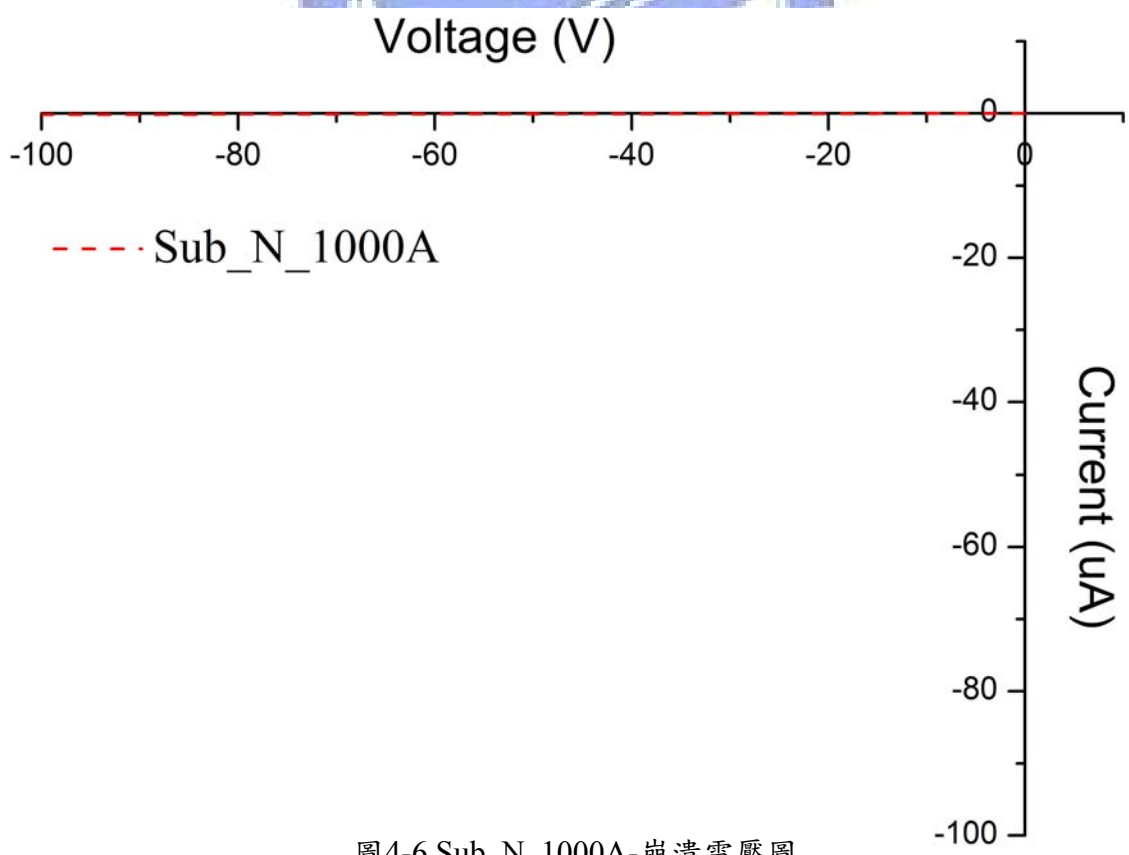


圖4-6 Sub\_N\_1000A-崩潰電壓圖

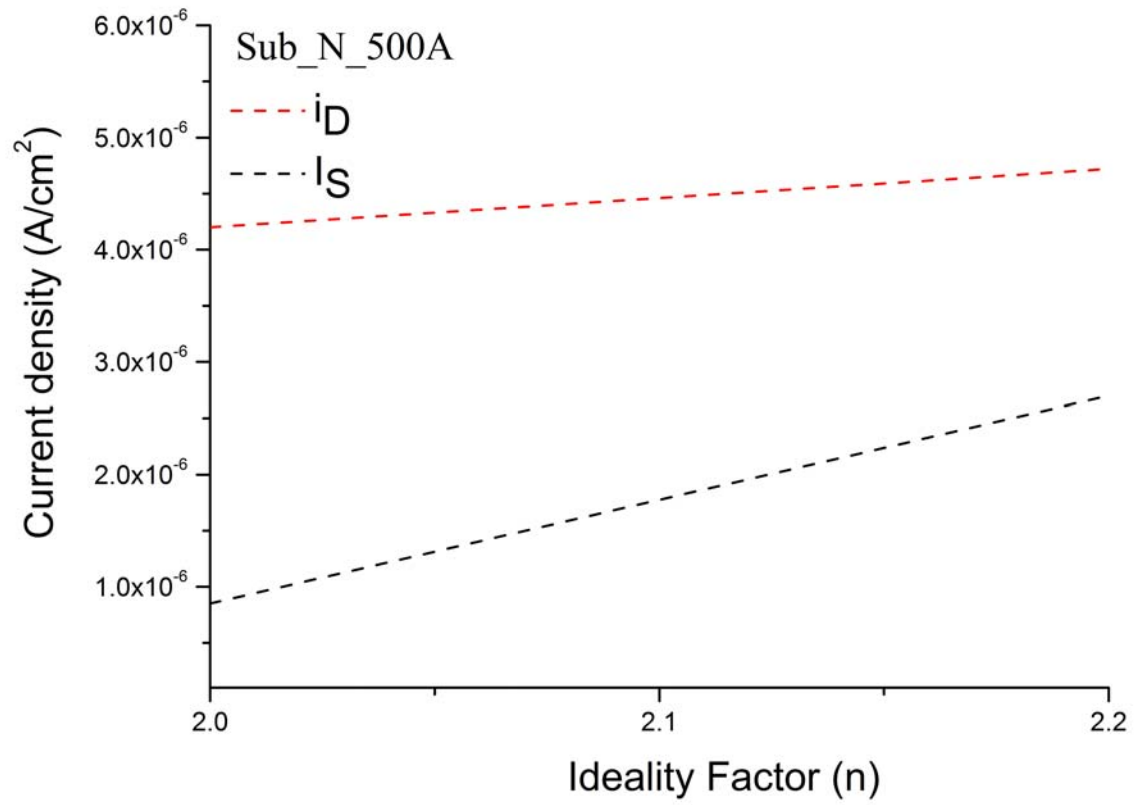


圖4-7 Sub\_N\_500A-理想因子與逆向飽和電流及漏電流關係示意圖

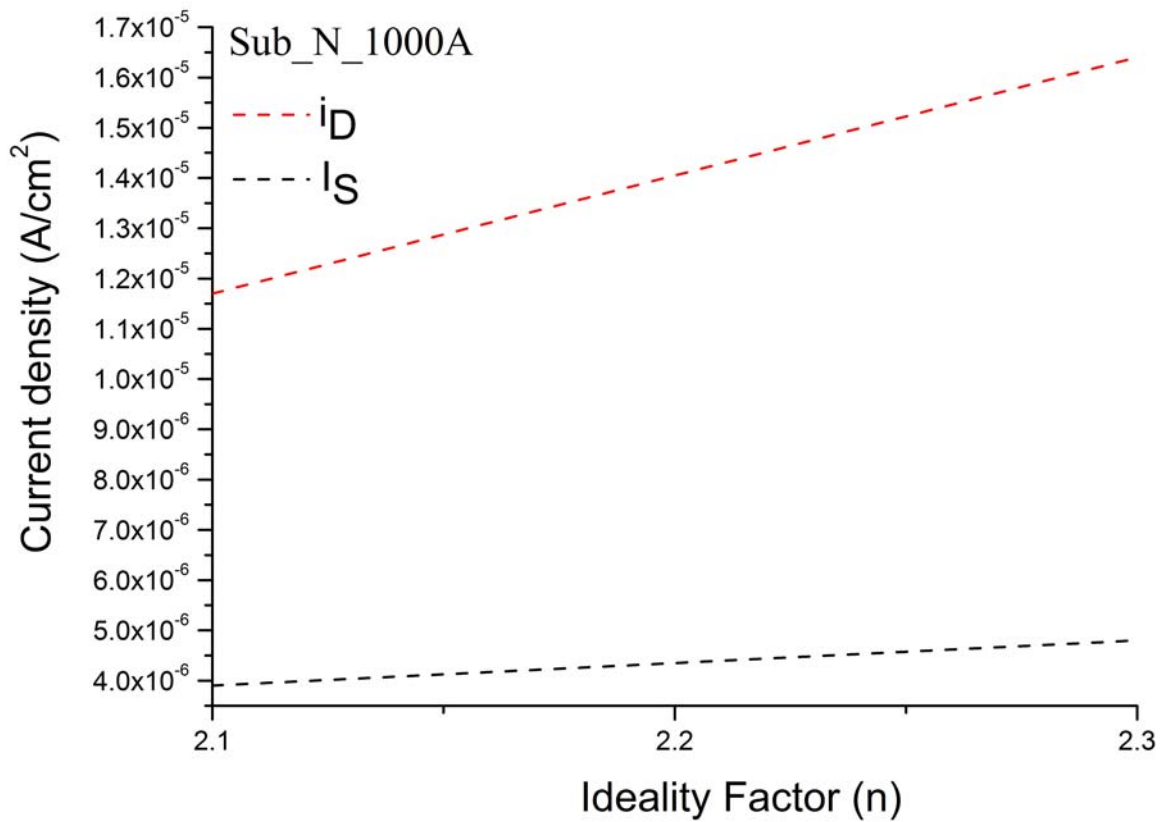


圖4-8 Sub\_N\_1000A-理想因子與逆向飽和電流及漏電流關係示意圖

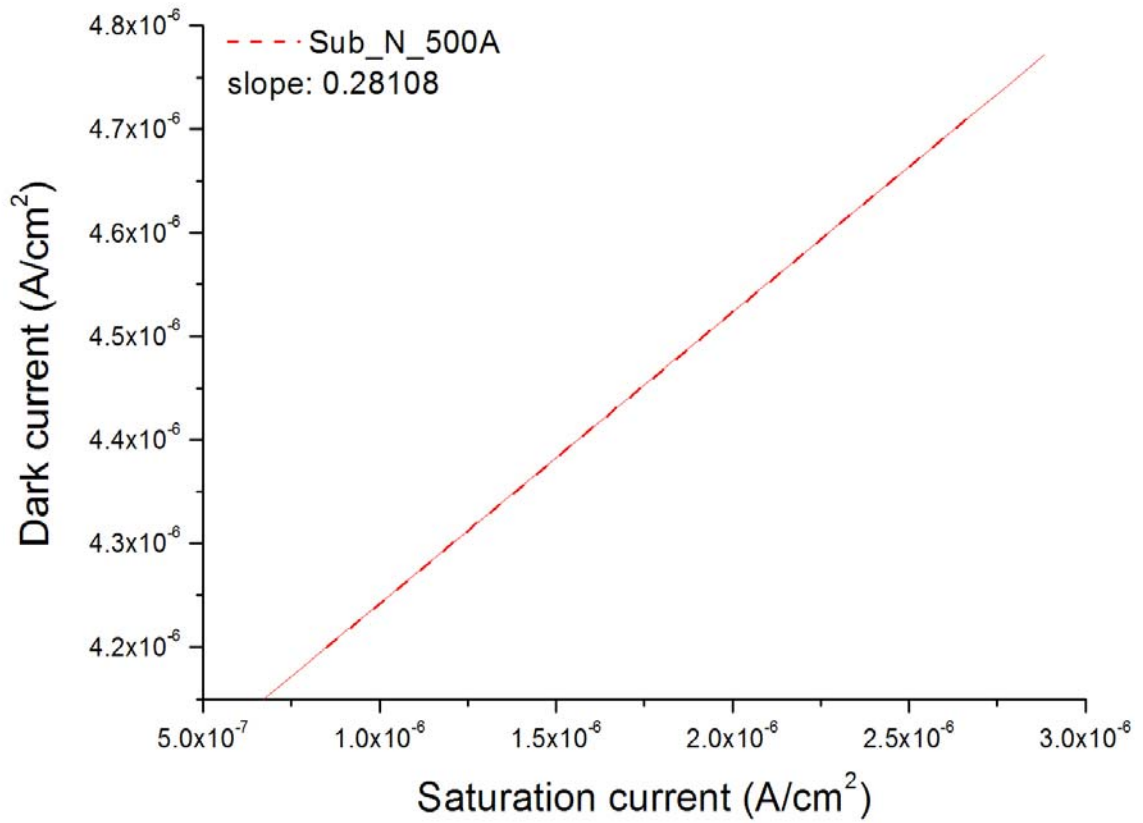


圖4-9 Sub\_N\_500A-逆向飽和電流與漏電流關係示意圖

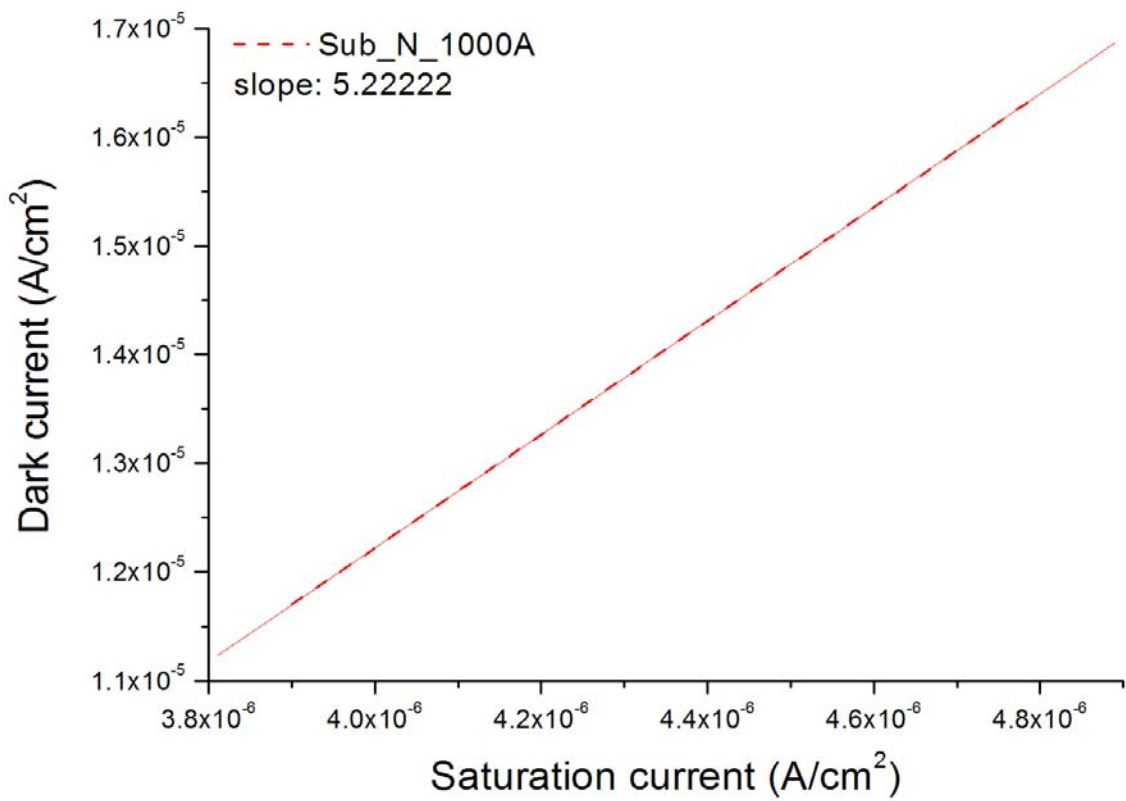


圖4-10 Sub\_N\_1000A-逆向飽和電流與漏電流關係示意圖

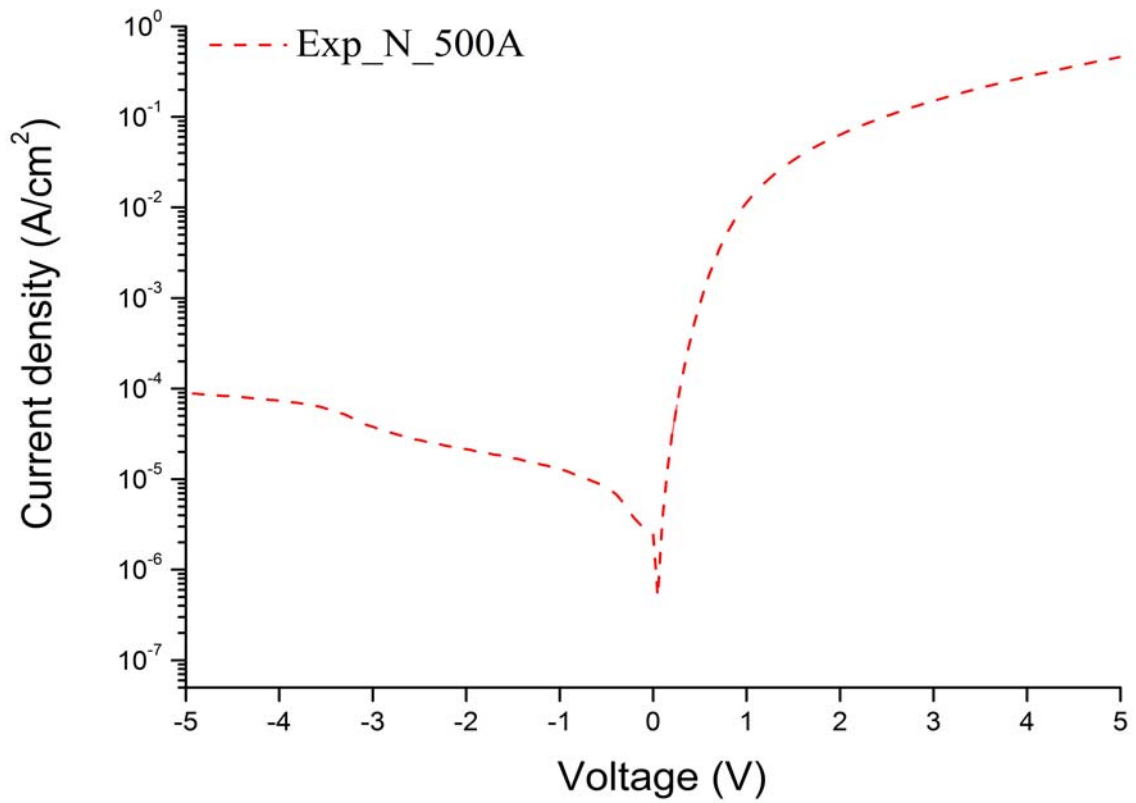


圖4-11 Exp\_N\_500A-電流密度-電壓(J-V)半對數圖

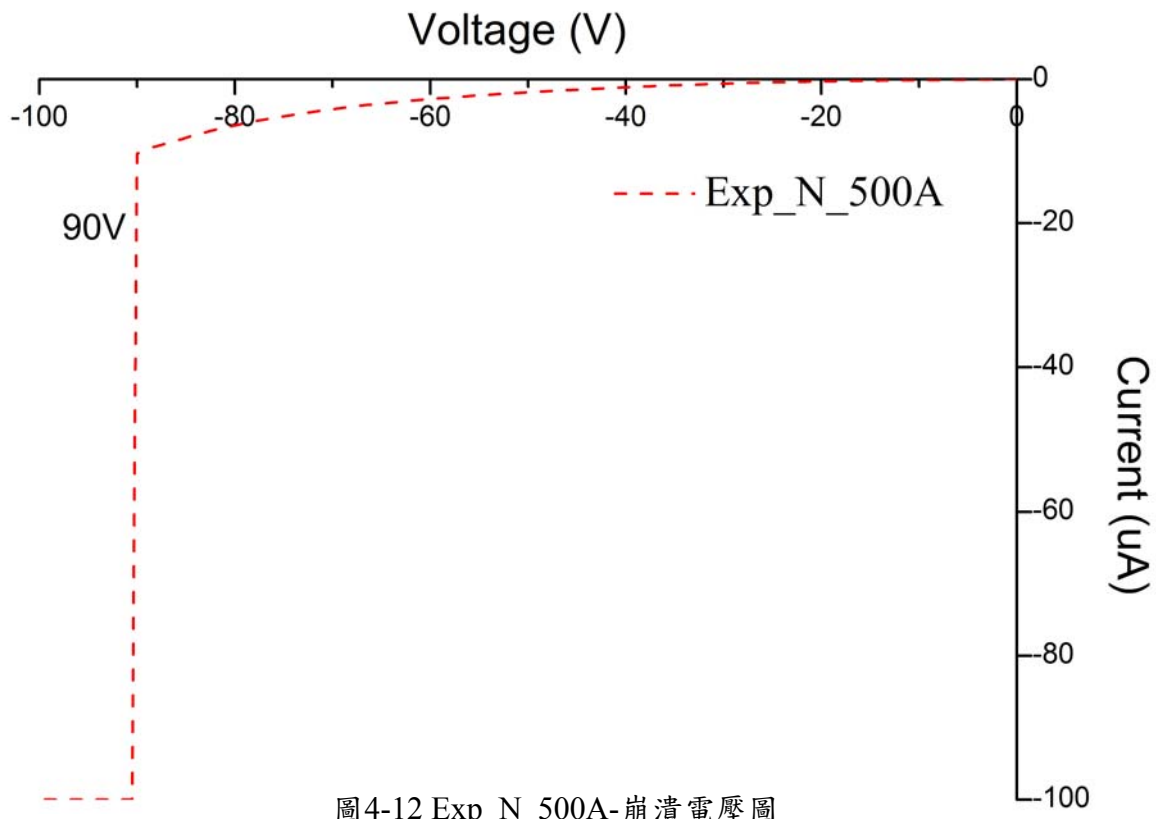


圖4-12 Exp\_N\_500A-崩潰電壓圖

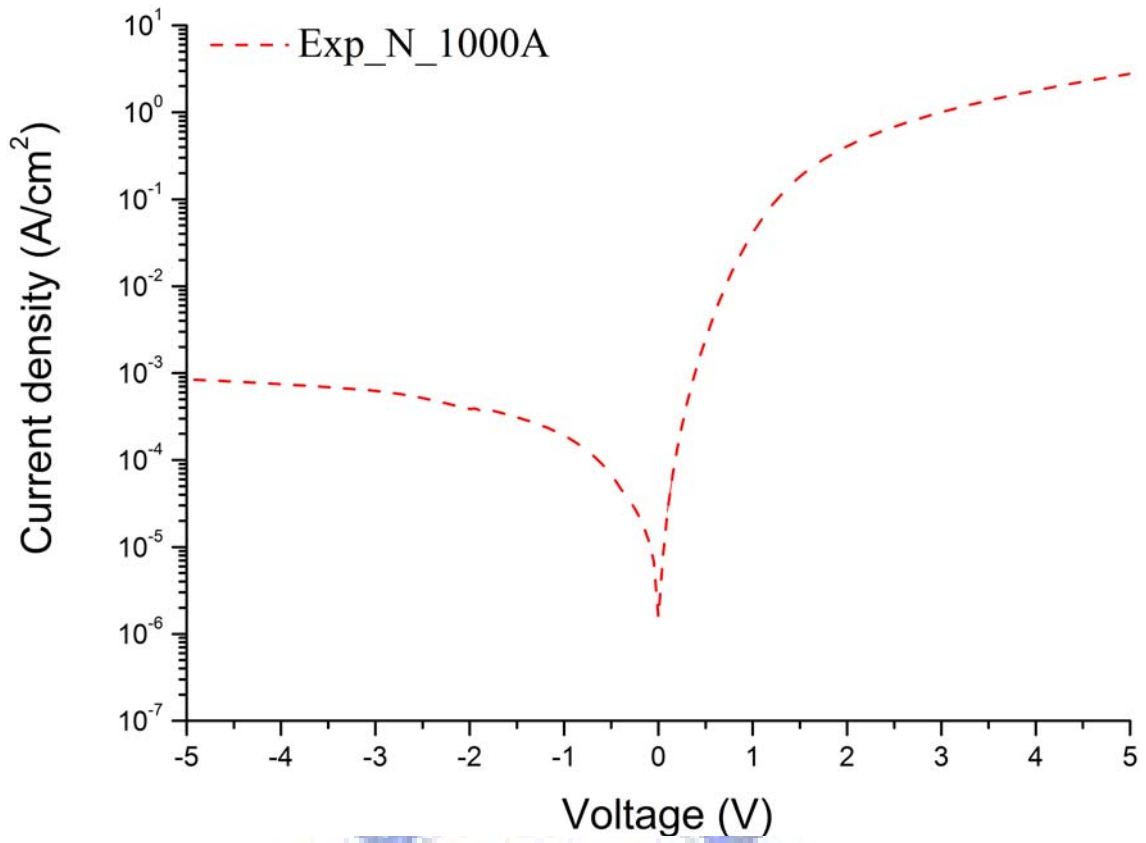


圖4-13 Exp\_N\_1000A-電流密度-電壓(J-V)半對數圖

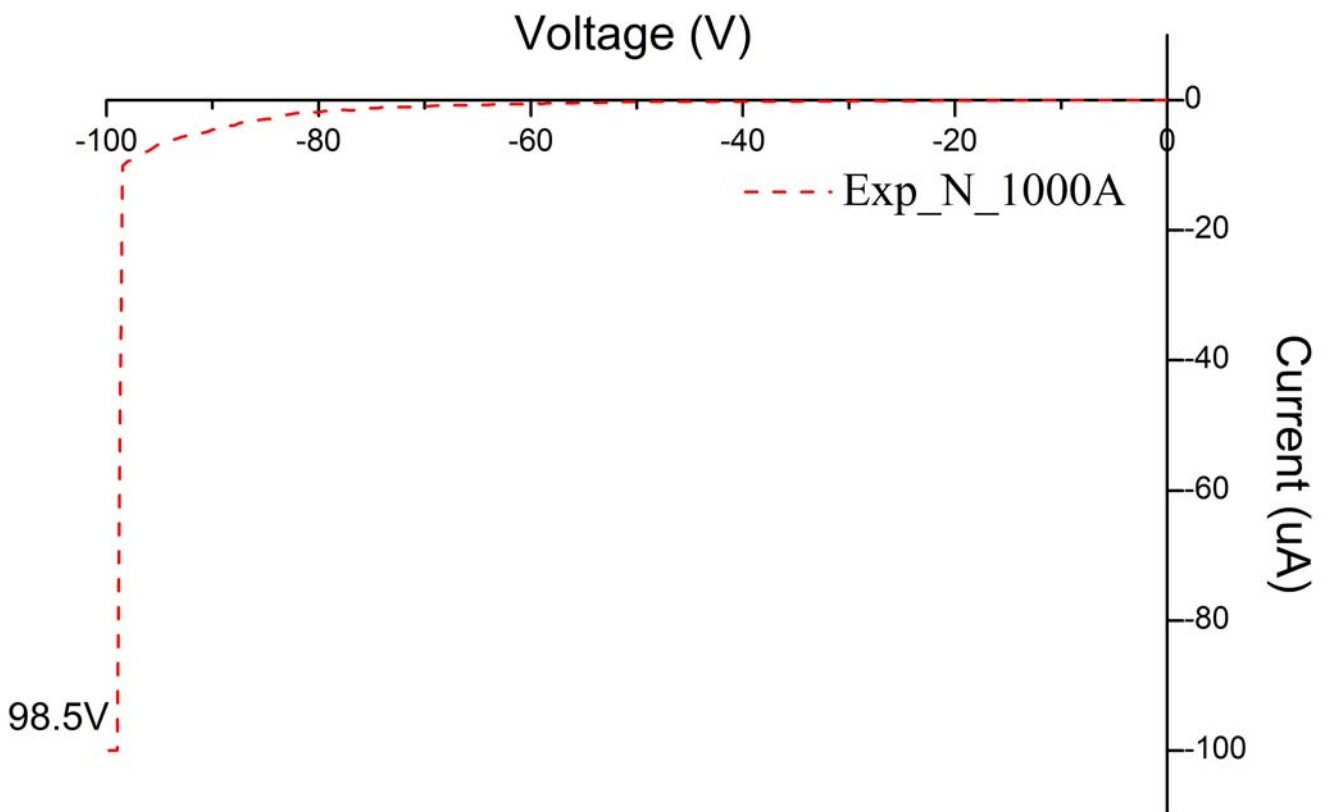


圖4-14 Exp\_N\_1000A-崩潰電壓圖

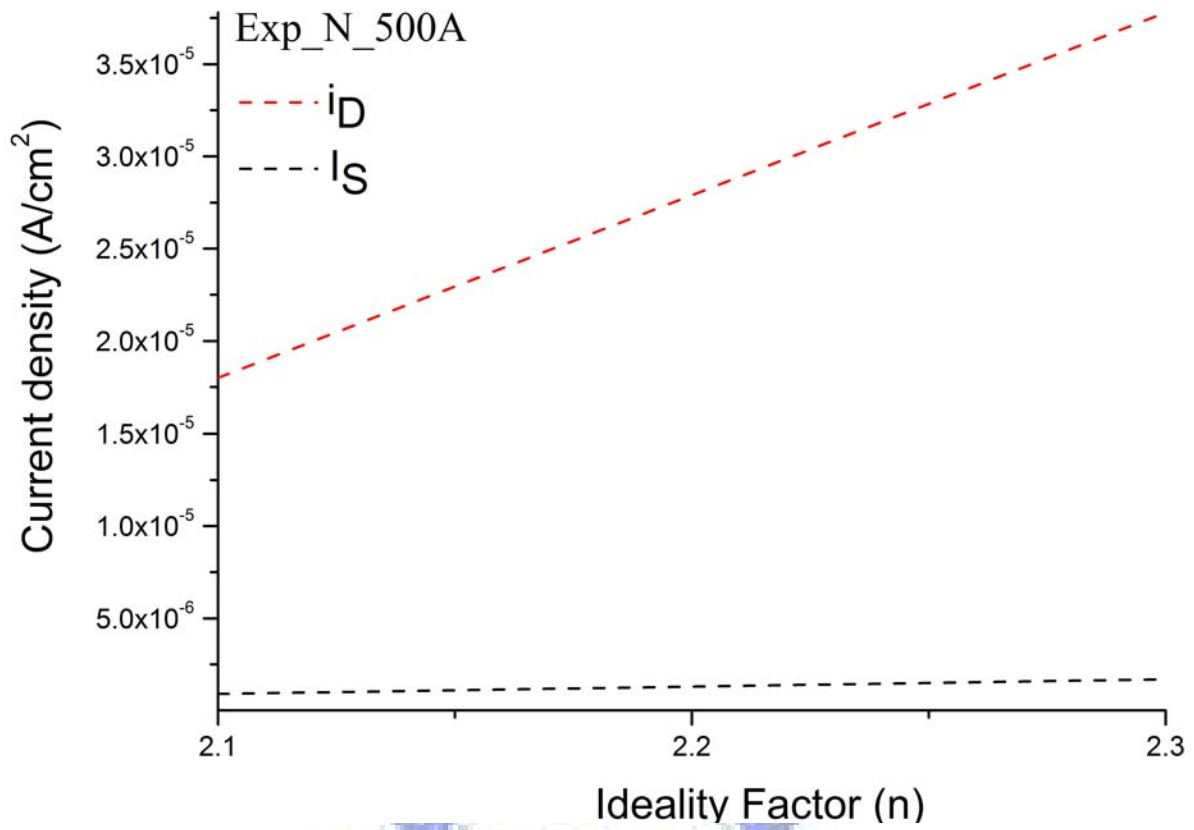


圖4-15 Exp\_N\_500A-理想因子與逆向飽和電流及漏電流關係示意圖

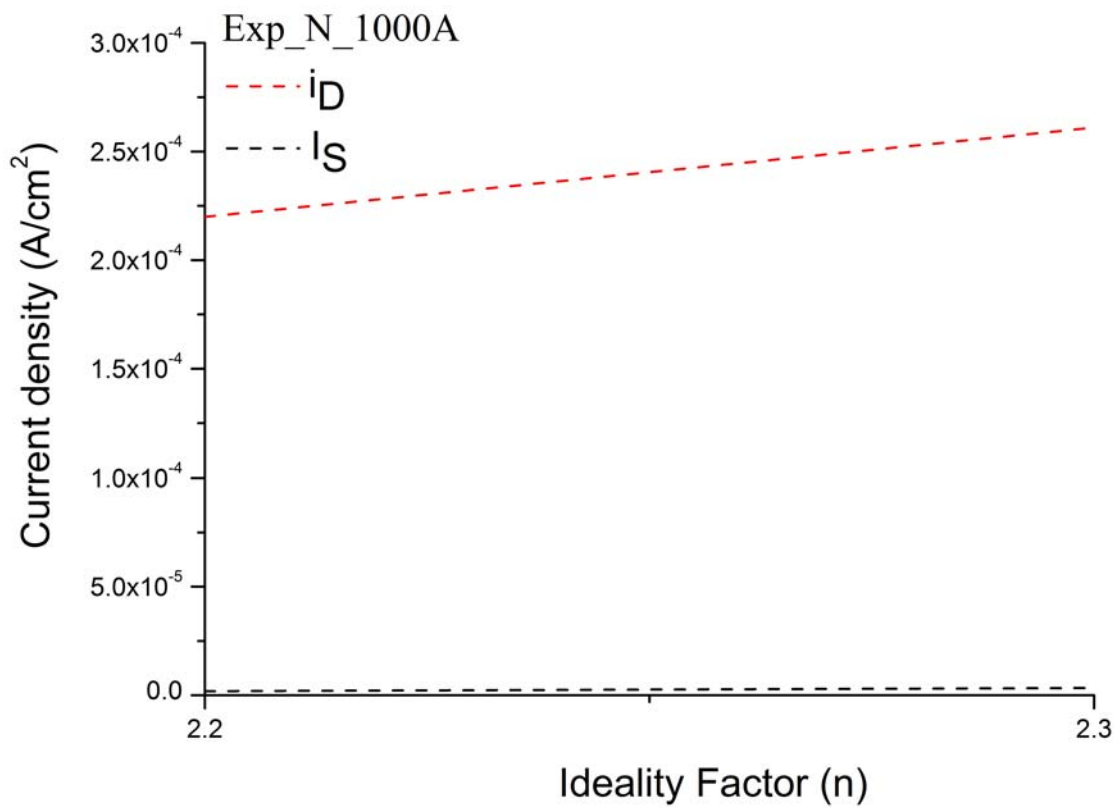


圖4-16 Exp\_N\_1000A-理想因子與逆向飽和電流及漏電流關係示意圖



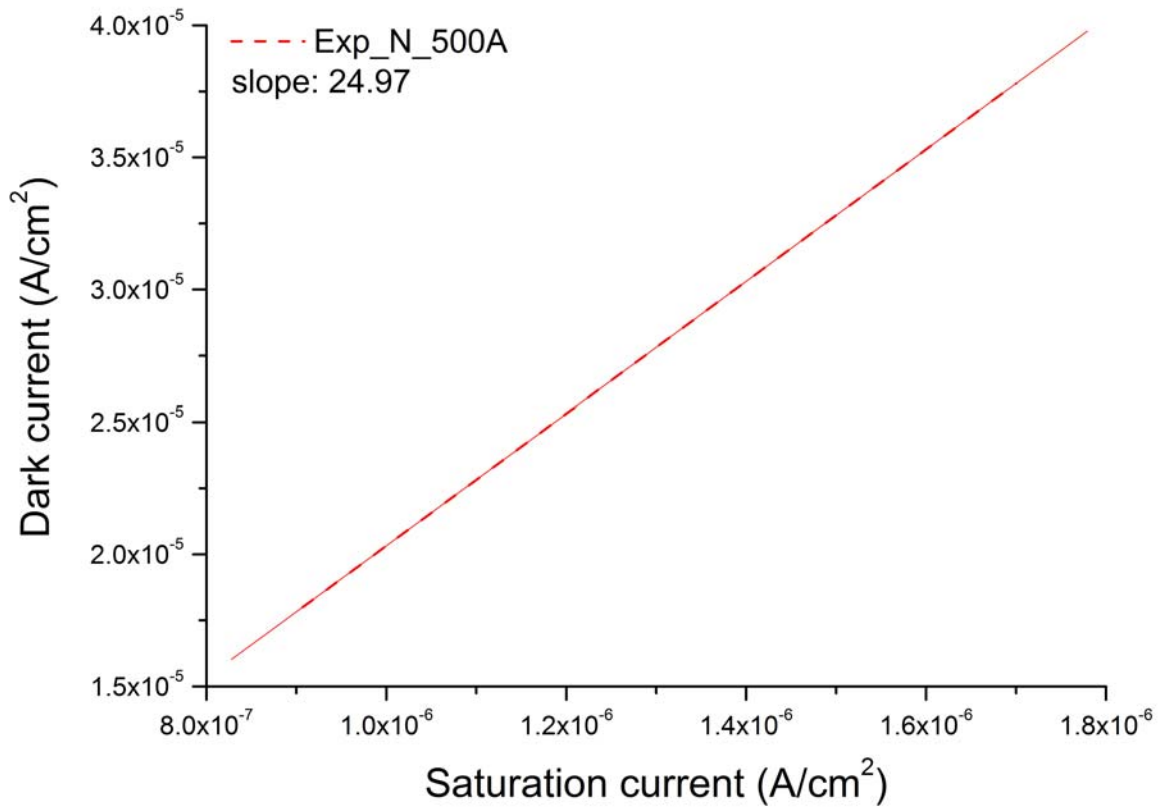


圖4-17 Exp\_N\_500A-逆向飽和電流與漏電流關係示意圖

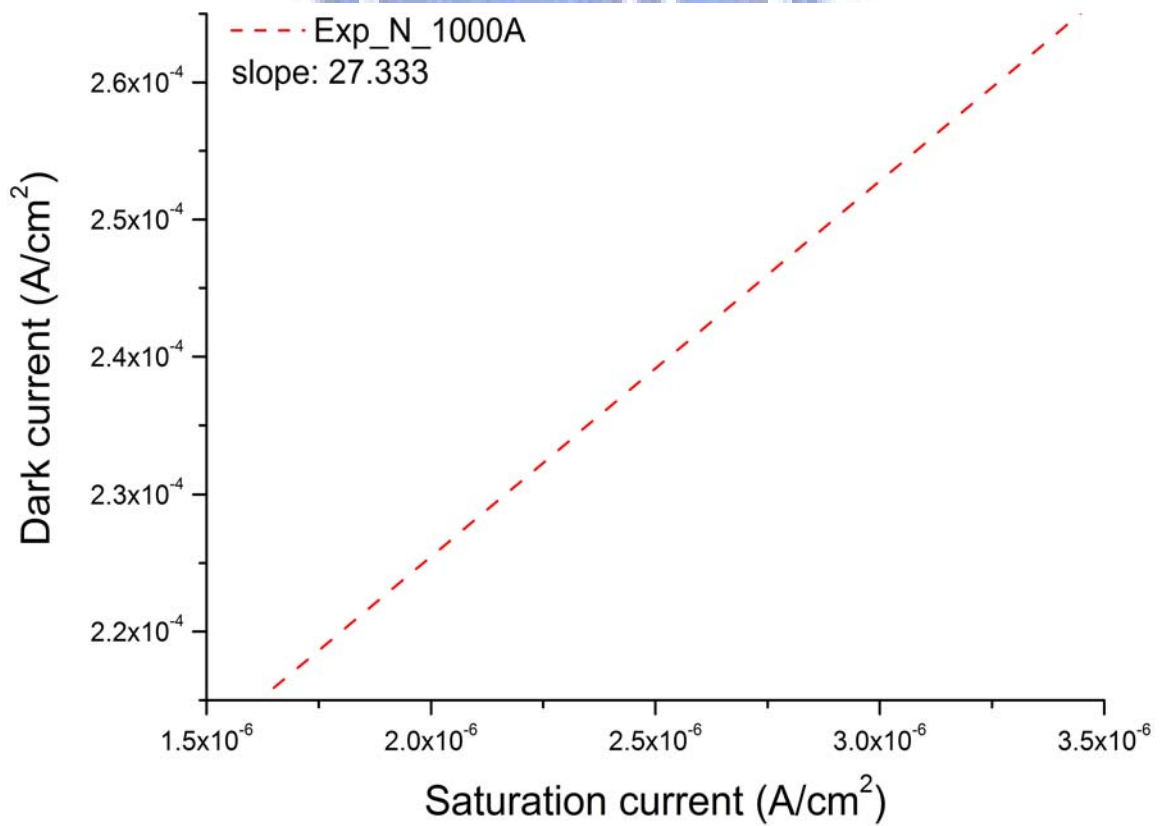


圖4-18 Exp\_N\_1000A-逆向飽和電流與漏電流關係示意圖

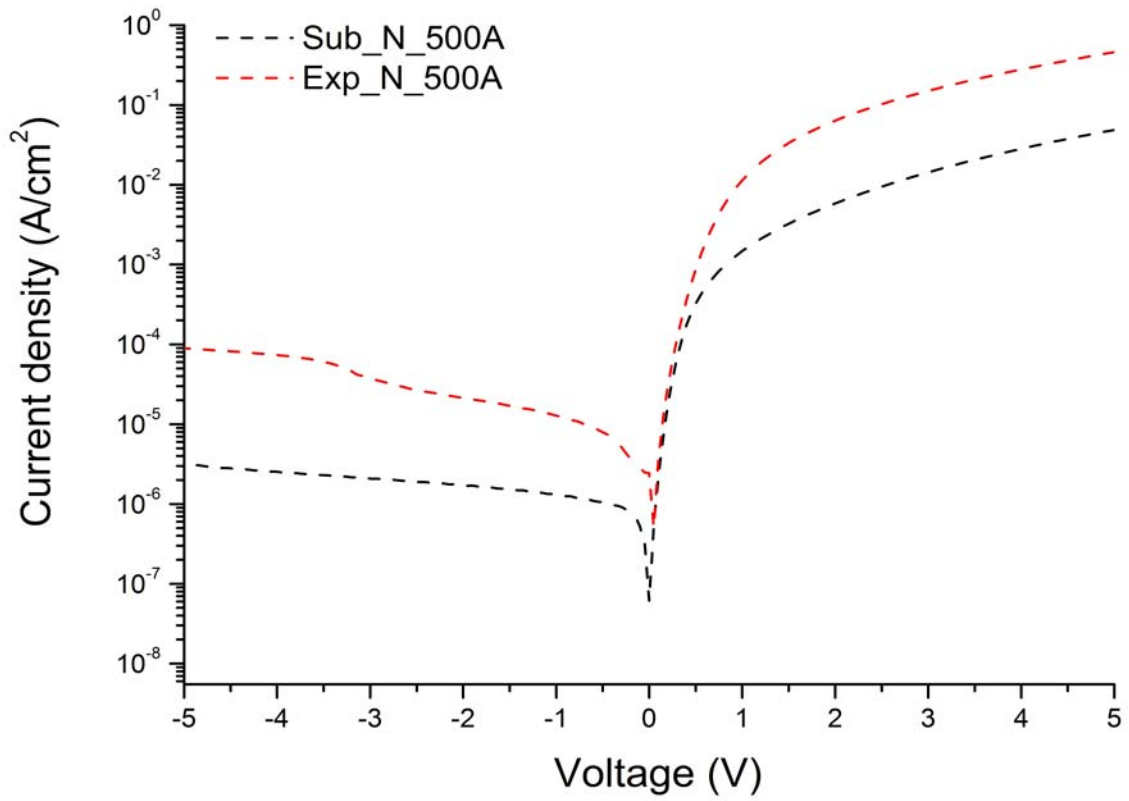


圖4-19 生長氧化層500A的對照組與實驗組比較示意圖

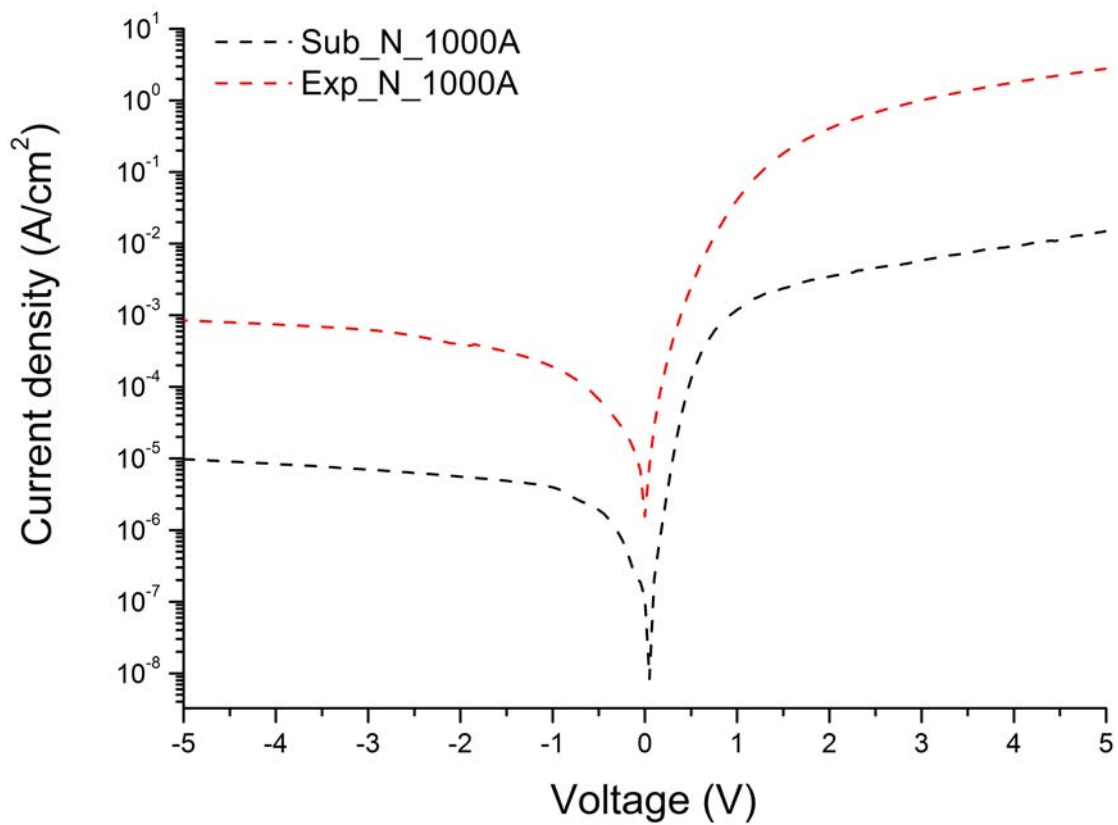


圖4-20 生長氧化層1000A的對照組與實驗組比較示意圖

表 4-1 N 型和 P 型非晶矽層與基材的相關數據

Items	Sample	Amorphous Silicon		Substrate	
		N	P	N	P
Thickness		3000A	3000A	525±25um	525±25um
Sheet Resistance ( $\Omega$ )		329	85	377	188
Resistivity ( $\Omega$ -cm)		9.87E-03	2.56E-03	20	10
Carrier Concentration ( $\text{cm}^{-3}$ )		1.0E+21	5.0E+21	2.0E+15	1.0E+15
Carrier Mobility ( $\text{cm}^2/\text{V-S}$ )		6	4.9	1563	625

表 4-2 樣品製程參數設定值

Items	Sample	Sub_500A	Sub_1000A	Exp_500A	Exp_1000A
Pattern Size		600um*600um	600um*600um	600um*600um	600um*600um
Silicon Oxide Thickness		500A	1000A	500A	1000A
Etch Times		45s	70s	45s	70s
Amorphous Silicon Thickness		3000A	3000A	3000A	3000A
Electrode Material		Al	Al	Al	Al
Electrode Thickness		90nm	90nm	90nm	90nm



## 第五章 結論

由實驗數據顯示，設計之點接觸PN二極體製程結構，相較於傳統二極體結構，其電性表現並未有正面方向的改善變化，但在整個數據分析上，我們發現幾個值得探討的地方。

在傳統二極體結構中，其漏電流值與理論漏電流值(飽和電流)的變化，隨著成長的氧化層越厚，則變化越大，見圖4-9、圖4-10。而在實驗組的部份，卻未隨著氧化層的厚度變化而增加，見圖4-17、圖4-18。如果我們忽略本身沈積所造成的電性問題，那我們就可以將這樣的結果解釋為，透過點接觸的PN二極體結構，隨著氧化層的厚度增加，並不會進一步的形成更大的漏電效應。至於沈積所造成的因素，可以透過改善方法來解決。

觀察實驗組的電性表現，發現到在逆向偏壓的部份，當漂移電流到達飽和之前，會發生一個曲線變化，而這個變化在傳統二極體結構電性上，並沒有發現，而且在生長較薄氧化層的實驗組樣品當中，這個變化更明顯，見圖5-1。我們可以將這個現象解釋為，在漂移電流要到達飽和的過程前，點接觸的PN二極體結構會產生一個阻止漏電效應的機制，但隨著逆向偏壓的增加，又使得漏電效應克服了這個阻障。詳細的機制目前還在做進一步的探討，但就目前的電性表現而言，我們可以認定點接觸的PN二極體在電性上，是有別於一般傳統

PN二極體結構。經由文獻的說明，顯示目前二極體的物理機制，對一些特殊結構而言，仍然有無法解釋的地方存在[54]。而這也可以拿來佐證目前的情形。

## 5-1 改善方法

由於實驗過程中，我們選擇了電漿輔助化學氣相沈積(PECVD)機台來成長非晶矽層並與基材形成PN接面。電漿中的反應物是化學活性較高的離子或自由基，而且基材表面受到離子的撞擊也會使得化學活性提高。這兩項因素都可促進基材表面的化學反應速率，因此PECVD在較低的溫度即可沈積薄膜[36]。雖然這是它的優點，但也相對造成它的缺失。低沈積溫度所生長的薄膜層，其晶格排列的缺失會比高溫沈積的薄膜層要來的多[55]。這可以拿來解釋整體樣品在電性上的表現，劣於其它文獻上二極體的原因。這方面我們可以在長晶製程結束後，透過回火(Anneal)機制來有效的解決沈積晶格的缺失問題。回火能夠將界面陷阱(Interface trap)電荷鈍化(Passivate)[56-57]，經由這個步驟能提升整體二極體的效益，並使我們所設計的点接觸PN二極體結構，與傳統PN二極體在電性表現上，能更明顯的顯示出其差異性。

另一個改善整體電性的方法，則是成長一鈍化層(Passivation Layer)

在元件表面，其用意在於保護元件並隔絕外界環境的影響，研究顯示出，增加鈍化層的元件，能有效地降低載子的復合機制[58]。

## 5-2 未來方向

本實驗製程的方向，是先在氧化層上蝕刻出洞來，再將非晶矽層填入製程圖型當中，所以圖型的深寬比問題在整體電性上的考量是較重的。那如果我們反過來做的話，在電性上的變化又是如何呢？

如果我們先在基材上沈積一層非晶矽層，再透過電子束微影的技術，定義出洞陣列圖型，並在非晶矽層上進行蝕刻，最後我們再將二氧化矽層填入製程圖型當中，如圖5-2。雖然整體的結構相同，但在深寬比的部份，前者需考量到非晶矽層的沈積問題，而後者只需要考量二氧化矽層的沈積問題，所以對於整體電性而言，後者的影響較小。那麼在量測的部份，則更能夠與傳統二極體結構比較出其電性上的差異。

所以在未來的方向裡，可以將目前的製程反過來做，一方面可以拿來與現有的結果做比較，而另一方面又可以探討在這樣的製程中，是否又會造成不一樣的元件傳輸機制。



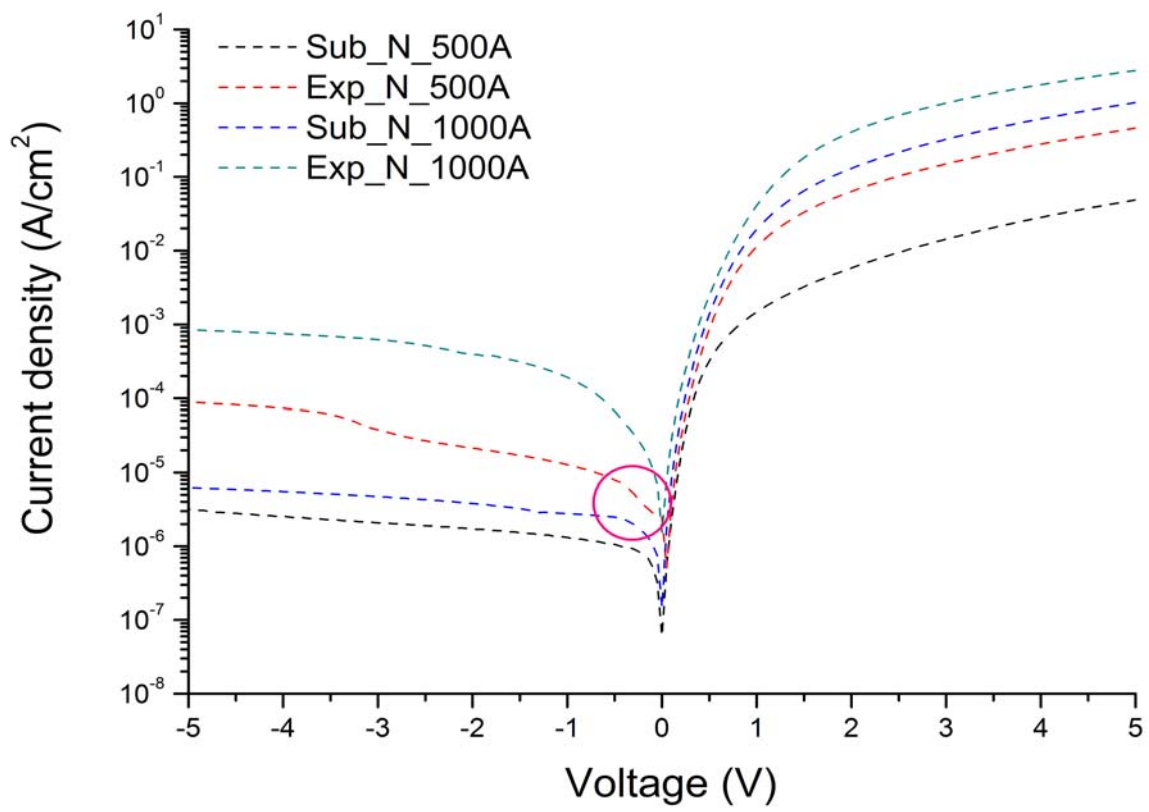


圖5-1 對照組與實驗組電性比較示意圖



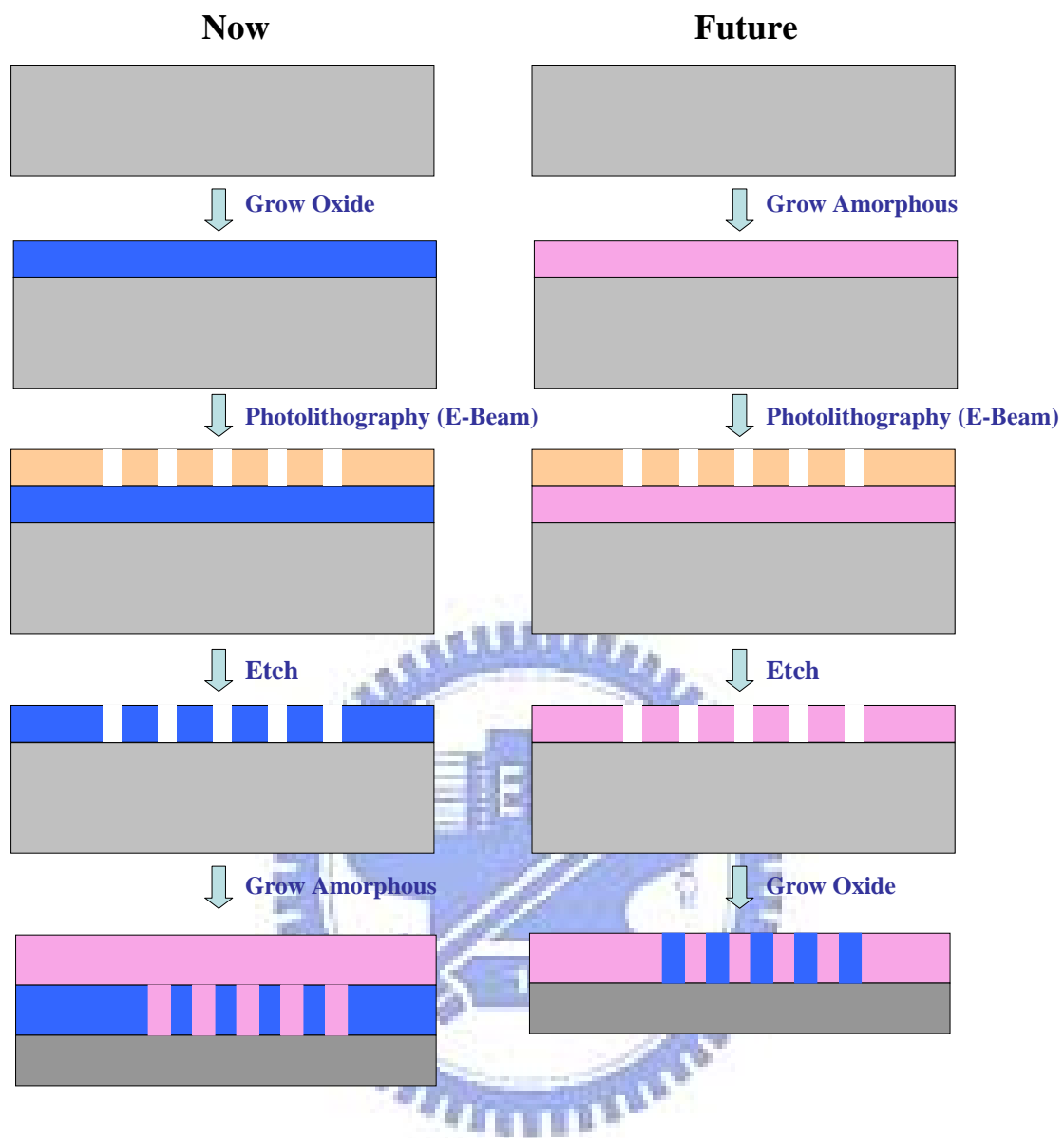


圖5-2 目前製程方向與未來製程方向的對照示意圖

## 參考文獻

- [1] Most of the classic device papers are collected in S. M. Sze, Ed., *Semiconductor Devices : Pioneering Papers*, World Scientific, Singapore, (1991).
- [2] K. K. Ng, *Complete Guide to Semiconductor Devices*, McGraw-Hill, New York, (1995).
- [3] F. Braun, "Über die Stromleitung durch Schwefelmetalle," *Ann. Phys. Chem.*, **153**, 556 (1874).
- [4] H. J. Round, "A Note On Carborundum," *Electron World*, **19**, 309 (1907).
- [5] J. Bardeen and W. H. Brattain, "The Transistor, a Semiconductor Triode," *Phys. Rev.*, **71**, 230 (1948).
- [6] W. Shockley, "The Theory of p-n Junction in Semiconductors and p-n Junction Transistors," *Bell Syst. Tech. J.*, **28**, 435 (1949).
- [7] J. J. Ebers, "Four Terminal p-n-p-n Transistors," *Proc. IRE*, **40**, 1361 (1952).
- [8] D. M. Chapin, C. S. Fuller, and G. L. Pearson, "A New Silicon p-n Junction Photocell for Converting Solar Radiation into Electrical Power," *J. Appl. Phys.*, **25**, 676 (1954).
- [9] H. Kroemer, "Theory of a Wide-Gap Emitter for Transistors," *Proc. IRE*, **45**, 1535 (1957).
- [10] L. Esaki, "New Phenomenon in Narrow Germanium p-n Junctions," *Phys. Rev.*, **109**, 603 (1958).
- [11] D. Kahng and M. M. Atalla, "Silicon-Silicon Dioxide Surface Device," in *IRE Device Research Conference*, Pittsburgh, (1960).
- [12] R. N. Hall, et al., "Coherent Light Emission from GaAs Junctions," *Phys. Rev. Lett.*, **9**, 366 (1962).
- [13] H. Kroemer, "A Proposed Class of Heterojunction Injection Lasers," *Proc. IEEE*, **51**, 1782 (1963).
- [14] I. Alferov and R. F. Kazarinov, "Semiconductor Laser with Electrical Pumping," U.S.S.R. Patent No. 181737 (1963).
- [15] J. B. Gunn, "Microwave Oscillations of Current in III-V Semiconductors," *Solid State Commun.*, **1**, 88 (1963).
- [16] R. L. Johnston, B. C. DeLoach, Jr., and B.G. Cohen, "A Silicon Diode Microwave Oscillator," *Bell Syst. Tech. J.*, **44**, 369 (1965).
- [17] C. A. Mead, "Schottky Barrier Gate Field Effect Transistor," *Proc. IEEE*, **54**, 307 (1966).
- [18] D. Kahng and S. M. Sze, "A Floating Gate and Its Application to Memory Devices," *Bell Syst. Tech. J.* **46**, 1283 (1967).

- [19] W. S. Boyle and G. E. Smith, "Charge Coupled Semiconductor Devices," *Bell Syst. Tech. J.* **49**, 587 (1970).
- [20] L. L. Chang, L. Esaki, and R. Tsu, "Resonant Tunneling in Semiconductor Double Barriers," *Appl. Phys. Lett.* **24**, 593 (1974).
- [21] T. Mimura, et al., "A New Field-Effect Transistor with Selectively Doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub> Heterojunction," *Jpn. J. Appl. Phys.* **19**, L225 (1980).
- [22] K. Yano, et al., "Room Temperature Single-Electron Memory," *IEEE Trans. Elect, Dev.*, **41**, 1628 (1994).
- [23] B. Yu, et al., "15 nm Gate Length Planar CMOS Transistors," *Tech. Dig., IEEE Int. Electron Devices Meeting*, Washington D.C. p.937 (2001).
- [24] J. Pankove *Optical Processes in Semiconductors*, New York, Dover (1976).
- [25] M. A. Green, K. Emery, D. L. King, Y. Ishikawa, and W. Warta, *Prog. Photovoltaics* **14**, 455 (2006).
- [26] David Carlson, "The Status and Outlook for the Photovoltaics Industry", SessionG5: Advanced Materials for Solar Energy Utilization, 2006 APS March Meeting (2006).
- [27] M. A. Contreras et al, Progress Toward 20% Efficiency in Cu(In,Ga)Se<sub>2</sub> Polycrystalline Thin-film Solar Cells, *Prog. Photovolt: Res. Appl.* **7**, 311-316 (1999).
- [28] Sharpless WM, "Cartridge-type point contact photodiode", *Proceeding of the IEEE* **52** (2): 207 (1964).
- [29] Burrus CA, "Millimeter-Wave Point-Contact and Junction Diodes" *Proceedings of the Institute of Electrical and Electronics Engineers* **54** (4): 575 (1966).
- [30] Didomeni.M, Sharpless.WM, Mcnicol JJ, "High Speed Photodetection in Germanium and Silicon Cartridge-Type Point-Contact Photodiodes" *Applied Optics* **4** (6): 677 (1965).
- [31] O'Malley ML, Timp GL, Timp W, et al. "Electrical simulation of scanning capacitance microscopy imaging of the pn junction with semiconductor probe tips" *Applied Physics Letters* **74** (24): 3672-3674 JUN 14 (1999).
- [32] Yang C, Barrelet CJ, Capasso F, et al. "Single p-Type/Intrinsic/n-Type Silicon Nanowires as Nanoscale Avalanche Photodetectors", *Nano Letters* **6** (12): 2929-2934 DEC 13 (2006).
- [33] K.W. Mitchell et al, *Solar Cells* **30**, 131-136 (1991).
- [34] Sze S.M., *Physics of Semiconductor devices*, New York,Wiley (1981).
- [35] Pikus G., *Semiconductor Devices*, Moscow, Nauka (1965).
- [36] 張俊彥等著, "積體電路製程及設備技術手冊" 中華民國產業科技發展協進會、材料與元件協會出版, (1997).
- [37] L.R. Harrott, *Proceedings of the 1999 Particle Accelerator Conference*,

pp.595~599 (1999).

- [38] ELS-7500EX TFE Electron Beam Lithography System Instrument Manual, ELIONIX Inc.
- [39] Hans C Pfeiffer, Werner Stickel, “PREVAIL – IBM's e-beam technology for next generation lithography”, *Future Fab Intl.*, Volume **12**, (2002).
- [40] 邱燦賓、施敏, “電子束微影技術” 國家毫微元件實驗室專題報導, 科學發展月刊 第 28 卷第 6 期 (2000).
- [41] L. F. Thompson, C. G. Willson, and M. J. Bowden ed., Introduction to Micro lithography, ACS Professional Reference Book, Washington, DC, p.86, (1994).
- [42] FEI XP workstation On line Document.
- [43] 陳力俊等著, “材料電子顯微鏡學”, 行政院國家科學委員會精密儀器發展中心出版, (1994).
- [44] Donald A. Neamen, “Semiconductor physics & Devices, 3/E”, Madrid, Mexico City, Milan, Montreal, New Delhi, Santiago, Seoul, Singapore, Sydney, Taipei, Toronto, (2003).
- [45] A. M. Cowley and S. M. Sze, “Surface States and Barrier Height of Metal Semiconductor System,” *J. Appl. Phys.*, **36**, 3212 (1965).
- [46] G. Mybrug, et al., “Summary of Schottky Barrier Height Data on Epitaxially Grown n- and p-GaAs,” *Thin Solid Films*, **325**, 181 (1998).
- [47] Deb P, Kim H, Qin YX, et al, “GaN nanorod Schottky and p-n junction diodes”, *Nano Letters* **6** (12): 2893-2898 DEC 13 (2006).
- [48] Simon M. Sze “Semiconductor Devices: Physics and Technology, 2/e” New York :Wiley, (2002).
- [49] Adel S. Sedra, Kenneth Carless Smith “Microelectronic Circuits, 5/e” Oxford University (2003).
- [50] Tove Pa “Methods of Avoiding Edge Effects on Semiconductor Diodes” *Journal of Physics D-Applied Physics* **15** (4): 517-536 (1982).
- [51] Beton Ph, Dellow MW, Main Pc, et al. “Edge Effects in a Gated Submicron Resonant Tunneling Diode” *Applied Physics Letters* **60** (20): 2508-2510 (1992).
- [52] Militaru O, Borrello L, Bozzi C, et al. “Study of edge effects in the breakdown process of p(+) on n-bulk silicon diodes” *Nuclear Instruments & Methods in Physics Research Section A-Accelerators Spectrometers Detectors and Associated Equipment* **439** (2-3): 262-269 (2000).
- [53] John A. Copeland, Member, “Diode Edge Effect on Doping-Profile Measurements” *IEEE Transactions on Electron Devices*, Vol. **5** (1970).
- [54] Radziemska E, “Dark I-U-T measurements of single crystalline silicon solar cells” *Energy Conversion and Management* **46** (9-10): 1485-1494 (2005).
- [55] Peter Van Zant, “Microchip Fabrication : a practical guide to semiconductor

processing, 4th ed” McGraw-Hill, Inc. (2001).

- [56] Saha AR, Chattopadhyay S, Dalapati GK, et al. “Effect of annealing on interface state density of Ni-silicided/Si<sub>1-x</sub>Ge<sub>x</sub> Schottky diode” *Materials Science in Semiconductor Processing* **8** (1-3): 249-253 (2005).
- [57] Lee, M.; Wu, M. *J. Microelectromech. Syst.* **15** (2), 338-343 (2006).
- [58] Wolf A, Terheiden B, Brendel R “Autodiffusion: A novel method for emitter formation in crystalline silicon thin-film solar cells” *Progress in Photovoltaics* **15** (3): 199-210 (2007).

