


國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

佈局參數對高壓金氧半場效電晶體
電性影響之研究



**A study on the influence of layout
parameters on electrical characteristics
of high-voltage MOSFETs**

研 究 生：柳旭茹

指 導 教 授：崔秉鉞 教授


中華民國九十六年八月

國立交通大學

電子工程學系 電子研究所碩士班

碩 士 論 文

**佈局參數對高壓金氧半場效電晶體
電性影響之研究**



**A study on the influence of layout
parameters on electrical characteristics
of high-voltage MOSFETs**

研 究 生：柳旭茹

指 導 教 授：崔秉鉞 教授

中華民國九十六年八月

佈局參數對高壓金氧半場效電晶體
電性影響之研究

**A study on the influence of layout
parameters on electrical characteristics
of high-voltage MOSFETs**

研究生：柳旭茹

Student : Hsu-Ju Liu

指導教授：崔秉鉞

Advisor : Bing-Yue Tsui



A Thesis
Submitted to Department of Electronics Engineering & Institute of Electronics
College of Electrical and Computer Engineering
National Chiao Tung University
in Partial Fulfillment of the Requirements
for the Degree of Master
in
Electronics Engineering
2007
Hsinchu, Taiwan, Republic of China

中華民國九十六年八月

佈局參數對高壓金氧半場效電晶體電性影響之研究

研究生:柳旭茹

指導教授:崔秉鉞

國立交通大學電子工程系 電子研究所碩士班

摘 要

隨著半導體製程的發展，自七零年代至今，高壓高功率元件已由以閘流體與雙極功率電晶體為主的市場，逐漸發展到現今的高功率金氧半場效電晶體，由於高壓功率金氧半場效電晶體之低成本、切換速度快與其功率消耗較低的優勢，因此，已成為現今工業界中，最易與低電壓之傳統互補式金氧半場效電晶體的製程技術整合在一起者，多被設計用於控制與承載較高電流且耐高壓的高功率積體電路。

在本論文主要探討佈局參數對高壓金氧半場效電晶體電性上的影響趨勢，包括：電晶體內閘極汲極間淺溝式隔離之長度(S 參數)、汲極基極間淺溝式隔離之長度(d 參數)、閘極電極覆蓋在淺溝式隔離上方之長度(a 參數)、與閘極電極下高壓 N 型植入井至淺溝式隔離邊緣之長度(b 參數)等等，先藉由實驗量測的結果，去探討在電性上，各個佈局參數對電晶體之影響，再以製程元件模擬軟體去模擬其結果與了解其發生的物理機制。

研究發現，高壓金氧半場效電晶體之臨界電壓與佈局參數皆無相關性。若欲提升高壓金氧半場效電晶體之崩潰電壓，可選擇將 S 參數拉長或將電晶體設計為對稱型的結構，但我們發現，將電晶體製作為對稱型的結構，其對耐壓的提升效果並不如直接將 S 參數拉長的效果來得顯著。至於 d 參數也不能設計得過短，因 d 縮小時將引發電晶體崩潰點的移轉，由原本閘極下通道處的累增崩潰轉移到外圍基極下的穿透崩潰。此外，亦發現 b 值會影響到電晶體之基體電流與熱載子效應，在實驗元件中當 b 值縮小至 $0.6\mu\text{m}$ 時，將會引發相當高且持續增加的基極電流；並且，當 b 值設計在

0.6 μm 時，因閘汲極間電流路徑的陡峭與電流的集中效應，故會使得導通電流大幅降低；欲改善此效應可試著將 b 值略微加長，但要注意 b 值亦不可過長，否則也會因電流路徑的拉長而造成導通電流的下降，故 b 值必須要視不同的電晶體構造來取得一個對元件特性的最佳值，值得進一步的研究。



A study on the influence of layout parameters on electrical characteristics of high-voltage MOSFETs

Student : Hsu-Ju Liu

Advisor : Bing-Yue Tsui

Department of Electronics Engineering

Institute of Electronics

National Chiao Tung University

ABSTRACT

With the progress of integrated circuit technology, high-voltage devices with high power have developed into the market of HV-MOSFETs from the market of thyristors and bipolar power transistors in 1970's, which have become the most preferable devices to be integrated with the technology of conventional CMOS due to its low cost, fast switching speed, and low power loss. Hence, HV-MOSFETs are mostly-applied to not only control but also carry the high power ICs with high current nowadays.

In this thesis, we study on the influence of layout parameters on electrical characteristics of high-voltage MOSFETs and those layout parameters include the length of shallow-trench-isolation between gate and drain (parameter S), the length of shallow-trench-isolation between drain and bulk (parameter d), the overlap between gate and shallow-trench-isolation (parameter a), and the length from HV-N well to the edge of shallow-trench-isolation under gate electrode (parameter b). In the beginning, we survey the electrical characteristics of different devices with various layout parameters, finding out the effect of each layout parameter according to the measured data and then use the simulation tool (ISE-TCAD) to figure out the physics inside the transistors and to explain how those layout parameters affect the electrical characteristics of HV

MOSFETs.

In this study, we find that layout parameters have nothing to do with the threshold voltage of HV-MOSFETs. To raise the breakdown voltage of HV-MOSFETs, it is useful to increase the length of parameter S or to design the transistor to be symmetric. However, we discover that the improvement from designing the transistor with symmetry is much less than that from the increase of parameter S. As for parameter d, it should be designed long enough to avoid the punch-through breakdown which occurs under the bulk electrode ahead of the conventional avalanche breakdown. Besides, we observe that parameter b can affect the substrate current and induce severe hot carrier effect when b shrinks down. At the same time, it is found that the on-current will drop as b decreases to $0.6\mu\text{m}$ because of the high resistance current path resulted from the current-crowding effect around the shallow-trench-isolation between gate and drain. The solution to these problems can be the increase on the parameter b. Nevertheless, quite a long parameter b may lower the on-current as well due to the longer current path it could build. Thus, according to different device structures, parameter b should be designed accurately to accomplish the optimal electrical characteristics, which is worth studying furthermore.

謝 誌

隨著本論文的完成，學生生涯即將劃上句點。在兩年的碩士生活裡首先要感謝指導教授 崔秉鉞老師在論文與研究上的指導，讓學生在兩年中培養了獨立思考和研究的能力，受益匪淺。

其次感謝世界先進積體電路有限公司，提供實驗晶片與技術上的協助。特別感謝 林耿立經理、戴惠珊工程師等人給予完整的資訊與指導。

在從事研究期間，感謝實驗室學長、同學們的指導以及學弟妹們的幫忙，盧季霈學長、洪玉仁、李振欽、李振銘及黃勻珮同學，謝謝你們這兩年來的協助和相互照顧，感謝劉筱函學妹在模擬上的指導；可愛的學弟妹們，也謝謝你們為枯燥的研究生活中增添許多樂趣。

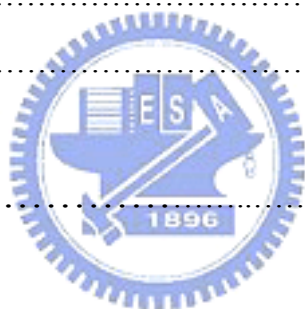
最後我要感謝父母多年的栽培和信任，讓我可以專心向學而順利完成碩士學位，謝謝三姐每每在我最困頓消極的時候給我信心和方向。感謝男友，達，在研究所的這兩年中，歷經幾多波折卻仍然永遠給予我支持和鼓勵，總在我最沮喪失去目標的時候陪伴我並傾聽。

感謝你們，沒有你們，我將做不到這一切。

目 錄

中文摘要	I
英文摘要	III
謝誌	V
目錄	VI
表目錄	VIII
圖目錄	IX
第一章	緒論	1
1-1	功率元件的歷史沿革.....	1
1-2	高功率元件操作時所面臨的電性問題.....	4
1-3	論文研究動機.....	6
1-4	論文架構.....	7
第二章	實驗元件及變異參數介紹	15
2-1	實驗元件介紹.....	15
2-2	實驗元件之變異參數介紹.....	16
第三章	元件佈局參數對電性特徵之影響	24
3-1	b 參數之影響.....	24
3-1-(a)	臨界電壓.....	24
3-1-(b)	高閘極電壓下的汲極飽和電流.....	27
3-1-(c)	基體電流.....	28
3-1-(d)	崩潰電壓.....	29
3-2	S 參數之影響.....	31
3-2-(a)	臨界電壓.....	32
3-2-(b)	崩潰電壓.....	33
3-3	d 參數之影響.....	35
3-3-(a)	臨界電壓.....	36

3-3-(b)	崩潰電壓.....	36
第四章	模擬元件佈局參數對電性之影響.....	68
4-1	b 參數之影響.....	68
4-1-(a)	高開極電壓下的汲極飽和電流.....	68
4-1-(b)	基體電流.....	70
4-1-(c)	崩潰電壓.....	73
4-2	S 參數之影響.....	74
4-3	d 參數之影響.....	78
第五章	結論和未來展望.....	117
5-1	結論.....	117
5-2	未來展望.....	119
參考文獻	121



表目錄

第二章

表2-1	高壓金氧半場效電晶體之製作流程.....	19
表2-2	不對稱型元件與對稱型元件之個別標準化設計參數.....	20
表2-3	本次論文中總測試樣本之詳細變異參數及佈局.....	21

第三章

表3-1	調變 b 參數時之實驗電晶體詳細佈局參數.....	39
表3-2	不對稱型 N 型高壓金氧半場效電晶體之臨界電壓.....	40
表3-3	對稱型 N 型高壓金氧半場效電晶體之臨界電壓.....	40
表3-4	不對稱型 N 型高壓金氧半場效電晶體之導通崩潰電壓.....	41
表3-5	對稱型 N 型高壓金氧半場效電晶體之導通崩潰電壓.....	41
表3-6	調變 S 參數時之實驗電晶體詳細佈局參數.....	42
表3-7	探討元件的對稱性對崩潰之影響時的實驗樣本.....	43
表3-8	元件之對稱性對崩潰電壓之影響.....	44
表3-9	調變 d 參數時之實驗電晶體詳細佈局參數.....	45
表3-10	高壓金氧半場效電晶體內 d 參數對崩潰電壓之影響.....	46

第四章

表4-1	模擬 b 參數之變異時的高壓金氧半場效電晶體之詳細佈局參數.....	81
表4-2	模擬 S 參數之變異時的高壓金氧半場效電晶體之詳細佈局參數.....	82
表4-3	模擬 a 參數之變異時的高壓金氧半場效電晶體之詳細佈局參數.....	83
表4-4	模擬 d 參數之變異時的高壓金氧半場效電晶體之詳細佈局參數.....	84

圖目錄

第一章

圖1-1	V型垂直式通道金氧半場效電晶體.....	9
圖1-2	垂直式雙擴散金氧半場效電晶體.....	10
圖1-3	溝槽式閘極功率金氧半場效電晶體.....	11
圖1-4	雙擴散汲極金氧半場效電晶體.....	12
圖1-5	側邊雙擴散金氧半場效電晶體.....	13
圖1-6	閘極移位調變側邊雙擴散金氧半場效電晶體.....	14
圖1-7	改變 GSLDD 中 L_{gs} 之長度對崩潰電壓之增益.....	14

第二章

圖2-1	不對稱型 N 型高壓金氧半場效電晶體之元件剖面圖.....	22
圖2-2	對稱型 N 型高壓金氧半場效電晶體之元件剖面圖.....	23

第三章

圖3-1	不對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界電壓之影響.....	47
圖3-2	對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界電壓之影響.....	48
圖3-3	不對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界電壓之影響.....	49
圖3-4	對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界電壓之影響.....	49
圖3-5	(a) $V_d=32V$ ，源汲極未反接，(b) $V_d=32V$ ，源汲極反接(移除 TED 效應).....	50
圖3-6	b 參數對高閘極電壓下之汲極電流的影響.....	51
圖3-7	不對稱型 N 型高壓金氧半場效電晶體中 b 參數對基體電流之影響.....	52
圖3-8	對稱型 N 型高壓金氧半場效電晶體中 b 參數對基體電流之影響.....	53
圖3-9	不對稱型 N 型高壓金氧半場效電晶體中 b 參數對導通崩潰電壓之影響.....	54
圖3-10	對稱型 N 型高壓金氧半場效電晶體中 b 參數對導通崩潰電	

	壓之影響.....	55
圖3-11	不對稱型 N 型高壓金氧半場效電晶體中 b 參數對導通崩潰電壓之影響.....	56
圖3-12	對稱型 N 型高壓金氧半場效電晶體中 b 參數對導通崩潰電壓之影響.....	56
圖3-13	不對稱型 N 型高壓金氧半場效電晶體中 S 參數對臨界電壓之影響.....	57
圖3-14	對稱型 N 型高壓金氧半場效電晶體中 S 參數對臨界電壓之影響.....	58
圖3-15	不對稱型 N 型高壓金氧半場效電晶體中 S 參數對崩潰電壓之影響.....	59
圖3-16	對稱型 N 型高壓金氧半場效電晶體中 S 參數對崩潰電壓之影響.....	60
圖3-17	高壓金氧半場效電晶體之對稱性對崩潰電壓之影響.....	61
圖3-18	高壓金氧半場效電晶體之對稱性對崩潰電壓之影響.....	62
圖3-19	不對稱型 N 型高壓金氧半場效電晶體中 d 參數對臨界電壓之影響.....	63
圖3-20	對稱型 N 型高壓金氧半場效電晶體中 d 參數對臨界電壓之影響.....	64
圖3-21	不對稱型 N 型高壓金氧半場效電晶體中 d 參數對崩潰電壓之影響.....	65
圖3-22	對稱型 N 型高壓金氧半場效電晶體中 d 參數對崩潰電壓之影響.....	66
圖3-23	高壓金氧半場效電晶體中 d 參數對崩潰電壓之影響.....	67

第四章

圖4-1	高壓金氧半場效電晶體內電流密度分佈 @ $b=0.6\mu\text{m}$ 、 $V_d=32\text{V}$ 、 $V_g=40\text{V}$	85
圖4-2	高壓金氧半場效電晶體內電流密度分佈 @ $b=1.0\mu\text{m}$ 、 $V_d=32\text{V}$ 、 $V_g=40\text{V}$	85
圖4-3	電流密度沿著閘汲極間 STI 前端 AA' 切線之縱深分佈.....	86
圖4-4	b 參數對高閘極電壓下之導通電流的影響 @ $V_d=32\text{V}$	87
圖4-5	電流密度(a)<(b)<(c)引發之 Kirk effect 與內部電場移轉之現象.....	88

圖4-6	(a)高壓金氧半場效電晶體內部電場分佈@ $b=0.6\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$ 。(b)高壓金氧半場效電晶體內離子撞擊 游離率分佈@ $b=0.6\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$	89
圖4-7	(a)高壓金氧半場效電晶體內部電場分佈@ $b=1.0\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$ 。(b)高壓金氧半場效電晶體內離子撞擊 游離率分佈@ $b=1.0\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$	90
圖4-8	(a) 離子撞擊游離率沿著閘汲極間 STI 前端 AA'之縱深分 佈.....	91
	(b) 離子撞擊游離率沿著閘汲極間 STI 中端 BB'之縱深分 佈.....	92
圖4-9	(a) 高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的電場分佈@ $b=0.6\mu\text{m}$ 。(b) 高壓金氧半場效電晶體崩潰時 $V_d=57\text{V}$ 的電 場分佈@ $b=1.0\mu\text{m}$	93
圖4-10	b 參數對電晶體崩潰空乏邊界的影響.....	94
圖4-11	(a)高壓金氧半場效電晶體崩潰時 $V_d=65\text{V}$ 的電場分佈@ $S/a=2.0/1.0$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的電 場分佈@ $S/a=1.2/0.6$	95
圖4-12	元件內部電場沿著閘汲極間 STI 中線 AA'之縱深分佈.....	96
圖4-13	(a)高壓金氧半場效電晶體崩潰時 $V_d=65\text{V}$ 的電流密度分佈 圖@ $S/a=2.0/1.0$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的電流密度分佈圖@ $S/a=1.2/0.6$	97
圖4-14	(a)高壓金氧半場效電晶體崩潰時 $V_d=65\text{V}$ 的離子撞擊游離 率分佈圖@ $S/a=2.0/1.0$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的離子撞擊游離率分佈圖@ $S/a=1.2/0.6$	98
圖4-15	元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA'縱深 分佈.....	99
圖4-16	(a)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的電場分佈@ $S/a=1.2/0.6$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的電 場分佈@ $S/a=1.2/1.0$	100
圖4-17	(a)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的離子撞擊游離 率分佈圖@ $S/a=1.2/0.6$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=56\text{V}$ 的離子撞擊游離率分佈圖@ $S/a=1.2/1.0$	101
圖4-18	元件內部電場分佈延著閘汲極間 STI 中線之 AA'縱深分 佈.....	102

圖4-19	元件內部離子撞擊游離率延著閘汲極間STI中線之AA'縱深分佈.....	103
圖4-20	(a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電場分佈@ $S/a=2.0/0.6$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電場分佈@ $S/a=2.0/1.0$	104
圖4-21	(a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的離子撞擊游離率分佈圖@ $S/a=2.0/0.6$ 。(b)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的離子撞擊游離率分佈圖@ $S/a=2.0/1.0$	105
圖4-22	元件內部電場分佈延著閘汲極間 STI 中線之 AA'縱深分佈.....	106
圖4-23	元件內部離子撞擊游離率延著閘汲極間STI中線之AA'縱深分佈.....	107
圖4-24	元件 $S/a=1.2/1.0$ 和 $S/a=2.0/1.0$ 內部電場分佈延著閘汲極間STI中線之AA'縱深分佈.....	108
圖4-25	元件 $S/a=1.2/1.0$ 和 $S/a=2.0/1.0$ 內部離子撞擊游離率延著閘汲極間STI中線之AA'縱深分佈.....	109
圖4-26	元件 $S/a=1.2/0.6$ 和 $S/a=2.0/0.6$ 內部電場分佈延著閘汲極間STI中線之AA'縱深分佈.....	110
圖4-27	元件 $S/a=1.2/0.6$ 和 $S/a=2.0/0.6$ 內部離子撞擊游離率延著閘汲極間STI中線之AA'縱深分佈.....	111
圖4-28	高壓金氧半場效電晶體崩潰時的電場分佈@	
	(a) $d=2.0\mu m$	112
	(b) $d=1.8\mu m$	113
	(c) $d=1.6\mu m$	114
	(d) $d=1.4\mu m$	115
	(e) $d=1.2\mu m$	116

第一章

緒論

1-1 功率元件的歷史沿革

隨著半導體製程的發展，自七零年代至今，各類電子元件的操作及運用漸趨多樣化，尤其是高壓功率元件更被廣泛地應用，其應用範圍包括了電力電子元件、無線射頻系統、控制馬達、通訊設備或薄膜電晶體液晶顯示器等方面。而高功率元件的演化過程，也由以閘流體(Thyristor)與雙極功率電晶體(Bipolar Power Transistor)為主流的七零年代，逐漸發展到現今的高功率金氧半場效電晶體(Power-MOSFET)。

由於閘流體本身的操作需求，受到高功率消耗及面積上的限制考量，造成應用上的受限[1]；而雙極功率電晶體的驅動，則需提供電晶體本身基極一個驅動電流，才能使雙極功率電晶體導通，同樣地，如果欲使電晶體關閉，也必須提供一個反向電流在電晶體基極。基於這些效應，都使得雙極功率電晶體在操作時，增加了成本的損耗。此外，在電晶體進行開關間狀態切換時，由於雙極功率電晶體有內部少數載子產生及復合的現象(Generation and Recombination)，因此在開關時會有延遲切換時間的問題(Switching tail)，此現象不但使雙極功率電晶體的操作機制更複雜化，無法單一討論、應用，同時也延遲了雙極功率電晶體的切換速度[2-3]。有鑑於上述現象，於是發展出低成本，切換速度快且功率消耗低的高壓功率金氧半場效電晶體。

早期的金氧半場效電晶體，是利用雙擴散的方式設計，為節省元件的面積消耗以及增加元件耐高電壓的能力，因此將汲極作在最底層，成為垂直式的結構，並在矽晶片表面挖出一個 V 型溝槽，因此形成一九七五年

最早的 V 型垂直式通道金氧半場效電晶體(V-Shape Channel VMOS)[4]，如圖 1-1 所示。

但 V 型垂直式通道金氧半場效電晶體的應用，由於在 V 型溝槽的尖端，易造成電場集中、加高而加速崩潰的問題，因此後續在一九七八年，垂直式雙擴散金氧半場效電晶體(Vertical Double-diffused MOS 或簡稱 VDMOS)被提出[5]；由圖 1-2 中可以看出，垂直式雙擴散金氧半場效電晶體雖然改善了 V 型垂直通道金氧半場效電晶體電場集中，因而使得耐壓能力下降的問題，但垂直式雙擴散金氧半場效電晶體卻有了新的挑戰，即是接面場效電晶體(Junction Field Effect Transistor 或簡稱 JFET)的效應，此問題發生自 N 型漂移區(N-Drift Region)與兩側的 P 型基體區域(P-Body Region)之間的空乏區會向內擠壓，引起接面場效電晶體效應，將使得元件本身的導通電阻上升[6-8]，使得應用受限。

一九九零年，溝槽式閘極功率金氧半場效電晶體(Trench Gate Power MOSFET或簡稱UMOS)被提出，如圖1-3所示。如前述，由於欲改善垂直式雙擴散金氧半場效電晶體所引起之接面場效電晶體效應的問題，必須將元件兩側的P型基體區域拉開才行，但這將會大大影響到面積成本的問題；於是，在中央挖一道垂直式的深溝槽---溝槽式閘極功率金氧半場效電晶體的結構被提出。溝槽式閘極功率電晶體因為具有高輸入阻抗、低導通電阻及高切換速度等優點。因此，漸漸地取代了前述的其它高功率元件，成為分離式高功率元件的主流[9]。

上述這些垂直式結構的金氧半場效電晶體因為其縱向的結構，使它可以有較大的導通電流且承受較高的耐壓能力，故多著重在提高元件本身功率的效能上；但它的缺點為較難和橫向式的結構整合作為積體電路，因此在應用上，大多都被做成分離式的單顆元件；相對地，以下要提到的水平式的結構，則是改良將汲極設計於表面，使得電子的流動維持在平面上，

主要著重在提高元件的耐壓能力，為現今工業界中最易與低電壓之互補式金氧半場效電晶體(CMOS)的製程技術整合在一起者，因此多被設計用於控制及承載較高電流且耐高壓的高功率積體電路。

水平式構造主要有兩種：雙擴散汲極金氧半場效電晶體(Double-Diffused Drain MOSFET 或簡稱 DDDMOS)與側邊雙擴散金氧半場效電晶體(Lateral Double-Diffused MOSFET 或簡稱 LDMOS)。雙擴散汲極金氧半場效電晶體，如圖 1-4 所示，由於在操作上，當汲極電壓增加時，易有突然折回(Snapback)的現象及寄生的雙極接面電晶體(Bipolar Junction Transistor，或簡稱 BJT)效應，應用較受限，故多用於操作電壓低的工作範圍[10-12]。

側邊雙擴散金氧半場效電晶體，如圖1-5所示，由於更容易與互補式金氧半場效電晶體(CMOS)整合在一起，因此被廣泛地使用，多被應用於操作電壓高的工作範圍，因此在結構上，側邊雙擴散金氧半場效電晶體中的漂移區是該元件設計上的關鍵。因為漂移區的雜質濃度比較低，因此，當側邊雙擴散金氧半場效電晶體在汲極接上高壓時，由於漂移區是屬於高阻抗區域，因而能夠承受更高的電壓。故側邊雙擴散金氧半場效電晶體增加耐壓的方式，多是增加汲極端的漂移區長度，但這同時會造成缺點，因為拉長漂移區長度會引起面積的耗損與導通電阻的上升，而使得側邊雙擴散金氧半場效電晶體的應用受到限制。因此，在側邊雙擴散金氧半場效電晶體的設計上，外延層(Epitaxial Layer)厚度、摻雜的濃度與漂移區的長度是最重要的設計參數[13-14]。我們知道，高壓側邊雙擴散金氧半場效電晶體元件的耐壓能力(Blocking)和導通電阻取決於外延層的濃度、厚度及漂移區長度的折衷選擇。因為耐壓能力和導通阻抗對側邊雙擴散金氧半場效電晶體來說，為一組互相矛盾的參數 (trade-off)。提高其崩潰電壓要求厚的輕摻雜外延層與長漂移區，然而低的導通電阻則要求薄的重摻雜外延

層與短的漂移區，因此在設計上，必須選擇最佳的外延層參數和漂移區長度，以便滿足在一定的崩潰電壓前提下，得到元件最小的導通電阻。因此，在側邊雙擴散金氧半場效電晶體的設計上，大多都致力於要設法降低其導通電阻，並同時能維持足夠的高工作電壓[15]。

然而，除此缺點之外，側邊雙擴散金氧半場效電晶體在結構上有時多會設計加上一層阻障層(Buried Layer)來避免因高電場時引起的基體漏電現象(Substrate Leakage)；然而，由於這層阻障層的存在，同時會使得高功率元件在操作時，由於工作時產生的焦耳熱不易逸散出去，而使得元件本身的溫度升高，進而影響到元件電性及汲極電流的下降(drop)、自我生熱(Self-Heating Effect)、微分負電阻、及溫度效應(Temperature Effect)[16-18]等問題；而以上所述的這些種種困難點，也正是目前高壓高功率元件在操作上所不得不面臨到的挑戰。

1-2 高功率元件操作時所面臨的電性問題

高功率元件的發展自七零年代至今，如前所述，儘管在結構、材料以及製程上的迥異，有著不同的形貌，但在電晶體操作在高壓應用時，對設計者來說，卻都同樣的有著電性特徵上的限制與考量，分述如下：崩潰電壓、導通電壓、汲極電流、基體漏電、自我生熱等問題。

(一) 電晶體崩潰電壓：在高功率元件操作時，為了達到其工作於耐高壓，大電流的條件下，故提昇電晶體的耐壓(Blocking)能力實為重要。我們至今已知，欲提升其崩潰電壓，可由元件製程和設計上兩方面著手，在製程部分，可藉由改變功率元件的高壓 N 型植入井(N-well)的離子植入濃度、劑量，或元件接面的曲度(curvature)[19]、通道長度、製程材料等條件，來增加其崩潰電壓；而在元件設計上，則可採用增加 Floating Field Ring，來避免電場集中的效應，或是加用場板(Field Plates)將空乏區從接面

(junction)向外延伸開，減少電場集中，藉這些方法來提高耐壓與崩潰電壓[20]。

(二) 基體電流：當高功率元件操作時，由於處在高電場的操作範圍下，故電晶體內部的電子受到離子撞擊游離(Impact Ionization)效應反覆作用下，使得基體電流增加由基體流出，引起基體效應；由基體電流(Substrate Current)對閘極電壓(I_b - V_g)的特性分析上來看，此趨勢是用來判斷元件熱載子效應(Hot Carrier Effect)的重要指標；而在金氧半場效電晶體中的寄生雙極界面電晶體上，我們常會發現基體電流對閘極電壓的特性上會有雙峰(Double-hump)產生[21]，此乃肇因於元件漂移區中仍存有很大的電場而引起離子撞擊游離(Impact Ionization)，反覆加乘下使得基體電流變大，導致基體效應越趨嚴重，將會影響到元件可靠度(Reliability)的問題，而必須加以避免。因為不但會造成電性特徵的異常，更可能影響電晶體工作效能。[22]

(三) 自我生熱：高功率元件操作時，由於電晶體本身操作產生的焦耳熱能，可能由於阻障層(buried layer)過厚或元件基體材料的選擇問題，使得焦耳熱不易逸散，進而影響到電晶體的操作，使得汲極電流衰退(drop)，不如預期的電流值，以及功率消耗變大等問題，因此使得應用受限。針對自我生熱的問題，目前已知可利用改變元件矽晶片或阻障層的厚度、基體材料的選擇等方法來降低此效應[23]。

(四) 微分負電阻效應：如前所述，高功率元件操作時會有自我生熱效應(Self-Heating Effect)，使得汲極電流衰退，因此在汲極電流對汲極電壓上(I_d - V_d)，會有負電阻(Negative Resistance)的現象產生；除此之外，在雙極功率電晶體中，微分負電阻的效應也有可能是源自於電晶體內部的 Kirk effect 所引起的 base widening 現象，因而使得電流增益大幅降低，造成負電阻的問題[24-25]。另外，微分負電阻的效應也會被頻率的震盪、雜訊、

或端點材料的選擇所影響，因此都需善加避免。

(五) 電晶體臨界電壓：當驅動電晶體時，臨界電壓為一重要參數，因它將會反映出電晶體的實際驅動能力以及影響到電晶體汲極飽和電流的大小，然而，其值則往往受到通道長度所影響；就我們目前所知，不論是短通道效應(Short Channel Effect)或是反短通道效應(Reverse Short Channel Effect)[26-27]，臨界電壓值對通道長度的敏感波動，都是元件設計者在設計時的一大重點。

因此本論文即是著重在如何設計高功率金氧半場效電晶體元件上的各個佈局(layout)參數，來使得如上所述高壓高功率元件會面臨到的電性問題(包括崩潰電壓、基極電流、臨界電壓、熱載子效應)降到最低，藉由實驗量測數據與模擬電場電位的分佈，釐清高功率金氧半場效電晶體元件的佈局參數對工作電性特徵之影響趨勢。

1-3 論文研究動機

對元件設計者而言，在調變臨界電壓的設計上，就佈局參數(layout)上來說，我們已知臨界電壓的大小和通道長度有密切的關係。而隨著半導體產業的發展和元件尺寸微縮化的影響下，通道長度將會越做越短，然而，在反短通道效應中(Reverse Short Channel Effect)，此作法將會使得臨界電壓隨之增加[28]，因而降低元件的驅動能力。而這個問題的解決方案，可從元件的製程上著手，我們目前已知，可利用製程上減少矽晶片的厚度，將可減緩此臨界電壓異常上升的問題[29]。

除此之外，功率元件最重要的耐壓能力，也實為一大考量；增加元件崩潰電壓的方法，除了前述利用製程上的改良，包括調變高壓 N 型植入井(N-well)的離子植入濃度等方法外；在元件設計層面上，除了額外製作增加步驟的 Floating Ring 或場板外[30-31]，我們亦尋求可直接由元件的實際佈局上改良的方法；目前已知在高壓側邊雙擴散金氧半場效電晶體

(LDD)元件中，如圖 1-6 所示，我們可藉由調變閘極與 N 型植入井(N-well) 植入光罩的距離或是調變閘極覆蓋上區域性矽片氧化(LOCOS) Field oxide 的長度(Lgs)來製作出不同的閘極移位調變側邊雙擴散金氧半場效電晶體(Gate-Shifted LDD, GSLDD) [32]。由目前已知發表過的資料證明出，如圖 1-7 所示，隨著閘極覆蓋上 Field oxide 的長度(Lgs)做長後，可藉此設計有效提升高壓 LDD 元件的崩潰電壓。

基於此調變佈局參數的概念，因此，在本篇論文中，我們即是針對 N 型高壓功率金氧半場效電晶體(HV-NMOS)，設法調變其元件的佈局參數，包括高壓金氧半場效電晶體元件內場氧化層之總長度、閘極電極跨在場氧化層上重疊(overlap)之長度、或是閘極電極下，高壓 N 型植入井(N-well)至場氧化層間的長度等等，利用調變這些不同的參數，進行實際的量測與電腦模擬，欲釐清這些元件設計上的佈局參數對於高壓功率金氧半場效電晶體元件的特性，包括臨界電壓、崩潰電壓、基極電流等特徵有何影響，及其影響趨勢為何。

1-4 論文架構

本篇論文包括了電性量測與電腦模擬兩部份，來探討高壓功率金氧半場效電晶體元件(HV-NMOS)中佈局參數(layout)的調變時，對元件操作時的電性特徵造成的改變及影響。

第一章一開始先概述高壓高功率元件的歷年發展及沿革，包括不同的結構及其優缺點，其演進與改革。再敘述高功率元件在操作於耐高壓、大電流的工作環境下時容易發生的問題及其特殊的電性特徵，以及前人已使用過的改善方法，最後引出本篇論文的研究背景與研究動機。

第二章介紹本篇論文所使用的實驗元件，是來自世界先進積體電路股份有限公司(Vanguard International Semiconductor Corporation)所提供的操作電壓 32 伏特之 N 型高壓功率金氧半場效電晶體(HV-NMOS)。並詳

述其元件之結構以及本次論文中欲調變量測之佈局參數。

第三章中則將利用量測儀器 Agilent 4156 (Precision Semiconductor Parameter Analyzer)進行電性上的測量與分析，針對不同的調變佈局參數來量測其元件工作之電性特徵，包含崩潰電壓、臨界電壓、基體電流等效應，就實驗數據上分析各個佈局參數對元件電性特徵之影響趨勢。

第四章則是接著第三章進行更詳盡的分析，在第三章中我們已經使用量測儀器對於元件進行電性上的測量，而在第四章中，我們進一步要以製程及元件模擬軟體(ISE TCAD)，針對元件予以不同的佈局參數進行模擬，並依據模擬所得之電場電位分布、或離子撞擊游離率 (Impact Ionization Rate)等結果，與前章量測所得之電性上的結果加以比較、說明、驗證與分析。

第五章則是在最後將整個論文做一個總結，釐清高壓功率金氧半場效電晶體(HV-NMOS)上的不同佈局參數(layout)對其元件工作時的電性特徵之影響趨勢為何；並且，對於未來研究此類功率元件可持續進行改善的地方做一檢討與建議。

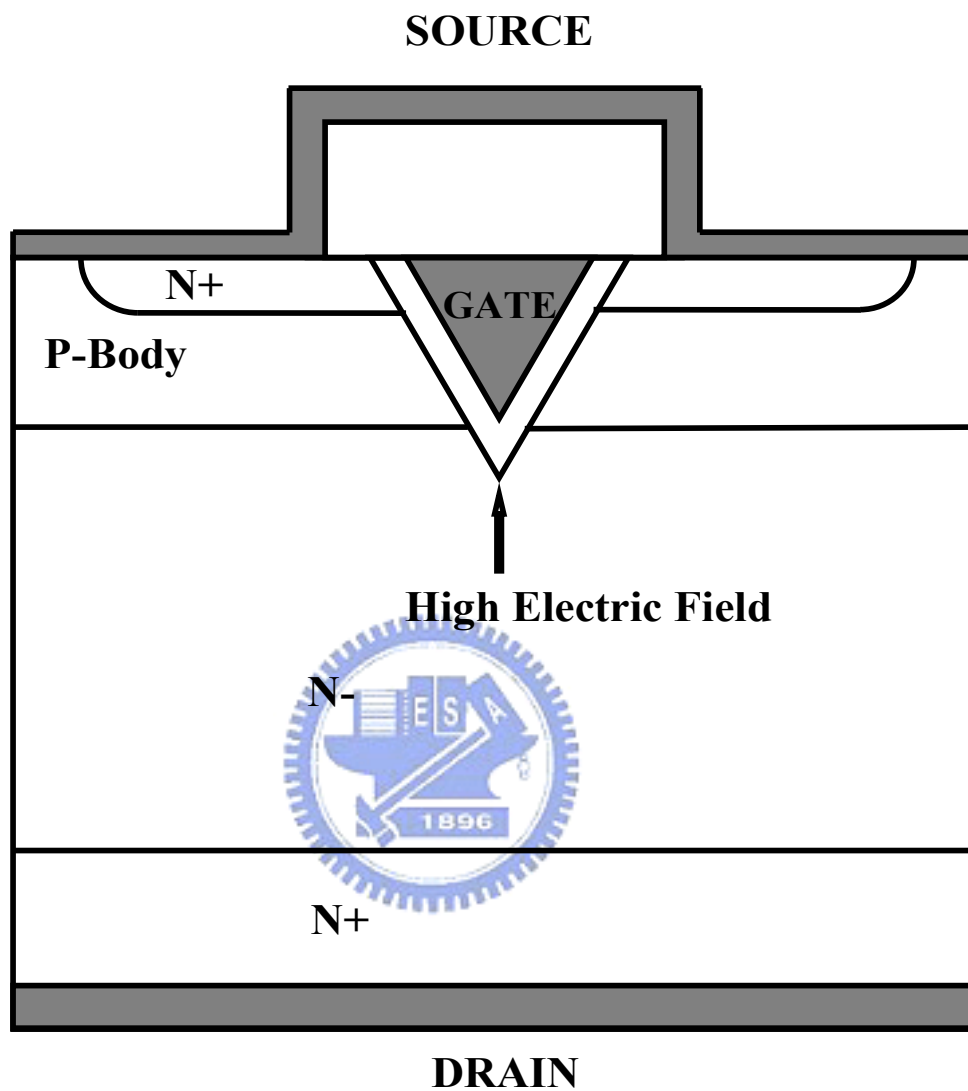


圖 1-1 V 型垂直式通道金氧半場效電晶(VMOS)

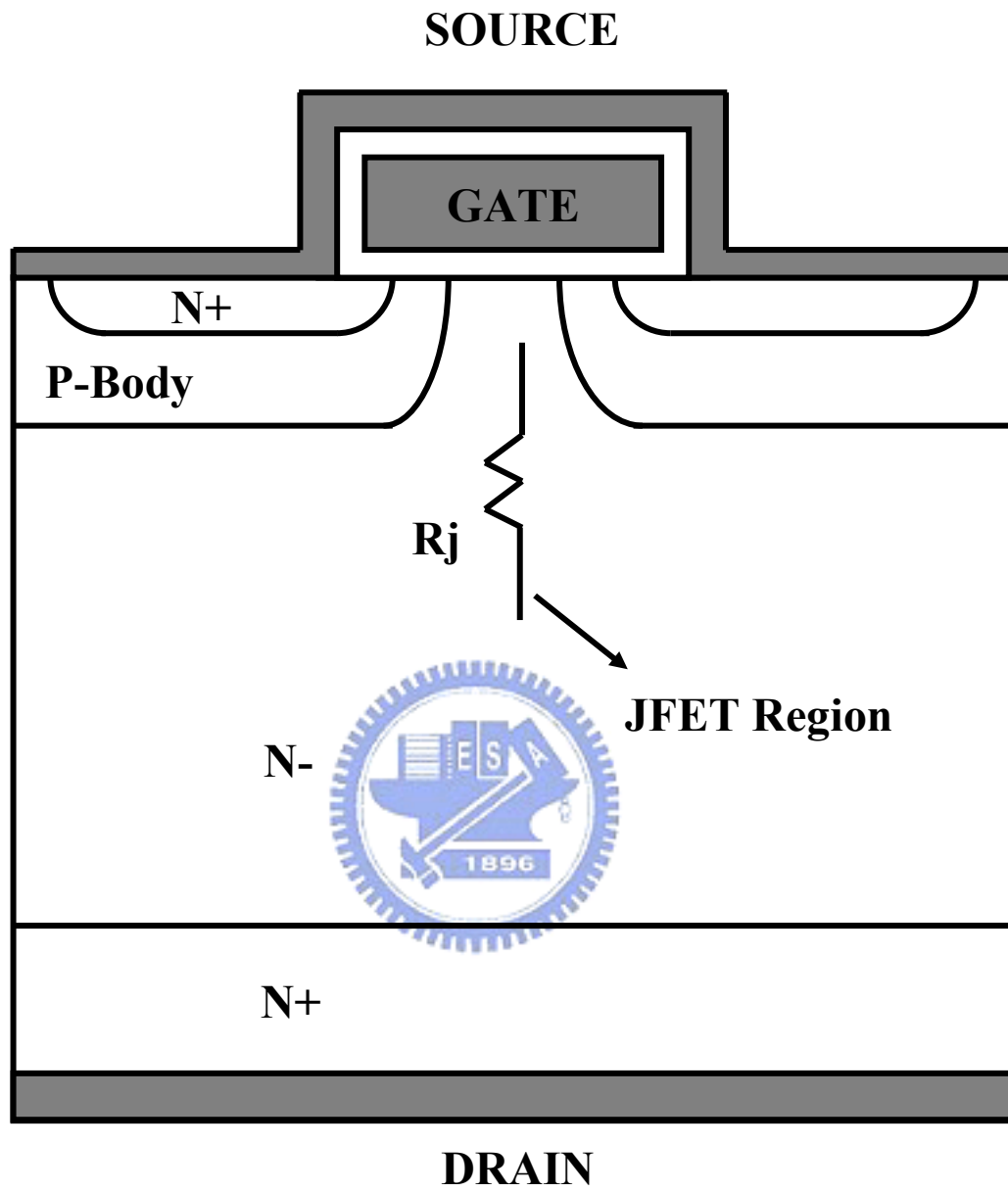


圖 1-2 垂直式雙擴散金氧半場效電晶體(VDMOS)

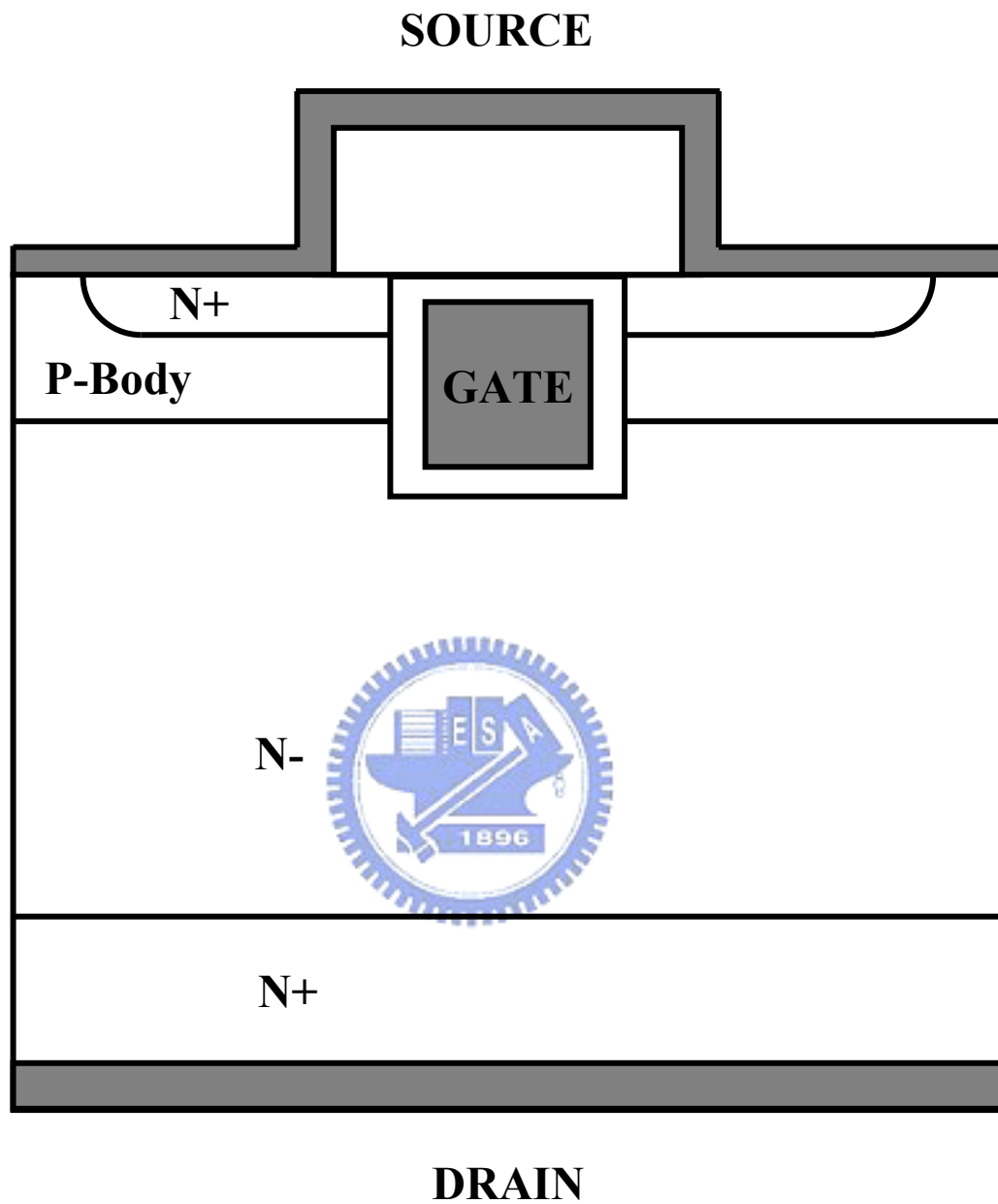


圖 1-3 溝槽式開極功率金氧半場效電晶體(UMOS)

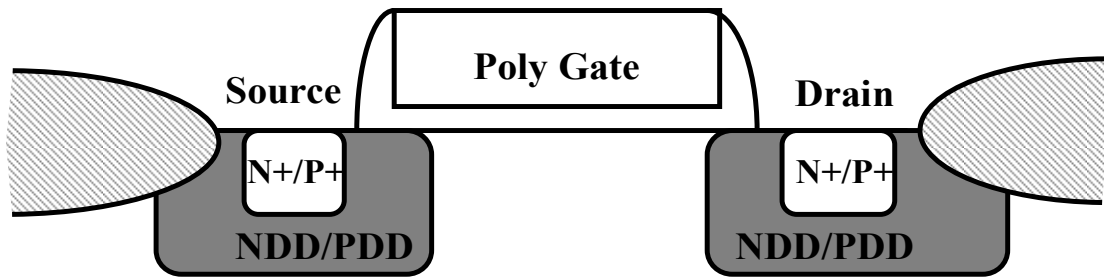


圖 1-4 雙擴散汲極金氧半場效電晶體(DDDMOS)

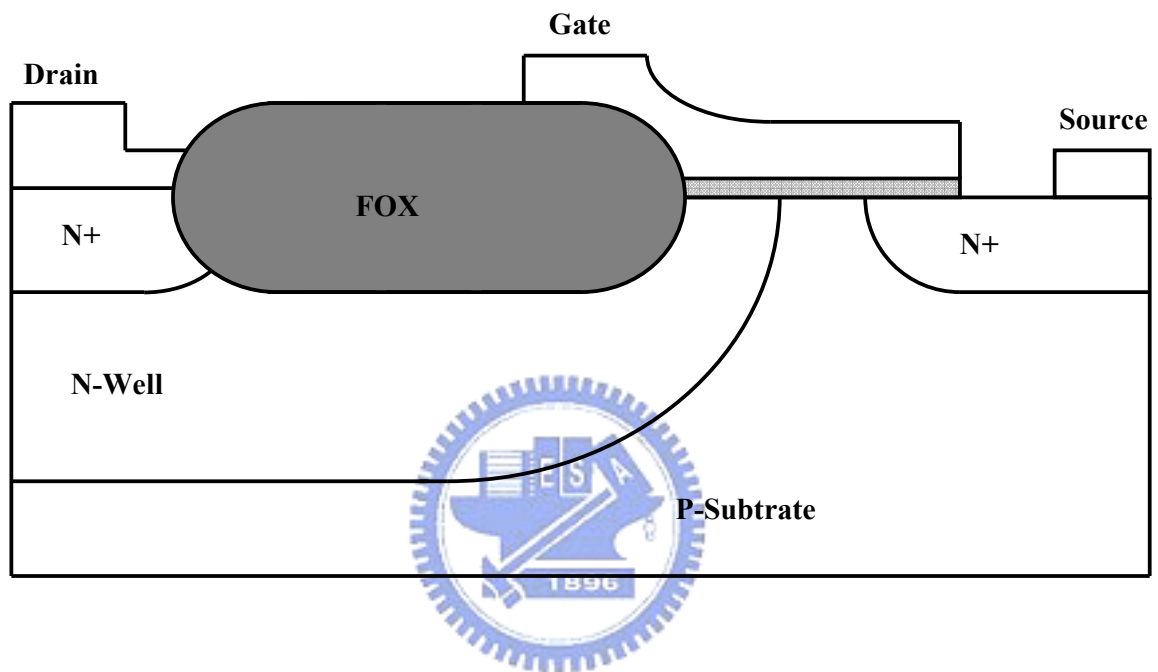


圖 1-5 側邊雙擴散金氧半場效電晶體(LDMOS)

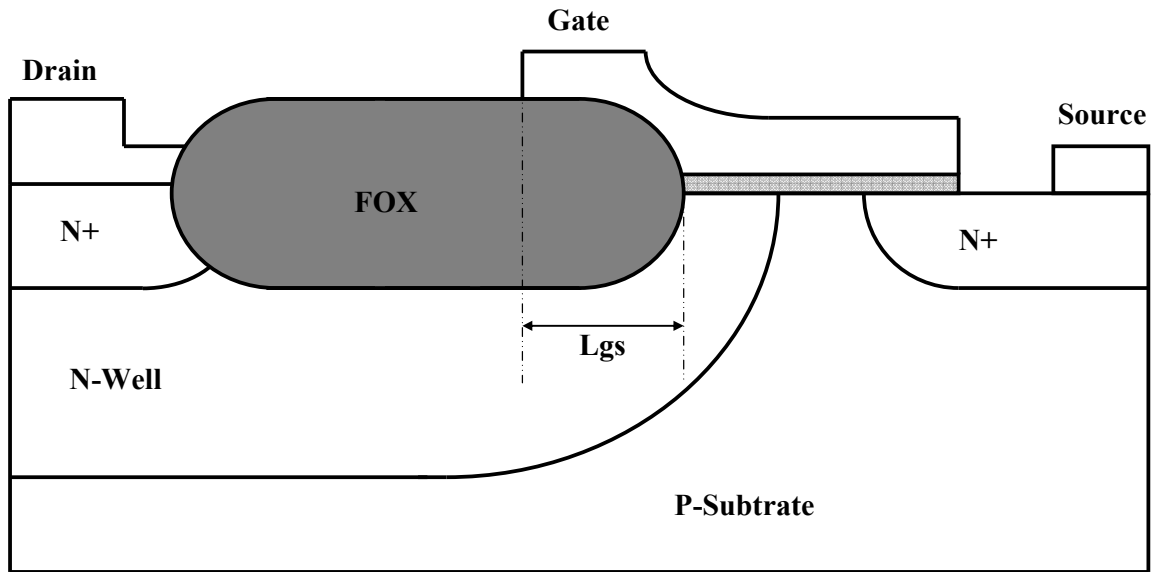


圖 1-6 閘極移位調變側邊雙擴散金氧半場效電晶體(GSLDD)

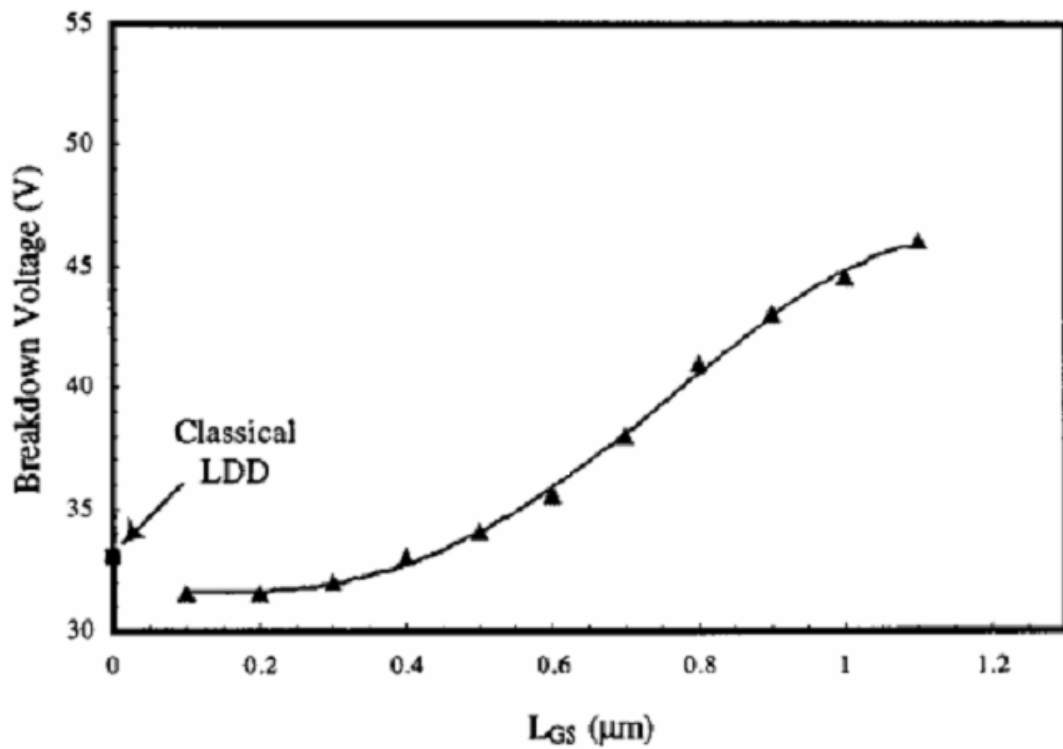


圖 1-7 改變 GSLDD 中 L_{GS} 之長度對崩潰電壓之增益

第二章

實驗元件及變異參數介紹

2-1 實驗元件介紹

本論文所使用的實驗元件，是由世界先進積體電路股份有限公司 (Vanguard International Semiconductor Corporation) 所提供，為操作電壓 32 伏特的 N 型高壓功率金氧半場效電晶體 (HV-NMOS)，其製作流程首先先成長底部的 P 型基體層 (Substrate Layer)，接著在其上成長 P 型 epi layer，並植入高壓 N 型與 P 型植入井 (HV well)，其摻雜物與分別的離子植入濃度和劑量如表 2-1 所列；完成後繼續著手成長電晶體內之場氧化層，我們可以注意到，此處的場氧化層並不是一般的區域性氧化 (Locos)，而是選擇做溝槽式的淺溝式隔離 (Shallow Trench Isolation, STI)，其側壁會較傳統的 Locos 氧化層來的陡直。完成後進行電晶體內部之離子佈植調變臨界電壓，然後繼續成長閘極下氧化層、多晶矽的閘極電極、輕摻雜之汲極 (Lightly-doped drain)，並長閘極兩端之 nitride spacer，完成後繼續佈值源極與汲極之 N+/P+ 重度摻雜區域，並在多晶矽上繼續生長金屬矽化層 (silicide) 以降低閘極的電阻，之後蓋上 inter-layer dielectric (ILD)，並以 CMP 磨平後再製作上電極、金屬層與金屬間介電層 (IMD)，最後蓋上金屬並做好表面處理，防止鈍化 (passivation)。其元件之詳細製作流程與植入條件如表 2-1 所列。

在同樣製程條件下，本批實驗分為兩大類元件，一類為對稱型 N 型高壓金氧半場效電晶體，另一類為非對稱型 N 型高壓金氧半場效電晶體。其元件的詳細佈局圖及元件剖面圖，分別如圖 2-1 及圖 2-2 所示。由圖 2-1 及圖 2-2 中，我們可以看出，本次實驗元件中，我們欲調變的佈局參數

(layout)，各標示如圖中，並說明如下：

- ✓ S 參數定義為高壓金氧半場效電晶體元件內閘汲極間之淺溝式隔離技術(Shallow Trench Isolation)所作之長度。
- ✓ a 參數定義為閘極電極跨在淺溝式隔離技術上重疊(overlap)之長度。
- ✓ b 參數定義為閘極電極下，高壓 N 型植入井(N-well)至閘汲極間淺溝式隔離技術邊緣之長度。
- ✓ c 參數標示為該元件中的四極金屬端點所作之橫向寬度。
- ✓ d 參數定義為汲極與基極間淺溝式隔離(STI)的前端至基極下高壓 P 型植入井(P-well)邊緣之長度
- ✓ f 參數為主體端(Bulk)下，高壓 P 型植入井兩端之長度。

2-2 實驗元件之變異參數介紹

從圖 2-1 與圖 2-2 中可以看出，本次實驗中所用到的對稱型 N 型高壓金氧半場效電晶體元件與非對稱型 N 型高壓金氧半場效電晶體元件本質上在結構製程就有些微的差異，分述如下：

1. 我們可以看出，在非對稱型 N 型高壓金氧半場效電晶體元件的源極端有一層繪製為斜線的介面，那是植入時多一道光罩(Mask)的位置，原因是在非對稱型元件的構造中，由於源極與閘極間並不像對稱型元件一樣有淺溝式隔離(STI)隔開，因此為了避免在製程時，源極與閘極碰觸在一起，因此才在非對稱型元件製作時，在源極端會有多一道 Mask 的步驟。
2. 對稱型 N 型高壓金氧半場效電晶體元件與非對稱型元件之相異之處是在於，對稱型元件的對稱性是來自它在源極閘極間和閘極汲極間都有做淺溝式隔離(STI)，而非對稱型的元件則惟獨在

閘汲極間有 STI，源閘極間並沒有，因此我們知道非對稱型的元件在源極端會明顯的少了一段阻抗。實驗元件的”對稱性”即是定義在此源閘極間淺溝式隔離的有無。

3. 對稱型 N 型高壓金氧半場效電晶體元件與非對稱型 N 型高壓金氧半場效電晶體元件除了上述兩點的迥異不同外，在佈局參數 (S、a、b、d) 上也有些微的差距，列於表 2-2 所示。表 2-2 標示的為本次實驗元件的標準佈局參數(爾後，會再有 S、a、b、d 四項參數的個別調變)，我們可以看出，不論是對稱型 N 型高壓金氧半場效電晶體元件或是非對稱型 N 型高壓金氧半場效電晶體元件，其元件內淺溝式隔離技術(Shallow Trench Isolation)所作之兩端隔離之長度 S 必定設計為閘極電極跨在淺溝式隔離技術上重疊之長度的兩倍，意即 $a=S/2$ ，唯不同點在於，在對稱型 N 型高壓金氧半場效電晶體元件中，其淺溝式隔離長度 S 標準化設計為 $1.2\mu\text{m}$ ，而在非對稱型 N 型高壓金氧半場效電晶體元件中是 $2\mu\text{m}$ 。
4. 另外，對稱式與非對稱式元件的通道長度也不相同，對稱型 N 型高壓金氧半場效電晶體通道長度為 $3\mu\text{m}$ ，而非對稱型 N 型高壓金氧半場效電晶體則是 $2\mu\text{m}$ 。

由於世界先進積體電路股份有限公司 (Vanguard International Semiconductor Corporation) 所提供的元件，涵括了對稱型 N 型高壓金氧半場效電晶體元件與非對稱型 N 型高壓金氧半場效電晶體元件兩大類，而其中，在對稱型與非對稱型兩大類元件中，又分別有不同佈局參數的差異，因此，在經過我們詳細地整理列表之後，我們本次論文的所有實驗元件之佈局參數的詳述，即如表 2-3 所示。

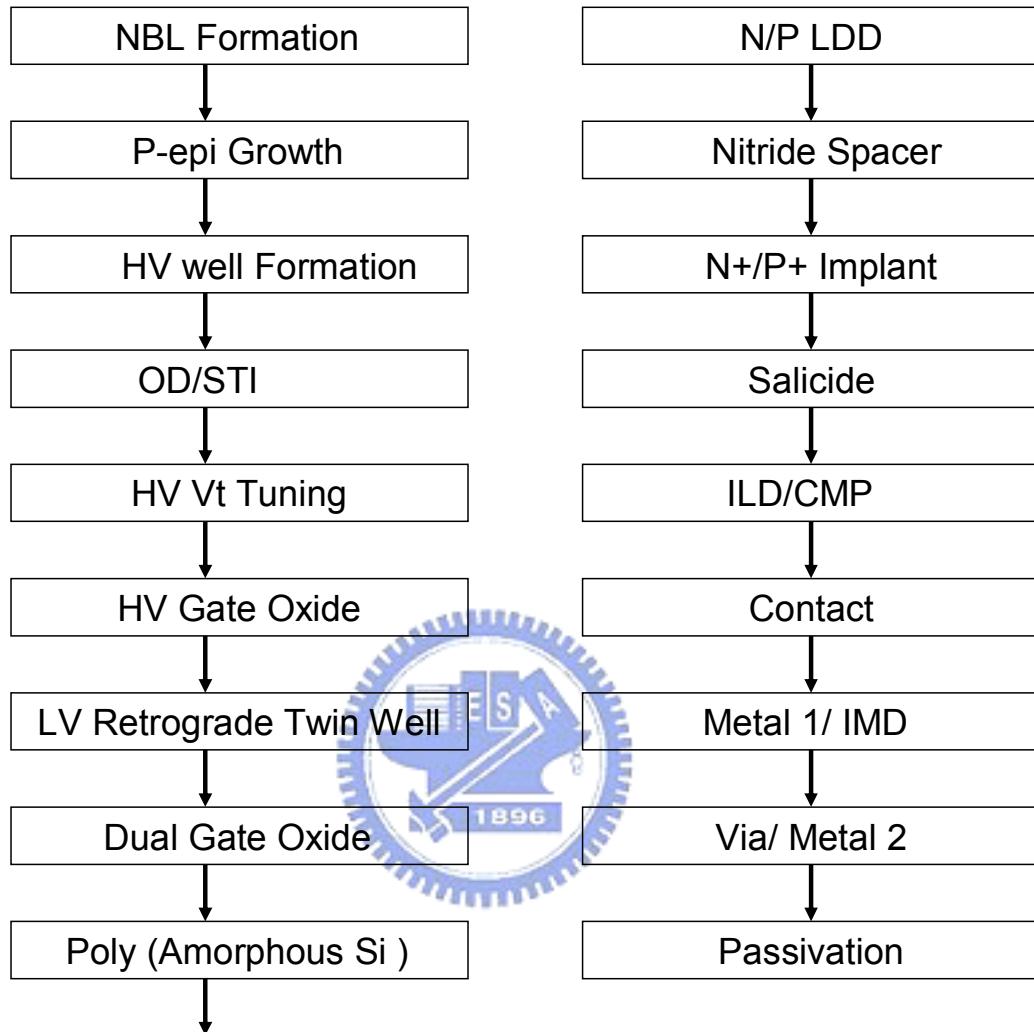
是故，本論文的主要研究方向即是在調變這些佈局參數(S、a、b、d)，

分別針對對稱型 N 型高壓金氧半場效電晶體和不對稱型 N 型高壓金氧半場效電晶體，利用實驗元件本身佈局上 S、a、b、d 參數的變異，分別進行電性上的量測與分析，了解元件本身的佈局參數對於電晶體之崩潰電壓、導通電壓、汲極電流與基體電流等效應有何影響，同時並藉由半導體元件與製程模擬軟體(ISE TCAD)的輔助，模擬出佈局參數對元件內部電場電位分布圖，以及對其離子撞擊游離率(Impact Ionization Rate)的分佈之影響，來釐清其佈局參數對元件工作的電性特徵影響趨勢為何，而能使得高壓金氧半場效電晶體的性能能夠達到最佳化；同時比較在對稱型 N 型高壓金氧半場效電晶體和非對稱型 N 型高壓金氧半場效電晶體的結果有何異同，釐清元件的對稱性是否會對元件之電性特徵有影響，以及佈局參數在對稱型或不對稱型元件上的效果及其影響的趨勢。

本論文的實驗方法分為實際元件的量測數據及電腦模擬元件兩部份進行；在量測方面，我們所用的量測儀器為 Agilent 4156 (Precision Semiconductor Parameter Analyzer)，主要量測不同的佈局參數(S、a、b、d)對實驗元件的導通電壓、崩潰電壓、汲極飽和電流大小和基極電流等的影響趨勢，其中我們定義的導通電壓值是採用汲極電流對閘極電壓圖中(I_d-V_g)，其最大互導值(Transconductance, g_m)所在的一組數據，其切線交於閘極座標軸上之電壓值，定義為該元件之導通電壓[33]。

而在電腦模擬方面，我們藉助製程及元件模擬軟體(ISE TCAD)的輔助，引用並考慮進電子電洞復合(electron/hole recombination)、電子電洞累增崩潰(electron/hole Avalanche)、Shockley-Read-Hall recombination theory、Auger、以及 Temperature/Doping dependency 等物理模型(physics model)，模擬出不同的佈局參數對元件內部的電場電位分布圖與離子撞擊游離率(Impact Ionization Rate)等結果，進一步與我們先前所得到的量測結果相比較、說明與驗證，並以合理的物理機制解釋之。

表 2-1 高壓金氧半場效電晶體之製作流程



	Dopants	Energy	Dose	Depth
HV N well	Phosphorous	330KeV	5E12 cm ⁻²	2.5μm
HV P well	Boron	90KeV	5.5E12 cm ⁻²	2.5μm

表 2-2 不對稱型元件與對稱型元件之個別標準化設計參數

Length of Parameters	Asymmetric NMOS	Symmetric NMOS
W(μm)	20	20
L(μm)	2	3
S(μm)	2	1.2
a(μm)	1	0.6
b(μm)	0.8	0.8
c(μm)	1	1
d(μm)	2	2
f(μm)	2	2

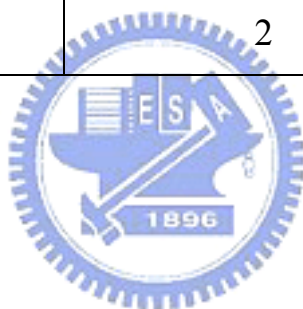


表 2-3 本次論文中總測試樣本之詳細變異參數及佈局

b (μm)	Asymmetric NMOS	1.0	W/L=20/2 S/a=2.0/1.0 c=1.0 d=2.0
		0.6	f=2.0
	Symmetric NMOS	1.0	W/L=20/3 S/a=1.2/0.6 c=1.0 d=2.0
		0.6	f=2.0
S/a (μm)	Asymmetric NMOS	2.0/1.0	W/L=20/2
		1.8/0.9	b=0.8
		1.6/0.8	c=1.0
		1.4/0.7	d=2.0
		1.2/0.6	f=2.0
	Symmetric NMOS	2.0/1.0	W/L=20/3
		1.6/0.8	b=0.8
		1.2/0.6	c=1.0
		1.0/0.5	d=2.0
		0.6/0.3	f=2.0
d (μm)	Asymmetric NMOS	2.0	W/L=20/2
		1.8	S/a=2.0/1.0
		1.6	b=0.8
		1.4	c=1.0
		1.2	f=2.0
	Symmetric NMOS	2.0	W/L=20/3
		1.8	S/a=1.2/0.6
		1.6	b=0.8
		1.4	c=1.0
		1.2	f=2.0

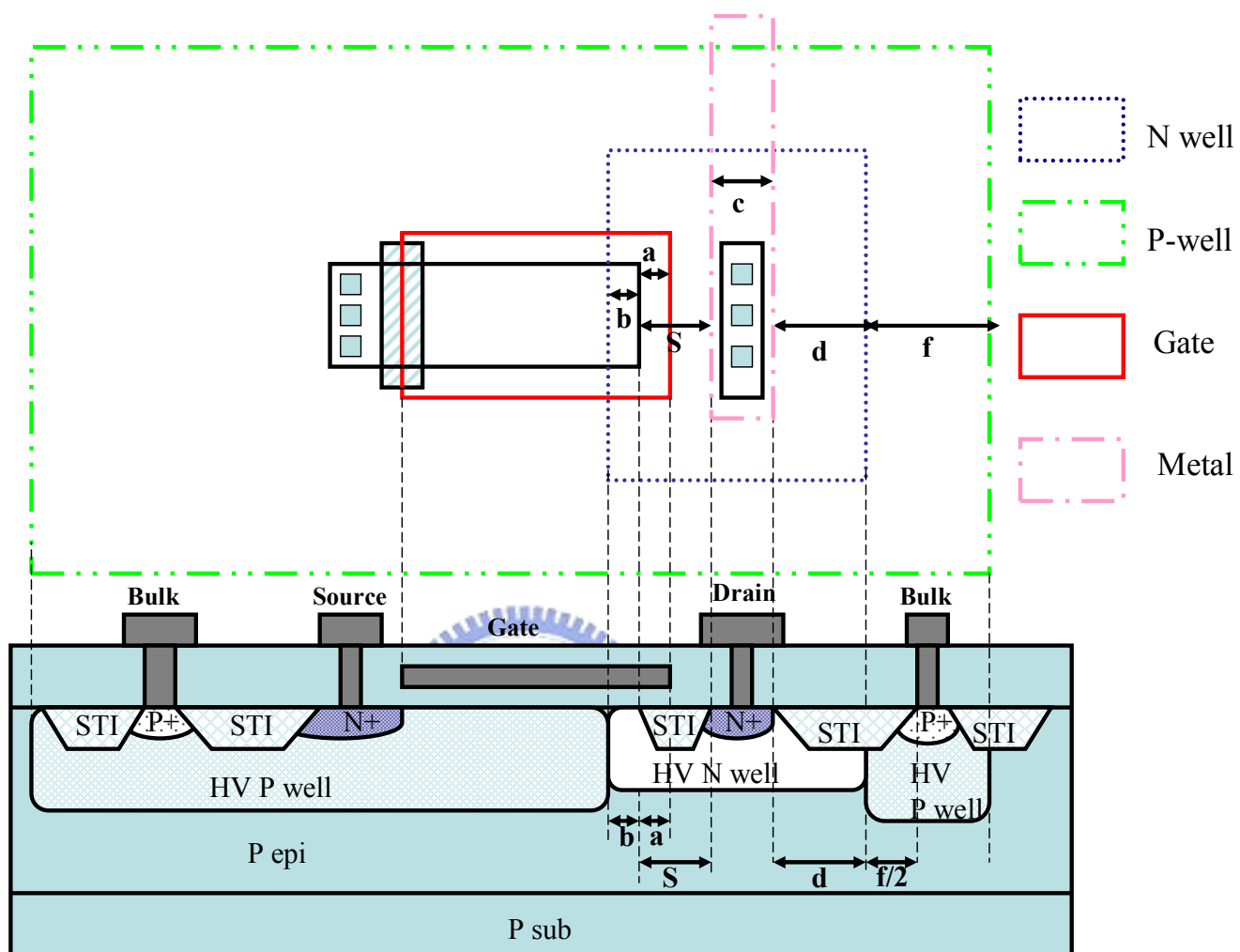


圖 2-1 不對稱型 N 型高壓金氧半場效電晶體之元件剖面圖

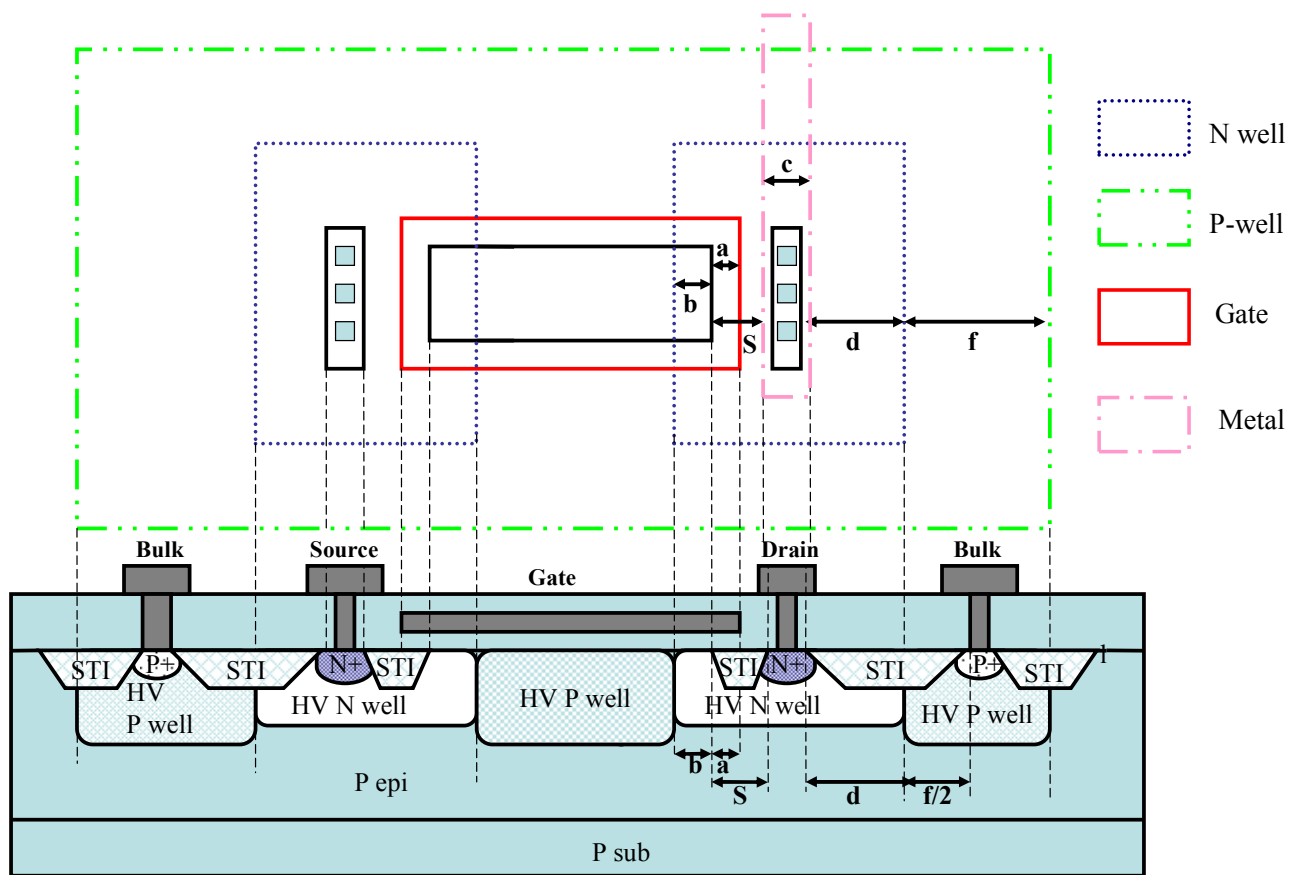


圖 2-2 對稱型 N 型高壓金氧半場效電晶體之元件剖面圖

第三章

元件佈局參數對電性特徵之影響

3-1 b 參數之影響

由第二章所定義的佈局參數，如圖 2-1 及圖 2-2 所示，我們已知元件中的 b 參數標示的是閘極電極下，高壓 N 型植入井(N-well)至淺溝式隔離技術(STI)邊緣間之長度。因此，在此節中，我們即將要探討 b 參數對電晶體的臨界電壓、基極電流、與崩潰電壓之影響趨勢為何。

我們在此節探討 b 參數變異的情況時之量測樣本為：

對稱型 N 型高壓金氧半場效電晶體 —b=1.0 μ m 與 b=0.6 μ m

非對稱型 N 型高壓金氧半場效電晶體 —b=1.0 μ m 與 b=0.6 μ m

其中對稱型與不對稱型元件之其餘詳細佈局參數及尺寸如表 3-1 所示。

(a) 臨界電壓

我們使用的量測儀器為 Agilent 4156 (Precision Semiconductor Parameter Analyzer)，量測條件為汲極加電壓 0.1V，源極接地，閘極加電壓 0~3V，紀錄汲極電流對閘極電壓(I_d - V_g)之關係圖。

由於我們已知金氧半場效電晶體之臨界電壓的值通常是會被通道內的參數所影響，如 fixed charge、mobile ions、或元件本身功函數，及摻雜濃度等條件所影響[34]；因此，我們推斷，對金氧半場效電晶體來說，其元件外部的佈局參數(layout)應該都不會對其導通電壓有所影響；而由我們實際量測到的實驗結果，如圖 3-1 與圖 3-2 所示中，我們的確可以看出，金氧半場效電晶體的佈局 b 參數確實對於元件的

導通電壓並無顯著的影響，這點不論在對稱型元件或是不對稱型元件上，都得到一致的結果。表 3-2 與表 3-3 分別為我們量測一百組對稱型與不對稱型電晶體所分析得之臨界電壓數據結果，包含平均值與一倍標準差；統計之資料分別繪製如圖 3-3 與圖 3-4 所示，由圖 3-3 與圖 3-4 中，我們可以清楚看出，在不對稱型電晶體抑或對稱型電晶體中，其佈局參數 b 對於元件之臨界電壓都無影響。

比較圖 3-3 和圖 3-4，發現到一個有趣的差異，量測到的臨界電壓平均值，不對稱元件是 1.15V，但對稱元件卻是 0.67V 左右，相差了 0.48V。根據臨界電壓公式與理論[34]，源極端的阻抗或佈局參數上的差異不應該影響到臨界電壓的值。在通道內的佈值條件與閘極下的 HV P well 濃度都一樣的情況之下，不對稱元件與對稱元件的臨界電壓值應該要相等才對。由此推測此 0.5V 的差距可能來自於元件內部暫態加速擴散(transient enhanced diffusion)所引起[35]；因為當元件製程時，佈值源極與汲極時多會用到重摻雜的離子佈值，而在這道高能量的重度摻雜製作的時候，將會把原本的矽基體打成非晶矽(amorphous Si)，因而使得大量的矽原子離開其原本的晶格點，而形成在空隙間的矽(Si interstitial, Si_I)，故這些 Si_I 在元件工作受熱時將會開始擴散，而帶著摻雜物硼(boron)開始往四面八方擴散移動；當它們擴散靠近通道時，將會影響到通道的濃度分布(doping profile)，將通道邊緣的濃度拉高，因而使得臨界電壓上升。

至於此現象在對稱元件不明顯的原因是在於，由圖 2-1 中可以看出，不對稱元件在源極端靠近通道處的地方，並沒有作一段淺溝式隔離技術(STI)，而對稱型元件卻有；因此，在不對稱元件中，植入源極時所打的 N^+ 會直接落在閘極邊緣，因此當元件內部暫態加速擴散(transient enhanced diffusion)效應發生時，會拉高電晶體的通道濃度，

故不對稱元件之臨界電壓時會較高；相反地，當元件內源極和閘極間有形成 STI 時(對稱型電晶體)，則植入源極時所打的 N+ 就不會落於閘極邊緣，因此電晶體內閘極下通道的濃度分佈並不會受到元件內暫態加速擴散(transient enhanced diffusion)效應的影響，故沒有臨界電壓增高的現象發生。

為了驗證我們的推論，因此我們試著將不對稱型金氧半場效電晶體的源極、汲極反接，並將汲極加壓到 32V 後再次進行量測；因為在汲極加大電壓(bias)可以將受暫態加速擴散(transient enhanced oxidation)影響的通道區域空乏掉，當 TED 效應被移除後，不對稱元件的臨界電壓值是否真的會下降至與對稱元件相同；圖 3-5(a)是我們分別將對稱與不對稱元件之汲極電壓加至 32V 所量測得之閘極電壓對汲極電流圖，由圖中可以明顯看到此時對稱與不對稱元件之臨界電壓尚有 0.5V 差距；而圖 3-5(b)則是我們將元件之源極汲極反接後再次將汲極電壓拉高至 32V 並將汲極電流對通道 normalized 過的量測結果，由圖中我們可以明顯看出，當我們將源極與汲極反接並且將汲極加到 32V 以遮蔽掉元件暫態加速擴散的效應之後，不對稱元件的臨界電壓很明顯地降到了 0.7V，而此值正好與源汲極反接並加壓 32V 的對稱元件之臨界電壓吻合了。由此可以看出，我們之前的推論是正確：不對稱元件的臨界電壓之所以會高出對稱元件 0.48V，是源自於不對稱元件中源極與通道間沒有作一道淺溝式隔離技術(STI)，因此佈值源極時的 N+ 直接打在閘極邊緣，以致於電晶體內部的暫態加速擴散(TED)拉高臨界電壓；而在移除了此效應之後，果然得到對稱元件與不對稱元件一致的臨界電壓值。

(b) 高閘極電壓下的汲極飽和電流

前一小節可知，佈局參數 b 對於高功率金氧半場效電晶體的導通電壓並無明顯之影響，而且當改變 b 參數長度時，其閘極加壓由 0 到 3V 當中的汲極電流大小也無影響(如圖 3-1 與圖 3-2 所示);然而我們卻發現，這現象只限於在閘極低電壓的情況下，圖 3-6 中我們可以看到，當閘極加大電壓到 20V 以上之後， b 參數開始對高閘極電壓下的汲極飽和電流有顯著的影響。如圖 3-6 所示，是我們量測不對稱金氧半場效電晶體，閘極電壓 0~35V，源極接地，汲極電壓分別操作在 32V 與 35V 的測試條件下，所量得的汲極電流對閘極電壓(I_d - V_g)之關係圖。

由圖 3-6 中我們可以看出，在低閘極電壓時， b 參數對於元件汲極飽和電流並無影響；但在高閘極電壓下時，卻很明顯地可以看出， $b=0.6\mu\text{m}$ 的元件汲極飽和電流反而會遠低於 $b=1.0\mu\text{m}$ 的元件，這意味著此時 $b=0.6\mu\text{m}$ 的元件阻抗較大於 $b=1.0\mu\text{m}$ 的元件；在我們查閱過實驗時的元件測試腳位，確認 $b=0.6\mu\text{m}$ 的元件與 $b=1.0\mu\text{m}$ 的元件測試腳位是相同的，代表其外部的電流路徑阻抗都是相等的，因此推論造成其元件阻抗大不相同的原因是來自於電晶體內部。

當高壓金氧半場效電晶體操作時，汲極加正電壓使得元件內部的電流由源極出發，接著注入閘極下的通道，然後會遭遇汲極與閘極間的 STI，此時必須繞過其結構下緣，最後回到汲極。因此，當高功率金氧半場效電晶體操作在高閘極、汲極電壓下時，當 b 參數即閘極下方 N-well 至 STI 中間的距離縮短時，對電流路徑流經閘極間 STI 下緣時來說會顯得格外陡峭，故當電流行經此區時，沒有足夠的空間可以讓它均勻地散佈開並且流動，因此電流集中(crowding)的現象在此區會尤其嚴重，因而使得元件阻抗增加，造成汲極飽和電流的下

降。這解釋了我們的量測結果，即圖 3-6 中 $b=0.6\mu\text{m}$ 的元件汲極飽和電流會大大的低於 $b=1.0\mu\text{m}$ 的元件，乃主因於電晶體內部的電流繞行路徑阻抗之不同所致，針對此現象，我們在模擬的時候會證實 $b=0.6\mu\text{m}$ 的元件其電流密度確實會比 $b=1.0\mu\text{m}$ 的元件來的高而且密集。

(c) 基體電流

在高功率金氧半場效電晶體操作時，由基體電流(Substrate Current)對閘極電壓(I_b - V_g)的特性分析上來看，此趨勢是用來判斷元件熱載子效應(Hot Carrier Effect)的重要指標，當基體效應越嚴重時，也將會引發元件可靠度(Reliability)的問題。

因此，此節中，我們所用的量測方法是利用 Agilent 4156 (Precision Semiconductor Parameter Analyzer)進行電性上的測量，將元件的源極接地，閘極加壓由 0~20V，汲極電壓分別為 32V 與 35V 的操作條件下，紀錄其基體電流對閘極電壓(I_b - V_g)之關係圖。

圖 3-7 與圖 3-8 分別為我們量測不對稱型高壓金氧半場效電晶體與對稱型高壓金氧半場效電晶體中 b 參數對其基體電流影響之數據結果。從圖 3-7 中可以看出，在 $b=1.0\mu\text{m}$ 的不對稱元件中，其基極電流對閘極電壓唯有一峰值，約在閘極加壓到 5.2~5.4V 左右，為該元件操作時會遭受到熱載子效應(Hot-Carrier Effect)損害(damage)最嚴重的偏壓點；但是同樣地在圖 3-7 中我們卻可以看出，當元件的佈局設計 b 縮短至 $0.6\mu\text{m}$ 的情況時，其基體電流之最大值並不只出現在一個峰值了，而是會隨著閘極電壓不斷加大之下，基體電流也一直遽增，將會造成十分嚴重的熱載子效應，甚至影響元件的可靠度(reliability)。在圖 3-8 中我們可以看到這個現象在對稱元件中表現的更加明顯而顯著：當元件設計佈局在 b 參數為 $0.6\mu\text{m}$ 的情況時，其基

體電流會隨著閘極電壓的增加而遽增，完全不會呈現似 $b=1.0\mu\text{m}$ 元件時的唯一組峰值的情況，且此現象在對稱元件中會較不對稱元件來的嚴重許多；由此數據顯示，我們可以看出，在高功率金氧半場效電晶體中，當高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度做到一定小的時候，將會使得基體效應變得十分嚴重，損害到元件的性能。

這個現象，在我們查閱過已發表的文獻[36-37]中可略窺見一二；由參考文獻[37]中我們得知，已有類似的現象發表出，即是在高功率的側邊雙擴散金氧半場效電晶體(HV-LDMOS)操作時，當閘極加壓到高工作電壓的時候，元件內部的最大電場及最大的離子撞擊游離率(Impact Ionization Rate)會由傳統 LOCOS 的鳥嘴區域(Bird's beak)逐漸往外部汲極端靠近，而慢慢脫離閘極下的控制。由於當閘極對其的控制能力降低之後，由熱載子引發的介面電荷(interface charges)就將無束縛地更容易貢獻出劇烈的基體電流，因此在實驗上，才會觀察到基體電流對閘極電壓的趨勢是不斷地增加的情況；上述這個現象被稱做為 Kirk effect [38-39]。因此，在第四章模擬的時候，我們即將模擬出為何元件在設計在 $b=0.6\mu\text{m}$ 的時候，將會呈現出 Kirk effect 以及其內部最大電場與最大的離子撞擊游離率(Impact Ionization Rate)之所以會轉移到元件外側的成因，同時並釐清此 Kirk effect 之影響趨勢在對稱元件中會較不對稱元件嚴重之原因。

(d) 崩潰電壓

崩潰電壓的大小無庸置疑的是高功率元件工作時最值得注意到的一個特性；為了達到其工作於耐高壓、高電流的環境下，因此提升其電晶體之耐壓(Blocking)能力實為重要。故在此節中，我們即將探討佈局參數 b 的值對高壓金氧半場效電晶體的崩潰電壓有何影響。

我們用的量測方法是利用 Agilent 4156 (Precision Semiconductor Parameter Analyzer) 進行電性上的測量，分別將測試元件的汲極電壓由 0V 加到 80V，源極接地，閘極維持加壓 10V，紀錄其汲極電流對汲極電壓(I_d - V_d)之關係圖。

圖 3-9 與圖 3-10 分別為量測不對稱型高壓金氧半場效電晶體與對稱型高壓金氧半場效電晶體之導通崩潰(On-Breakdown)的結果，從圖中，可以看出，當高壓金氧半場效電晶體內的佈局參數 b 由 $0.6\mu\text{m}$ 拉長到 $1.0\mu\text{m}$ 的時候，元件本身的導通崩潰電壓會因此設計而略為提升得到改善，但改善幅度並不大。表 3-4 與表 3-5 分別為我們量測對稱型與不對稱型電晶體所分析得之導通崩潰數據結果，包含平均值與一倍標準差；統計之資料分別繪製如圖 3-11 與圖 3-12 所示，由圖 3-11 與圖 3-12 中，我們可以明確的看出，在元件設計不論是對稱型或是不對稱型的 HV-NMOS 元件中，當閘極下的高壓 N 型植入井(N-well)至淺溝式隔離邊緣間之長度(b)拉長了之後，將會對元件之導通崩潰微有助益，但其幫助非常小($<5\%$)。至於此現象的原因以及元件內部的物理機制為何我們將在第四章藉助模擬加以說明。

此外，在此我們也注意到一點，即是在相同的 b 參數佈局下，不對稱金氧半場效電晶體之崩潰電壓都會比對稱型的電晶體來的大；可以看出，在 $b=0.6\mu\text{m}$ 的設計下時，不對稱型的電晶體其崩潰電壓可高達 59V，而對稱型電晶體卻只有 48V；在 $b=1.0\mu\text{m}$ 的設計時，不對稱型的電晶體其崩潰電壓可高達 60.46V，而對稱型電晶體卻是 49V；歸論此現象，我們推論有可能是與以下兩個因素有關連：

1. 元件的對稱性：對稱型的電晶體與不對稱型的電晶體在佈局上的不同，如圖 2-1 與 2-2 中我們可看出，對稱型的電晶體在源極與閘極間有多製程一道淺溝式隔離(STI)，而不對

稱型的元件卻少了這一道 STI；由此可判定，當電晶體操作電流由汲極流向源極的時候，對稱型元件的電流路徑將會較不對稱型元件的電流路徑，多繞過一段 STI 的邊緣，因此電流路徑較長，電晶體整體阻抗較大，理應有較大的崩潰電壓，但此與我們實際量測到的結果不符。因此我們排除因元件的對稱性而影響到耐壓之可能性。

2. STI 之長度：第二個因素則是有可能來自對稱與不對稱兩類元件本身佈局參數上的差異，由表 3-1 我們可以看出，當我們量測的樣本為 b 參數變異的同時，其實對稱元件與不對稱元件本身 STI 的長度(S)就有所不同，其中不對稱元件的 STI 是 $2.0\mu\text{m}$ 而對稱元件的 STI 是 $1.2\mu\text{m}$ 。在電晶體內當 S 縮短時，等同於 N^+ 距離閘極邊緣之距就縮短，故會引起元件內部電場的上升因而加速崩潰。故我們推論有因 STI 的長度不同而影響到元件耐壓之可能性。

有鑑於此，為了釐清此一現象，故在下一節中，我們即將針對 STI 之長度來進行量測與分析，觀察在同樣的一顆電晶體內，其 S 參數是否真的會影響到元件之耐壓。我們將分別針對不對稱元件與對稱元件，改變其淺溝式隔離之長度，量測其崩潰電壓，看看是否會對元件的耐壓有所影響。

3-2 S 參數之影響

由第二章中所定義的佈局參數，如圖 2-1 及圖 2-2 所示，我們已知元件中的 S 參數值標示的是高壓金氧半場效電晶體元件內閘汲極間淺溝式隔離(Shallow Trench Isolation)所作之長度。因此，在此節中，我們即將要探討 S 參數對元件的驅動能力(臨界電壓值)與崩潰電壓之影響趨勢為何。

我們在此節探討 S 參數變異的情況時的量測樣本為：

對稱型 N 型高壓金氧半場效電晶體

—S/a=2.0/1.0、1.6/0.8、1.2/0.6、1.0/0.5、0.6/0.3。

非對稱型 N 型高壓金氧半場效電晶體

—S/a=2.0/1.0、1.8/0.9、1.6/0.8、1.4/0.7、1.2/0.6。

其中對稱型與不對稱型元件之其餘詳細佈局參數及尺寸如表 3-6 所示。

(a) 臨界電壓

我們使用的量測儀器為 Agilent 4156 (Precision Semiconductor Parameter Analyzer)，量測條件為汲極加電壓 0.1V，源極接地，閘極加電壓 0~3V，紀錄其汲極電流對閘極電壓(I_d - V_g)之關係圖。

圖 3-13 與圖 3-14 分別為量測不對稱型高壓金氧半場效電晶體與對稱型高壓金氧半場效電晶體的元件，在其他佈局參數都維持相同的情況下，唯改變其淺溝式隔離(STI)之長，所測得之汲極電流對閘極電壓(I_d - V_g)之趨勢圖。由圖中我們可以清楚看出，改變元件之淺溝式隔離長度對臨界電壓值並無影響，這結果與我們在稍前 3-1(a)節中量測 b 參數對臨界電壓有無影響時得到的結論是一致的：即是說根據我們所熟知的金氧半場效電晶體，其臨界電壓的值通常是會被通道內的參數，如 fixed charge、mobile ions、或元件本身功函數，及摻雜濃度等條件所影響[34]；因此，對金氧半場效電晶體來說，其元件外部的佈局參數(layout)，不論是 b 參數(閘極電極下，高壓 N 型植入井(N-well)至淺溝式隔離邊緣間之長度)或是 S 參數(電晶體元件內閘極間淺溝式隔離(Shallow Trench Isolation)所作之兩端長)都不會對其導通電壓有所影響。

(b) 崩潰電壓

在 3-1(d)節中，我們發現即使在量測相同的 b 佈局參數時，不對稱金氧半場效電晶體之崩潰電壓都會比對稱型金氧半場效電晶體來的大，因此我們推論此現象可能與元件內部閘極汲極間的 STI 長度有關，因為在我們進行 b 參數量測的時候(表 3-1)，對稱與不對稱這兩大類元件其本身 STI 的長度就有所不同。因此，為了釐清此因素，我們在此節中，將針對對稱與不對稱這兩大類的電晶體，在其他的佈局參數都完全相同的情況下，改變不同的 STI 長度進行量測其崩潰電壓的實驗，以釐清元件內閘極汲極間淺溝式隔離之長度對元件耐壓的影響為何。

我們的實驗方法是使用 Agilent 4156 (Precision Semiconductor Parameter Analyzer)進行電性上的測量，分別將測試元件的汲極電壓由 0V 加到 80V，源極接地，量測至其崩潰，紀錄其汲極電流對汲極電壓(I_d - V_d)之關係圖。

圖 3-15 的量測樣本是不對稱型的高壓金氧半場效電晶體，在其他佈局參數(b、c、d、f)都固定的情況下，改變其 S 參數之長度所量得的汲極電流對汲極電壓(I_d - V_d)之關係圖；從圖中我們可以看出，有某幾顆元件其電流遽增的速率較慢，為較緩慢的增加然後才達到其崩潰點，推測應該是因不同顆電晶體的測試腳位不同，故其外部阻抗較大所引起的原因；但大抵看來，我們都可以發現一個共同的現象，即是當 S 參數縮短的時候，元件之耐壓能力也會因此而下降；而且，我們發現元件之崩潰電壓會隨著 S 參數的縮短而降低這個現象，在對稱型高壓金氧半場效電晶體中也成立，我們從圖 3-16 中可以看到，甚至有更顯著之象。

因此，由此實驗數據，我們得知元件內閘極汲極間所做的淺溝式

隔離之長度對電晶體的崩潰電壓的確有明顯的影響，隨著此段 STI 長度的增加，元件的耐壓能力可隨之大幅提升。故在此我們證明了，我們在 3-1(d) 節中所做的推測：高壓金氧半場效電晶體內部閘汲極間所作之淺溝式隔離之長度是否會影響到元件的崩潰電壓，答案是是的；在電晶體內當 S 縮短時，等同於元件內 N+ 距離閘極邊緣之距就縮短，故會引起內部電場的上升因而加速崩潰，在第四章中我們也將以實際模擬的結果來證明 S 參數對電晶體崩潰的影響。

接下來我們即將驗證我們在 3-1(d) 節中所做的第一個推測：是否對稱型元件的崩潰電壓會因其電流路徑較長阻抗較大，故會較不對稱元件之崩潰電壓來的高？於是，此次實驗中，我們量測的樣本為佈局參數與製程條件完全相同的兩類元件，唯獨差別在對稱與不對稱性而已，其詳細佈局參數可參照表 3-7 所示：所有佈局參數，包括 STI 的長度、閘極下高壓 N 型植入井(N-well)至淺溝式隔離邊緣間之長度、四極金屬端點所作之橫向寬度、與主體端(Bulk)下高壓 P 型植入井之長等參數都一樣，只有對稱性(即源極與閘極間有無 STI)的不同而已；同樣地量測方法如上，分別測量這些電晶體的崩潰電壓，欲釐清元件的對稱性對崩潰電壓有無影響。

圖 3-17 是量測其汲極電流對汲極電壓(I_d - V_d)之趨勢圖，由圖中我們可以明顯看出，在測試條件都完全相同的情況下，對稱性金氧半場效電晶體之崩潰電壓都會略高於不對稱性的金氧半場效電晶體。表 3-8 是我們量測 100 組佈局參數完全相同，惟差在對稱性而已的電晶體之崩潰電壓所分析得的數據，包含整體平均值與一倍標準差，其統計之資料繪製如圖 3-18 所示，從圖 3-18 中我們可以清楚看出，在佈局參數都設計完全一樣的條件之下，元件構造為對稱型的高壓金氧半場效電晶體較不對稱型的高壓金氧半場效電晶體，其崩潰電壓的增加

並無太大的差異(約在 1V 以內)，不如改變拉長佈局參數 S 對崩潰電壓的增益來的大。

因此，從這次的實驗數據顯示中我們得到一個結論：即是，若欲提升元件的耐壓能力時，拉長電晶體內閘汲極間 STI 的長度會比選擇製程對稱性或不對稱性電晶體來的有效率許多；而我們在 3-1(d)節當中量測到的不對稱高功率金氧半場效電晶體的崩潰電壓之所以都會高於對稱型的高功率金氧半場效電晶體，乃是源自於其閘汲極間 STI 的長度，原先在不對稱型元件內設計的($S=2.0\mu\text{m}$)就較長於對稱型的元件($S=1.2\mu\text{m}$)之故，而此效應大大蓋過了對稱型電晶體本身因對稱性故耐壓大的優勢，所以我們才會量測到不對稱高功率金氧半場效電晶體的崩潰電壓高於對稱型的高功率金氧半場效電晶體。

3-3 d 參數之影響

由第二章中所定義的佈局參數，如圖 2-1 及圖 2-2 所示，我們已知元件中的 d 參數值標示的是汲極與基極間 STI 的前端至基極下高壓 P 型植入井(P-well)邊緣之長度。因此我們知道，汲極與基極間的 STI 固定長度即為 $(d+f/2)$ ，在 f 參數固定為 $2.0\mu\text{m}$ 的情況下，調變 d 參數的值，即是相當於在改變通道外側，汲極基極間淺溝式隔離(STI)的長度。故在此節中，我們即將經由調變 d 參數的值，來探討通道外側汲極基極間淺溝式隔離(STI)的長度是否會對高功率金氧半場效電晶體的電性有所影響，及其影響趨勢為何。

我們在此節探討 d 參數變異情況時的量測樣本為：

對稱型 N 型高壓金氧半場效電晶體

— $d=2.0\mu\text{m}$ 、 $1.8\mu\text{m}$ 、 $1.6\mu\text{m}$ 、 $1.4\mu\text{m}$ 、 $1.2\mu\text{m}$

非對稱型 N 型高壓金氧半場效電晶體

— $d=2.0\mu\text{m}$ 、 $1.8\mu\text{m}$ 、 $1.6\mu\text{m}$ 、 $1.4\mu\text{m}$ 、 $1.2\mu\text{m}$

其中對稱型與不對稱型元件其餘的詳細佈局參數及尺寸如表 3-9 所示。

(a) 臨界電壓

我們使用的量測儀器為 Agilent 4156 (Precision Semiconductor Parameter Analyzer)，量測條件為汲極加電壓 0.1V，源極接地，閘極加電壓 0~3V，紀錄其汲極電流對閘極電壓(I_d - V_g)之關係。

圖 3-19 與圖 3-20 分別為量測不對稱型高壓金氧半場效電晶體與對稱型高壓金氧半場效電晶體的元件，在其他佈局參數都維持相同的情況下，唯改變其 d 參數長度，所測得之汲極電流對閘極電壓(I_d - V_g)之趨勢圖。由圖中我們可以清楚看出，改變元件之 d 參數對臨界電壓值並無影響，意即是在設計通道外側，汲極基極間淺溝式隔離(STI)的長度時，這與電晶體之趨動能力並無相關性。此結果與我們之前量測 b 參數與 S 參數對臨界電壓有無影響時得到的結論是一致的；因此，對金氧半場效電晶體來說，其元件外部的佈局參數(layout)，不論是 b 參數(閘極電極下，高壓 N 型植入井(N-well)至淺溝式隔離邊緣間之長度)或是 S 參數(電晶體閘極汲極間淺溝式隔離(Shallow Trench Isolation)所作之長度)， d 參數(電晶體通道外側，汲基極間淺溝式隔離(STI)的長度)，這些佈局參數都不會對高功率金氧半場效電晶體之導通電壓有所影響。

(b) 崩潰電壓

我們的實驗方法是使用 Agilent 4156 (Precision Semiconductor Parameter Analyzer)進行電性上的測量，分別將測試元件的汲極電壓由 0V 加到 80V，源極接地，量測至其崩潰，紀錄其汲極電流對汲極電壓(I_d - V_d)之關係圖。

圖 3-21 與圖 3-22 分別是量測不對稱型的高壓金氧半場效電晶體

與對稱型的高壓金氧半場效電晶體，在其他佈局參數都維持不變的情況下，唯改變其 d 參數值所測量到之汲極電流對汲極電壓(I_d - V_d)之關係圖。從圖中我們發現到一個出乎意外的現象，即是隨著 d 參數的縮短，電晶體之崩潰電壓也會隨之下降，而且此現象不論在對稱型元件或不對稱型元件中都會發生。表 3-10 分別為我們量測一百組對稱與不對稱型的高壓金氧半場效電晶體，改變其元件內部 d 參數之值，所分析得的崩潰電壓數據結果，當中數據包括整體平均值與一倍標準差，其統計之資料繪製如圖 3-23 所示，從圖 3-23 中我們可以清楚看到兩個現象：

1. 隨著 d 值的縮短，高壓金氧半場效電晶體之崩潰電壓會隨之降低，這點與元件的對稱性無關，在對稱型或不對稱型元件中都會發生此現象。
2. 我們在前一節 3-2(b) 中，已經得到的結論是，電晶體之對稱性對元件崩潰能力的影響幅度並不明顯，遠小於 S 參數的影響。我們量測樣本中的不對稱元件崩潰電壓之所以可以高於對稱元件之崩潰電壓，原因是來自於這兩種元件內本身閘汲極間 STI 設計的長度不同(不對稱元件的較長)所致。而從表 3-10 與圖 3-23 中我們可以看出，當 d 值設計在 $2.0\mu\text{m}/1.8\mu\text{m}/$ 與 $1.6\mu\text{m}$ 時，不對稱元件之崩潰電壓還是高於對稱元件許多的，這是因為其元件內本身閘汲極間 STI 長度較長之故；然而當 d 值縮小到 $1.4\mu\text{m}$ 與 $1.2\mu\text{m}$ 等級的時候，我們可以看到，對稱型電晶體與不對稱型電晶體之崩潰電壓竟然變的非常接近，差異在 0.1V 以內，尤其當 d 縮小到 $1.2\mu\text{m}$ 的時候，對稱與不對稱高壓金氧半場效電晶體之崩潰電壓幾乎已經無異。

因此，基於上述兩個現象，我們懷疑當 d 值縮小時，高壓金氧半場效電晶體元件內的崩潰點可能有轉移的現象發生。因為， d 值的變大或變小，事實上等同於就是電晶體內通道外側汲極基極間淺溝式隔離(STI)的長度變長或縮短，而我們知道金氧半場效電晶體之崩潰機制是建立在當汲極偏壓增加時，因其內部電場強度亦增加，加速自由電子的速度，使電子的動能增加；而當動能超過束縛能隙時，就會以累增方式將共價鍵的鍵內電子撞出，而形成自由電子，此效應反覆加乘之下，將使得電晶體的電流急遽突增，而產生的崩潰現象(avalanche breakdown)。因此，高功率金氧半場效電晶體發生崩潰的崩潰點應該是位於通道附近 N/P 接面的位置，而不應與元件通道外，汲基極間淺溝式隔離(STI)的長度相關。所以，針對這些量測觀察到的數據，我們即將在第四章中模擬時進行分析，釐清此電晶體之崩潰點位置與 d 參數為何會影響到元件崩潰電壓之原因。



表 3-1 調變 b 參數時之實驗電晶體詳細佈局參數

b(μm)	Asymmetric NMOS	1.0	W/L=20/2 S/a=2.0/1.0 c=1.0 d=2.0 f=2.0
		0.6	
	Symmetric NMOS	1.0	
		0.6	



表 3-2 不對稱型 N 型高壓金氧半場效電晶體之臨界電壓

	b=0.6(μm)	b=1.0(μm)
V _{th} (V)	1.15008 \pm 0.006	1.14987 \pm 0.007

表 3-3 對稱型 N 型高壓金氧半場效電晶體之臨界電壓

	b=0.6(μm)	b=1.0(μm)
V _{th} (V)	0.6754738 \pm 0.005	0.665669 \pm 0.007



表 3-4 不對稱型 N 型高壓金氧半場效電晶體之導通崩潰

	b=0.6(μm)	b=1.0(μm)
Breakdown Voltage(V)	59.16 \pm 0.31	60.46 \pm 0.32

表 3-5 對稱型 N 型高壓金氧半場效電晶體之導通崩潰

	b=0.6(μm)	b=1.0(μm)
Breakdown Voltage(V)	48.12 \pm 0.26	49.24 \pm 0.18



表 3-6 調變 S 參數時之實驗電晶體詳細佈局參數

S(μm)	Asymmetric NMOS	2.0	W/L=20/2 a=S/2 b=0.8 c=1.0 d=2.0 f=2.0
		1.8	
		1.6	
		1.4	
		1.2	
	Symmetric NMOS	2.0	W/L=20/3 a=S/2 b=0.8 c=1.0 d=2.0 f=2.0
		1.6	
		1.2	
		0.6	



表 3-7 探討元件的對稱性對崩潰之影響時的實驗樣本

	Asymmetric NMOS	Symmetric NMOS
STI between Source & Gate	No	Yes
S/a(μm)	2.0/1.0	2.0/1.0
	1.6/0.8	1.6/0.8
	1.2/0.6	1.2/0.6
b(μm)	0.8	0.8
c(μm)	1.0	1.0
d(μm)	2.0	2.0
f(μm)	2.0	2.0



表 3-8 元件之對稱性對崩潰電壓之影響

	Breakdown Voltage Asymmetric NMOS	Breakdown Voltage Symmetric NMOS
S/a=2.0/1.0	62.83±0.30V	63.14±0.31V
S/a=1.6/0.8	58.93±0.30V	59.60±0.32V
S/a=1.2/0.6	53.55±0.30V	54.16±0.28V



表 3-9 調變 d 參數時之實驗電晶體詳細佈局參數

d(μm)	Asymmetric NMOS	2.0	W/L=20/2 S/a=2.0/1.0 b=0.8 c=1.0 f=2.0
		1.8	
		1.6	
		1.4	
		1.2	
	Symmetric NMOS	2.0	W/L=20/3 S/a=1.2/0.6 b=0.8 c=1.0 f=2.0
		1.6	
		1.2	
		1.0	
		0.6	



表 3-10 高壓金氧半場效電晶體內 d 參數對崩潰電壓之影響

	Breakdown Voltage Asymmetric NMOS	Breakdown Voltage Symmetric NMOS
d=2.0 μ m	63.14 \pm 0.31V	52.99 \pm 0.21V
d=1.8 μ m	61.29 \pm 0.19V	50.31 \pm 0.20V
d=1.6 μ m	57.78 \pm 0.30V	48.98 \pm 0.30V
d=1.4 μ m	47.59 \pm 0.22V	47.49 \pm 0.34V
d=1.2 μ m	43.06 \pm 0.19V	43.02 \pm 0.21V



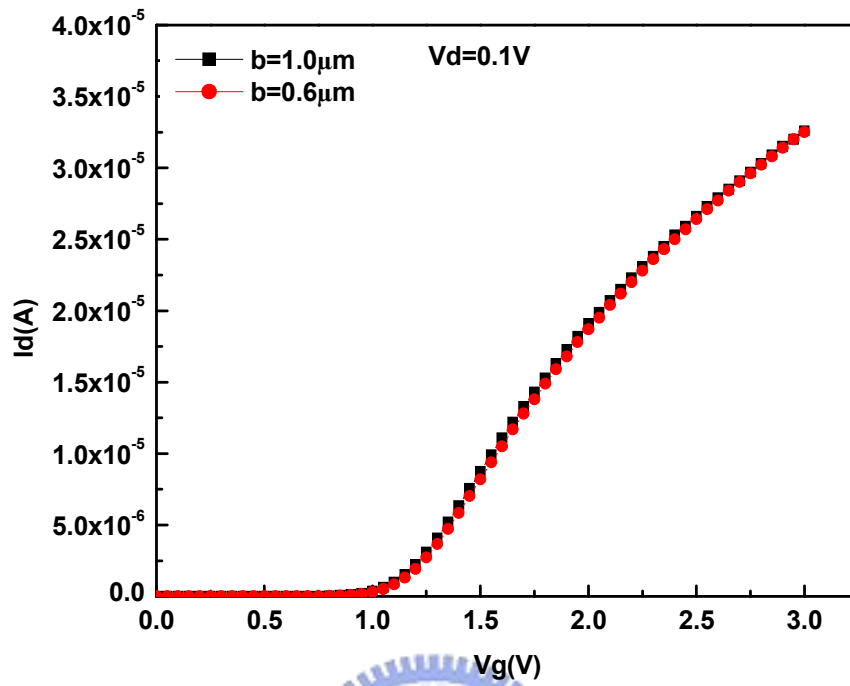


圖 3-1 不對稱型 N 型高壓金氧半場效電晶體中 b 參數

對臨界電壓之影響

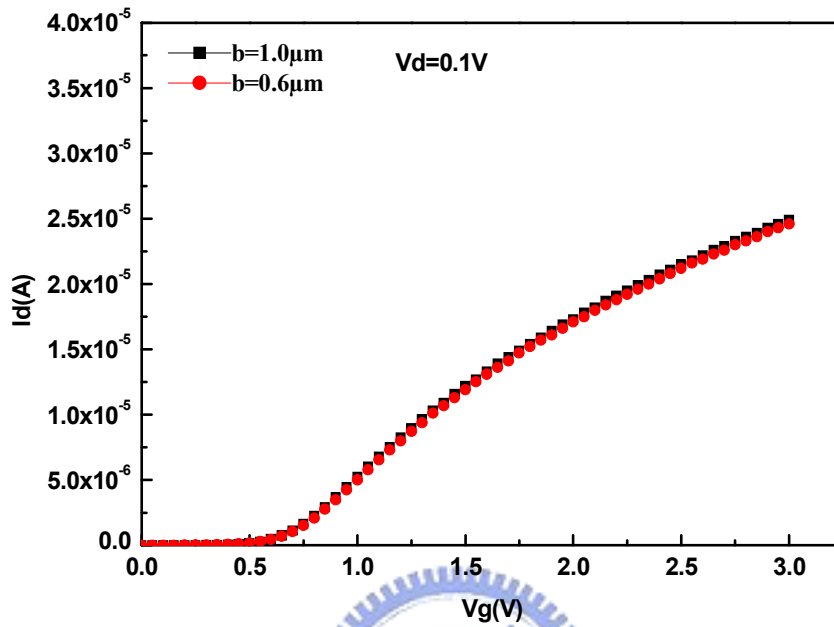


圖 3-2 對稱型 N 型高壓金氧半場效電晶體中 b 參數對
臨界電壓之影響

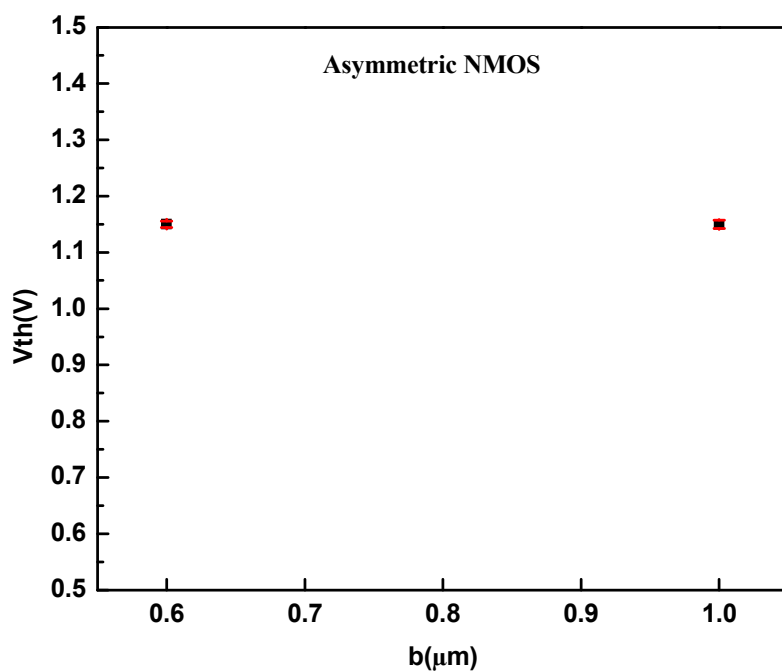


圖 3-3 不對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界

電壓之影響

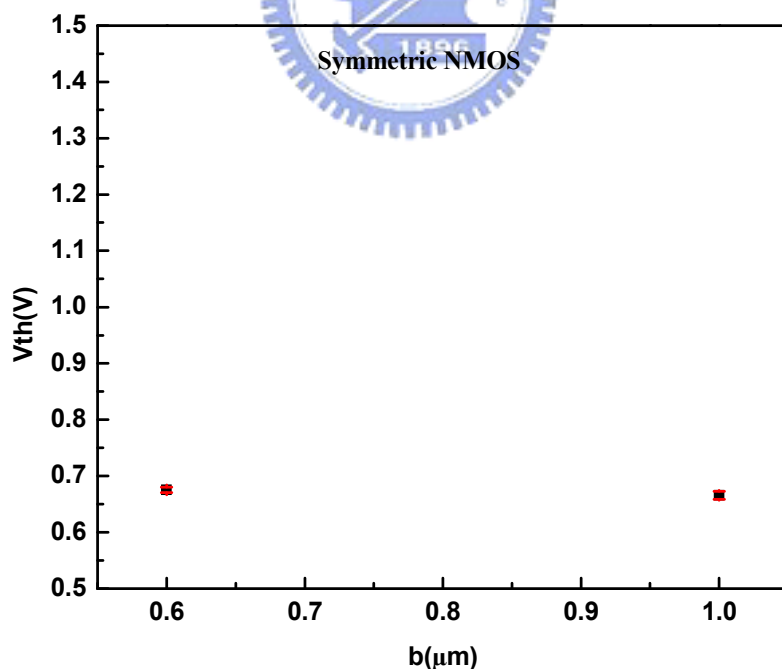


圖 3-4 對稱型 N 型高壓金氧半場效電晶體中 b 參數對臨界電

壓之影響

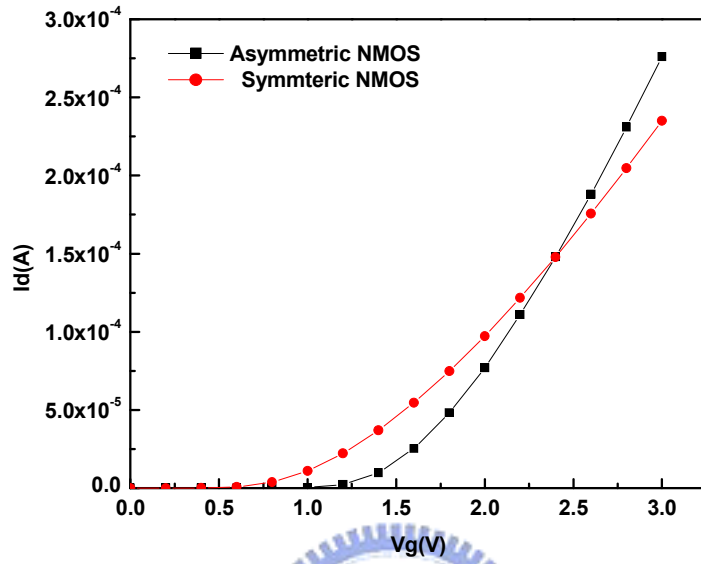


圖 3-5(a) $V_d=32V$ ，源汲極未反接。

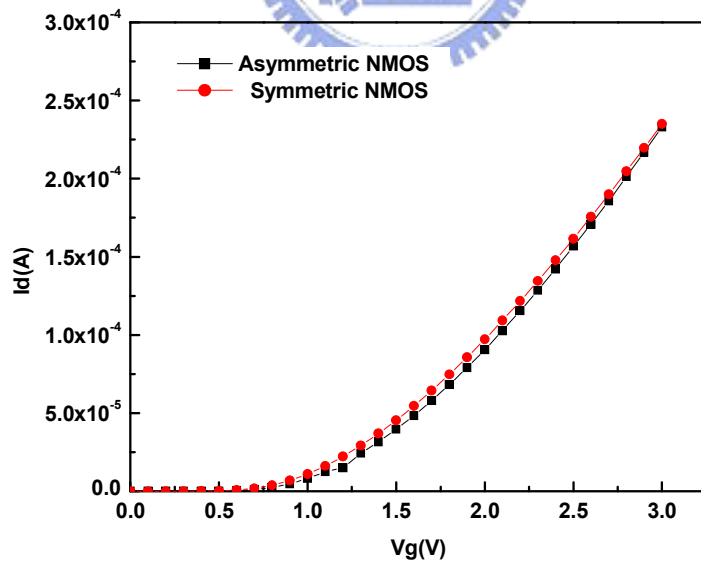


圖 3-5(b) $V_d=32V$ ，源汲極反接(移除 TED 效應)。

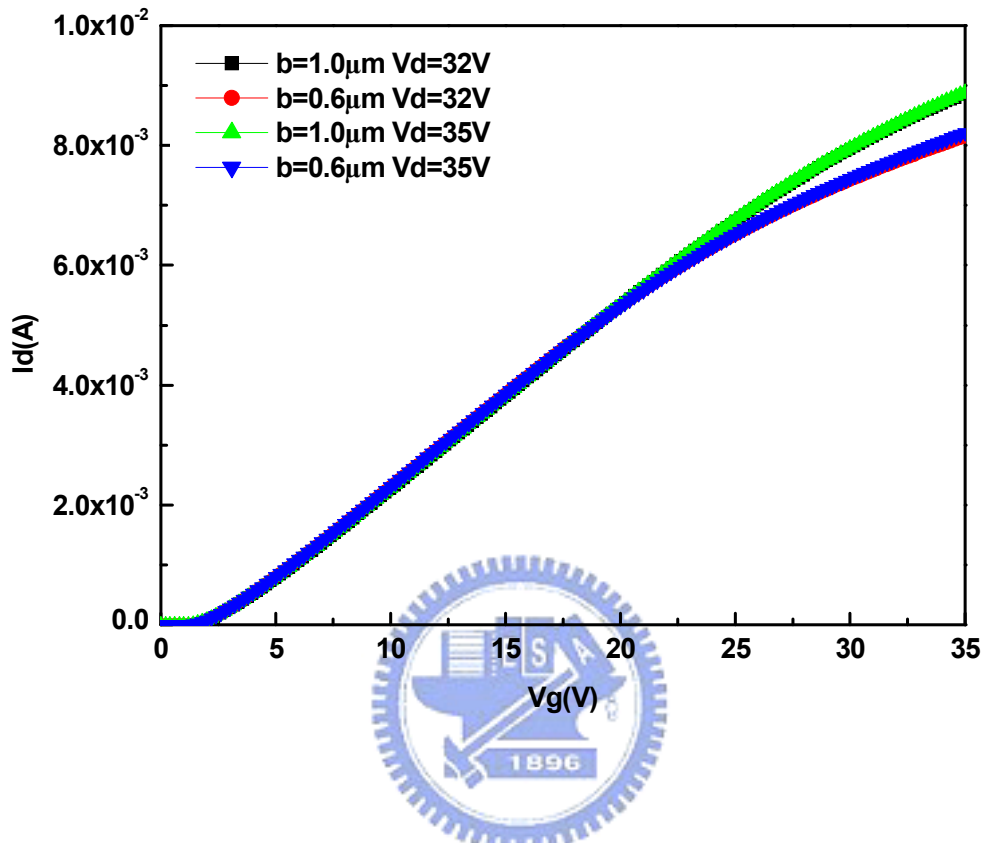


圖 3-6 b 參數對高閘極電壓下之汲極電流的影響

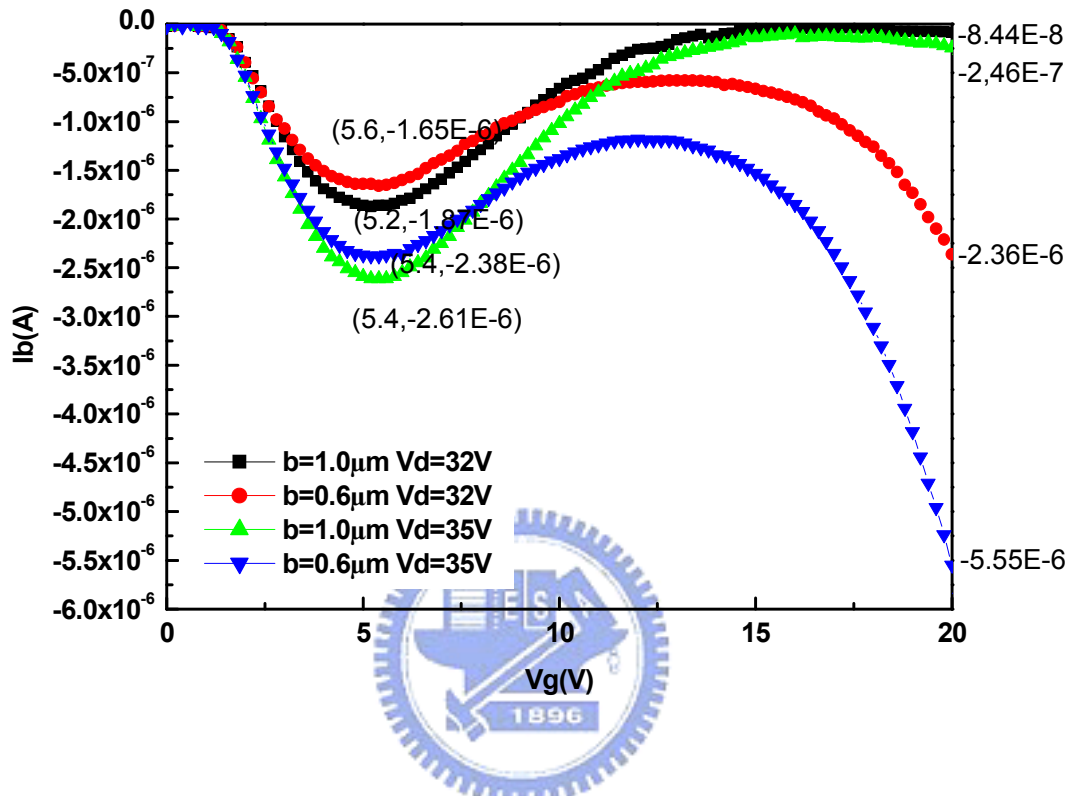


圖 3-7 不對稱型 N 型高壓金氧半場效電晶體中 b 參數對基體電流之影響

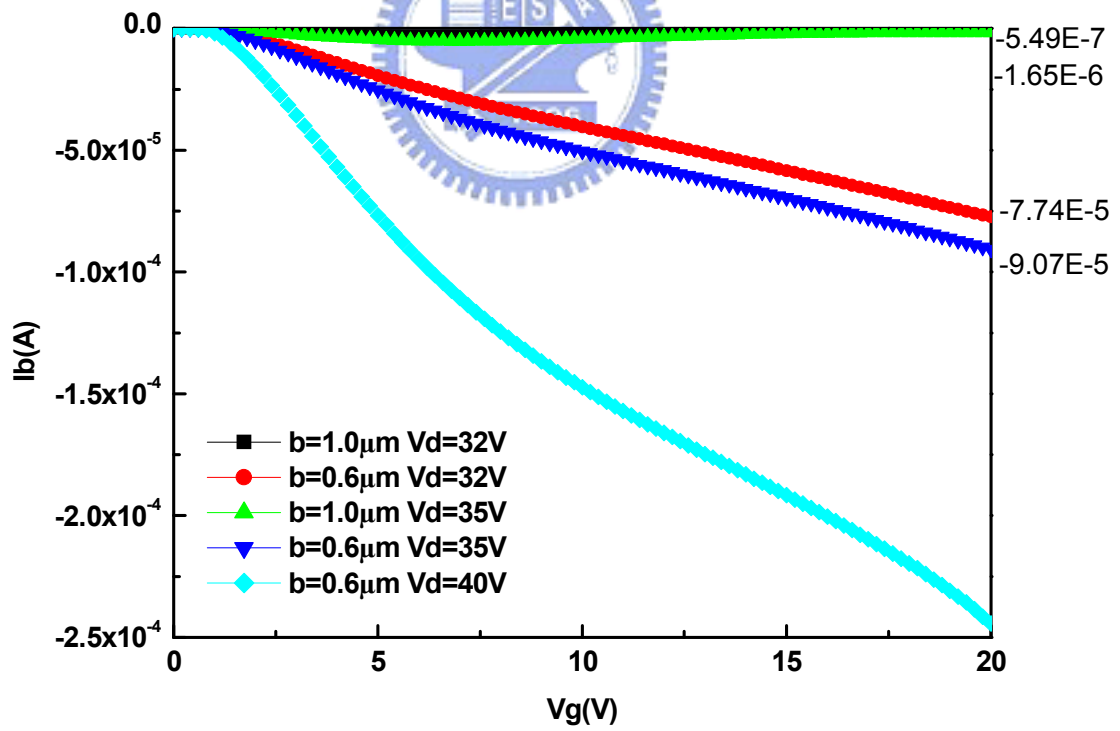
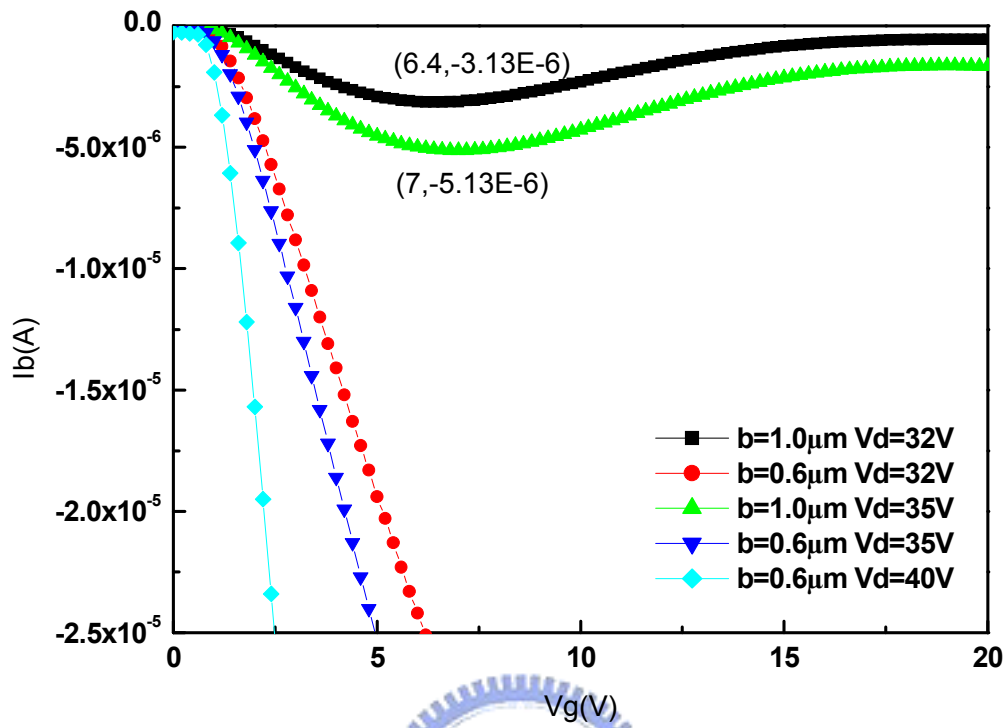


圖 3-8 對稱型 N 型高壓金氧半場效電晶體中 b 參數
對基體電流之影響

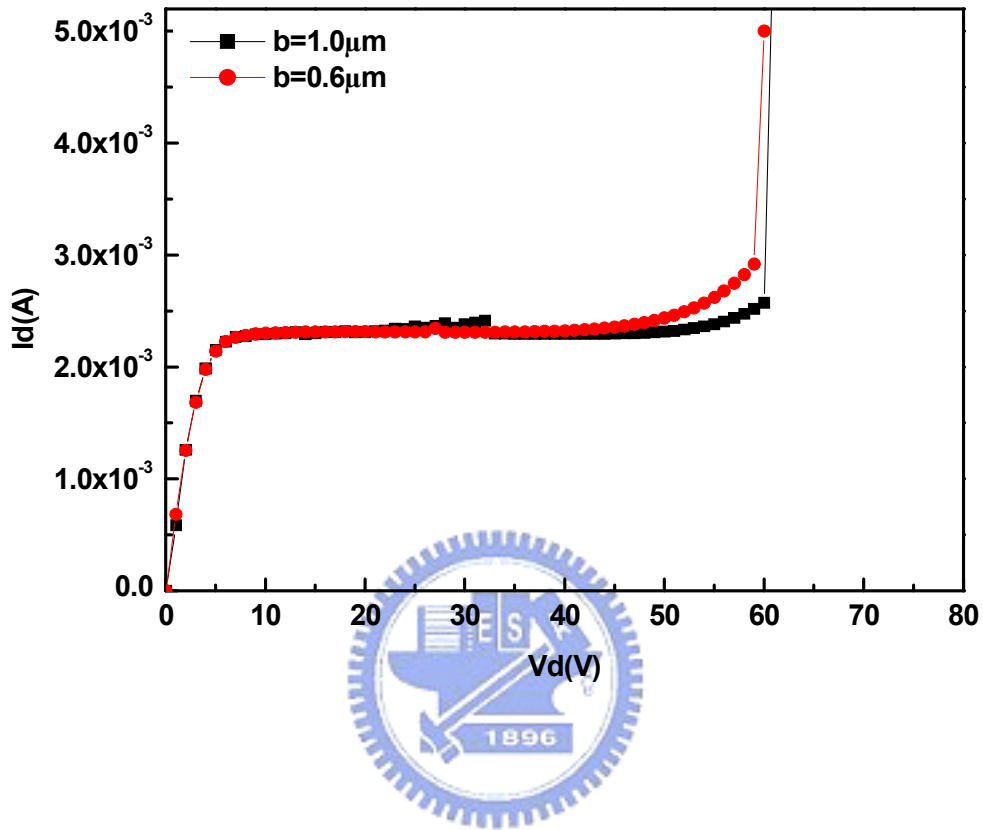


圖 3-9 不對稱型 N 型高壓金氧半場效電晶體中 b 參數對崩潰電壓之影響

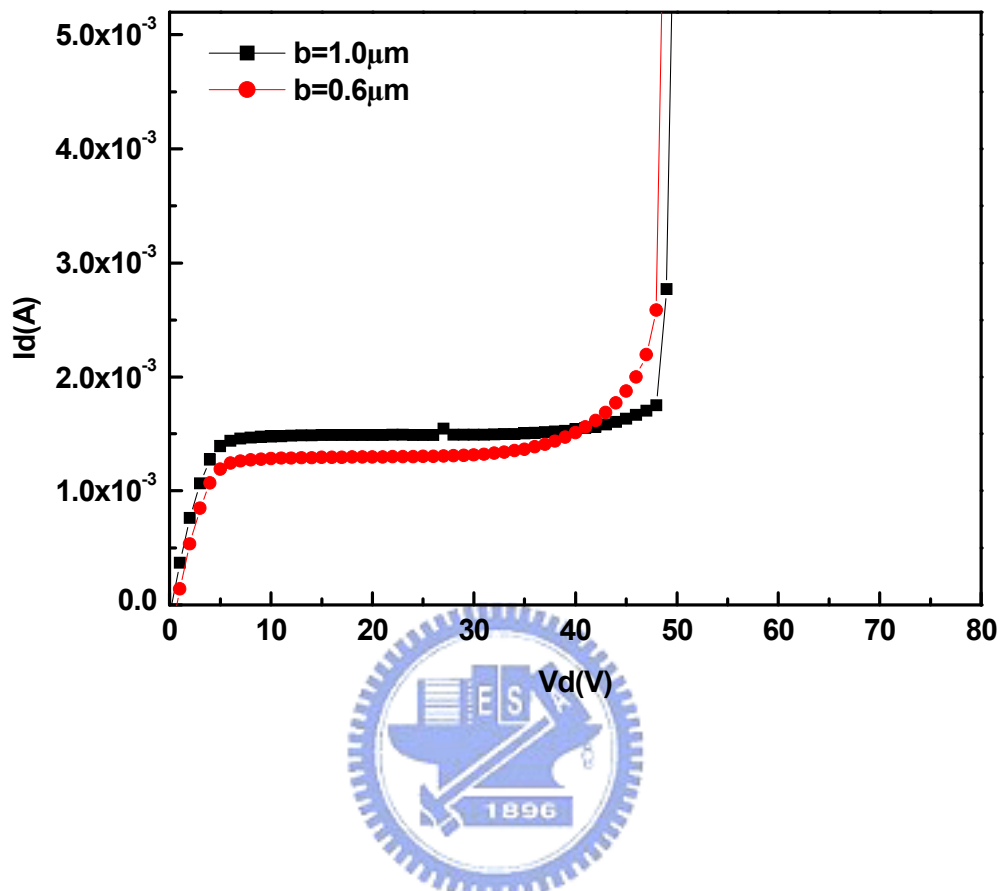


圖 3-10 對稱型 N 型高壓金氧半場效電晶體中 b 參數對崩潰電壓之影響

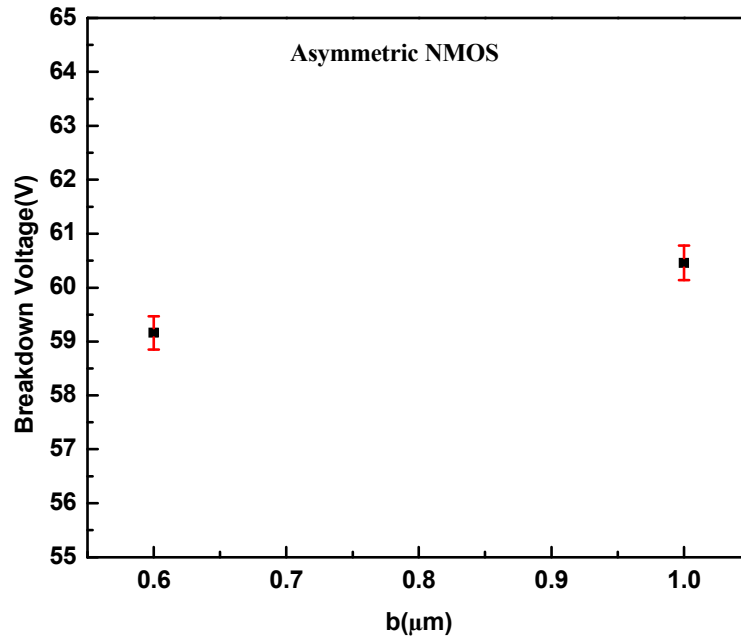


圖 3-11 不對稱型 N 型高壓金氧半場效電晶體中 b 參數對崩

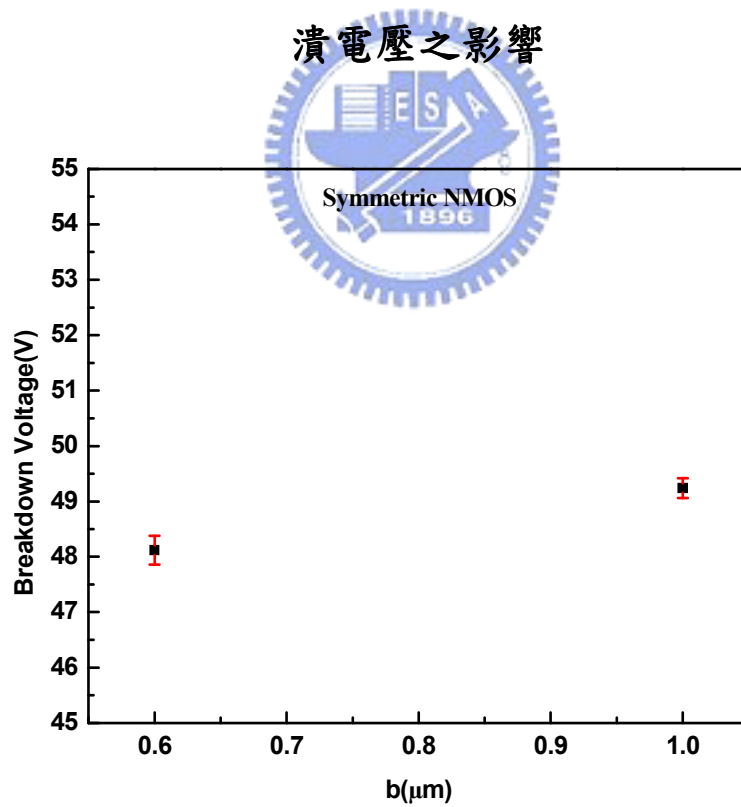


圖 3-12 對稱型 N 型高壓金氧半場效電晶體中 b 參數對崩潰

電壓之影響

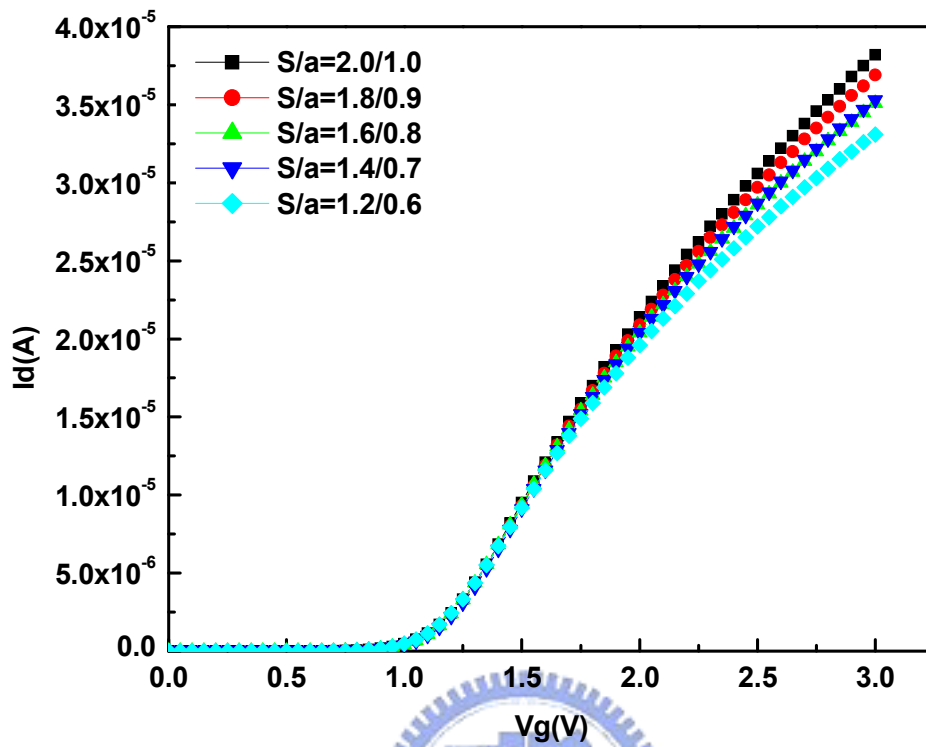


圖 3-13 不對稱型 N 型高壓金氧半場效電晶體中 S 參數對臨
界電壓之影響

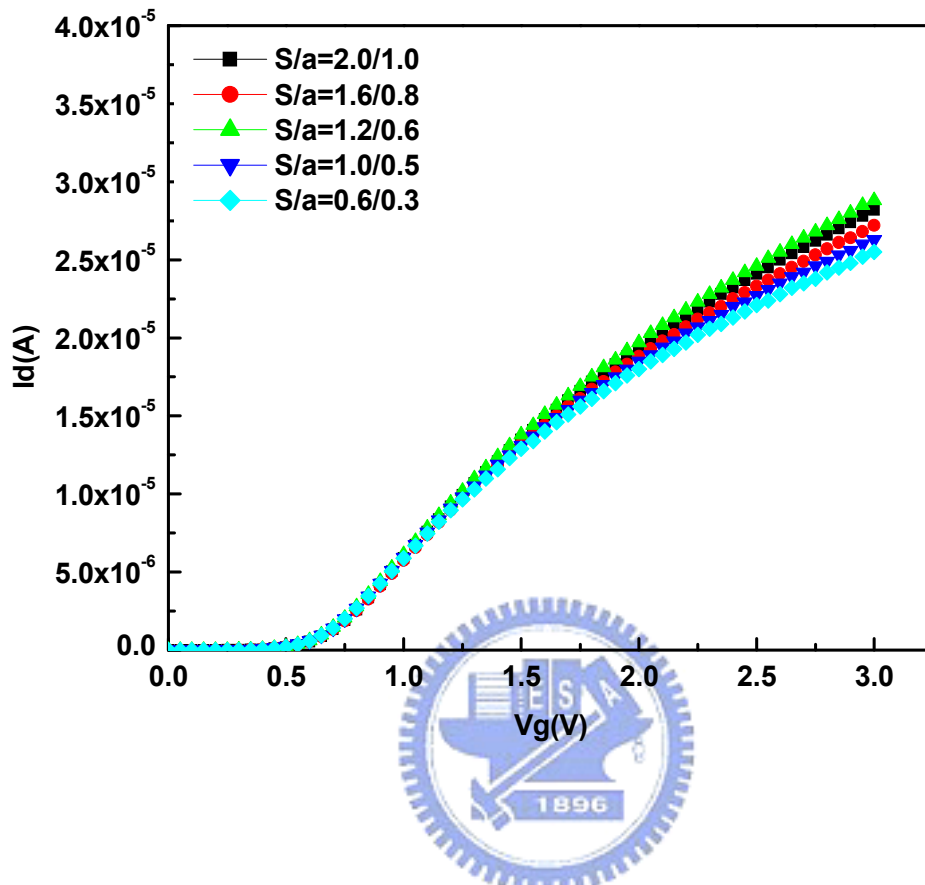


圖 3-14 對稱型 N 型高壓金氧半場效電晶體中 S 參數對臨界電壓之影響

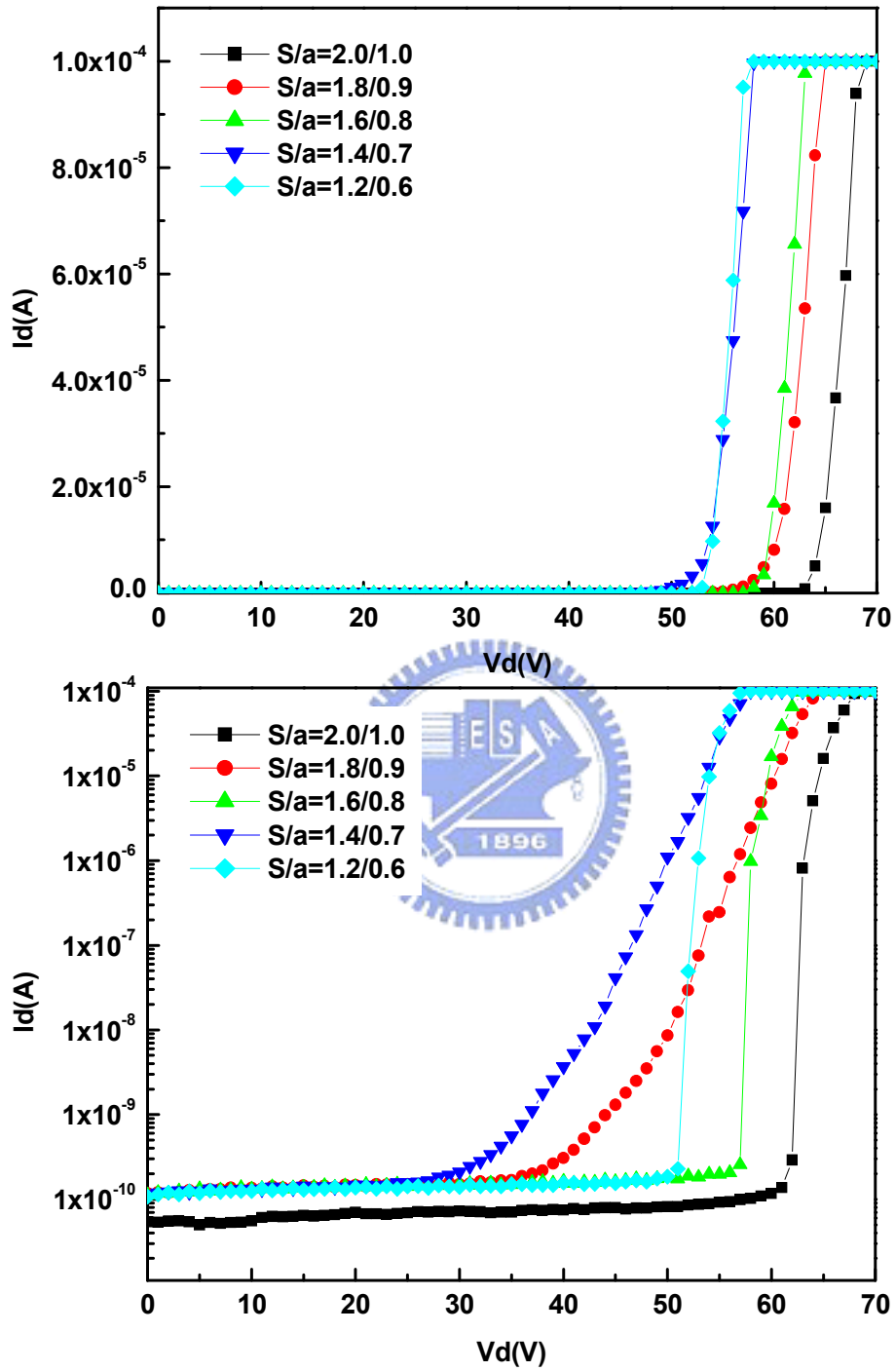


圖 3-15 不對稱型 N 型高壓金氧半場效電晶體中 S 參數對崩潰電壓之影響

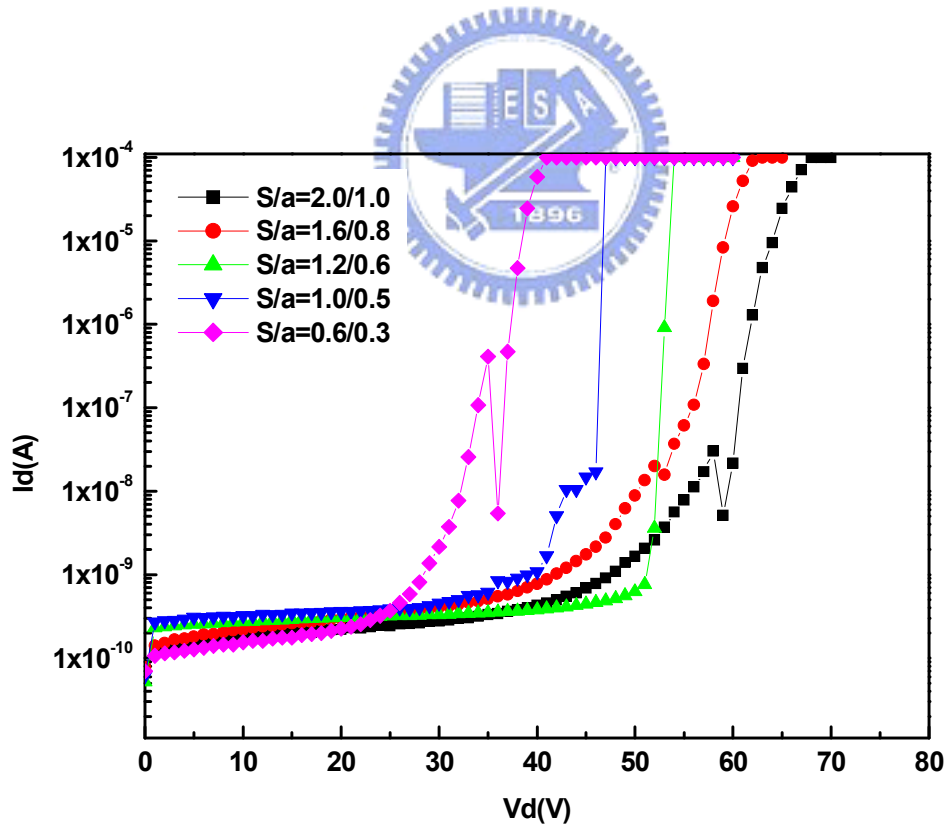
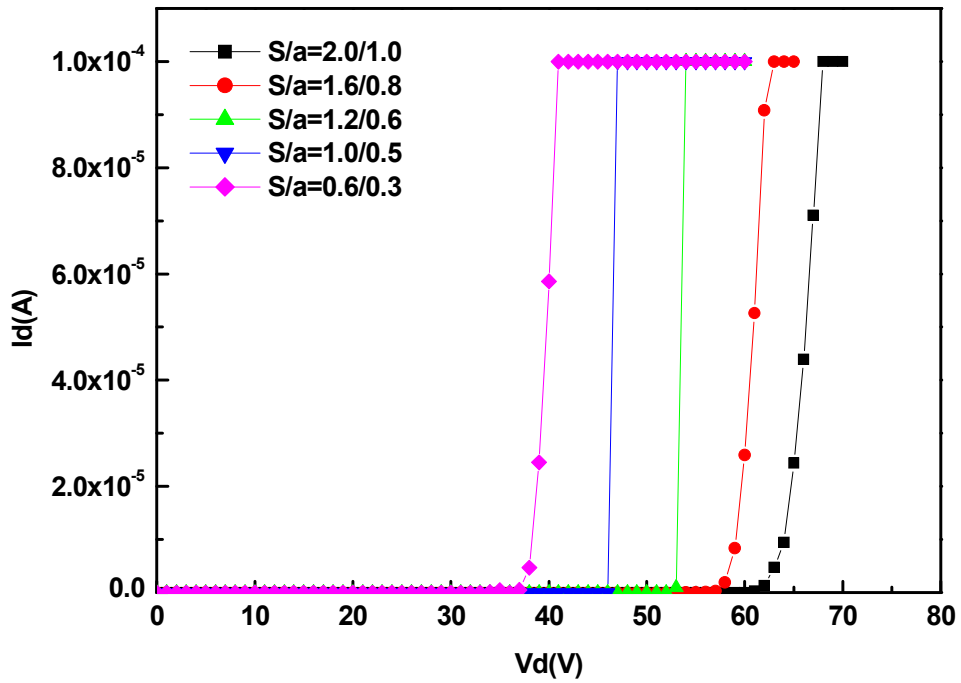


圖 3-16 對稱型 N 型高壓金氧半場效電晶體中 S 參數對崩潰

電壓之影響

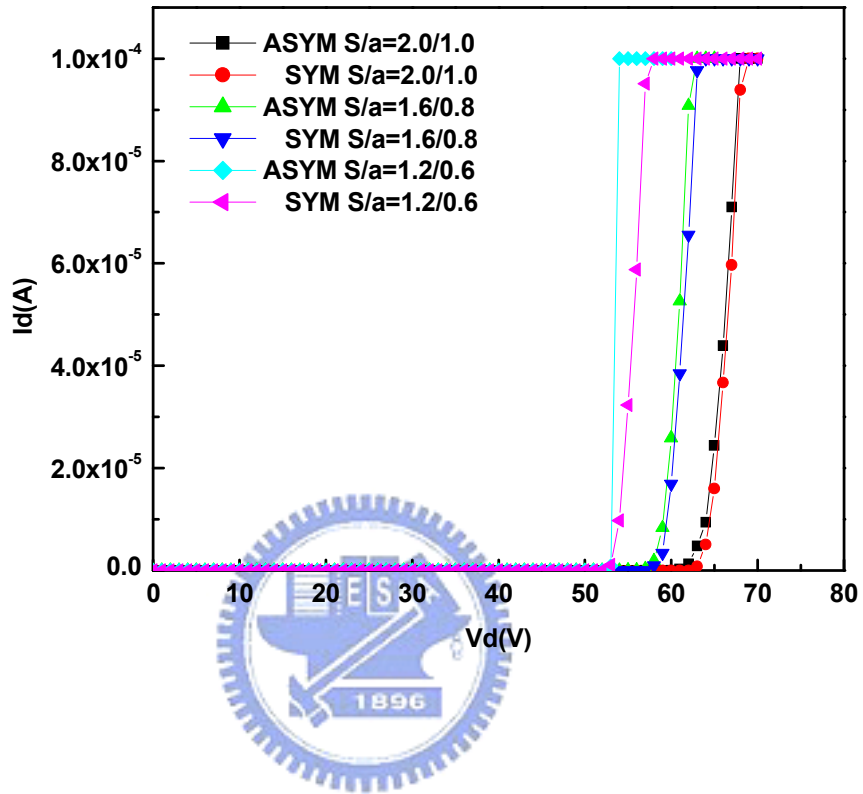


圖 3-17 高壓金氧半場效電晶體之對稱性對崩潰電壓之影響

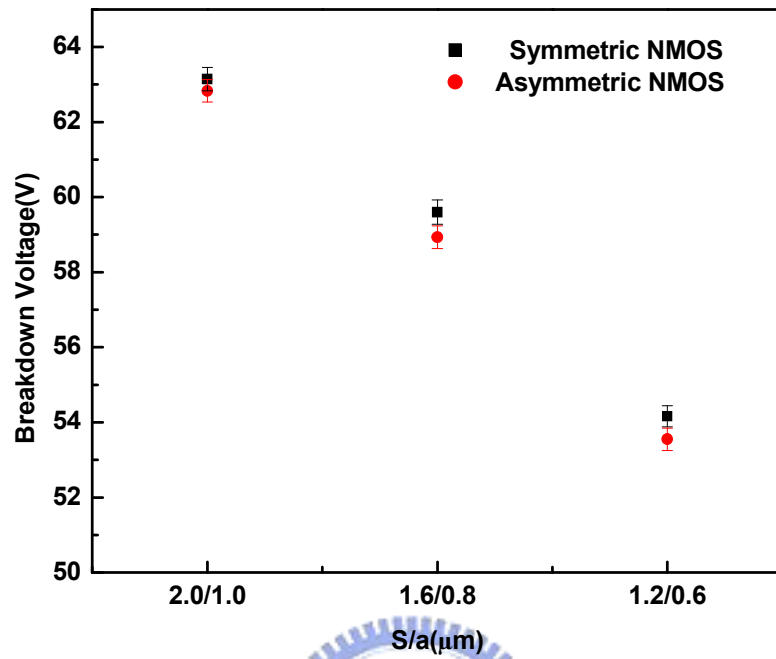


圖 3-18 高壓金氧半場效電晶體之對稱性對崩潰電壓之影響

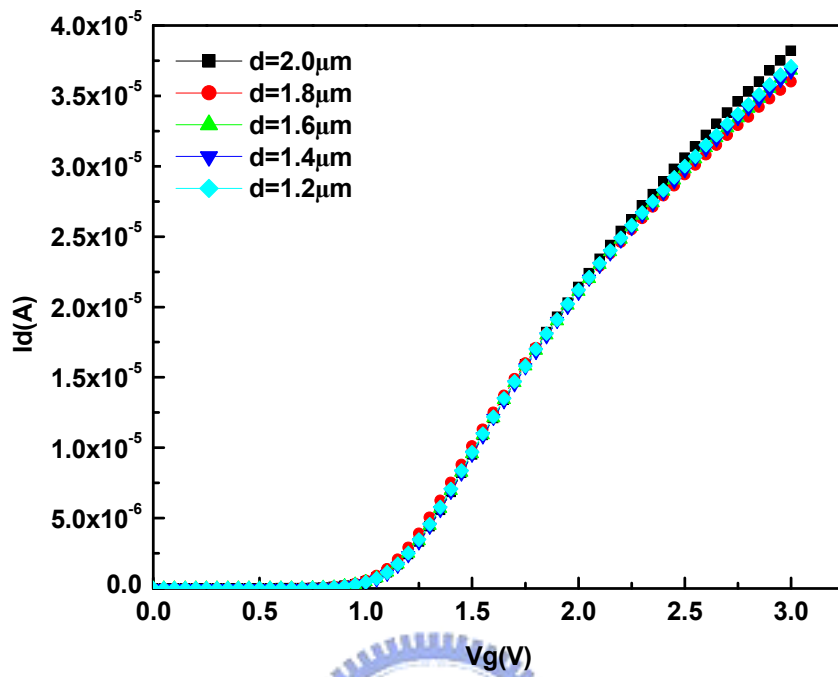


圖 3-19 不對稱型 N 型高壓金氧半場效電晶體中 d 參數對臨
界電壓之影響

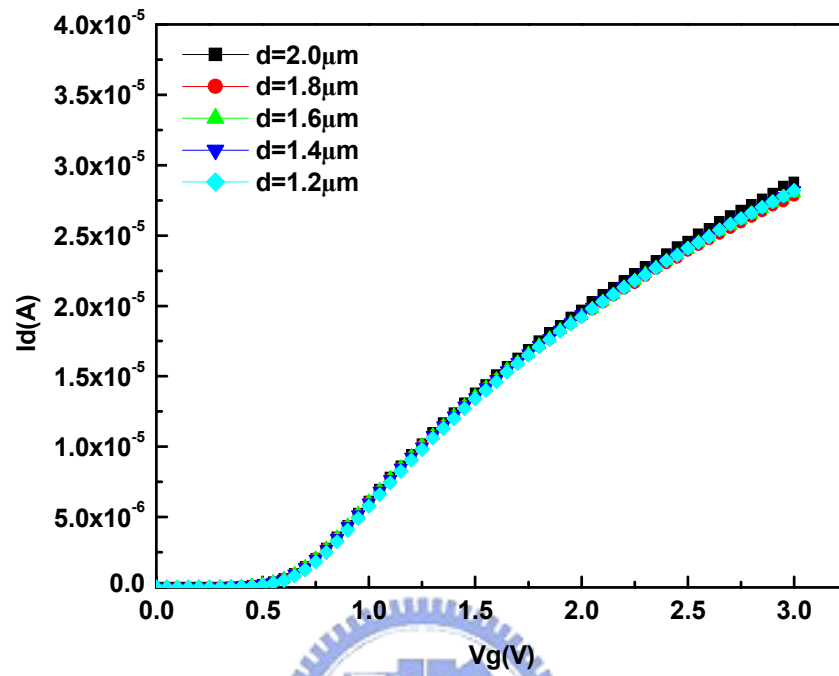


圖 3-20 對稱型 N 型高壓金氧半場效電晶體中 d 參數對臨界電壓之影響

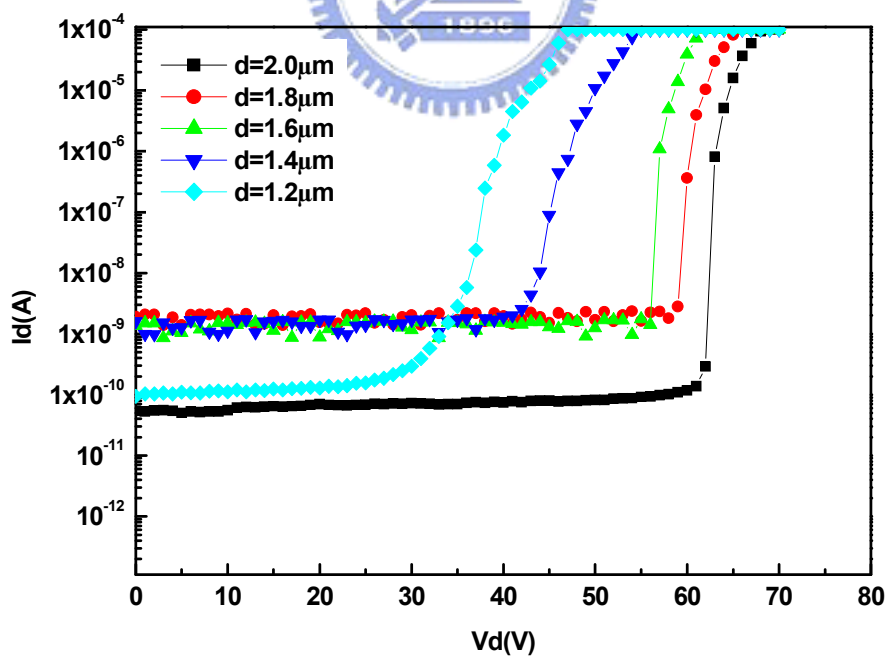
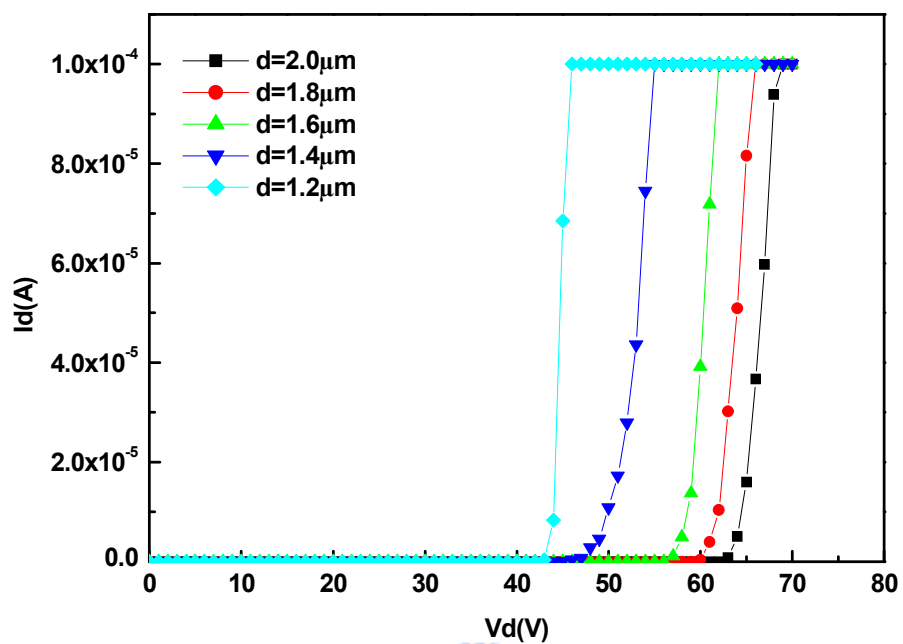


圖 3-21 不對稱型 N 型高壓金氧半場效電晶體中 d 參數對崩

潰電壓之影響

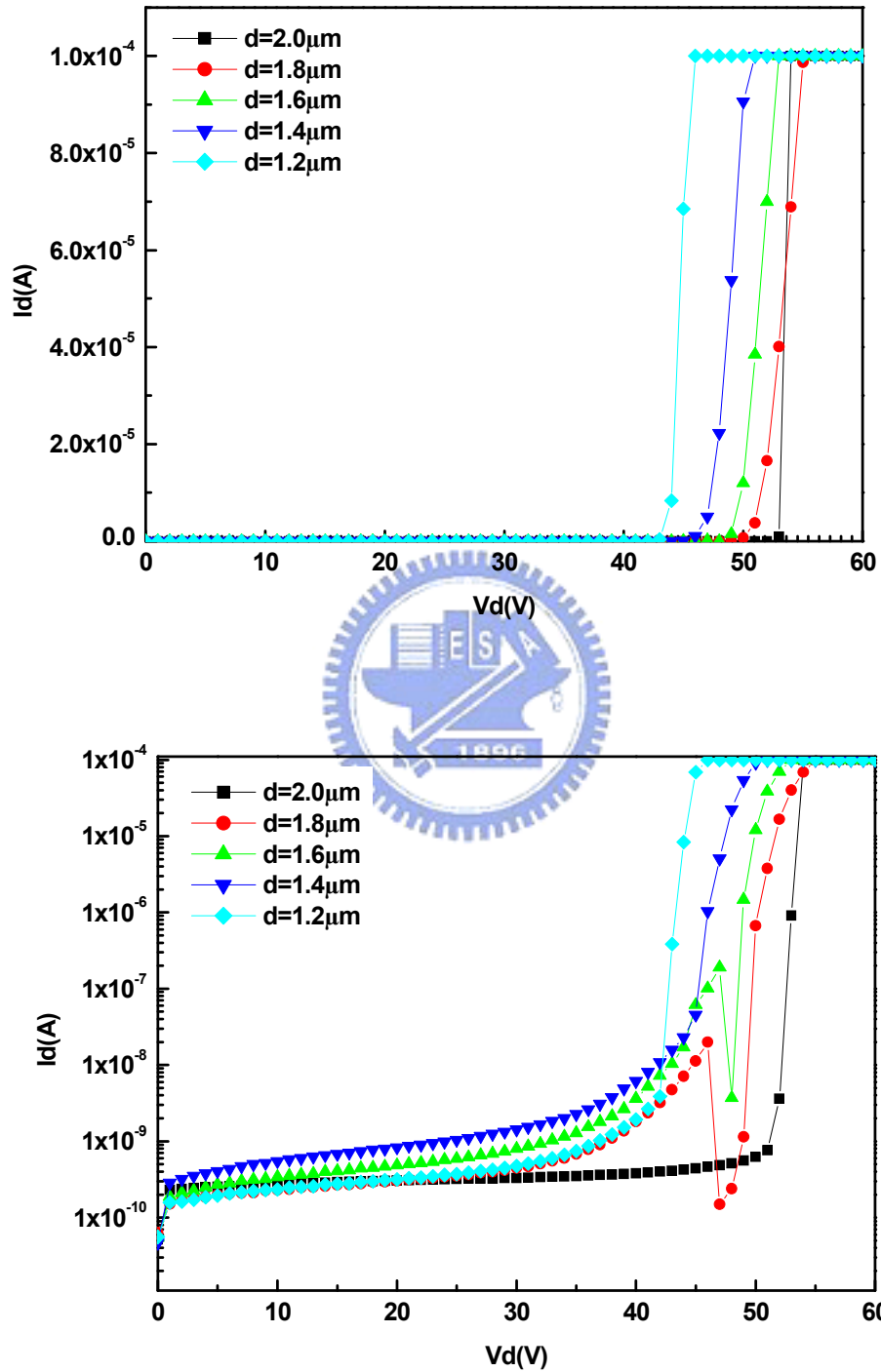


圖 3-22 對稱型 N 型高壓金氧半場效電晶體中 d 參數對崩潰

電壓之影響

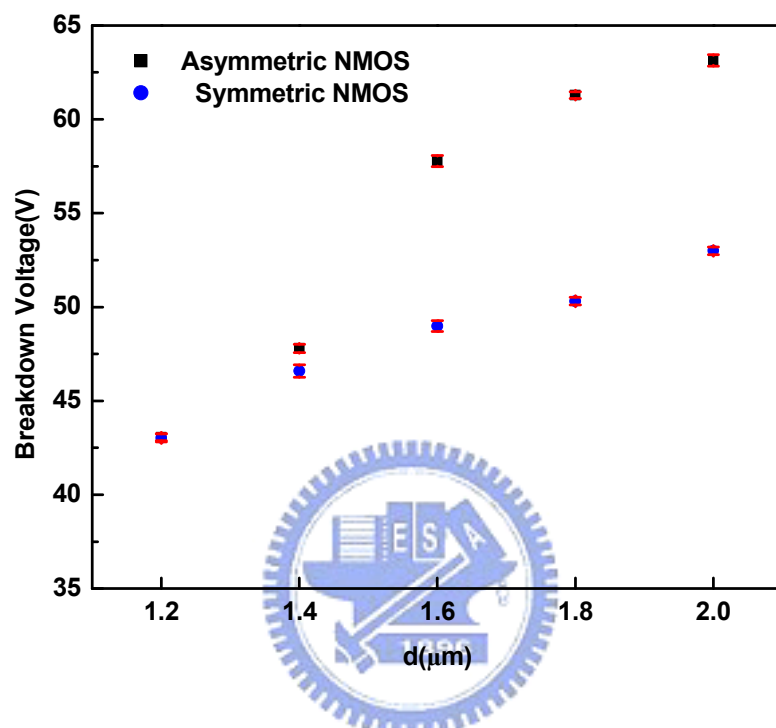


圖 3-23 高壓金氧半場效電晶體中 d 參數對崩潰電壓之影響

第四章

模擬元件佈局參數對電性之影響

4-1 b 參數之影響

由第三章中，我們量測得到的數據顯示出，佈局參數 b 會影響到高壓金氧半場效電晶體的特性包括有：高閘極電壓下的汲極飽和電流、基體電流、與崩潰電壓。因此，在此節中我們即將利用製程及元件模擬軟體(ISE TCAD)，來模擬不同的 b 參數對元件內部的電場電位分佈、或離子撞擊游離率(Impact Ionization Rate)等之影響，進一步與第三章中量測所得之電性結果相驗證。

(a) 高閘極電壓下的汲極飽和電流

在第三章 3-1(b)節中的圖 3-6 我們推論，當元件操作在高閘極與高汲極電壓的條件下，在 b 參數為 $0.6\mu\text{m}$ 的時候，其汲極飽和電流之所以會低於 b 參數為 $1.0\mu\text{m}$ 的元件，乃主因於電晶體內部的電流繞行路徑阻抗之不同所致。在 b 參數較小，即閘極下方 N-well 至 STI 中間的距離較短的元件中，當電流繞經此區 STI 下緣時，因為沒有足夠的空間可以讓它均勻地散佈開並且流動，因此電流路徑流經閘汲極間時，會顯得格外地陡峭，因而使得電流集中(crowding)的現象在此區會尤其嚴重，最終造成元件內部的阻抗增加，汲極飽和電流的下降。因此，在此節，我們即將模擬 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 的對稱型高壓金氧半場效電晶體，其模擬的詳細元件之佈局參數如表 4-1 所示，我們將模擬其操作在源極接地，汲極電壓為 32V，閘極操作在高電壓 40V 的情況。模擬結果分別如圖 4-1 與 4-2 所示，我們放大在通道右側閘極至汲極端的現象，由圖中我們可以看出，在其餘的佈局參數都相同

的情況下，在 $b=0.6\mu\text{m}$ 的元件中，電流密度確實有比 $b=1.0\mu\text{m}$ 的元件來的較密集，且尤其集中在閘汲極間淺溝式隔離技術(STI)的周圍。圖 4-3 為我們從閘極和汲極間 STI 的前端 AA' 所作之縱切面，觀察其電流密度延著 STI 前端之縱深分佈。由圖 4-3 中可以看出， $b=0.6\mu\text{m}$ 的元件，其電流密度之最大值約為 $6 \times 10^6 \text{ A/m}^2$ ，已經為 $b=1.0\mu\text{m}$ 元件電流密度($1 \times 10^6 \text{ A/m}^2$)的六倍以上。因此，由模擬結果顯示出，我們證實了當高功率金氧半場效電晶體操作在高閘極、高汲極的工作電壓下時，當元件中閘極下方 N-well 至 STI 中間的距離縮短時，的確會使得電流密度在閘汲極間突增且形成密集(crowding)的現象，因而使得電流路徑的阻抗增大，進而降低其汲極飽和電流之大小，這證明了我們在第三章中所作之推論與解釋了圖 3-6 所量測到結果。

為了解決此問題，我們試著將 b 參數拉長，以消弭因 b 長度縮短所引起的導通電流下降之問題。我們藉由模擬軟體(ISE TCAD)，模擬不同的 b 參數對導通電流的影響，如圖 4-4 所示。由圖 4-4 中我們可以發現，當 b 由 $0.6\mu\text{m}$ 增加到 $1.0\mu\text{m}$ 時，其導通電流可以藉此設計大幅地上升，因為如上所述可以藉由 b 參數的增加消弭電流路徑集中(crowding)在 STI 周圍而引起阻抗增加的現象，但此方法並非完全正確，因我們發現，在 b 參數繼續增加到 $1.4\mu\text{m}$ 、 $1.6\mu\text{m}$ 甚至 $1.8\mu\text{m}$ 等級時，導通電流又開始大幅度的下降，並不會因 b 增加而一直呈現上升的趨勢，其原因是來自於當 b 參數拉長的時候，雖然解決了上述電流集中造成阻抗變大的問題，但同時也拉長了內部電流的總路徑長，因此，最終還是會因電流路徑的增加而使得導通電流降低。是故，由以上模擬結果我們得知， b 參數的值應該針對不同的電晶體結構佈局，而有一最佳化之設計，以期達到其最大的導通電流，而不是一味

的增加即可。

(b) 基體電流

根據第三章 3-1(c)節中我們量測所得的數據圖 3-7 與圖 3-8，以及之前提過的參考文獻，因而我們推斷，當高壓金氧半場效電晶體的佈局參數 b 縮短到 $0.6\mu\text{m}$ 的時候，可能是因為 Kirk effect 使其基體電流會隨著閘極電壓增加而呈現持續上升的現象，進而損害(damage)到元件可靠度(reliability)。因此，在此節中我們著手模擬 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 的對稱型金氧半場效電晶體，其模擬的詳細元件之佈局參數如表 4-1 所示，我們分別將其汲極加壓到 32V，閘極加壓到 40V，源極接地，觀察其內部電場及離子撞擊游離率(Impact Ionization Rate)之分佈，模擬結果分別如圖 4-6 與圖 4-7 所示。

第三章中我們所提到的 Kirk effect 是在高功率的側邊雙擴散金氧半場效電晶體(HV-LDMOS)操作時，當閘極加壓到高工作電壓的時候，元件內部的最大電場及最大的離子撞擊游離率(Impact Ionization Rate)會由傳統 LOCOS 的鳥嘴區域(Bird's beak)逐漸往外部汲極端靠近，而慢慢脫離閘極下的控制。由於當閘極對其的控制能力降低之後，由熱載子引發的介面電荷(interface charges)就將無束縛地更容易貢獻出劇烈的基體電流，因此在實驗上，才會觀察到基體電流對閘極電壓的趨勢是不斷地增加的情況；上述這個現象被稱做為 Kirk effect [38-39]

至於此現象的成因，與雙載子功率電晶體(Bipolar Power Transistor)中的 Kirk effect[40]有類似之處；在我們的實驗元件中，因為我們將高功率金氧半場效電晶體之閘極電極下，高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度縮到 $0.6\mu\text{m}$ 的時候，由本章 4-1(a)節我們知道， b 參數縮短時，在高閘極汲極電壓操作下，將會

造成電流密度在閘極與汲極間繞過 STI 邊緣的區域越來越密集，大幅增加其電流密度(如圖 4-1，圖 4-2，圖 4-3 所示)。而根據雙載子功率電晶體元件中[40]，我們知道，在一個 N+/P/N/N+ 接面，如圖 4-5 所示，若流經該區的電流密度(n)大於 N_D 所貢獻的電流密度

$$J_0 = qv_s N_D$$

則元件內部之最大電場會因此由原本的 P/N 界面逐漸轉移到 N/N+ 界面，如圖 4-5 中所示，當電流密度由(a)變大到(b)最後增加到(c)時，其最大電場會逐漸往 N/N+ 界面移轉。

$$dE(x)/dx = -q[N_D - n]/\epsilon_s$$

$$E(x) = E(0) - q[N_D - J_0/qv_s]x/\epsilon_s$$

因此，由我們模擬的結果圖 4-6 與圖 4-7 我們可以明確看見 Kirk effect 的現象：圖 4-7(a) 是模擬 $b=1.0\mu\text{m}$ 之對稱型元件，可看出在 $b=1.0\mu\text{m}$ 的情況下，元件內之最大電場仍落在閘汲極間的 STI 靠閘極與通道邊緣的地方；相對地，圖 4-6(a) 是模擬 $b=0.6\mu\text{m}$ 之對稱型元件，從圖中可以很明顯地看出，元件內部之最大電場已經逐漸地開始往汲極端靠近蔓延，遠離閘極端的控制；而這個模擬結果與 kirk effect 正相吻合。

接著我們再看離子撞擊游離率 (Impact Ionization Rate) 之分佈，圖 4-7(b) 是模擬 $b=1.0\mu\text{m}$ 之對稱型元件，我們可以很清楚地看出在 $b=1.0\mu\text{m}$ 的情況下，元件內部的離子撞擊游離率 (Impact Ionization Rate) 和圖 4-6(b) 模擬 $b=0.6\mu\text{m}$ 的元件相較之下， $b=1.0\mu\text{m}$ 的元件其高離子撞擊游離率分佈較疏，不像 $b=0.6\mu\text{m}$ 的元件那麼密集；更精確地數據我們可以看圖 4-8(a) 與圖 4-8(b) 所示，其中圖 4-8(a) 為延著閘極和汲極間 STI 的前端 AA' 所作之縱切面，觀察其離子撞擊游離率延著閘汲極間 STI 前端 AA' 之縱深分佈；而圖 4-8(b) 則為延著該 STI 中線 BB' 所作之縱切面，觀察其離子撞擊游離率延著閘汲極間 STI 中點處 BB'

之縱深分佈。

由圖 4-8(a)中我們可以看出， $b=0.6\mu\text{m}$ 的元件，在閘汲極間 STI 前端處的離子撞擊游離率縱深分佈，都較同處的 $b=1.0\mu\text{m}$ 元件高約兩個數量級(order)，且其高離子撞擊游離率分佈的範圍也較廣，這個現象在圖 4-8(b)中，當前進到閘汲極間 STI 中端 BB'的地方時，仍然很明顯地成立；這說明了我們的實驗元件在閘極電極下高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度縮到 $0.6\mu\text{m}$ 的情況下，元件內部的離子撞擊游離率的确會因此而改變，尤其是靠近汲極端的區域，其最大離子撞擊游離率的大小會隨著 b 參數的縮小而增加，且高離子撞擊游離率的分佈範圍也會因 b 參數的縮小而更廣，並且元件內的最大電場也會逐漸遠離通道，而往汲極端移動，這個模擬的結果與我們前述文獻中的 Kirk Effect 結論相吻合。因此，藉由模擬出電晶體內部的電場分佈與離子撞擊游離率的分佈圖，我們證實了當佈局參數 b 縮小時，此高功率金氧半場效電晶體確實是發生了如前所述的 Kirk effect。

其原因是來自於在我們的實驗元件中，已經經過量測而且模擬出當佈局參數 b 縮小到 $0.6\mu\text{m}$ 的時候，其電流密度會明顯上升且變得非常密集，而在我們的實驗元件結構中，可以發現此電晶體之源汲極間的界面即恰好是一個 N+/P/N/N+界面，因此有鑑於此電流密度上升的效應將會引發元件的 Kirk effect，而造成元件內最大電場的移轉與離子撞擊游離率(Impact Ionization Rate)往汲極端靠近的現象，進而使得閘極的控制力降低，所以才會引發嚴重的基體電流。至於在第三章中我們量測到的此 Kirk effect 現象在對稱元件中之所以會較不對稱元件中來的明顯是由於，在此特殊的界面中，其電場移轉時的 N 段長度(如圖 4-5 所示)，即為我們實驗元件內部 S 參數之長，而我們又知道，

在對稱元件中的 S 參數較短(為 $1.2\mu\text{m}$)，因此相較於不對稱元件的 S 為 $2.0\mu\text{m}$ ，對稱元件在因 b 參數縮短而引起電流密度遽增引發 Kirk effect 與最大電場、離子撞擊游離率轉移至汲極端時，會有位移(shift)較大的現象發生，因而使得 Kirk effect 較顯著，而量測到較嚴重的基體效應。

(c) 崩潰電壓

由第三章 3-1(d)節中我們量測得的數據結果顯示，對高壓金氧半場效電晶體來說，當其他佈局條件都維持不變的情況下，若將佈局參數 b 即閘極電極下，高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度拉長，對於元件耐壓(Blocking)的提升能力助益不大。在此節中我們著手模擬 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 之對稱型高壓金氧半場效電晶體，其模擬的詳細元件之佈局參數如表 4-1 所示。我們模擬的情況是將源極加 0V，閘極電壓固定在 10V，在元件汲極加大電壓 0~80V 直至崩潰，觀察其崩潰時之內部電場分佈。

圖 4-9(a)與圖 4-9(b)是我們分別模擬 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 之高壓金氧半場效電晶體崩潰時的內部電場分佈圖，由此兩張圖中我們可以看出，在 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 的元件崩潰電場分佈圖中，其最大電場都是落於閘極下靠近 STI 的邊緣處，且分佈趨勢大抵上也都相同，兩者的崩潰電壓也非常接近， $b=0.6\mu\text{m}$ 的元件崩潰電壓為 56V， $b=1.0\mu\text{m}$ 的元件崩潰電壓為 57V。我們認為高壓金氧半場效電晶體內之 b 參數會影響到電晶體崩潰的空乏邊界(depletion edge)，當電晶體汲極慢慢加壓而達到其累增崩潰時，閘極下的 P/N 接面開始空乏，空乏區(depletion)往兩端開始擴張延伸；而當 b 參數設計的過小的時候，其空乏邊界將會很容易地被閘極與汲極間的 STI 限制住，以致於無法有效延伸，如圖 4-10 中(b)所示，但是，由於在汲極下方 N well 底部

處也會產生空乏，故電晶體內部之空乏區其實並不會因為閘汲極間 STI 的存在而被限制住無法延伸以致提早崩潰。所以我們量測到的 $b=0.6\mu\text{m}$ 與 $b=1.0\mu\text{m}$ 元件的崩潰電壓才會非常的接近、幾乎無異，而 $b=1.0\mu\text{m}$ 元件的崩潰雖然有較高一點點($<5\%$)，但實際上，若想藉由將閘極下的高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度拉長來提升高壓金氧半場效電晶體的崩潰能力，其實並不是一個有用的方法。

4-2 S 參數之影響

由第三章 3-2 節中我們量測得到的種種數據顯示出，高壓金氧半場效電晶體內部閘汲極間淺溝式隔離段之長度 S 參數會影響到電晶體的崩潰電壓。因此，在此節中我們即將利用製程及元件模擬軟體 (ISE TCAD)，來模擬不同的變異 S 參數對元件內部的電場電位分佈、或離子撞擊游離率 (Impact Ionization Rate) 等之影響趨勢，進一步與第三章中量測所得之電性結果相驗證。

在第三章 3-2(b)節中，我們證實了高壓金氧半場效電晶體內部閘極、汲極間之淺溝式隔離長度將會大幅影響到其元件之耐壓能力：隨著 S 參數的增加，元件之崩潰電壓將會隨之上升，而這個現象不僅僅在對稱型高壓金氧半場效電晶體中看得到，在不對稱型的電晶體中同樣亦見。因此，在此節中，我們模擬 $S=2.0\mu\text{m}$ 與 $S=1.2\mu\text{m}$ 之對稱型高壓金氧半場效電晶體之崩潰特性，其餘模擬的詳細佈局參數如表 4-2 所示。模擬的情況是將源極給 0V，閘極電壓固定在 10V，在元件汲極加大電壓 0~80V 直至崩潰，觀察其崩潰時之內部電場與離子撞擊游離率 (Impact Ionization Rate) 的分佈。模擬結果分別如圖 4-11(a) 與圖 4-11(b)所示。

由圖 4-11(a)與圖 4-11(b)中我們可以看出，在 $S=2.0\mu\text{m}$ 的高功率

金氧半場效電晶體中，其最大電場的分佈，不僅僅落在閘極汲極間的 STI 周圍，亦會廣泛地延伸到汲極基極間 STI 之鄰近區域(元件尺寸 $x=8\sim 10$, $y=-3$ 處)。我們注意觀察在電晶體靠外端的汲極基極間 STI 區域(元件尺寸 $x=8\sim 10$, $y=-3$ 處)，可以看出當 S 設計為 $1.2\mu\text{m}$ 時，其最大電場的分佈主要還是停留在靠閘極下的通道處，無法像 S 設計為 $2.0\mu\text{m}$ 的時候電場可以有效地延伸較廣；因此我們知道當元件內 S 設計為 $1.2\mu\text{m}$ 的時候，因為其內部電場沒辦法有效地延伸出去，侷限在閘極下的較短區域內，因此才會造成其崩潰的提早發生；詳細的數據我們可以看圖 4-12，圖 4-12 是我們沿著閘極和汲極間的 STI 之中線 AA' 所作之縱切面，觀察其電場延著 STI 中線 AA' 之縱深分佈。由圖中我們可以看到 $S=1.2\mu\text{m}$ 的元件其電場值延著縱深分佈都會比同處的 $S=2.0\mu\text{m}$ 的元件來的高，可見我們所作的推論為正確的，即是：在 S 設計的較短的元件中，因為其內部電場只能侷限在閘極下的較短區域內，無法像 S 設計的較長的元件一樣可以將電場有效地延伸出去，因此才會造成其崩潰的提早發生。除此因素之外，我們從元件內部的電流分佈現象與離子撞擊游離率之分佈圖，也可一窺當 S 縮短崩潰會隨之下降的原因。

圖 4-13(a)與圖 4-13(b)分別為模擬 $S=2.0\mu\text{m}$ 與 $S=1.2\mu\text{m}$ 之高壓金氧半場效電晶體之電流密度分佈圖，由圖 4-13(a)中我們可以很明顯地看到元件內部電流的路徑，是會沿著閘極汲極間的 STI 繞過其下緣流過的，因此當此段 S 長度設計的較長的同時，事實上也等同於是減緩了電流在此擁擠密集(crowding)的效應；由圖 4-13(b)中我們可以清楚看到，電晶體閘極通道下與近閘極汲極間 STI 的區域之電流密度，相較於圖 4-13(a)是相當高的，因此，有鑒於當 S 設計過短的時候，將造成電流在流經此路徑時的集中效應，故我們知道，這也會影響到

元件的耐壓能力。

圖 4-14(a)與圖 4-14(b)分別為我們模擬 $S=2.0\mu\text{m}$ 與 $S=1.2\mu\text{m}$ 之高壓金氧半場效電晶體內部之離子撞擊游離率(Impact Ionization Rate)的分佈圖,由此兩張圖中我們可以清楚的比較看出,當 S 設計為 $1.2\mu\text{m}$ 的時候,其元件內部的高離子撞擊游離率分佈得較密,尤其集中在閘極與汲極間的區段,其離子撞擊游離率較 S 為 $2.0\mu\text{m}$ 的元件要來的高很多,詳細的數據可以看圖 4-15,圖 4-15 是我們沿著閘極和汲極間的 STI 之中線 AA'所作之縱切面,觀察其離子撞擊游離率延著 STI 中線 AA'之縱深分佈,從圖中我們可以看出,在同一顆高壓金氧半場效電晶體中,當 S 設計為 $1.2\mu\text{m}$ 的時候,其位於閘汲極間區域下方縱深分佈的離子撞擊游離率會是 S 為 $2.0\mu\text{m}$ 時候同處的兩個數量級或以上,到 substrate 區域時,甚至可高達五個數量級(order)以上。

因此,由上述我們模擬得到的電場分佈圖、電流密度分佈圖、與內部離子撞擊游離率的分佈,我們確認了一個現象,即是當電晶體內閘汲極間的 STI 拉長後,元件的崩潰可藉此大大提升;但同時我們發現仍有一處值得討論,即是在上述調變 S 參數的模擬中,我們都是將 S/a 的比率固定,即 S 增加時, a 也固定成長,因此,為了要釐清幫助電晶體崩潰增加的來源究竟是 S 參數或是 a 參數,故在以下,我們即將進行將 S 參數固定而只變動 a 參數的模擬,以釐清幫助元件耐壓能力增加的因素是來自 S 的增加抑或 a 的增加。

因此,我們著手模擬 a 參數的調變,模擬樣本為:將 S 固定為 $2.0\mu\text{m}$ 時, a 調變為 $1.0\mu\text{m}$ 、 $0.6\mu\text{m}$ 與 S 固定為 $1.2\mu\text{m}$ 時, a 調變為 $1.0\mu\text{m}$ 、 $0.6\mu\text{m}$ 之對稱型高壓金氧半場效電晶體之崩潰特性,其餘模擬的詳細佈局參數如表 4-3 所示。模擬的情況是將源極給 0V ,閘極電壓固定在 10V ,在元件汲極加大電壓 $0\sim 80\text{V}$ 直至崩潰,觀察其崩潰時之內

部電場與離子撞擊游離率(Impact Ionization Rate)的分佈。

圖 4-16(a)與圖 4-16(b)分別為 S 固定在 $1.2\mu\text{m}$ 時，a 調變為 $0.6\mu\text{m}$ 與 a 為 $1.0\mu\text{m}$ 之對稱型高壓金氧半場效電晶體崩潰時之內部電場分佈圖；圖 4-17(a)與圖 4-17(b)分別為 S 固定在 $1.2\mu\text{m}$ 時，a 調變為 $0.6\mu\text{m}$ 與 a 為 $1.0\mu\text{m}$ 之對稱型高壓金氧半場效電晶體崩潰時的離子撞擊游離率分佈，由以上這些模擬結果中我們可以明顯看出，隨著 a 參數的改變，電晶體之崩潰電壓(皆為 56V)並無變異，且其內部之電場分佈與離子撞擊游離率也都幾乎相同，圖 4-18 與圖 4-19 為延著閘極和汲極間的 STI 之中線 AA' 所作之縱切面，分別觀察其最大電場與離子撞擊游離率延著 STI 中線 AA' 之縱深分佈，由圖 4-18 與圖 4-19 中，我們可以更清楚的看到，當電晶體中的 S 參數固定在 $1.2\mu\text{m}$ 的時候，不論 a 參數的變異，是 $0.6\mu\text{m}$ 或 $1.0\mu\text{m}$ ，其電場與離子撞擊游離率的分佈都不會因 a 參數的調變而有所改變。

而模擬 S 固定在 $2.0\mu\text{m}$ 時，a 調變為 $0.6\mu\text{m}$ 與 $1.0\mu\text{m}$ 之對稱型高壓金氧半場效電晶體導通崩潰時的電場分佈與離子撞擊游離率的分佈，分別如圖 4-20(a)、4-20(b)與圖 4-21(a)、圖 4-21(b)所示。圖 4-22 與圖 4-23 為延著閘極和汲極間的 STI 之中線 AA' 所作之縱切面，分別觀察其最大電場與離子撞擊游離率延著 STI 中線 AA' 之縱深分佈，由以上這些模擬的結果，我們可以看到，在 S 固定為 $2.0\mu\text{m}$ 的時候，a 參數的調變也不會影響到其崩潰與內部電場、離子撞擊游離率的分佈圖；故由此我們得到一個結果：即是高壓金氧半場效電晶體內閘極覆蓋上 HV N well 的距離長度，並不會影響到其崩潰電壓，因此，在先前我們的量測中， $S/a=2.0/1.0$ 電晶體的崩潰電壓之所以會高於 $S/a=1.2/0.6$ 電晶體之崩潰電壓，則其原因並不是來自於 a 參數的變異，而是真正由 S 參數(閘極汲極間淺溝式隔離的長度)來決定的。

圖 4-24 與圖 4-25 是我們拿上述四組電晶體 ($S/a=1.2/0.6$ 、 $S/a=1.2/1.0$ 、 $S/a=2.0/0.6$ 、 $S/a=2.0/1.0$) 中 a 參數固定為 $1.0\mu\text{m}$ 元件的模擬崩潰數據 ($S/a=1.2/1.0$ 、 $S/a=2.0/1.0$) 所繪製得的延 AA' 切線之電場分佈與離子撞擊游離率之縱深分佈圖，由圖中我們可明顯看到，當 a 值固定在 $1.0\mu\text{m}$ 的時候， $S=1.2\mu\text{m}$ 的元件不僅在最大電場的分佈上，會較 $S=2.0\mu\text{m}$ 的元件來的高，其離子撞擊游離率的大小也都大於 $S=2.0\mu\text{m}$ 的元件有 2~3 個數量級以上；此現象在圖 4-26 與圖 4-27 中同樣亦見，其中圖 4-26 與圖 4-27 為 a 固定為 $0.6\mu\text{m}$ ， S 為 2.0 與 $1.2\mu\text{m}$ 元件崩潰時延 AA' 切線所作的電場與離子撞擊游離率的縱深分佈。

因此，由以上種種模擬的結果，我們確定得到結論：在高壓金氧半場效電晶體中，當元件內部之閘汲極間的淺溝式隔離長度 (S) 縮短之後，其電場會變得較集中無法延伸開來均勻散佈到通道外端，而且電流密度延著 STI 周圍也會變得較密集且升高，元件內的離子撞擊游離率也會因此急遽驟升，基於這些因素，故會影響到其電晶體之崩潰電壓，使電晶體耐壓能力大幅下降，而與 a 參數無關。

4-3 d 參數之影響

由第三章 3-3(b) 節中我們量測得到的數據顯示出，佈局參數 d 會影響到高壓金氧半場效電晶體之崩潰電壓，隨著 d 值的縮短 (等同於電晶體汲基極間淺溝式隔離 (STI) 縮短)，電晶體之崩潰電壓會隨之下降。因此，在此節中我們即將利用製程及元件模擬軟體 (ISE TCAD)，來模擬不同的 d 參數對元件內部的電場電位分佈或離子撞擊游離率 (Impact Ionization Rate) 等的影響趨勢，釐清此現象之成因與電晶體內部之崩潰點是否真有轉移的情況發生。

我們進行模擬的是 $d=2.0\mu\text{m}$ 、 $1.8\mu\text{m}$ 、 $1.6\mu\text{m}$ 、 $1.4\mu\text{m}$ 、 $1.2\mu\text{m}$ 之對稱型高壓金氧半場效電晶體之崩潰特性，其餘之模擬佈局參數如表

4-4 所示。模擬的條件是將源極給 0V，閘極電壓固定在 10V，在元件汲極加大電壓 0~80V 直至崩潰，並觀察其崩潰時之內部電場的分佈。模擬結果分別如圖 4-28(a)~4-28(e)所示。

圖 4-28(a)是模擬 $d=2.0\mu\text{m}$ 時的高壓金氧半場效電晶體崩潰時之電場分佈圖，可以明顯看出，當電晶體崩潰時，此時的最大電場是落在閘極汲極間 STI 的周圍，而在 d 略減為 $1.8\mu\text{m}$ 時，如圖 4-28(b)，其最大電場仍為近通道閘極汲極間的區域；然而在 d 再縮短至 $1.6\mu\text{m}$ 的時候，可以由圖 4-28(c)中看出，此時元件崩潰時的最大電場已經開始轉移到汲極基極間 STI 區域，而在 d 更加縮短到 $1.4\mu\text{m}$ 與 $1.2\mu\text{m}$ 的時候，如圖 4-28(d)與圖 4-28(e)所示，我們可以更清楚的看出此時電晶體的崩潰點已經明顯移轉到元件外圍的汲基極間了。

因此，我們由模擬結果可以清楚的看出，隨著 d 參數的縮減，高壓金氧半場效電晶體之崩潰電壓之所以會隨之遞減的原因，是因為其崩潰的位置會隨著 d 值的變小，而由原本的閘極下通道附近的 P/N 接面移轉到電晶體外圍近基極區的地方。探究此原因，我們可以看圖 2-1 與圖 2-2 的元件剖面圖，在汲極與基極間的區域事實上是一個 N⁺/N/P/P⁺的接面，因此當汲極加高電壓的時候，此接面兩側會開始往內空乏(deplete)，若 d 的設計夠長的時候，則在這兩側的空乏區碰觸(merge)在一起之前，電晶體內閘極下的通道處區域就會因電流已經達到累增加乘而先崩潰掉(avalanche breakdown)；相反地，若 d 的設計不夠長，如本次實驗條件中的 $d=1.4\mu\text{m}$ 或 $1.2\mu\text{m}$ 的狀況時，在電晶體的電流因汲極加高電壓而達到累增崩潰之前，其基極底下的 N⁺/N/P/P⁺接面之空乏區就會先碰觸(merge)在一起了，而提早一步穿透崩潰(punch-through breakdown)，導致於崩潰點移轉到元件外側近基極處了。

所以我們可以看到表 3-10 的數據結果顯示，在 d 設計為 $2.0\mu\text{m}/1.8\mu\text{m}/1.6\mu\text{m}$ 的時候，因為此時電晶體的崩潰機制與位置點都還是正常的累增崩潰位置，故閘極、汲極間 STI 較寬的不對稱高功率金氧半場效電晶體之崩潰電壓都會比閘極、汲極間 STI 較窄的對稱型元件來的高；而在 d 縮至 $1.4\mu\text{m}$ 與 $1.2\mu\text{m}$ 的時候，因為此時電晶體的崩潰機制已經轉而為基極底下接面的穿透崩潰 (punch-through breakdown) 了，故閘極、汲極間的變異因素已經不再對元件的崩潰構成影響，所以此時不論是對稱型或不對稱型元件，只要其製程時兩類元件的 N/P well 劑量濃度等條件都一致，其崩潰電壓也都會非常接近了。

是故，經由實際的量測結果，與本章模擬分析，知道高壓金氧半場效電晶體汲極基極間淺溝式隔離 (STI) 之長度之所以會影響到電晶體之崩潰電壓，乃是由於當此段設計的過短時，電晶體內的崩潰點將會移轉到元件外側，轉為基極下之穿透崩潰 (punch-through breakdown)。因此我們可以發現，為了避免此效應的發生，故在我們先前研究 b 參數或 S 參數調變時之實驗元件中，其 d 參數都是固定萃選為 $2.0\mu\text{m}$ 的設計，就是為了規避掉此無預期的外圍崩潰點。

表 4-1 模擬 b 參數之變異時的高壓金氧半場效電晶體之詳細
佈局參數

Symmetric NMOS	b=1.0 μm	W/L=20/3(μm) S/a=1.2/0.6(μm) c=1.0(μm) d=2.0(μm) f=2.0(μm)
	b=0.6 μm	

	Dopants	Energy	Dose	Depth
HV N well	Phosphorous	330KeV	5E12 cm^{-2}	2.5 μm
HV P well	Boron	90KeV	5.5E12 cm^{-2}	2.5 μm



表 4-2 模擬 S 參數之變異時的高壓金氧半場效電晶體之詳細
佈局參數

Symmetric NMOS	S=2.0 μm	$W/L=20/3(\mu\text{m})$ $a=S/2(\mu\text{m})$ $b=0.8(\mu\text{m})$ $c=1.0(\mu\text{m})$ $d=2.0(\mu\text{m})$ $f=2.0(\mu\text{m})$
	S=1.2 μm	

	Dopants	Energy	Dose	Depth
HV N well	Phosphorous	330KeV	5E12 cm^{-2}	2.5 μm
HV P well	Boron	90KeV	5.5E12 cm^{-2}	2.5 μm



表 4-3 模擬 a 參數之變異時的高壓金氧半場效電晶體之詳細

佈局參數

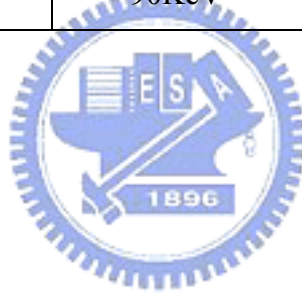
Symmetric NMOS	S=2.0 μm	a=0.6 μm	W/L=20/3(μm) b=0.8(μm) c=1.0(μm) d=2.0(μm) f=2.0(μm)
		a=1.0 μm	
	S=1.2 μm	a=0.6 μm	
		a=1.0 μm	

	Dopants	Energy	Dose	Depth
HV N well	Phosphorous	330KeV	5E12 cm^{-2}	2.5 μm
HV P well	Boron	90KeV	5.5E12 cm^{-2}	2.5 μm

表 4-4 模擬 d 參數之變異時的高壓金氧半場效電晶體之詳細
佈局參數

Symmetric NMOS	d=2.0 μ m	W/L=20/3(μ m) S/a=1.2/0.6(μ m) b=0.8(μ m) c=1.0(μ m) f=2.0(μ m)
	d=1.8 μ m	
	d=1.6 μ m	
	d=1.4 μ m	
	d=1.2 μ m	

	Dopants	Energy	Dose	Depth
HV N well	Phosphorous	330KeV	5E12 cm ⁻²	2.5 μ m
HV P well	Boron	90KeV	5.5E12 cm ⁻²	2.5 μ m



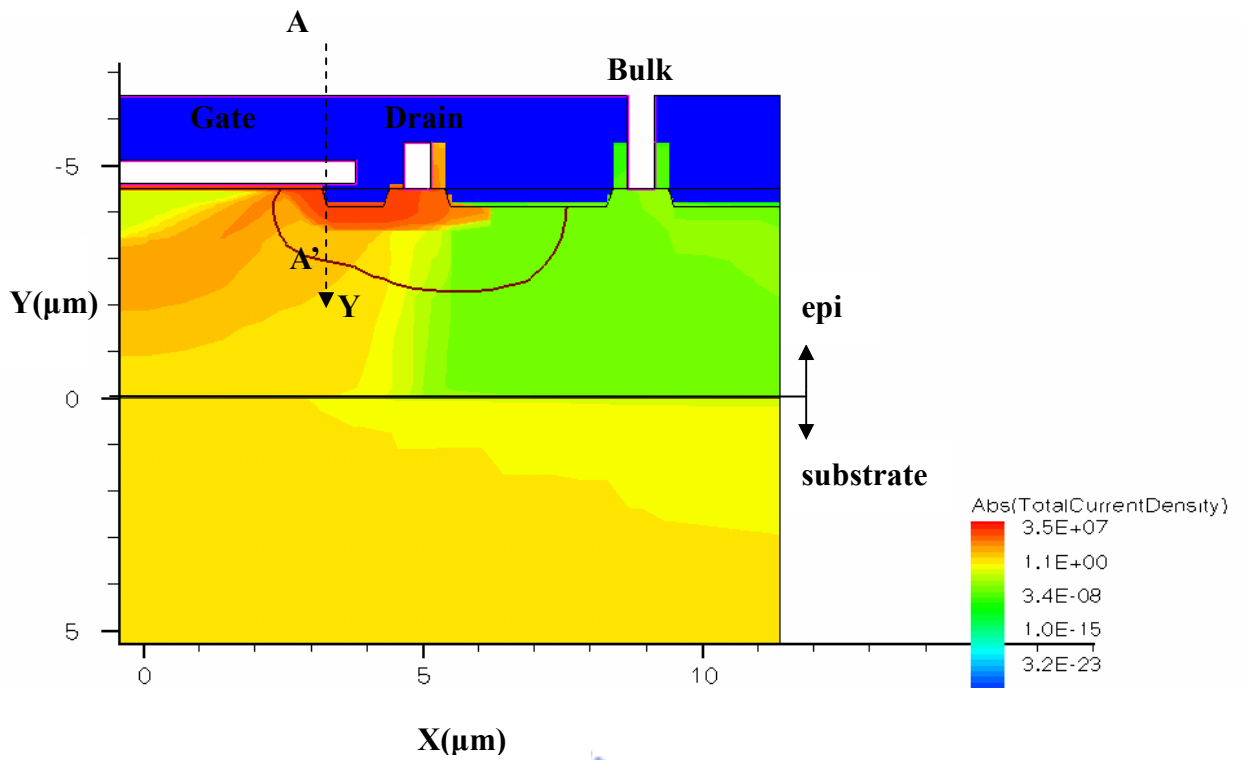


圖4-1 高壓金氧半場效電晶體內電流密度分佈@ $b = 0.6 \mu\text{m}$ 、 $V_d = 32\text{V}$ 、 $V_g = 40\text{V}$

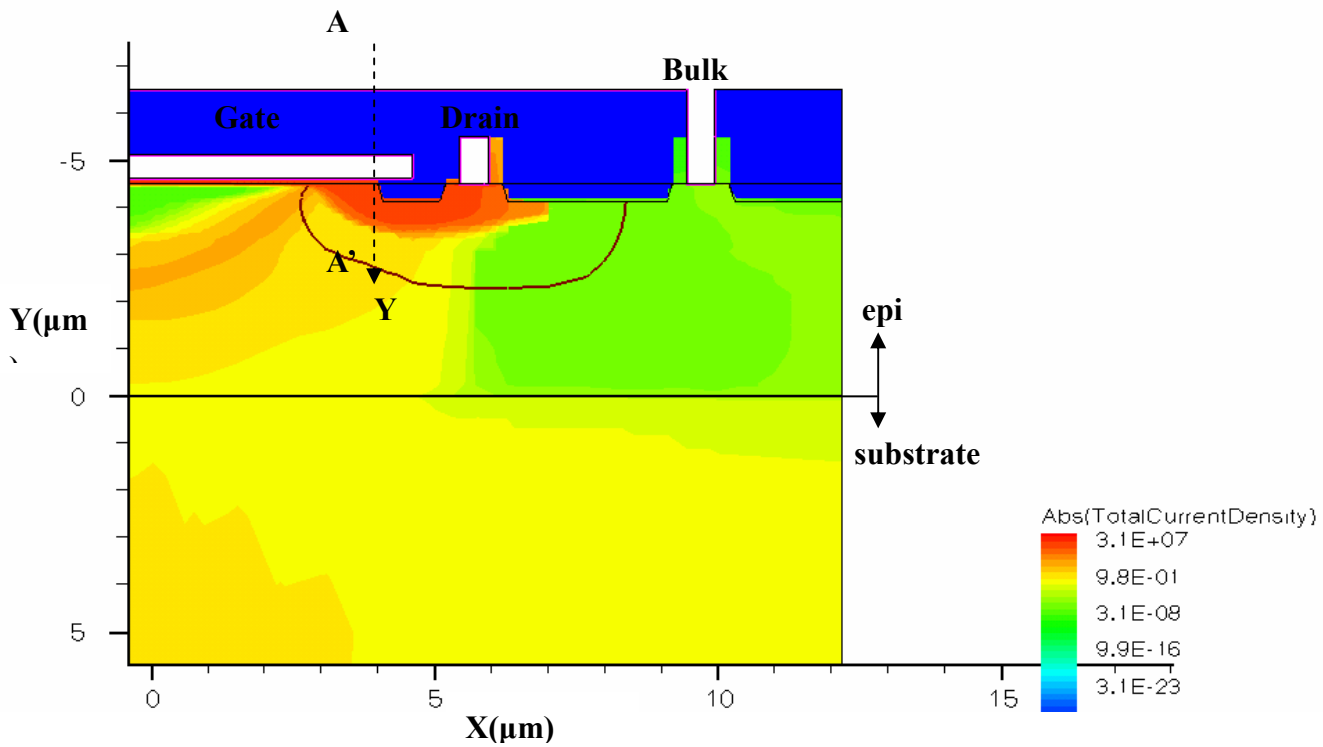


圖 4-2 高壓金氧半場效電晶體內電流密度分佈@ $b = 1.0 \mu\text{m}$ 、 $V_d = 32\text{V}$ 、 $V_g = 40\text{V}$

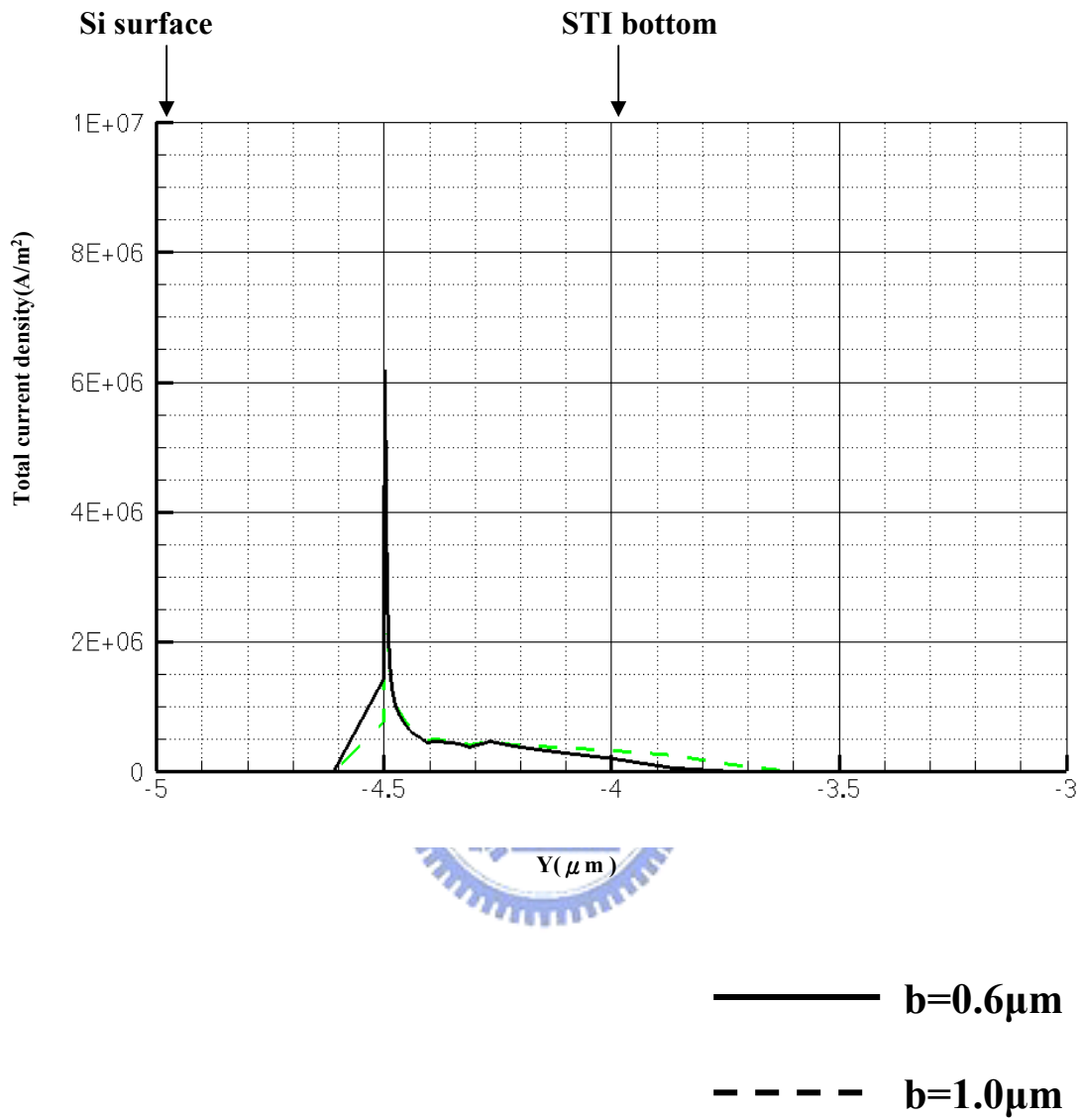


圖4-3 電流密度沿著閘汲極間STI前端AA'切線之縱深分佈

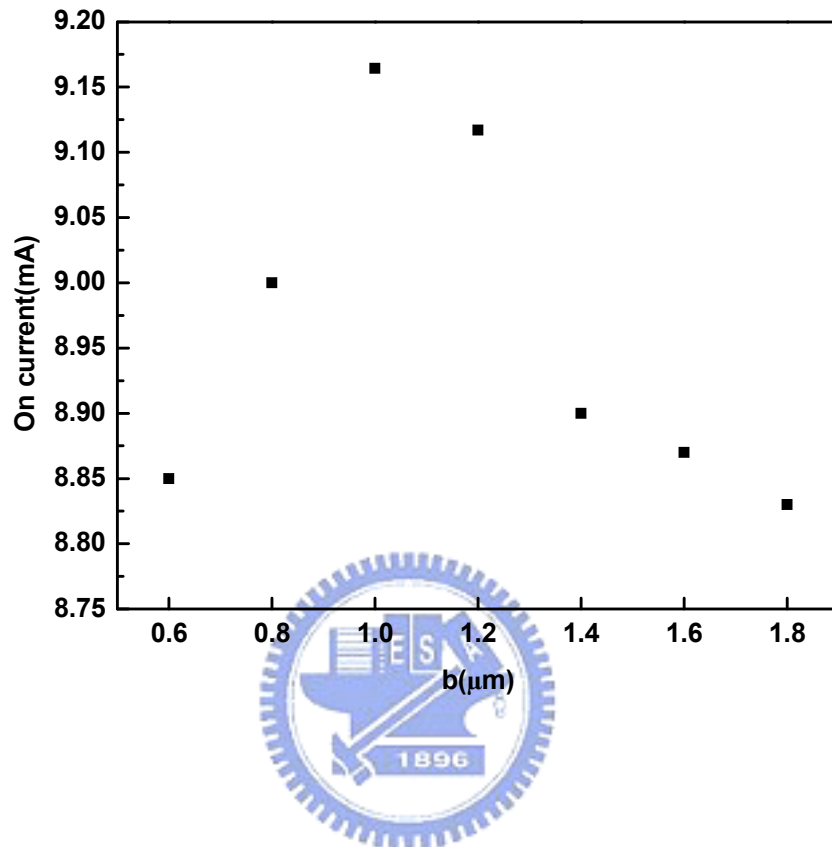


圖4-4 b參數對高開極電壓下之導通電流的影響@Vd=32V

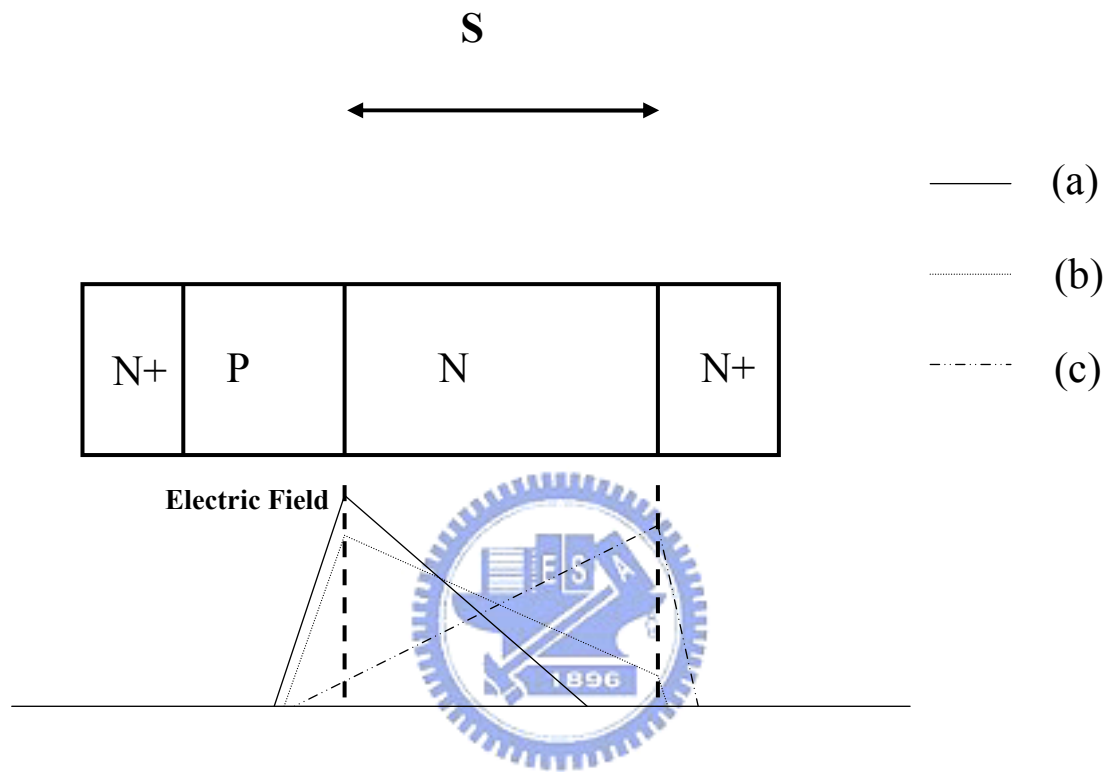


圖4-5 電流密度 (a)<(b)<(c)引發之Kirk effect與內部電場移轉之現象

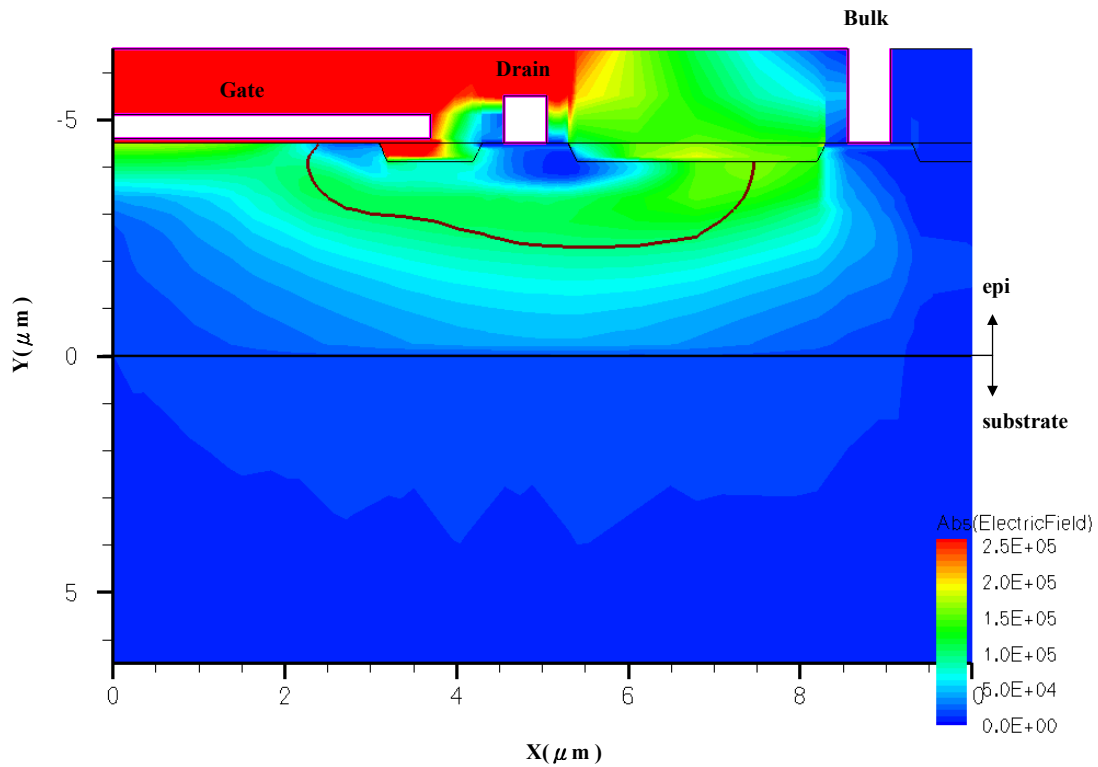


圖4-6(a)高壓金氧半場效電晶體內部電場分佈@ $b=0.6\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$

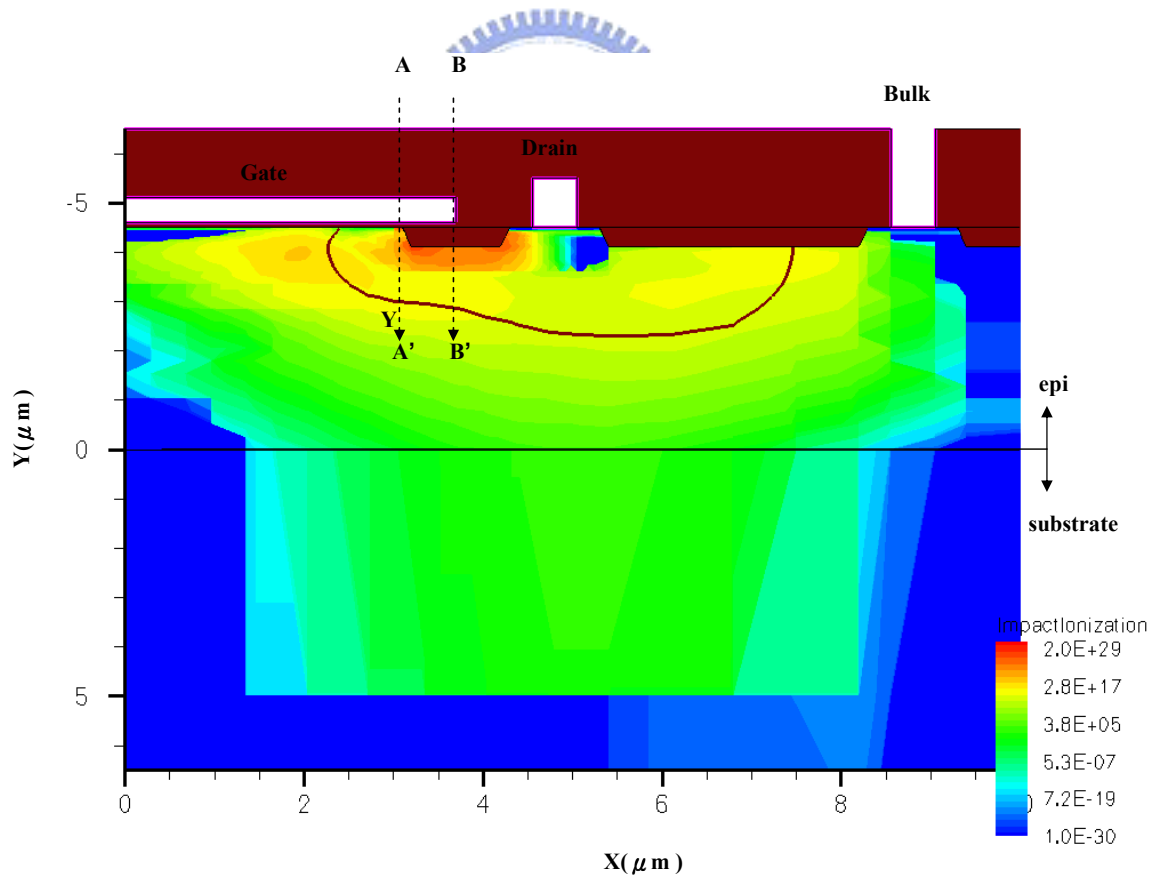


圖4-6(b)高壓金氧半場效電晶體內離子撞擊游離率分佈@ $b=0.6\mu\text{m}$, $V_d=32\text{V}$, $V_g=40\text{V}$

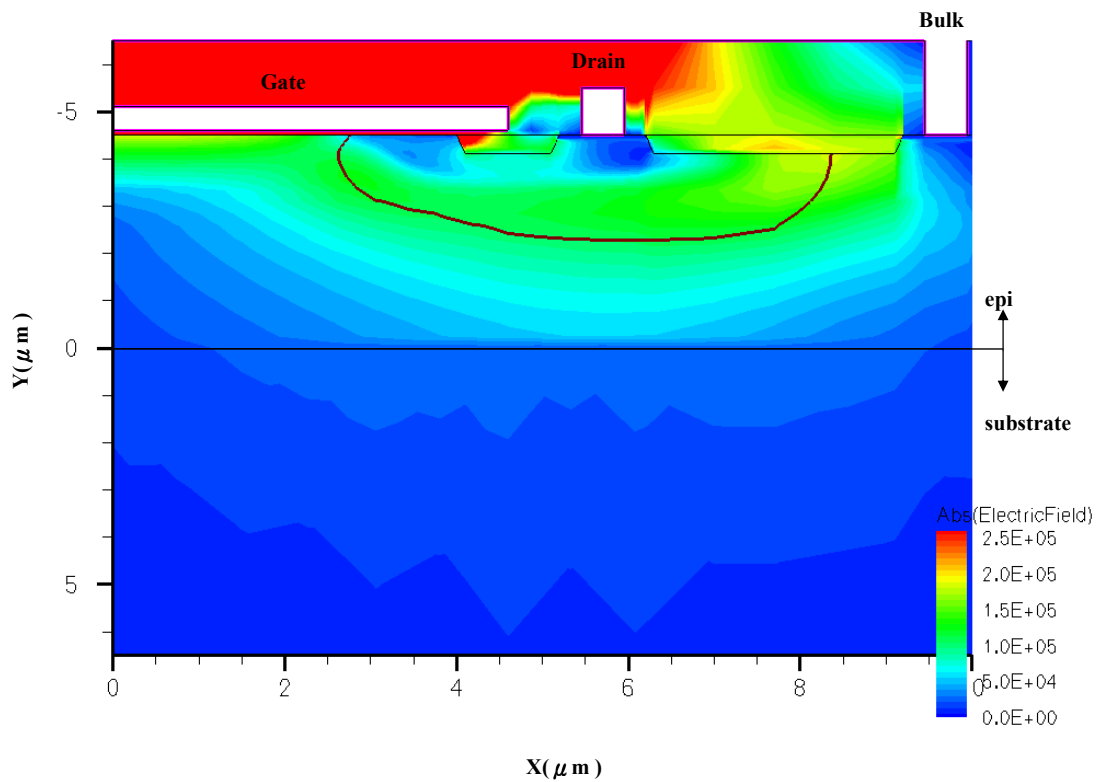


圖4-7(a)高壓金氧半場效電晶體內部電場分佈@ $b=1.0\mu\text{m}$ ， $V_d=32\text{V}$ ， $V_g=40\text{V}$

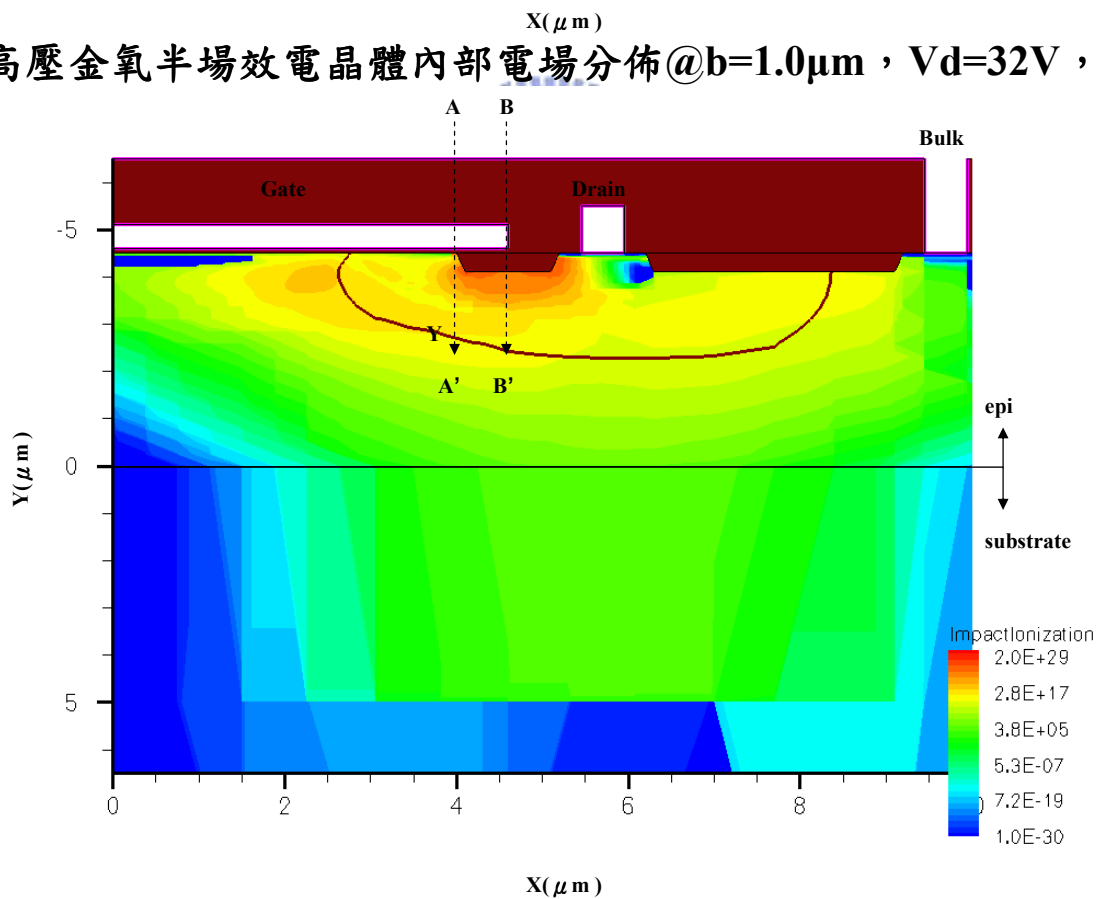


圖4-7(b)高壓金氧半場效電晶體內離子撞擊游離率分佈@ $b=1.0\mu\text{m}$ ， $V_d=32\text{V}$ ，
 $V_g=40\text{V}$

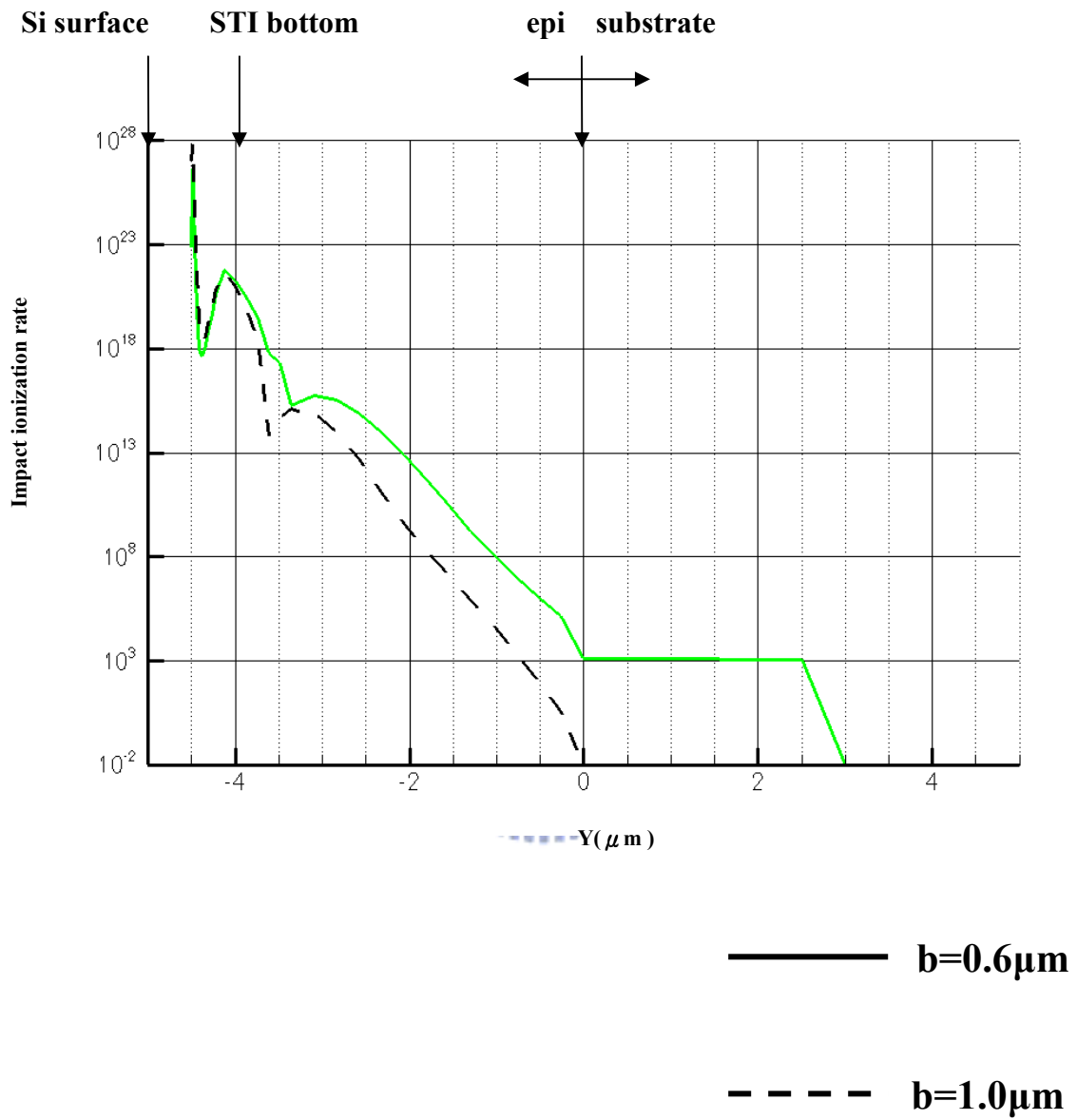


圖4-8(a) 離子撞擊游離率沿著閘汲極間STI前端AA'之縱深分佈

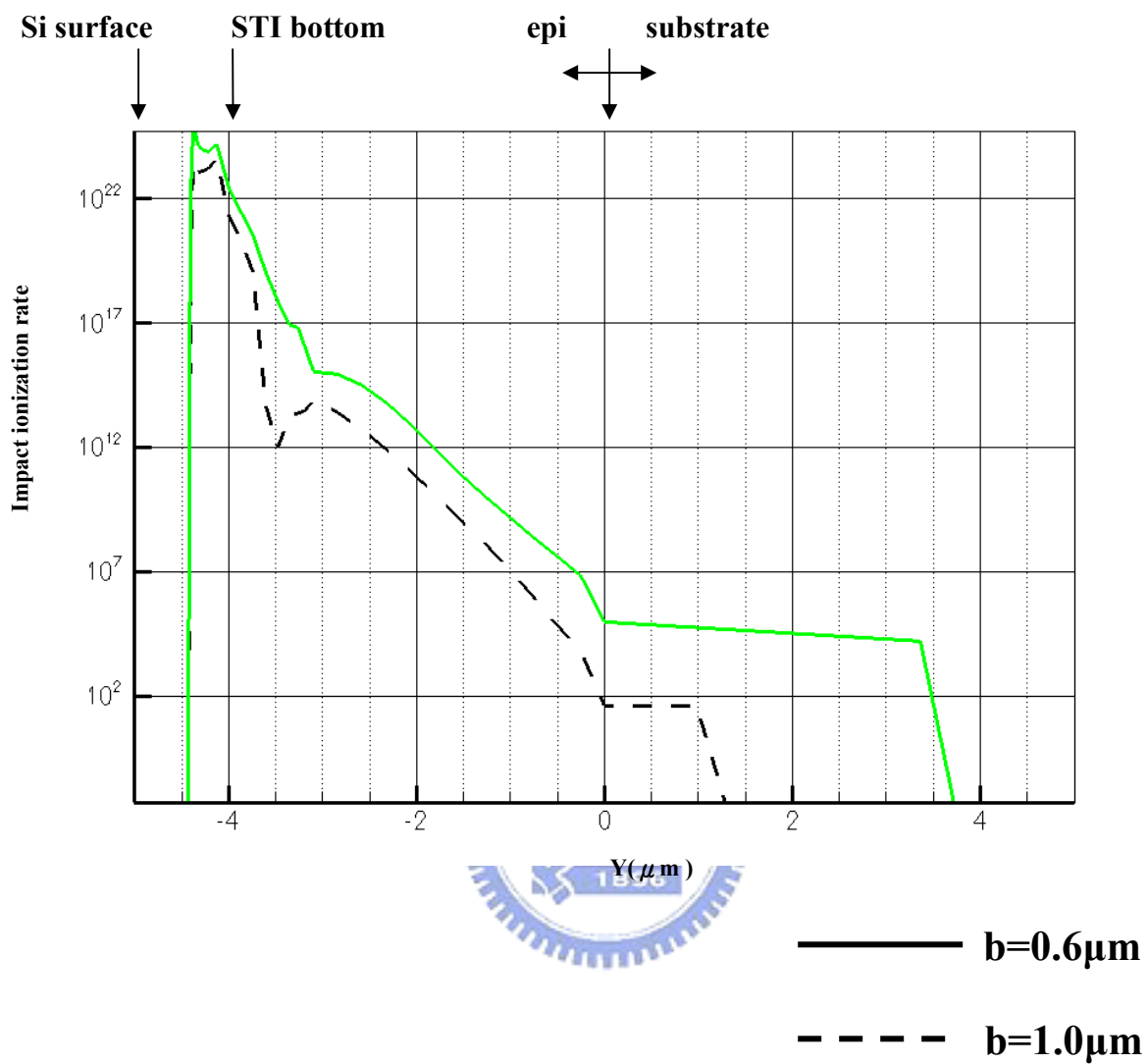


圖4-8(b) 離子撞擊游離率沿著閘汲極間STI中端BB'之縱深分佈

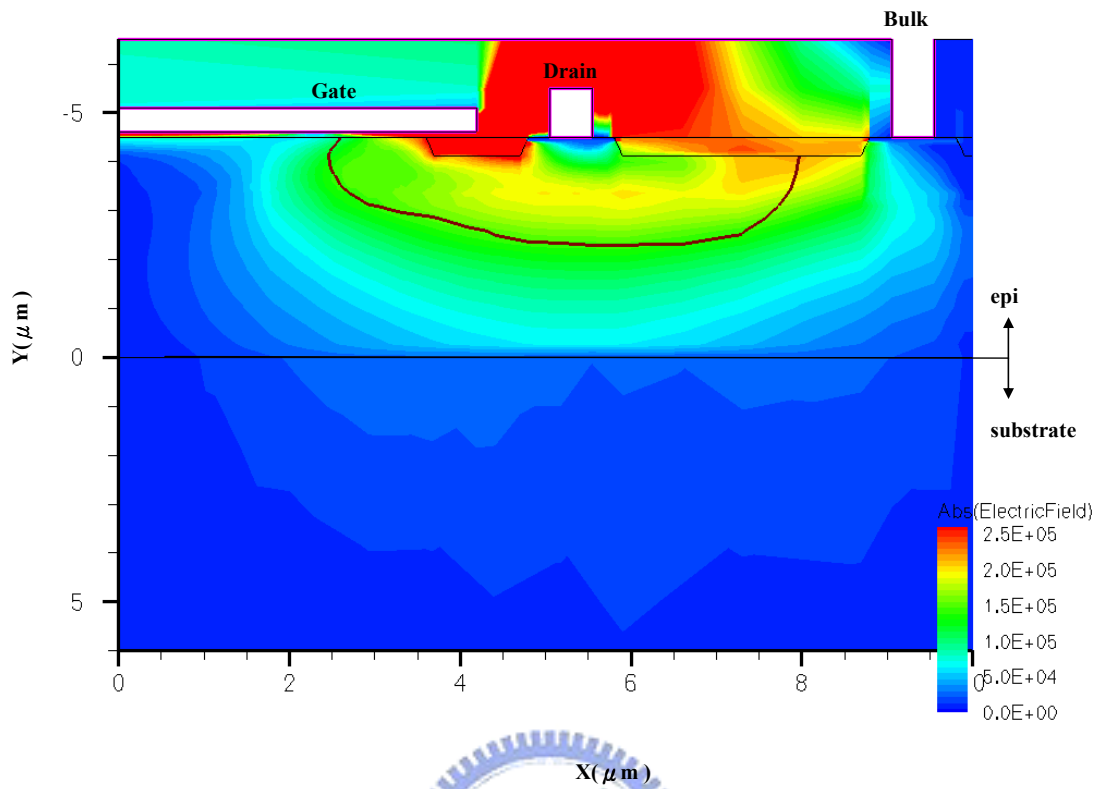


圖4-9(a) 高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的電場分佈@ $b=0.6\mu m$

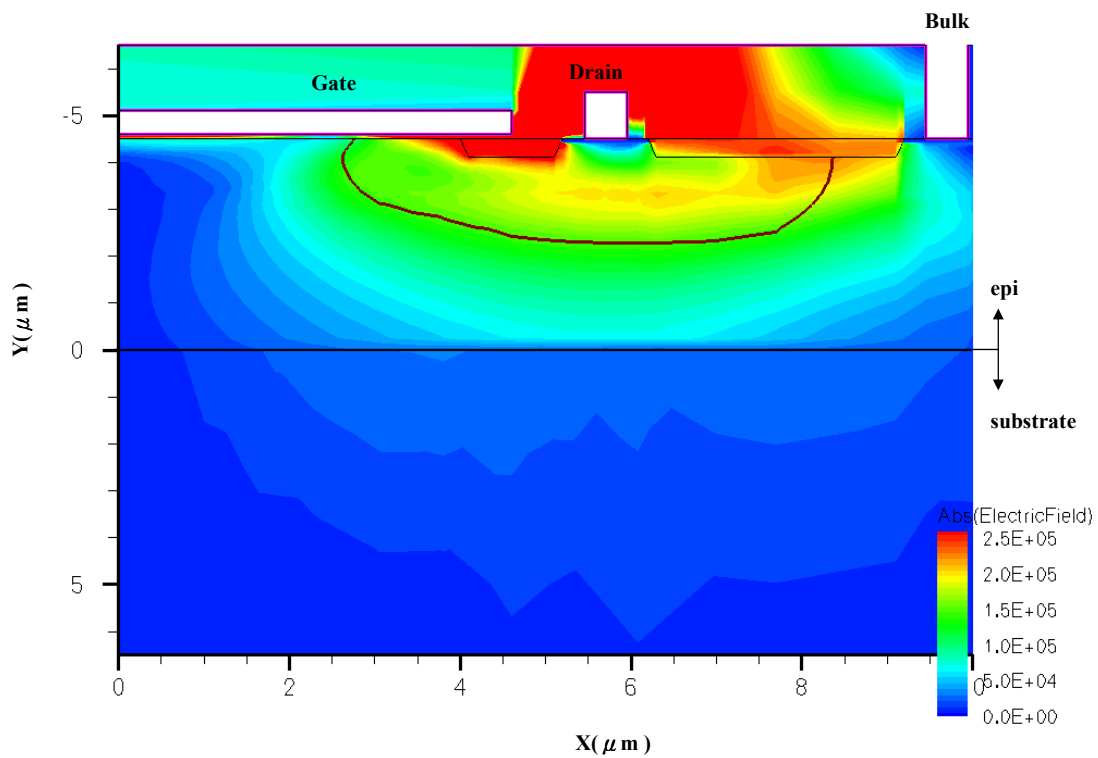
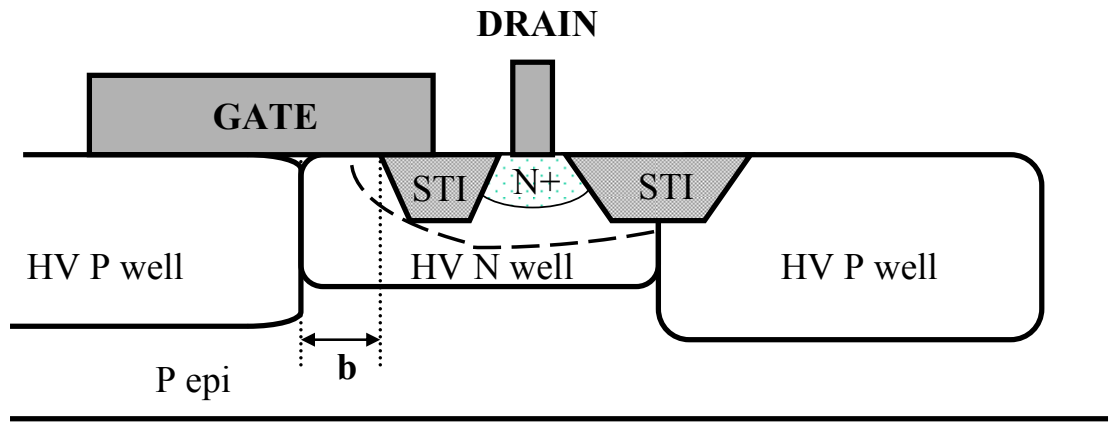
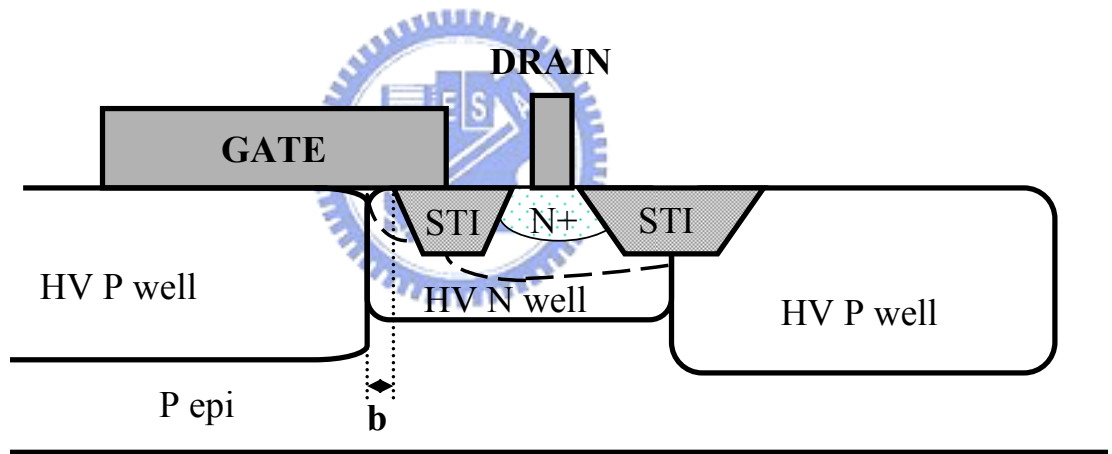


圖4-9(b) 高壓金氧半場效電晶體崩潰時 $V_d=57V$ 的電場分佈@ $b=1.0\mu m$



(a)



(b)

圖4-10 b參數對電晶體崩潰空乏邊界的影響

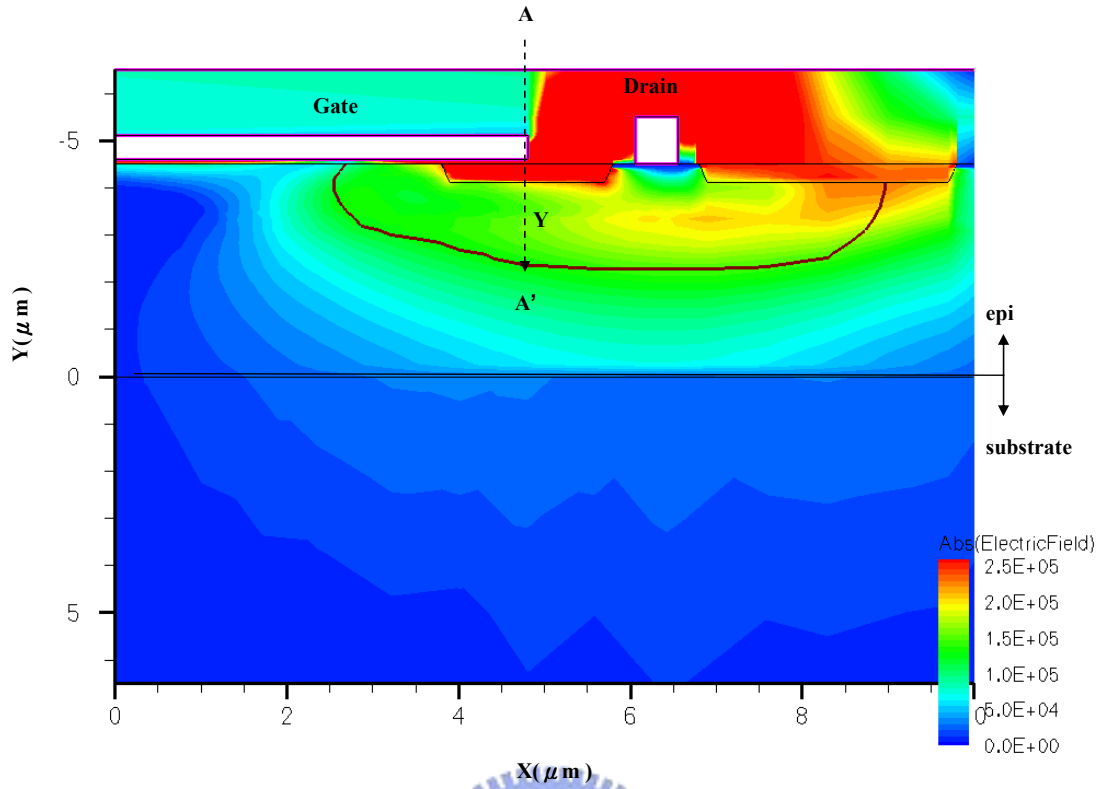


圖4-11 (a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電場分佈@ $S/a=2.0/1.0$

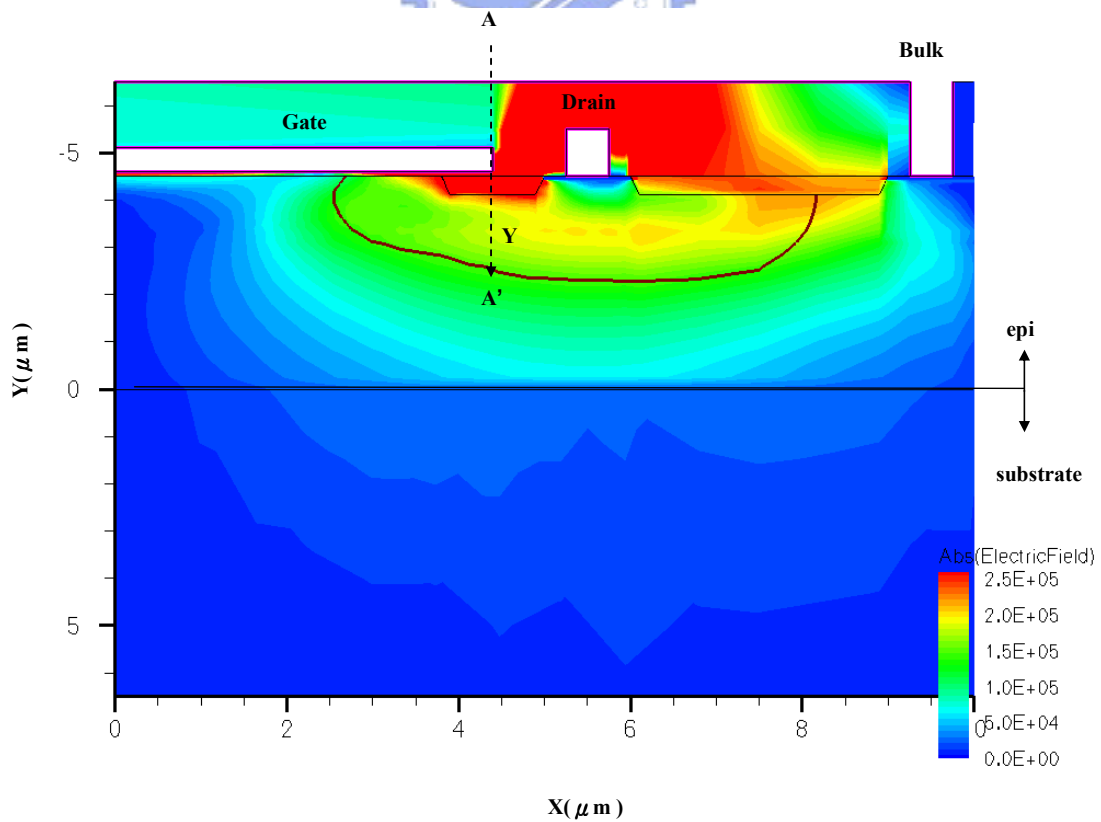


圖4-11 (b)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的電場分佈@ $S/a=1.2/0.6$

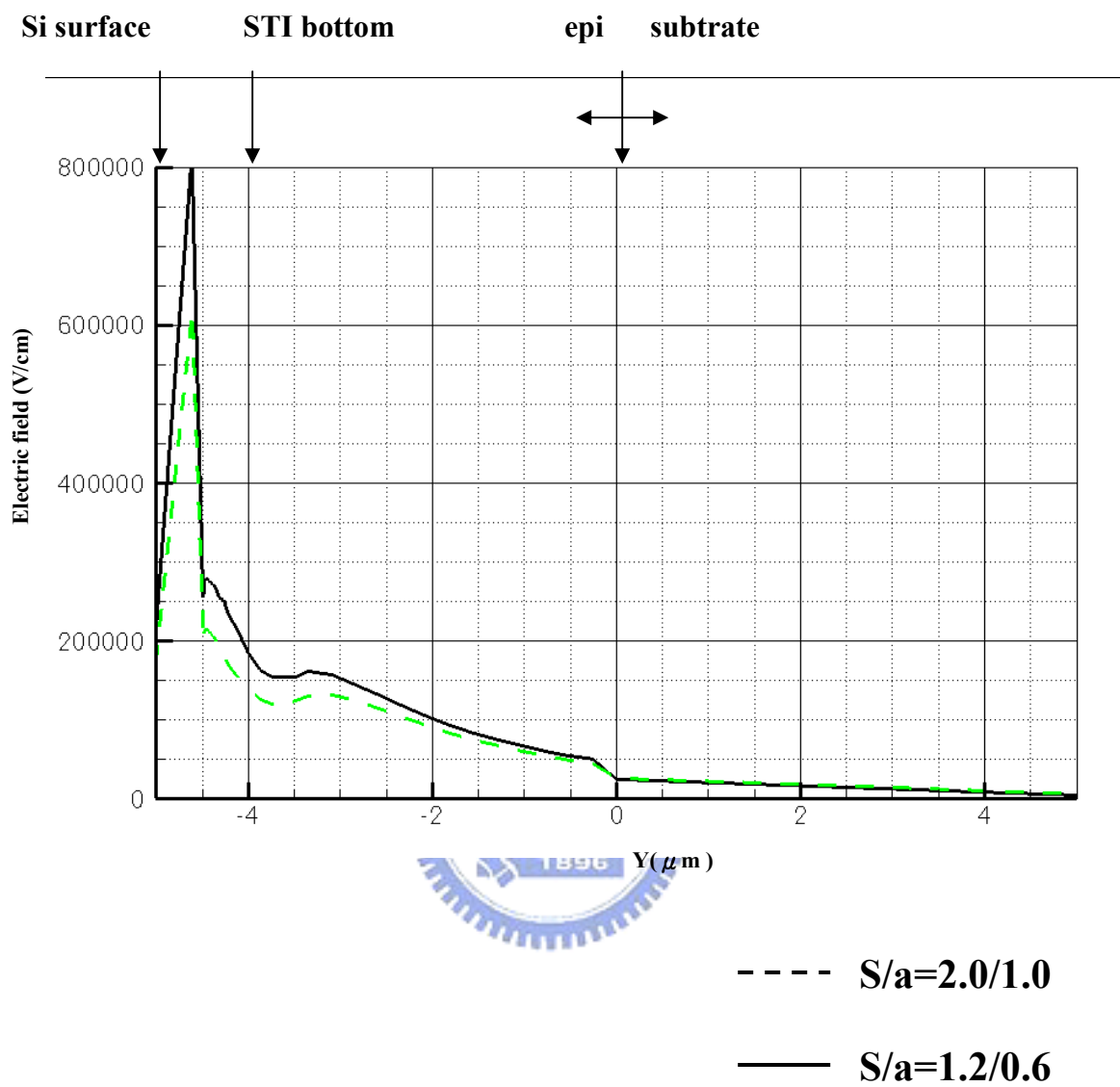


圖 4-12 元件內部電場沿著閘汲極間 STI 中線 AA' 之縱深分佈

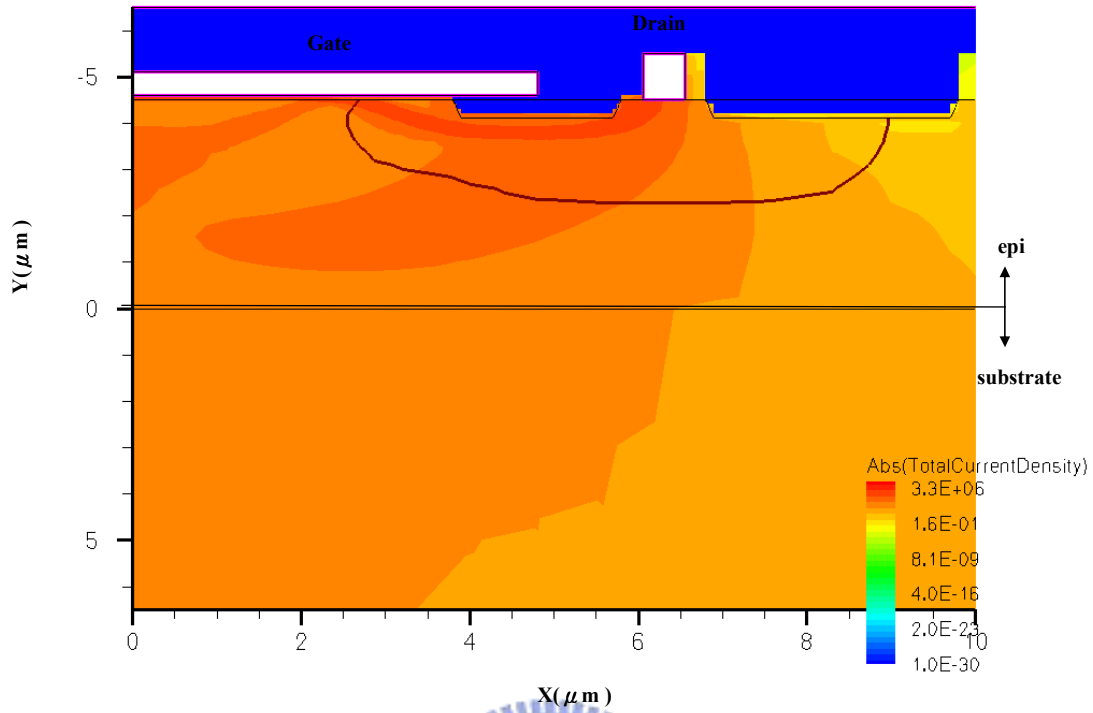


圖4-13(a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電流密度分佈@ $S/a=2.0/1.0$

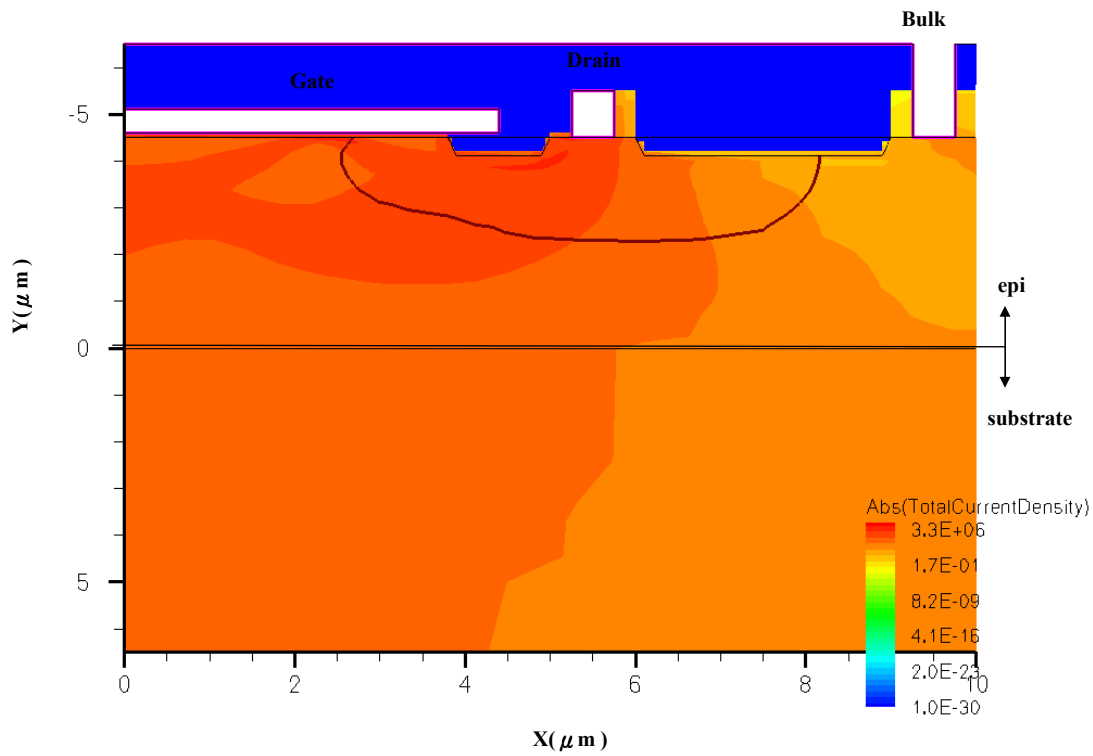


圖 4-13(b)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的電流密度分佈@ $S/a=1.2/0.6$

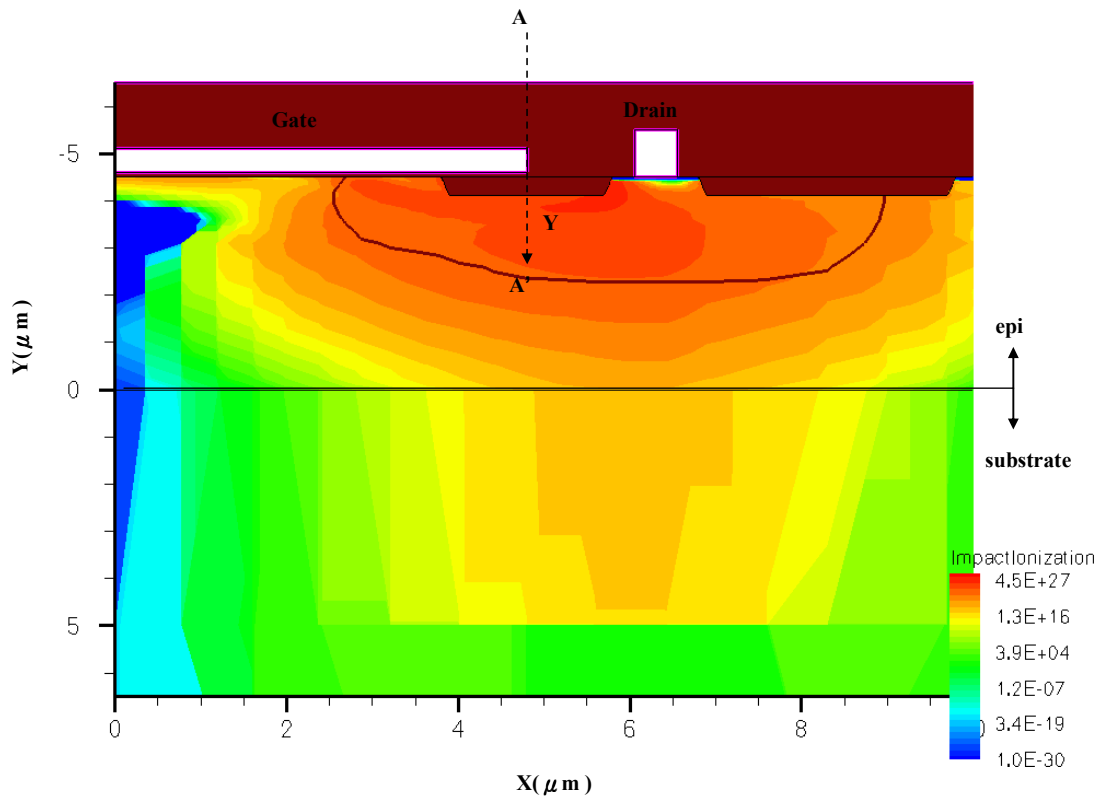


圖4-14(a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的離子撞擊游離率分佈圖@

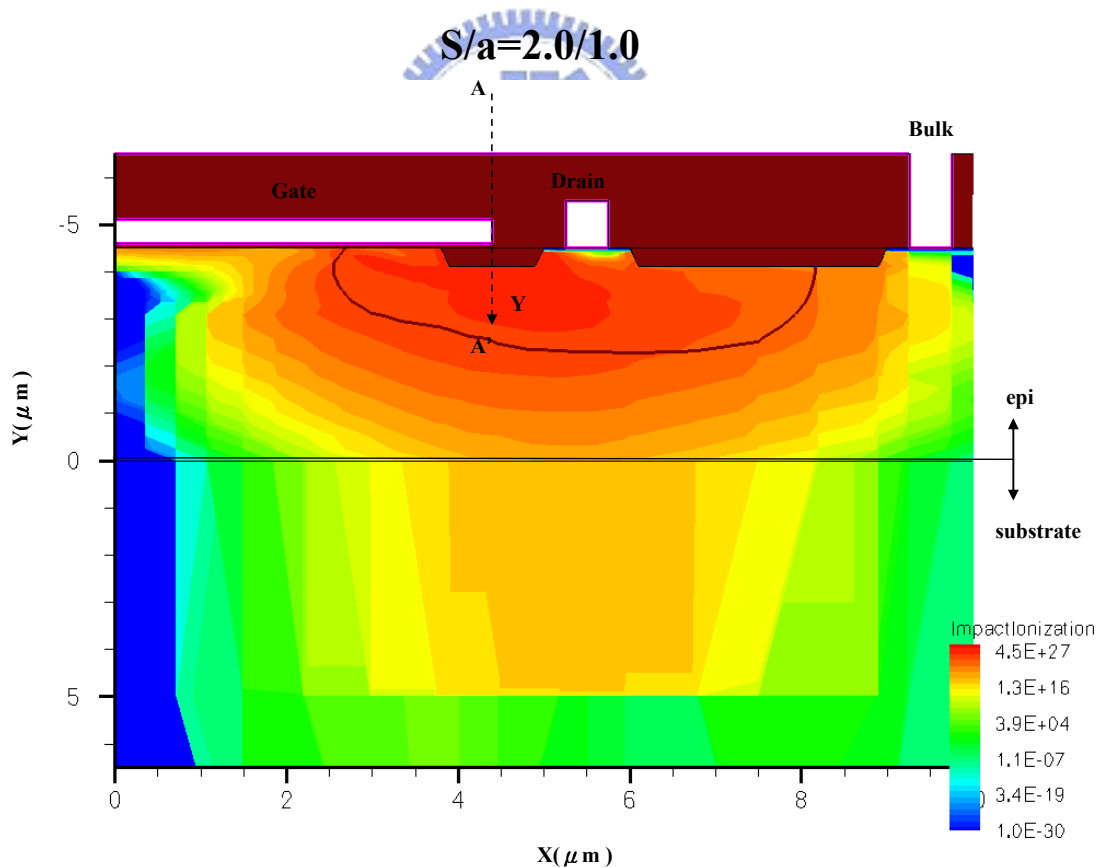


圖4-14(b)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的離子撞擊游離率分佈圖@

$$S/a=1.2/0.6$$

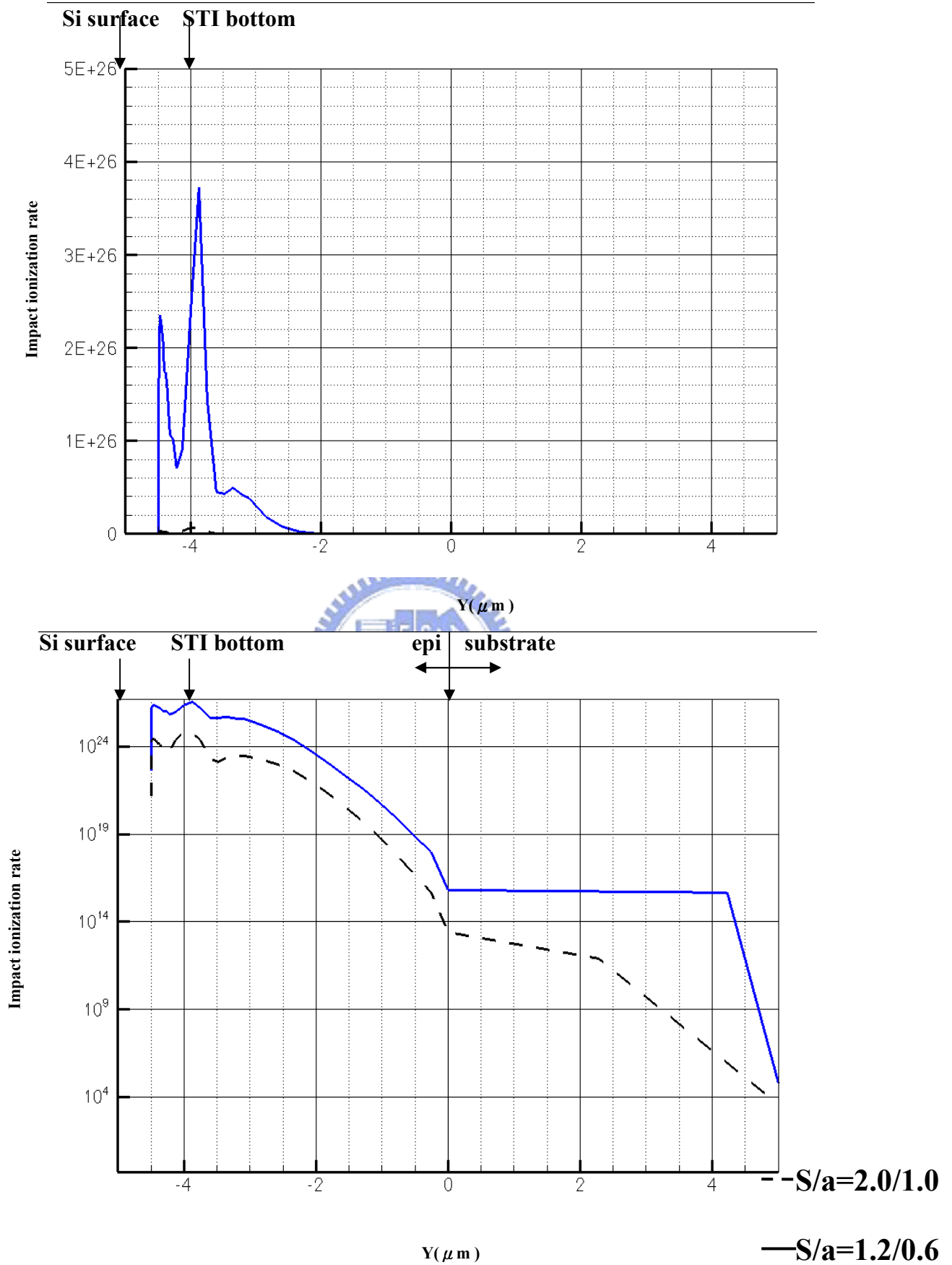


圖 4-15 元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA' 縱深分佈

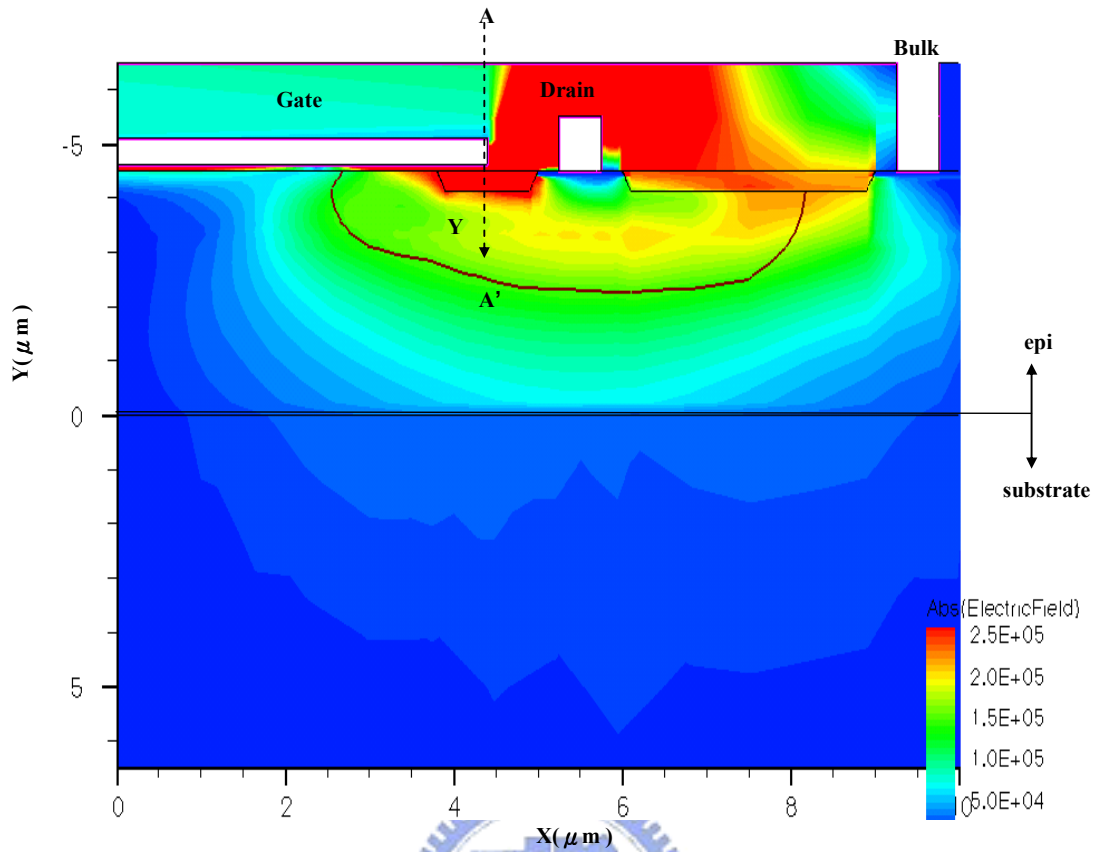


圖4-16 (a)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的電場分佈@ $S/a=1.2/0.6$

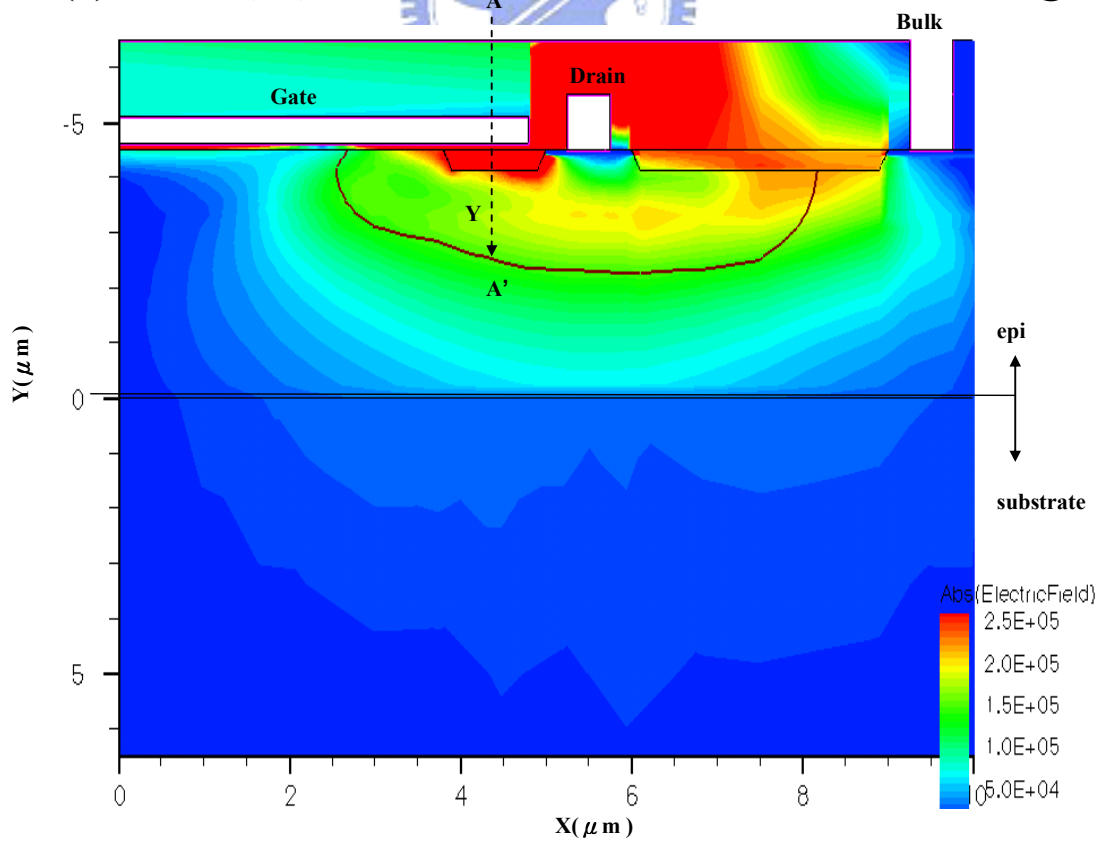


圖4-16 (b)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的電場分佈@ $S/a=1.2/1.0$

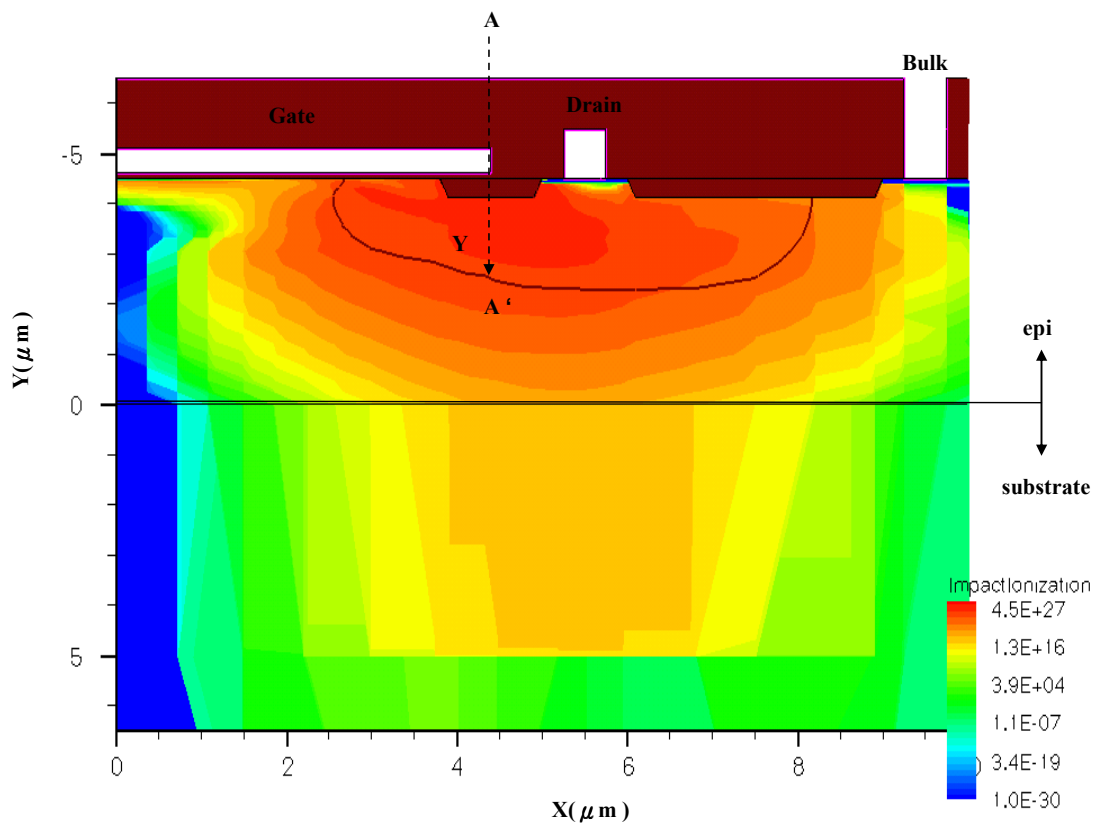


圖 4-17(a)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的離子撞擊游離率分佈圖

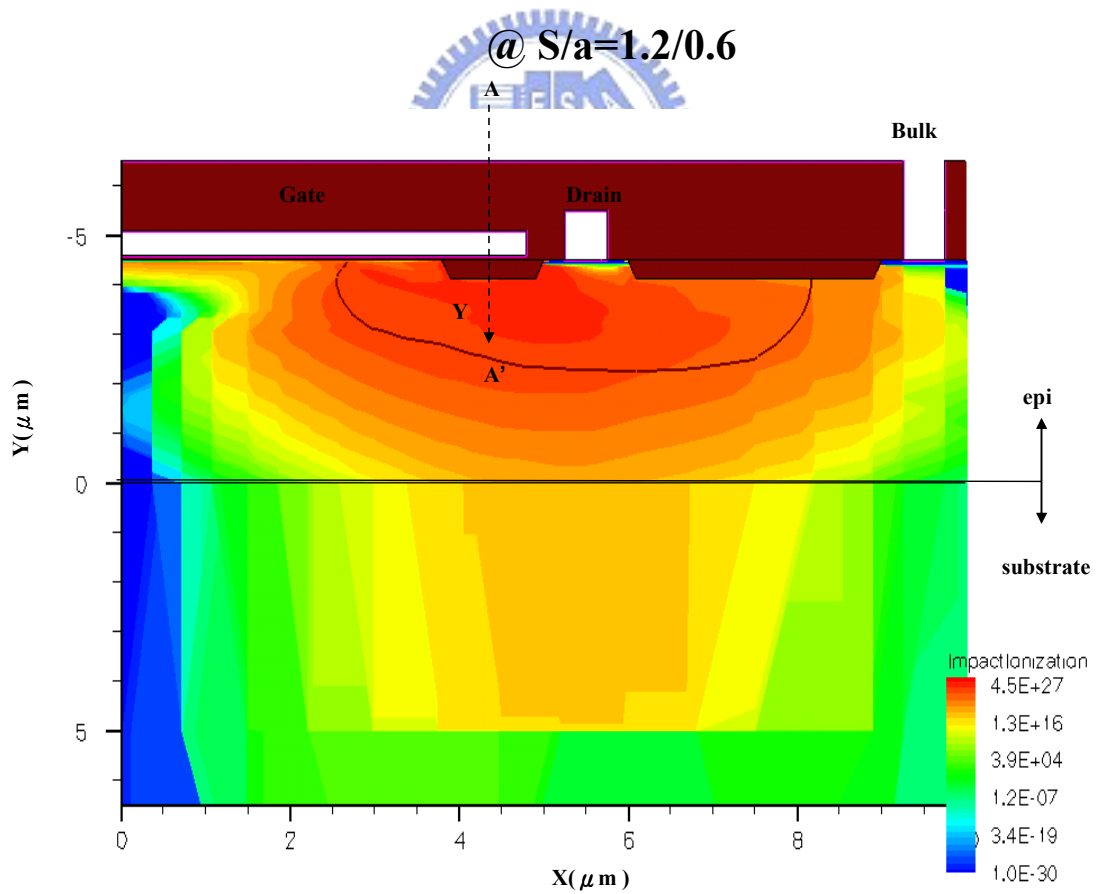


圖 4-17(b)高壓金氧半場效電晶體崩潰時 $V_d=56V$ 的離子撞擊游離率分佈圖

@ $S/a=1.2/1.0$

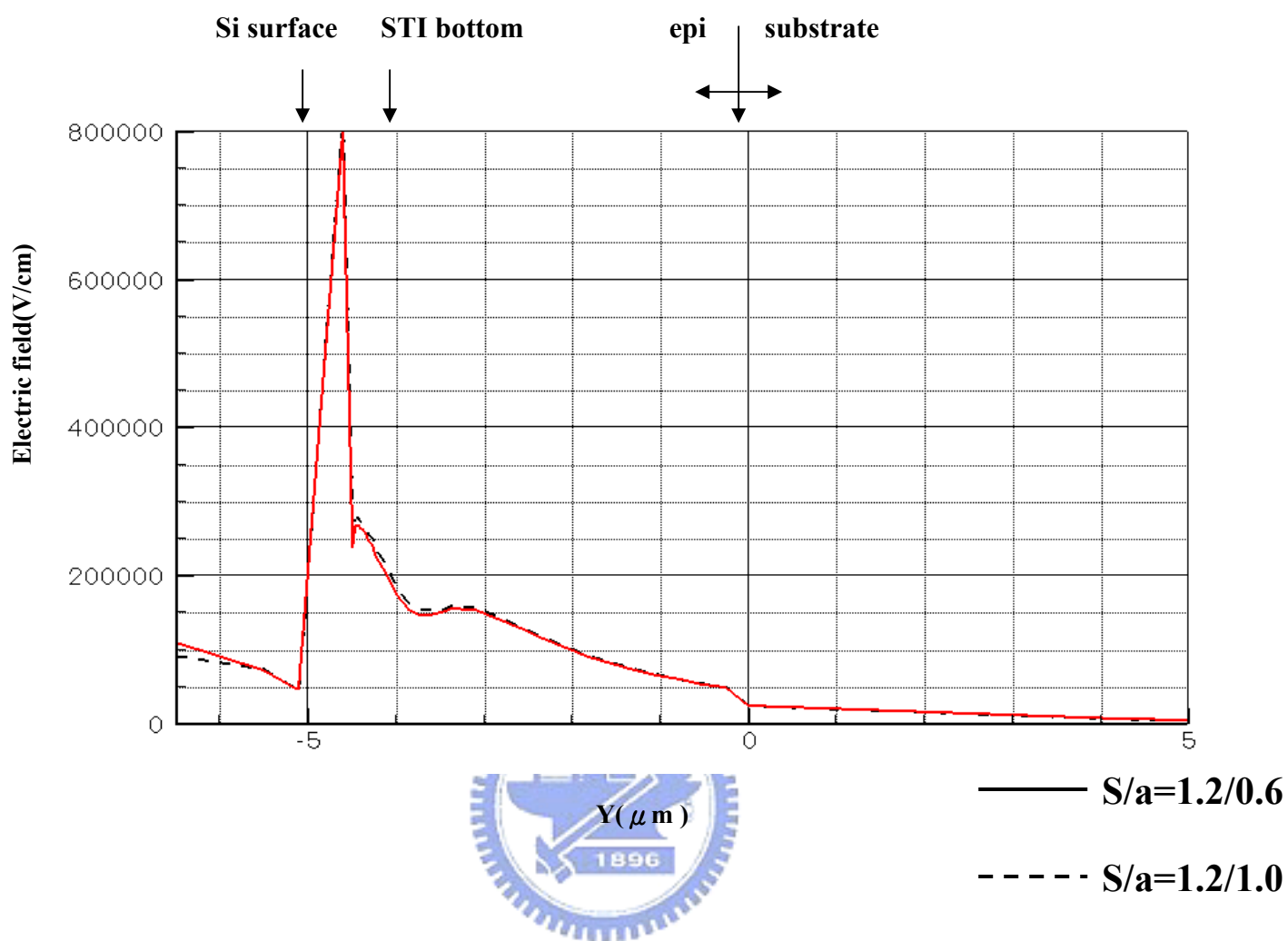


圖 4-18 元件內部電場分佈延著閘汲極間 STI 中線之 AA' 縱深分佈

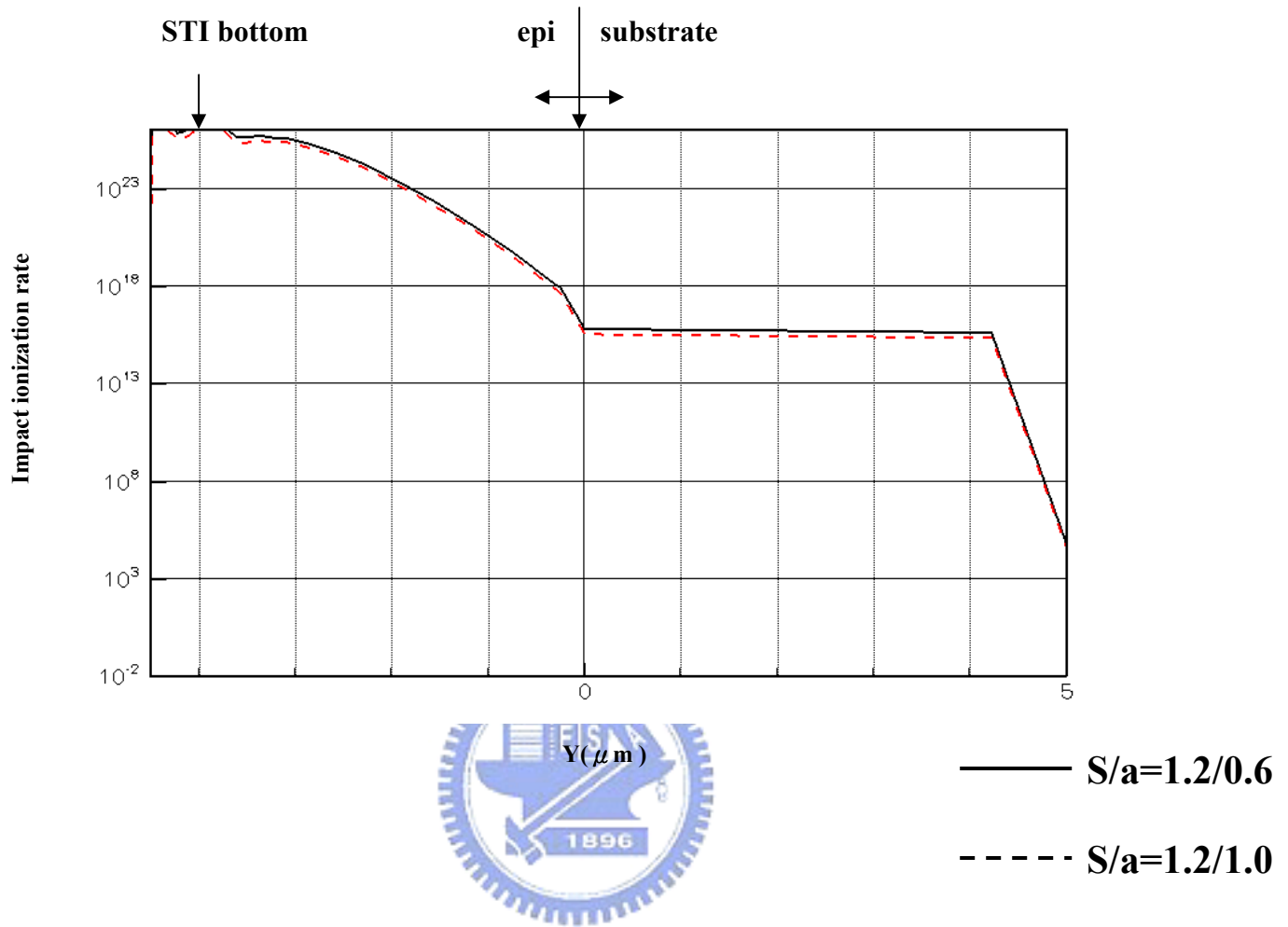


圖 4-19 元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA' 縱深分佈

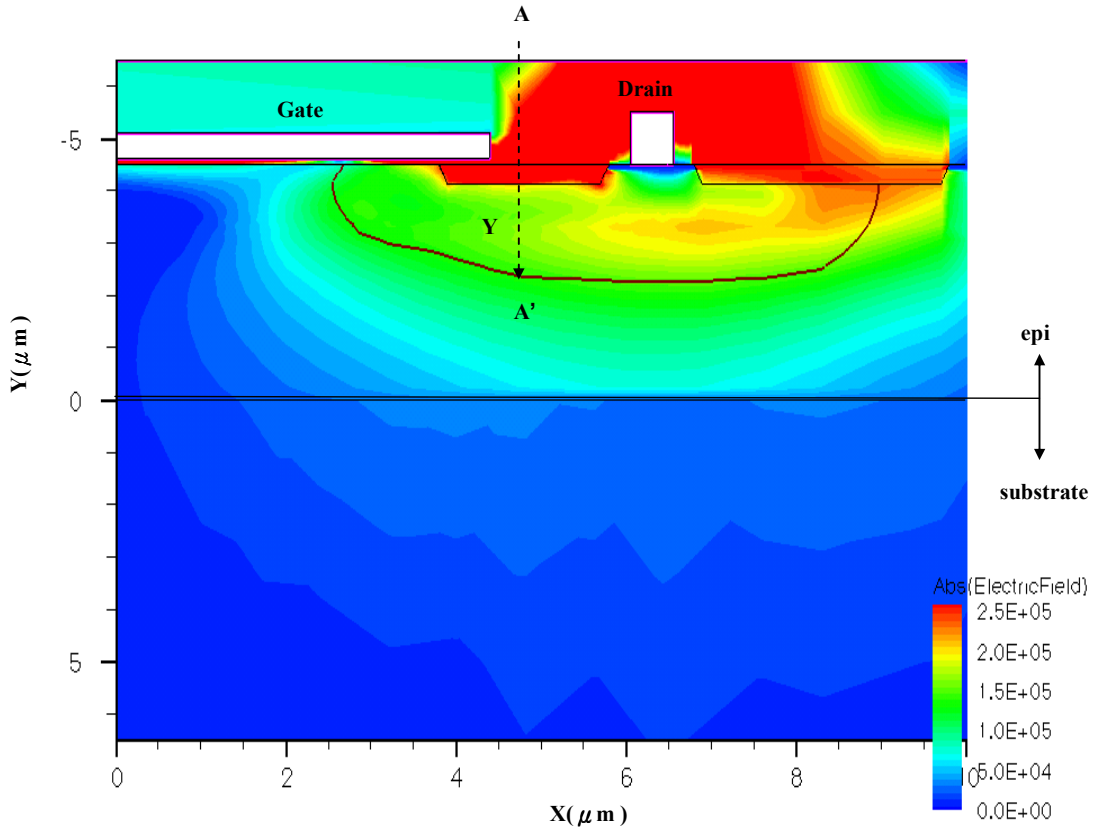


圖 4-20 (a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電場分佈@ $S/a=2.0/0.6$

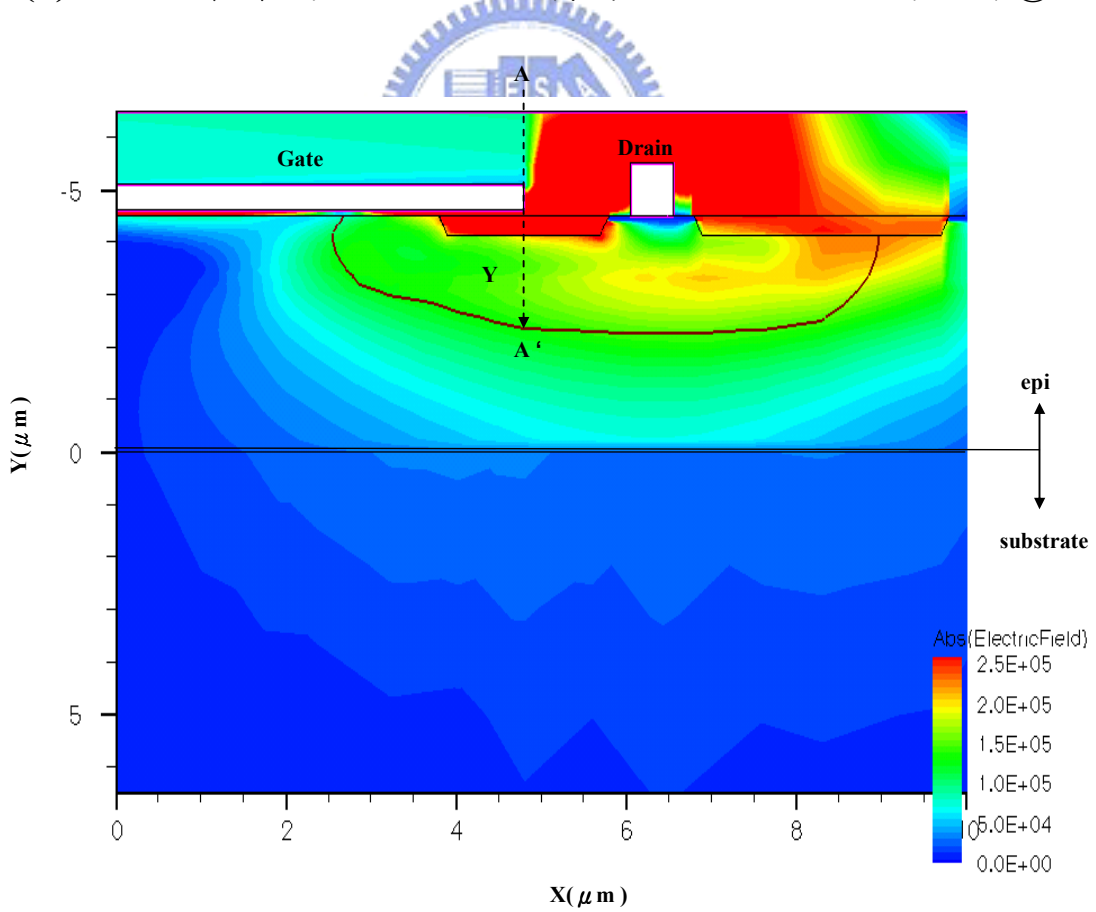


圖 4-20 (b)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的電場分佈@ $S/a=2.0/1.0$

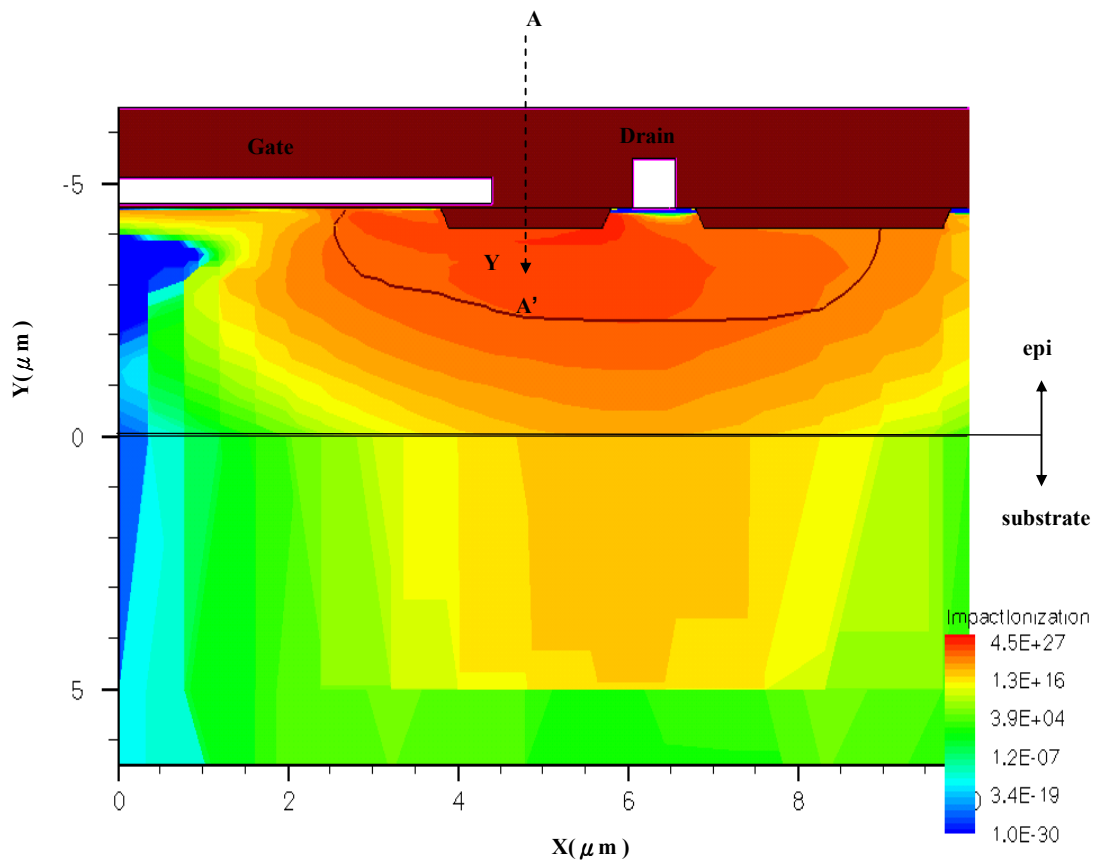


圖 4-21(a)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的離子撞擊游離率分佈圖@

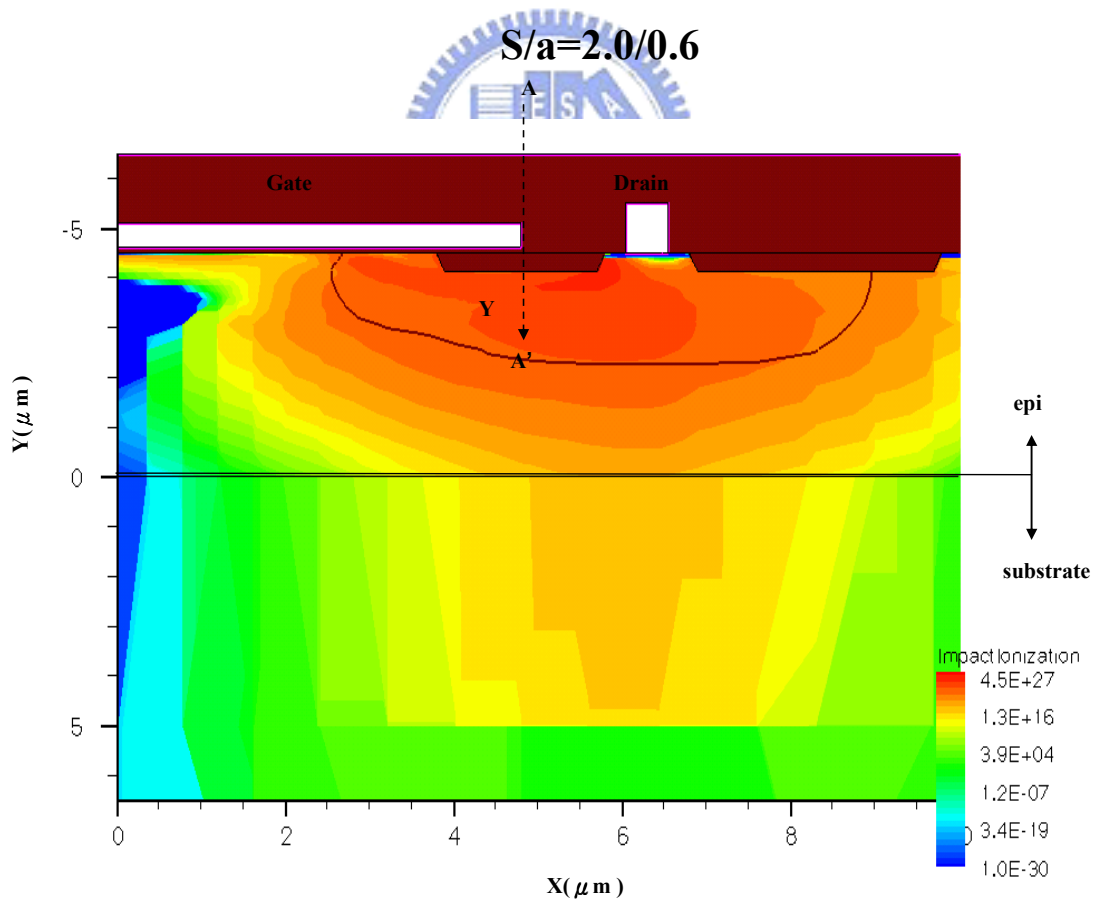


圖 4-21(b)高壓金氧半場效電晶體崩潰時 $V_d=65V$ 的離子撞擊游離率分佈圖@

$S/a=2.0/1.0$

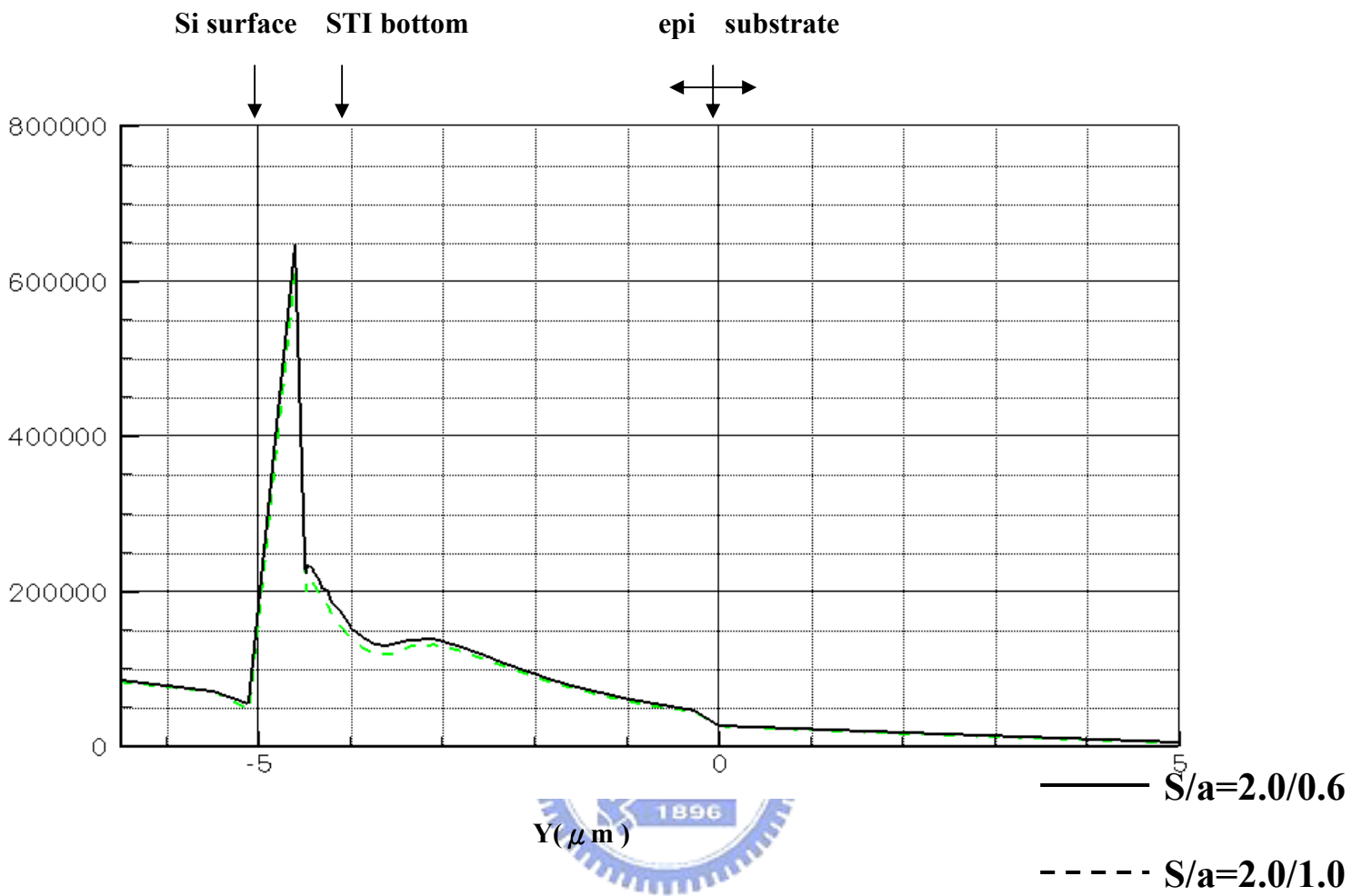


圖 4-22 元件內部電場分佈延著閘汲極間 STI 中線之 AA' 縱深分佈

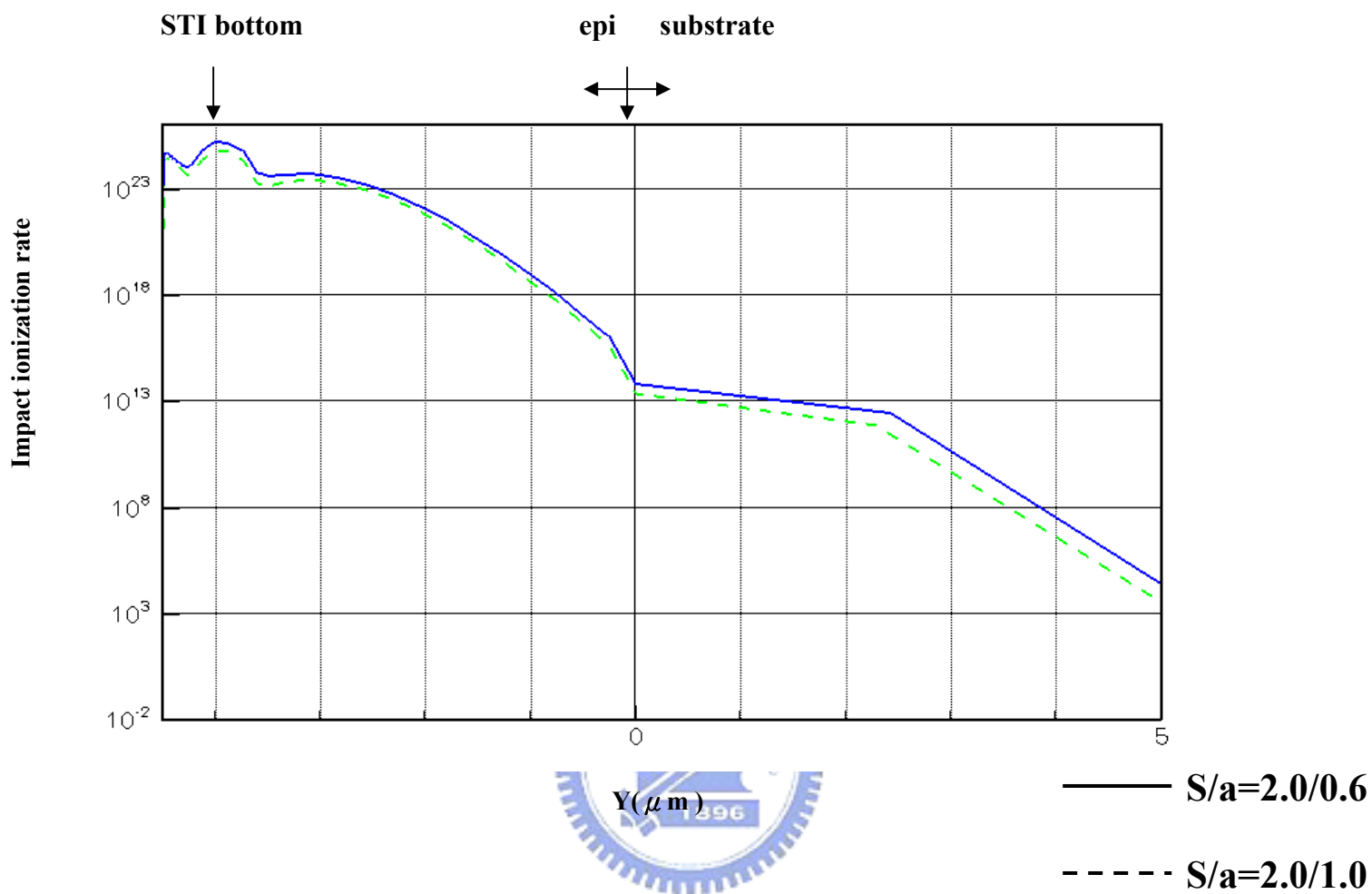


圖 4-23 元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA' 縱深分佈

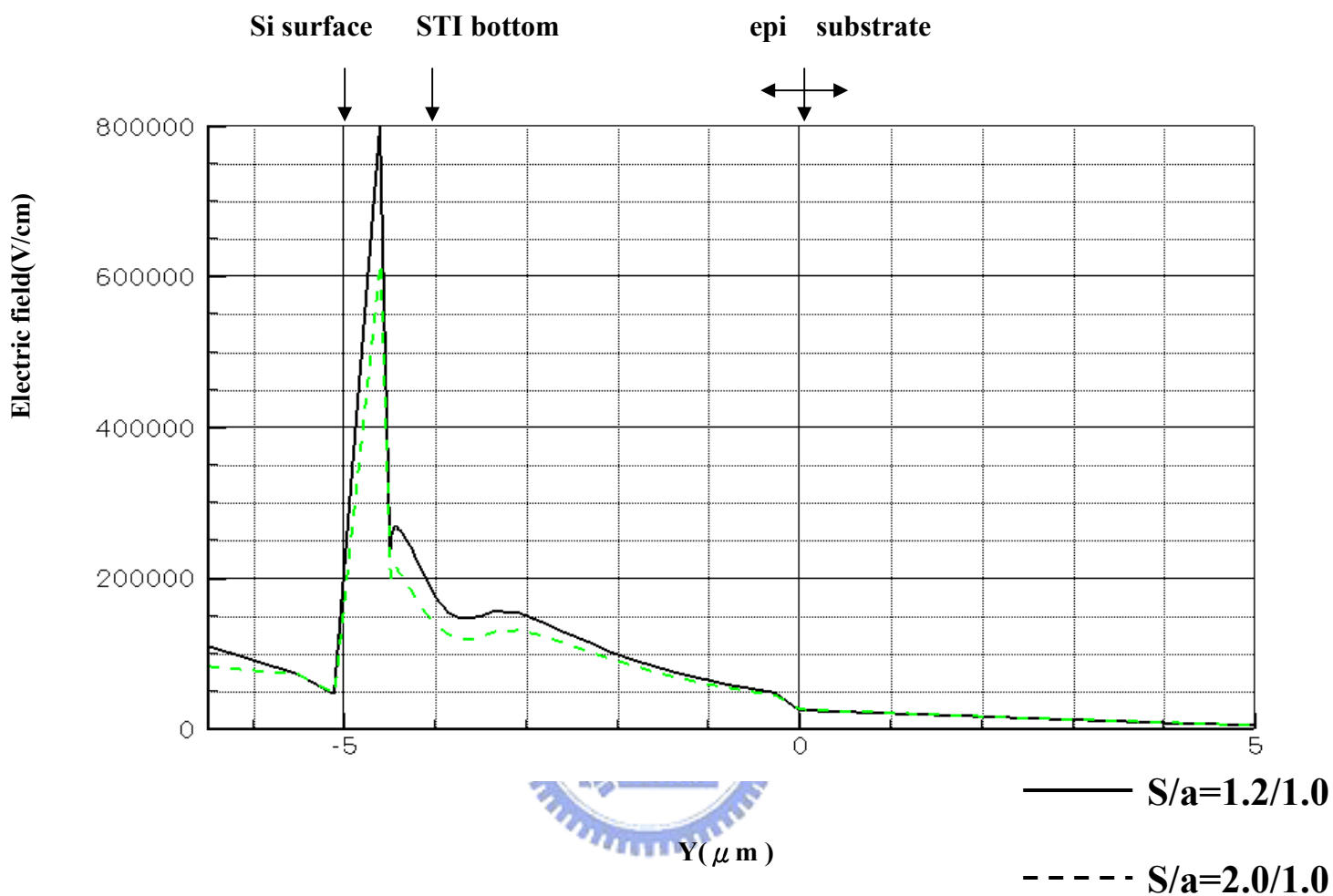


圖 4-24 元件內部電場分佈延著閘汲極間 STI 中線之 AA'縱深分佈

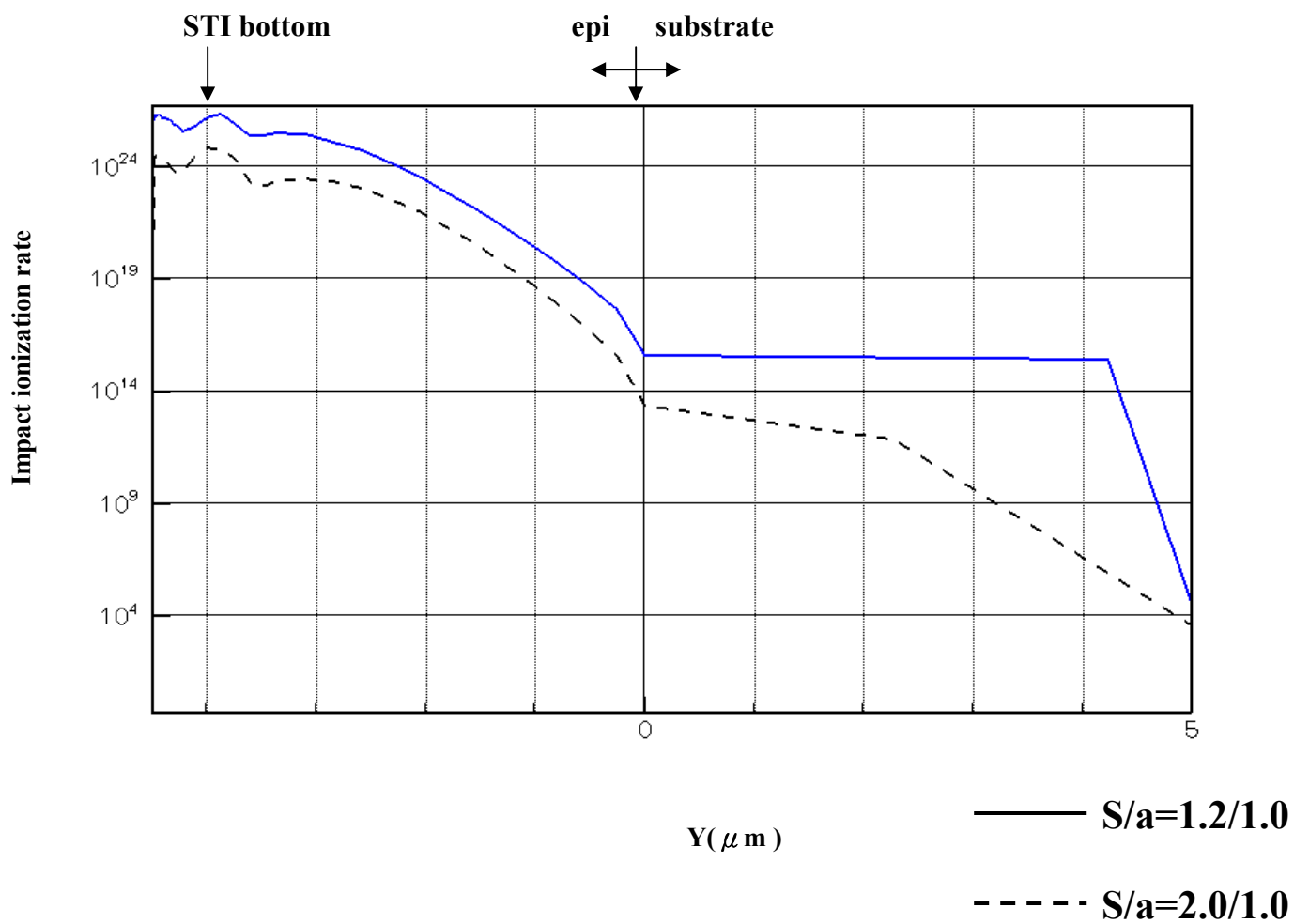


圖 4-25 元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA' 縱深分佈

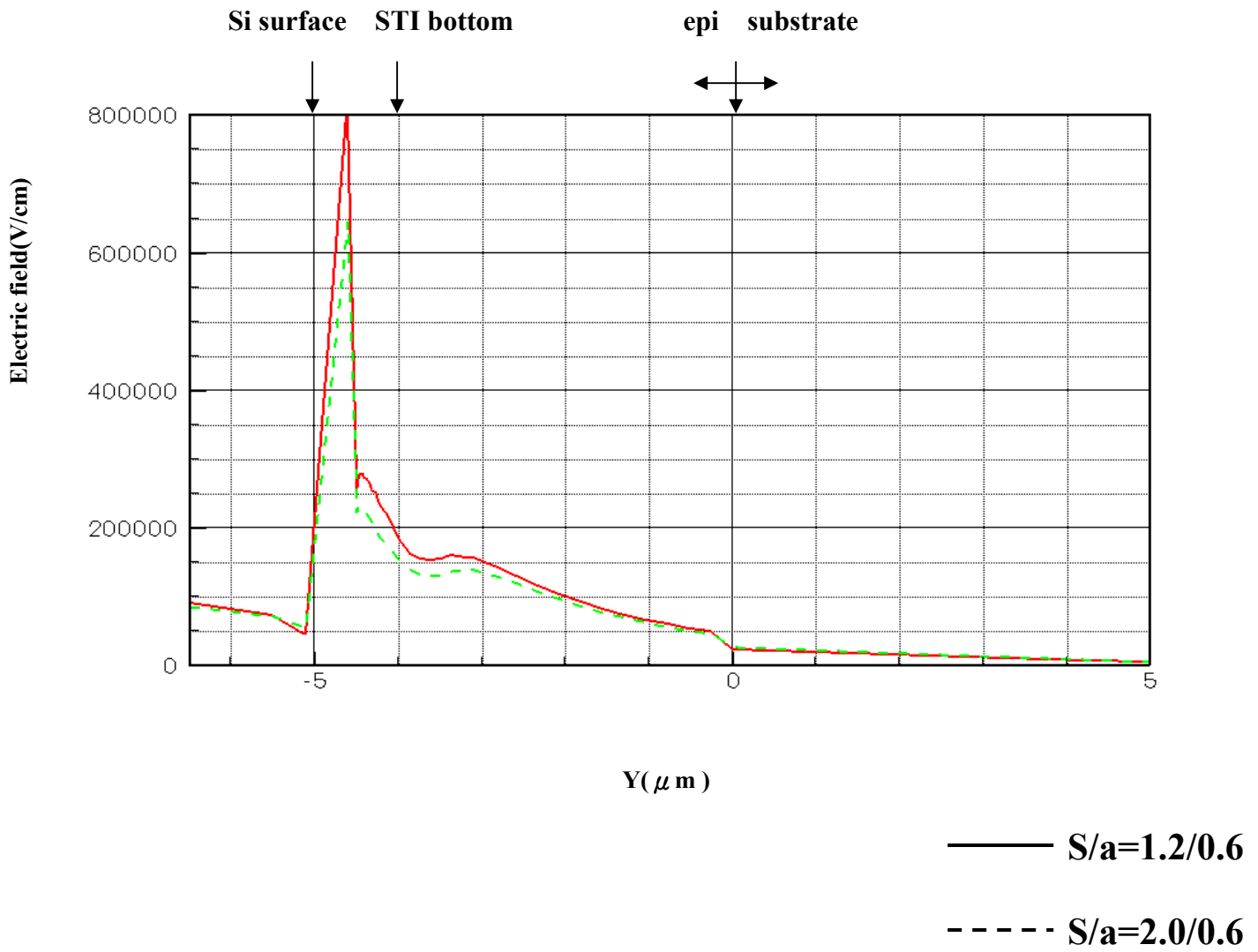


圖 4-26 元件內部電場分佈延著閘汲極間 STI 中線之 AA' 縱深分佈

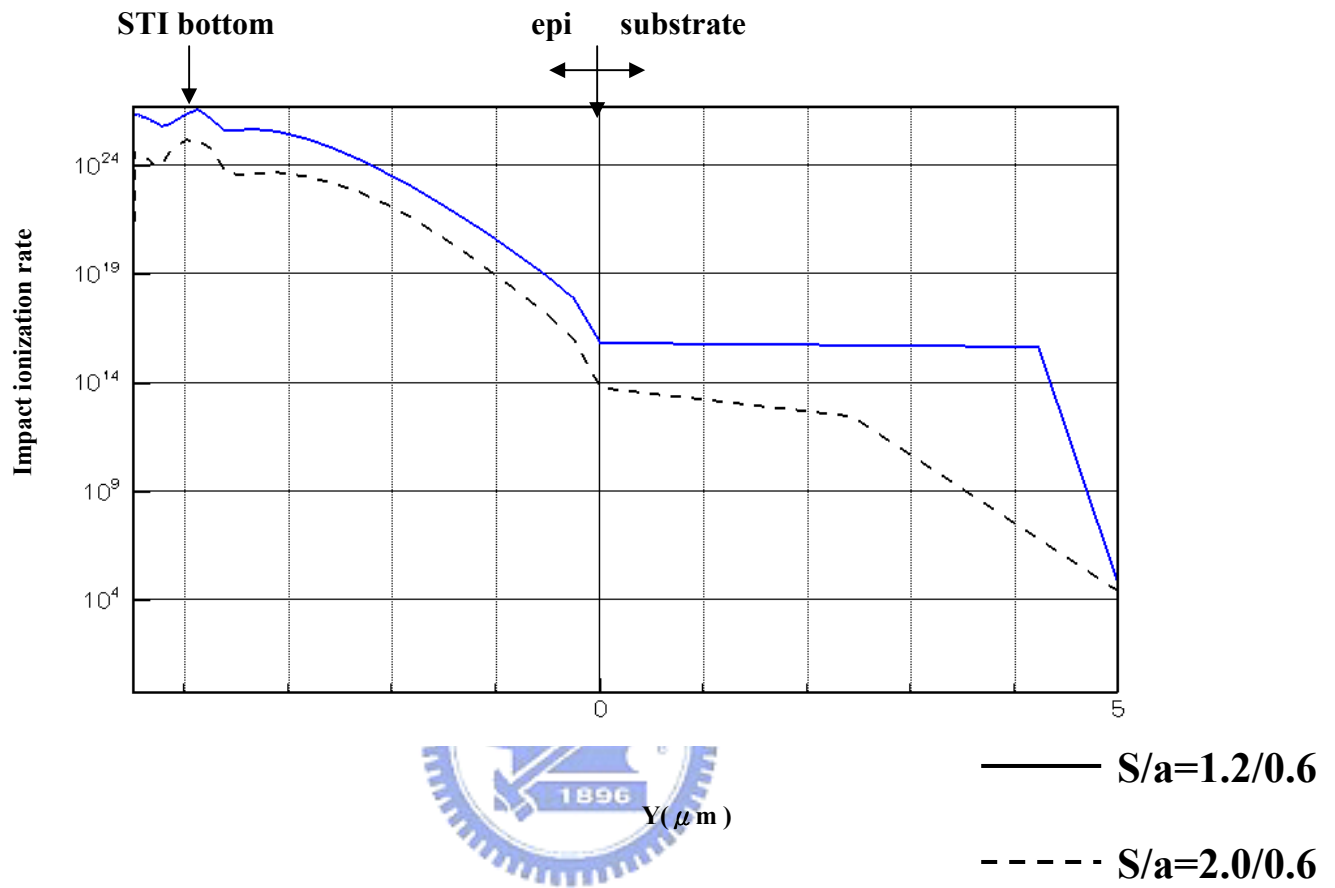


圖 4-27 元件內部離子撞擊游離率延著閘汲極間 STI 中線之 AA' 縱深分佈

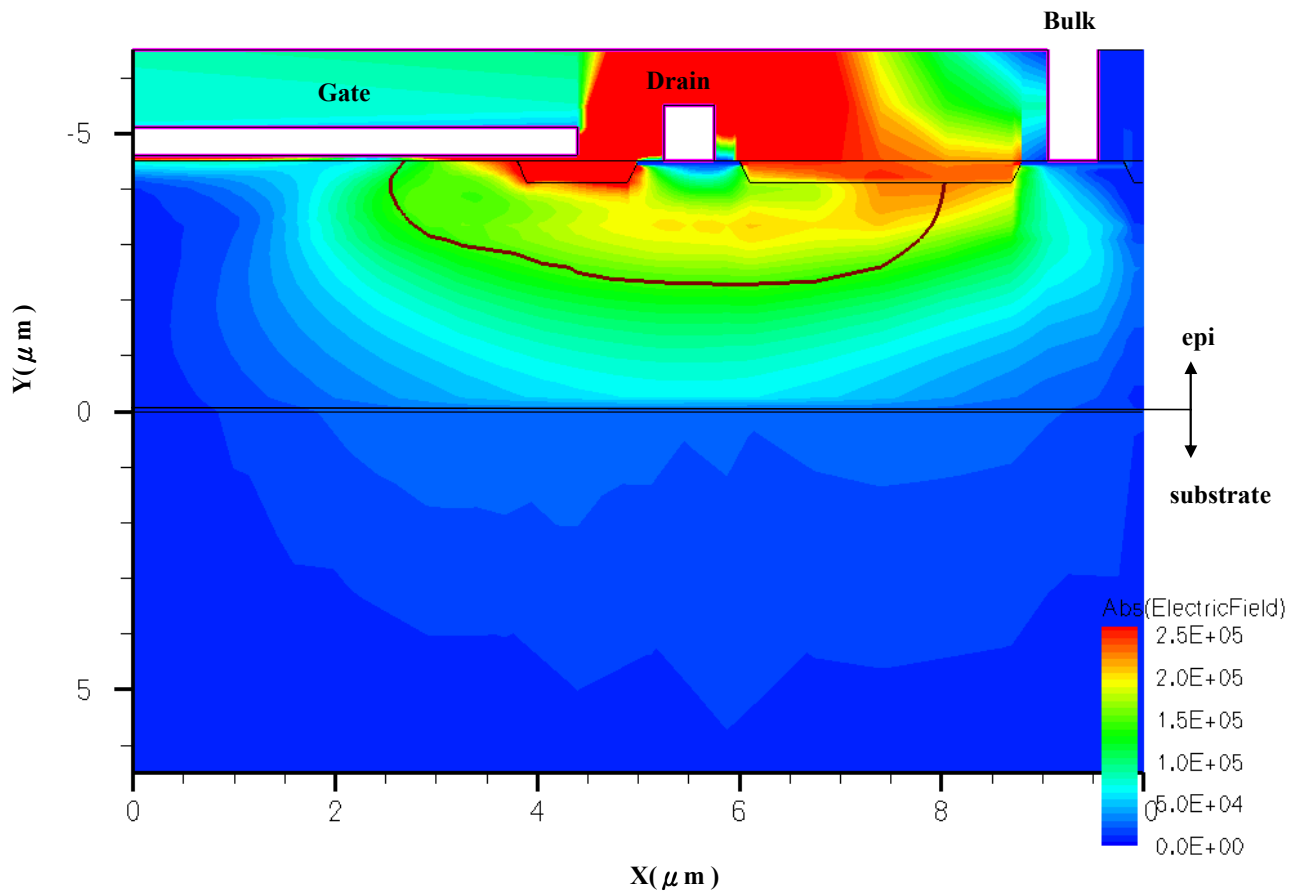


圖 4-28(a) 高壓金氧半場效電晶體崩潰時的電場分佈@ $d=2.0\mu\text{m}$

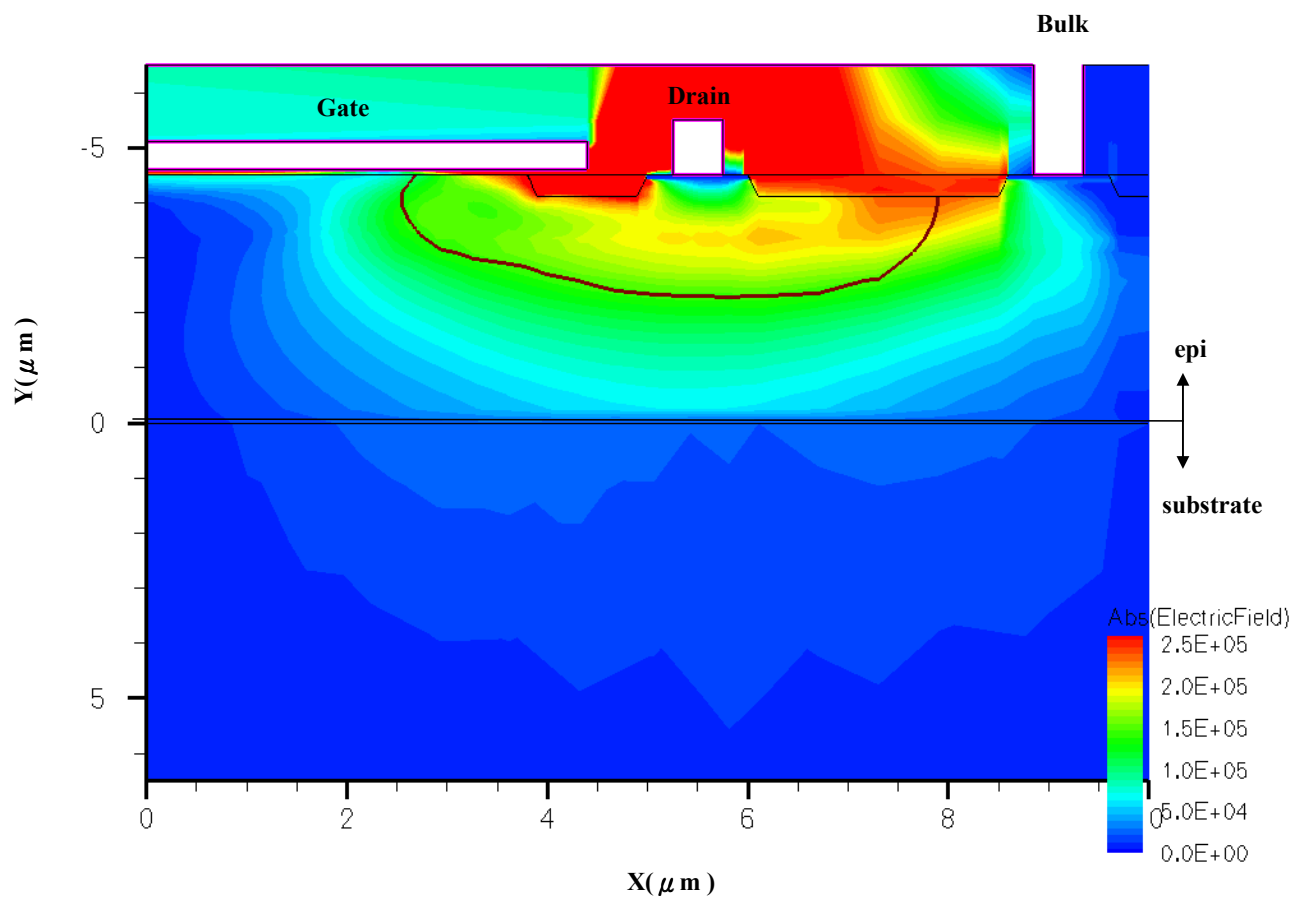


圖 4-28(b) 高壓金氧半場效電晶體崩潰時的電場分佈@ $d=1.8\mu\text{m}$

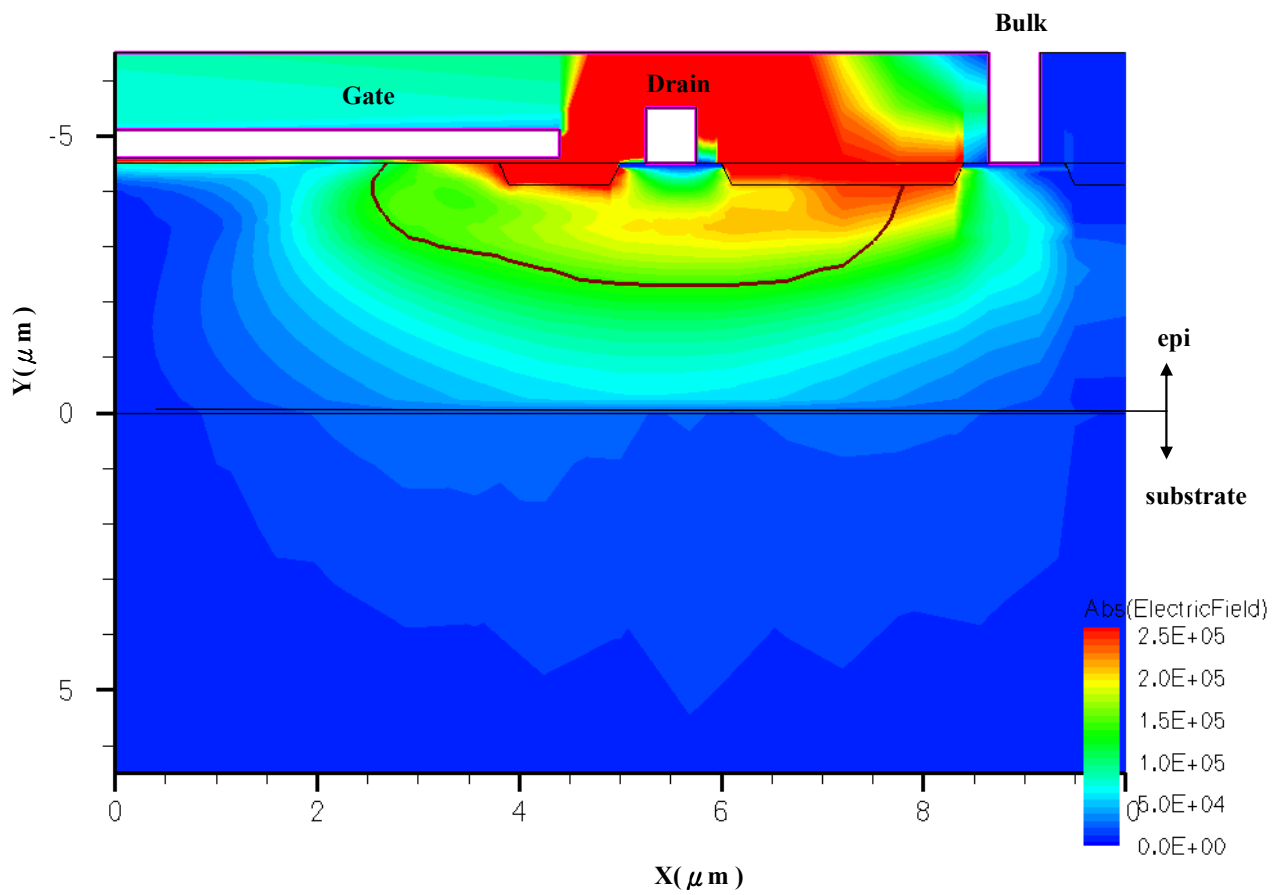


圖 4-28(c) 高壓金氧半場效電晶體崩潰時的電場分佈@ $d=1.6\mu\text{m}$

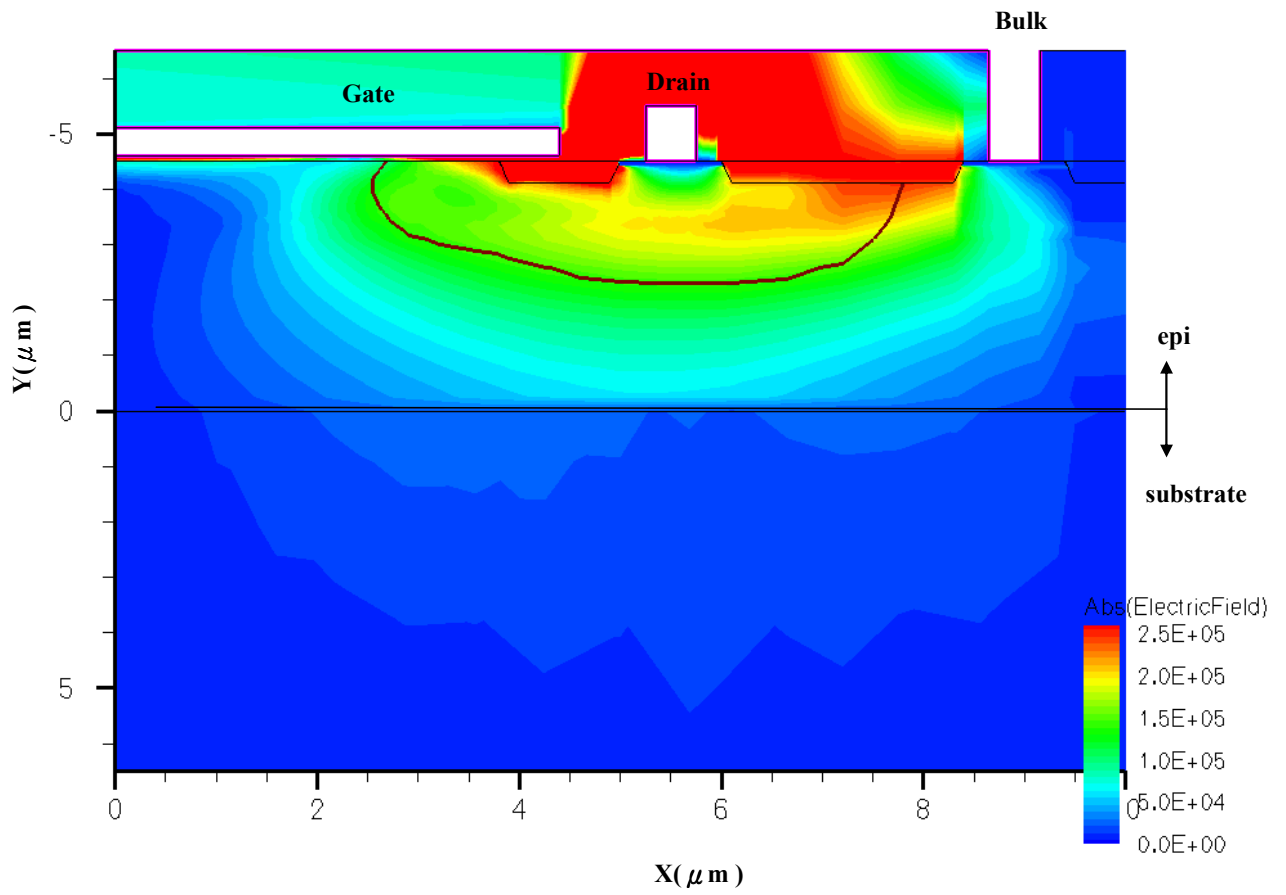


圖 4-28(d) 高壓金氧半場效電晶體崩潰時的電場分佈@ $d=1.4\mu\text{m}$

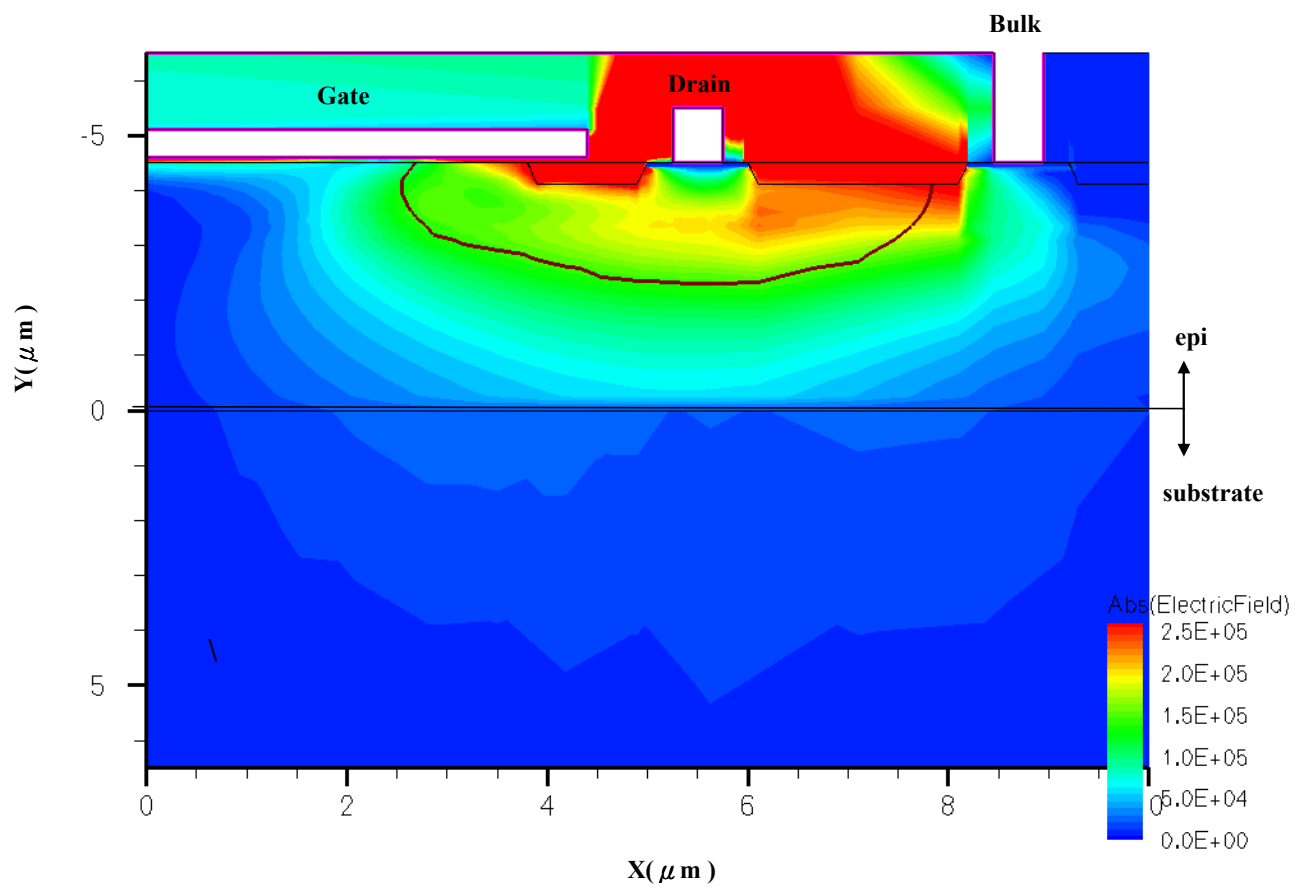


圖 4-28(e) 高壓金氧半場效電晶體崩潰時的電場分佈@ $d=1.2\ \mu\text{m}$

第五章

結論和未來展望

5-1 結論

高功率金氧半場效電晶體(Power-MOSFET)已被廣泛地運用在市場上，其低成本、切換速度快、且功率消耗低的優點是此類元件較其它高壓元件更具有競爭力的原因。此外，此類元件為現今工業界中較容易與低電壓之互補式金氧半場效電晶體(CMOS)的製程技術整合在一起者，因此常被設計用於控制或承載較高電流同時耐高壓的高功率積體電路。而本篇論文即是針對高壓金氧半場效電晶體(HV-MOSFET)，研究其內部之佈局參數對該元件之電性特徵之影響，尤其更著重在高功率元件最值得注意的耐壓能力上。因此，本論文即是依據此精神，探討如何就既有的佈局參數(layout)調變，而不需要變更其原先製程上的條件與配方(recipe)，如離子佈值之能量與劑量，或是額外加諸的場板(field plate)設計等，但又可以有效地提升其電晶體之崩潰電壓，為主要的研究目標。

因此，我們從高壓金氧半場效電晶體的佈局參數著手探討其對元件特性的影響趨勢，並藉由實際量測所得到的數據與利用製程及元件模擬軟體(ISE TCAD)模擬所得之結果，得到以下幾項重要結論：

1. 高功率金氧半場效電晶體之驅動能力、臨界電壓值與外部的佈局參數無關，不論是調變閘極下高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度(b 參數)，或是調變電晶體閘汲極間或汲基極間淺溝式隔離技術(STI)的長短(S 參數、d 參數)，都不會影響到元件之臨界電壓值。

2. 若欲提升高功率金氧半場效電晶體之崩潰電壓，可藉由調變元件內部之 S 參數(電晶體閘汲極間淺溝式隔離技術)來達到，而與 b 參數(閘極下高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度)和 a 參數(閘極電極覆蓋高壓 N 型植入井(N-well)之長度)無關。將 S 參數拉長，可大幅增加電晶體之崩潰電壓，但損失驅動能力。
3. 高功率金氧半場效電晶體內部之 d 參數(等同於調變元件外圍汲基極間淺溝式隔離之長度)乍看之下，因為此佈局參數是落在元件通道外側非電流路徑中的參數，因此應與電晶體特性無關；但我們仍發現，此段參數並不能設計的過短，以至於基極下的穿透崩潰(punch-through breakdown)會早於電晶體實際的累增崩潰(avalanche breakdown)一步發生，而引發無預期的外圍崩潰。
4. 我們從實驗數據與模擬結果中發現， b 參數不會影響到電晶體之崩潰電壓，但會影響到其基體效應與導通電流。當 b 段(即閘極下高壓 N 型植入井(N-well)至淺溝式隔離技術邊緣間之長度)縮短的同時，將會引發該區電流密集的現象與電流密度的急遽上升，因而造成元件之 Kirk effect，使得基極電流在閘極偏壓高的時候會呈現一直增加的狀態，進而引發嚴重的熱載子效應(Hot Carrier Effect)，將在電晶體操作時造成損傷(damage)。此外，當 b 參數縮短時，會造成閘汲極間行經 STI 周圍時的電流路徑較陡峭，使得內部阻抗增加，故導通電流較小；欲改善上述問題，因此可試著將 b 值調大，但我們發現若 b 值過大時，也會因電流行經的路徑較長而使得導通電流變小，故 b 參數的設計應視不同的電晶體構造而有一最佳值。
5. 本次論文實驗中的元件，分為對稱型與不對稱型兩大類，由我們

的實驗結果得知，選擇製作對稱性的高功率金氧半場效電晶體之崩潰電壓的增加幅度並不如直接調變 S 參數可達到的增益來的大。但元件的對稱性卻會對其臨界電壓值有影響，其原因是來自於源閘極間沒有淺溝式隔離(STI)時，佈值源極時的 N^+ 會直接打在閘極邊緣，因此當電晶體內部暫態加速擴散(transient enhanced diffusion)拉高元件通道邊緣濃度時，將使得不對稱型的高壓金氧半場效電晶體之臨界電壓較高。

5-2 未來展望

高功率金氧半場效電晶體的發展及其應用，截至目前為止，仍有某些效應是在本篇論文中未釐清與探討的，包括：電晶體操作在高功率消耗時的自我生熱效應(Self-Heating Effect)，元件熱載子效應(Hot-Carrier Effect)，與環境溫度對元件的影響(Temperature Effect)等等，是未來對於此類電晶體之電性特徵的探討上可以繼續深入研究的課題；包括我們在前述結論中第四點所提到的， b 參數對基體電流的影響。我們的實驗數據顯示當 b 參數縮短時，將會因 Kirk effect 而引發嚴重的基體效應與基體電流；但事實上仍應繼續深入考慮到電晶體本身因工作溫度而造成的影響程度，因高功率金氧半場效電晶體工作時所引發的溫度效應其實也會對元件之熱載子及可靠度造成一定的影響，而不應只考慮佈局參數的變異，故此處值得更進一步的研究。

另外，延伸前節 5-1 中第四點結論所述，我們至今知道可藉由增加佈局參數 b 來減緩電晶體之基體效應與提升其導通電流，但此設計其實並不經濟，除了會造成元件面積上的耗損之外，過長的 b 參數也會反而引起導通電流的下降。因此，我們推測製作閘汲極間淺溝式隔離(STI)時所用的斜度(slope)也會影響到 b 參數對元件的影響，側壁斜度較陡直的 STI 應該電流集中的效應會較明顯，故在不拉長 b 參數的

情況下，可考慮將 STI 的溝槽斜度(trench slope)作得較平緩，應可減緩電流路徑在此集中(crowding)的問題，並同時能節省面積的耗損。因此，針對此方面的測試，可釐清是否有其它方式的調變可以有效地取得其最佳化設計，仍可繼續執行與研究，甚至包括熱載子對閘極氧化層的損害，安全操作面(Safe Operating Area, SOA)或工作溫度與環境溫度的影響等等。

最後，由我們的量測數據和模擬結果顯示，欲提升高功率金氧半場效電晶體之崩潰電壓，可以選擇將佈局參數 S 作長，甚至連 d 參數也不能設計的過短，導致無預期的外圍崩潰；因此，綜觀看來，這樣的設計方法雖然可以有效地提升其元件的耐壓，但同時也將造成元件面積的耗損與成本消耗，因此，如何尋求一個權宜之道，可以兼顧電晶體之面積耗損的問題與崩潰電壓的提升，實為一個值得深入注意的課題。如果能使得設計者在設計佈局的時候能節省開發的時間，降低元件製造上有形與無形的成本，對於高功率金氧半場效電晶體未來之發展，必定更有幫助，而且能有效提升其應用上的地位與競爭力。

參考文獻

- [1] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, pp.504-518, 2000.
- [2] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, pp.199, 2000.
- [3] K.Owyang and P. Shafer, "A New Power Transistor Structure for Improved Switching Performances," in *Int. Electron Devices Meeting Tech. Dig.*, 1978, pp.667-670.
- [4] F.E. Holmes and C.A.T.Salma, "VMOS-A New MOS Technology," in *Electron Devices and Solid-State Circuits*, vol.17, pp.1147-1154, 1974.
- [5] C.Hu," A Parametric Study of Power MOSFETs," in *IEEE Power Electronics Specialists Conference Record*, 1979, pp.385-395.
- [6] V.A.K. Temple and P.V.Gray, "Theoretical Comparison of DMOS and VMOS Structures for Voltage and On-Resistance," in *Int. Electron Devices Meeting Tech. Dig.*, 1979, pp.88-92.
- [7] S.C.Sun and J.D. Plummer, "Modelling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors," in *IEEE Trans. Electron Devices*, vol.ED-27, pp.356-367, 1980.
- [8] V. Benda et al, *Power Semiconductor Device: Theory and Application*, JWS Press, 1999.
- [9] T. Syau. P.Venkatraman, and B.J.Baliga," Extended Trench Gate Power UMOSFET Structure with Ultra-Low Specific On-Resistance," in *IEEE Electron Device Lett.*, vol.28, pp.865-867, 1992.
- [10] T.J. Rodgers et al.," An Experimental and Theoretical Analysis of Double-Diffused MOS Transistors," in *Electron Devices and Solid-State Circuit*,

vol.SC-10, pp.322-330, 1975.

- [11] R.Seaverns, “ dV/dt Effects in MOSFETs and Bipolar Junction Transistor Switches,” in *IEEE Power Electronics Specialists Conference Record*, 1981, pp.258-264.
- [12] D.S.Kuo,C.Hu, and M.H.Chi,” dV/dt Breakdown in Power MOSFETs,” in *IEEE Electron Device Lett.*, vol.EDL-4, pp.1-2, 1983.
- [13] C.Bassin et al.,” High-Voltage Device for 0.5 μ m Standard CMOS Technology,” in *IEEE Trans. Electron Devices*, vol.21, pp.40-42, 2000.
- [14] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, pp.362-373, 2000.
- [15] J.Jang et al.,” RF LDMOS Characterization and Compact Modeling,” in *IEEE MTT-S Digest*, 2001.
- [16] D.Heo, E.Chen, E.Gebara,S.Yoo,” Temperature Dependent MOSFET RF Large Signal Model Incorporating Self Heating Effects,” in *IEEE MTT-S Digest*, 1999, pp.415-418.
- [17] Lisa T.Su, Narain D.Arora, and Brian S.Doyle,” Spice Model and Parameters for Fully-Depleted SOI MOSFETs Including Self-Heating,” in *IEEE Electron Device Lett.*, vol.15, no.10, pp.374-376, 1994.
- [18] Costin Anghel, Renaud Gillon and Adrian Mihai Ionescu,” Self-Heating Characterization and Extraction Method for Thermal Resistance and Capacitance in HV MOSFETs,” in *IEEE Electron Device Lett.*, vol.25, no.3, pp.141-143, 2004.
- [19] S.M.Sze and G.Gibbons,” Effect of Junction Curvature on Breakdown Voltage in Semiconductor,” in *Solid-State Electronics*, vol.9 , pp.831-845, 1966.
- [20] M.S. Adler and V.A.K. Temple,” Semiconductor Avalanche Breakdown Design Manual,” in *GE Technology Marketing Operation*, Schenectady, NY , 1979.

- [21] Jone F.Chen, Kuo-Ming Wu,Kaung-Wan Lin,” Hot-Carrier Reliability in Submicrometer 40V LDMOS Transistors with Thick Gate Oxide,” in *IEEE 43rd Annu. Int. Reli. Phys. Sym.*, 2005, pp.560-564.
- [22] Eiji Takeda et al.,” Hot-Carrier Effects in MOS Devices,” in Academic Press, 1995.
- [23] J.Roig, D.Flores, M.Vellvehi, J.Rebollo and J.Millan,” Novel Techniques for Reducing Self-Heating Effects in Silicon-On-Insulator Power Devices,” in *IEEE*, 2001.
- [24] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, pp.222-228, 2000.
- [25] R.J.Whitter and D.A.Tremere,”Current gain and cut-off frequency fall-off at high currents,” in *IEEE Trans. Electron Devices*, vol.ED-16, pp.39-57, 1969.
- [26] M.Orlowski, C. Mazure, and F. Lau, “Submicron short channel effects due to gate reoxidation induced lateral interstitial diffusion,” in *IEEE IEDM Tech. Dig.*, 1987, pp.632–635.
- [27] H. Jacobs, A. V. Schwerin, D. Scharfetter, and F. Lau, “MOSFET reverse short channel effect due to silicon interstitial capture in gate oxide,” in *IEEE IEDM Tech. Dig.*,1993, pp.307–310.
- [28] C. S. Rafferty, H.-H. Vuong, S. A. Eshraghi, M. D. Giles, M. R. Pinto, and S. J. Hillenius, “Explanation of reverse short channel effect by defect gradients,” in *IEEE IEDM Tech. Dig.*,1993, pp.311–314.
- [29] D. Tsoukalas, C. Tsamis, D. N. Kouvatsos, P. Revva, and E. Tsoi,” Reduction of the Reverse Short Channel Effect in Thick SOI MOSFET’s,” in *IEEE Electron Device Lett.*, vol.18, no.3, pp.90-92, 1997.
- [30] M.S.Adler, V.A.K. Temple, A.P.Ferro,and R.C.Rustray,” Theory and Breakdown Voltage for Planar Devices with a Single Field Limiting Ring,” in *IEEE Trans.*

Electron Devices, vol.ED-24, pp.107-113, 1977.

- [31] F.Conti and M.Conti,” Surface Breakdown in Silicon Planar Diodes Equipped with Field Plates,” in *Solid State Electronics*, vol.15, pp.93-105, 1972.
- [32] P. M. Santos, A. P. Casimiro, M. Lança, and M. I. Castro Simas,” CMOS Compatible HV Gate-Shifted LDD-NMOS,” in *IEEE Trans. Electron Devices*, vol.48, no.5, pp.1013-1015, 2001.
- [33] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company, pp.357-359, 2000.
- [34] R.Wang, J. Dunkley, T.A. DeMassa, and L.F.Jelsma, “Threshold voltage variations with temperature in MOS transistors,” in *IEEE Trans. Electron Devices*, vol.ED-18, pp.386-388, 1971.
- [35] Aditya Agarwal, H.J. Gossmann, D.J. Eaglesham, S.B. Herner, and A.T. Fiory,” Boron-enhanced diffusion of boron from ultralow-energy ion implantation,” in *Appl. Phys. Lett.*, pp.2435-2437, 1999.
- [36] R. Versari, A. Pieracci, S. Manzini, C. Contiero, and B. Ricco,” Hot-carrier reliability in submicrometer LDMOS transistors,” in *IEEE IEDM Tech. Dig.*, 1977, pp.371-374.
- [37] Jone F.Chen, Kuo-Ming Wu, Kaung-Wan Lin, Yan-Kuin Su, and S.L.Hsu,” Hot-Carrier Reliability in Submicrometer 40V LDMOS Transistors with Thick Gate Oxide,” in *IEEE 43rd Annu. Int. Reli. Phys. Symp.*, 2005, pp.560-564.
- [38] J. Hu and J. Moll,” Submicrometer device design for hot-electron reliability and performances,” in *IEEE Electron Device Lett.*, vol.6, no.7, pp.350, July, 1985.
- [39] T.Y. Chan, P.K. Ko, and C. Hu,” A simple method to characterize substrate current in MOSFETs,” in *IEEE Electron Device Lett.*, vol.5, no.12, pp.505-507, Dec, 1984.
- [40] B.Jayant Baliga, *Power Semiconductor Devices*, PWS Publishing Company,

pp.222-225, 2000.

