

國立交通大學

電子工程學系電子研究所碩士班

碩士論文

橫向 P-N 接面的製作與模擬

Fabrication and Simulation of Lateral P-N Junction

研究生：游宏凱

指導教授：林聖迪 博士

中華民國九十六年八月

橫向 P-N 接面的製作與模擬

Fabrication and Simulation of Lateral P-N Junction

研究生：游宏凱

Student : Hung-Kai Yu

指導教授：林聖迪

Advisor : Dr. Sheng-Di Lin

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

A Thesis

Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in Partial Fulfillment of the Requirements

for the Degree of Master

in

Electronics Engineering

August 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年八月

國立交通大學

博碩士論文全文電子檔著作權授權書

(提供授權人裝訂於紙本論文書名頁之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電子工程系所
 同意 組，96學年度第一學期取得碩士學位之論文。

論文題目：橫向P-N接面的製作與模擬
 指導教授：林聖迪

■ 同意

本人茲將本著作，以非專屬、無償授權國立交通大學與台灣聯合大學系統圖書館：基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學及台灣聯合大學系統圖書館得不限地域、時間與次數，以紙本、光碟或數位化等各種方法收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行線上檢索、閱覽、下載或列印。

論文全文上載網路公開之範圍及時間：

本校及台灣聯合大學系統區域 網路	■ 中華民國 99 年 8 月 28 日 公開
校外網際網路	■ 中華民國 99 年 8 月 28 日 公開

■ 全文電子檔送交國家圖書館

授權人：游宏凱

親筆簽名：游宏凱

中華民國 96 年 8 月 28 日

國立交通大學

博碩士紙本論文著作權授權書

(提供授權人裝訂於全文電子檔授權書之次頁用)

本授權書所授權之學位論文，為本人於國立交通大學電子工程系所
五 態 組，96 學年度第 一 學期取得碩士學位之論文。

論文題目：橫向P-N接面的製作與模擬
指導教授：林聖迪

■ 同意

本人茲將本著作，以非專屬、無償授權國立交通大學，基於推動讀者間「資源共享、互惠合作」之理念，與回饋社會與學術研究之目的，國立交通大學圖書館得以紙本收錄、重製與利用；於著作權法合理使用範圍內，讀者得進行閱覽或列印。

本論文為本人向經濟部智慧局申請專利(未申請者本條款請不予理會)的附件之一，申請文號為：_____，請將論文延至____年____月____日再公開。

授權人：游宏凱

親筆簽名：游宏凱

中華民國 96 年 8 月 28 日

國家圖書館 博碩士論文電子檔案上網授權書

(提供授權人裝訂於紙本論文本校授權書之後)

ID:GT009411555

本授權書所授權之論文為授權人在國立交通大學電子工程系所 96 學年度第二學期取得碩士學位之論文。

論文題目：橫向P-N接面的製作與模擬

指導教授：林聖迪

茲同意將授權人擁有著作權之上列論文全文(含摘要)，非專屬、無償授權國家圖書館，不限地域、時間與次數，以微縮、光碟或其他各種數位化方式將上列論文重製，並得將數位化之上列論文及論文電子檔以上載網路方式，提供讀者基於個人非營利性質之線上檢索、閱覽、下載或列印。

※ 讀者基於非營利性質之線上檢索、閱覽、下載或列印上列論文，應依著作權法相關規定辦理。

授權人：游宏凱

親筆簽名：游宏凱

民國 96 年 8 月 28 日

國立交通大學

論文口試委員會審定書

本校 電子工程學系 電子研究所 游宏凱 君

所提論文：橫向 P-N 接面的製作與模擬

合於碩士資格標準，業經本委員會評審認可。

口試委員：林聖迪 簡昭欣
林聖迪 簡昭欣

林怡萍 吳正信
林怡萍 吳正信

指導教授：林聖迪
林聖迪

所長：邱碧秀
邱碧秀

系主任：周世傑
周世傑

中華民國 96 年 8 月 23 日

橫向 P-N 接面的製作與模擬

研究生:游宏凱

指導教授:林聖迪 博士

國立交通大學

電子工程學系 電子研究所碩士班

摘要

在本論文中，我們提出製作高品質二維橫向 P-N 接面的方法，該方法是利用類似場效電晶體結構，於無摻雜質的 AlGaAs-GaAs-AlGaAs 量子井磊晶結構中，引發二維電子氣(2DEG)與二維電洞氣(2DHG)，設計的特點是在垂直方向上閘極和源極或汲極之間部分重疊，並以絕緣層隔開。N 型和 P 型閘極比鄰放置，於是其下方引發的 2DEG 與 2DHG 相鄰形成二維的橫向 P-N 接面二極體。在論文中，詳述了製程參數與量測方法，並探討元件失效的原因，另外對該元件結構進行數值模擬計算熱平衡下的能帶結構、空乏區長度、接面內電場、接面電容、整流特性和發光區域。由於我們所提出的結構可維持二維電荷通道的磊晶品質，特別適合應用於觀察自旋霍爾效應與表面聲波驅動之單光子源元件中。

Fabrication and Simulation of Lateral P-N Junction

Student : Hung-Kai Yu

Advisor : Dr. Sheng-Di Lin

Department of Electronics Engineering and Institute of

Electronics

National Chiao Tung University

Abstract

In the thesis, we proposed a new method to fabricate high quality lateral P-N junction. Two dimensional electron gases (2DEGs) and two dimensional hole gases (2DHGs) is induced with a structure similar to a field effect transistor on undoped AlGaAs/GaAs/AlGaAs quantum well. The difference is that that the gate overlaps with source/drain in vertical direction with an insulator in between. The n-typed and p-typed gates are placed side by side, and therefore the induced 2DEG and 2DHG underneath form a two-dimensional lateral P-N diode. In the thesis, I stated the fabrication parameters and the characterization method and also discussed the failed factors. In addition, the band diagram under thermal equilibrium, the depletion width, the electric field on the junction, the junction capacitance, the rectify behavior and the radiative recombination area are all calculated by simulation with the device structure. The proposed structure can maintain the epitaxy quality of two dimension carrier channel, so it is particularly useful in the applications in the observation of spin Hall effect and surface acoustic wave (SAW) driven single photon source.

致謝

這兩年下來，從懵懵懂懂到這本論文出現，很感謝指導教授林聖迪老師苦苦耕耘地傳授及解惑，有時還必須自己披戰袍進無塵室帶我做黃光製程，從最基本的東西教起也是不厭其煩，老師的細心、體貼及對研究的熱忱深深印烙在學生的心底。

感謝李建平教授所建立的實驗團隊，提供這麼好的實驗環境，李建平老師對於問題的敏銳性無人可及，往往讓台上的我不知所措，不過卻讓我發現研究上更應該注重什麼細節以及何謂作研究。

感謝這兩年來跟我一起奮鬥的同屆夥伴們，透過你們學會了重要機台，也學習到不少的實驗經驗，大家一起成長奮鬥的過程令人難忘。感謝實驗室的學長，雖然領域上不同，但是只要我有問題，學長盡其所能回答我，對於研究的用心及做事的方法及態度更是值得效仿。也感謝外校同學高璿皓常常陪我一起討論製程方面的問題，曾瑞賢在模擬部分貢獻我許多寶貴的意見，我的論文才得以著落。

感謝我辛苦的父母多年來的努力栽培教導，背後的支持與鼓勵不斷，讓我無後顧之憂全力投入於完成學業。教會朋友們的關心及愛護，生活上的分享更加豐富了我的生命。

最後再一次由衷地感謝，感謝所有支持與關心我的人。

目錄

	頁次
中文摘要	I
英文摘要	II
致謝	III
目錄	IV
圖目錄	VI
表目錄	VIII
第一章 簡介	1
第二章 橫向 P-N 接面的研究動機與基本原理	3
2.1 研究動機	3
2.1.1 本質性自旋霍爾效應	3
2.1.2 單光子源	5
2.2 一般摻雜狀況下橫向 P-N 接面的理論計算	6
2.2.1 接面中位勢分布函數	7
2.2.2 空乏區長度	8
2.2.3 接面電容	9
2.2.4 總結理論橫向 P-N 接面的特性	10
2.3 其他橫向 p-n 接面的製作方法	12
2.4 整合無摻雜 P 通道和 N 通道 HEMT 的橫向 P-N 接面	15
2.4.1 形成高品質的二維電子或電洞氣體	15
2.4.2 新結構和模擬分析可行性	18
第三章 元件製程與量測方法	22
3.1 光罩設計	22

3.2 製程說明	24
3.2.1 平台隔離	24
3.2.2 歐姆接觸	24
3.2.3 絕緣層製作	29
3.2.4 閘極製作	30
3.3 量測方法	30
第四章 結果與討論	32
4.1 量測結果	32
4.2 檢討可能導致元件失效的原因	37
第五章 橫向 P-N 接面的特性模擬	39
6.1 熱平衡下的能帶結構	40
6.2 電性與光性	40
第六章 結論	47
參考文獻	48
簡歷	50



圖目錄

圖 2-1	本質性自旋霍爾效應，無外加磁場下，自旋方向相反的二維載子受電場作用而移動時會往半導體材料兩邊聚集。	3
圖 2-2	橫向 P-N-P 結構觀察自旋霍爾效應現象示意圖。	4
圖 2-3	Hitachi Cambridge laboratory 準橫向 N-P-N 結構所觀察的結果。	4
圖 2-4	整合橫向 P-N 接面、分離閘極(split gate)和表面聲波元件的單光子源元件示意圖	5
圖 2-5	受摻雜橫向 P-N 接面示意圖	6
圖 2-6	熱平衡下的橫向 P-N 接面能帶圖， E_{1n} 和 E_{1p} 各為電子和電洞一維侷限量化後的能階。	6
圖 2-7	固定距離於橫向 P-N 接面的平面，其 x 方向上位勢分布， $y=0$ 、 $y=1$ 和 $y=2l$ 。	11
圖 2-8	利用 N 型補償參雜製作的橫向 P-N 接面。	12
圖 2-9	不同 GaAs 切面的矽原子摻雜特性。	13
圖 2-10	Gell et al. 整合表面聲波元件和橫向 P-N 接面。	13
圖 2-11	蝕刻垂直 p-i-n 磊晶結構而成的準橫接 P-N 接面。	14
圖 2-12	蒸鍍歐姆接觸取代被蝕刻的摻雜層所製作的橫向 P-N 接面。	15
圖 2-13	一般 HEMT 元件結構圖	16
圖 2-14	Harrel et al. 提出含有架橋式閘極元件之剖面圖	17
圖 2-15	比較有摻雜和無摻雜 N 通道之電子遷移率對平面電子密度關係圖。	17
圖 2-16	結合架橋式閘極及表面閘極的設計。	17
圖 2-17	無摻雜 N 通道元件模擬結構圖。	19

圖 2-18	閘極正中位置下方結構底端至上端的能帶圖。	19
圖 2-19	量子井附近的能帶和電子與電洞濃度分布圖。	20
圖 2-20	平面電子密度和通道中最大電子濃度對閘極電壓關係圖。	20
圖 2-21	歐姆接觸與基板之間介面能障在閘極電壓 0V 至 3V 的變化。	21
圖 2-22	歐姆接觸之間的通道電子濃度隨著閘極偏壓變化關係圖。	21
圖 2-23	無摻雜物下整合 N 通道和 P 通道結構製作橫向 P-N 介面。	21
圖 3-1	光罩設計圖。	22
圖 3-2	基板磊晶結構圖。	22
圖 3-3	製程流程圖。	23
圖 3-4	光阻 AZ5214E 顯影製程示意圖	25
圖 3-5	(a)正光阻顯影後鍍上金屬，(b)負光阻顯影後 under cut 結構鍍上金屬。	27
圖 3-6	測試 Pd/(Zn/Au)不同 RTA 條件下的金屬圖案，時間皆為 30 秒，溫度分別為(a)未 RTA;(b)430;(c)450;(d)470°C ;(e) 490°C。	28
圖 3-7	polyimide 顯影製程流程示意圖。	29
圖 3-8	FET I-V 曲線量測系統圖。	30
圖 3-9	橫向 P-N 接面 I-V 曲線量測系統圖。	31
圖 4-1	N 通道結構的 I_d - V_{ds} 曲線，電流漏至閘極。	32
圖 4-2	二個歐姆接觸皆與閘極成短路，以 HP4145 的 FET 模式量測，汲極與源極端對調仍是如此 I-V 曲線。20mA 為系統設定截止電流。	32
圖 4-3	二歐姆接觸中只有一個與閘極成短路，FET 模式量測的源極端設定在未短路的歐姆接觸上，I-V 曲線呈現為(a)圖;源極端設定在短路的歐姆接觸上，則 I-V 曲線呈現為(b)圖。	33

圖 4-4	閘極未引發電洞的 P 通道所量測的結果， I_{gs} 與 I_d 相當， (a) I_d - V_{ds} 曲線和(b)漏電流。	34
圖 4-5	基板受到污染偏 P 型，固(a) I_d - V_{ds} 曲線中電流沒有關閉 (turn off)現象、(b)漏電流。	35
圖 4-6	歐姆接觸與可能受到污染基板之間介面兩邊因摻雜雜質不 同而出現類似 FET 的 I-V 曲線，閘極電壓為 0V 時電流沒有 關閉，(a) I_d - V_{ds} 曲線(b)漏電流。	36
圖 4-7	蒸鍍歐姆接觸金屬之前的蝕刻過深，已超過量子井位置。	38
圖 4-8	polyimide 覆蓋狀況，(a)覆蓋不完整和(b)覆蓋完整。	38
圖 5-1	橫向 P-N 接面模擬結構圖。	39
圖 5-2	(a)電子密度及濃度隨 N 閘極電壓變化曲線圖，(b)電洞密 度及濃度隨 P 閘極電壓變化曲線圖。	42
圖 5-3	橫向方向能帶及載子濃度分布圖。	43
圖 5-4	二維(a)電子濃度分布、(b)電洞濃度分布、(c)導帶和(d) 價帶。	43
圖 5-5	空乏區長度隨偏壓變化關係圖。	44
圖 5-6	◆-整流特性 I-V 曲線，▲-順偏電流取指數之 I-V 曲線。	44
圖 5-7	電場隨逆偏壓變化關係圖。	45
圖 5-8	偏壓為 0 伏特下單位長度電容隨頻率變化曲線圖。	45
圖 5-9	C-V 曲線圖	46
圖 5-10	區域發光強度示意圖。	46

表目錄

表2-1	二維與三維P-N接面的特性比較	12
------	-----------------	----

第一章 簡介

半導體工業中摩爾定律(Moor Law)的經驗法則預示，到2015年，一個晶片上的電晶體數目將超過10億個，未來的世界的電腦裡單個原子及單個電子將是存儲及處理單元。細至奈米尺度的微觀世界裡，光與電的行為不再服從古典物理範疇，取而代之的是量子物理，由於量子特性在資訊領域中的獨特功能，在增大資訊容量、提高運算速度、確保資訊安全等方面將遠遠突破現有傳統資訊系統的極限帶動了全世界投入量子資訊研究的熱潮，而研究發展量子資訊中的量子通訊^{[1][2]}、量子計算^[3]和量子編碼^[4]的重要需求則是高品質的單光子源。

另外，使用電子的自旋性質來達到調制電流^[5]，由於自旋翻轉極快所耗能量又少，這是除了讓製程尺寸變小之外另闢路徑使得元件速度增加而又不需更高的能量，但是前提是如何控制電子的自旋特性，幸運地自旋霍爾效應提供了這個契機—無外加磁場下，被電場驅動的相反自旋方向載子會分開往半導體材料兩邊聚集。

在表面聲波(SAW)所驅動的高頻率單光子源以及觀察本質性自旋霍爾效應元件皆有一重要的部分就是高品質橫向P-N接面，此橫向P-N接面不但要提供較為純淨少散射效應的二維電子或電洞氣體(2DEG or 2DHG)以突顯電子或電洞通道中的細微性質，還必須在製程上減少蝕刻以方便與表面聲波元件整合。本論文闡述如何做出如此橫向P-N接面的實驗方法和利用商用套裝軟體模擬分析其電性與光性，並與一般三維P-N接面做比較。

第二章為基本原理的部分，介紹本論文的實驗動機和假設一般摻雜下理論二維P-N接面的特性，用來跟本實驗的橫向P-N接面結構做比較，接著詳述製作橫向P-N接面的結構源起，提出新構想並模擬其可行性。第三章為製程與量測，詳述製程以及如何量測四端的橫向P-N接面。第四章結果與討論中，討論量測結果並且分析元件失效的可能原因，第五章利用套裝軟體進行模擬預測元件熱平衡下的能帶結構、空乏區長度、整流特性、接面電容、崩潰電壓和發光區域，說明其

具可行性，只是實驗上可能有一些細節還未發現錯誤。最後，本研究的結論在第六章。



第二章

橫向P-N接面的研究動機與基本原理

2.1 研究動機：

2.1.1 本質性自旋霍爾效應(intrinsic Spin hall effect)^[6]

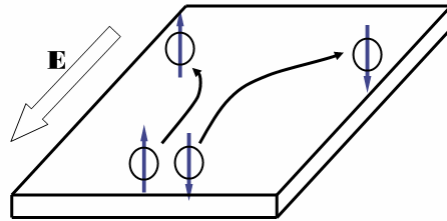


圖 2-1 本質性自旋霍爾效應，無外加磁場下，自旋方向相反的二維載子受電場作用而移動時會往半導體材料兩邊聚集。

於二維半導體系統內的電子，考慮量子力學與狹義相對論，其漢米爾頓(Hamiltonian)為

$$H = \frac{p^2}{2m} - \frac{\lambda}{\hbar} \vec{\sigma} \cdot (\hat{z} \times \vec{p}) \quad (2-1)$$

其中 λ 為Rashba耦合常數(Rashba coupling constant)， $\vec{\sigma}$ 是包立矩陣(Pauli matrix)， m 是電子有效質量， \hat{z} 是垂直於二維平面的單位向量。自旋軌道耦合(spin-orbit coupling)會與所驅動外加電場作用而改變能帶結構，造成行進電子多加了與自旋方向相關的橫向速度分量，上下自旋方向的電子分開往兩邊聚集如圖2-1。與一般的霍爾效應差別在於無外加磁場及沒有造成橫向電位差。觀察此現象的條件：

1. 如何提供高品質的電子通道：

在半導體中，通常摻雜雜質以提供載子而無法避免游離雜質散射(ionized impurity scattering)，如果能夠進一步消除此散射機制，則二維系統中的電子原本被蓋掉的細微性質如自旋軌道耦合效應將更容易顯現出來。

2. 如何觀察到上下自旋方向電子分開的現象：

電子分開是依據不同的自旋方向，不會造成兩邊電子的多寡差異而造成電位差，利用電性量測方法是不可行的，但是光性量測提供一個契機。帶有自旋方向朝上(下)的電子依據量子力學的選擇規則將會與帶有自旋方向朝下(上)的電洞結合而發出具有圓偏振(circularly polarization)的光，分析比較兩邊不同極性的光源即可證明自旋霍爾效應的存在，實驗結構示意在圖2-2。整合二維電子與其兩側的二維電洞系統乃是發展橫向P-N接面的重要目的。Hitachi Cambridge Laboratory ^[7]利用準橫向N-P-N結構所量測的結果如圖2-3。

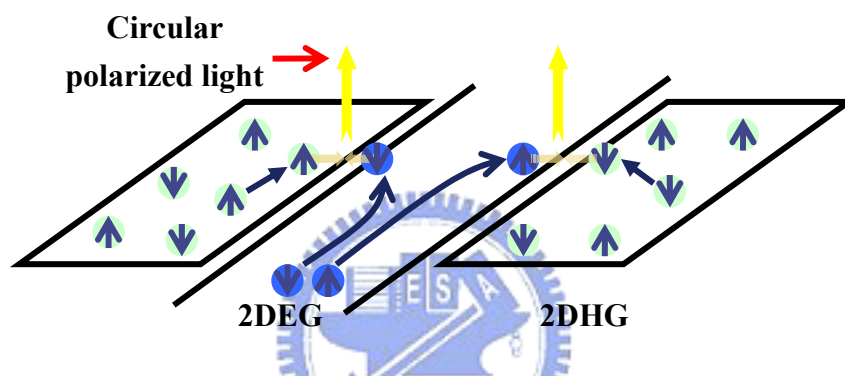


圖 2-2 橫向 P-N-P 結構觀察自旋霍爾效應現象示意圖。

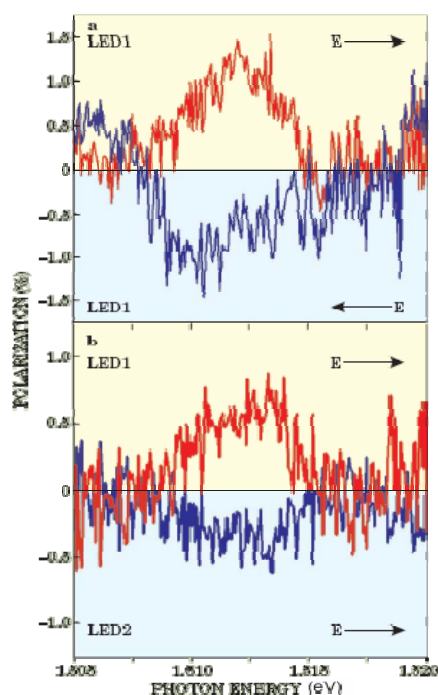


圖 2-3 Hitachi Cambridge Laboratory 製作準橫向 N-P-N 結構所觀察的極性光，證明本質性自旋霍爾效應的存在，自旋方向極化的電子和電洞相結合所發出的光能量約在 1.512eV 左右。縱軸 polarization(%) 表示左旋與右旋圓偏振光的相對強度。

上圖為在不同電場方向下，比較通道某一邊所發出圓偏振光。

下圖為在同電場方向下，比較通道兩邊所發出圓偏振光。

2.1.2 單光子源(single photon source) [8]

單光子主要應用於量子計算與量子通訊，近年來由於由表面聲波元件(SAW, surface acoustic wave)驅動所產生的單光子源速率達1GHz而受到關注。其原理是利用轉能器(transducer)產生表面聲波於壓電材料上，伴隨著位勢波引起晶格變形與二維電子平面中的電子作用導致動量與能量轉移，拖曳電子以聲波速度往表面聲波傳遞的方向產生電流，通過分離閘極(split gate)控制的一維通道產生每聲波週期的單電子，與另一端的二維電洞平面內的電洞復合發出單光子。參考圖2-4可知，元件中的重要部分就是橫向P-N接面，有鑑於現行方法大都需要蝕刻或離子佈值等製程而影響電子通道和表面聲波的品質，本論文提出新的方法來改善這些問題。

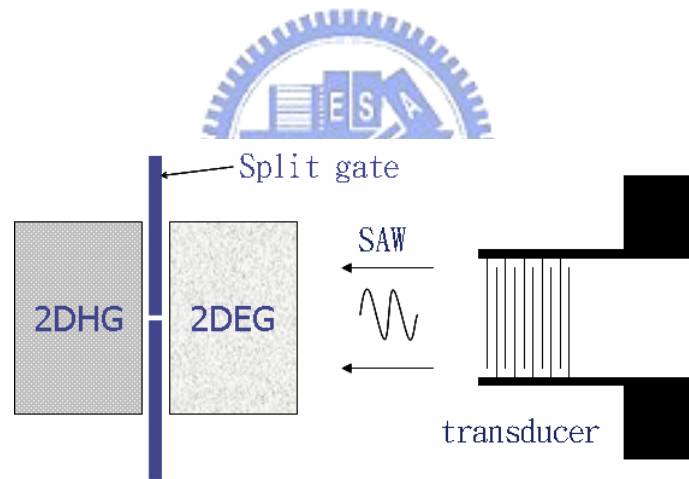


圖 2-4 整合橫向 P-N 接面、分離閘極(split gate)和表面聲波(SAW)元件的單光子源元件示意圖。

2.2 一般摻雜狀況下橫向P-N接面的理論計算^[9]

橫向P-N接面理論計算模型顯示在圖2-5，考慮一個量子化維度的厚度為 d 薄膜，右半區域($y=0, x>0$)摻雜平面密度為 N_{AS} 的受體原子以提供電洞，左半區域($y=0, x<0$)則摻雜平面密度為 N_{DS} 的施體原子以提供電子，如此摻雜可視為片面式摻雜(δ -doping)且介面屬於陡接面(abrupt junction)。y軸垂直於薄膜且原點位於薄膜厚度對稱的中心點。方便起見，進一步假設 $N_{AS}=N_{DS}=N_s$ 且所有的雜質全部解離於適當的溫度下，當接面形成的時候，一部分的電子從N區域跑到P區域，相反地，一部分的電洞從P區域跑到N區域，在此接面附近形成平面電荷空乏區。

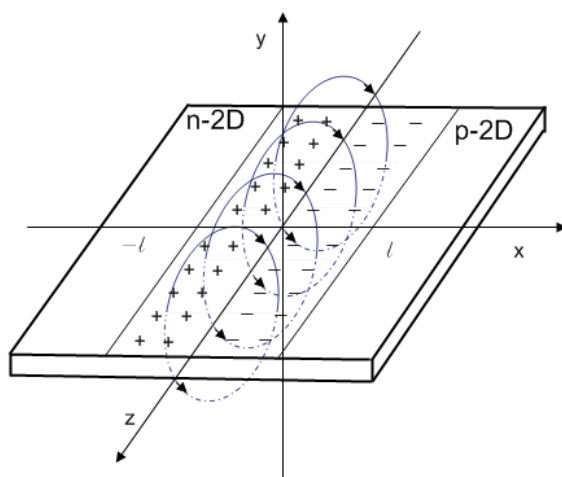


圖 2-5 受摻雜橫向 P-N 接面示意圖。

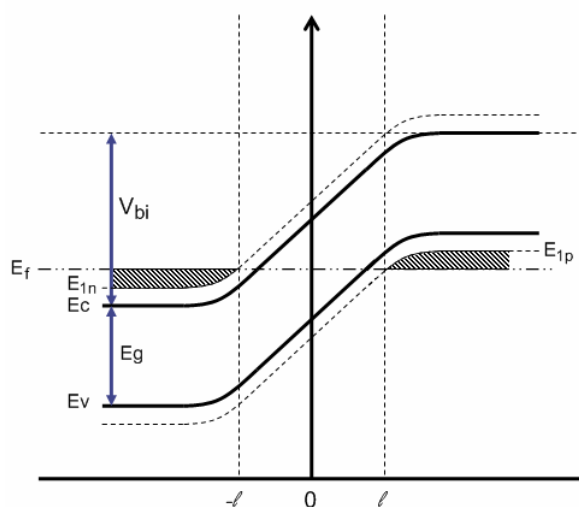


圖 2-6 熱平衡下的橫向P-N接面能帶圖， E_{in} 和 E_{ip} 各為電子和電洞一維侷限量子化後的能階。

接面電場的發生，能帶和由於一維侷限而產生的量子化能階因而彎曲來達到新的穩定平衡態，延伸整個區域的費米能階必須維持定值，x軸方向能帶圖示意在圖2-6，相對地，此方向上形成內建位勢能障(built-in potential barrier, V_{bi})，以維持N區域多數電子和P區域少數電子之間的平衡、以及P區域多數電洞和N區域少數電洞之間的平衡，其內建位勢能障(built-in potential barrier, V_{bi})為

$$V_{bi} = \frac{1}{e} \left\{ E_g + \pi \hbar^2 \left(N_s + \frac{\pi}{2d^2} \right) \frac{m_n + m_p}{m_n m_p} \right\} \quad (2-2)$$

其中e:電子電量； E_g :半導體能隙； m_n 和 m_p :有效電子質量和有效電洞質量；式子中第二項，是二維載子所填到的最高能階；第三項是z軸方向侷限而量子化能階的第一個能階。從式(2-2)可看出能內建位勢障礙(built-in potential barrier)的大小永遠大於能隙值，在三維P-N接面則是相反的結果，這樣的差別在於平面式摻雜的加入，在本導體結構中約數十埃(Å)中摻雜密度高達 10^{12}cm^{-2} 以上，換算濃度約為 10^{19}cm^{-3} 以上，其值與導帶或價帶的等效狀態密度函數(N_c 、 N_v , effective density of state function in the conduction and valence band)相當或更大，這樣濃度之下摻雜原子彼此近距離靠近而互相作用，原本摻雜原子之間的獨立能階重疊而分開擴展成能帶與導帶或價帶重疊，使得費米能階高於導帶底部或低於價帶頂端，如此狀況稱為退化(degenerate)半導體。

2.2.1 接面中位勢分布函數

除了佔據 $0 < x \leq 1$ 平面的游離負離子及佔據 $-1 \leq x < 0$ 平面的游離正離子之外的區域，電場大多分布於周圍，滿足Laplace equation

$$\nabla^2 \varphi(x, y, z) = 0 \quad (2-3)$$

其邊界條件

$$\varphi(x,0) = \begin{cases} 0 & \dots\dots\dots x \leq -l \\ V_{bi} & \dots\dots\dots x \geq l \end{cases}$$

$$\frac{\partial\varphi(x,0)}{\partial y} = \begin{cases} -\frac{eN_s}{\varepsilon} & \dots\dots\dots -l \leq x \leq 0 \\ \frac{eN_s}{\varepsilon} & \dots\dots\dots 0 \leq x \leq l \end{cases} \quad (2-4)$$

ε 是周圍環境的介電常數(ambient permittivity)，假設薄膜在z軸方向對稱且無限延伸且遠大於寬度 $2l$ ，所以位勢分布與變數 z 無關，可以忽略邊緣效應(edge effect)。以正則轉換(Conformal mapping)的方法求解，在第一象限($x>0, y>0$)的解為

$$\varphi_0(x > 0, y > 0) = V_{bi} \left\{ 1 - \frac{1}{\pi} \arcsin \left[\frac{\sqrt{F(x, y) - (x^2 + y^2 - l^2)}}{l\sqrt{2}} \right] - \frac{1}{2\pi} \left[\frac{x}{l} \ln \frac{x - G(x, y)}{x + G(x, y)} + \frac{2y}{l} \arctan \left(\frac{x^2 + y^2 + l^2 - F(x, y)}{l\sqrt{2}\sqrt{x^2 - y^2 - l^2 + F(x, y)}} \right) \right] \right\} \quad (2-5)$$

引入的特別函數定義

$$F(x, y) = \sqrt{(x^2 + y^2 - l^2)^2 + 4l^2 y^2} \quad (2-6)$$

$$G(x, y) = \frac{\sqrt{(x^2 + y^2)F(x, y) - (x^2 + y^2)^2 + l^2(x^2 + y^2)}}{l\sqrt{2}} \quad (2-7)$$

在其他象限， $\varphi(x, y)$ 也有類似於2-5式的表示式。

2.2.2 空乏區長度(depletion width)

在 $y=0, x \geq l$ 的區域內位勢呈等電位，由上式(2-5)且滿足條件 $\frac{\partial\varphi}{\partial x}(l, 0) = 0$ 的狀況下，

$$l = \frac{\varepsilon V_{bi}}{eN_s} \quad (2-8)$$

則空乏區長度 $W_{2D} = 2l = \frac{2\varepsilon V_{bi}}{eN_s}$ 。有外加偏壓V下，式子中的 V_{bi} 被 $(V_{bi}-V)$ 所取代。

以上得到位勢分布函數的方法是利用蕭特基近似法(Schottky Approximation, 又稱為Complete Depletion Approximation)。然而有瑕疵的是由於接面電場受到二維游離原子的屏蔽效應相對於三維比較弱, 造成空乏區外的電場下降的趨勢不若三維的空間空乏區來的陡峭, 也就是說 $x=\pm l$ 往外附近仍有殘餘的電場分布, 必須把此”尾巴(tail)”考慮進來做精密計算, 更精確的位勢分布函數為

$$\varphi(x, y) = \varphi_0(x, y) -$$

$$V_{bi} \frac{1}{2\pi l} \frac{\varepsilon \hbar^2}{m_p e^2} \arctan \frac{x^2 + y^2 + l^2 - F(x, y)}{l\sqrt{2}\sqrt{x^2 - y^2 - l^2 + F(x, y)}} \quad x > 0 \quad (2-9)$$

但是所得空乏區長度仍與上式(2-8)符合。

2.2.3 接面電容(junction capacitance)

知道電位分布及 $\rho(x)$, 則可求接面電容

$$\rho(x) = \frac{ekT}{\pi \hbar^2} \left[-m_n \ln(1 + e^{\varepsilon_1/kT}) + \theta(-x)m_n \ln(1 + e^{\varepsilon_2/kT}) \right. \\ \left. + m_p \ln(1 + e^{\varepsilon_3/kT}) - \theta(x)m_p \ln(1 + e^{\varepsilon_4/kT}) \right] \quad (2-10)$$

其中

$$\varepsilon_1 = -(E_{1n} + e\varphi(x, 0) - E_F)$$

$$\varepsilon_2 = -(E_{1n} - E_F)$$

$$\varepsilon_3 = -E_g - E_{1p} + e\varphi(x, 0) - E_F$$

$$\varepsilon_4 = E_{Fp} = \frac{\pi \hbar^2 N_s}{m_p}$$

$$Q_s = \int_0^{\infty} |\rho(x)| dx \quad (2-11)$$

$$C = \frac{dQ_s}{dV_{bi}} = \frac{2\varepsilon}{\pi} f(\beta) \quad (2-12)$$

其中

$$f(\beta) = \beta \arctan \frac{1}{\sqrt{\beta^2 - 1}} + \ln(\beta + \sqrt{\beta^2 - 1}) \dots \dots \beta = \frac{L}{l} \quad (2-13)$$

$\beta=L/l$ ， L 是電場真正截止為零的位置距離，界面電容跟內建位勢能障不相關，而 $f(\beta)$ 是 β 的弱相關函數，界面電容受周遭介電常數(ambient permittivity)影響大。

2.2.4 總結理論橫向P-N接面的特性

- i. 限制游離的受體與施體原子、自由載子分布於平面，但界面電場是三維分布而延伸至周圍中如圖2-5，而受到二維電荷的屏蔽較弱，反應在 $y=0$ 、 $y=l$ 、 $y=2l$ 平面的電位分布如圖2-7，電場的分布不只是在橫向接面的二維平面之上。
- ii. 具有較高的崩潰電壓，平均電場隨著外加電壓的變化小，利用蕭特基近似法計算空乏區內 x 方向的平均電場，

$$E_x(x, 0) = -\frac{V_{bi}}{2\pi l} \ln \left(\frac{l + \sqrt{l^2 - x^2}}{l - \sqrt{l^2 - x^2}} \right) \quad (2-14)$$

$$\overline{E_x} = \frac{1}{l} \int_0^l E_x(x, 0) dx = -\frac{eN_s}{2\varepsilon} \equiv const \quad (2-15)$$

理論計算得知，平均電場強度完全由解離的空乏區游離離子濃度所決定，與外加電壓無關。

- iii. 由於界面間電場受到二維分布電荷的屏蔽較弱，形成的空乏區(準確地說，應該稱為平面空乏區)相對於三維P-N界面空乏區也延伸較長，假設

三維情況下摻雜的雜質濃度為 $N_D = N_s / d$

$$W_{3D} = \sqrt{\frac{4\epsilon V_{bi}}{eN_D}} = \sqrt{4ld} \ll W_{2D} \quad (2-16)$$

舉例來說，對量子尺度下 $N_s = 10^{11} \text{ cm}^{-2}$ 和 $d = 80$ 的 GaAs 薄膜 ($E_g = 1.43 \text{ eV}$ 、 $\epsilon = 12.85$ 、 $m_n = 0.067m_0$ 和 $m_p = 0.48m_0$)，從式(2-2)，式(2-8)和式(2-16)可求得 $V_{bi} = 1.53 \text{ eV}$ 及 $W_{2D} = 2.2 \mu\text{m}$ 、 $W_{3D} = 0.19 \mu\text{m}$ 。

- iv. 空乏區長度與內建位勢障礙 (V_{bi}) 成正比，不若三維 P-N 接面空乏區長度正比於 $(V_{bi})^{1/2}$ 。
- v. 電容跟周遭的介電常數 (ambient permittivity) 成正比，直觀來看，可說是空乏區長度正比於內建位勢能障而造成電容與外加電壓無關。且其值相對於三維 P-N 接面的電容也比較小。

表 2-1 整理二維與三維之間 P-N 接面的特性比較，其條件皆為陡接面以及相等的施體原子濃度和受體原子濃度。



$\phi(x, y=\text{const})/V_c$

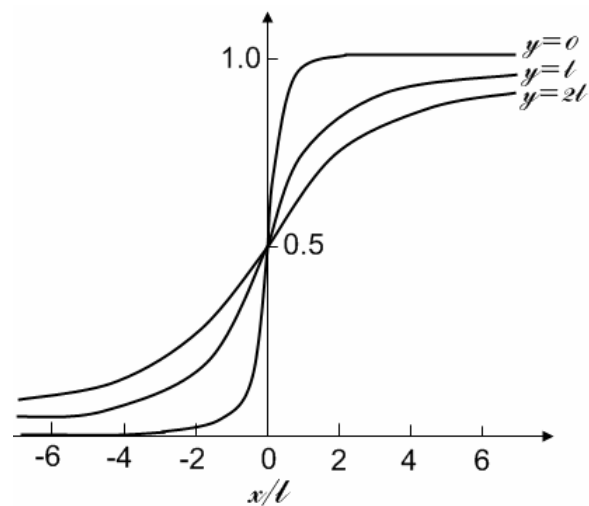


圖 2-7 固定距離於橫向 P-N 接面的平面，其 x 方向上位勢分布， $y=0$ 、 $y=l$ 和 $y=2l$ 。

表2-1 二維與三維P-N接面的特性比較。

$N_{AS}=N_{DS}=N_s$	2D	3D
Depletion width	$W \propto V$ Longer	$W \propto V^{1/2}$ shorter
Junction Capacitance	Independent of bias Lower	$C \propto V^{-1/2}$ Higher
Breakdown voltage	Higher	Lower

2.3 其他橫向P-N接面的製作方法

1. P型摻雜異質接面的部份區域N型補償摻雜(N-type compensation doping of a p-doped heterostructure) [10]

利用離子佈植摻雜矽原子在擁有P型摻雜的異質接面GaAs/InGaAs/AlGaAs結構上，一半區域轉換成N型補償型半導體(compensated semiconductor)如圖2-8所示，一半區域形成二維電子氣體，另一半則形成二維電洞氣體，各自分別接上N型歐姆接觸和P型歐姆接觸。離子佈植製程易破壞磊晶結構產生缺陷，增加背景雜質散射和捕捉能態(trap level)，影響2DEG的電子遷移率和發光效率。

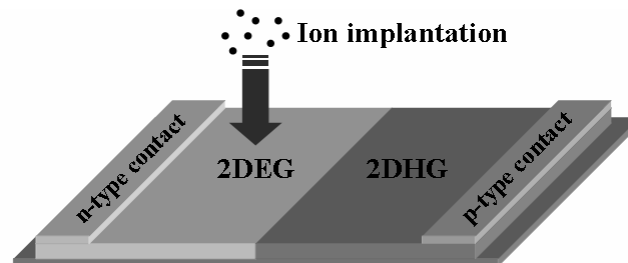


圖 2-8 利用 N 型補償參雜製作的橫向 P-N 接面。

2. 不同GaAs切面的矽原子摻雜 [11]

選擇的蝕刻溶液對於不同方向的GaAs切面具有不同的蝕刻速率，上有光阻作

為阻擋層的GaAs(100)切面在其光阻邊緣側邊蝕刻出一條細長的斜面(n11)A切面($n \leq 3$)夾在所蝕刻平面與未蝕刻平面之間如圖2-9。去除光阻之後再一次送進MBE (Molecular beam epitaxy)成長具有平面式摻雜和異質接面的磊晶結構，擁有雙性雜質特徵的矽原子摻雜在(100)切面的GaAs上是施體性質，在(n11)A切面($n \leq 3$)是受體性質，如此平面-斜面-平面構造呈現橫向N-P-N結構，N型和P型歐姆接觸分別蒸鍍於任一N區域和中間P型區域則是一橫向P-N面的形成。磊晶成長技術佳則磊晶結構下的成長前蝕刻面不易影響其上載子通道的品質，獲得極高載子遷移率不無可能。但是參考Gell et al. 整合transducer和利用此方法製作的橫向P-N接面的元件如圖2-10，表面聲波(SAW)傳播路徑受到平台蝕刻(mesa etching)的影響而容易衰減；且再次成長磊晶結構前的蝕刻使得橫向P-N接面上的通道其發光現象異常。

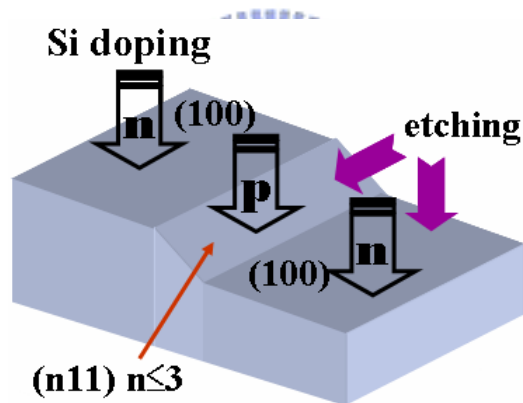


圖 2-9 不同 GaAs 切面的矽原子摻雜特性。

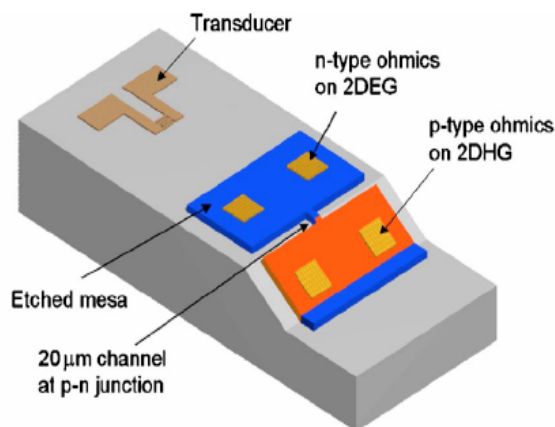


圖 2-10 Gell et al. 整合表面聲波元件和橫向 P-N 接面。

3. 垂直P-I-N磊晶結構的蝕刻^[12]

Kaestner et al. 提出成長以間隔層分開而分別在上下之P和N通道的磊晶結構，位於下方N通道的載子會因為後來成長的P摻雜層所消耗(depletion)而只形成2DHG。如果蝕刻去除上方的P通道，被消耗的下方電子由N型片面摻雜層(N-type δ -doping)供應重新聚集在N通道中。準橫向P-N接面位於所蝕刻的邊緣下，元件結構如圖2-11。電子通道面積大小決定於蝕刻範圍，且通道完全由蝕刻面所覆蓋，蝕刻後表面殘餘許多表面狀態(surface state)，帶有電荷的懸鍵(dangling bond)產生庫侖力散射影響電子遷移率。雖然P-N接面電子和電洞的復合處在間隔層i-GaAs區域，可以減少非輻射復合發生，但是接面上附近的表面狀態存在使得表面復合(surface recombination)機率大增而影響發光效率。

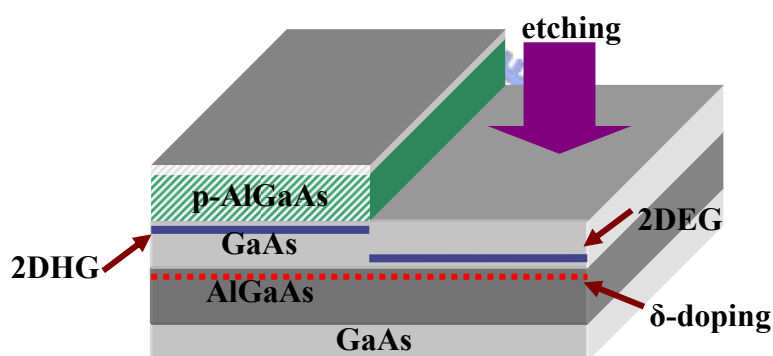


圖 2-11 蝕刻垂直 p-i-n 磊晶結構而成的準橫接 P-N 接面。

4. 蒸鍍歐姆接觸取代被蝕刻的摻雜層^[13]

P型調制摻雜異質接面所構成的2DHG侷限於AlGaAs/GaAs/AlGaAs量子井中的基板磊晶結構，N型區域利用濕式蝕刻去除P型摻雜層而後鍍上N型歐姆接觸且快速冷卻退火(RTA)，N型歐姆接觸提供施體原子於量子井附近形成2DEG，未蝕刻處為P型區域，元件結構如圖2-12。2DEG區域大小決定於N型歐姆接觸金屬所鍍的面積，電子通道完全被金屬覆蓋，同時可能也覆蓋到發光的區域。

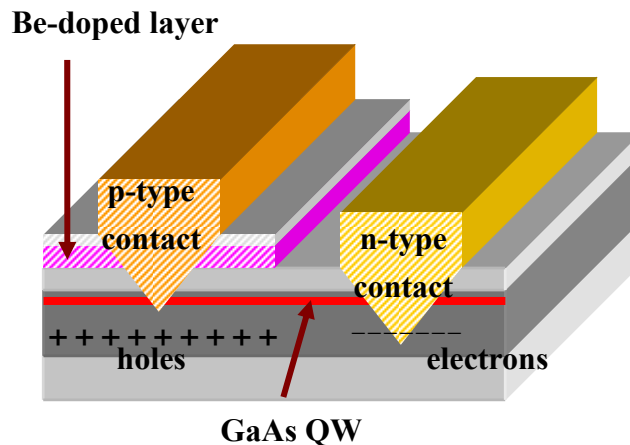


圖 2-12 蒸鍍歐姆接觸取代被蝕刻的摻雜層所製作的橫向 P-N 界面。

2.4 整合無摻雜P通道和N通道HEMT的橫向P-N界面

首先討論橫向P-N界面中2DEG(或2DHG)如何形成及其優點為何，單獨的二維電子(或電洞)通道結構與HEMT結構類似，可說是無摻雜雜質的HEMT，試著模擬分析說明無摻雜N通道HEMT可行性，整合無摻雜P通道和N通道的結構就是橫向P-N界面。

2.4.1 形成高品質的二維電子或電洞氣體

過去以往，利用調變摻雜(modulation-doping)的技術做出高電子遷移率電晶體(HEMT, 又稱為modulation-doping field-effect transistor(MODFET))如圖 2-13，其最大特點在於能夠把載子流動的量子井通道和游離雜質原子分開，有效減少游離雜質散射(ionized impurity scattering)。Harrel et al.^[14]有鑒於雖然游離雜質散射效應減弱但是仍然有害於二維電子或電洞氣體的品質，提出如圖 2-14的結構，其特點有二

- I. 使用沒有摻雜的異質界面結構。
- II. 多一架橋式閘極(屬於金屬-絕緣層-半導體結構，MIS)在隔一層絕緣層與歐姆接觸區域及表面閘極(屬於蕭特基接觸，Shoecttky contact)部分重疊，架

橋式閘極外加電壓下可以有效降低歐姆接觸和量子井之間的能障，使得歐姆接觸介面附近的載子容易導入量子井中，有效控制歐姆接觸介面的載子濃度。

結果除了仍有場效電晶體(FET)特性之外，重要的是表面閘極下電子密度低的狀況下仍有很高的電子遷移率。圖2-15比較有摻雜跟沒有摻雜異質介面結構不同電子密度下的遷移率，在電子密度 10^{11}cm^{-2} 以上，兩結構載子遷移率隨載子密度變化相同，同樣受限於背景雜質散射(background impurity scattering)和介面粗糙散射(interface roughness scattering)的影響；電子密度 10^{11}cm^{-2} 以下，主要受游離雜質散射(ionized impurity scattering)，明顯地，沒有摻雜的異質介面結構其遷移率勝出，當電子密度為 $1\times 10^{10}\text{cm}^{-2}$ 時，電子遷移率仍維持略高於 $10^6\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ 。

去除游離雜質散射影響，可以創造一個更乾淨、更趨於理想化的二維系統，預期可觀察到許多細微現象比如說Luttinger liquid behavior、磁場強度為零下的Wigner crystallisation，更細微的Aharonov-Bohm oscillations和其他低維系統效應。

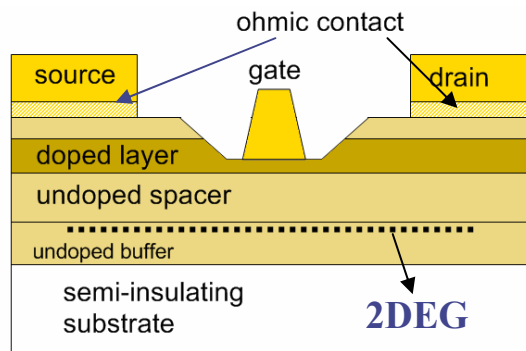


圖 2-13 一般 HEMT 元件結構圖。

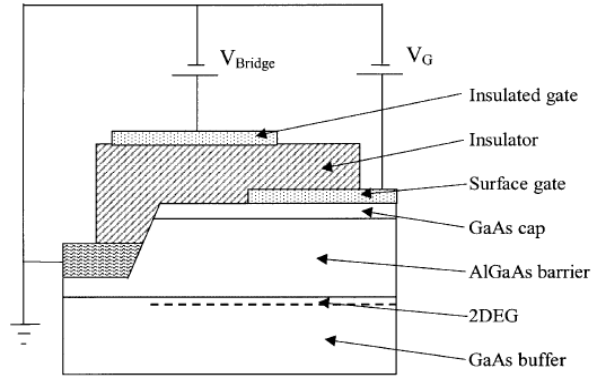


圖 2-14 Harrel et al. 提出含有架橋式閘極元件之剖面圖。

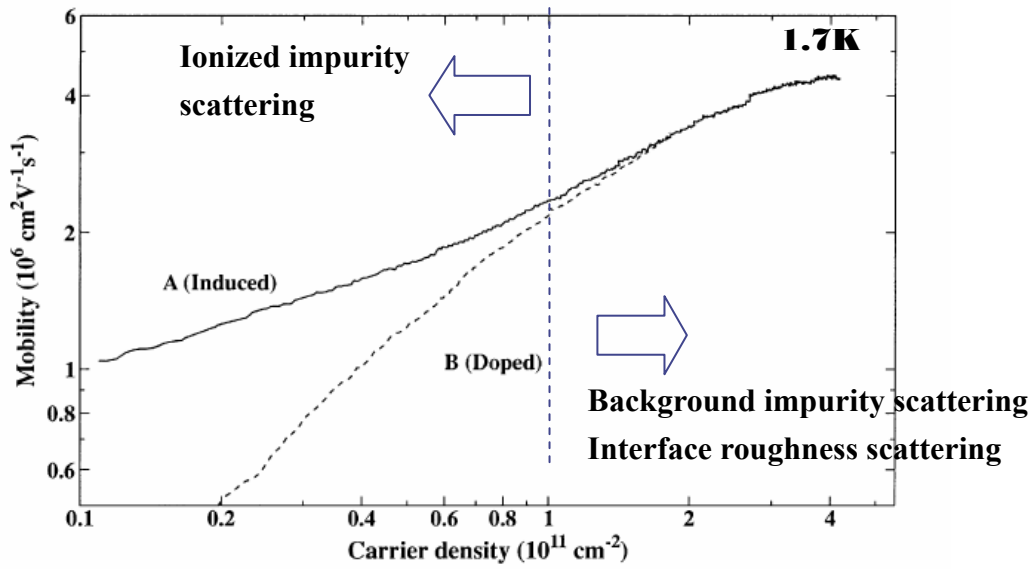


圖 2-15 比較有摻雜和無摻雜 N 通道之電子遷移率對平面電子密度關係圖。

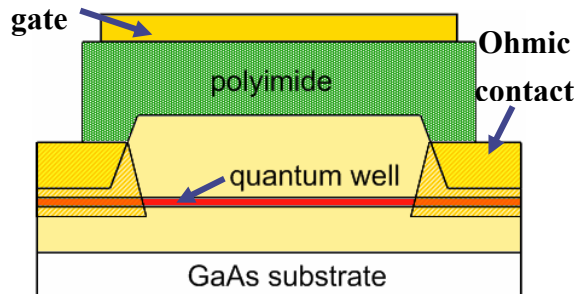


圖 2-16 結合架橋式閘極及表面閘極的設計。

2.4.2 新結構和模擬分析可行性

架橋式閘極與表面閘極所加的電壓是同號且製程繁複，所以本論文提出如圖2-16簡潔的設計結合架橋式閘極和表面閘極，不失其功能而減少一道顯影製程，實驗前利用套裝軟體模擬N通道結構說明可行性。模擬結構如圖2-17中主動層區域是AlGaAs/GaAs/AlGaAs異質接面結構；背景摻雜設定為 $P^- = 5 \times 10^{14} \text{cm}^{-3}$ ；閘極與絕緣層之間的蕭特基能障(Shoectky barrier)是設定為3.76eV，其值由來是鈦(Ti)與金(Au)功函數的平均值減掉絕緣層的電子親和力，絕緣層-polyimide介電常數為3.2，電子親和力與能隙皆假設與二氧化矽(SiO_2)同為0.9eV和9eV；歐姆接觸是蒸鍍金屬的擴散結果，假設其左右電極板下部分磊晶層摻雜N型雜質濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 。

模擬的一連串結果顯示所提出結構具有可行性，閘極正中間位置下方的縱軸方向能帶圖顯示在圖2-18，費米能階(Fermi level)位於能隙中間稍微偏下，這與基板材料中的背景雜質設定為偏P型有關，平衡態下量子井內電子與電洞濃度分布表示在圖2-19。兩邊的歐姆接觸皆接地，觀察通道中間位置電子密度隨著閘極電壓的變化於圖2-20，閘極電壓至3伏特時電子平面密度約為 10^{11}cm^{-2} 。假設元件寬為 $100 \mu\text{m}$ ，當 $V_{ds}=0.05\text{V}$ 、 $V_{gs}=3\text{V}$ 時， $I_d=7 \mu\text{A}$ 。

閘極與歐姆接觸重疊的作用效果可藉由觀察歐姆接觸與基板介面之間的位障高度變化，圖2-21中歐姆接觸與基板之間的介面處受到閘極電壓0V和3V的影響，明顯看出閘極電壓改變其載子導至通道間的能障大小。觀察夾在歐姆接觸之間的電子通道，其電子濃度隨著閘極電壓增加而變化如圖2-22。

藉由模擬N通道結構說明可行性，推測P通道結構也可以如法炮製。N型歐姆接觸所鍍金屬主要為Ni/Ge/Au，P型則為Zn/Au(10%/90%)，引發閘極電壓小於零。當N通道與P通道結構相鄰，則是一相隔著本質區域(intrinsic region)如圖2-23的橫向P-N接面形成。

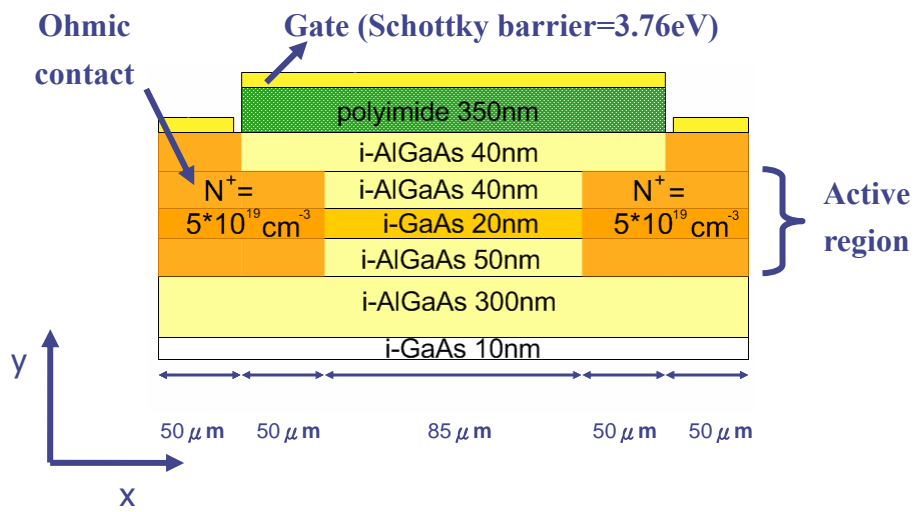


圖 2-17 無摻雜 N 通道元件模擬結構圖。

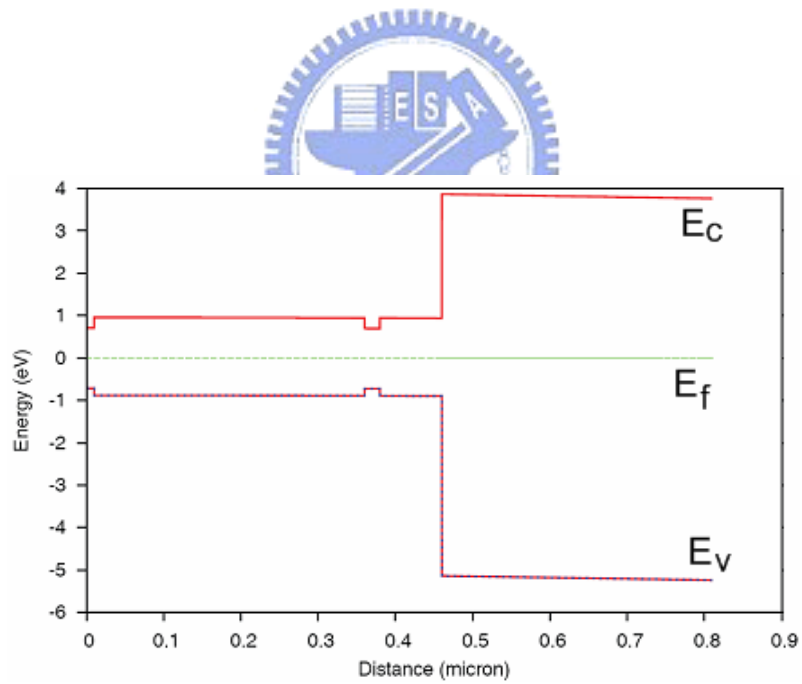


圖 2-18 閘極正中位置下方結構底端至上端的能帶圖。

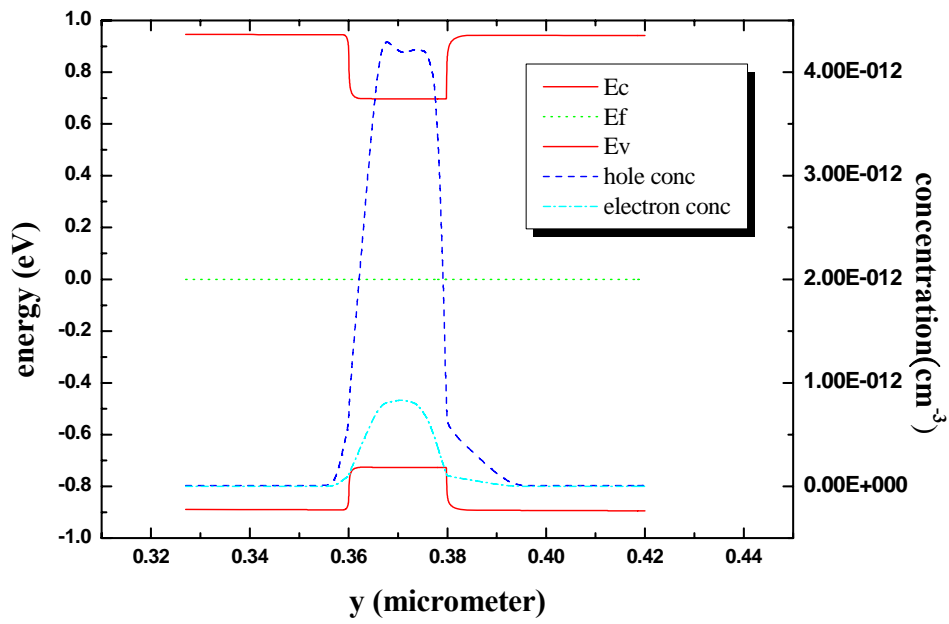


圖 2-19 量子井附近的能帶和電子與電洞濃度分布圖。

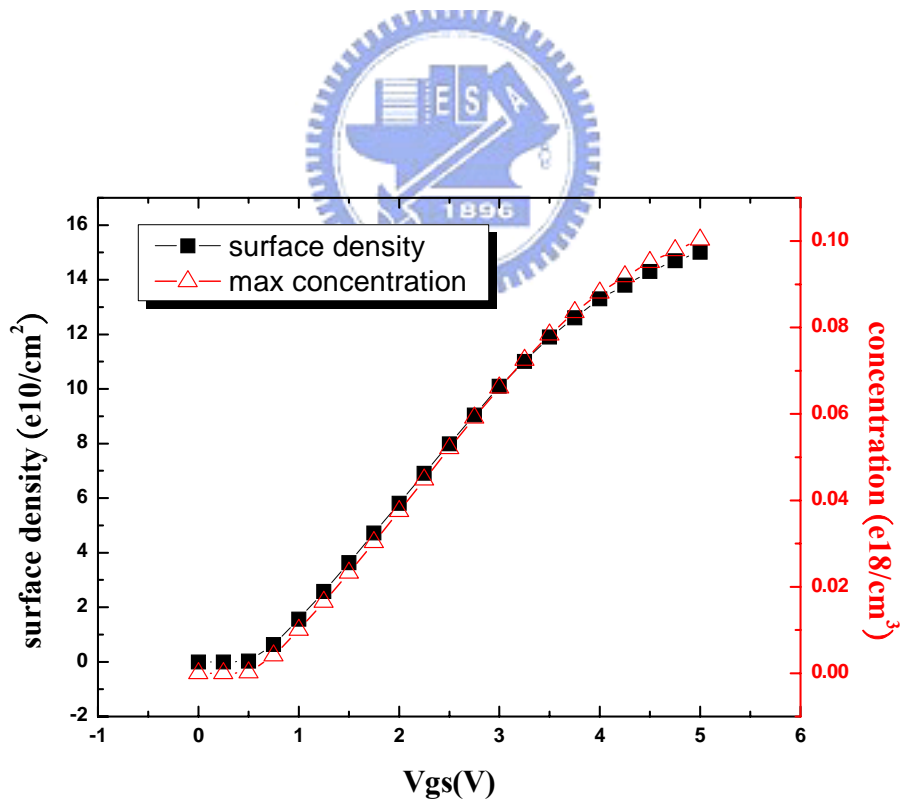


圖 2-20 平面電子密度和通道中最大電子濃度對閘極電壓關係圖。

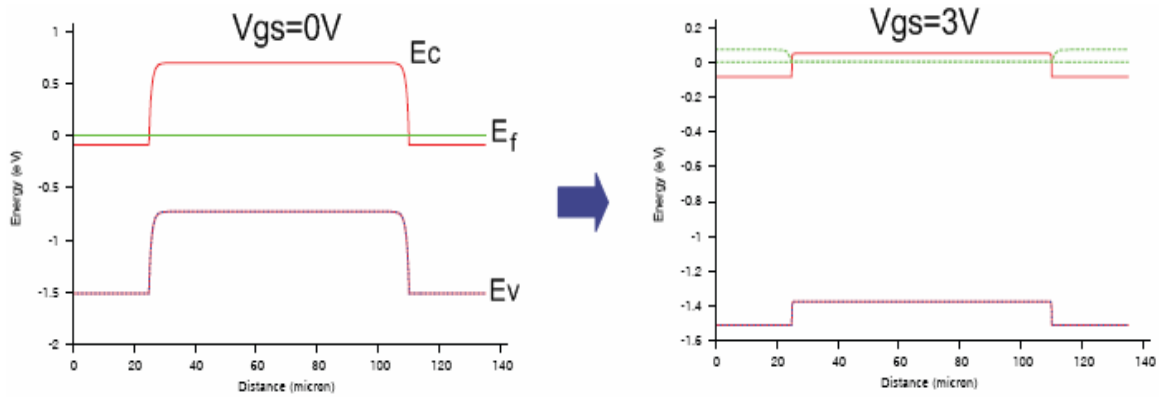


圖 2-21 歐姆接觸與基板之間介面能障
在閘極電壓 0V 至 3V 的變化。

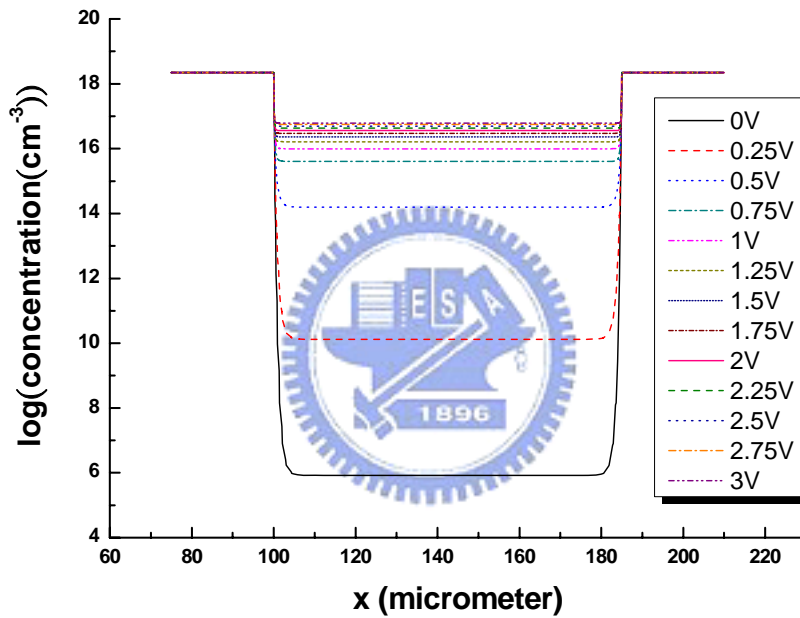


圖 2-22 歐姆接觸之間的通道電子濃度隨著閘極偏壓變化關係圖。

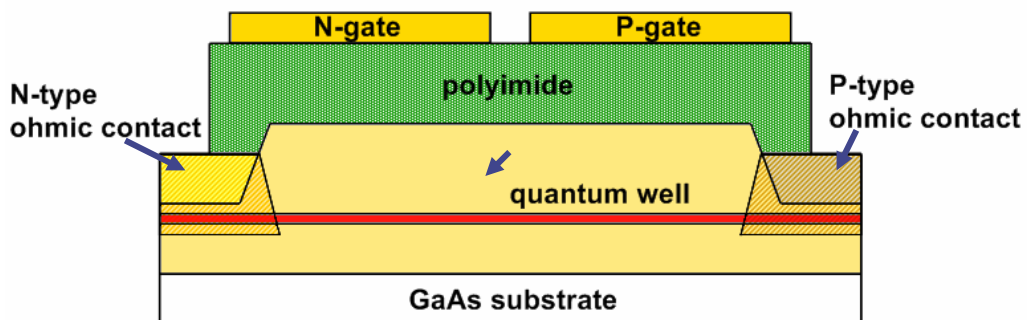


圖 2-23 無摻雜物下整合 N 通道和 P 通道結構
製作橫向 P-N 介面。

第三章 元件製程與量測方法

3.1 光罩設計

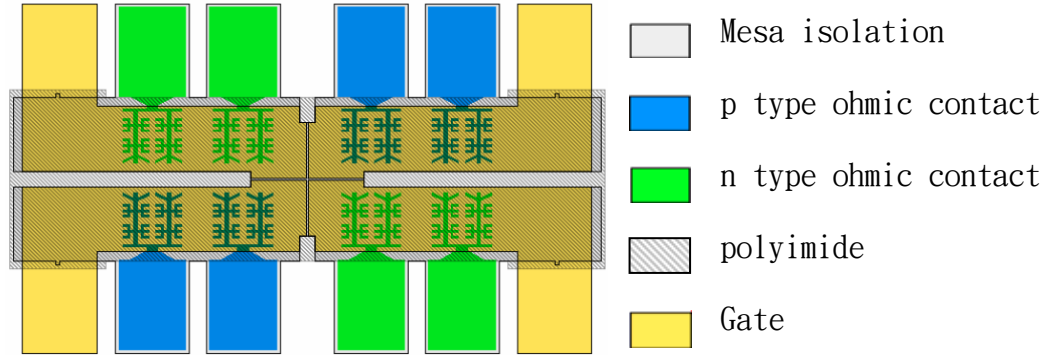


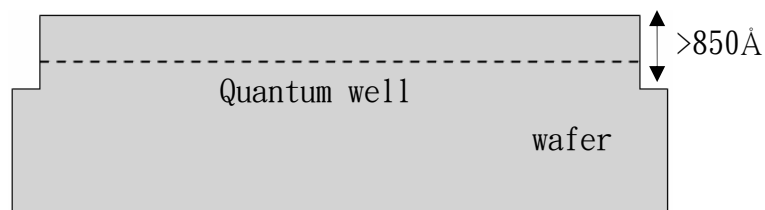
圖 3-1 光罩設計圖。

製程中使用五道光罩，分別為(1)平臺隔離(mesa isolation)；(2)P型歐姆接觸(P-type ohmic contact)(3)N型歐姆接觸；(4)絕緣層；(5)閘級製作(gate contact)。光罩設計如圖3-1，共包含兩個N通道、兩個P通道的FET，錯開排列，相鄰兩個是一個橫向P-N二極體的組合，兩兩一組就有四個二極體組合。閘極的寬度控制電流大小，所以相鄰閘極寬度都設計相同。歐姆接觸與閘極重疊的部份其圖案設計為樹枝狀，以期有最小的面積與最長的邊長，越小面積使得快速熱退火(RTA)後形成之粗糙表面影響絕緣層覆蓋性變小，越長的邊長使得快速熱退火(RTA)時原子擴散的範圍變大。基板結構如圖3-2、製作流程如圖3-3所示：

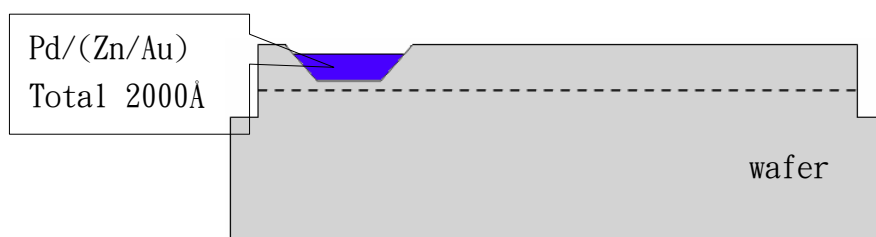
i-GaAs 5nm
i-Al _{0.33} Ga _{0.67} As 80nm
i-GaAs 20nm
i-Al _{0.33} Ga _{0.67} As 50nm
i-Al _{0.33} Ga _{0.67} As 3nm /i-GaAs 3nm 10 period
i-Al _{0.33} Ga _{0.67} As 400nm
i-GaAs buffer 100nm
S.I GaAs

圖 3-2 基板磊晶結構圖。

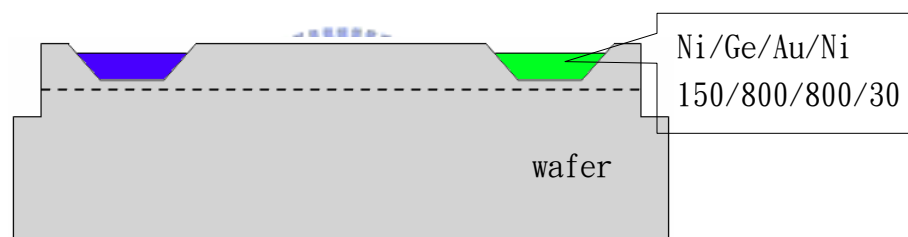
(1) 平台隔離 (mesa isolation ; mask 1)



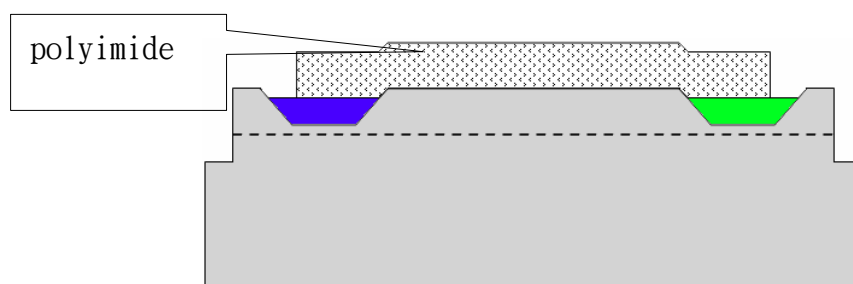
(2) P 型歐姆接觸 (P type ohmic contact ; mask 2)



(3) N 型歐姆接觸 (N type ohmic contact ; mask 3)



(4) 絕緣層 (polyimide ; mask 4)



(5) 閘極製作 (gate contact ; mask 5)

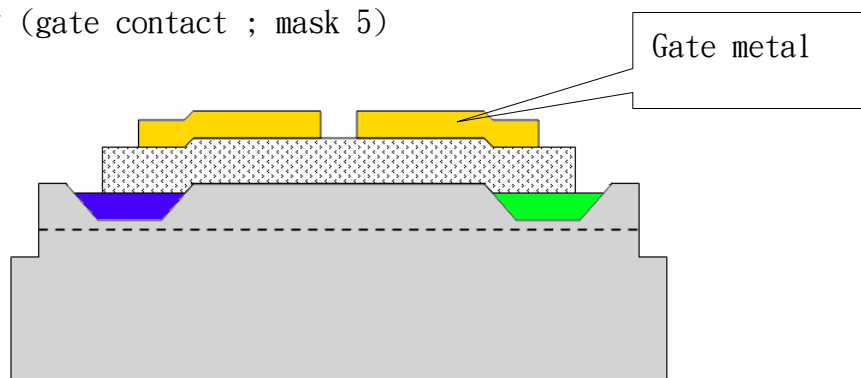


圖 3-3 製程流程圖。

3.2 製程說明

3.2.1 平台隔離(mesa isolation)

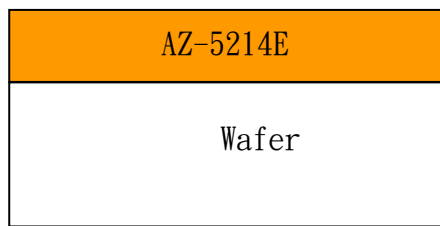
定義元件的主動層區域，使得元件之間各自操作獨立不會互相干擾，並且降低閘極金屬襯墊下所產生的寄生電容效應。此步驟使用的正光阻是AZ6112，在顯影製程中，留下來的光阻遮蓋所要定義的平台區域而避免受到濕式蝕刻，所用的蝕刻溶液是 $\text{H}_2\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}(3:1:50)$ ，蝕刻深度只要大約達到結構中量子井的上緣($\sim 850 \text{ \AA}$)。蝕刻深度是由薄膜測厚儀量測出蝕刻前後的高度差，重要的是必須計算出蝕刻速率，方便之後的第二、三道蝕刻能夠達到準確的深度而不需再次量測蝕刻深度。蝕刻後利用丙酮(ACE)去掉光阻使得定義的平台顯露出來。

3.2.2 歐姆接觸(ohmic contact)

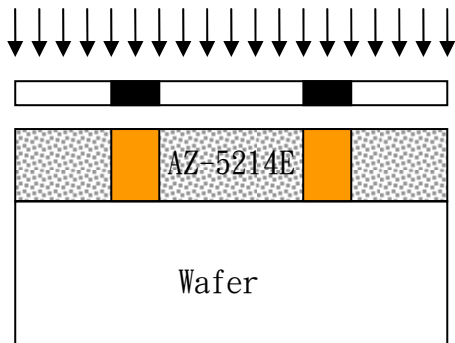
I. 微影製程(lithography)

所用的光阻是AZ5214E，利用其反轉特性而成負光阻，照到光的光阻加上之後的反轉烤會使得光阻強化堅硬並且對光變成不敏感，一連串的曝光顯影製程示意在圖3-4。曝光及對準過程中需注意處四點：

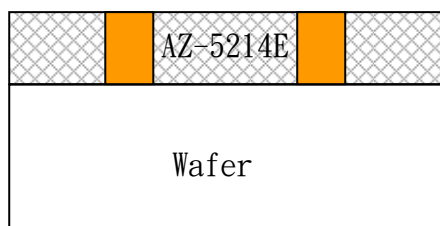
1. 光阻厚度對線寬的影響：若光阻過厚不易曝出小線寬，但若過薄則不利於剝離(Lift-off)。
2. 去除邊緣光阻：旋轉塗佈光阻於試片上，邊緣出現光阻隆起將妨害對準及密接，小心去除以免弄髒 wafer。而對於線寬大圖形則不一定需要。
3. 密接(close contact)確實：不確實之密接曝光時之漏光將使圖案走樣，譬如圖形變大或變小、角成弧形。
4. 曝光劑量：過高劑量將造成線寬下降與鍵結過多使剝離(Lift-off)時光阻無法除淨；相反地，劑量過少將使線寬上升。空曝(Flood Exposure)影響先前未與光反應之光阻對於顯影液的溶解度，曝光量太少則不容易去除。



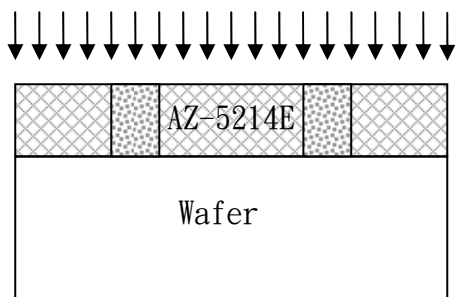
1. 經由轉速控制光阻厚度
2. 軟烤 90°C 降低溶劑含量



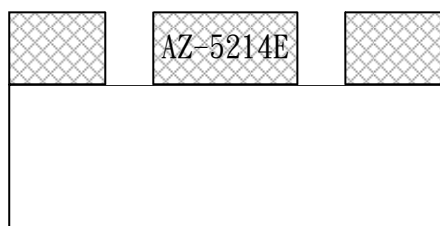
3. Image Exposure
經由曝光，形成一種 PH 值較其他為曝光光阻低之酸性光阻。



4. Post Bake 120°C/2min
曝光後的光阻經過烘烤後，會經由一種酸的催化機制而 cross-link，且對光變得不敏感。



5. Flood Exposure $> 200\text{mJ}/\text{cm}^2$
整面曝光後，先前未與光作用之區域進行反應變成可溶解於顯影液中。



6. Develop
顯影時，含酸性光阻處比鍵結處之光阻快溶解，溶解速率與 Flood exposure 的時間有關。

圖 3-4 光阻 AZ5214E 顯影製程示意圖。

II. 金屬蒸鍍

在蒸鍍之前必須蝕刻至約晶片結構中量子井的深度，所配的溶液仍是上一個步驟所述的 $\text{H}_2\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}(3:1:50)$ ，利用上一步驟所測得的蝕刻速率估計所需要的蝕刻時間。此蝕刻的用意是讓之後鍍上去的金屬在RTA時更容易擴散至量子井位置附近。

第二道黃光製程後，蒸鍍的金屬是Pd/(Zn/Au)，其中Zn/Au的重量比例是10%/90%，所使用的儀器是熱蒸鍍機(thermal coator)，此儀器沒有厚度監測器(thickness monitor)，故鍍完後用薄膜測厚儀量測總厚度約為2000Å。先蒸鍍Pd除了因其附著性佳之外，還可以幫助Zn元素於RTA時擴散。

第三道黃光製程後，蒸鍍的金屬是Ni/Ge/Au/Ni，厚度分別是150/800/800/300Å，所使用的儀器是單電子槍蒸鍍機(E-gun Evaporator)。先鍍Ni有助於Ge於RTA時擴散得更均勻，最後仍鍍Ni是利用其溶點高的特性防止金屬襯墊在RTA後過於粗糙，太過於粗糙會造成之後鋪設絕緣層無法完整覆蓋的問題。



III. 剝離(Lift-off)

負光阻的特性是照到光的部份會強化，光阻強硬程度會跟曝光量成正比，光透過物質會衰減，所以光阻上層的曝光量會比底部多，造成底部的溶解速率會比上層快，顯影後光阻邊緣剖面呈底切(undercut)，如圖 3-5(b)。利用丙酮(ACE)溶解光阻，其上的金屬隨其剝落而留下所希望的金屬圖案。所蒸鍍金屬厚度不能超過光阻厚度的三分之一，第一是方便丙酮易透過空隙與光阻反應而溶解，第二是太厚會使得光阻上的金屬與跟基板直接接觸的光阻相連而容易一起被剝離帶走。

如果利用正光阻曝光顯影則不會出現底切，而是如圖 3-5(a)示，明顯地，光阻上的金屬與跟基板上直接接觸的光阻連在一起，試片浸泡在丙酮中溶解光阻，隨著光阻上的金屬剝落也帶走原本應該留下的金屬圖案。

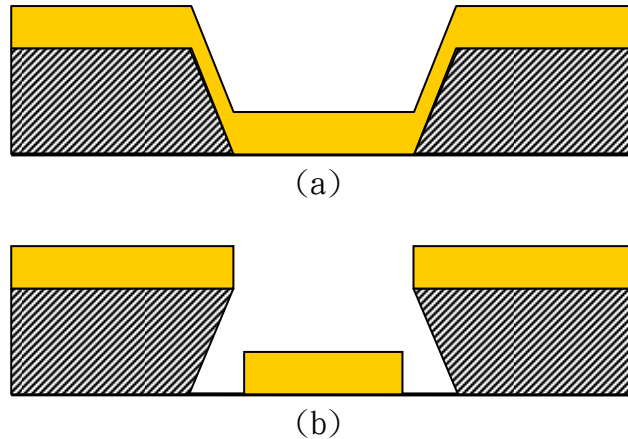
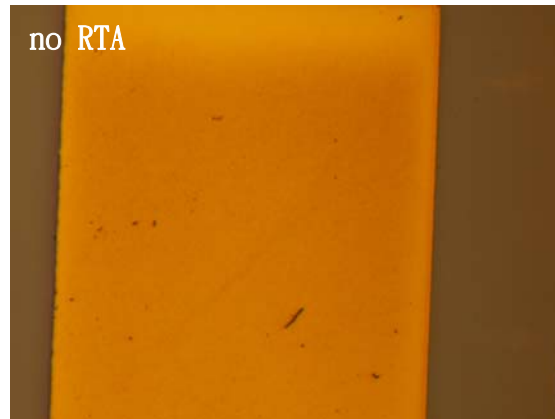


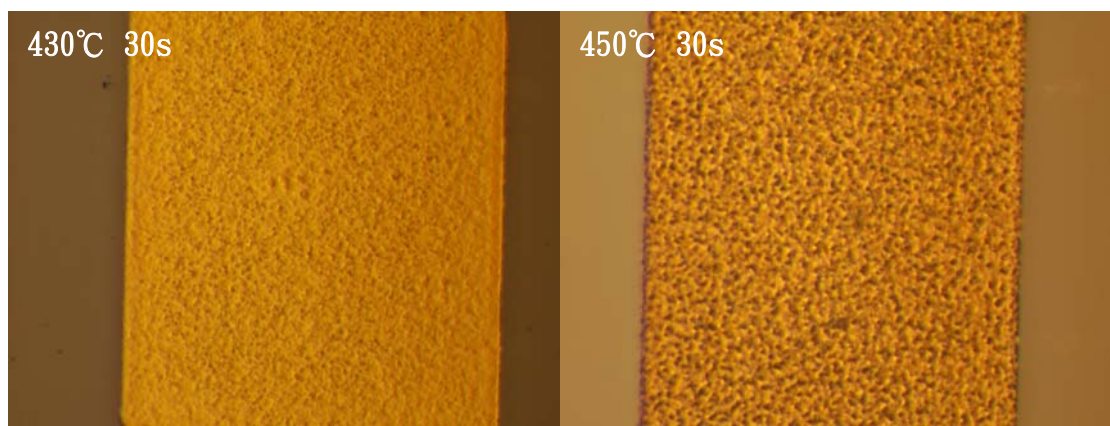
圖 3-5 (a) 正光阻顯影後鍍上金屬，(b) 負光阻顯影後 under cut 結構鍍上金屬。

IV. 快速熱退火(Rapid thermal annealing)

快速熱退火 (RTA) 為在反應腔內通入氬氣，快速升溫至某一溫度下不進行任何的氣體反應，讓金屬中特定元素擴散至 GaAs 中產生摻雜作用而提供載子，降低金屬與半導體之間界面的電阻。溫度的選擇是根據合金在特定比例下有最小的共熔溫度，調配合適的合金比例來決定所鍍金屬的厚度，比如說 Ge/Au 的重量比例 12%/88%，換算成厚度約為 1:1，此時其共熔溫度為 420°C，愈小共熔溫度愈不易破壞晶片磊晶結構，如產生缺陷(defects)或錯位(dislocation)，而受限於 GaAs 的揮發溫度約 500°C，慎選歐姆接觸的組成金屬是必要的，如前述 N 型歐姆接觸 Ni/Ge/Au/Ni 的 RTA 條件為 420°C/30s。P 型歐姆接觸 Pd/(Zn/Au) 則必須先行鍍在 P 型晶片上作測試，測試的結果如圖 3-6，RTA 後的最佳結果應該落在 450°C/30sec 和 450°C/30sec 之間。因為 P 型歐姆接觸 RTA 溫度比 N 型高，故先蒸鍍前者並 RTA。

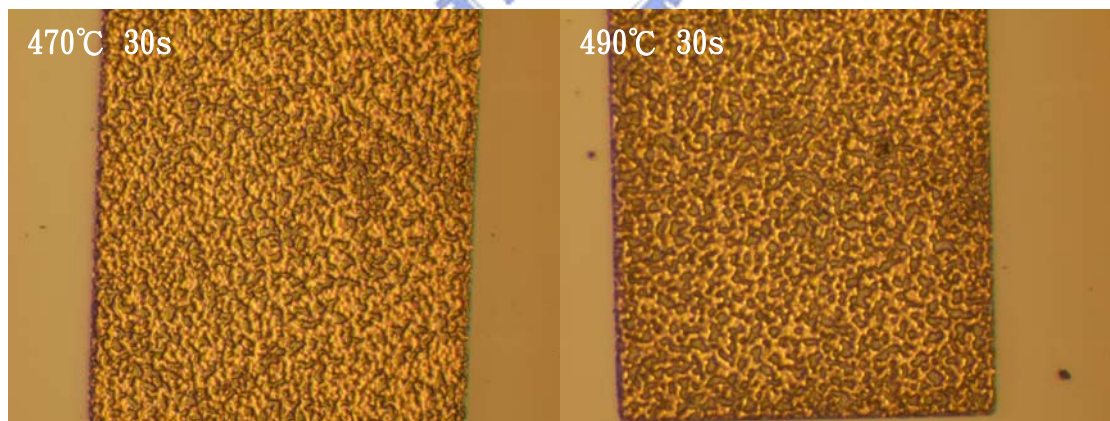


(a)



(b)

(c)



(d)

(e)

圖 3-6 測試 Pd/(Zn/Au) 不同 RTA 條件下的金屬圖案，時間皆為 30s，溫度分別為(a)未 RTA;(b)430;(c)450;(d)470 °C;(e)490°C。

3.2.3 絕緣層(polyimide)製作

所使用的 polyimide 型號是 SU-8 2000.5，第一特點在於本身就是負光阻，照到光的 polyimide 會堅硬強化；第二特點是黏稠性低，旋轉式塗佈控制轉速可塗佈一層約 3000~7000Å 的厚度，適合作 MIS(metal-insulator-semiconductor) 結構中的絕緣層厚度，但是在旋轉塗佈前滴上溶液至破片上的量不要太多，適量均勻剛好完整覆蓋住破片就好，否則旋轉塗佈出來的厚度會達到上萬微米，選擇口徑較小的滴管可避免此情形；第三特點是覆蓋性佳，鋪設在經過 RTA 後呈現粗糙的金屬襯墊上，不容易出現鋪不到的漏洞。其曝光顯影的過程及詳細條件說明在圖 3-7。另外要注意的是 polyimide 在固化(curing)後變得堅固異常，雖然有專門的剝離液，仍然不容易去除乾淨。所以在固化前，一定要確定黃光製程沒有出錯。

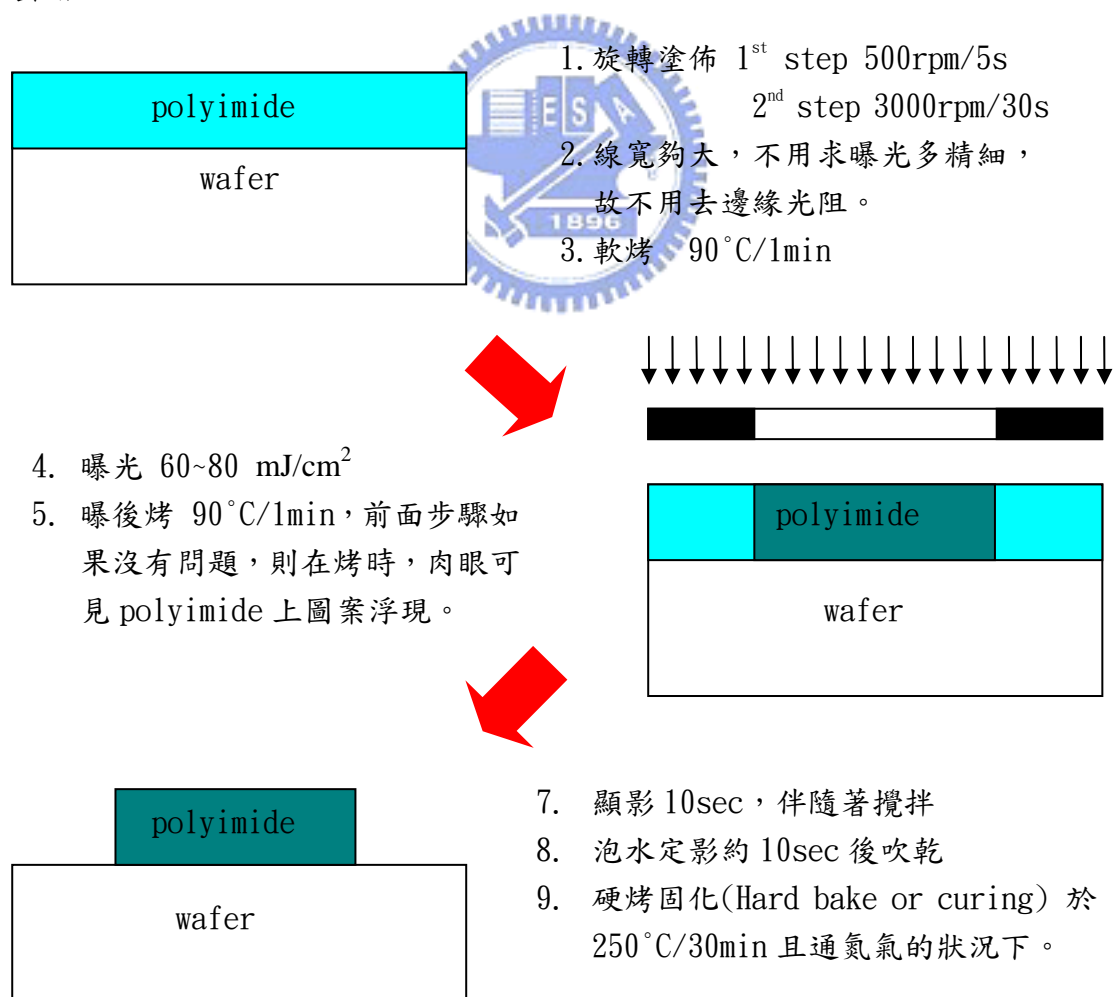


圖 3-7 polyimide 顯影製程流程示意圖。

3.2.4 閘極製作

微影製程與第二、三道無異，後利用單電子槍蒸鍍機(E-gun Evaporator)蒸鍍金屬 Ti/Au(200Å/1500Å)，先蒸鍍 Ti 乃因其附著性比 Au 佳，最普遍的覆蓋金屬 Au 擁有高電導率。

3.3 量測方法

量測FET特性先確定各別N通道或是P通道是否導通，FET量測系統示意在圖 3-8，引發N通道的閘極電壓大於零，引發P通道的閘極電壓小於零。有效且相鄰的N通道和P通道，可量測橫向P-N二極體的整流特性，仍利用HP4145 的FET量測模式， V_g 連接引發N通道的閘極， V_s 同時連接兩個N型歐姆接觸，只要任一個歐姆接觸短路則造成橫向P-N接面失效。 V_d 除了提供電壓給兩個P型歐姆接觸之外，則還必須接出一條線連接電源供應器(power supply)輸入端， V_d 經由電源供應器提供固定壓降之後輸出引發P通道的閘極電壓，確保掃 V_d 偏壓且量測 I_d 電流的同時，P通道的閘極電壓隨 V_d 改變，保持P通道的閘極與P型歐姆接觸之間的電壓差以維持所引發的電洞濃度，另外要注意電源供應器輸出端電壓變化速度要夠快以跟的上 V_d 的變化，其量測系統示意在圖 3-9。

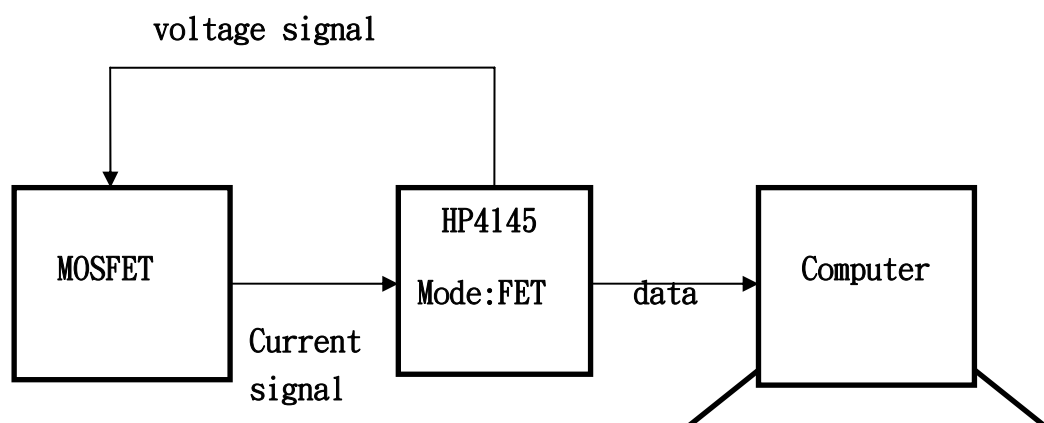


圖 3-8 FET I-V 曲線量測系統圖。

AuZn
 NiGeAu
 gate

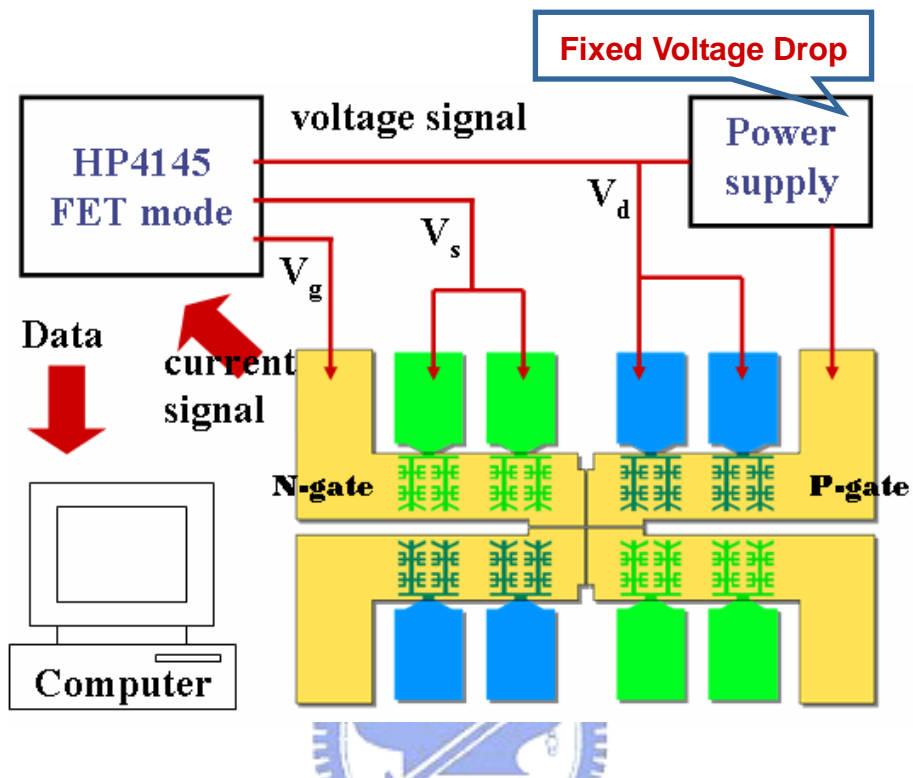


圖 3-9 橫向 P-N 接面 I-V 曲線量測系統圖。

第四章 結果與討論

4.1 量測結果

為確定 P 通道或 N 通道是否形成，會先以 FET 模式量測其 I-V 曲線。如果有相鄰形成的 P 通道及 N 通道，才會接續量測橫向 P-N 接面的電性。其失效的 P 通道或 N 通道，其電性不外乎閘極與歐姆接觸之間漏電如圖 4-1、誇張的短路如圖 4-2 和圖 4-3、未引發載子通道如圖 4-4、基板受到汙染如圖 4-5 或其他問題如圖 4-6。

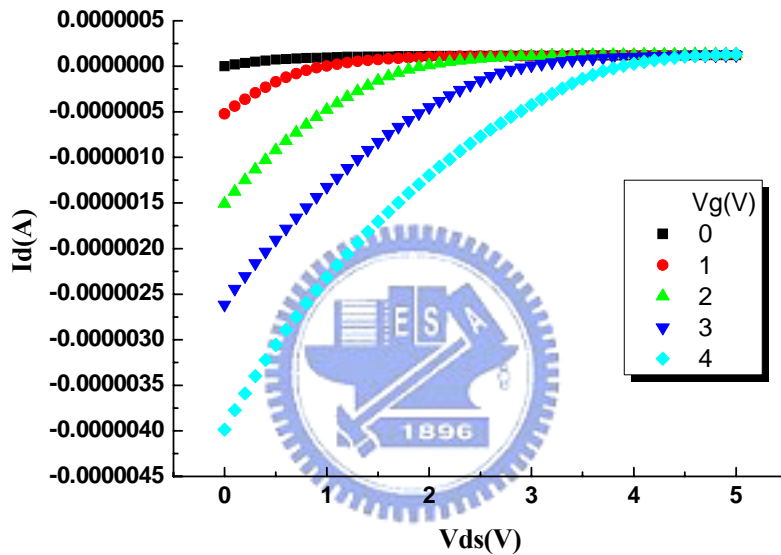


圖 4-1 N 通道結構的 I_d - V_{ds} 曲線，電流漏至閘極。

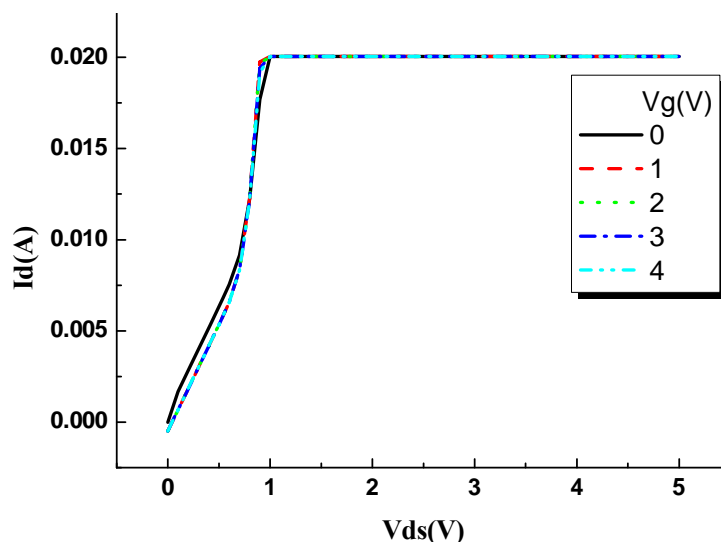
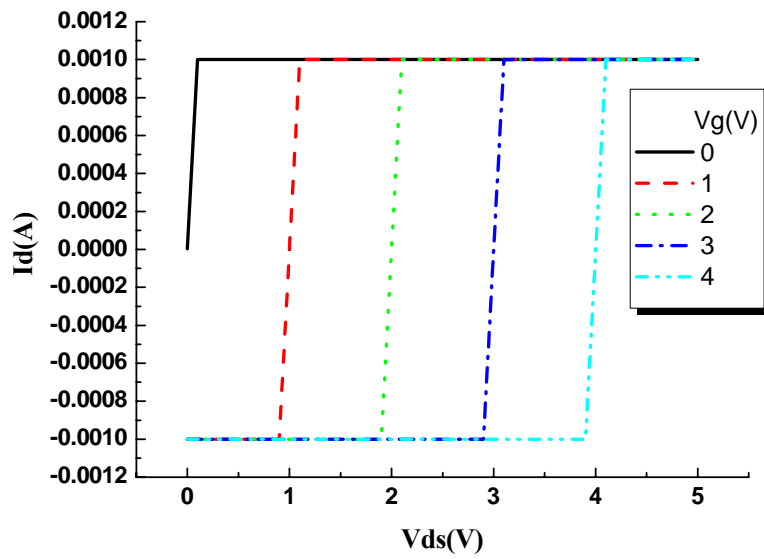
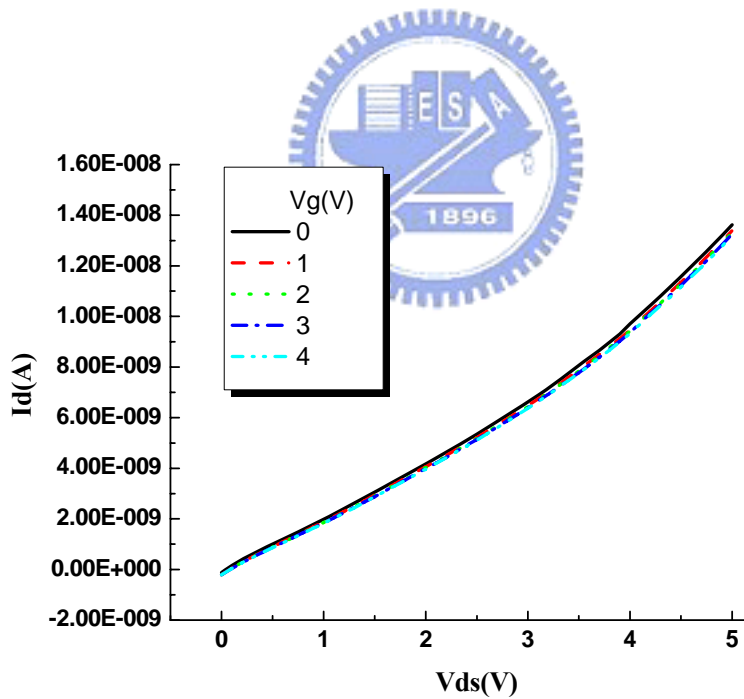


圖 4-2 二個歐姆接觸皆與閘極成短路，以 HP4145 的 FET 模式量測，汲極與源極端對調仍是如此 I-V 曲線。20mA 為系統設定截止電流。

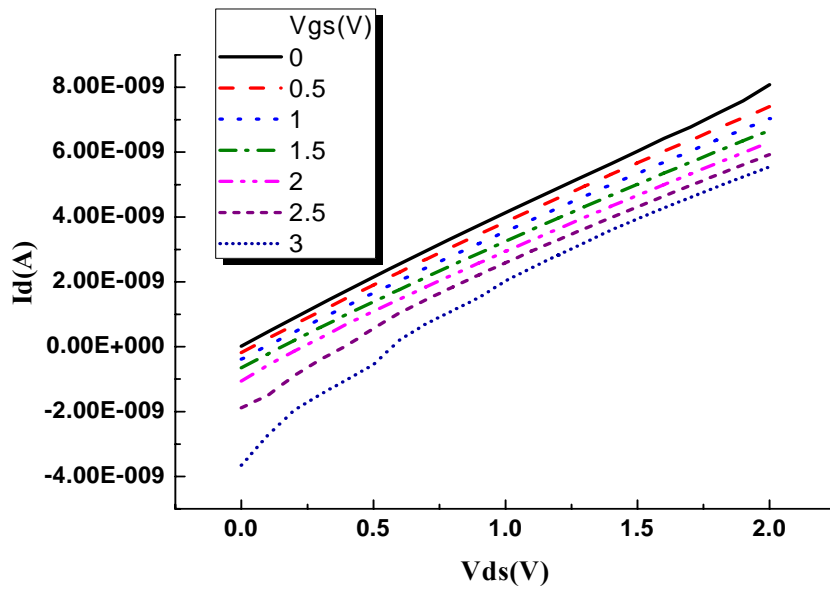


(a)

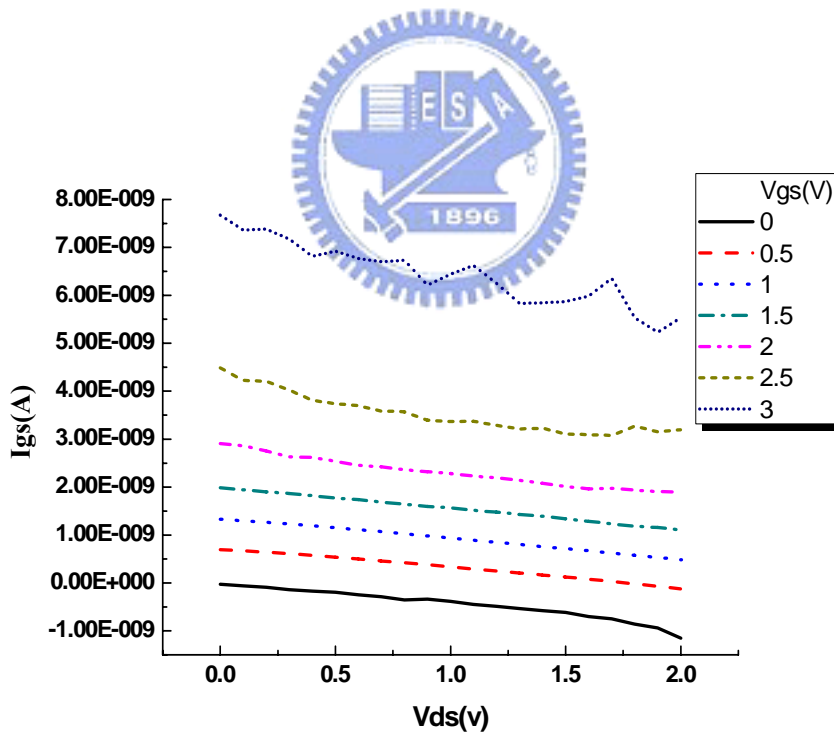


(b)

圖 4-3 二歐姆接觸中只有一個與閘極成短路，FET 模式量測的源極端設定在未短路的歐姆接觸上，I-V 曲線呈現為(a)圖；源極端設定在短路的歐姆接觸上，則 I-V 曲線呈現為(b)圖。

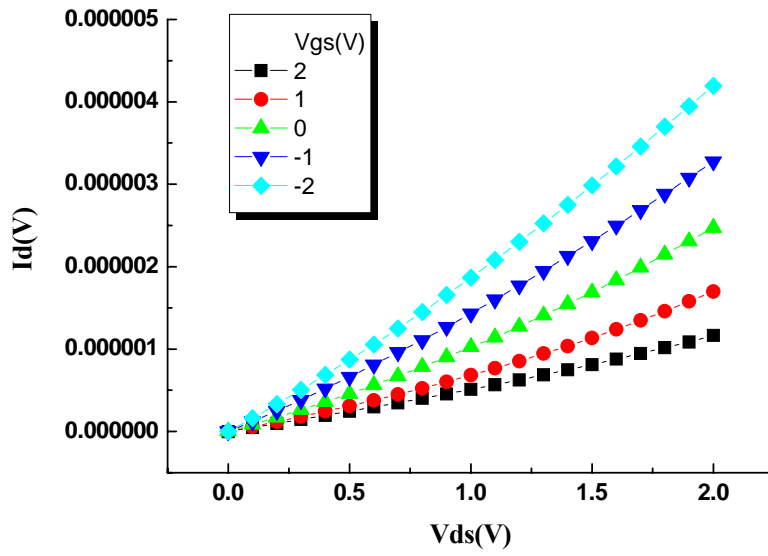


(a)

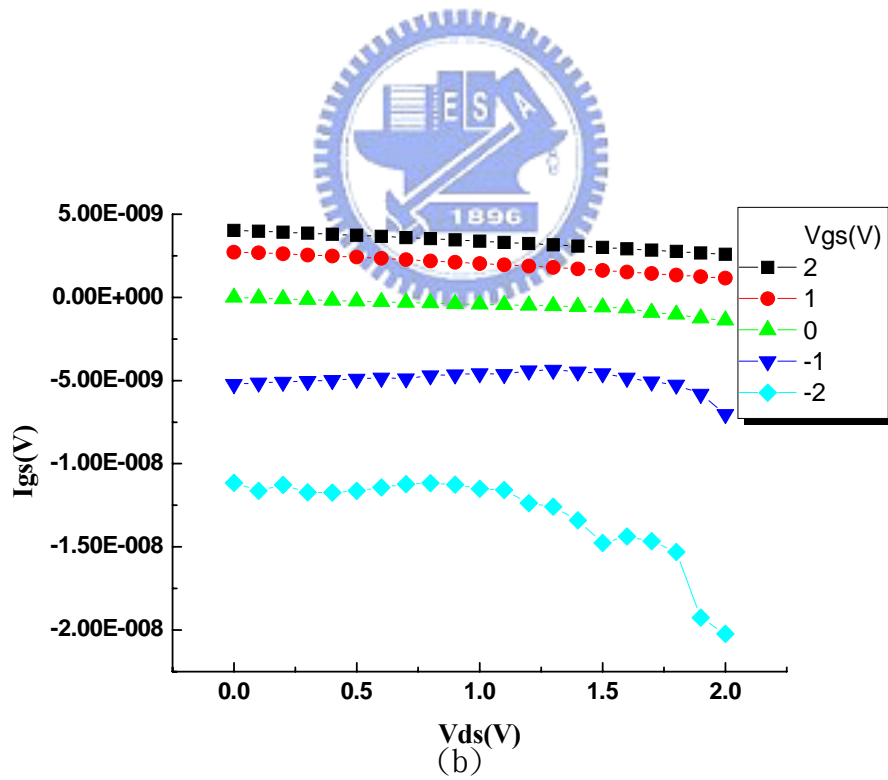


(b)

圖 4-4 閘極未引發電洞的 P 通道所量測的結果， I_{gs} 與 I_d 相當，(a) I_d - V_{ds} 曲線和(b)漏電流。

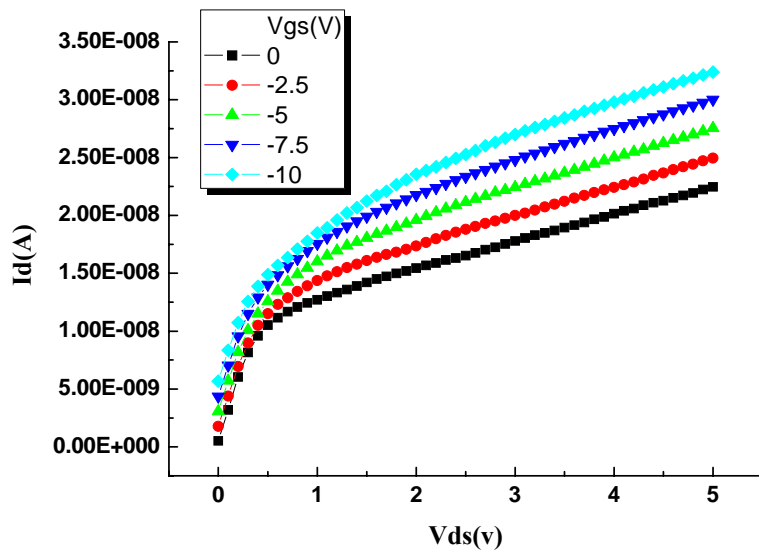


(a)

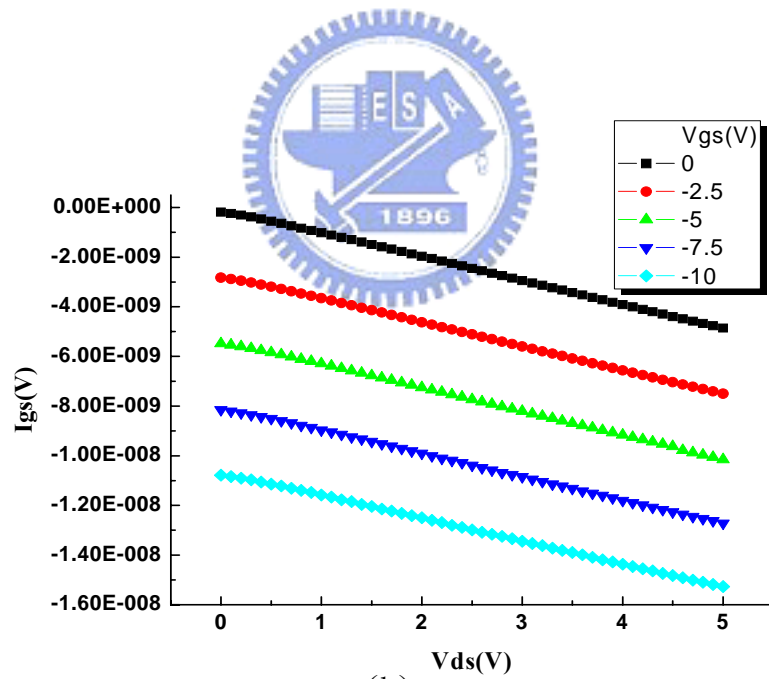


(b)

圖 4-5 基板受到污染偏 P 型，固(a) I_d - V_{ds} 曲線中電流沒有關閉(turn off)現象、(b)漏電流。



(a)



(b)

圖 4-6 歐姆接觸與可能受到污染基板之間介面兩邊因摻雜雜質不同而出現類似 FET 的 I-V 曲線，閘極電壓為 0V 時電流沒有關閉，(a) I_d - V_{ds} 曲線 (b) 漏電流。

4.2 檢討可能導致元件失效的原因

A. 蒸鍍歐姆接觸金屬之前的蝕刻

其用意是讓RTA下原子易擴散至量子井附近達到摻雜作用。調配 $\text{H}_2\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ (3:1:50)的溶液，等候三十分鐘後使其穩定，蝕刻速率通常落在 30~50 Å/sec，蝕刻目標深度約達到結構中量子井的上緣。雖然平台蝕刻(mesa etching)時可以測試速率，但是等到第二道黃光做完可能已相隔一段時間，此時溶液的蝕刻速率可能出現變異，要避免如此狀況，除了確實用鋁箔紙密封保存溶液，隨時間易揮發的雙氧水配置的量也要 5ml 以上或更多;也可抓蝕刻的時間點，每次配完溶液到蝕刻的時間差距可作為指標，則第二、三道的蝕刻溶液都可重新調配而不需延用上一道蝕刻所剩的溶液。追求更準確的蝕刻深度與均勻性，則可配置多一點去離子水降低蝕刻速率至 10Å/sec左右。而如圖 4-7，是沒有準確掌握蝕刻速率而過深，可能破壞了附近量子井結構。

B. RTA 的條件

鍍完金屬之後的RTA，環境是在通百分之百的氮氣下，但是通常RTA的溫度下仍會造成缺陷(defects)或錯位(dislocation)，所造成的懸鍵(dangling bond)可能造成歐姆接觸中擴散進入半導體內的摻雜原子所提供的載子被捕捉住。避免如此的問題，RTA反應腔可能需要在通forming gas(97% N_2 、3% H_2)的環境下，氮氣會釋出氮原子與懸鍵結合而鈍化懸鍵達到修補目的。

C. polyimide 覆蓋性

雖然 polyimide 覆蓋性佳，但是仍需要注意金屬的 RTA 條件要準確，否則溫度過高會造成金屬表面太過於粗糙，以致於金屬突起物無法完整覆蓋住而形成黑洞如圖 4-8(a)，其結果都是使得歐姆接觸與閘極金屬接觸而誇張地短路。另外，固化條件是置於 UV OZONE 儀器設定在通氮氣下維持 200°C、30min，但是為了避免 Polyimide 內的水氣因為外部固化速率快而跑不出來，在常溫下先置入破片，在緩緩升溫至 200°C，搭配歐姆接觸正確的 RTA 條件，良好的結果呈現如圖 4-8(b) 所示。

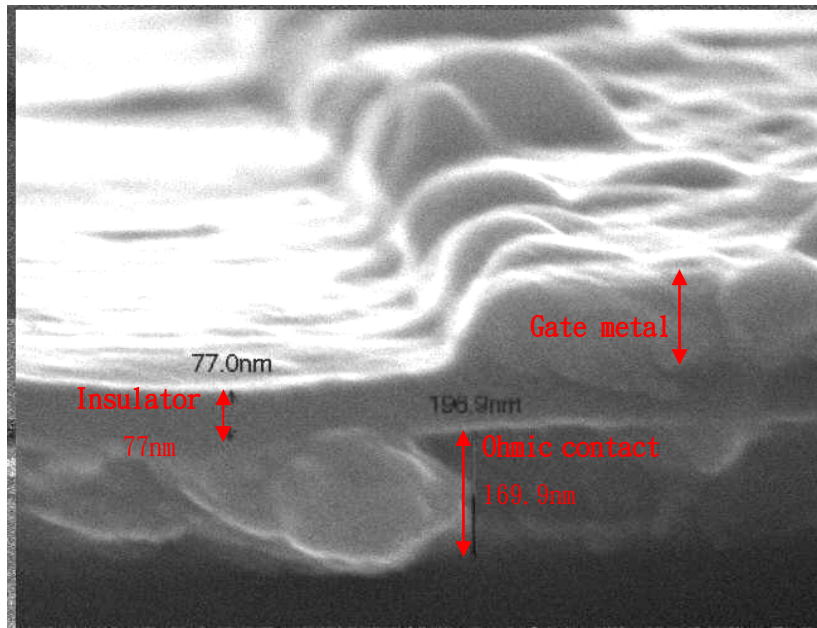


圖 4-7 蒸鍍歐姆接觸金屬之前的蝕刻過深，已超過量子井位置。

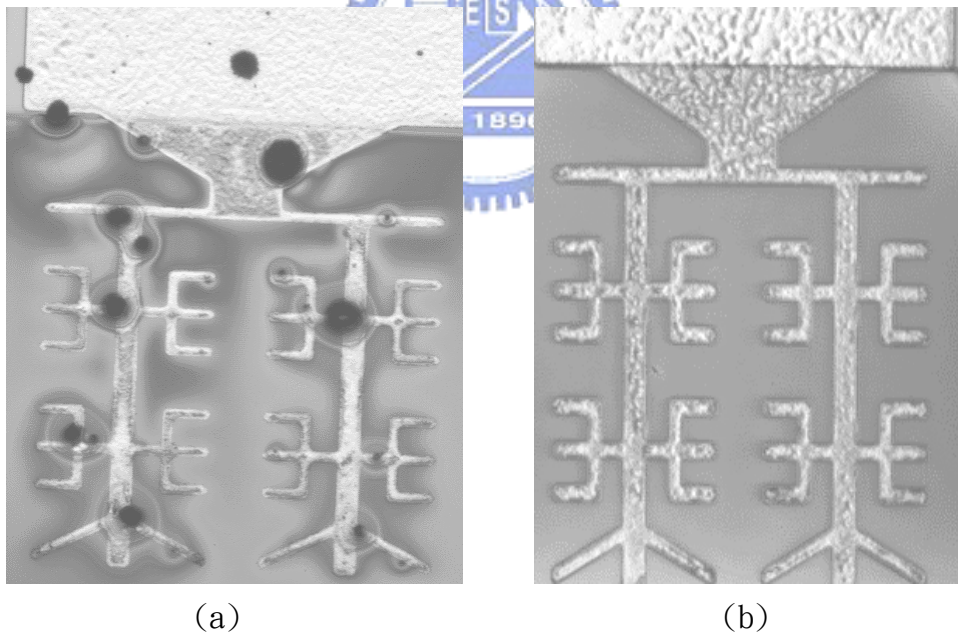


圖 4-8 polyimide 覆蓋狀況，
(a) 覆蓋不完整和 (b) 覆蓋完整。

第五章 橫向 P-N 接面的特性模擬

利用套裝軟體模擬的結構如圖 5-1，除了模擬的設定參數大部分已在第一章詳述，N 閘極與 P 閘極之間的距離為 $5\mu\text{m}$ 。首先必須先知道 N 閘極與 P 閘極各在多少伏特下引發足夠電子或電洞密度以形成橫向 P-N 接面，其個別閘極電壓變化而其他三端接地下的載子濃度與平面密度變化顯示在圖 5-2，由圖 5-2 可看出 N 閘極在 3V、P 閘極在 -5V 能分別引發 10^{11}cm^{-2} 的電子和電洞，故選擇同時間下 N 閘極為 3V、P 閘極為 -5V 下觀察橫向 P-N 接面特性。以下討論能帶圖、空乏區長度、整流特性、崩潰電壓、發光與電容等性質。

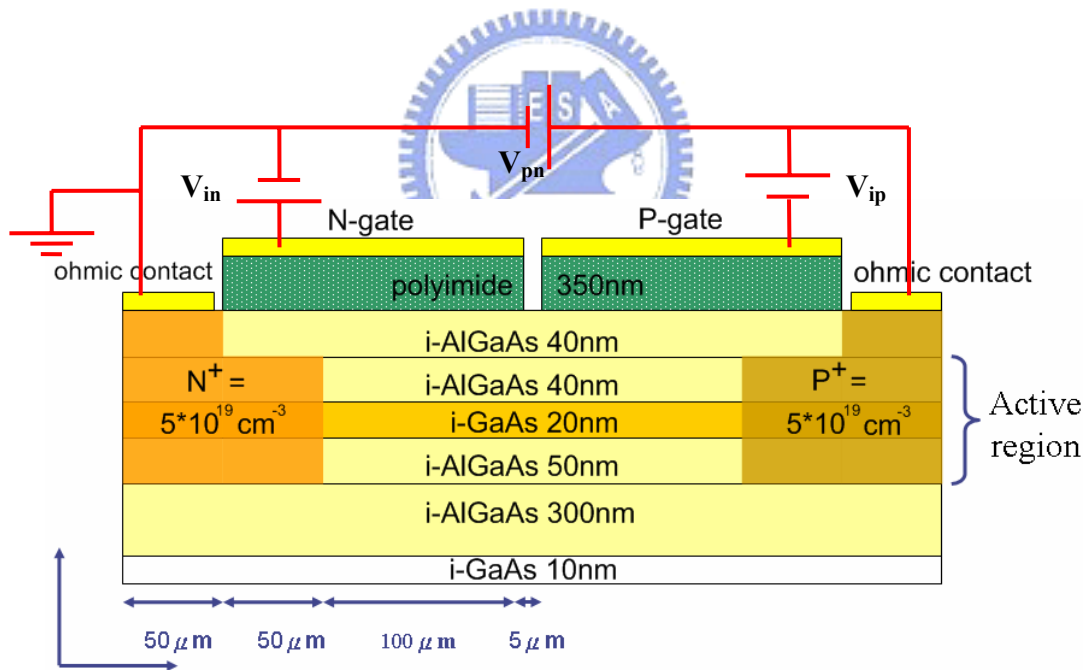


圖 5-1 橫向 P-N 接面模擬結構圖。

6.1 熱平衡下的能帶結構

圖 5-3 和圖 5-4 顯示熱平衡下橫向P-N接面的橫向能帶圖與載子濃度分布，說明橫向P-N接面的確形成且 $V_{bi}=1.248\text{eV}$ ，內建位勢能障並未如第二章理論所講大於能隙，此乃因在此系統中量子井旁並未有摻雜雜質的存在，如此能帶形成可看是四個帶有電荷的板子—N閘極、P閘極、2DHG和 2DEG—供應電場疊加而成，更簡單來看，N、P閘極之間的電力線取代游離雜質電荷拉扯通道內電子與電洞分開而建立內建位勢能障。

6.2 電性與光性

I. 空乏區長度

沒有雜質摻雜就沒有游離的受體或施體原子，也沒有空乏區內的游離電荷直接定義空乏區長度，且此橫向P-N接面又多一本質區域相隔，難以跟理論上二維或三維P-N接面作比較。但是P和N兩邊的電洞和電子仍會受負偏壓影響而往兩邊擠，因此定義多數載子濃度衰減至其 e^{-1} 時為空乏區介面，則空乏區長度隨偏壓變化如圖 5-5，雖然呈線性變化，可是變化幅度不高，且值得注意的是載子濃度分佈線的尾巴延伸本質區域內。

II. 整流特性

V_n 接地且固定 V_{in} 與 V_n 之間壓差為 3V，掃 V_D 電壓自-5V至 5V的同時要固定 V_{ip} 與 V_D 之間的壓差為-5V，故 V_{ip} 要隨 V_D 變動，其固定壓差目的為保持電洞密度的不變。結果如圖 5-6，展示其整流特性。圖中右邊縱座標刻度換為 10 之指數，可看出在順偏壓下電流一開始成指數成長，末段與偏壓呈線性相關乃因電阻的影響，依據前段曲線求出理想因數(ideality factor)為 1.556。

III. 崩潰電壓

分佈的電場中其峰值與平均電場隨逆偏壓的變化呈線性如圖 5-7，與第二章所講理論中平均電場與外加電壓無關有所不同，推測應該是受到兩個閘極供應電

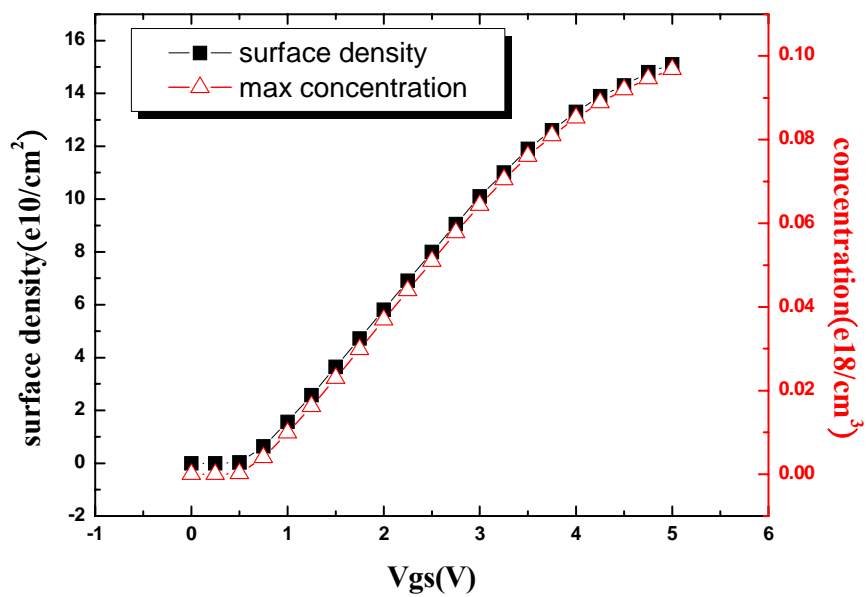
場的影響。假設一般GaAs三維P-N接面其N型與P型摻雜濃度皆為 $5 \times 10^{16} \text{ cm}^{-3}$ ($10^{11} \text{ cm}^{-2}/20 \text{ nm}$, 對應所模擬結構中的濃度)的情形下, 估計熱平衡下空乏區內的最大電場為 $9.47 \times 10^4 \text{ V/cm}$, 這樣的結果與圖 5-7 內的最強電場相比, 可知橫向P-N接面內最強電場即使在逆偏壓為 5V時其值仍然很小, 且將近小一個數量級, 預期其崩潰電壓會比一般三維P-N接面高。

IV. 接面電容

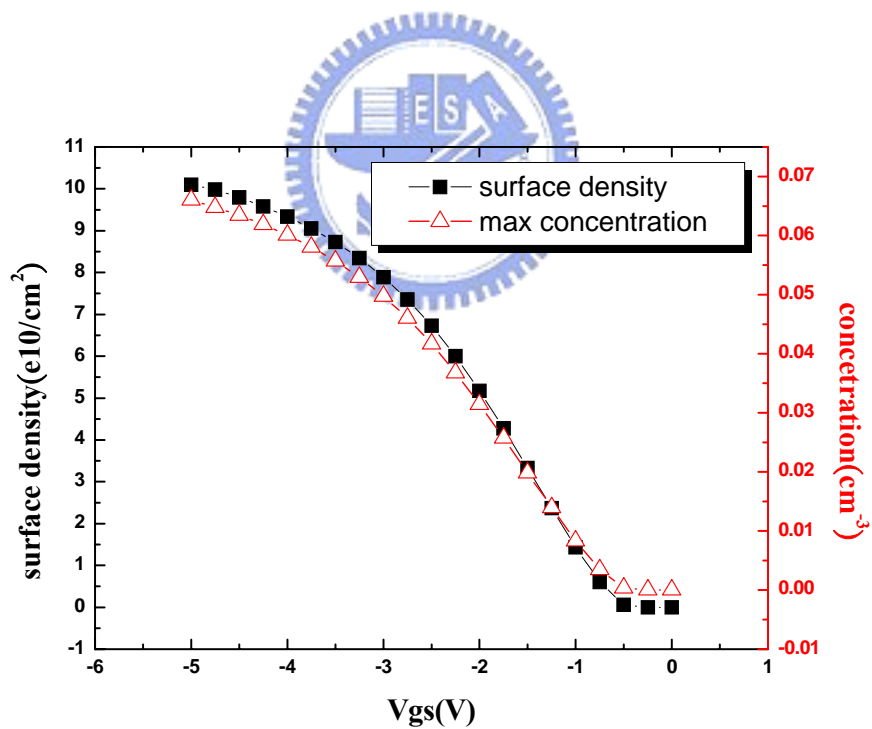
當偏壓等於零, 其單位長度接面電容隨頻率的變化如圖 5-8。頻率為 100Hz, 其單位長度電容值為 12.018 nF/m; 頻率 100MHz時, 單位長度電容為 4.546 nF/m。當改變偏壓觀察電容值變化, 發現其幾乎維持定值, C-V曲線圖如圖 5-9, 電容值與外加電壓完全無相關的直接原因在於空乏區長度隨偏壓呈線性變化。參考施子與受子摻雜濃度皆為 $5 \times 10^{16} \text{ cm}^{-3}$ 的GaAs三維P-N接面, 假設寬為 $100 \mu\text{m}$, 其接面電容在 0V下約為 43 nF/m, 橫向P-N接面的單位長度接面電容值相比之下較小。

V. 發光性質

圖 5-10 顯示在順偏壓 2V 下區域發光強度, 由於電子跑的比電洞快, 復合發光最強的區域在本質區域與 P 通道的介面上。



(a)



(b)

圖 5-2 (a)電子密度及濃度隨 N 閘極電壓變化曲線圖，
(b)電洞密度及濃度隨 P 閘極電壓變化曲線圖。

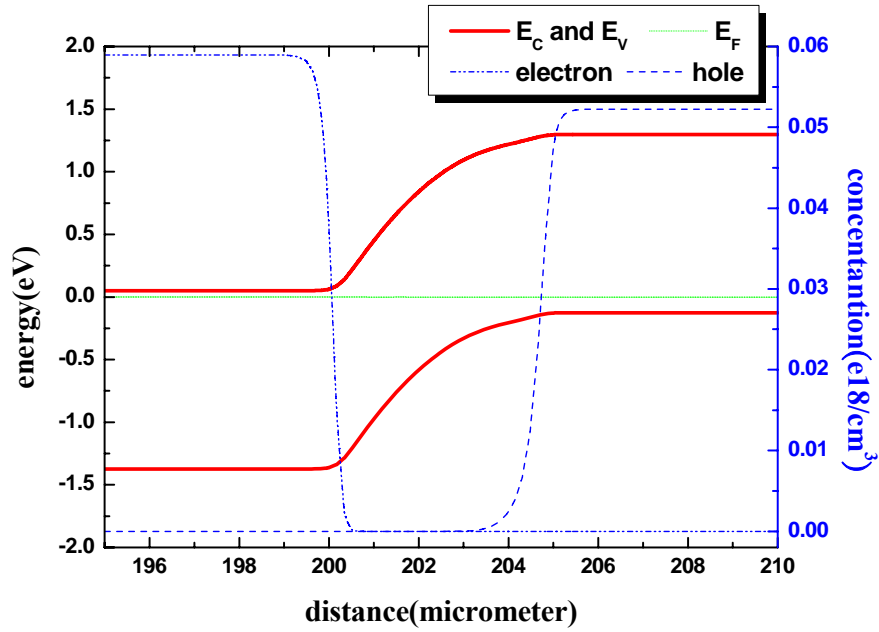


圖 5-3 橫向方向能帶及載子濃度分布圖

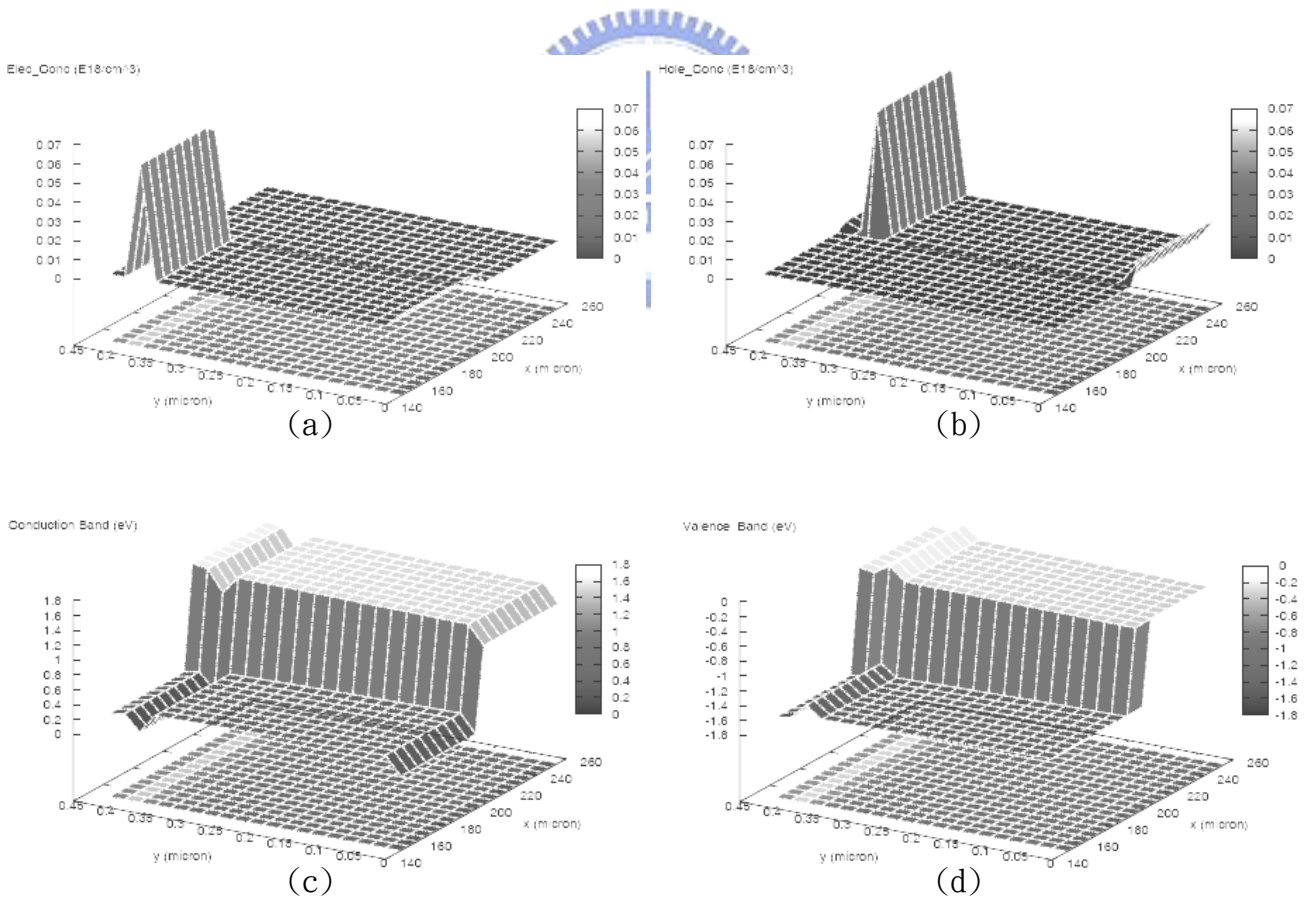


圖 5-4 二維(a)電子濃度分布、(b)電洞濃度分布、(c)導帶和(d)價帶。

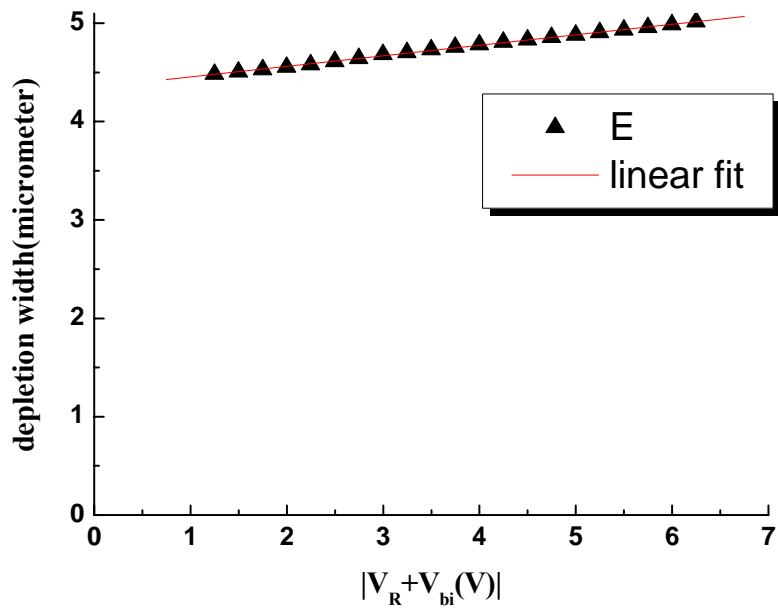


圖 5-5 空乏區長度隨偏壓變化關係圖。

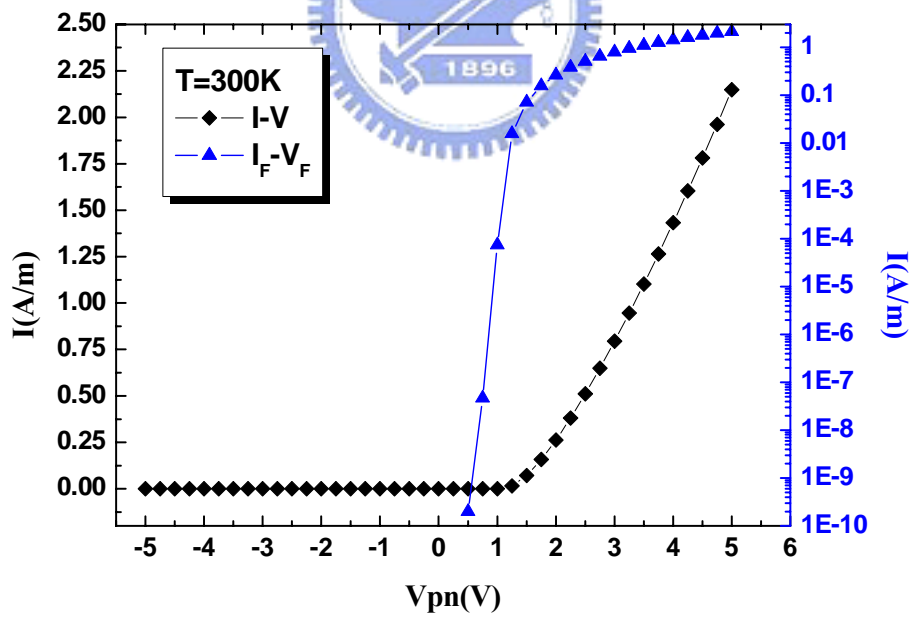


圖 5-6 ◆-整流特性 I-V 曲線，▲-順偏電流取指數之 I-V 曲線。

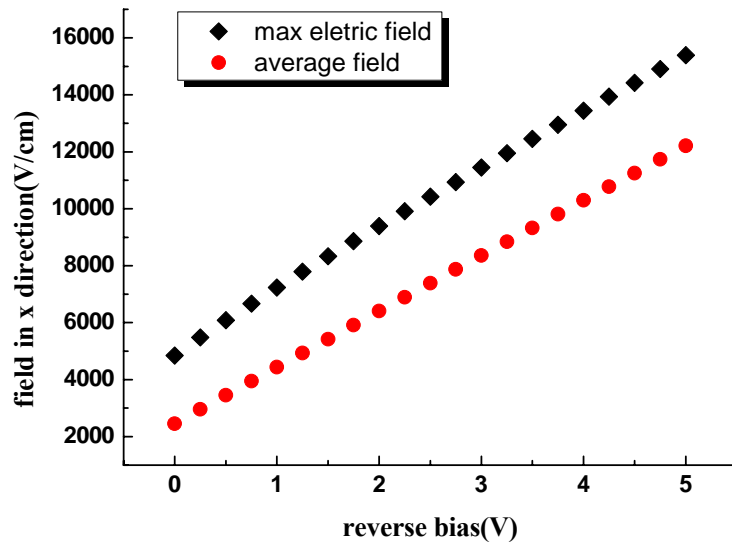


圖 5-7 電場隨逆偏壓變化關係圖

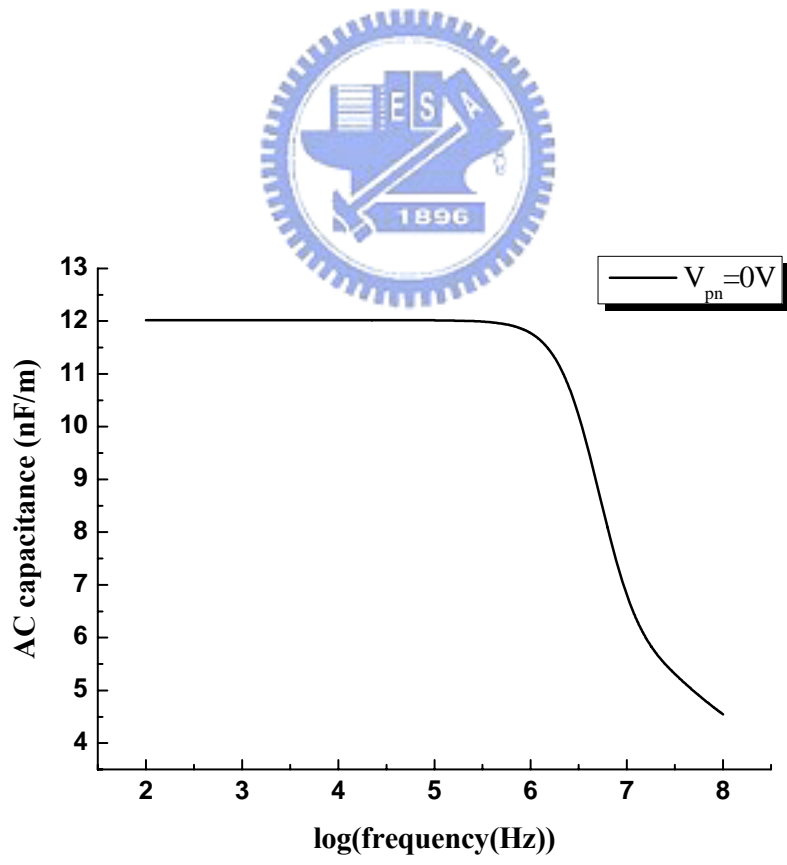


圖 5-8 偏壓為 0 伏特下單位長度電容隨頻率變化曲線圖。

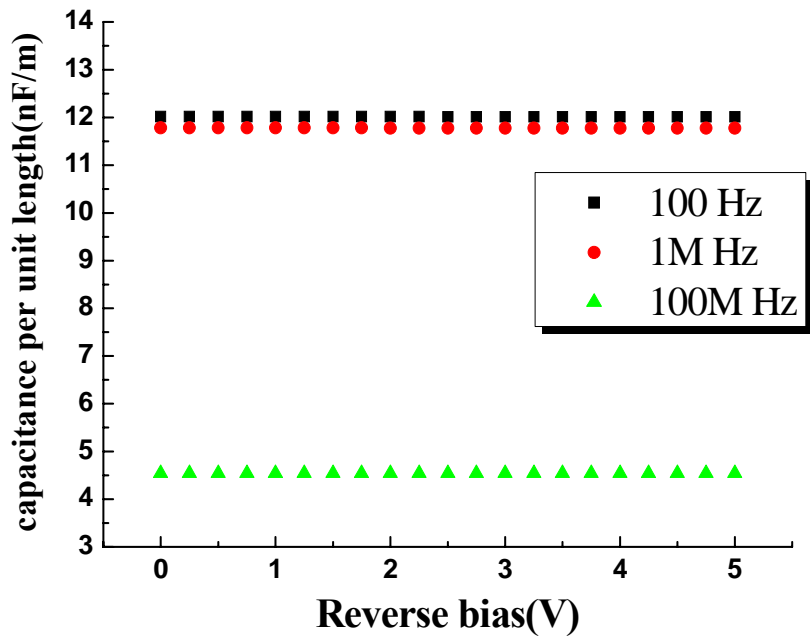


圖 5-9 C-V 曲線圖

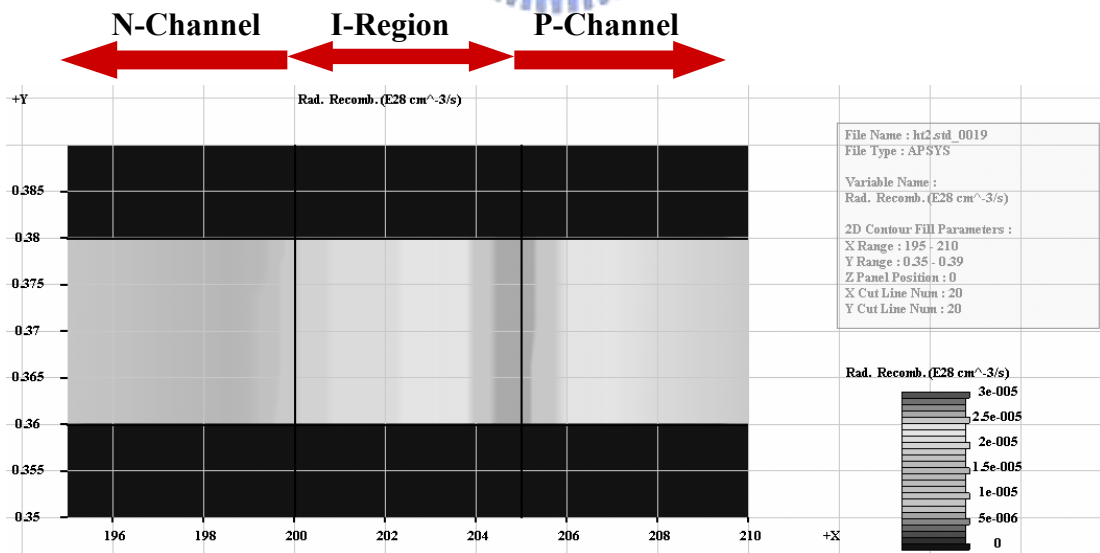


圖 5-10 區域發光強度示意圖。

第六章 結論

本論文提出新結構的橫向 P-N 介面，特別適合應用於觀察自旋霍爾效應與表面聲波驅動之單光子源元件中。雖然實驗上元件呈現失效，即表示製程中尚有一些小瑕疵還未發現，但是本論文仍然提供一個完整製作橫向 P-N 接面的製程給未來工作者，比如決定 Polyimide 的使用方法和 P 型歐姆接觸 Pd(Au/Zn) 的 RTA 條件測試，且嘗試錯誤的經驗避免重蹈覆轍，另外更有待未來工作者發現其中製程上未發現的瑕疵。本論文最後用商用套裝軟體模擬預測橫向 P-N 接面的熱平衡下能帶結構、電性與光性，結果符合摻雜下二維橫向 P-N 介面的理論預測。如果未來元件順利製作出來，本論文提供的數值模擬結果可以做為輔助以說明橫向 P-N 接面的形成。



參考文獻

- [1] G. J. Milburn, *The Feynman Processor* (Perseus Books, New York, 1998).
- [2] A. Furusawa, J. L. Sorensen, S. L. Braunstein, C. A. Fuchs, H. J. Kimble, and E. S. Polzik, *Science* **282**, 706 (1998).
- [3] E. Knill, R. Laflamme, and G. J. Milburn, *Nature* **409**, 46 (2001).
- [4] R. J. Hughes, W. T. Buttler, P. G. Kwiat, S. K. Lamoreaux, G. L. Morgan, J. E. Nordholt, and C. G. Peterson, *Journal of Modern Optics* **47**, 549 (2000).
- [5] S. Datta and B. Das, *Appl. Phys. Lett.* **56**, 665 (1990).
- [6] J. Sinova, D. Culcer, Q. Niu, N. A. Sinitsyn, T. Jungwirth, and A. H. MacDonald, *Phys. Rev. Lett.* **92**, 126603 (2004).
- [7] J. Wunderlich, B. Kaestner, J. Sinova, and T. Jungwirth, *Phys. Rev. Lett.* **94**, 047204 (2005).
- [8] C. L. Foden, V. I. Talyanskii, G. J. Milburn, M. L. Leadbeater, and M. Pepper, *Physical Review a* **62**, art. no. (2000).
- [9] A. S. Achoyan, A. E. Yesayan, E. M. Kazaryan, and S. G. Petrosyan, *Semiconductors* **36**, 903 (2002).

[10] D. Reuter, C. Werner, A. D. Wieck, and S. Petrosyan, *Appl. Phys. Lett.* **86**, 162110 (2005).

[11] D. L. Miller, *Appl. Phys. Lett.* **47**, 1309 (1985).

[12] B. Kaestner, J. Wunderlich, D. G. Hasko, and D. A. Williams, *Microelectron. J.* **34**, 423 (2003).

[13] M. Cecchini, V. Piazza, F. Beltram, M. Lazzarino, M. B. Ward, A. J. Shields, H. E. Beere, and D. A. Ritchie, *Appl. Phys. Lett.* **82**, 636 (2003).

[14] R. H. Harrell, J. H. Thompson, D. A. Ritchie, M. Y. Simmons, G. A. C. Jones, and M. Pepper, *J. Cryst. Growth* **202**, 159 (1999).



簡歷 (Vita)

姓名：游宏凱(hung-kai, yu)

性別：男

出生年月日：民國 71 年 08 月 29 日

籍貫：台灣省宜蘭縣

學歷：

國立成功大學物理學系學士(89.9-93.6)

國立交通大學電子研究所碩士班(94.9-96.6)

碩士論文題目：

橫向 P-N 接面的製作與模擬

Lateral P-N Junction of Fabrication and Simulation