

國立交通大學

電子工程學系電子研究所

碩士論文

高功率氮化鎵異質結構場效電晶體之  
設計與製作

**Design and Fabrication of AlGa<sub>N</sub>/Ga<sub>N</sub> Heterostructure  
Field Effect Transistors**

研究生：王勇智  
指導教授：林聖迪 博士

中華民國九十六年六月

高功率氮化鎵異質結構場效電晶體之設計與  
製作

**Design and Fabrication of AlGa<sub>N</sub>/Ga<sub>N</sub> Heterostructure  
Field Effect Transistors**

研究生：王勇智

Student: Yung-Chih Wang

指導教授：林聖迪 博士

Advisor: Dr. Sheng-Di Lin

國立交通大學  
電子工程學系電子研究所  
碩士論文

A Thesis

Submitted to Department of Electronics Engineering & Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the degree of

Master

in

Electronics Engineering

June 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年六月

# 高功率氮化鎵異質結構場效電晶體之設計與製作

學生：王勇智

指導教授：林聖迪博士

國立交通大學  
電子工程學系電子研究所

## 摘要

本論文中我們研究氮化鎵異質結構場效電晶體，以達到元件高崩潰電壓的目的。我們設計了三種不同幾何結構分別為：線形結構、環形結構以及矩形結構的元件，從當中分析不同幾何結構對於元件特性的影響。同時我們設計了場效電板搭配這三種不同幾何結構以期待得到更佳的耐壓表現。我們成功地製作出線形、環形和矩形三種不同的氮化鎵異質結構場效電晶體，量測其直流、崩潰電壓與元件切換特性，並進一步觀察不同幾何結構對於元件特性的影響。實驗中線形結構、環形結構、矩形結構的崩潰電壓分別可達 200V、270、350V 以上。除此較高的崩潰電壓表現外，封閉式結構還可以有效地降低 current collapse 與 gate lag 的影響。封閉式結構較優越的元件特性主要有兩個原因。一：封閉式結構的閘極只會有一處跨過主動區邊緣。二：封閉式結構不像傳統線形結構在閘極末端處有尖端大電場的存在，於是更有更加均勻的電場分佈。因此，比起傳統線形結構，封閉式結構的設計成功地改善了元件的崩潰電壓並且減緩了 current collapse 與 gate lag 對元件的影響。

# **Design and Fabrication of AlGa<sub>N</sub>/Ga<sub>N</sub> Heterostructure Field Effect Transistors**

Student: Yung-Chih Wang

Advisor: Dr. Sheng-Di Lin

Department of Electronics Engineering and Institute of Electronics  
National Chiao Tung University

## **Abstract**

In this thesis, the AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure field effect transistors were investigated to achieve high breakdown voltage. Three types of geometry layout: line, ring and square gates, were designed and analyzed. The field-plate design was also used in the three kinds of device layouts to improve the device performance at high voltages. We have successfully fabricated the AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs with line, ring, and square gates. Their DC, breakdown and switch characteristics were measured to study the influence of the different geometry layout on device performance. For the devices with line, ring and square gates, the breakdown voltages were higher than 200V, 270V and 350V, respectively. The devices with closed gates also showed much smaller current collapse and gate lag effects. The superior performances of the closed gate devices mainly come from two reasons. First, there is only one overlapped area between the gate finger and the mesa edge in closed gate devices. Second, unlike the traditional line gate device having higher electric field around the sharp tips of gate finger, the closed gate one has more uniform distribution of electric field. As a result, comparing with the conventional line gate structures, the closed gate structure successfully improved the breakdown voltage and eased current collapse and gate lag effects.

## 誌謝

本篇論文能夠順利完成，首先要感謝指導教授林聖迪博士。林教授平易近人的風格，與其討論問題是一件很有趣的事，讓我各方面受益良多，能作為您的學生真的很幸福。同時非常感謝李建平博士的指導，李教授清晰而嚴謹的研究態度，使我在碩士生涯進步很多，無論是作學問的態度或是處事上都讓我成熟很多。感謝兩位教授對我的指導，使我能夠順利的完成碩士學位。

由衷的感謝工研院李定騏博士，學長一年多以來在實驗製程與量測上的指導，讓我在遇到各種問題都能迎刃而解，更重要的是從學長身上學到做事仔細嚴謹的態度。感謝清大電子所林于宣學長，這一年來在研究上的指導與幫忙，以及吳嘉益學弟，在實驗上的協助。能跟你們一起共事真的是一件很棒的事。

感謝實驗室博班羅明城學長、凌鴻緒學長以及林大鈞學長，在這兩年來的協助與照顧，特別是羅明城學長在 E-gun 機台管理上的協助與維護。同屆的夥伴們，浩天、旭傑、明福、靜宜、宏凱、凱鈞、逸凡、昌盛、學翰、士鵬、瑞賢，有你們在，讓我的碩班生涯多了許多歡笑，在煩悶時有你們打氣，在高興時有你們分享，謝謝你們。

最後要感謝我的父母親與家人多年來的照顧與支持，使我在求學的道路上無後顧之憂，並且在人生道路上給予我不斷的協助與家的溫暖，謝謝你們。

僅以這本論文，謝謝所有支持我與關心我的人。

# 目錄

第一章 簡介	1
1.1 AlGaIn/GaN 異質結構場效電晶體	1
1.2 論文架構	1
第二章 氮化鎵材料與異質結構場效電晶體	2
2.1 材料特性比較	2
2.1.1 功率元件與寬能半導體	2
2.1.2 材料特性	3
2.1.3 臨界電場與導通電阻	5
2.2 AlGaIn/GaN 異質結構場效電晶體	7
2.2.1 元件結構	7
2.2.2 GaN 緩衝層設計	8
2.2.3 AlGaIn layer 考量	9
2.3 高壓 AlGaIn/GaN HEMT 的應用	10
第三章 高壓 AlGaIn/GaN 異質結構場效電晶體	12
3.1 場效場板異質結構場效電晶體	12
3.1.1 場效場板結構與原理	13
3.1.2 場效場板設計	15
3.2 封閉式元件設計	19
3.2.1 原理與設計概念	19
3.2.2 封閉式 GaN HEMTs layout	20
3.2.2.1 環形結構	20
3.2.2.2 矩形結構	23
3.3 大尺寸線形閘極元件	26

第四章	元件製程件與量測方法	27
4.1	平臺隔離製作	30
4.1.1	微影製程(lithography)	30
4.1.2	平台隔離蝕刻(mesa isolation etch)	32
4.2	歐姆接觸(ohmic contact)	33
4.2.1	表面處理	33
4.2.2	金屬蒸鍍	34
4.2.3	剝離(lift-off)	34
4.2.4	快速熱退火	35
4.3	閘極製作	35
4.4	鈍化製程	35
4.5	場效電板製作	36
4.6	元件完成圖	36
4.7	量測方法	40
4.7.1	Transfer Length Method (TLM)	40
4.7.3	霍爾量測	42
4.7.4	Source Resistance	42
4.7.5	current collapse 量測	43
4.7.6	Gate Lag 量測	44
第五章	結果與討論	45
5.1	試片結構	45
5.2	元件直流特性	46
5.2.1	直流特性分析	46
5.2.2	直流特性討論	48
5.3	元件高壓特性	58
5.3.1	高壓特性分析	58



5.3.2	高壓特性討論	60
5.3.3	導通電阻分析	70
5.3.4	導通電阻討論	71
5.4	Current Collapse 與 Gate lag	74
5.4.1	Current Collapse 與 Gate lag 分析	74
5.4.2	Current Collapse 與 Gate lag 討論	75
第六章	結論	78
	參考文獻	80



## 表目錄

編號	說明	頁碼
表 2-1	Si、GaAs、SiC、GaN 之材料參數比較	2
表 2-2	參數表	6
表 3-1	閘極場效電板 GaN HEMTs 尺寸整理表	16
表 3-2	閘極汲極場效電板 GaN HEMTs 尺寸整理表	17
表 3-3	環形結構 + 閘極場板之尺寸統計表	20
表 3-4	環形結構 + 閘極汲極場板之尺寸統計表	21
表 3-5	環形結構 + 源極場板之尺寸統計表	22
表 3-6	矩形結構 + 閘極汲極場板 尺寸一覽表	25
表 3-7	矩形結構 + 汲極場板 尺寸一覽表( $W_g = 600\mu\text{m}$ )	25
表 3-8	大閘極寬度的線形閘極結構尺寸表	26

## 圖目錄

編號	說明	頁碼
圖 2-1	300K 下 Si、GaAs、SiC、GaN 之電子速度對電場關係圖	4
圖 2-2	Si、SiC、GaN 崩潰電壓對單位導通電阻關係圖	6
圖 2-3	異質結構場效電晶體(Heterostructure Filed Effect Transistor)結構示意圖	7
圖 2-4	GaN HEMTs 的應用	10
圖 2-5	功率驅動系統示意圖	11
圖 3-1	GaN HEMT 結構	12
圖 3-2	有場效電板與無場效電板沿著 2-DEG 的電場分布的模擬	13
圖 3-3	源極場效電板 GaN HEMTs 剖面圖與延著 AlGaIn 表面的電場分布圖	14
圖 3-4	源極汲極場效電板 GaN HEMTs 剖面圖與延著 AlGaIn 表面的電場分布圖	14
圖 3-5	閘極場效電板 GaN HEMT 剖面圖	15
圖 3-6	閘極場效電板 GaN HEMT 元件佈局設計圖(layout)	16
圖 3-7	閘極汲極場效電板 GaN HEMT 剖面圖	17
圖 3-8	閘極汲極場效電板 GaN HEMT 元件佈局設計圖(layout)	17
圖 3-9	源場效電板 GaN HEMT 截面圖	18
圖 3-10	源極場效電板 GaN HEMT 元件設計圖(layout)	18
圖 3-11	(a) Multi-finger layout (b)封閉式 layout	19
圖 3-12	環形結構 + 閘極場板 layout	20
圖 3-13	環形結構 + 閘極汲極場板 layout	21
圖 3-14	環形結構 + 源極場板 layout	22
圖 3-15	(a)矩形結構 (b)轉角的弧度的改良	23

圖 3-16	矩形結構 + 閘極場板 layout	24
圖 3-17	矩形結構 + 閘極汲極場板 layout	25
圖 3-18	矩形結構 + 汲極場板 layout	25
圖 4-1	製作流程	27
圖 4-2	影像反轉示意圖	31
圖 4-3	Stencil-layer 示意圖	34
圖 4-4	(a)Fat FET 50x100 $\mu\text{m}^2$ (b)DC pattern 2x75 $\mu\text{m}^2$	36
圖 4-5	(a)結合閘極場效電板之線形結構 (b)放大圖	37
圖 4-6	結合汲極與閘極場效電板之線形結構	37
圖 4-7	結合源極場效電板之線形結構	37
圖 4-8	(a)結合閘極場效電板之環形結構 (b)放大圖	38
圖 4-9	結合汲極與閘極場效電板之環形結構	38
圖 4-10	結合源極場效電板之環形結構	38
圖 4-11	(a) 結合閘極場效電板之矩形結構 (b)放大圖	39
圖 4-12	結合汲極與閘極場效電板之環形結構	39
圖 4-13	結合汲極與閘極場效電板之環形結構	39
圖 4-14	TLM 金屬襯墊示意圖	40
圖 4-15	總電阻與金屬襯墊間距關係圖	41
圖 4-16	四點探針量測方式	41
圖 4-17	source resistance 量測	42
圖 4-18	輸入信號掃描模式	43
圖 4-19	gate lag 量測架設	44
圖 5-1	試片結構圖	45
圖 5-2	閘極寬度 75 $\mu\text{m}$ 之線形結構順向偏壓下蕭特基界面特性	51
圖 5-3	閘極寬度 400 $\mu\text{m}$ 之環形結構順向偏壓下蕭特基界面特性	51
圖 5-4	閘極寬度 600 $\mu\text{m}$ 之矩形結構順向偏壓下蕭特基界面特性	51

圖 5-5	無場效電板之線形結構汲極的電流對汲極電壓關係圖	52
圖 5-6	無場效電板線形閘極結構 $I_d-V_g$ 圖與轉導	53
圖 5-7	有場效電板之線形結構 $I_d-V_d$ 圖	54
圖 5-8	無場效電板之環形結構 $I_d-V_d$ 圖	55
圖 5-9	無場效電板環形閘極結構 $I_d-V_g$ 圖	55
圖 5-10	無場效電板之矩形結構 $I_d-V_d$	55
圖 5-11	無場效電板矩形閘極結構 $I_d-V_g$	56
圖 5-12	不同閘極寬度對單位汲極電流關係圖	56
圖 5-13	不同閘極寬度對轉導的關係圖	56
圖 5-14	源極金屬層光罩示意圖	57
圖 5-15	場效電板元件電廠分布圖與介電層關係	61
圖 5-16	線形結構最高崩潰電壓量測圖	63
圖 5-17	環形結構最高崩潰電壓量測圖	63
圖 5-18	矩形結構最高崩潰電壓量測圖	64
圖 5-19	閘極電板線形結構 $L_{gd}=8\mu m$ 和 $12\mu m$ 崩潰電壓分布圖	64
圖 5-20	閘極電板線形結構 $L_{gd}=16\mu m$ 和 $20\mu m$ 崩潰電壓分布圖	65
圖 5-21	閘極汲極電板線形結構崩潰電壓分布圖	65
圖 5-22	源極電板線形結構崩潰電壓分布圖	66
圖 5-23	閘極電板環形結構 $L_{gd}=16\mu m$ 和 $20\mu m$ 崩潰電壓分布圖	66
圖 5-24	閘極汲極電板環形結構崩潰電壓分布圖	67
圖 5-25	閘極電板矩形結構 $L_{gd}=8\mu m$ 和 $12\mu m$ 崩潰電壓分布圖	67
圖 5-26	閘極電板矩形結構 $L_{gd}=16\mu m$ 和 $20\mu m$ 崩潰電壓分布圖	68
圖 5-27	閘極汲極電板矩形結構崩潰電壓分布圖	68
圖 5-28	源極電板環形結構崩潰電壓分布圖	69
圖 5-29	off state 線形結構與矩形結構漏電流	69
圖 5-30	線形結構導通電阻的分布圖	73

圖 5-31	環形結構導通電阻的分布圖	73
圖 5-32	矩形結構導通電阻的分布圖	73
圖 5-33	線形結構 current collapse 量測結果	76
圖 5-34	矩形結構 current collapse 量測結果	76
圖 5-35	線形結構 gate lag 量測結果	77
圖 5-36	矩形結構 gate lag 量測結果	77



# 第一章 簡介

## 1.1 AlGaIn/GaN 高電子遷移率電晶體

AlGaIn/GaN high electron mobility transistors (HEMTs) 由於低導通電阻，高電流密度，大崩潰電壓的優勢，因此就高功率電子上的應用是個熱門的研究課題。而這最主要歸功於GaN卓越的材料特性，例如寬能隙(bandgap)、高臨界電場(critical electric field)與高電子飽和速度(saturation velocity)。此外GaN獨特的極化效應使得AlGaIn/GaN異質結構在界面附近會感應形成二維電子氣(two dimensional electron gases)，這使得AlGaIn/GaN HEMTs能夠輸出大電流工作，而且有非常低的導通電阻。

較高的崩潰電壓，將使電晶體可以操作在較高電壓以達到高功率應用的需求。為了讓元件即使在如此嚴峻的高壓環境下操作，仍然維持穩定的表現，元件耐壓程度的改良是個很重要的議題。本論文當中藉由元件的佈局設計(layout)來做改善，設計了三種不同的幾何結構，並且搭配場效電板(field plate)進一步強化元件耐壓程度，進行比較與更深入的探討。

## 1.2 論文架構

在第二章的氮化鎵材料與高電子遷移率電晶體中，我們介紹GaN材料性質，並與其他材料做比較，此章也介紹了AlGaIn/GaN HEMTs的工作原理以及設計準則，最後對於元件的應用作一個介紹。在第三章中，我們將詳敘本論文中元件結構設計的原理與概念，藉由幾何結構的變化與場效電板的應用，達成提升元件的耐壓能力。第四章是元件製程與量測方法。第五章則是結果與討論。分別就直流、高壓current collapse與gate lag等元件操作特性的表現作分析，並且從當中對各種結構作比較與討論，最後在第六章做一個總結。

## 第二章 氮化鎵材料與異質結構場效電晶體

### 2.1 材料特性比較

#### 2.1.1 功率元件與寬能隙半導體

隨著時代的進步，功率元件在市場上的需求與科技上的應用也越趨於重要。例如在車用電子、功率切換器、基地台等等，功率元件扮演著舉足輕重的角色。長久以來，矽半導體一直是高壓功率元件在材料上的主要選擇。然而隨著技術不斷進步下，由於矽材料本身的電子遷移率以及臨界崩潰電場的限制，矽功率元件的發展也逐漸逼進材料本身能表現的極限。因此該如何有效地降低特性導通電阻 (specific on resistance, on resistance per square centimeter) 並且同時提升元件的切換速率，已經成為功率半導體研究方面非常重要的一個重要議題。為了克服材料本身所造成的極限，寬能隙半導體(wide bandgap semiconductors)在功率元件上的應用在近幾年來已經開始被廣泛地研究。

寬能隙半導體材料，尤其是 SiC 與 GaN，因為它擁有許多超越矽功率元件的優點，例如操作溫度、高臨界電場、高飽和漂移速度等等，這些優勢使得他們在功率電子中成了非常有潛力而且備受矚目的研究材料。

## 2.1.2 材料特性

在寬能隙半導體材料中以 SiC 和 GaN 最受人們所期待，在本節中對這兩個材料的特性作比較，並且同時與 Si 作一個對應比較。

一般元件在高溫下操作時，純質載子濃度(intrinsic carrier density)急劇提升，這將使得元件漏電流上升，由式(2-1)<sup>[5]</sup>可得知，SiC 和 GaN 因為寬能隙的關係，有非常低的純質載子濃度，這項優點使 SiC 和 GaN 元件在高溫下操作時相對於一般元件有較小的漏電流。另外因為兩種材料都擁有比 Si 更高的臨界電場，所以在相同的導通電阻的條件下可以有更高的操作電壓。另外因為有不錯的熱傳導係數(thermal conductivity)，熱傳導能力好，可以更快的降低接面溫度，降低熱效應對元件的影響。這些都使得寬能隙材料非常適合拿來做高功率元件的應用。接下來參見圖 2-1 與表 2-1，作一些材料特性的比較。

$$n_i = N_c N_d \exp\left(\frac{-E_g}{kT}\right) \quad (2-1)$$

	能隙 (eV)	熱傳導係數 (W/cm-K)	電子遷移率 (cm <sup>2</sup> /V-s)	介電常數	崩潰電場 (MV/cm)
Si	1.1	1.5	1500	11.8	0.3
GaAs	1.41	0.5	8500	12.8	0.4
SiC (4H)	3.26	4.5	700	10	3
GaN	3.4	1.1	1000-2000	9	3.5

表 2-1 Si、GaAs、SiC、GaN 之材料參數比較<sup>[4]</sup>。

## 電子遷移率

圖 2-1 比較幾種功率元件常用材料的電子飄移速率(drift velocity)對電場的關係圖。Si 的電子速度是最慢的，飽和速度只約  $5 \times 10^6$  m/s。GaAs 雖然有很高的電子遷移率(8500 cm/V-s)，但 GaAs 在小電場下就達到峰值速度(peak velocity)，而且中高電場下的飽和速度甚至低於 Si。至於 SiC 半導體雖然可以承受高電場，然而電子遷移率過低(400 cm/V-s)，在峰值速度的表現亦不如 GaN 出色。由於 GaN 有不錯的電子遷移率，峰值電子速度更高達  $2.7 \times 10^7$  cm/s。因此可以看出 GaN 半導體在高速以及高功率相關應用市場的優勢與潛力。

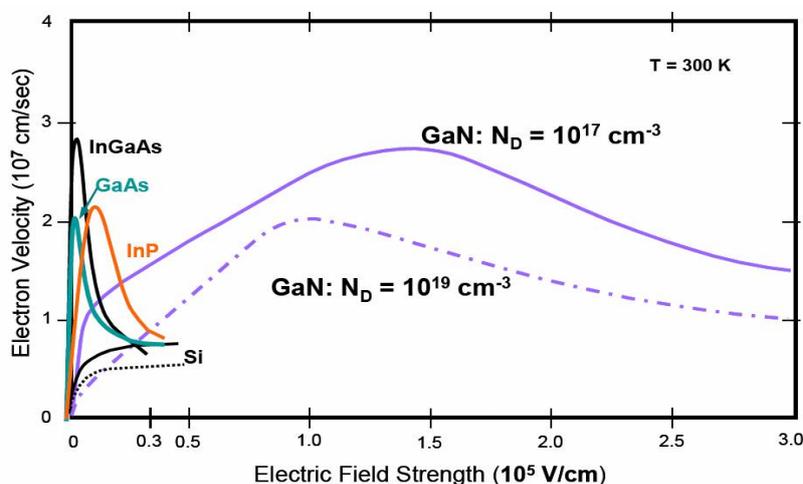


圖2-1 300K 下Si、GaAs、SiC、GaN之電子速度對電場關係圖<sup>[1]</sup>

## 崩潰電場 (Breakdown Field)

GaN 的崩潰電場高達  $3.5 \text{ MV/cm}$ <sup>[4]</sup>，優於 GaAs、Si、SiC。因此，氮化鎵異質結構場效電晶體(GaN Hetero-structure Field Effect Transistors)可承受數十伏特甚至上百伏特的高崩潰電壓。對於高電壓的應用上這是很大的優勢。

總體而言，GaN 可以說是將來最適合製作先進功率元件的半導體材料之一，由於它的寬能隙，不錯的電子移動率、熱傳導係數與優越的崩潰電場，使它同時兼具高速、高溫、高功率、低雜訊的優點。

### 2.1.3 臨界電場與導通電阻<sup>[2]</sup>

在1982年，Baliga 在功率場效電晶體中，為了定義材料參數以達到最大崩潰電壓與最小傳輸損耗之間的取捨，導出相關指標Baliga's Figure of Merit  $BFOM = \varepsilon \cdot \mu \cdot E_c^3$  <sup>[3]</sup>，在此 $\mu$ 代表遷移率(mobility)， $E_c$ 代表臨界電場(崩潰電場)， $\varepsilon$ 代表介電常數，BFOM敘述在功率元件中藉著摻雜的濃度調整做出導通電阻( $R_{on}$ )與崩潰電壓( $V_B$ )兩者之間的抉擇取捨(trade-off)。

對一個陡峭pn接面，當電場達到崩潰電場時會發生雪崩崩潰(Avalanche breakdown)，此時的崩潰電壓為飄移層對電場的積分，即 $V_B = (E_c \cdot W_D) / 2$ ， $W_D$ 是飄移層寬度，而飄移層的導通電阻可寫為 $R = W_D / (q\mu_e N_D) = 4V_B^2 / (\varepsilon\mu_e E_c^3)$ ， $V_B$ 是崩潰電壓(breakdown voltage, V)， $E_g$ 是能隙能量(bandgap energy, eV)， $\mu_e$ 是電子遷移率(electron mobility,  $\text{cm}^2/\text{Vs}$ )， $\varepsilon$ 是介電常數(permittivity, F/cm)， $N_D$ 是pn接面低摻雜邊的摻雜濃度( $\text{cm}^{-3}$ )。而臨界電場與能隙之間的關係可由式(2-2)來表示，再經由一些數值上的計算與處理，特性導通電阻可以寫成包含材料能隙與電子遷移率的關係式，式(2-3)可以作為不同半導體之間比較的一個參考：

$$E_c = 1.02 \times 10^7 \sqrt{\frac{q}{\varepsilon}} N_D^{1/8} E_G^{3/4} \quad (2-2)$$

$$R_{ONsp} = \frac{4V_B^2 E_G^{-3n}}{\mu_e a^3 \varepsilon} \quad (2-3)$$

其中  $R_{ONsp}$  是特性導通電阻(specific on resistance,  $\Omega\text{-cm}^2$ )， $a$  是匹配參數 ( $\text{V/cm-eV}^2$ )， $n$  也是指數的匹配參數。其中  $a$  與  $n$  參看表 2。

	a	n
Indirect Bandgap	$2.3818 \times 10^5$	1.995
Direct Bandgap	$1.7348 \times 10^5$	2.506

表 2-2 參數表<sup>[2]</sup>

由式(2-1)可以看出，功率電晶體中崩潰電壓的最大化與導通時功率損失的最小化之間的關係。這個指標是以功率元件中導通電阻與崩潰電壓之間的取捨作為衡量。

藉著式(2-1)分別對 Si、SiC、GaN 做導通電阻對應於崩潰電壓的關係圖，可以得到圖 2-2。由圖 2-2 可以更清楚地了解特性導通電阻對應於崩潰電壓的關係，因此可以更明顯的看出寬能隙的半導體元件對應於功率半導體有較大的優勢，因為可以擁有較小的導通電阻以及較大的崩潰電壓。在此我們也同時可以注意到，在同樣的崩潰電壓下，GaN 的導通電阻比起 SiC 幾乎將近少了快一個數量級，因此有更少的功率散逸，這主要的原因在於 GaN 比起 SiC 有較高的電子遷移率，這也是 GaN 這個材料比起 SiC 的一個主要優勢。 $10^2$

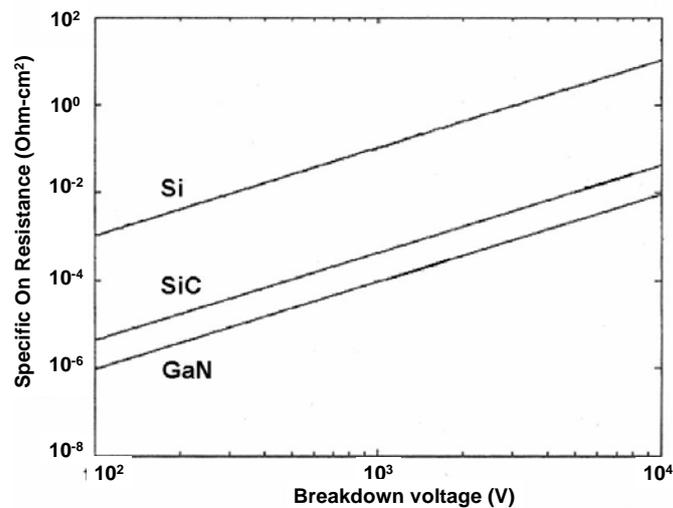


圖 2-2 Si、SiC、GaN 崩潰電壓對特性導通電阻<sup>[2]</sup>

## 2.2 AlGaIn/GaN 異質結構場效電晶體

### 2.2.1 元件結構

圖2-3 為異質結構場效電晶體(Heterostructure Field Effect Transistor)結構示意圖。在AlGaIn 的異質界面下會形成低阻值的二維電子氣。汲極(Drain)與源極(Source)形成歐姆接觸(Ohmic Contact)，並且透過二維電子氣當作通道來導通電流，同時使用金屬-半導體形成的蕭特基接觸(Schottky Contact)來製作閘極。為達成熱平衡，在金屬接面下方的半導體會產生空乏區。空乏區大小與半導體的雜質濃度以及外加電壓有關。施加反向電壓時，蕭特基二極體不導通。在半導體部分的空乏區會隨反向電壓增大而增長，驅趕通道中的載子，電流降低。因此藉由調變閘極反向電壓可調變通道的電流。

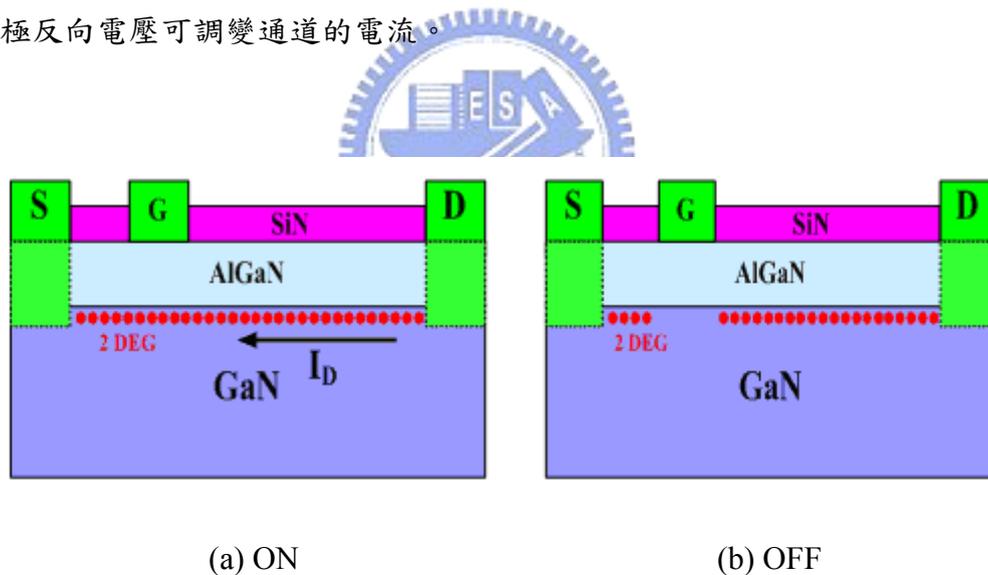


圖 2-3 異質結構場效電晶體(Heterostructure Filed Effect Transistor)結構示意圖

AlGaIn/GaN HEMT 一個很大的優點就是它在異質界面下形成的二維電子氣，由於二維電子氣使得元件能有很高的電子移動率，進而有效的大幅地降低導通電阻與提高電流值，這對於功率元件而言是個非常吸引人的優點。

## 2.2.2 GaN 緩衝層設計

由於sapphire 基板與GaN之間有著嚴重的晶格常數不匹配(lattice mismatch)的問題，爲了得到良好的磊晶品質與Ga-face晶體，會先成長一層成核層(nucleation layer)，與高達3~4  $\mu\text{m}$ 厚無摻雜質的氮化鎵(unintentional doped GaN)緩衝層。目的是使磊晶層附近有最少的缺陷(defects)、差排(dislocation)、阱(trap)、不平整(roughness)等等，使AlGaN/GaN 結構達到最好的平整度與磊晶品質。若氮化鎵緩衝層小於2 $\mu\text{m}$  以下，表面的不平坦程度明顯，使得2DEG mobility 下降。一般來說，緩衝層設計在3  $\mu\text{m}$  以上是比較恰當的。

就電性元件而言，氮化鎵緩衝層關切的議題為：高阻質、低漏電、低背景載子濃度。緩衝層的缺陷會成爲電子或電洞的缺陷捕抓中心，而造成元件漏電情形發生。若背景載子濃度過高，將使得緩衝層阻質降低，造成部分源極往汲極方向的電子流經由底下的緩衝層而非經由元件主動區(mesa)。這些因素所造成的漏電流都無法被閘極所完全控制，而使得元件截止特性不夠理想。此外背景載子濃度過高亦導致高介面電容(junction capacitance)，影響元件高頻特性。

## 2.2.3 AlGaN layer 考量

### 鋁組成

鋁組成升高會增加二維電子氣濃度。對高功率元件而言，二維電子氣濃度越高才能提供大電流操作，是一項非常重要的指標。然而太高的鋁成分會有結晶塊(grain)並且會材料介面出現應力釋放(strain relaxation)的問題。此外鋁組成超過40-45%時，不容易製作低阻值之歐姆接觸，一般來說鋁組成範圍在0.2到0.4之間。

### Modulation doping

對於砷化鎵系列的HEMT而言，爲了得到足夠的二維電子氣載子濃度，modulation doping是必要的。但對於氮化鎵材料系統，modulation doping就並非必要。因為極化效應就可感應出足夠的載子量，同時亦可降低impurity scattering對二維電子氣電子遷移率的影響。此外，modulation doping會在閘級下方產生電場，導致元件截止時，閘極穿隧漏電流(gate tunnel leakage current)增加，不易製作出高品質的蕭特基接觸。所以通常在使用modulation doping時，通常會在上面再長一層undoped的AlGaN，藉此改善蕭特基接觸。此外modulation doping 有助於降低歐姆接觸電阻，這也要納入設計考量之內。

### AlGaN 厚度

就AlGaN/GaN異質結構而言，AlGaN厚度直接牽涉到載子濃度、strain relaxation與磊晶品質的問題。因此，AlGaN厚度對於元件的臨界電壓(threshold voltage)、轉導(transconductance)以及其他相關的元件特性有相當程度的影響。因此在AlGaN厚度的設計上必須考量這些議題與需求。合理的厚度範圍約在20nm到30nm左右。

## 2.3 高壓AlGaIn/GaN HEMT的應用

圖2-4為功率半導體元件的應用操作範圍。評估GaN HEMTs的電壓與電流操作範圍可達到一到兩千伏特與數十安培。GaN HEMTs的應用涵蓋電力供應、馬達控制、工廠自動化和車用電子等等。

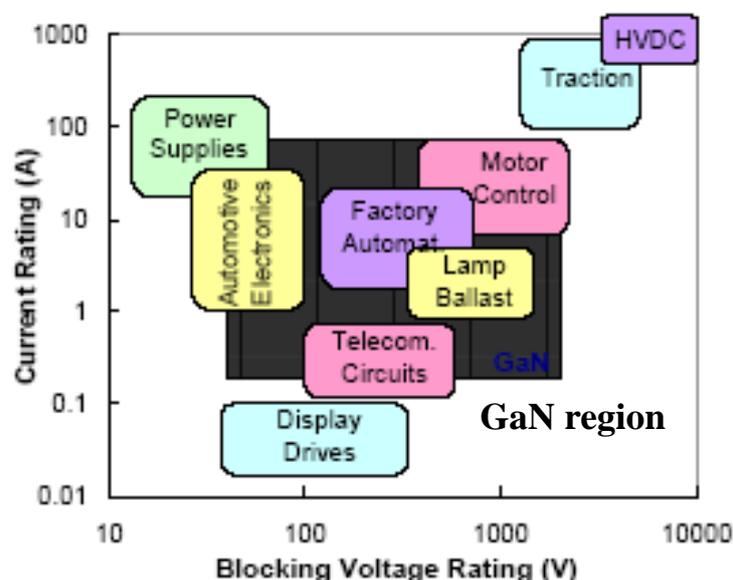


圖2-4 GaN HEMTs的應用<sup>[3]</sup>

例如圖2-5為一個高功率驅動系統示意圖，功率系統包含直流濾波區、功率轉換器等等，用來處理及傳送功率到不同的數位或類比端(包含數位信號處理器DSP與微處理器等等)，這些功率轉換器一般都操作在數瓦特到數百瓦特之間，而且必須將不規律的直流輸入(28-500V)轉換成良好而且規律直流輸出(1.5-12V)。為了降低在連結處的延遲、電磁雜訊、寄生(parasitics)和功率損失，同時又要提供良好且規律的輸出，所以功率轉換器必須非常趨近他們所驅動的負載所以又叫作接點負載節器( point of load regulators )。GaN功率元件其電壓可操

作在100-1500V以及電流操作在1-10A，同時擁有非常低的導通電阻和輸入輸出電容，且操作溫度可以高於250°C，這些優勢對於提升功率轉換器效能有極大的幫助。

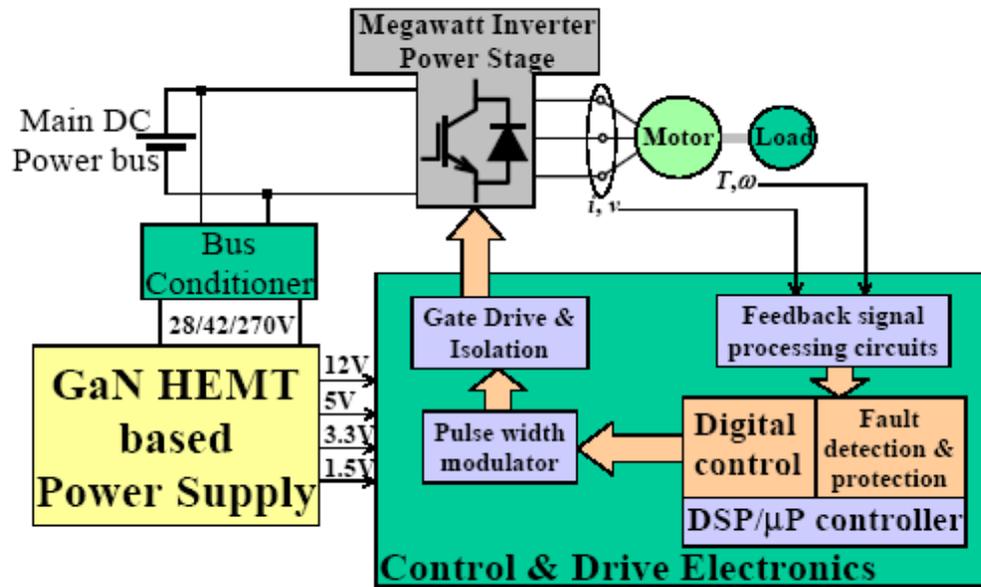


圖2-5 功率驅動系統示意圖，GaN對不同的數位及類比負載提供功率<sup>[6]</sup>。

### 第三章 高壓 AlGaN/GaN 異質結構場效電晶體

GaN HEMTs 擁有寬能隙、大崩潰電場以及高飽和飄移速度，因此非常適合在高功率、高頻和高溫下操作。就高壓上的應用而言，要如何改良以提升崩潰電壓使其更趨近於理想值，使元件可操作電壓範圍更大，而達到更有效而廣泛的應用空間。本章節重點在於藉由元件結構上的設計與改善來提升崩潰電壓。

#### 3.1 場效電板(Field Plate)異質結構場效電晶體

在這次設計裡，為了做出元件最佳化，我們設計了幾種不同結構。圖 3-1 為元件最基本的幾何結構。在此所有的元件其閘極長度  $L_g$  (gate length) 都是  $2\mu\text{m}$ ，源極到閘極的距離  $L_{gs}$  也都是  $2\mu\text{m}$ 。閘極到汲極的距離  $L_{gd}$ ，我們取的範圍是  $8\mu\text{m}$  到  $20\mu\text{m}$ (每  $4\mu\text{m}$  作一個區間)，較長閘極到汲極距離主要是因為可以藉由漂移區的延伸可以提升元件崩潰電壓<sup>[7]</sup>，此外我們還結合場效電板來改善元件耐壓特性。

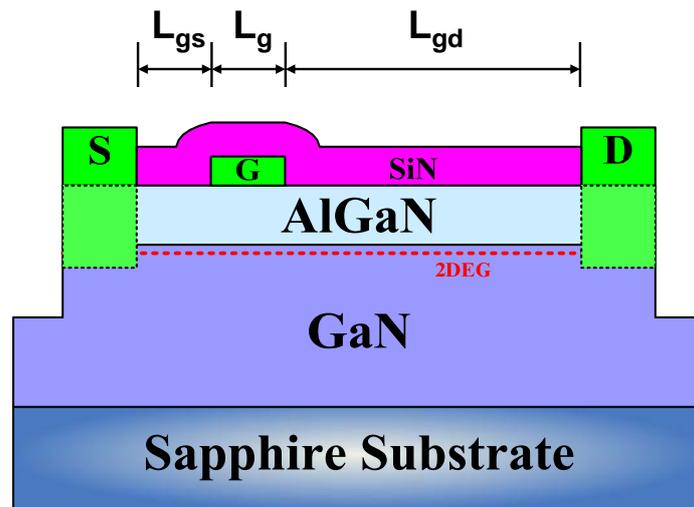


圖 3-1 GaN HEMT 結構

### 3.1.1 場效電板結構與原理

對 GaN HEMTs 而言，崩潰主要發生在閘極邊緣處(靠汲極方向)。因此若能降低在閘極邊緣處的電場，將可以有效的提升崩潰電壓。當場效電板應用於 GaN HEMTs 時，場效電板就像是第二個閘極一樣提供一個額外的電場有效地空乏掉場效電板所覆蓋元件的下方，這將使汲極到閘極之間的空乏區寬度增加。由於空乏區的改變，造成在汲極到閘極之間的電場重新分布<sup>[10]</sup>，進而紓解了原本在閘極邊緣處的鋒值電場。由圖 3-2 可以看出，有場效電板的元件在場板的邊緣會產生一個峰值電場，這使的原本在閘極邊緣的鋒值電場因為被分散掉而降低，這意味著元件可以承受更高的崩潰電壓。

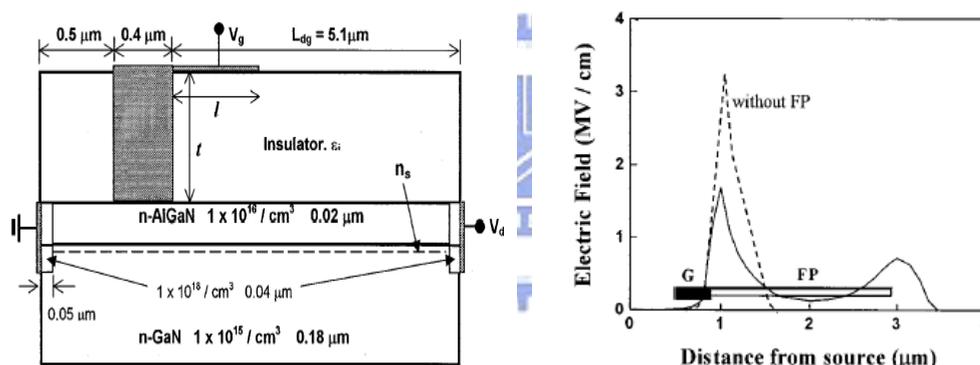


圖3-2 有場效電板與無場效電板沿著2-DEG的電場分布的模擬( $t = 3\mu\text{m}$ ,  $n_s = 1 \times 10^{13}/\text{cm}^3$ ,  $V_d = 123\text{ V}$ ,  $V_g = -2.8\text{ V}$ .)<sup>[9]</sup>

場效電板依接法的不同，可以有幾種不同的變化，例如上圖偏壓接在閘極的閘極場效電板(圖 3-2)。或者是偏壓接在源極的場效電場(圖 3-3)，這與閘極場效電板唯一的差別就是偏壓不同，一個是偏壓在元件的截止偏壓，一個是偏壓在源極的接地偏壓。我們觀察圖 3-3 電場的分布可以發現，當使用場效電板時，隨著崩潰電壓的提高，汲極偏壓也越來越高，此時在汲極端會出現一個很大的鋒值電場<sup>[8][9]</sup>，這意味著在汲極端甚至有可能比閘極先崩潰。因此同樣的場效電板的觀

念被應用在汲極端，也就是汲極場效電板(圖 3-4)<sup>[11]</sup>，由圖 3-4 可以看出，汲極端處的鋒值電場有效地被汲極場效電板舒緩。

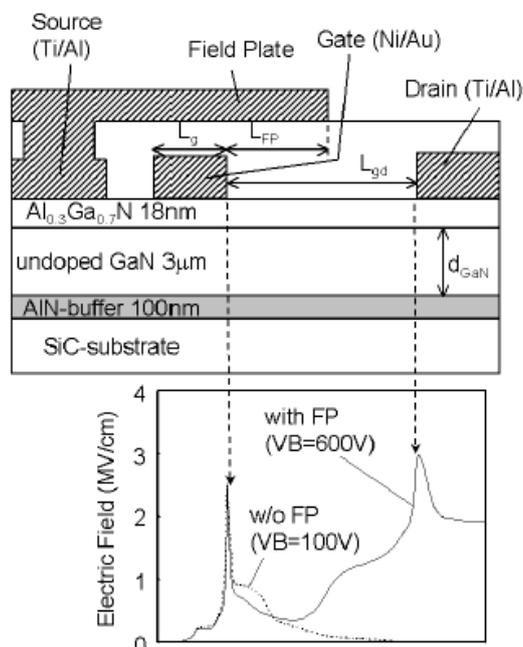


圖 3-3 源極場效電板 GaN HEMTs 剖面圖與延著 AlGa<sub>0.3</sub>N 表面的電場分布圖，實線是有場效電板結構，虛線是沒有場效電板結構<sup>[8]</sup>

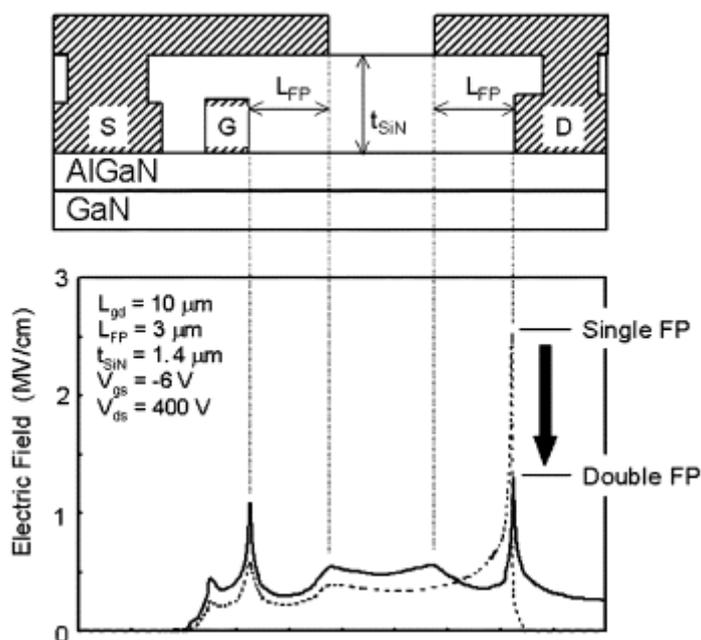


圖 3-4 源極汲極場效電板 GaN HEMTs 剖面圖與延著 AlGa<sub>0.3</sub>N 表面的電場分布圖，其中虛線是單場效電板元件，實線是雙場效電板元件。<sup>[11]</sup>

### 3.1.2 場效電板設計

由於這是我們第一次嘗試將場效電板的設計應用在 GaN HEMT 上，因此我們主要嘗試了三種場效電板的設計，分別是閘極場效電板結構，源極場效電板結構，以及閘極汲極雙場效電板結構。

#### 1. 閘極場效電板結構

圖 3-5 為閘極場效電板結構，場效電板的長度( $L_{gfp}$ )分別  $2\mu\text{m}$  到  $5\mu\text{m}$ (每  $1\mu\text{m}$  作為一個區間)。閘極寬度(gate width)是  $75\mu\text{m}$ 。圖 3-6 是元件的佈局設計圖(layout)，表 3-1 是閘極場效電板元件尺寸的統整表。

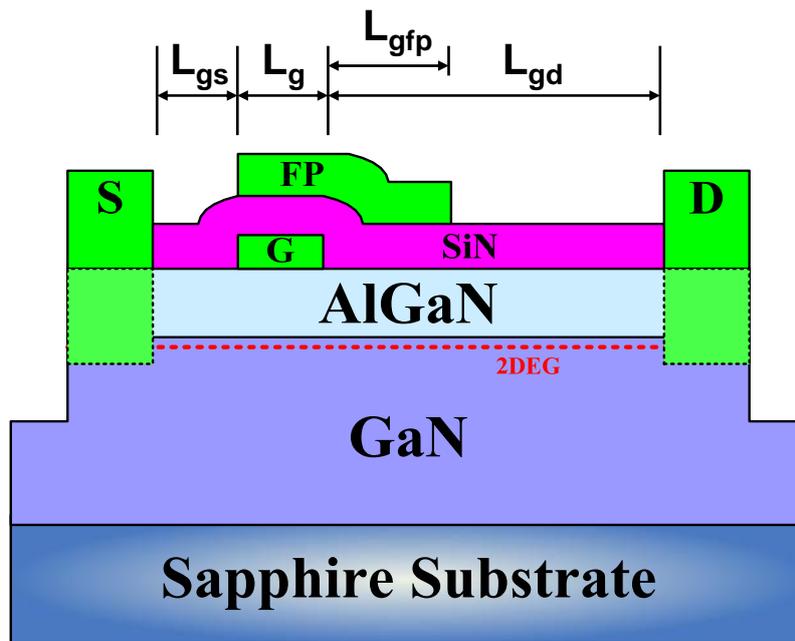


圖 3-5 閘極場效電板 GaN HEMT 剖面圖

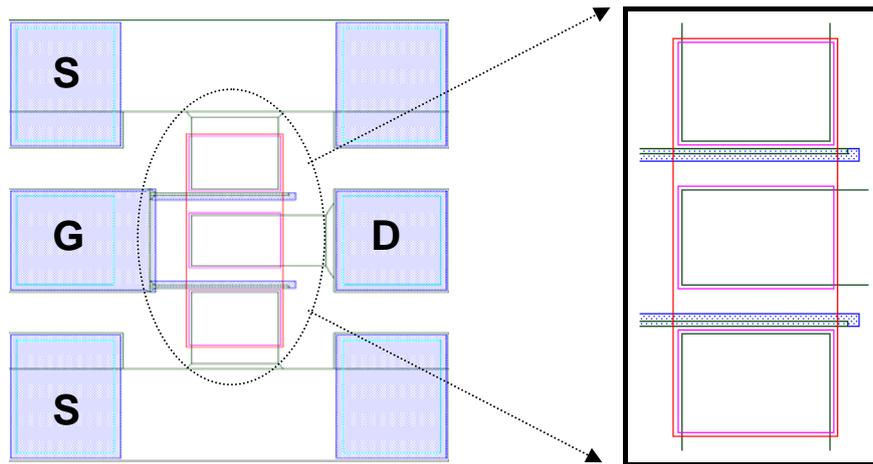


圖 3-6 閘極場效電板 GaN HEMT 元件佈局設計圖(layout)

	$L_{gfp}: 0$	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$	$L_{gfp}: 5\mu\text{m}$
$L_{gd}: 8\mu\text{m}$	✓	✓	✓		
$L_{gd}: 12\mu\text{m}$	✓	✓	✓		
$L_{gd}: 16\mu\text{m}$	✓	✓	✓	✓	
$L_{gd}: 20\mu\text{m}$	✓	✓	✓	✓	✓

表 3-1 閘極場效電板 GaN HEMTs 尺寸整理表

## 2. 閘極汲極雙場效電板結構

除了將場效電板連接在閘極的設計外，為了進一步降低在汲極端的電場，我們設計了同時具有閘極場效電板與汲極場效電板的元件結構，圖 3-7，而圖 3-8 是元件的佈局設計圖(layout)。元件規格為  $L_g = L_{gs} = 2\mu\text{m}$ ， $L_{gd} = 16\mu\text{m}$ ， $W_g = 75\mu\text{m}$ ，閘極場效電板與汲極場效電板各自都有  $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$  三種尺寸做搭配，共九種組合，整理於表 3-2。

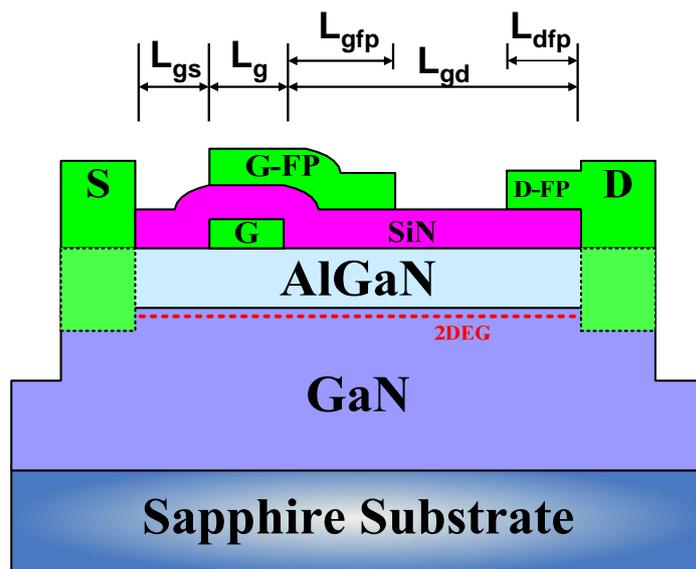


圖 3-7 閘極汲極場效電板 GaN HEMT 剖面圖

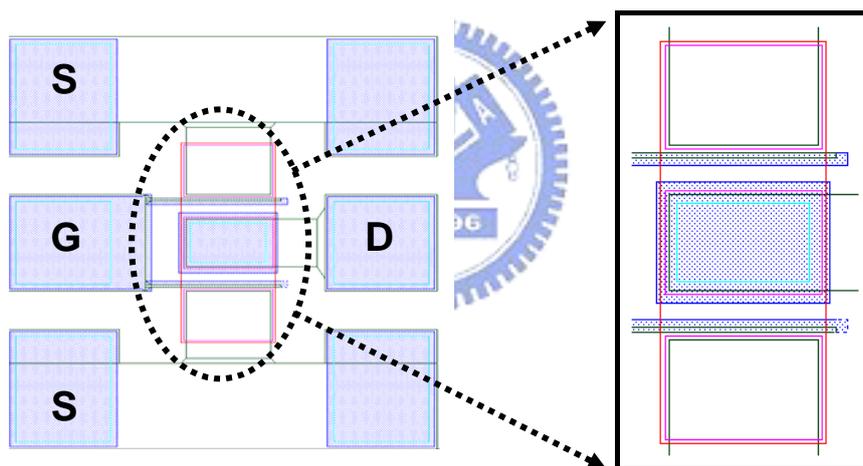


圖 3-8 閘極汲極場效電板 GaN HEMT 元件佈局設計圖(layout)

	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$
$L_{dfp}: 2\mu\text{m}$	✓	✓	✓
$L_{dfp}: 3\mu\text{m}$	✓	✓	✓
$L_{dfp}: 4\mu\text{m}$	✓	✓	✓

表 3-2 閘極汲極場效電板 GaN HEMTs 尺寸整理表

### 3. 源極雙場效電板結構

最後是源極場效電板結構的設計(圖 3-9)，場效電板偏壓在源極接地。與閘極場板的差異在於場效電板對汲極的電壓差較小。另外要注意的是，場效電板在跨過源極到汲極這個區間時，因為與下方電位的差異，會產生一個額外的寄生電容，這將會影響到元件高頻特性，為了避開這個問題，我們把場效電板與源極的接線繞過主動區(active region)，而從旁繞接過去(參看圖 3-10 元件佈局設計圖)。在這裡我們所採用的規格是  $L_g = 2\mu\text{m}$ ,  $L_{gs} = 2\mu\text{m}$ ,  $L_{gd} = 16\mu\text{m}$ ,  $W_g = 75\mu\text{m}$ ,  $L_{gfp} = 2$ 、 $3$ 、 $4\mu\text{m}$ 。

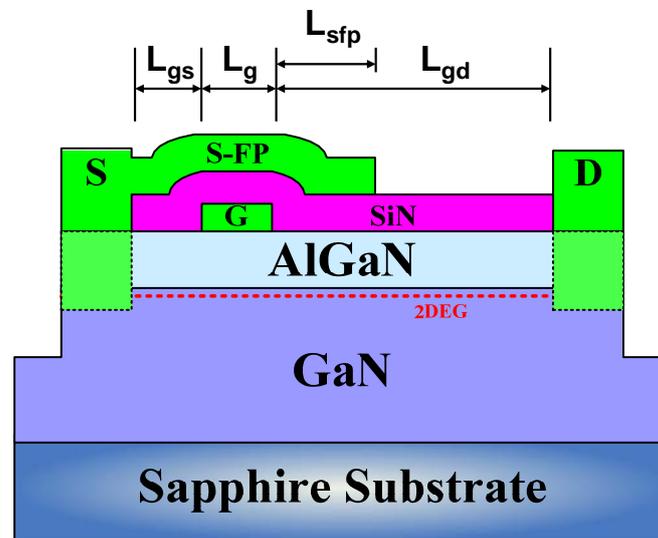


圖 3-9 源場效電板 GaN HEMT 截面圖

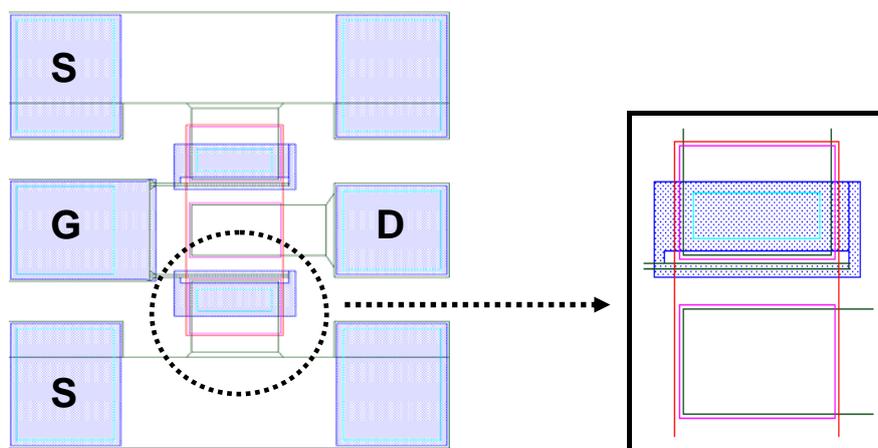


圖 3-10 源極場效電板 GaN HEMT 元件設計圖(layout)

## 3.2 封閉式元件設計

### 3.2.1 原理與設計概念

為了進一步改善元件崩潰電壓，我們設計了封閉式元件結構。一般傳統線形閘極元件(圖 3-11 a)，崩潰通常發生在元件閘極尖端處，最主要的原因有兩個。首先，當元件進行蝕刻製程時(例如平臺隔離製程)，蝕刻會對 wafer 表面造成傷害，特別是在主動區(mesa region)邊緣處，由於元件閘極會跨過主動區邊緣，此區的缺陷(defect)會使元件在高壓時發生漏電流而造成崩潰。再來，在 gate finger 的末端處因為尖端的關係會有相對較高的鋒值電場存在，這都將導致閘極末端易發生崩潰而降低元件崩潰電壓。由圖 3-11 可以看出，比起傳統的 multi-finger 元件至少兩處跨過主動區邊，緣封閉式結構的閘極只會有一處跨過主動區邊緣，而減少了缺陷對元件的影響。另外由於閘極是封閉式的，不像 multi-finger 元件之閘極有起始端與末端，避免了閘極末端大電場的情形發生，因此有較均勻的電場分布，這使得封閉式結構在元件耐壓上將有較好的表現。

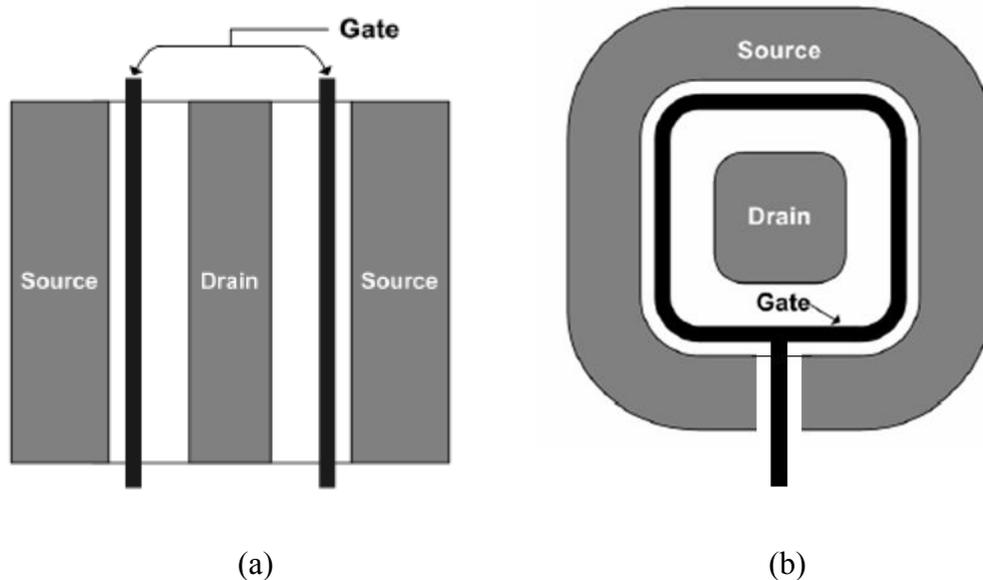


圖3-11 (a) Multi-finger layout (b)封閉式layout.

### 3.2.2 封閉式 GaN HEMTs layout

#### 3.2.2.1 環形結構( ring structure )

環形封閉結構 layout 如圖 3-12，元件尺寸規格如下， $L_g = L_{gs} = 2\mu\text{m}$ ，而閘極到汲極長度  $L_{gd}$  為  $8\mu\text{m}$  到  $20\mu\text{m}$ (每  $4\mu\text{m}$  作一個區間)，閘極寬度  $W_g = 400\mu\text{m}$ 。由於環形結構均勻而且對稱，因此會有較均勻的電場分布，然而要注意的是因為在汲極端的周長小於源極端周長，這將使得汲極有較高的電流密度，即汲極端會些許 current crowding 的現象。另外，為了進一步提升元件特性，我們同時還將場效電板應用在環形封閉式結構上。

##### 1. 環形結構 + 閘極場板 (尺寸統計列於表 3-3)

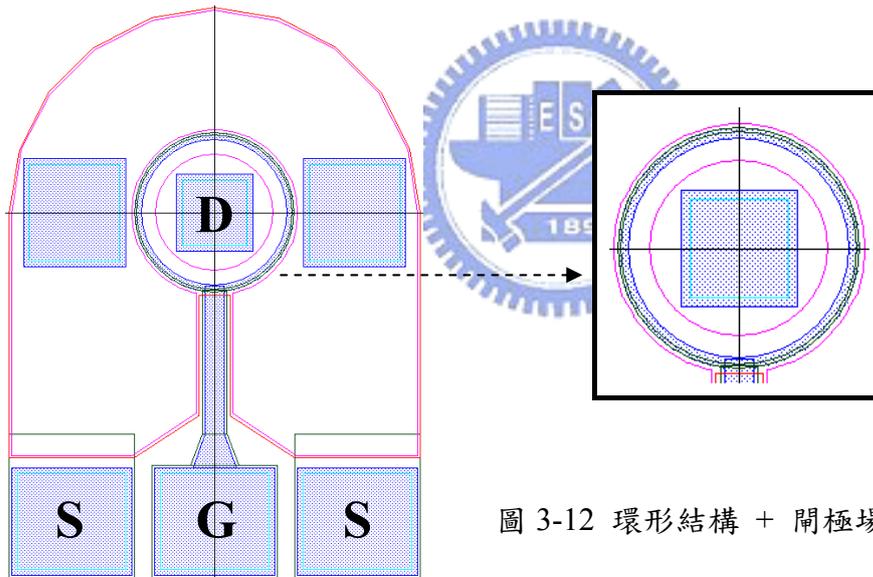


圖 3-12 環形結構 + 閘極場板 layout

	$L_{gfp}: 0$	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$	$L_{gfp}: 5\mu\text{m}$
$L_{gd}: 8\mu\text{m}$	✓	✓	✓		
$L_{gd}: 12\mu\text{m}$	✓	✓	✓		
$L_{gd}: 16\mu\text{m}$	✓	✓	✓	✓	
$L_{gd}: 20\mu\text{m}$	✓	✓	✓	✓	✓

表 3-3 環形結構 + 閘極場板之尺寸統計表

2. 環形結構 + 閘極汲極場板

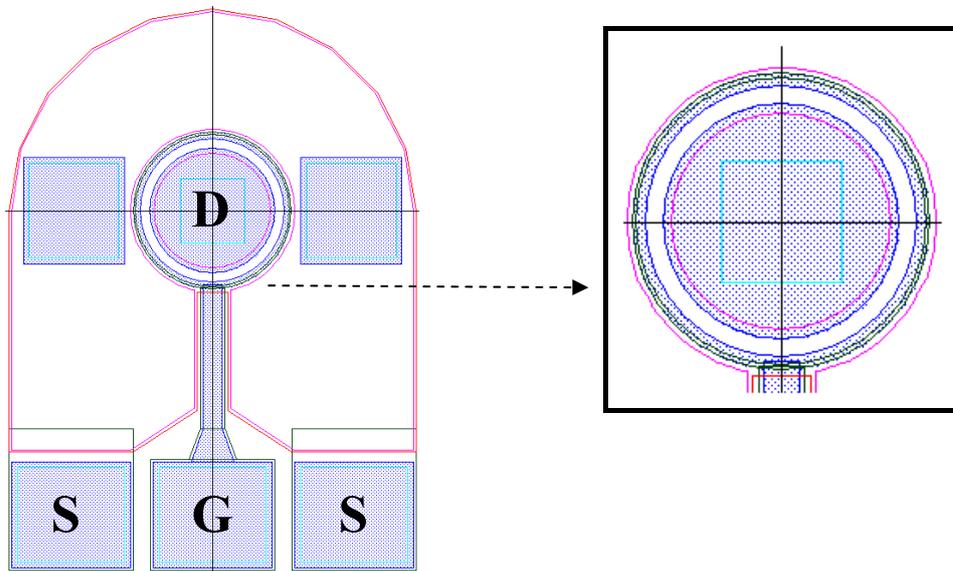


圖 3-13 環形結構 + 閘極汲極場板 layout



	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$
$L_{dfp}: 2\mu\text{m}$	✓	✓	✓
$L_{dfp}: 3\mu\text{m}$	✓	✓	✓
$L_{dfp}: 4\mu\text{m}$	✓	✓	✓

表 3-4 環形結構 + 閘極汲極場板之尺寸統計表 ( $L_{gd}=16\mu\text{m}$  ,  $W_g = 400\mu\text{m}$ )

### 3. 環形結構 + 源極場板

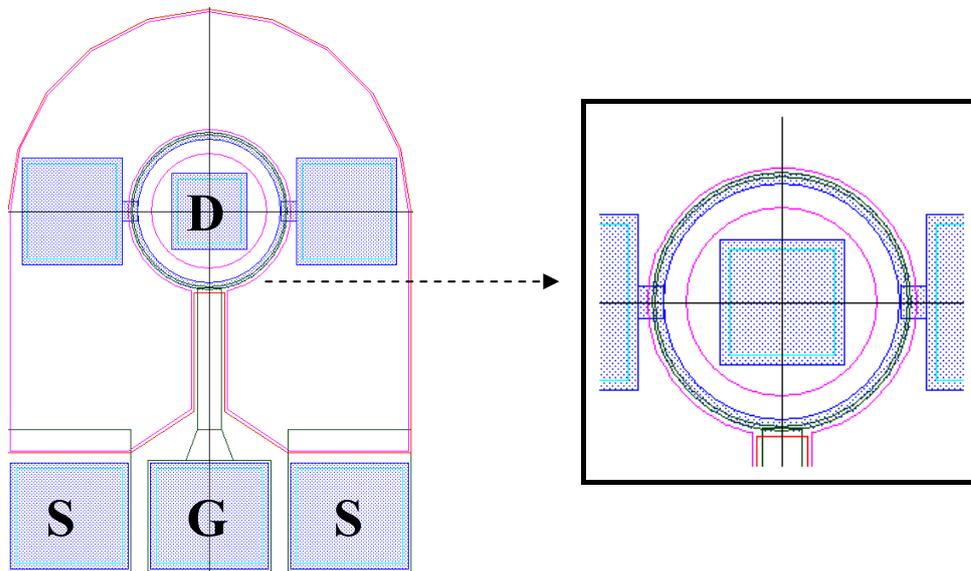


圖 3-14 環形結構 + 源極場板 layout



	$L_{gfp}: 0$	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$
$L_{gd}: 16\mu\text{m}$	✓	✓	✓	✓

表 3-5 環形結構 + 源極場板之尺寸統計表

### 3.2.2.2 矩形結構( rectangular structure )

我們所設計的第二種封閉式結構是矩形結構，圖 3-15 a。在同樣的閘極寬度下，矩形結構比起環形結構會佔更小的面積，因此矩形比起環形，在 wafer 上空間的應用率也會較高。矩形結構閘極的四個邊就像是理想的線形(line gate)傳統元件，然而在它的四個角卻會有 current crowding 的現象，並且因為有角，所以會有尖端峰值電場的情形。為了減緩這個現象，我們在四個角的地方做了結構上的改良(圖 3-15 b)，藉由改善角的弧度，來降低在汲極邊緣的電流密度，並且就崩潰電壓方面，我們同時增大了在端角處汲極對閘極的距離，讓端角處可以承受較高的潰電壓。

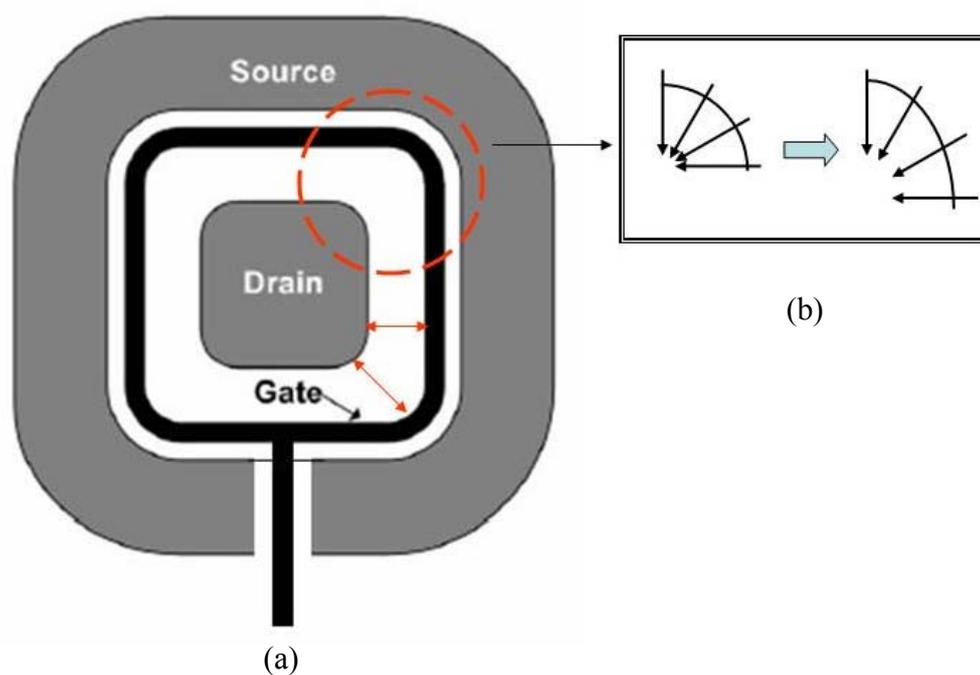


圖 3-15 (a)矩形結構 (b)轉角的弧度的改良

矩形結構元件尺寸規格如下， $L_g = L_{gs} = 2\mu\text{m}$ ，而閘極到汲極間距  $L_{gd}$  的我們取的範圍是  $8\mu\text{m}$  到  $20\mu\text{m}$ (每  $4\mu\text{m}$  作一個區間)，閘極寬度  $W_g = 600\mu\text{m}$ 。我們也同時結合了場效電板與矩形封閉結構。

### 1. 矩形結構 + 閘極場板

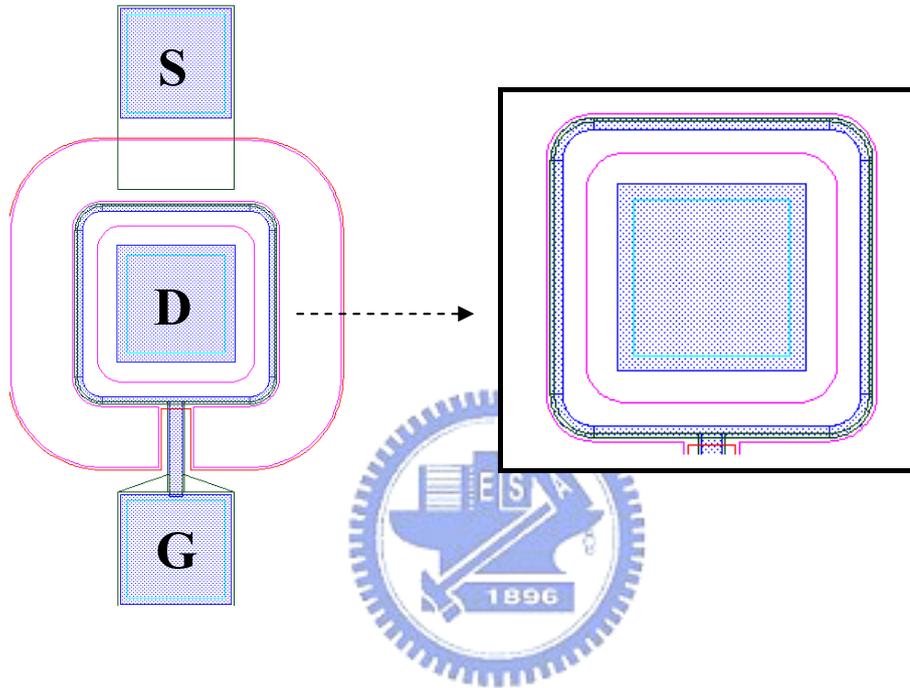
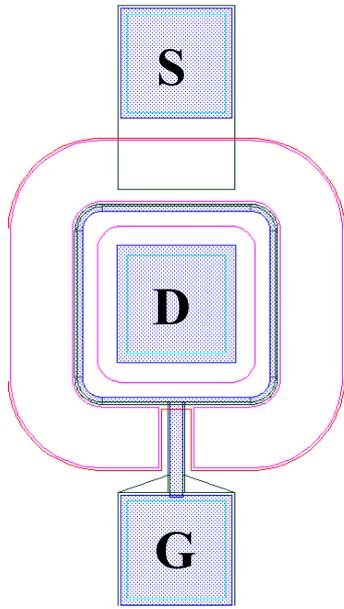


圖 3-16 矩形結構 + 閘極場板 layout

	$L_{gfp}: 0$	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$	$L_{gfp}: 5\mu\text{m}$
$L_{gd}: 8\mu\text{m}$	✓	✓	✓		
$L_{gd}: 12\mu\text{m}$	✓	✓	✓		
$L_{gd}: 16\mu\text{m}$	✓	✓	✓	✓	
$L_{gd}: 20\mu\text{m}$	✓	✓	✓	✓	✓

表 3-5 矩形結構 + 閘極汲極場板 尺寸一覽表 ( $W_g = 600\mu\text{m}$ )

2. 矩形結構 + 閘極汲極場板



	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$
$L_{dfp}: 2\mu\text{m}$	✓	✓	✓
$L_{dfp}: 3\mu\text{m}$	✓	✓	✓
$L_{dfp}: 4\mu\text{m}$	✓	✓	✓

圖 3-17 矩形結構 + 閘極汲極場板 layout

表 3-6 矩形結構 + 閘極汲極場板 尺寸一覽表( $L_{gd}=16\mu\text{m}$ ,  $W_g=600\mu\text{m}$ )



3. 矩形結構 + 源極場板

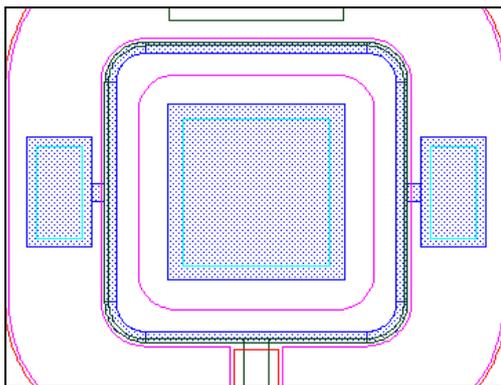


圖 3-18 矩形結構 + 汲極場板 layout

	$L_{gfp}: 0$	$L_{gfp}: 2\mu\text{m}$	$L_{gfp}: 3\mu\text{m}$	$L_{gfp}: 4\mu\text{m}$
$L_{gd}: 16\mu\text{m}$	✓	✓	✓	✓

表 3-7 矩形結構 + 汲極場板 尺寸一覽表( $W_g=600\mu\text{m}$ )

### 3.3 大尺寸線形閘極元件

隨著元件尺寸的增加，通道溫度隨著元件總電流增加而上升，這使得電子遷移率降低，進而降低元件的電流密度以及增加元件的特性導通電阻。由於本論文所用的試片的基底材料為導熱特性較差的 sapphire 基板，溫度所造成的影響更加明顯，因此我們設計了大尺寸閘極寬度的線形閘極結構，藉此觀察熱效應所造成的影響。元件尺寸整理於表 3-8 所示。

Total Width ( $W_g$ )	$L_{gd}$ : 12 $\mu$ m	$L_{gd}$ : 16 $\mu$ m
200 $\mu$ m	✓	✓
300 $\mu$ m	✓	✓
400 $\mu$ m	✓	✓
500 $\mu$ m	✓	✓
600 $\mu$ m	✓	✓

表 3-8 大閘極寬度的線形閘極結構尺寸表

## 第四章 元件製程件與量測方法

本次製程使用五道光罩，分別為(1)平臺隔離(mesa isolation)；(2)歐姆接觸(ohmic contact)；(3)閘級製作(gate contact)；(4)鈍化製程(passivation )；(5)場效電板(field plate)，流程如圖4-1所示

### (1)平臺隔離(mesa isolation)

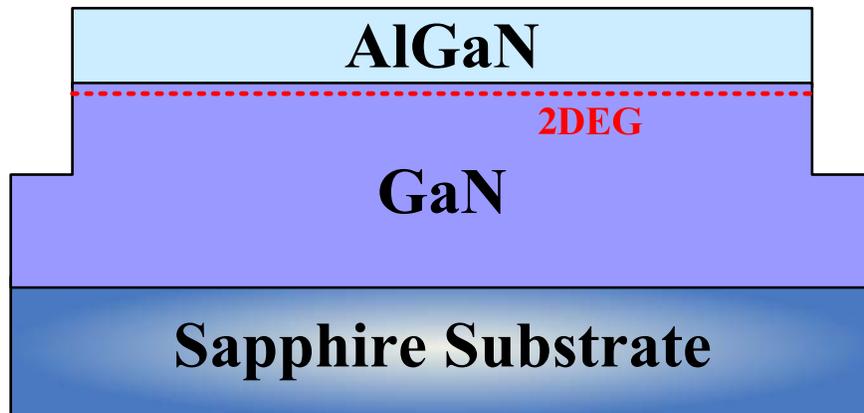


圖 4-1 製作流程(a)

(2) 歐姆接觸(ohmic contact)

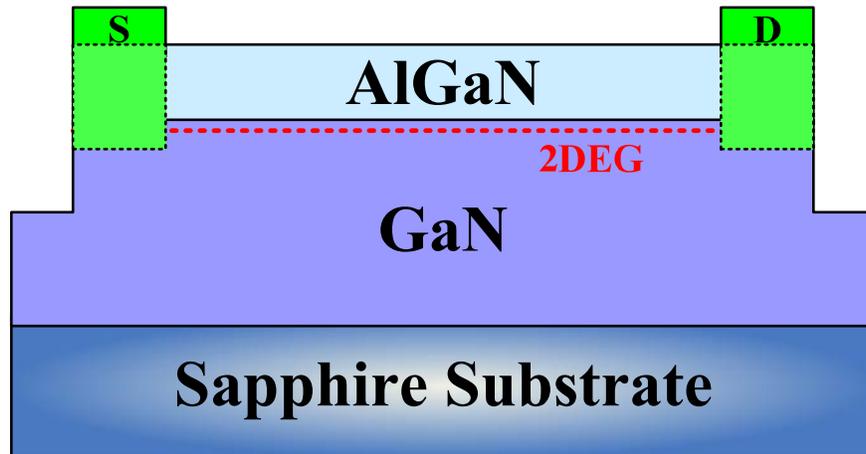


圖 4-1 製作流程(b)



(3) 閘級製作(gate contact)

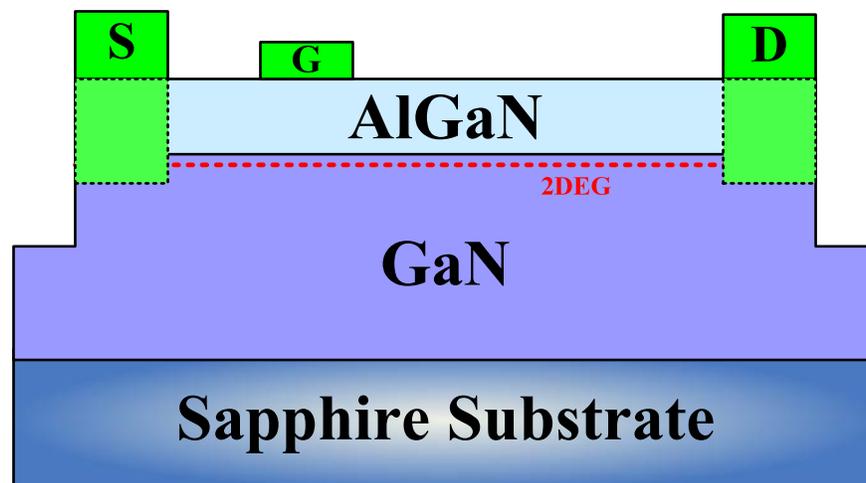


圖 4-1 製作流程(c)

(4) 鈍化製程(passivation)

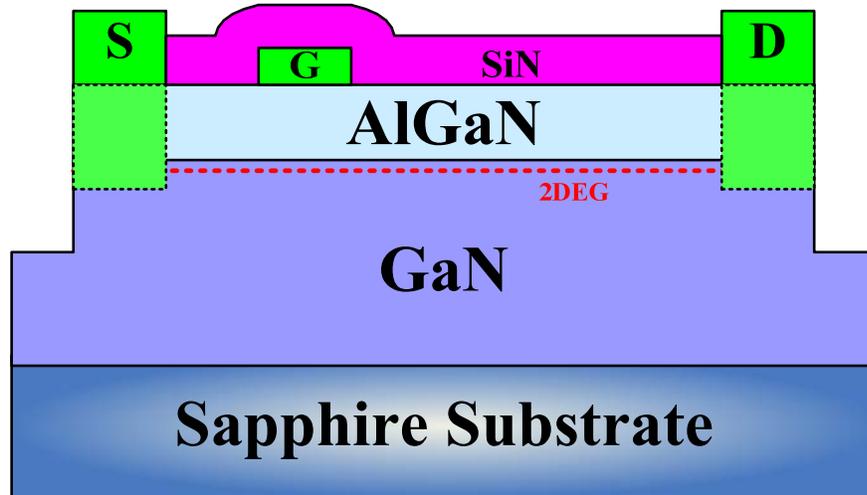


圖 4-1 製作流程(d)



(5) 場效電板(field plate)

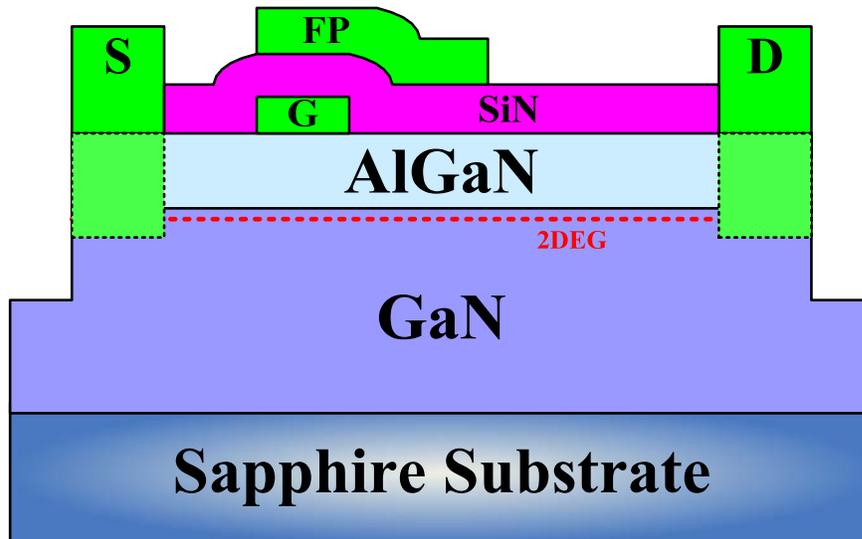


圖 4-1 製作流程(e)

## 4.1 平臺隔離製作

平臺隔離(mesa isolation)通常是元件製程的第一步驟。藉由平臺隔離定義出主動區(active region)，進而控制一導電性薄片上表面區域的電流方向，使每一個元件各自獨立操作而不受彼此干擾。

因為氮化鎵緩衝層具半絕緣特性(semi-insulated)，所以利用蝕刻技術，將獨立元件之間的磊晶層移除，蝕刻深度達到半絕緣特性的緩衝層的位置便可達到絕緣的效果。若緩衝層絕緣特性不佳，部分電子便會經由緩衝層流至汲極，其電流無法完全受閘極電壓所控制而使元件在關閉時產生較高的漏電流。因此，緩衝層的品質好壞、絕緣特性對元件的截止特性有決定性的影響。

製作平臺隔離主要的好處除了能有效控制電流在主動區內的流向之外，將閘極金屬置於絕緣區可有效降低閘極金屬襯墊下所產生的寄生電容效應，這可有效的改善元件之高頻特性。由於氮化鎵的材料系統上，並無適當濕式蝕刻溶液。因此我們採用感應耦合電漿(Inductively Couple Plasma, ICP)乾式蝕刻方式進行平臺蝕刻。

### 4.1.1 微影製程

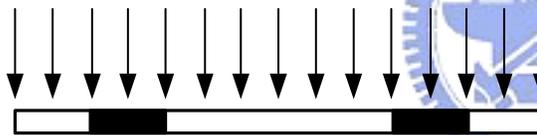
光阻的選擇上，使用AZ5214E反轉型光阻，此光阻為專為lift-off 製程所設之光阻。一般正光阻曝光後因繞射特性之影響，造成光阻上方所接受之曝光劑量高於光阻底部所接受之曝光劑量，這使得圖像側壁角度依曝光條件不同約為 $75^{\circ} \sim 85^{\circ}$ ，這將使元件蒸鍍金屬時因側壁附著金屬，當lift-off時，剝離液不易流入溶解光阻。而反轉型光阻利用相同之繞射特性，在經圖像反轉後，反能將上端接受曝光劑量較多之光阻保留下來，造成負側壁角度(under cut)，這使得lift-off之成功率提高許多。曝光程序及反轉過程如圖4-2所示，曝光及對準過程中需注意處四點：

1. 光阻厚度對線寬影響：若光阻過厚不易曝出小線寬，但若過薄則不利於 Lift-off。
2. 邊緣光阻之去除：試片邊緣隆起之光阻將妨害對準及密接。
3. 密接(close contact)之確實：不確實之密接曝光時之漏光將使圖案走樣。
4. 曝光劑量：image時，過高之劑量將造成線寬下降與鍵結過多使lift-off時光阻無法除淨，但劑量過少將使線寬上升。flood時，過高之劑量將造成線寬上升與側壁崩解，但劑量過少將使光酸不足造成定義區光阻無法去除。



1. 經由轉速控制光阻厚度

2. 軟烤降低溶劑含量



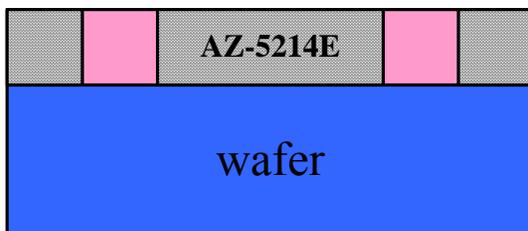
3. Image Exposure

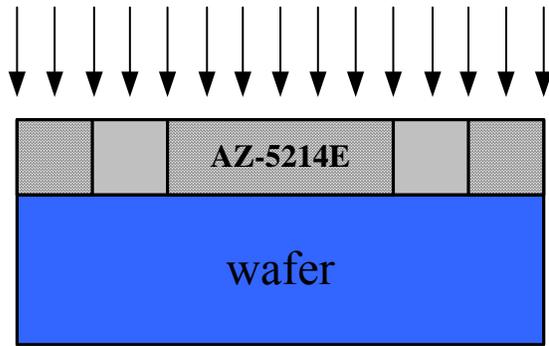
經由曝光，形成一種PH值較其它未曝光光阻低的酸性光阻



4. Post Bake

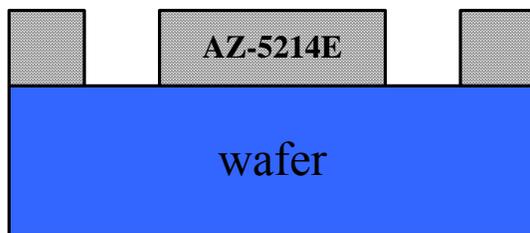
曝過光的光組經過烘烤後，會經由一種酸的催化機制而產生 cross-link





#### 5. Flood Exposure

整面曝光後，先前未反應之區域進行反應



#### 6. Develop

顯影時，含酸性光阻處比鍵結處之光阻快80~100倍溶解速度

圖4-2 影像反轉示意圖

### 4.1.2 平臺隔離蝕刻(Mesa isolation etch)

利用離子輔助蝕刻(ion-enhanced etching)做平臺隔離之蝕刻。平臺隔離蝕刻時需注意蝕刻深度之控制，若蝕刻深度不足，元件之漏電流變大且元件與元件間無法完全隔離。若蝕刻深度過深，在蒸鍍金屬時，連接平臺與探點之界面容易斷裂。合理之蝕刻深度約1000~2000Å。

## 4.2 歐姆接觸(ohmic contact)

金屬接觸的導電機制主要有兩方面：thermionic emission 與 tunneling 機制。

Thermionic 機制需要功函數夠低的金屬來製作較好的歐姆接觸。Tunneling 機制則可透過提高半導體雜質摻雜濃度與高溫快速退火來達成。

### 4.2.1 表面處理

#### 1. UV-OZONE 表面處理

在黃光顯影製程之後，UV-OZONE 表面處理可以氧化、去除在歐姆接觸區表面的殘餘光阻。使得歐姆接觸電阻不至於受到殘餘光阻的影響而上升。

#### 2. 電漿表面處理

在鍍歐姆接觸金屬之前，我們用低偏壓功率的氬離子(Ar)電漿對氮化鎵進行表面處理(surface treatment)。在低偏壓下氬離子電漿的蝕刻速率非常慢，大約只有100~200Å/min。此外，氬離子電漿會對氮化鎵表面造成晶格損害(lattice damage)且增加了氮原子空洞(nitrogen vacancy)的密度，因此可以有效地增加在歐姆接觸區域附近的表面電子濃度，而得到較好的歐姆接觸。一般來說，經過電漿表面處理後的接觸電阻可由3Ω-mm降至0.5Ω-mm左右，所以利用電漿表面處理的方式可以大幅地改善元件的特性。

#### 3. 鹽酸(HCl)浸泡表面處理

由於表面的AlGaN與空氣接觸因而氧化形成阻值較高的原生性氧化層(native oxide)。在鍍上歐姆接觸金屬之前，使用鹽酸水溶液浸泡表面處理可以去除原生性氧化層，藉此降低歐姆接觸的接觸電阻。

## 4.2.2 金屬蒸鍍

歐姆接觸金屬為Ti/Al/Ti/Au。快速退火(RTA, Rapid Thermal Annealing)之後，Ti會跟氮化鎵的氮反應，形成具金屬特性薄層TiN，同時也會產生許多氮空洞(N vacancy)，在接觸區域增加載子濃度，因此形成歐姆接觸。Al則跟部份Ti形成TiAl合金同時保護表面不受氧化。最上層的金則作為接觸電極之用(contact pad)。

## 4.2.3 剝離(Lift-off)

Lift-off 技術成像原理，首先微影製作出一層反像的圖樣，此層我們稱之為Stencil-layer如圖4-3，再將金屬全面蒸鍍在試片上，最後浸泡試片在只溶解Stencil-layer的溶液中。在Stencil-layer上的金屬便隨著Stencil-layer的溶解而剝落，藉此方式我們不但可以避免蝕刻過程而仍能得到我們所希望的金屬圖樣，同時也減少製程的步驟。

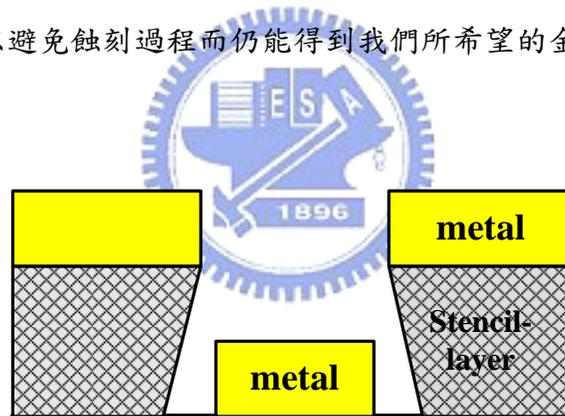


圖4-3 Stencil-layer示意圖

Lift-off製程技術雖然方便，但對初使用者而言，失敗的機率是蠻高的。成功的先決條件在於光阻是否形成適當的輪廓，如果光阻底部向兩側凹入，呈現蕈狀結構(mushroom)，則可確保金屬在蒸鍍後並不會完全連接住而是在金屬與光阻間能保留一個空隙。在浸入去光阻液後，便可使溶液與光阻反應，輕易地將光阻去掉。另外蒸鍍金屬時須確定蒸鍍腔的溫度不可過高，光阻因高溫而變質也是導致lift-off失敗的主因之一。此外光阻亦不可過薄，否則也會導致lift-off失敗。

## 4.2.4 快速熱退火(Rapid Thermal Annealing, RTA)

在金屬的退火過程中，適當的溫度和時間是重要的參數，一般的退火溫度在750°C左右，隨系統差異有所不同，退火的過程中為了避免表面金屬氧化導致接觸電阻上升，所以一般會通入氮氣或forming gas(15% H<sub>2</sub>, 85%N<sub>2</sub>)作為anealing ambient，本實驗中anealing ambient為通入氮氣。

## 4.3 閘極製作

閘極製作為整套流程中最重要之步驟，利用金屬與半導體接面之蕭特基接觸所產生之空乏區可經由外加偏壓來控制其寬度大小，進而控制通道中之電流，蕭特基閘極製作好壞之考量主要有四項要素：

- (1) 理想因子(ideality factor)
- (2) 蕭特基能障(Schottky barrier height)
- (3) 閘極漏電流(gate leakage current)
- (4) 崩潰電壓(breakdown voltage)



製作時，一般選擇白金(Pt)與鎳(Ni)等高功函數(work function)的金屬來降低閘極漏電流。白金的功函數比鎳高，可以製作出具較低閘極漏電流、具更高蕭特基能障與耐壓的蕭特基閘極。但鎳在氮化鎵表面的吸附力比白金好，不易脫落。因此大多數的小線寬元件採用鎳作為閘極材料。

## 4.4 鈍化製程

鈍化(passivation)之主要目的為減少晶片表面surface trap對元件特性之影響。鈍化製程主要是利用電漿增強化學氣相沉積 (Plasma-Enhanced Chemical Vapor Deposition, PECVD) 在元件表面上沉積一層SiN<sub>x</sub>膜，再利用活性離子蝕刻(Reactive Ion Etching,RIE)來定義出pattern。

## 4.5 場效電板製作

在場效電板的製程，為了提升光阻在SiN<sub>x</sub>上的附著力與方便lift-off我們使用雙層光阻，第一層使用LOR當作附著層光阻，再上一層AZ-5214E來定義pattern，蒸鍍的金屬我們選用Ti/Au。

## 4.6 元件完成圖

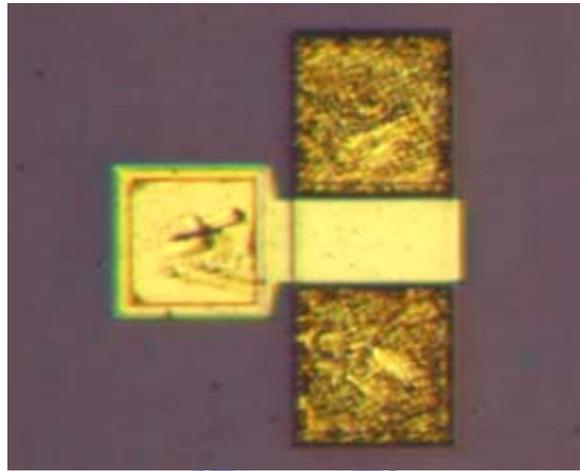


圖4-4 (a) Fat FET  $50 \times 100 \mu\text{m}^2$

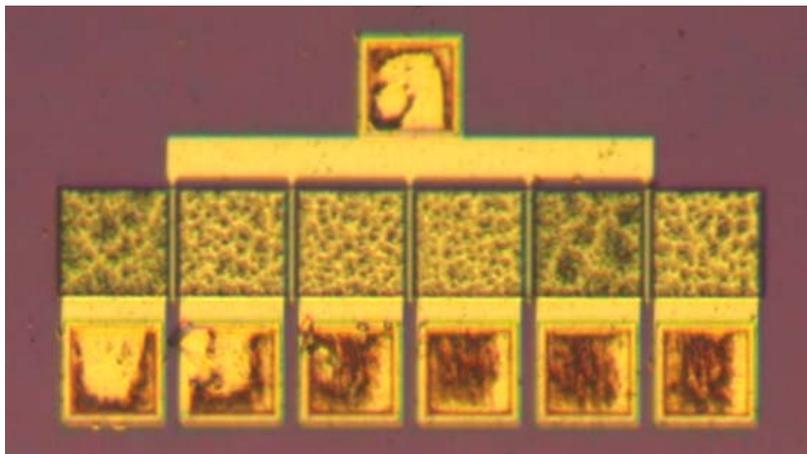
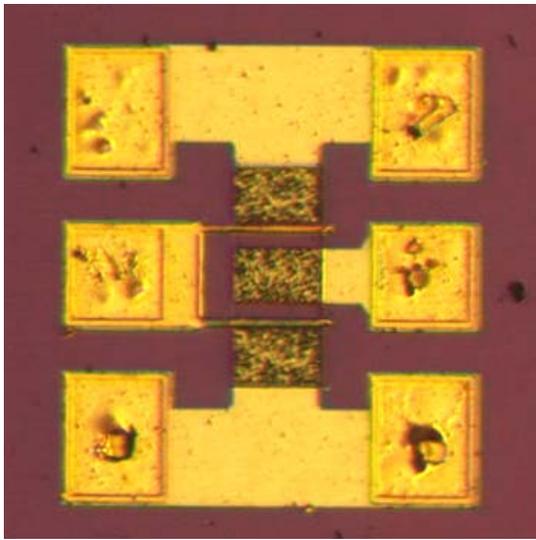
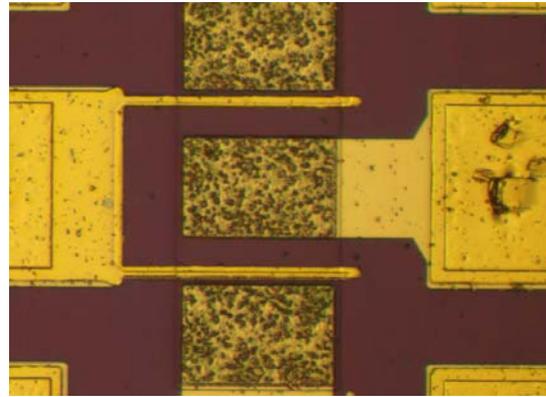


圖4-4 (b) DC pattern  $2 \times 75 \mu\text{m}^2$



(a)



(b)

圖4-5 (a)結合閘極場效電板之線形結構 (b)放大圖

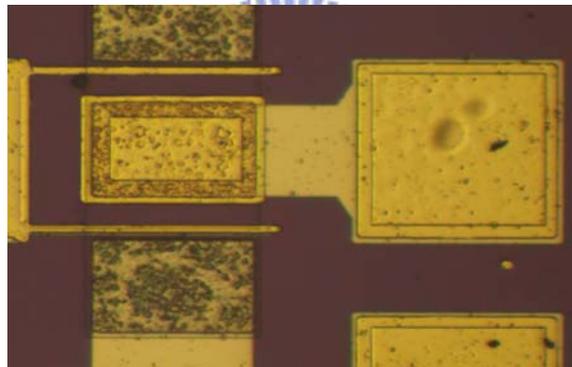


圖4-6 結合汲極與閘極場效電板之線形結構

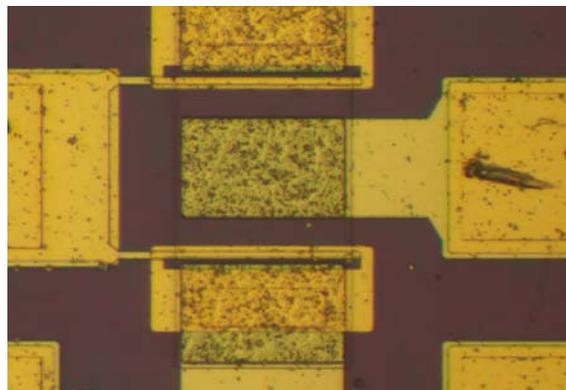


圖4-7 結合源極場效電板之線形結構



(a)



(b)

圖4-8 (a)結合閘極場效電板之環形結構 (b)放大圖

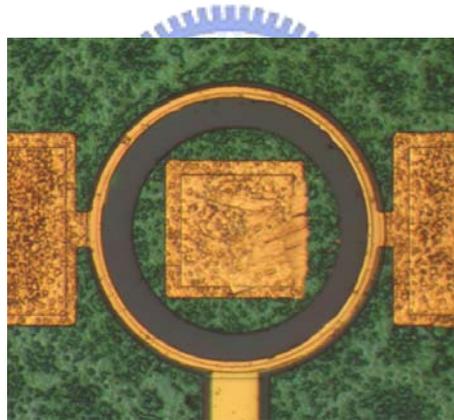


圖4-9 結合汲極與閘極場效電板之環形結構

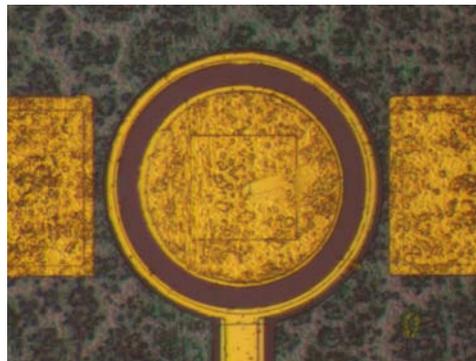


圖 4-10 結合源極場效電板之環形結構

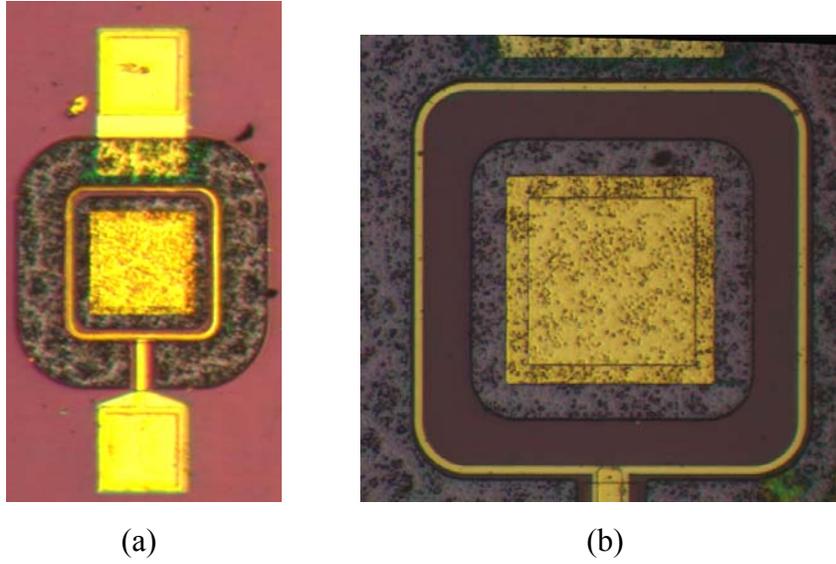


圖4-11 (a) 結合閘極場效電板之矩形結構 (b)放大圖

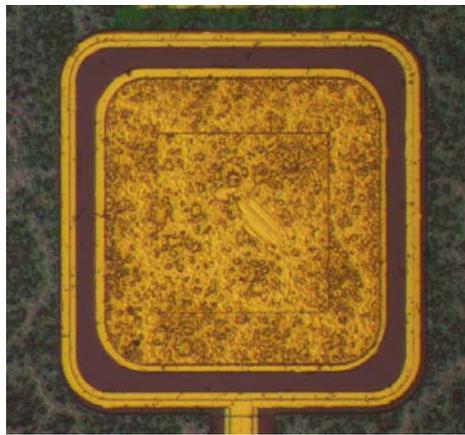


圖4-12 結合汲極與閘極場效電板之環形結構

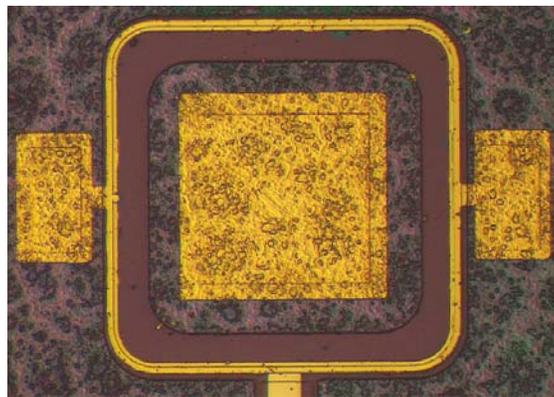


圖4-13 結合汲極與閘極場效電板之環形結構

## 4.7 量測方法

### 4.7.1 Transfer Length Method (TLM)

我們利用 Transfer Length Method (TLM) 量測粹取出特性接觸電阻 (specific contact resistivity,  $\rho_c$ )，以及其他重要歐姆接觸的參數。TLM 模型源自於 Shockley 的提出。如圖 4-14 所示，TLM 元件是由幾個不同間距的相鄰金屬襯墊所構成的，電流向是一維的。任意兩個相鄰金屬襯墊間的總電阻為

$$R_T = \frac{\rho_s d}{Z} + 2R_c \approx \frac{\rho_s d}{Z} + 2 \frac{\rho_s L_T}{Z} = \frac{\rho_s}{Z} (d + 2L_T) \quad (4-1)$$

其中 transfer length 定義為  $L_T^2 = \frac{\rho_c}{\rho_s}$ ； $d$  是兩個相鄰襯墊的間距； $Z$  是金屬襯墊的寬度；而  $\rho_s$  是半導體的薄片電阻

針對不同的接觸間距， $d_1$ 、 $d_2$ 、 $d_3$ 、 $d_4$ 、 $d_5$ ，測量其全部電阻。然後對全部電阻  $R_T$  與襯墊間的間距  $d$  做圖，如圖 4-15 所示。其中有三個參數可從圖中決定：第一個參數為薄片電阻  $\rho_s$ ，由斜率  $\Delta R_T / \Delta d = \rho_s / Z$  得到；第二個參數為接觸電阻  $R_c$ ，由  $y$  軸的截距得到；第三個參數為 transfer length  $L_T$ ，由  $x$  軸的截距得到。最後，特性接觸阻  $\rho_c$ ，可由上述的參數  $L_T$ 、 $\rho_s$ 、整理得出，其關係式為

$$\rho_c = \rho_s L_T^2 = \left[ \frac{(\text{intercept}(y))^2}{4 * \text{slope}} \right] \times Z \quad (4-2)$$

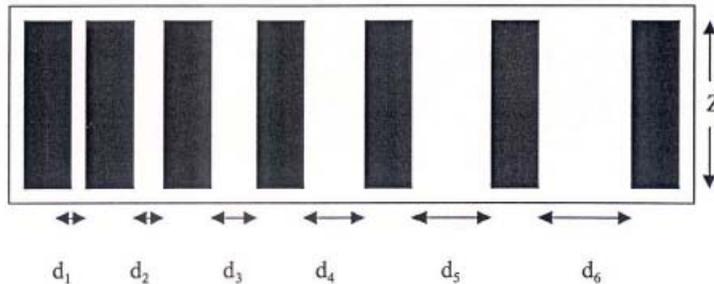


圖 4-14 TLM 金屬襯墊示意圖

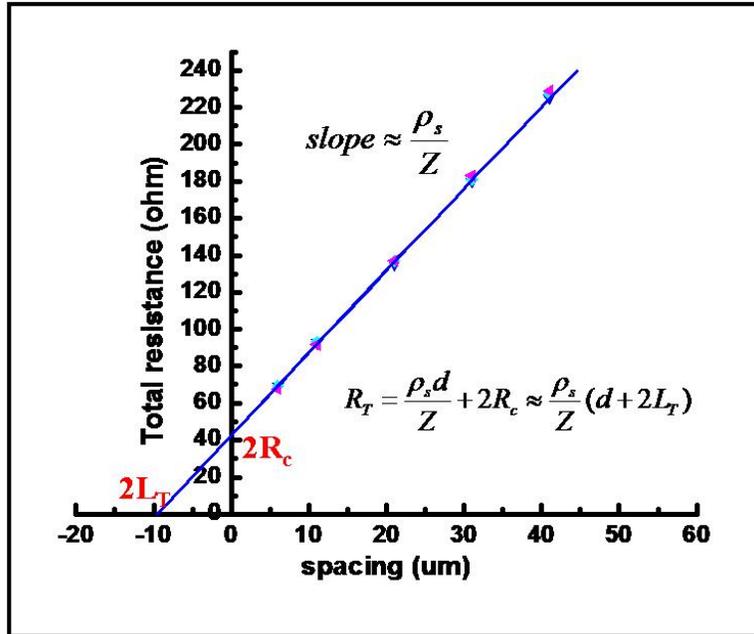


圖4-15 總電阻與金屬襯墊間距關係圖

而總電阻 $R_T$ 之量測，是以四點探針排列的量測方法，如圖4-16所示，以探針1及探針2做為電流源，通入電流後藉由探針3及探針4量測電壓後求得總電阻 $R_T$ 。利用此法時探針3及探針4宜盡量靠近金屬內側，以降低金屬本身阻值之影響。

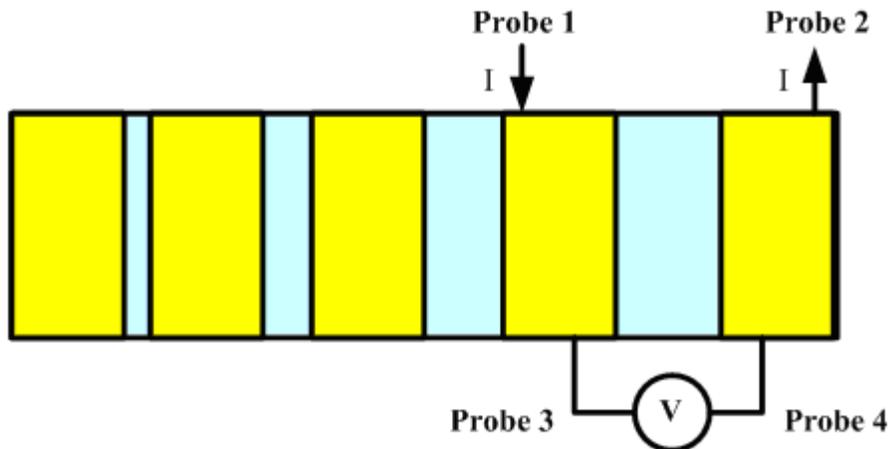


圖4-16 四點探針量測方式

圖4-15同時也是本次所使用的晶片TLM量測的結果

接觸電阻  $R_c = 2.148 \text{ ohm-mm}$

薄片電阻  $\rho_s = 442.53 \text{ ohm/square}$

### 4.7.3 霍爾量測

遷移率及載子濃度通常被作為磊晶品質的重要指標，同時對於元件的表現有很關鍵性的影響。量測遷移率與載子濃度最方便可靠的方式為霍爾量測，這是由Van der Pauw所提出。利用四個阻值對稱的歐姆接觸電金屬，施加5000高斯(Gauss)的磁場，計算得到電阻率(resistivity)。以電壓計量測霍爾電壓，求得霍爾係數(Hall Coefficient)。最後經由下兩式運算可得材料載子濃度與遷移率。

$$N_S = \frac{-1}{qR_H} \quad (4-3)$$

$$\mu = \frac{|R_H|}{\rho} \quad (4-4)$$

(q: 電子電荷 $1.60218 \times 10^{-19} \text{C}$ )

### 4.7.4 Source Resistance量測

源極電阻對於分析場效電晶體的增益與轉導有很大的參考價值，同時來對於導通電阻(on resistance)的分析也有很大的幫助。圖4-17是電晶體內的等效電路，汲極端給不同定電流，量測閘極電壓電流的關係，可得下式(4-5)、式(4-6)，聯立推出源極電阻，式(4-7)。

$$V_{g1} = I_g (R_g + R_s) + I_{d1} \times R_s \quad (4-5)$$

$$V_{g2} = I_g (R_g + R_s) + I_{d2} \times R_s \quad (4-6)$$

$$R_s = \frac{V_{g2} - V_{g1}}{I_{d2} - I_{d1}} \quad (4-7)$$

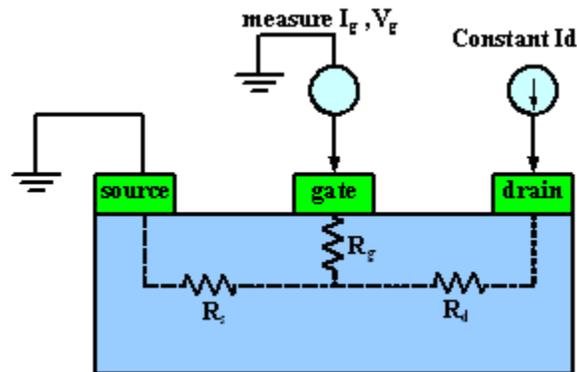


圖4-17 source resistance量測

## 4.7.5 current collapse量測

元件表面條件的優劣在高功率GaN HEMTs中是一個很重要的研究議題，因為元件效能表現好壞對於表面處理非常敏感。current collapse和gate lag就與元件表面條件有很大的相關。當元件關閉時，閘極對汲極因為逆偏壓而存在一個大電場，造成閘極處有少量的漏電流，這些漏電流的電子被表面狀態(surface state)捕捉，因此在表面形成負電位而空乏下方通道的二維電子氣，當元件開啟時因為放電時間常數的關係，被捕陷的電子無法立即被釋放而使通道無法立即全部開啟，造成元件剛導通時電流的衰減。因此current collapse與gate lag可以當作觀察元件表面狀況一個很重要的參考。

由於current collapse 在輸入電壓快速切換時才會出現，以HP4145之step量測無法測得，需以Tek370 curve tracer量測。Curve tracer之輸入訊號如圖4-18所示，以60Hz Sine wave sweep並且不斷重複連續掃描而不像HP4145的單次掃描，如此才能順利量得current collapse現象。

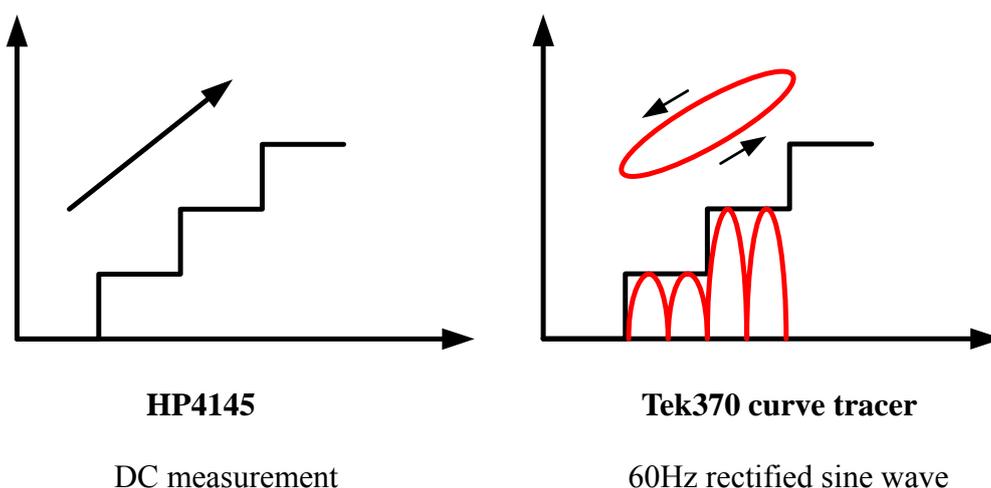


圖4-18 輸入信號掃描模式

### 4.7.6 Gate Lag 量測

Gate lag成因與current collapse一樣，主要是因為表面缺陷所捕捉的電子在元件導通時來不及被釋放而繼續對通道空乏，這使得通道較慢導通，造成輸出電壓所需上升時間增加，影響元件的切換特性。

Gate lag量測架構圖如圖4-19，在閘極給予某特定頻率、偏壓從零到臨界電壓之方波，汲極給一個定電壓源，源極接上一電阻，從示波器上觀察電阻上導通電流對時間的關係，藉此了解元件的切換特性。

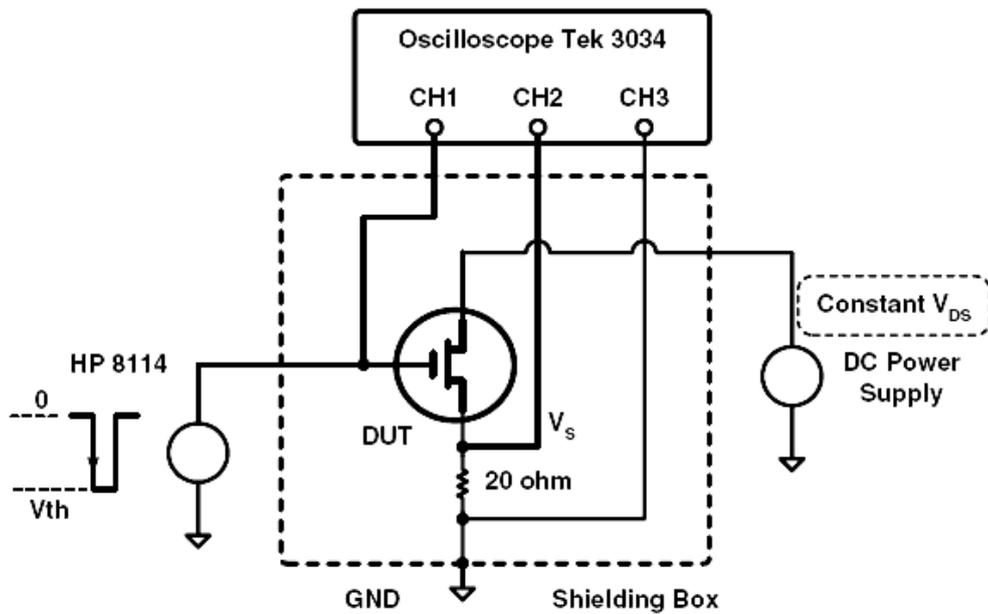


圖4-19 gate lag量測架設

## 第五章 結果與討論

### 5.1 試片結構

本次實驗採用的元件結構如圖 5-1 所示，由下而上結構依序為：Sapphire 基板、緩衝層、3 $\mu\text{m}$  undoped GaN、3nm undoped AlGaN、20nm Si doped AlGaN (摻雜濃度為  $2 \times 10^{18} \text{ cm}^{-3}$ )，最後是 5nm undoped AlGaN cap layer。結構中的  $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，鋁的成分是 0.25。經霍爾量測結果，通道二維電子氣載子濃度為  $1.12 \times 10^{13} \text{ cm}^{-2}$ ，電子遷移率為  $1340 \text{ cm}^2/\text{V}\cdot\text{s}$ 。



<b>i-AlGaN</b>	<b>5 nm</b>
<b>n-AlGaN: 2E18</b>	<b>20nm</b>
<b>i-AlGaN</b>	<b>3 nm</b>
<b>i-GaN</b>	<b>3 <math>\mu\text{m}</math></b>
<b>Buffer layer</b>	
<b>Sapphire</b>	

圖 5-1 試片結構圖

## 5.2 元件直流特性

### 5.2.1 直流特性分析

圖 5-2 為線形結構，閘極寬度( $W_g$ )  $75\mu\text{m}$  之順向偏壓下蕭特基特性。圖 5-3 為環形結構，閘極寬度( $W_g$ )  $400\mu\text{m}$  之順向偏壓下蕭特基特性。圖 5-4 為矩形結構，閘極寬度( $W_g$ )  $600\mu\text{m}$  之順向偏壓下蕭特基特性。(本實驗元件的閘極長度皆為  $2\mu\text{m}$ ，閘極對源極長度皆為  $2\mu\text{m}$ )

首先先觀察閘極寬度( $W_g$ ) 為  $75\mu\text{m}$  之線形結構無外加場效電板的元件。圖 5-5(a)、(b)、(c)、(d)分別是在汲極對閘極長度( $L_{gd}$ )  $8\mu\text{m}$ 、 $12\mu\text{m}$ 、 $16\mu\text{m}$  以及  $20\mu\text{m}$  下的汲極電流對汲極電壓的關係圖( $I_d$ - $V_d$ 圖)。在  $V_g = 1\text{V}$  時之最大電流分別是  $20.5\text{mA}$ 、 $21.5\text{mA}$ 、 $21.8\text{mA}$  以及  $22.8\text{mA}$ 。一般來說相同的元件，隨著汲極對閘極長度越大，汲極對閘極的等效阻質隨著增加，應當要有較小的電流，而在這裡此現象並不明顯，主要是因為晶片本身磊晶品質上區域性的差異所造成。

圖 5-6(a)、(b)、(c)、(d)線形閘極結構無場效電板，汲極對閘極長度分別為  $8\mu\text{m}$ 、 $12\mu\text{m}$ 、 $16\mu\text{m}$  以及  $20\mu\text{m}$  下的汲極電流對閘極電壓的關係圖( $I_d$ - $V_g$ 圖)與外部轉導圖。在  $V_{ds} = 9\text{V}$  時，最大外部轉導分別為  $84.5\text{ mS/mm}$ 、 $85.3\text{ mS/mm}$ 、 $83.2\text{ mS/mm}$  與  $81.33\text{ mS/mm}$ 。臨界電壓分別為  $-2.51\text{V}$ 、 $-2.57\text{V}$ 、 $-2.78\text{V}$ 、 $-3.04\text{V}$ 。

圖 5-7(a)、(b)、(c)、(d)是線型閘極結構外加場效電板的  $I_d$ - $V_{ds}$  圖，元件結構為汲極對閘極長度  $20\mu\text{m}$  之線型閘極結構，比較不同長度的閘極場效電板對汲極電流的影響，其場效電板長度依序為  $2\mu\text{m}$ 、 $3\mu\text{m}$ 、 $4\mu\text{m}$  以及  $5\mu\text{m}$ 。在  $V_g = 1\text{V}$  時之最大電流分別是  $23.2\text{mA}$ 、 $23.8\text{mA}$ 、 $24.1\text{mA}$  以及  $23.3\text{mA}$ 。由圖 5-7 觀察可發現電流值差異性並不大，這顯示場效電板並不會影響汲極電流的表現。

圖 5-8 是環形閘極結構無場效電板之  $I_d$ - $V_d$  圖。元件結構為閘極長度  $2\mu\text{m}$ 、閘極寬度  $400\mu\text{m}$ ，閘極對源極長度  $2\mu\text{m}$ 、汲極對閘極長度為  $12\mu\text{m}$ ，在  $V_g = 1\text{V}$  時的最大電流為  $81.4\text{mA}$ 。

圖 5-9 是汲極電流對閘極電壓的關係圖( $I_d$ - $V_g$  圖)與外部轉導圖，其元件結構與圖 5-8 相同。在  $V_{ds} = 9\text{V}$ 、 $V_{gs} = 0.5\text{V}$  時，最大外部轉導為  $53 \text{ mS/mm}$ 。臨界電壓為  $-3.12\text{V}$ 。

圖 5-10 是矩形閘極結構無場效電板的  $I_d$ - $V_d$  圖。元件結構為閘極長度  $2\mu\text{m}$ 、閘極寬度  $600\mu\text{m}$ ，閘極對源極長度  $2\mu\text{m}$ 、汲極對閘極長度依序為  $20\mu\text{m}$ ，在  $V_g = 1\text{V}$  時之最大電流為  $119.4\text{mA}$ 。

圖 5-11 是汲極電流對閘極電壓的關係圖( $I_d$ - $V_g$  圖)與外部轉導圖，其元件結構與圖 5-10 相同。在  $V_{ds} = 8\text{V}$ 、 $V_{gs} = -0.65\text{V}$  時，最大外部轉導為  $58.3 \text{ mS/mm}$ 。臨界電壓為  $-2.83\text{V}$ 。

圖 5-12 與圖 5-13 分別是不同的閘極寬度下，單位汲極電流與轉導的量測結果，可以看出隨著閘極寬度地增加，因為熱效應使得電流下降的程度，這兩張圖對於將來元件尺寸上的設計將是很好的參考。

## 5.2.2 直流特性討論

觀察汲極電流對汲極電壓的關係，我們發現在相同汲極電壓下，隨著汲極對閘極長度增加，汲極對閘極的等效阻質增加，應當要有較小的汲極電流，此處卻沒有，最主要的原因在於因為通道內二維電子氣的關係，阻質隨汲極對閘極長度增加變化較小以及晶片本身磊晶品質上區域性的差異所造成，若我們進一步觀察圖 5-2，可以發現臨界電壓並不一致，這有可能是因為元件下方 AlGaIn 層其 doping 不均勻或是厚度上的差異所造成的。三種不同幾何結構汲極電流的變動範圍為，線型結構：15%、環形結構：20%、矩形結構：25%。

就轉導表現的觀察，與汲極電流對汲極電壓的關係一樣，汲極到閘極距離與轉導並沒有顯著的關係，主要原因同上。三種結構的轉導值分別是線形結構 85.3 mS/mm、矩形結構 58.3 mS/mm、環形結構 53 mS/mm。變動範圍為，線型結構：6%、環形結構：8%、矩形結構：16%。

若將三種結構的轉導大小做比較，線型結構最高，大於矩形與環形結構，主要的原因有兩個，第一：熱效應，由於環形與矩形結構的閘極寬度分別為 400 $\mu$ m 與 600 $\mu$ m 遠大於線形的 75 $\mu$ m，這使得熱效應影響更加嚴重，而導致電流的衰減進而降低轉導，然而若是我們再進一步在同樣的閘極寬度(600 $\mu$ m)下做比較，線型結構的轉導值(67 ms/mm)依舊比矩形結構(57 ms/mm)與環形結構(44 ms/mm)高，這可能是接觸金屬(contact metal)的問題，就源極端歐姆接觸金屬厚度考量(圖 5-14)，線形結構在第二道源極汲極金屬(270nm)與第三道閘極金屬(320nm)蒸鍍時源極皆有蒸鍍上去(共 590nm)，而環形與矩形結構的源極卻只有蒸鍍到第二道源極汲極金屬(270nm)，較薄的金屬厚度將使得源極電阻(source resistance)阻值增高且散熱效果較不好，另外不同的 layout 也會影響到阻值的表現，像是環形結構電

流經源極出來到下針的襯墊(pad)所需走的距離也較長這也提高了源極電阻的電阻值。在汲極對開極長度為  $16\mu\text{m}$  尺寸下，我們所量測的源極電阻分別為線形結構  $11.6\Omega\text{-mm}$ ，低於環形結構  $15.8\Omega\text{-mm}$  矩形結構  $14.7\Omega\text{-mm}$ 。這也是為何線形結構有較高轉導的原因之一。

這次實驗所得的轉導明顯的比起一般的 HEMT 轉導( $150\sim 200\text{mS/mm}$ )都還要低，主要是因為的開極長度較長所導致，這次的開極長度為  $2\mu\text{m}$ ，由於轉導是元件幾何結構的函數，較長的開極長度將使得轉導值變小。此外過高的接觸電阻 contact resistance ( $2.148\Omega\text{-mm}$ ) 也是造成轉導降低的一個主要原因，若要進一步改善並降低接觸電阻，需要從製程上進行改良與最佳化，這也是將來重要的工作。

觀察開極寬度對應於轉導的變化，可以發現隨著開極寬度增加，轉導跟著降低，這主要是因為熱效應(thermal effect)所造成，大電流操作下將使得元件操作溫度上升，溫度升高加劇了晶格原子的熱振動，而對電子的運動產生了散射效應，也就是所謂的晶格散射(lattice scattering)，這使得電子遷移率的下降。電子遷移率的衰減最明顯的影響就是造成元件操作電流下降，進而導致轉導跟著衰減。由圖 5-13 我們可以很明顯的看出這個趨勢，特別是當開極寬度超過  $300\mu\text{m}$  時，轉導的衰減顯得更加明顯。開極寬度對應於轉導的變化的關係圖對於元件的製作是一個很重要的參考指標，對於將來元件尺寸上的設計以及特性上的需要有很大的參考價值。此外本次實驗之所以熱效應對元件特性造成明顯的衰減有一個很大的原因是因為本實驗所使用的基板為 sapphire 基板，sapphire 之熱傳導係數只有  $0.35\text{W/cm-K}$ ，散熱效果不好，這對於功率元件的影響非常大，因此將來元件製作將以 Si 或 SiC 基板為主要趨勢。

就單位長度汲極電流對開極寬度來觀察，與轉導一樣隨著開極的增加，因為熱效應使得電子遷移率的下降。因此雖然當開極寬度增加總電流增加，但是單位

長度汲極電流下降，由圖 5-12 我們可以觀察到，當閘極寬度從  $75\mu\text{m}$  增加  $100\mu\text{m}$  時，單位汲極電流有個很明顯的衰減，而  $100\mu\text{m}$  以後的衰減就顯的平緩很多。這表示就大尺寸元件而言，散熱的問題是一個我們今後必須要克服的一個重要課題。

就實驗量測結果而言，場效電板並不影響元件的直流表現，無論是對汲極電流或者是轉導，相同尺寸結構的元件在不同長度的場效電板其表現都很接近。最主要是因為在直流情形下場效電板並不影響到閘極對通道的控制，因此並不影響到元件直流的表現。



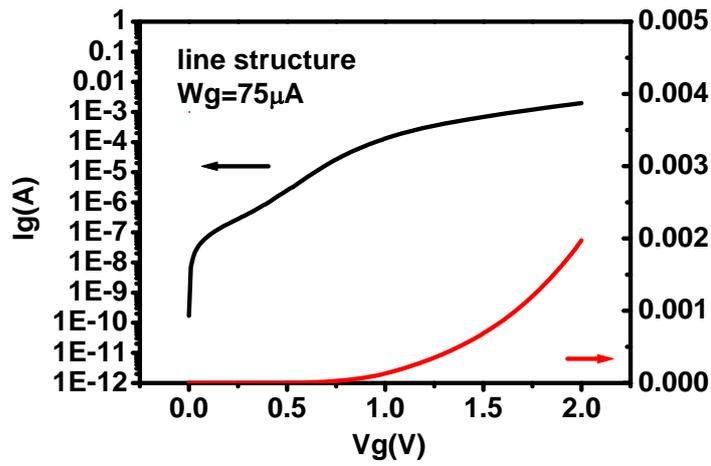


圖 5-2 閘極寬度 75 $\mu$ m 之線形結構順向偏壓下蕭特基特性

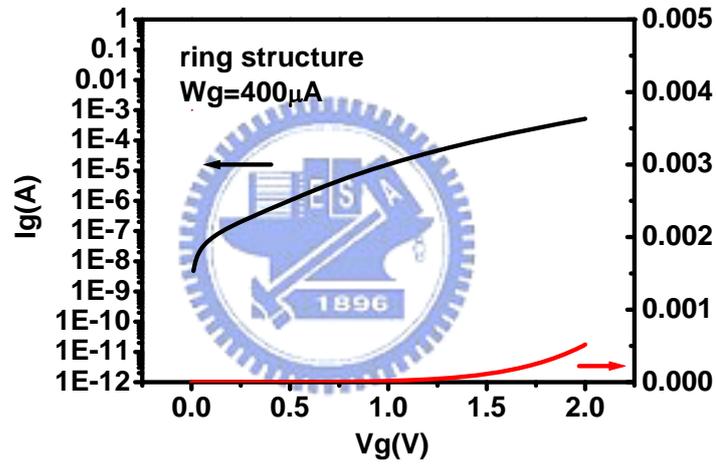


圖 5-3 閘極寬度 400 $\mu$ m 之環形結構順向偏壓下蕭特基特性

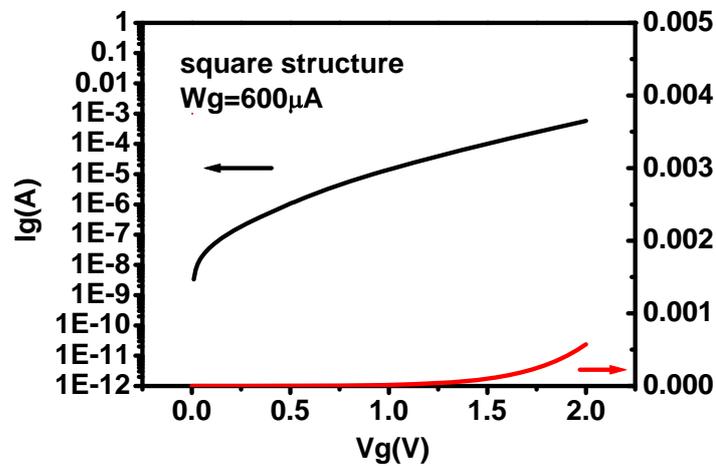


圖 5-4 閘極寬度 600 $\mu$ m 之矩形結構順向偏壓下蕭特基特性

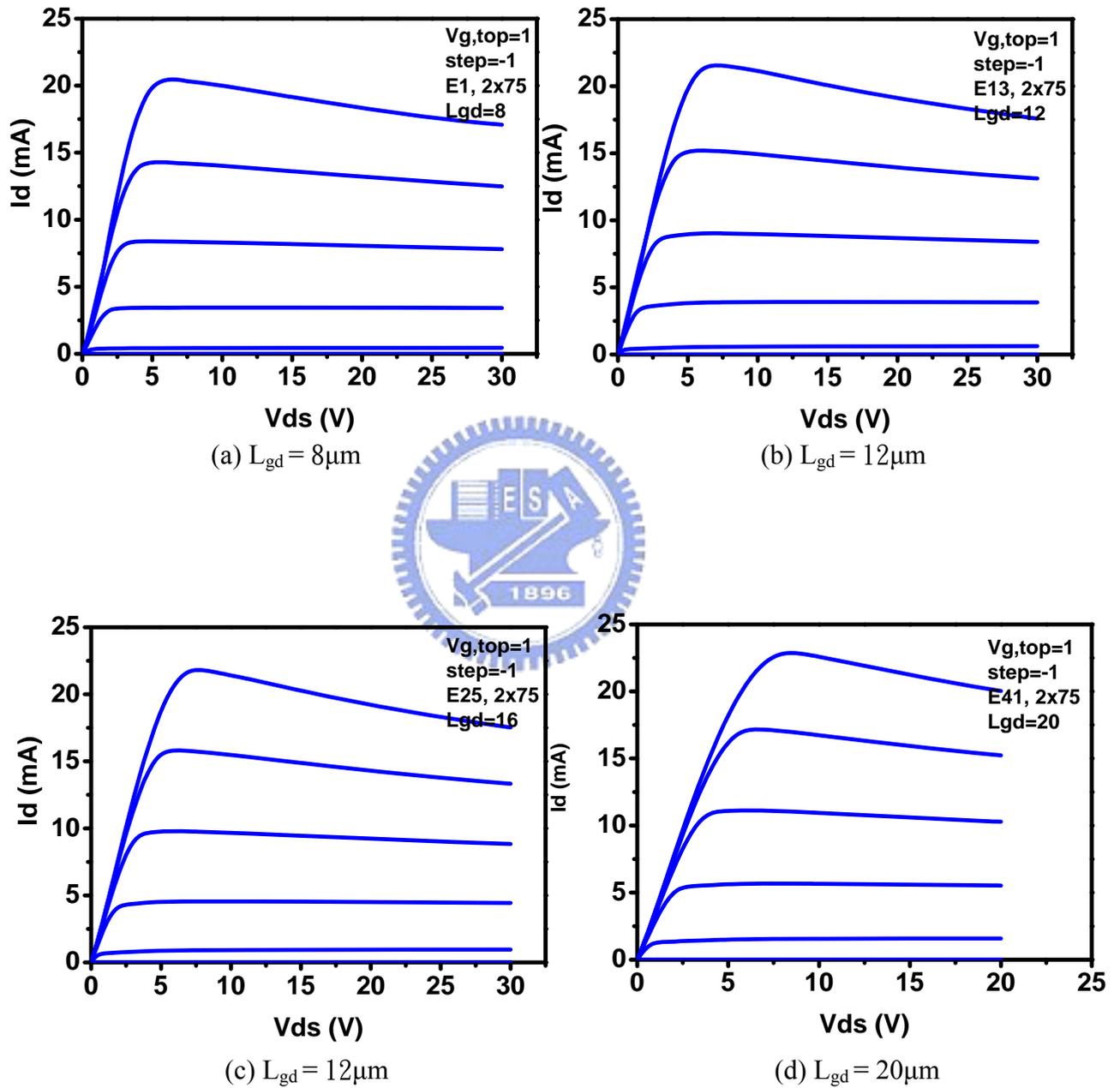
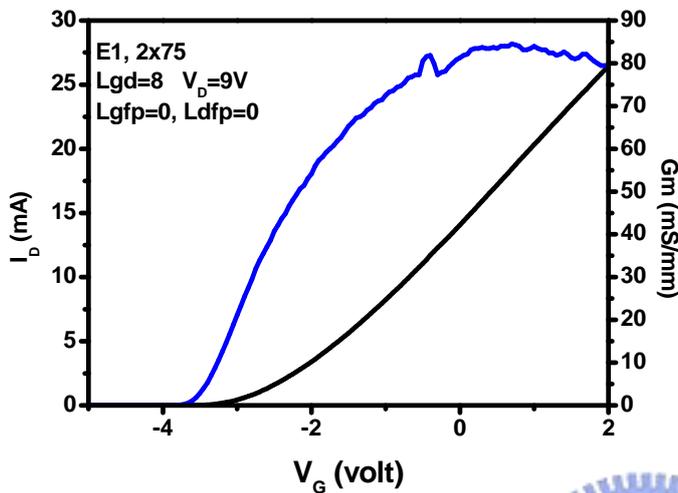
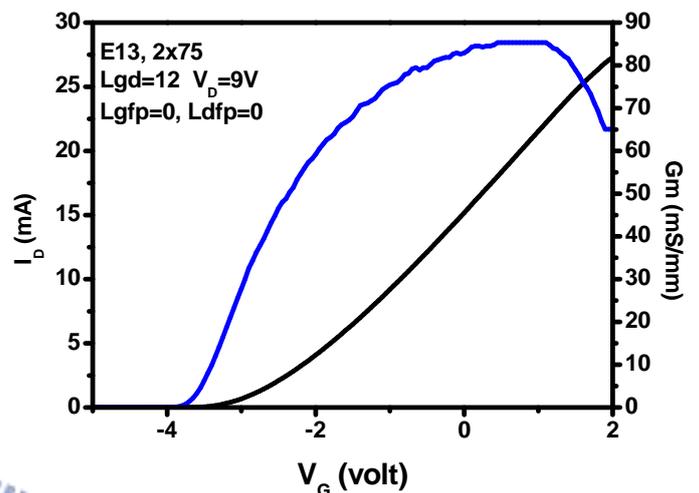


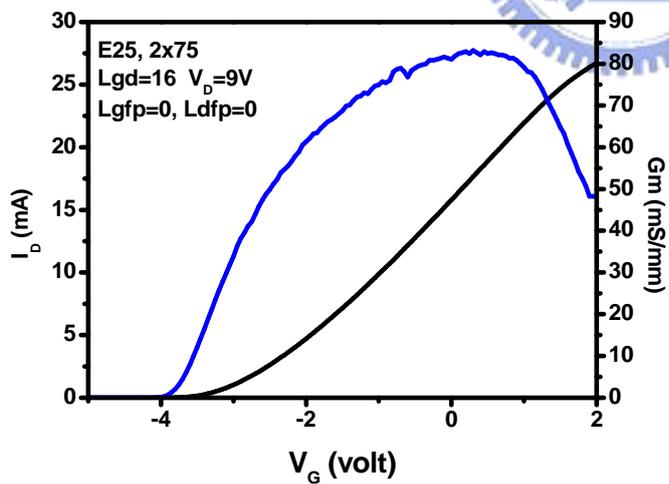
圖 5-5 無場效電板之線形結構汲極的電流對汲極電壓關係圖( $I_d$ - $V_d$ 圖)



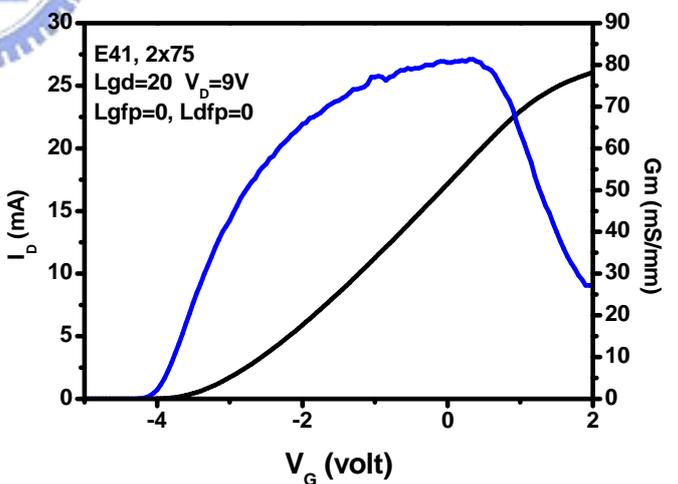
(a)  $L_{gd} = 8\mu m$



(b)  $L_{gd} = 12\mu m$

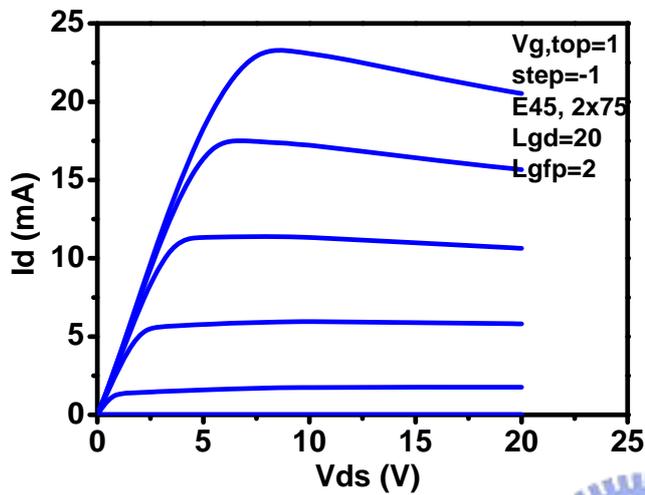


(c)  $L_{gd} = 12\mu m$

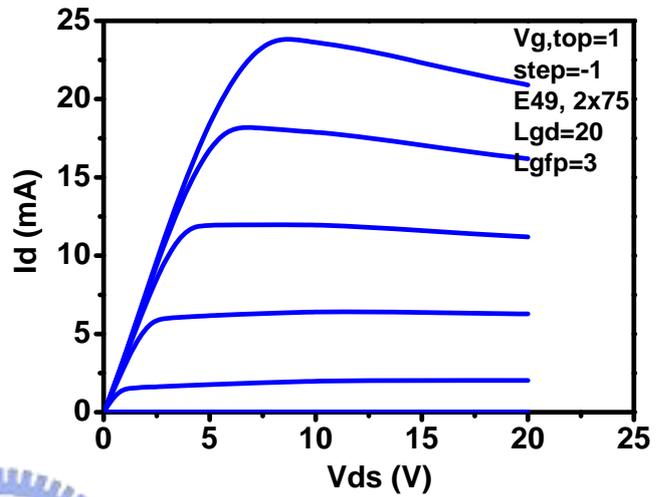


(d)  $L_{gd} = 20\mu m$

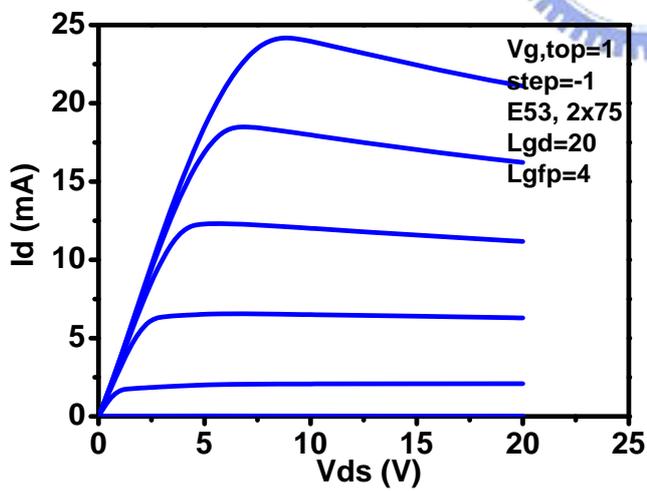
圖 5-6 無場效電板線形開極結構  $I_d$ - $V_g$  圖與轉導



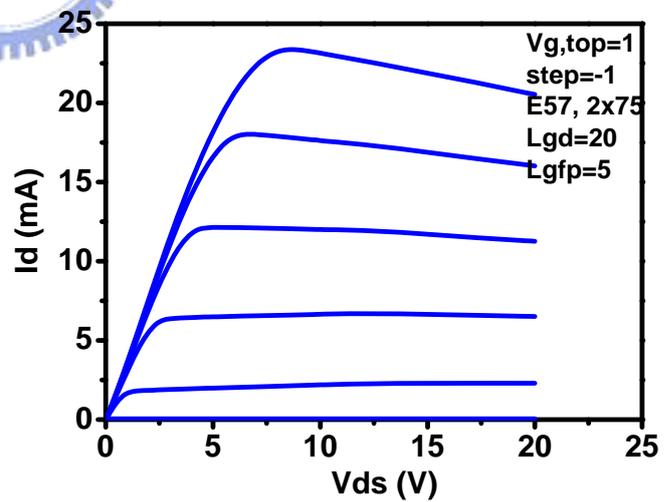
(a)  $L_{gfp}=2\mu\text{m}$



(b)  $L_{gfp}=3\mu\text{m}$



(c)  $L_{gfp}=4\mu\text{m}$



(d)  $L_{gfp}=5\mu\text{m}$

圖 5-7 有場效電板之線形結構  $I_d$ - $V_d$  圖

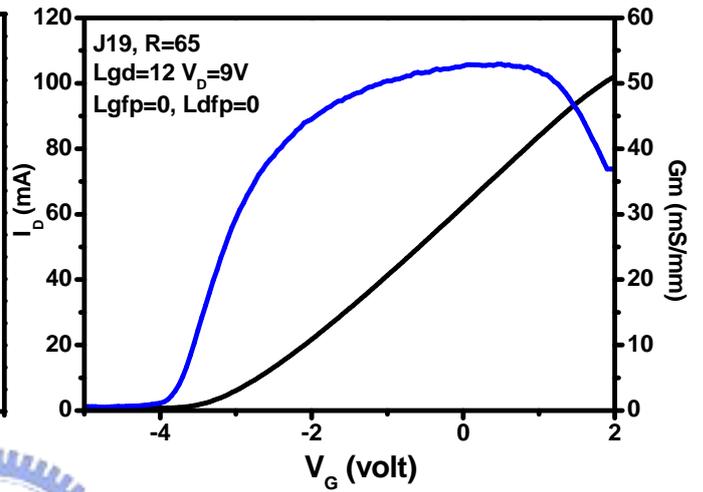
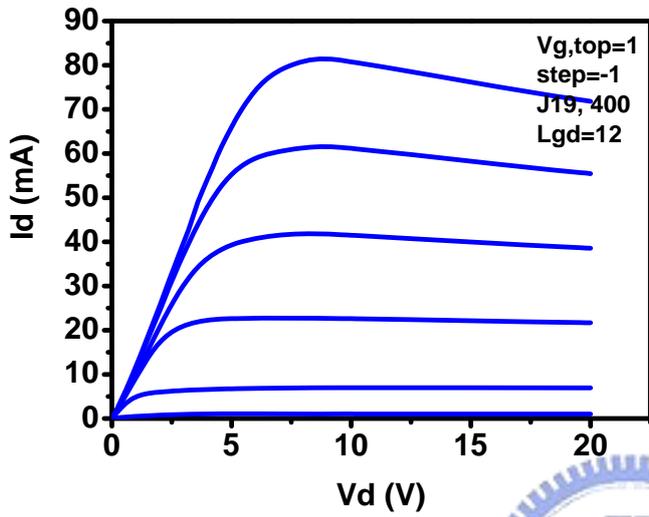


圖 5-8 無場效電板之環形結構  $I_d$ - $V_d$

圖 5-9 無場效電板環形閘極結構  $I_d$ - $V_g$  圖

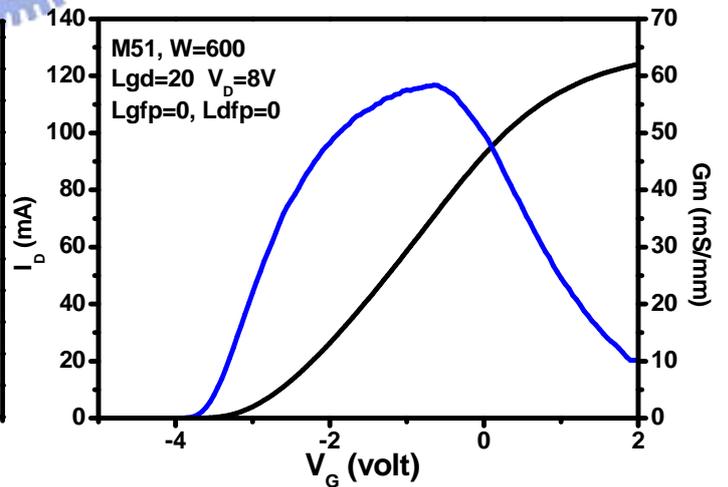
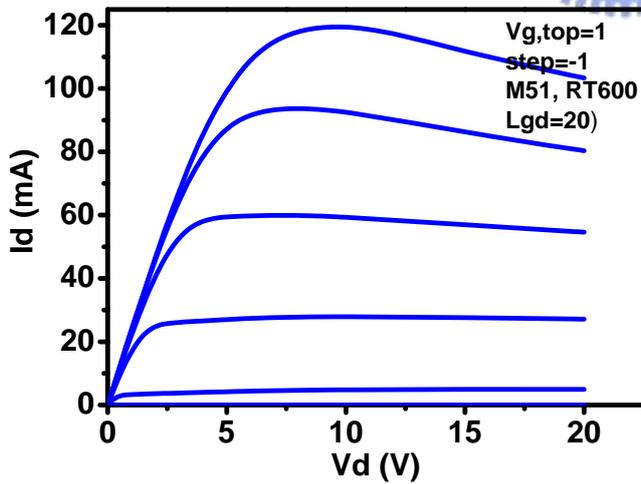


圖 5-10 無場效電板之矩形結構  $I_d$ - $V_d$

圖 5-11 無場效電板矩形閘極結構  $I_d$ - $V_g$

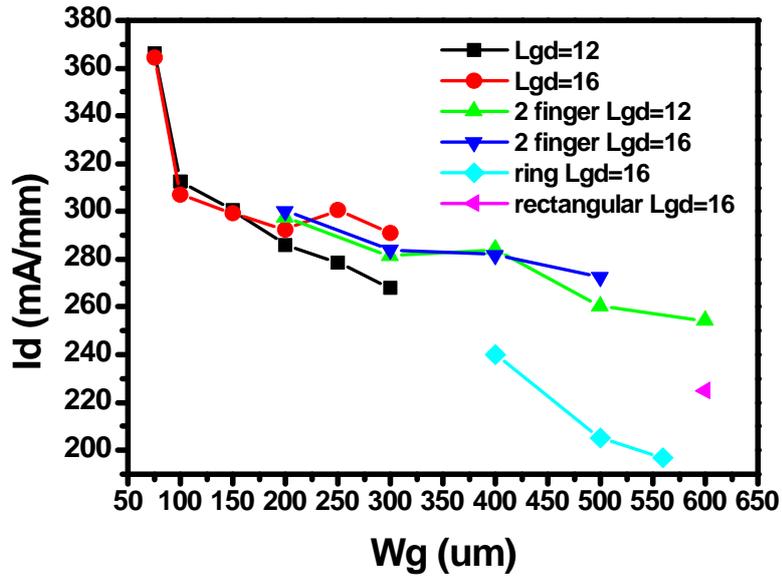


圖 5-12 不同閘極寬度對單位汲極電流關係圖

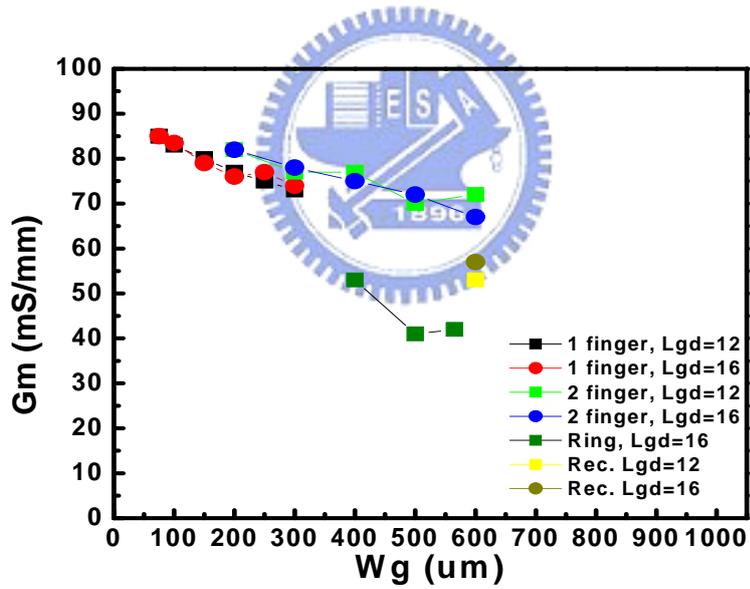


圖 5-13 不同閘極寬度對轉導的關係圖

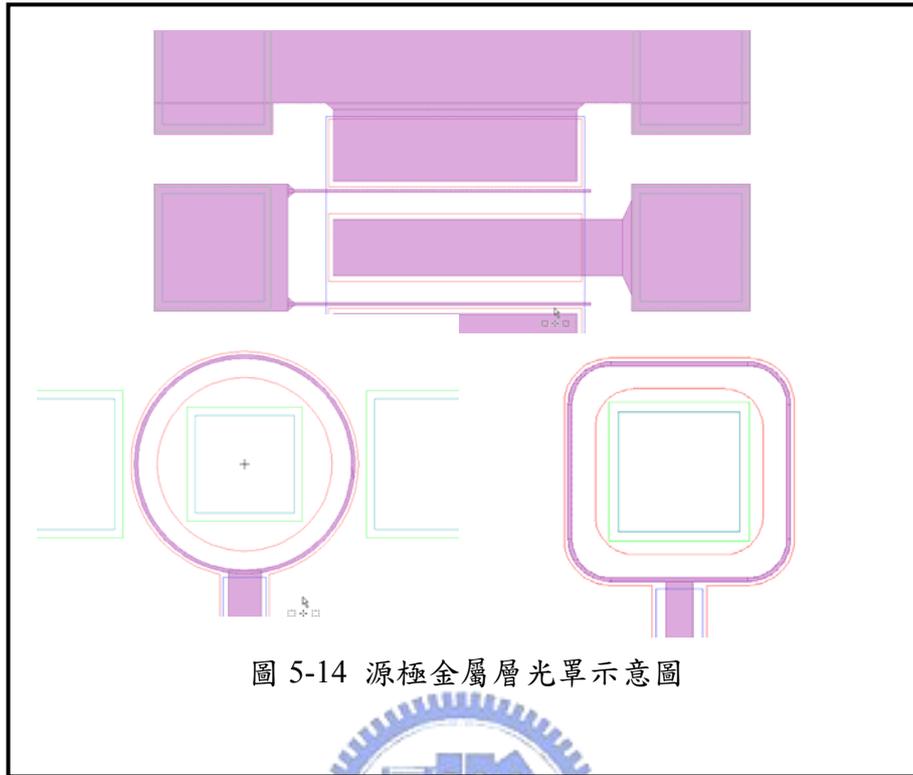


圖 5-14 源極金屬層光罩示意圖



## 5.3 元件高壓特性

### 5.3.1 高壓特性分析

圖 5-16 為線形結構裡最高崩潰電壓量測圖，閘極長度  $2\mu\text{m}$ ，閘極寬度  $75\mu\text{m}$ ，閘極對汲極寬度為  $16\mu\text{m}$ 。閘極偏壓在  $-4\text{V}$ ，off-state 下崩潰電壓的量測，其崩潰電壓為  $550\text{V}$ 。

圖 5-17 為環形結構裡最高崩潰電壓量測圖，閘極長度  $2\mu\text{m}$ ，閘極寬度  $400\mu\text{m}$ ，閘極對汲極寬度為  $20\mu\text{m}$ ，場效電板長度  $5\mu\text{m}$ 。閘極偏壓在  $-4\text{V}$ ，off-state 下崩潰電壓的量測，其崩潰電壓為  $450\text{V}$ 。

圖 5-18 為矩形結構裡最高崩潰電壓量測圖，閘極長度  $2\mu\text{m}$ ，閘極寬度  $600\mu\text{m}$ ，閘極對汲極寬度為  $20\mu\text{m}$ 。閘極偏壓在  $-4\text{V}$ ，off-state 下崩潰電壓的量測，其崩潰電壓為  $520\text{V}$ 。



圖 5-19 為線形結構加閘極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極距離為  $8\mu\text{m}$  與  $12\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-20 為線形結構加閘極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極距離為  $16\mu\text{m}$  與  $20\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-21 為線形結構加閘極汲極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極距離為  $16\mu\text{m}$ ，汲極場效電板長度分別為  $2\mu\text{m}$ 、 $3\mu\text{m}$  與  $4\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-22 為線形結構加源極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極長度為  $16\mu\text{m}$ ，其中橫座標為源極場效電板長度，縱座標為崩潰電壓。

圖 5-23 為環形結構加閘極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極長度為  $16\mu\text{m}$  與  $20\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-24 為環形結構加閘極汲極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極長度為  $16\mu\text{m}$ ，汲極場效電板長度分別為  $2\mu\text{m}$ 、 $3\mu\text{m}$  與  $4\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-25 與圖 5-26 為矩形結構加閘極場效電板的崩潰電壓分布圖，元件尺寸區塊分別為閘極到汲極長度為  $8\mu\text{m}$ 、 $12\mu\text{m}$  與  $16\mu\text{m}$ 、 $20\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。



圖 5-27 為矩形結構加閘極汲極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極長度  $16\mu\text{m}$ ，汲極場效電板長度分別為  $3\mu\text{m}$  與  $4\mu\text{m}$ ，其中橫座標為閘極場效電板長度，縱座標為崩潰電壓。

圖 5-28 為矩形結構加源極場效電板的崩潰電壓分布圖，元件尺寸區塊為閘極到汲極長度為  $16\mu\text{m}$ ，其中橫座標為源極場效電板長度，縱座標為崩潰電壓。

圖 5-29 為 off state 下線形結構與矩形結構漏電流比較圖。線形結構約為  $100\mu\text{A}/\text{mm}$ ，矩形結構約為  $5\mu\text{A}/\text{mm}$ 。

### 5.3.2 高壓特性討論

就線形結構而言，以閘極對汲極長度( $L_{gd}$ )為  $16\mu\text{m}$  的元件之崩潰電壓最大，主要分布集中 250V 到 450V 之間，當中最大崩潰電壓為 550V。而閘極對汲極長度  $8\mu\text{m}$  之元件崩潰電壓範圍在 150V 到 300V 之間，閘極對汲極長度  $12\mu\text{m}$  之元件崩潰電壓範圍在 300V 到 400V 之間，閘極對汲極長度  $20\mu\text{m}$  之元件崩潰電壓範圍在 180V 到 250V 之間。若以閘極對汲極長度來比較崩潰電壓， $V_{BV}(16\mu\text{m})$  大於等於  $V_{BV}(12\mu\text{m})$  大於  $V_{BV}(8\mu\text{m})$  大於  $V_{BV}(20\mu\text{m})$ ，然而一般而言，崩潰電壓會隨著的閘極對汲極長度增加而提升，直到特定長度飽和後就不再增加，在這裡  $16\mu\text{m}$  以內都還蠻合理的，然而  $20\mu\text{m}$  的在此處的崩潰電壓卻表現不太好，。最主要的原因有可能是因為 wafer 此區域的磊晶品質不佳所造成，從元件的分布範圍對崩潰電壓值更可以確定這點，此區域的元件普遍崩潰電壓都偏低可是卻沒有過高的閘極漏電流，因此最有可能造成此區崩潰電壓下降的原因就是 wafer 磊晶品質所造成。



從場效電板對於崩潰電壓關係圖來做比較，發現無論是閘極場效電板、閘極汲極場效電板，或者是源極電板的元件，崩潰電壓範圍幾乎都在 250V 到 400V 之間，這似乎表示場效電板對於元件崩潰電壓的提升效果不大。

場效電板元件在量測崩潰電壓時，峰值電場最主要發生在三個地方，第一，閘極邊緣靠汲極處、第二，場效電板邊緣靠汲極處、第三，汲極邊緣。因此若是進一步的去分析，會發現在場效電板電極下方的 SiN 鈍化層，有著極高的尖端電場，因此在元件耐壓考量中，我們也應該去注意到鈍化層耐壓的問題，這也是我們先前所忽略的。參看圖 5-29<sup>[11]</sup>可以發現，當降低 SiN 層的厚度時，場效電板的作用較明顯，閘極與汲極邊緣處的尖端電場降低，然而相對的在場效電板下的尖端電場卻提升，反之當 SiN 層厚度增加時電板下方的電場就降低許多。因此在

SiN 層厚度與場效電板的作用之間需要好好的考量並取得平衡。SiN 的耐壓的考量除了厚度以外，另外還要對沉積的製程條件改善，藉此得到最佳品質與最佳厚度的 SiN 層，這也是將來一個重要的課題。

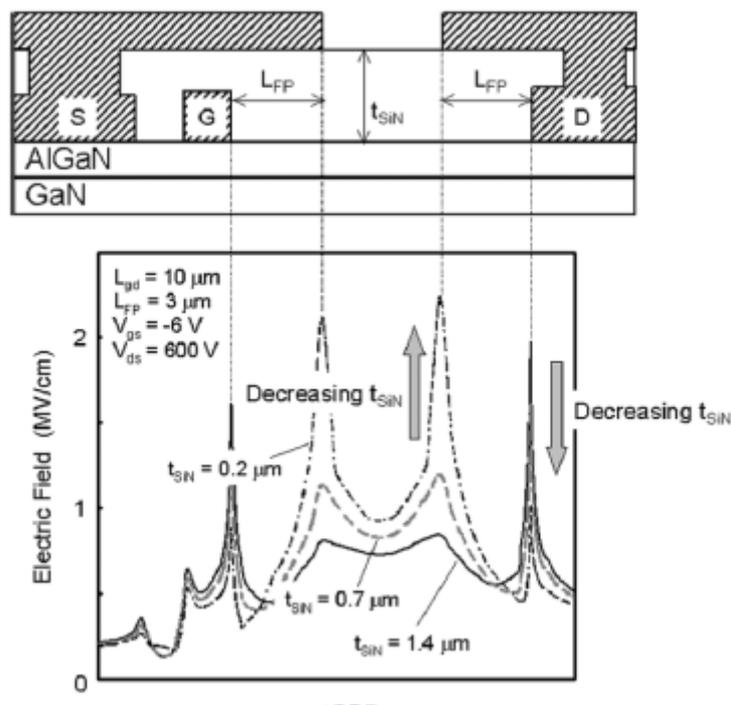


圖 5-15 場效電板元件電廠分布圖與介電層關係<sup>[11]</sup>

而這次之所以場效電板對元件崩潰電壓的改善並不明顯最主要的原因有可能就是因為場效電板下方的尖端電場超過了 SiN 層的崩潰電場而使 SiN 層先崩潰了，進導致元件崩潰。

就環形結構而言，對於閘極對汲極長度  $16\mu\text{m}$  之元件崩潰電壓範圍在  $280\text{V}$  到  $450\text{V}$  之間，閘極對汲極長度  $20\mu\text{m}$  之元件崩潰電壓範圍在  $250\text{V}$  到  $420\text{V}$  之間。場效電板對崩潰電壓的影響依舊不明顯。

就矩形結構而言，閘極對汲極長度  $8\mu\text{m}$  之元件崩潰電壓範圍在 250V 到 400V 之間，閘極對汲極長度  $12\mu\text{m}$  之元件崩潰電壓範圍在 320V 到 450V 之間，閘極對汲極長度  $16\mu\text{m}$  之元件崩潰電壓範圍在 350V 到 500V 之間，最後閘極對汲極長度  $20\mu\text{m}$  之元件崩潰電壓範圍在 350V 到 520V 之間，統整一下，以閘極對汲極長度來比較崩潰電壓， $V_{BV}(20\mu\text{m})$  約等於  $V_{BV}(16\mu\text{m})$  大於  $V_{BV}(16\mu\text{m})$  大於  $V_{BV}(8\mu\text{m})$ ，這符合了預期的結果，另外也可以知道將來就同樣的晶片崩潰電壓設計時，閘極對汲極長度達到  $16\mu\text{m}$  即可。

就幾何結構來比較崩潰電壓的話，結果是矩形結構大於環形結構，而線形結構最小，另外我們還可以發現，矩形與環形結構崩潰電壓變動範圍比線形結構的變動範圍來的小，主要的原因在於封閉式的結構，其閘極只會有一處跨過主動區邊緣，線形結構則有兩處跨過主動區邊緣，由於主動區邊緣的缺陷(defect)與製程有很大的關係且破壞的程度較無法掌握，這些原因使得線形結構崩潰電壓的變動範圍比起封閉式結構來的大，其他造成崩潰電壓變動的原因還有 wafer 本身磊晶的品質與均勻性還有製程好壞(像是 schottky gate 做得好不好)等等，這些都會影響到元件崩潰電壓的表現。另外由於封閉式結構的閘極是封閉性的，不像傳統線形結構有起始端與末端，不會有像線形結構閘極尖端峰值電場的情形發生，這使得封閉式結構的電場發布更加均勻。也因此耐壓上有較出色的表現。由圖 5-28 再進一步的去觀察元件在關閉(off state)時的單位閘極源極漏電流( $I_{GS}$ )與單位汲極源極漏電流( $I_{DS}$ )，可以發現矩形封閉式結構比起傳統線形結構小了至少一個數量級，我們知道 off state 的漏電流是觀察崩潰一個重要的依據，從這裡更可以證明了封閉式結構比起傳統線形結構可以有效的改善元件的崩潰電壓。

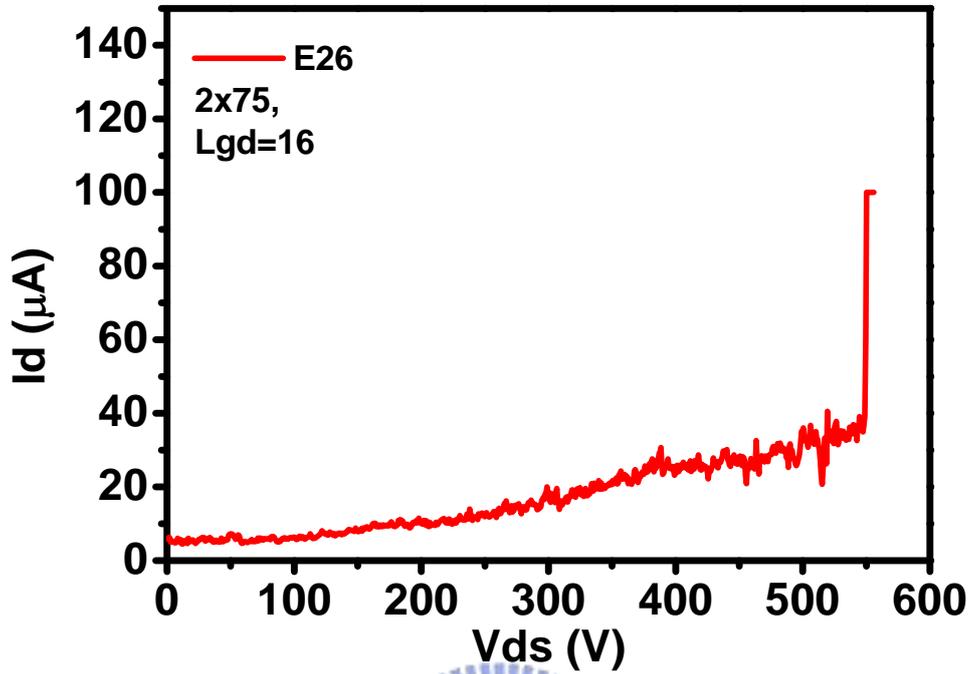


圖 5-16 線形結構最高崩潰電壓量測圖

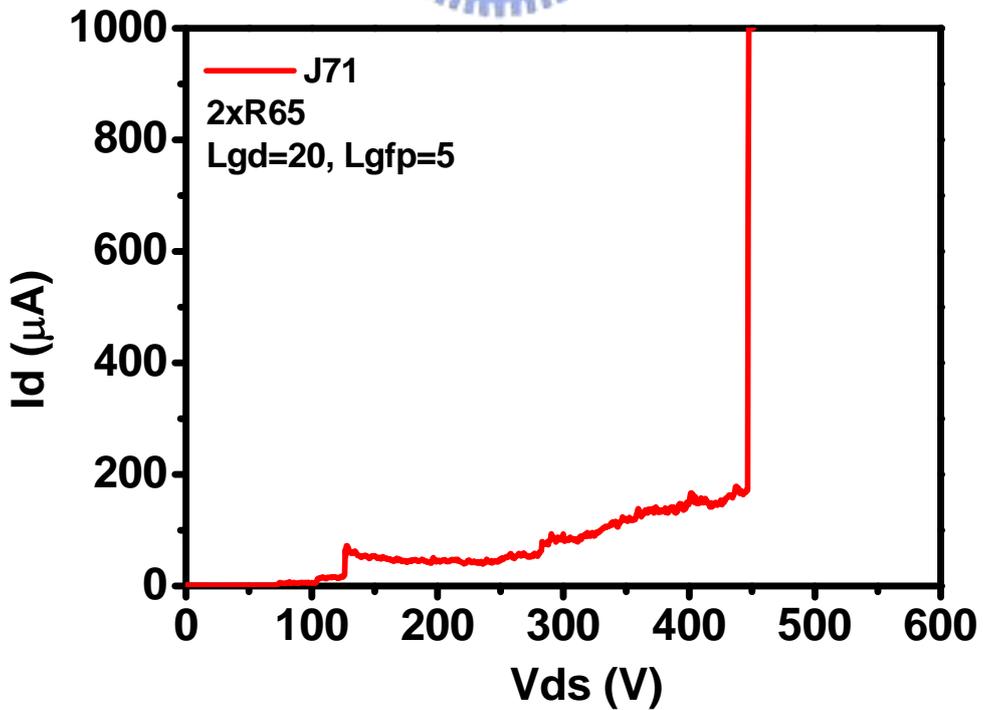


圖 5-17 環形結構最高崩潰電壓量測圖

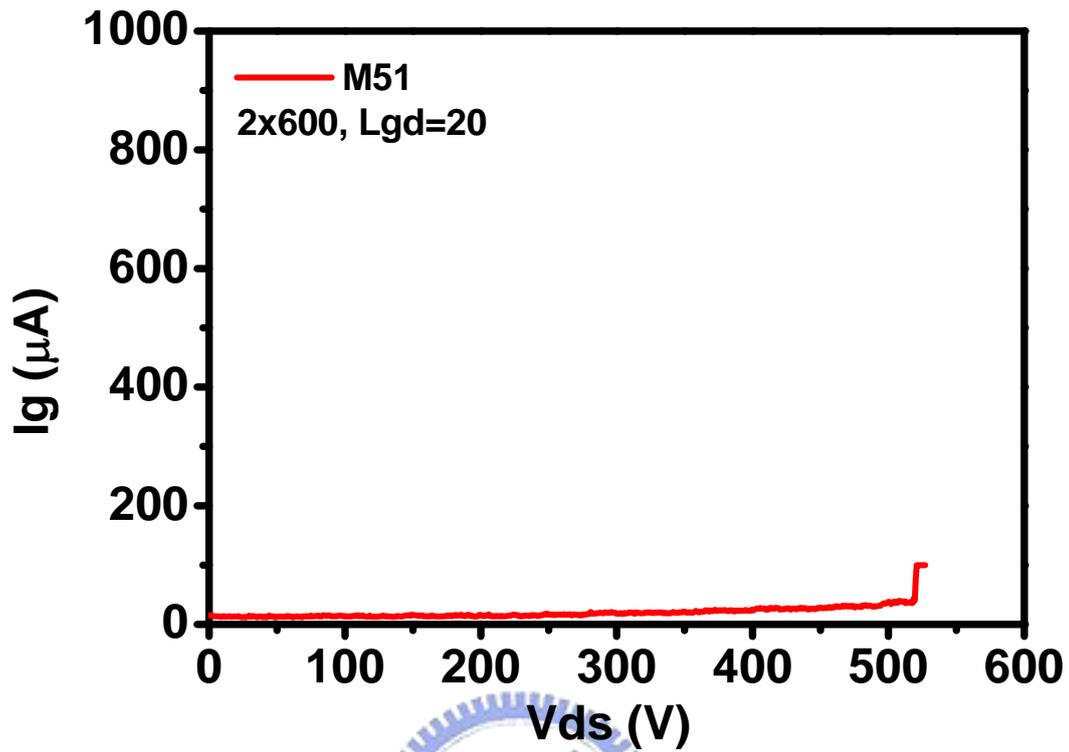


圖 5-18 矩形結構最高崩潰電壓量測圖

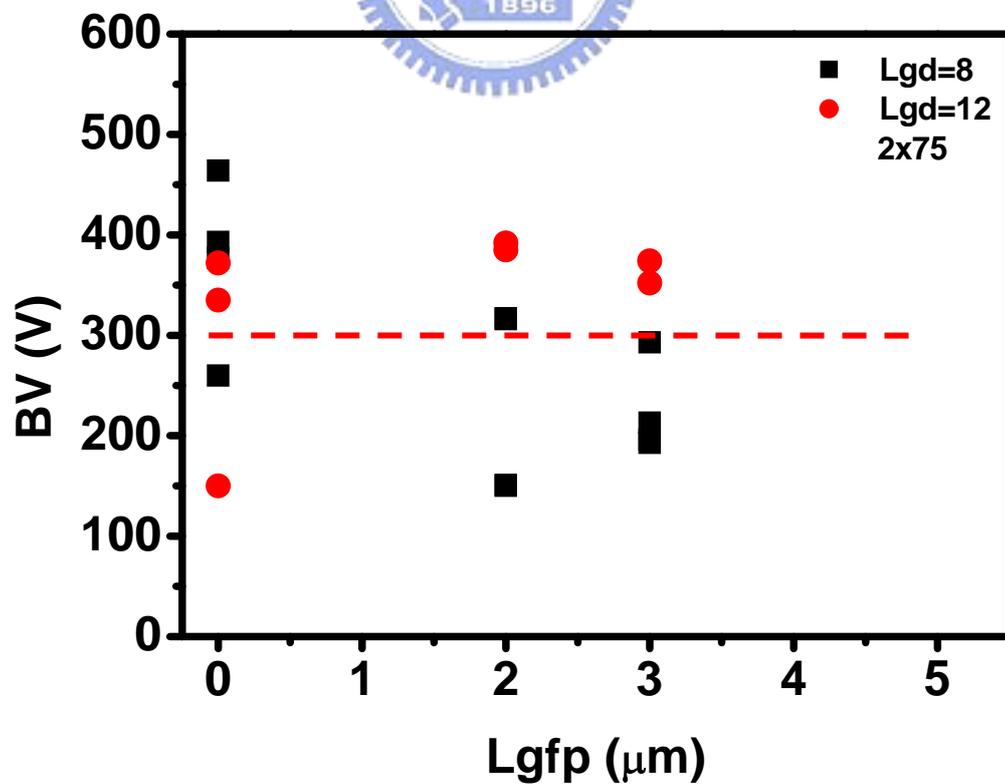


圖 5-19 開極電板線形結構  $L_{gd}=8\mu\text{m}$  和  $12\mu\text{m}$  崩潰電壓分布圖

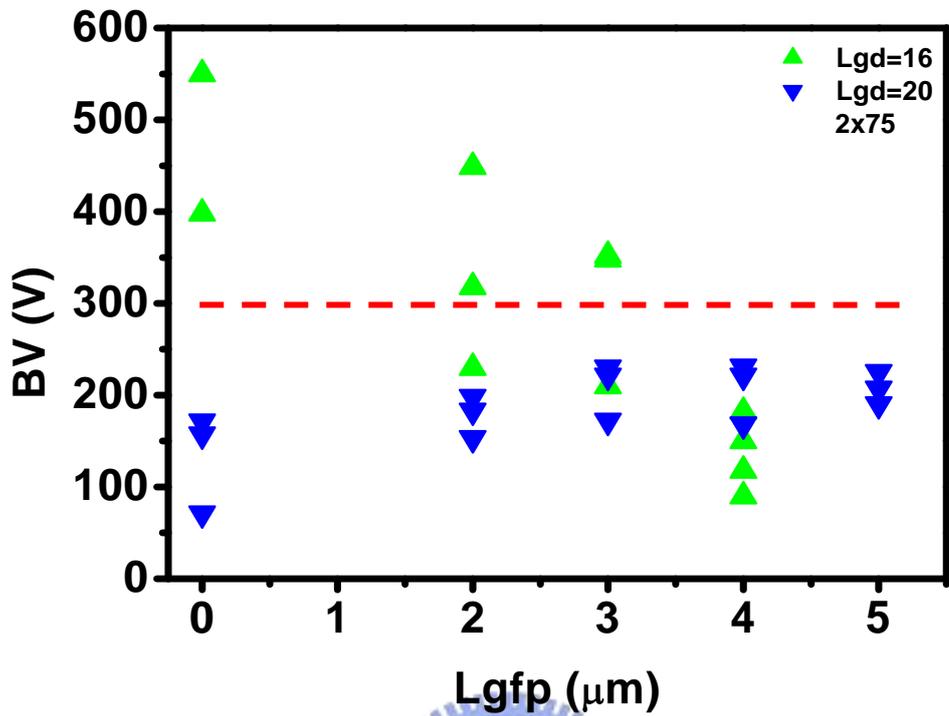


圖 5-20 閘極電板線形結構  $L_{gd}=16\mu\text{m}$  和  $20\mu\text{m}$  崩潰電壓分布圖

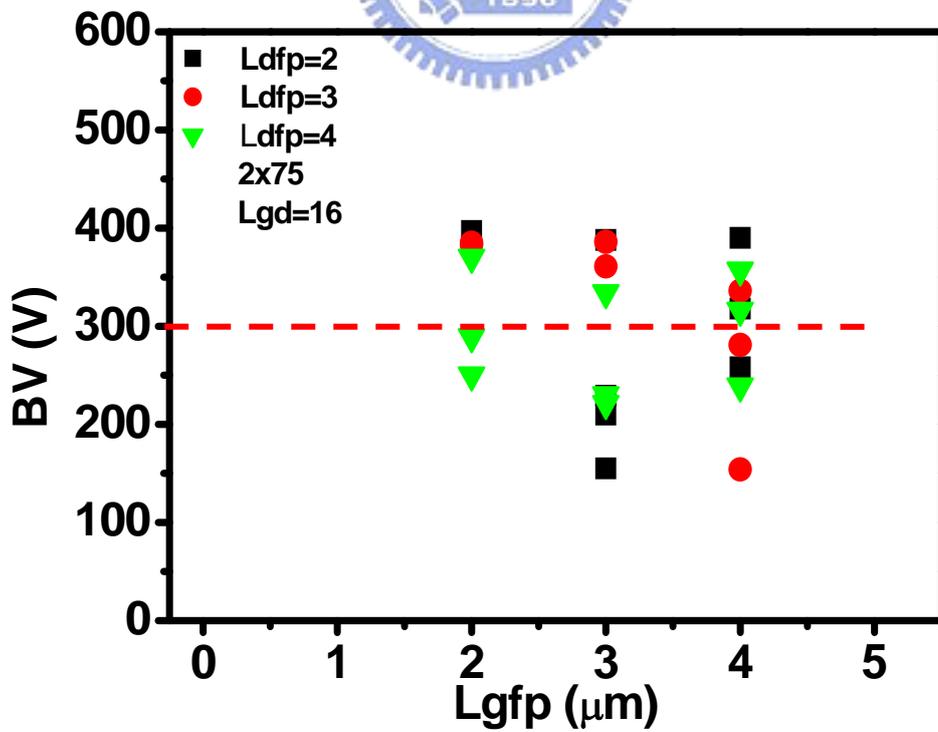


圖 5-21 閘極汲極電板線形結構崩潰電壓分布圖

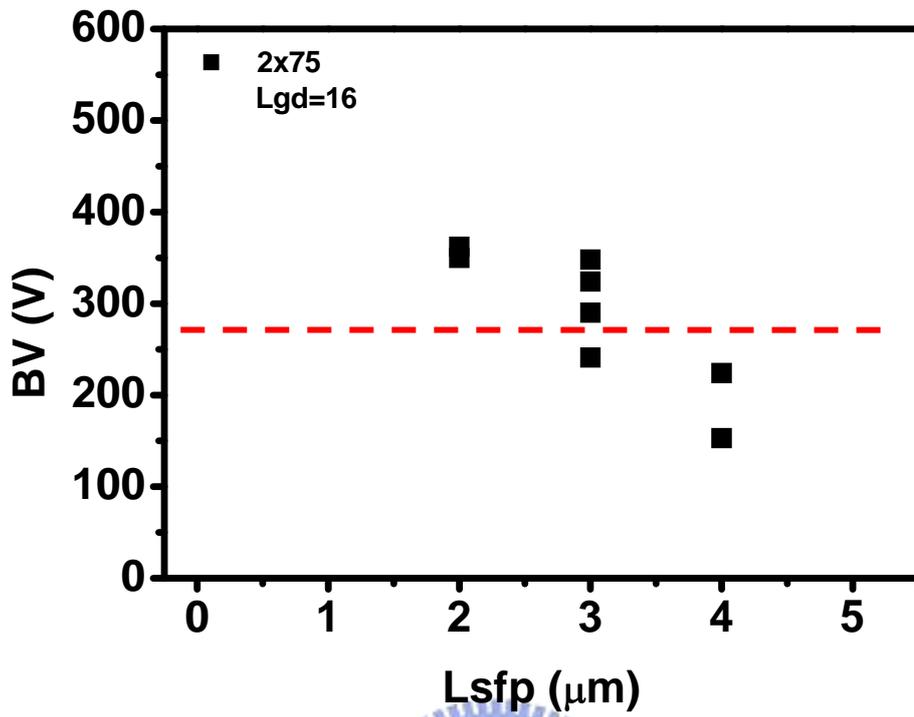


圖 5-22 源極電板線形結構崩潰電壓分布圖

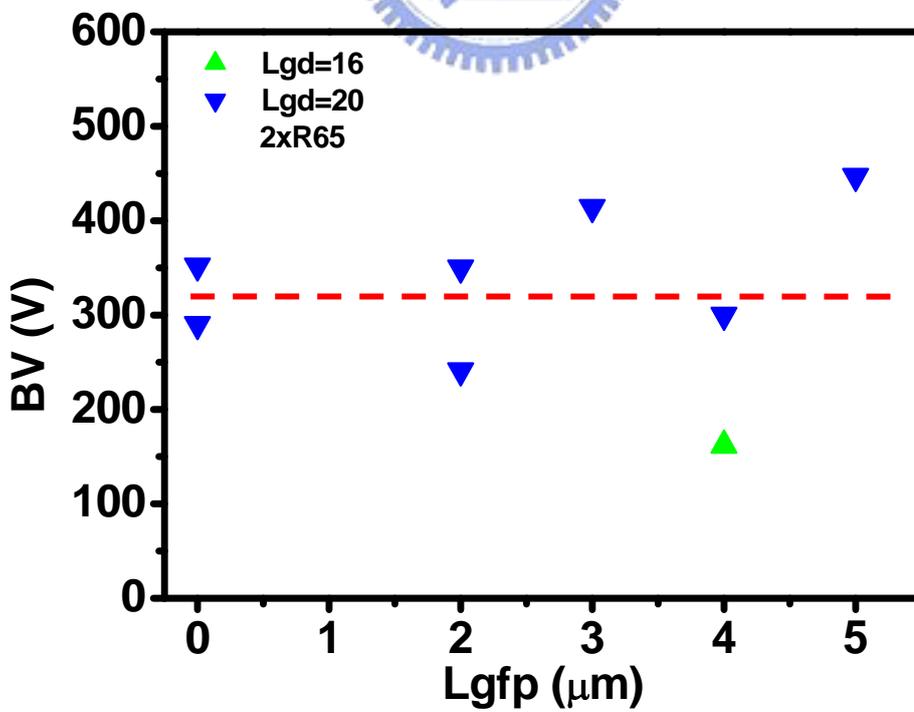


圖 5-23 閘極電板環形結構  $L_{gd}=16\mu\text{m}$  和  $20\mu\text{m}$  崩潰電壓分布圖

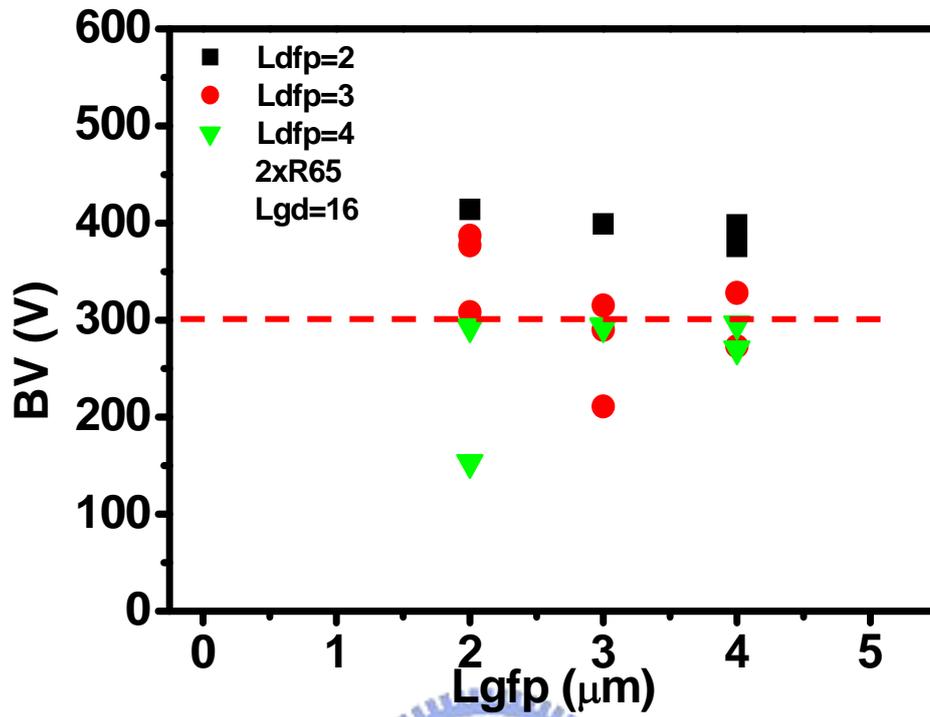


圖 5-24 開極汲極電板環形結構崩潰電壓分布圖

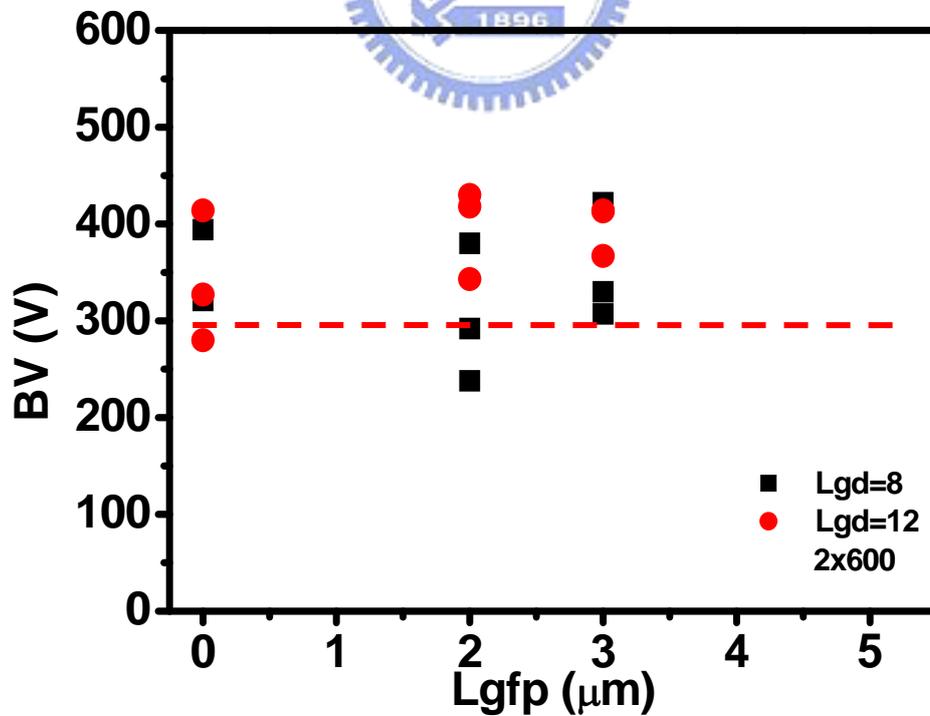


圖 5-25 開極電板矩形結構  $L_{gd}=8\mu\text{m}$  和  $12\mu\text{m}$  崩潰電壓分布圖

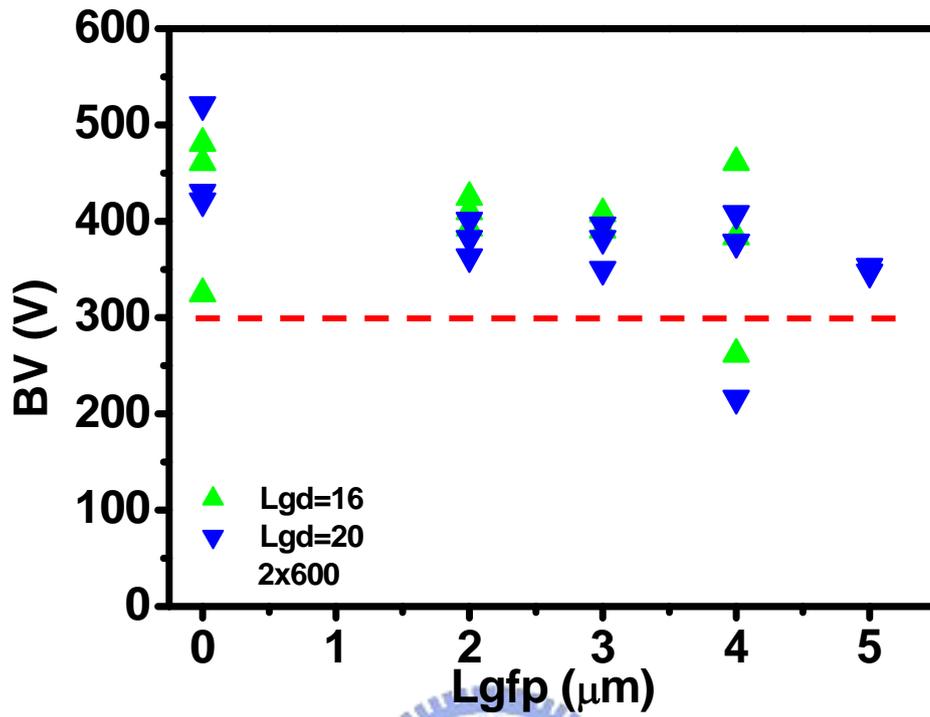


圖 5-26 開極電板矩形結構  $L_{gd}=16\mu\text{m}$  和  $20\mu\text{m}$  崩潰電壓分布圖

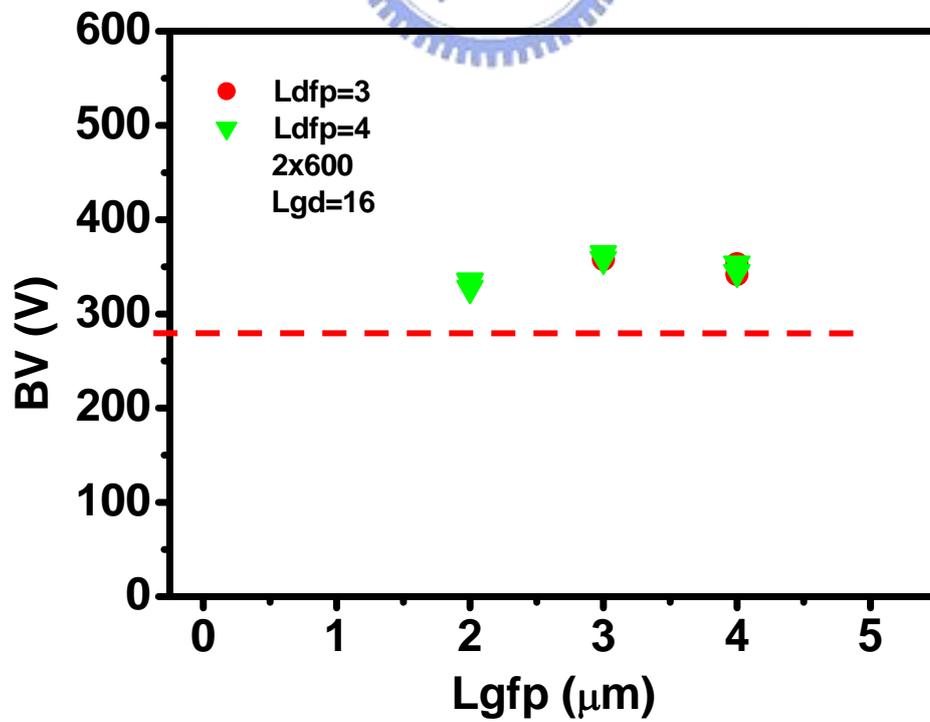


圖 5-27 開極汲極電板矩形結構崩潰電壓分布圖

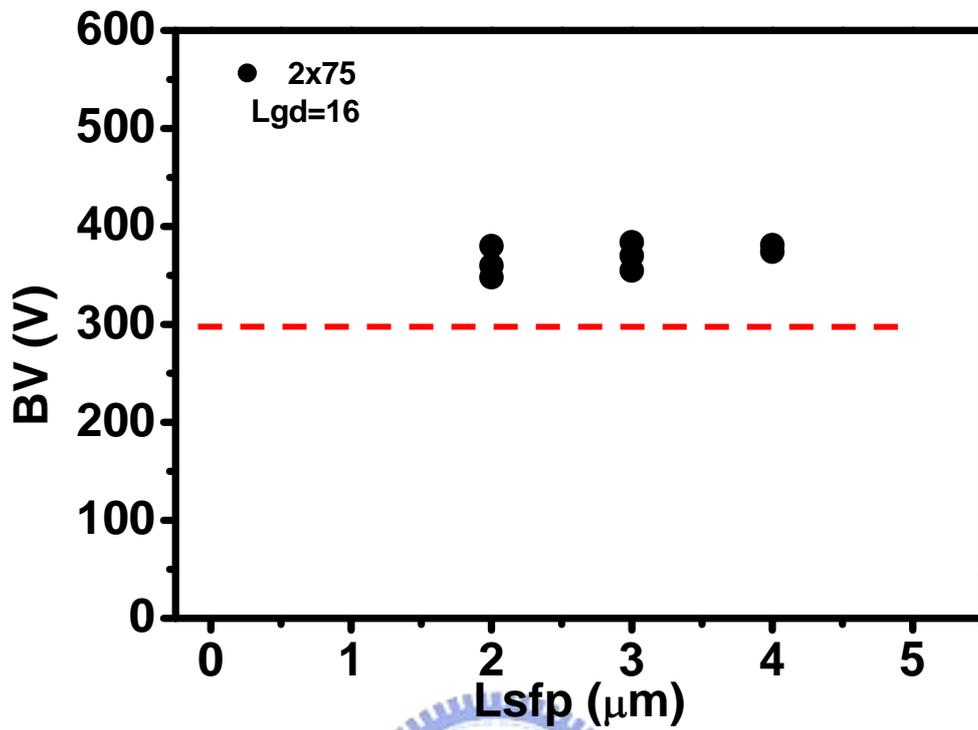


圖 5-28 源極電板環形結構崩潰電壓分布圖

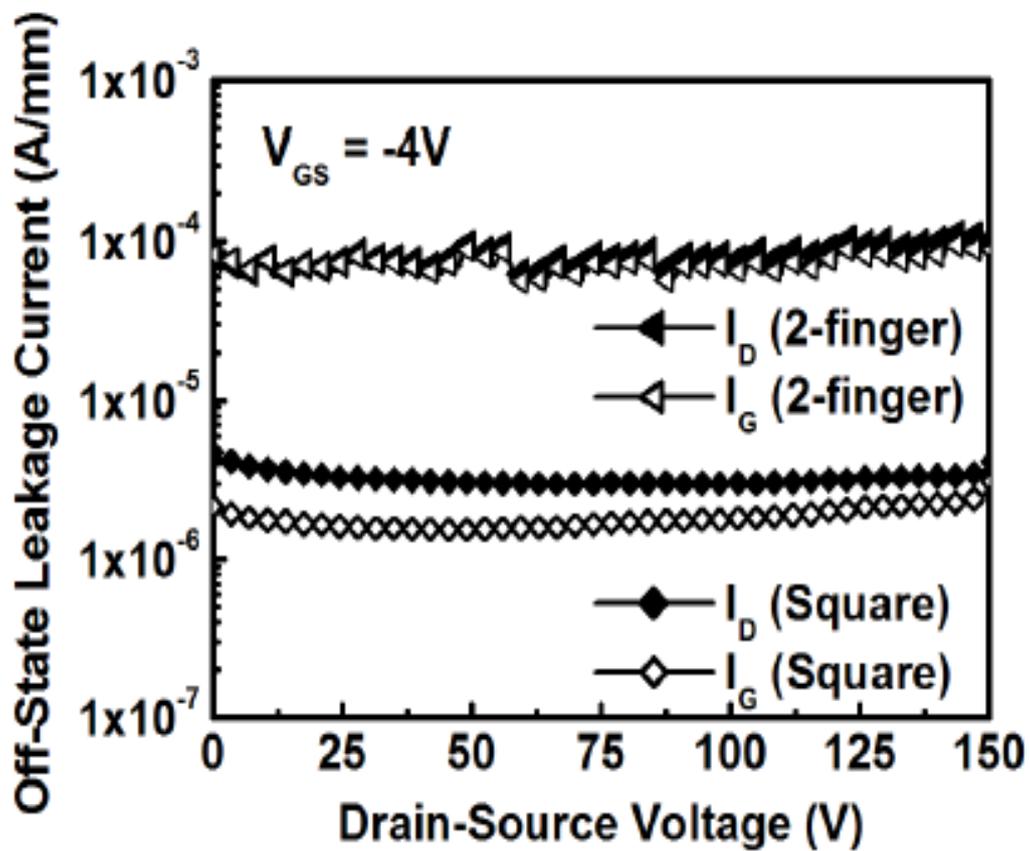


圖 5-29 off state 線形結構與矩形結構漏電流

### 5.3.3 導通電阻分析

圖 5-30 是線形結構導通電阻的分布圖，橫座標是閘極電板長度，縱座標是導通電阻大小(on resistance,  $\text{m}\Omega\text{-cm}^2$ )，以閘極對汲極長度分布作群組，分別為  $8\mu\text{m}$ 、 $12\mu\text{m}$ 、 $16\mu\text{m}$  跟  $20\mu\text{m}$ ，導通電阻分別為  $2 \text{ m}\Omega\text{-cm}^2$ 、 $2.8 \text{ m}\Omega\text{-cm}^2$ 、 $3.6 \text{ m}\Omega\text{-cm}^2$  和  $4.7 \text{ m}\Omega\text{-cm}^2$ ，具有一致的規律分布。

圖 5-31 是環形結構導通電阻的分布圖，橫座標是閘極電板長度，縱座標是導通電阻大小(on resistance,  $\text{m}\Omega\text{-cm}^2$ )，以閘極對汲極長度分布作群組，分別為  $8\mu\text{m}$ 、 $12\mu\text{m}$ 、 $16\mu\text{m}$  跟  $20\mu\text{m}$ ，導通電阻分別為  $2.7 \text{ m}\Omega\text{-cm}^2$ 、 $3.6 \text{ m}\Omega\text{-cm}^2$ 、 $4.6 \text{ m}\Omega\text{-cm}^2$  和  $6.1 \text{ m}\Omega\text{-cm}^2$ ，一樣具有一致的規律分布。

圖 5-32 是矩形結構導通電阻的分布圖，橫座標是閘極電板長度，縱座標是導通電阻大小(on resistance,  $\text{m}\Omega\text{-cm}^2$ )，以閘極對汲極長度分布作群組，分別為  $8\mu\text{m}$ 、 $12\mu\text{m}$ 、 $16\mu\text{m}$  跟  $20\mu\text{m}$ ，導通電阻分別為  $3.2 \text{ m}\Omega\text{-cm}^2$ 、 $4.1 \text{ m}\Omega\text{-cm}^2$ 、 $5 \text{ m}\Omega\text{-cm}^2$  和  $6.1 \text{ m}\Omega\text{-cm}^2$ ，一樣具有一致的規律分布。

### 5.3.4 導通電阻討論

導通電阻定義為元件在小偏壓下時導通的電阻乘以主動區大小，在這次的量測當中，小偏壓下時導通的電阻( $R = V_D / I_D$ ,  $V_D < 1V$ )都很接近，例如線形結構不同的閘極對汲極長度下所計算出來的電阻都在  $3.4k\Omega$  附近，也就是隨著閘極到汲極的距離的增加，小偏壓下時導通的電阻並沒有太大的差異，這最主要是因為二維電子氣的關係使得通道阻值很非常低的關係，所以儘管通道長度增加，阻值變動不大。這次實驗裡導通電阻有很規律的分布，隨著閘極到汲極的距離的增加，導通電阻也隨著增加，這主要是隨著閘極到汲極的距離增加，主動區(active region)也跟著增加。除了主動區大小外，導通電阻的大小與接觸電阻和漂移電阻大小有關。因此若想要有較低的導通電阻，除了控制好主動區大小跟汲極源極接觸區大小(與 transfer length 有關)，還要藉由製成最佳化來改善接觸電阻<sup>[15]</sup>。

比較三種結構(以閘極對汲極長度  $8\mu m$  為例)，環形( $2.8m\Omega\text{-cm}^2$ )與矩形( $3.1m\Omega\text{-cm}^2$ )的導通電阻高於線形結構( $2m\Omega\text{-cm}^2$ )的導通電阻，這是因為環形與矩形結構比起線形結構有較大源極電阻，而導致較高的導通電阻。比起在文獻上 GaN HEMTs 的導通電阻( $R_{on}=6 m\Omega\text{-cm}^2$ ，崩潰電壓  $1050V$ <sup>[16]</sup>或者是  $R_{on}=3.9 m\Omega\text{-cm}^2$ ，崩潰電壓  $470V$ <sup>[6]</sup>)，整體而言本次實驗的導通電阻仍然偏高。最主要是因為在本次製程所製作的接觸電阻較高( $2.15m\Omega\text{-mm}$ )，尚未最佳化，若能有效地再降低接觸電阻將可使導通電阻有更好的表現。除此之外，由於導通電阻是元件在導通時的電阻乘以主動區大小，因此還有就是要對主動區與源極汲極歐姆接觸面積做出最佳化的設計，藉此降低主動區面積改善導通電阻，也是個很重要的方向。

若以本次實驗所得到的導通電阻結果與 Si 功率元件做比較，在理想模擬下 Si 功率元件在可承受崩潰電壓 300V 下，其導通電阻理想值為  $10 \text{ m}\Omega\text{-cm}^2$ ，而本次實驗結果中導通電阻的最大值  $6.4 \text{ m}\Omega\text{-cm}^2$  也小於 Si 的理想值，而且其崩潰電壓也都有很理想的表現，這也正映證了 GaN HEMTs 就高壓元件的應用是一個很大的優勢。



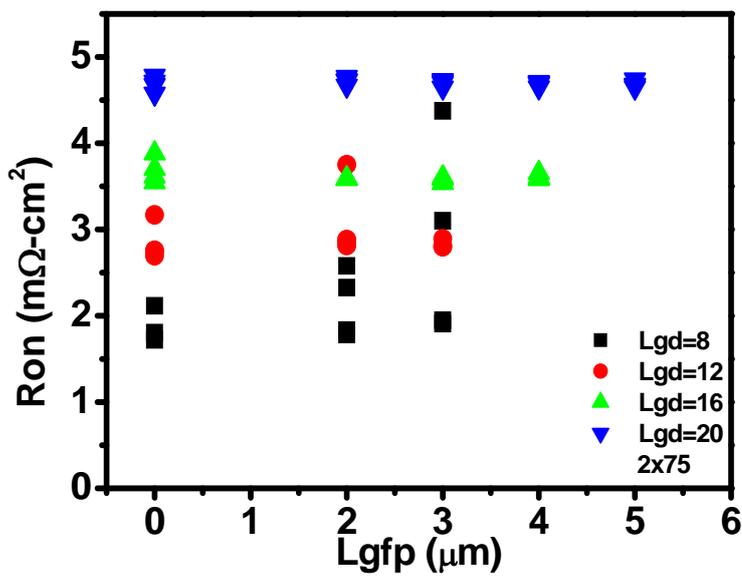


圖 5-30  
線形結構導通電阻的分布

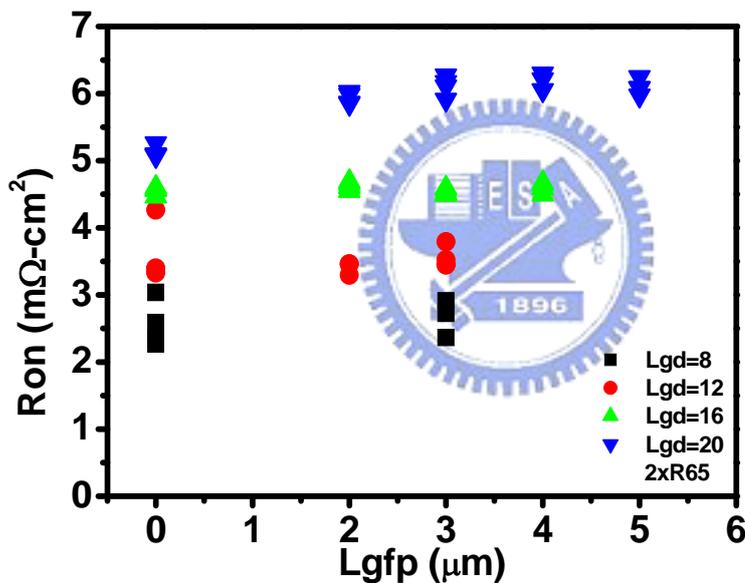


圖 5-31  
環形結構導通電阻的分布

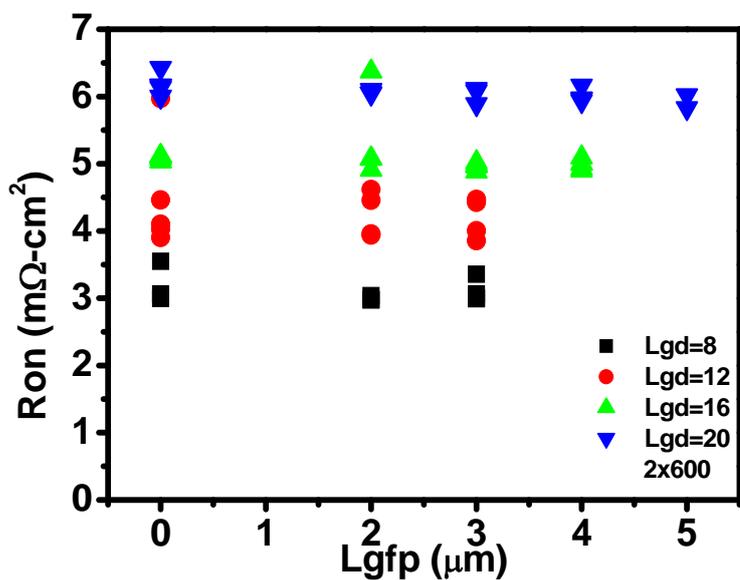


圖 5-32  
矩形結構導通電阻的分布

## 5.4 Current Collapse 與 Gate lag

### 5.4.1 Current Collapse 與 Gate lag 分析

圖 5-33 是線形結構 current collapse 的量測結果，元件結構為閘極長度  $2\mu\text{m}$ ，閘極寬度  $75\mu\text{m}$ ，閘極到源極距離  $2\mu\text{m}$ ，閘極到汲極距離  $16\mu\text{m}$ 。在  $16\text{V}$  時，collapse factor ( $\Delta I / I_{\text{max}}$ ) 為  $20.2\%$ 。

圖 5-34 是矩形結構 current collapse 的量測結果，元件結構為閘極長度  $2\mu\text{m}$ ，閘極寬度  $600\mu\text{m}$ ，閘極到源極距離  $2\mu\text{m}$ ，閘極到汲極距離  $16\mu\text{m}$ 。在  $16\text{V}$  時，collapse factor ( $\Delta I / I_{\text{max}}$ ) 為  $6.2\%$ 。

圖 5-35 與圖 5-36 是線形結構(尺寸同圖 5-73)與矩形結構(尺寸同圖 5-74)之 gate lag 量測結果，閘極給一個  $-4$  到  $0$  的 pulse，此 pulse 的週期 duty cycle 分別為  $0.1$  秒與  $50\%$

## 5.4.2 Current Collapse 與 Gate lag 討論

就 current collapse 的量測結果而言，矩形結構在 16V 時的 collapse factor( $\Delta I / I_{\max}$ )為 6.2% 很明顯的小於線形結構所量得的 20.2%。這說明 current collapse 在封閉式結構所造成的影響比起線形傳統結構來的和緩。

而就 gate lag 的量測，可以發現當隨著汲極偏壓增加時，線形結構的 gate lag 效應比起矩形結構變得嚴重許多，這也符合 current collapse 的結果。

Current collapse 與 gate lag 的成因是當元件在關閉的時候，因為閘極對汲極因為逆偏壓而存在一個大電場，而造成非常少量的漏電流，而這些漏電流的電子被表面狀態(surface state)所補陷，進而在表面形成負電位而空乏通道裡的二維電子氣，當元件打開時因為放電時間常數的關係使得通道無法立即全部開啟而使得輸出電流下降<sup>[13][14]</sup>。

由上面的成因可知，造成 current collapse 與 gate lag 的主要原因有兩個，一個是表面狀態，一個是大電場時所造成閘極的漏電流，而矩形封閉式結構的優點正是，其閘極只會有一處跨過主動區邊緣，線形結構至少兩處以上，而主動區邊緣因為蝕刻的關係，缺陷較多，會使得 current collapse 與 gate lag 情況較嚴重。另外因為閘極是封閉性的，沒有像傳統線形結構的閘極在尖端處有較大的峰值電場存在之問題，因此有較均勻的電場分布。相較之下封閉式結構在 current collapse 與 gate lag 上應該要有較好的表現，而這次的結果也符合預期。

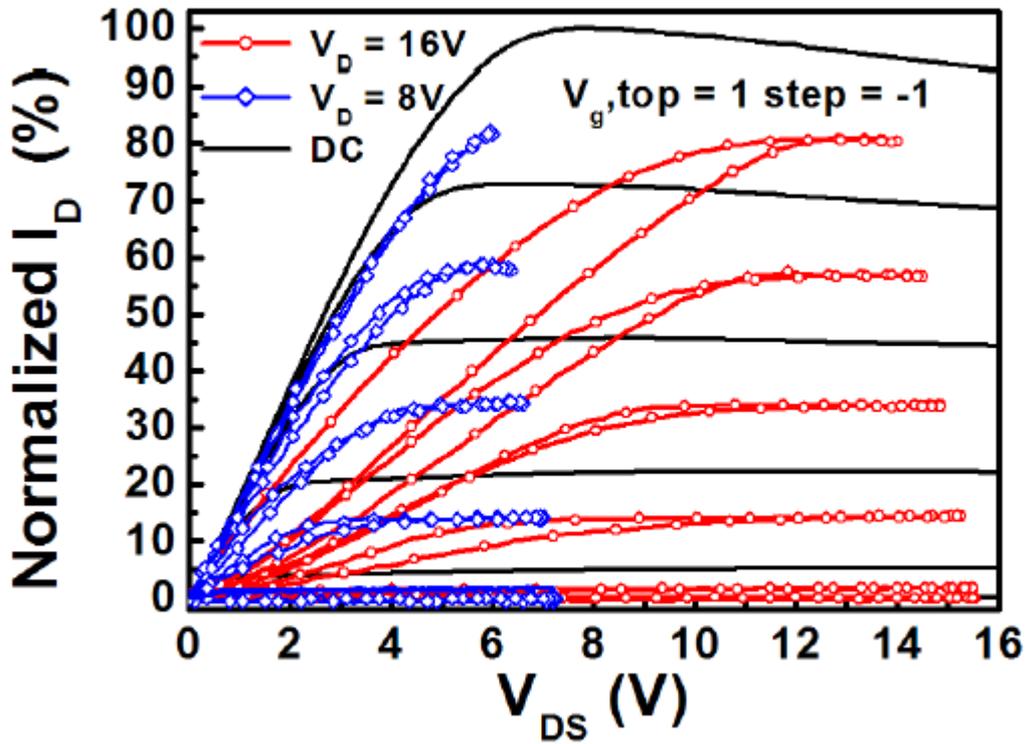


圖 5-33 線形結構 current collapse 量測結果

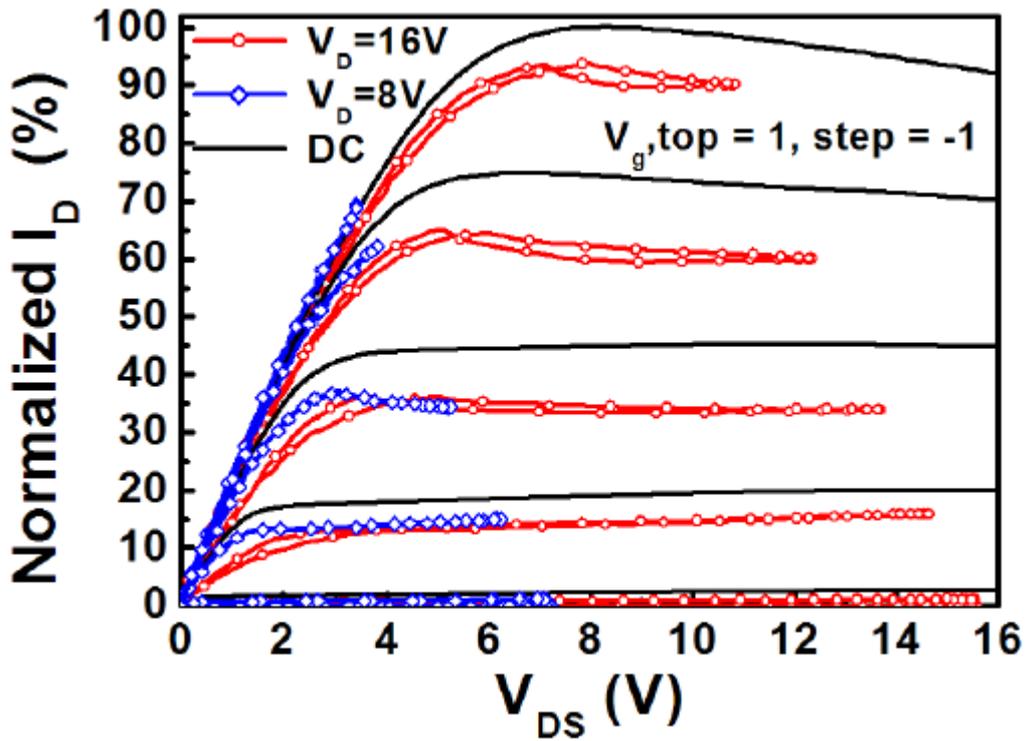


圖 5-34 矩形結構 current collapse 量測結果

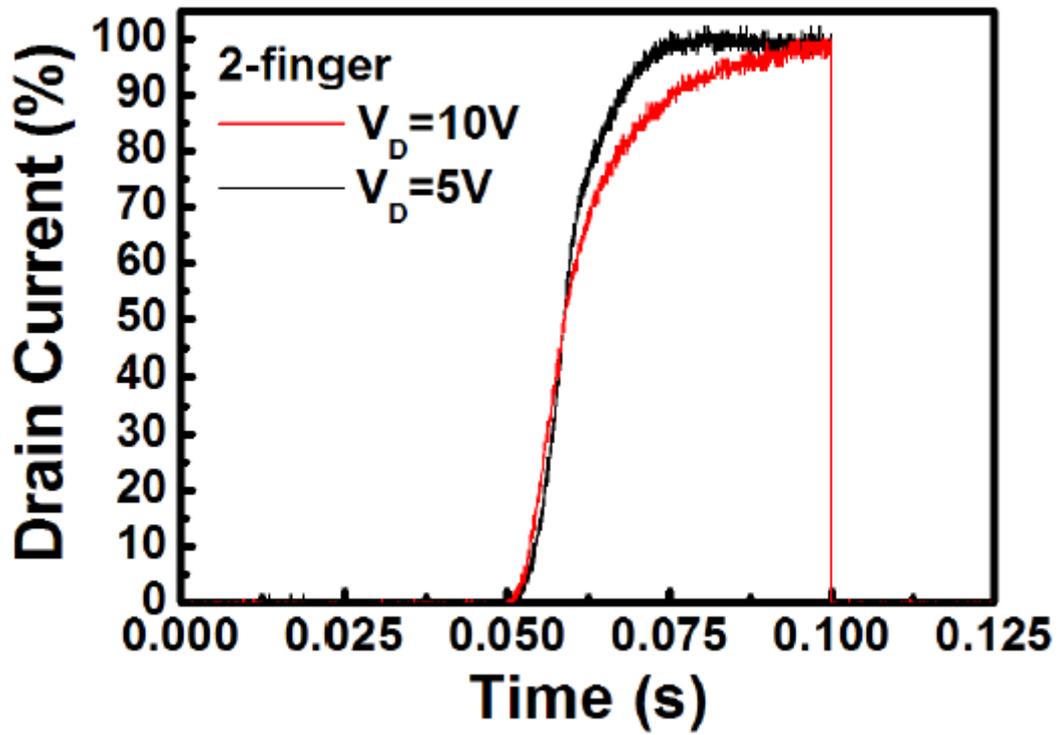


圖 5-35 線形結構 gate lag 量測結果

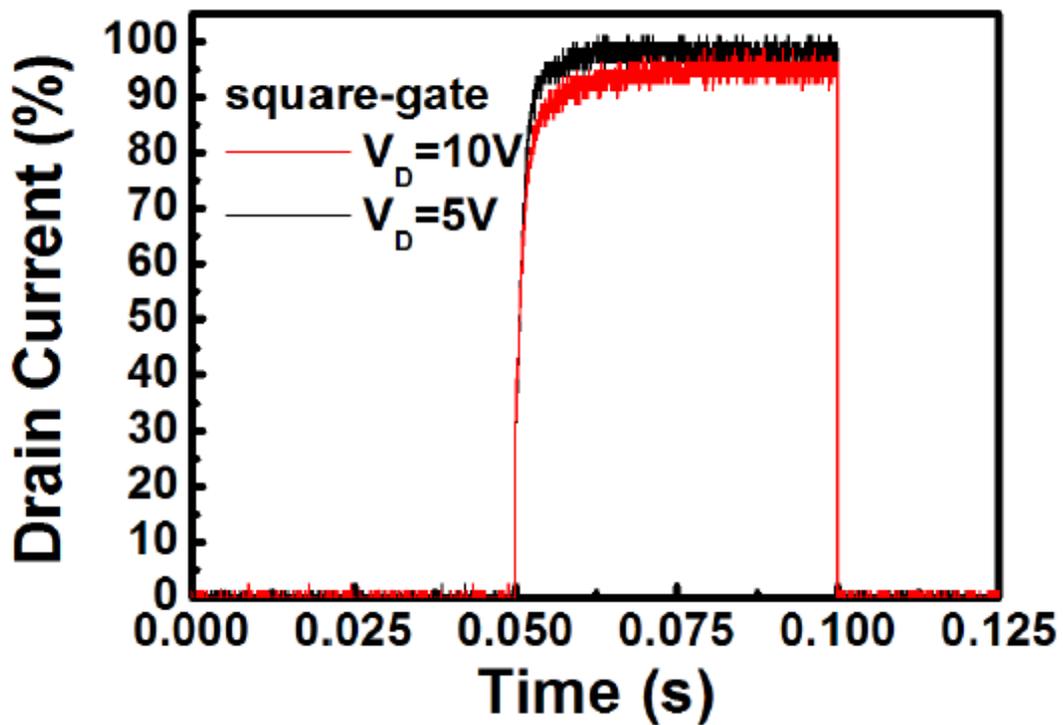


圖 5-36 矩形結構 gate lag 量測結果

## 第六章 結論

在本實驗中我們設計了三種不同幾何結構的元件，藉此觀察在不同的幾何結構下元件在直流操作與崩潰電壓的表現，從當中分析不同幾何結構對元件特性的影響。我們還搭配設計了不同的元件的尺寸，例如調整汲極對閘極的距離、閘極寬度等，藉此得到元件的最佳化。為了讓元件在高壓下有更傑出的表現我們還設計了不同的場效電板，雖然並沒有看出其效果，可是卻讓我們注意到 SiN<sub>x</sub> 耐壓的問題。

### 1. 直流特性

隨著閘極的增加，由於熱效應的關係使得電子漂移速度下降進而使得電流密度衰減，在我們這次的設計中，觀察到不同閘極寬度下汲極電流與轉導衰減的情形，因此我們可以藉由這次結果，根據操作的需要設計出適當的閘極長度。另外這次的元件的接觸電阻 2.148Ω-mm 與導通電阻(汲極對閘極寬度 8μm) 線形 1.8mΩ-cm<sup>2</sup>、環形 2.6 mΩ-cm<sup>2</sup>、矩形 3 mΩ-cm<sup>2</sup>，雖然比起 Si 功率元件低，可是仍高於一般的 GaN HEMTs，較高的導通電阻將造成較多的切換功率損失，為了有效降低導通電阻，接觸電阻的最佳化與主動區面積的最佳化將是一個很重要的課題。

### 2. 崩潰電壓

封閉式結構由於結構上的優勢：只跨過一處主動區邊緣與均勻的電場分佈，這使得元件在耐壓程度上有很好的表現，矩形封閉式結構的崩潰電壓普遍幾乎可以高達 350V 以上，而環形結構約在 270V 以上，而線形結構大約在 200V 以上，因此藉著封閉式結構的設計可以更有效的提升元件的耐壓程度。另外

為了進一步提升元件的耐壓，需要有能承受更高臨界電場的  $\text{SiN}_x$  層，這將藉由改良沉積條件與沉積厚度來做進一步的改善。而趨時再搭配場效電板的使用，應該可以得到更好的高壓表現。

### 3. Current collapse 與 Gate lag

我們發現封閉式結構在 current collapse 與 gate lag 的改善，比起傳統線形結構有更好的表現，歸功於它幾何結構上的優點。

## Future work

由於本次實驗沒有觀察到場效電板的功用，將來首先我們將會對  $\text{SiN}_x$  層作改善，提升提崩潰電壓。另外為了降低導通電阻，我們將在元件的佈局設計(layout)與製程上作更深入的改良。除此之外，為了更清楚地了解閘極跨過主動區邊緣所造成的影響，我們將更深入作這一方面的測試。

## Reference:

1. B. Gelmont, K. Kim, and M. Shur, "Monte Carlo Simulation of Electron Transport in Gallium Nitride", J. Appl. Phys., 74 (3), pp. 1818-1821, 1993.
2. J. L. Hudgins, G. S. Simin, E.Santi and M.A. Khan, "An Assessment of Wide Bandgap Semiconductors for Power Devices", IEEE trans. on power electronics, 18(3), pp. 907-914, 2003.
3. B. J. Baliga, "Trends in power semiconductor devices," IEEE Transaction on Electron Devices, 43(10), pp. 1717-1731, 1996.
4. L. F. Eastman and U. K.Mishra, "The toughest transistor yet," IEEE spectrum, 39(5), pp. 28-33, 2002.
5. S. M. Sze, Physics of Semiconductor Devices, 2<sup>nd</sup> ed., Wiley, New York, 1981.
6. W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura and T. Ogura, "High Breakdown Voltage Undoped AlGa<sub>N</sub>-Ga<sub>N</sub> Power HEMT on Sapphire Substrate and Its Demonstration for DC-DC Converter Application," IEEE Transaction on Electron Devices, 51(11), pp. 1913-1917, 2004.
7. N.-Q. Zhang, S. keller, G Parish, S. Heikman, S. P. Denbaars, and Mishra, "High Breakdown Ga<sub>N</sub> HEMT with Overlapping Gate Structure," IEEE Electron Device Letter, 21(9), pp. 421-423, 2000.
8. W. Saito, Y. Takada, M. Kuraguchi, Kunio Tsuda, I. Omura, H. Ohashi, "High Breakdown Voltage AlGa<sub>N</sub>-Ga<sub>N</sub> Power-HEMT Design and High Current Density Switching Behavior," IEEE Transactions on Electron Devices, 50(12), pp. 2528-2531, 2003.
9. S. Karmalkar and U. K. Mishra, "Enhancement of Breakdown Voltage in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors Using a Field Plate," IEEE Transactions on Electron Devices, 48(8), pp. 1515-1521, 2001.

10. C. L. Chen, "Breakdown of Overlapping-Gate GaAs MESFETs," IEEE Transactions on Electron Devices, 43(4), pp. 535-542, 1996.
11. W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura and Tsuneo Ogura, "Design Optimization of High Breakdown Voltage AlGa<sub>N</sub>-Ga<sub>N</sub> Power HEMT on an Insulating Substrate for RONA-VB Tradeoff Characteristics," IEEE Transactions on Electron Devices, 52(1), pp. 106-111, 2005.
12. B. J. Baliga, "Semiconductors for high-voltage, vertical channel FET's," J. Appl. Phys., 53(3), pp. 1759-1764, 1982.
13. R. Vetry, N. Q. Zhang, S. Keller, and U. K. Mishra, "The Impact of Surface States on the DC and RF Characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs," IEEE Transaction on Electron Devices, 48(3), pp. 560-566, 2001.
14. C. Y. Chan, T. C. Lee, Shawn S. H. Hsu, L. Chen, and Y. S. Lin, "Impacts of Gate Recess and Passivation on AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors," Japanese Journal of Applied Physics, 46(2), pp. 478-484, 2007.
15. W. Saito, M. Kuraguchi, Y. Takada, K. Tsuda, I. Omura and T. Ogura, "Influence of Surface Defect Charge at AlGa<sub>N</sub>-Ga<sub>N</sub>-HEMT Upon Schottky Gate Leakage Current and Breakdown Voltage," IEEE Transaction on Electron Devices, 52(2), pp. 159-164, 2005.
16. S. Yoshida, J. Li, H. Takeharh, H. Kambayashi, and N. Ikeda, "Fabrication of an AlGa<sub>N</sub>/Ga<sub>N</sub> HFET with breakdown voltage of over 1050V," International Symposium on Power Semiconductor Devices & IC's, June, 2006.

## 簡 歷 (vita)

姓名：王勇智 (Yung-Chih Wang)

性別：男

出生年月日：民國 72 年 1 月 31 日

籍貫：屏東縣

學歷：

國立清華大學工程與系統科學系 (90. 9-94. 6)

國立交通大學電子研究所碩士班 (94. 9-96. 6)



碩士論文題目：

高功率氮化鎵異質結構場效電晶體之設計與製作

**Design and Fabrication of AlGaIn/GaN Heterostructure Field Effect**

**Transistors**