

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

光通訊接收端轉阻放大器之設計與製作

**Design and Implementation of Transimpedance Amplifier for
Optical Communication Receiver**

研究生：盧建君

指導教授：蔡嘉明 博士

中華民國九十六年十二月

光通訊接收端轉阻放大器之設計與製作

**Design and Implementation of Transimpedance Amplifier
for Optical Communication Receiver**

研究生：盧建君

Student : Jiann-Jiun Lu

指導教授：蔡嘉明 博士

Advisor : Dr. Chia-Ming Tsai

國立交通大學

電子工程學系 電子研究所碩士班

碩士論文

A Thesis

Submitted to Department of Electronics Engineering &
Institute of Electronics

College of Electrical and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of Master of Science

in

Electronics Engineering

December 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年十二月

光通訊接收端轉阻放大器之設計與製作

學生：盧建君

指導教授：蔡嘉明 博士

國立交通大學

電子工程學系 電子研究所碩士班

摘要

對於光纖系統而言，在訊號輸入端由檢光二極體元件和靜電放電防護電路所造成的電容負載效應是光接收轉阻放大器設計上所面臨的最主要問題，其對頻寬與雜訊等重要接收性能有關鍵性的影響。為求解決此問題，我們同時採用自我補償架構與負阻抗補償技術，前者著重於降低輸入端之電容負載效應，後者則透過控制輸出端之阻抗特性來提高放大器之電壓增益，進而降低其等效輸入阻抗而達到改善頻寬的目的，除此之外，設計上再搭配適當的頻寬延伸技術，包含直流位準偏移技術與電感補償技術，可以進一步的提昇電路效能。藉由 0.18 微米 CMOS 製程與寄生電容約 0.72pF 的檢光二極體實現一個 5Gb/s 的光接收轉阻放大器，所量測到的結果顯示，當加入 0.5pF 寄生電容的靜電防護電路時，使用 1.8 伏特供應電壓的轉阻放大器靈敏度只從 -17.6dBm 下降至 -17.2dBm，頻寬也只從 3GHz 下降至 2.7GHz，驗證了此設計可達到高輸入電容容忍度。在 10Gb/s 的轉阻放大器設計中，透過雙級差動式架構來提升放大器之電壓增益與供應電源雜訊的抵抗能力，設計上也採用直流位準偏移與電感補償等技術來提升頻寬。最後，藉由 90 奈米 CMOS 製程與寄生電容約 0.15pF 的檢光二極體實現一個 10Gb/s 的光接收轉阻放大器，量測結果顯示，使用 1.2 伏特供應電壓的轉阻放大器具有 62dBΩ 的增益、8GHz 的頻寬與 -16.3dBm 的靈敏度。

Design and Implementation of Transimpedance Amplifier for Optical Communication Receiver

Student : Jiann-Jiun Lu

Advisor : Dr. Chia-Ming Tsai

Department of Electronics Engineering
National Chiao Tung University

Abstract

The input capacitances due to the photodiode and the ESD protection circuit cause serious degradation on both the receiver bandwidth and the sensitivity in optical receiver. To solve this problem, we combine the self-compensated architecture and the NIC technology. The former significantly reduces the loading effect caused by the input capacitances, and the latter effectively increases the voltage gain of the amplifier by controlling the output impedance of the amplifier. Moreover, the design combined with appropriate bandwidth enhancement techniques, including shunt peaking and DC offset voltage technique, can boost the performance. A 5Gb/s transimpedance amplifier is implemented by 0.18 μ m CMOS technology at 1.8V with 0.72pF photodiode capacitance. Due to the 0.5pF ESD protection circuit, the measurement results show slightly degraded sensitivity from -17.6dBm to -17.2dBm. The bandwidth is also slightly degraded from 3GHz to 2.7GHz. A 10Gb/s transimpedance amplifier is implemented by 90nm CMOS technology at 1.2V with 0.15pF photodiode capacitance, we use a two-stage differential architecture to increase the voltage gain and improve power noise rejection. Shunt peaking and DC offset voltage technique is

also employed to enhance BW. The measurement results show that the gain of TIA is 62dB Ω , -3dB bandwidth is 8GHz and sensitivity of -16.3dBm.

誌謝

在碩士的求學生涯中，能夠完成這篇論文，心中充滿著許多感激。首先我要對我的論文指導教授蔡嘉明博士致上最誠摯的謝意與敬意。每當我在學習與研究的過程中遇到瓶頸時，都能適時的引導我，並且指示正確的學習與研究方向，這不僅讓我在專業的知識與素養獲得提升，更重要的是，也理解到做研究時所應有的正確態度與方法。同時也感謝吳介琮教授、黃弘一教授和黃立仁博士等口試委員們來參加口試，以及給予寶貴的意見使我的論文能夠更完整。

接著，我要感謝實驗室的好伙伴宜興、茂成和向益，一起努力做研究和量測，讓我能互相勉勵求進步。我還要感謝我有一群好朋友致良、漢健、康康、俊傑、弘章、嘉儀、國光、Spice、俊男、阿樸、俊宜，能和我一起渡過這美好與辛苦的碩士生涯，此外，我還要感謝同一個實驗室的庭禎學長、志龍學長、小朱學長、小胖學長和麗蓉學姊，給予實驗室設備和研究上的幫助與建議。也要感謝juju和秉威學弟的支持與相伴。當然，最要感謝一直支持我的家人與昱伶，每當我隻身在外求學感到孤單時，你們是我最大的精神支柱與避風港。

最後僅將我的論文獻給我最摯愛的家人與朋友。

盧建君

國立交通大學

中華民國九十六年十二月

目錄

中文摘要	ii
英文摘要	iii
誌謝	iv
表目錄	vii
圖目錄	viii
第一章 緒論	1
1.1 研究動機.....	1
1.2 論文組織.....	1
第二章 光纖通訊接收端系統與設計考量	3
2.1 系統概觀.....	3
2.2 轉阻放大器基本設計考量.....	4
2.2.1 增益.....	4
2.2.2 頻寬.....	5
2.2.3 雜訊.....	6
第三章 具高輸入電容容忍度之光接收轉阻放大器	10
3.1 簡介.....	10
3.2 架構.....	10
3.2.1 自我補償架構.....	10
3.2.2 負阻抗與電感補償技術.....	13
3.2.3 系統架構.....	13
3.3 電路設計.....	15
3.3.1 電感與負電容補償設計.....	15
3.3.2 轉阻放大器核心電路.....	18
3.3.3 負阻抗補償之增益緩衝器.....	21
3.4 模擬和佈局.....	22
3.5 量測結果.....	29
3.5.1 量測環境.....	29
3.5.2 量測結果.....	30

第四章 90 奈米 CMOS 之 10Gb/s 光接收轉阻放大器 ...	36
4.1 簡介	36
4.2 架構	36
4.2.1 單端式與差動式架構	36
4.2.2 系統架構	39
4.3 電路設計	41
4.3.1 偽差動式輸入架構	41
4.3.2 雙級差動轉阻放大器	43
4.3.3 主動式回授輸出緩衝器	45
4.4 模擬和佈局	46
4.5 量測結果	49
第五章 結論與未來工作	53
參考文獻	54
附錄	56
簡歷	64

表目錄

表 1.1 各種通訊方式比較表	2
表 3.1 預定規格與模擬效能比較	28
表 3.2 量測效能總結與比較	35
表 3.3 晶片效能比較	35
表 4.1 預定規格與模擬效能比較	48
表 4.2 量測效能總結與比較	52
表 4.3 晶片效能比較	52

圖目錄

圖 2.1 光通訊接收端電路區塊圖	3
圖 2.2 轉阻放大器	5
圖 2.3 共閘極轉阻放大器	6
圖 2.4 多級串連轉阻放大器	6
圖 2.5 不同光功率的輸入錯誤率碼曲線例子	7
圖 2.6 加入雜訊源之轉阻放大器	7
圖 2.7 使用電感衰減技術之共閘極轉阻放大器	8
圖 2.8 電感衰減技術之設計概念	9
圖 2.9 電感衰減技術之模擬	9
圖 3.1 自我補償電路	11
圖 3.2 自我補償電路小信號模型	11
圖 3.3 (a) v_2 端波德圖 (b) v_3 端波德圖 (c)雙端波德圖	12
圖 3.4 負阻抗補償之轉阻放大器	13
圖 3.5 系統架構	14
圖 3.6 電感補償之放大器	15
圖 3.7 電感補償之頻率響應	16
圖 3.8 負電容補償之放大器	16
圖 3.9 不同傳導係數之頻率響應	17
圖 3.10 不同補償電容之頻率響應	17
圖 3.11 轉阻放大器核心電路	18
圖 3.12 負電阻之電流源電路	20
圖 3.13 負電容之電流源電路	20
圖 3.14 比較器電路	21
圖 3.15 增益級緩衝器電路	21
圖 3.16 輸出級電路	22
圖 3.17 bond-wire 模擬考量	22
圖 3.18 轉阻放大器頻率響應模擬	23
圖 3.19 (a)無補償的眼圖模擬 (b)有負阻抗的眼圖模擬(b)有負阻抗與電感的眼圖模擬	23
圖 3.20 轉阻放大器 LC 串聯的交流耦合之頻率響應模擬	23
圖 3.21 (a)電容交流耦合的眼圖模擬 (b) 電感電容串聯之交流耦合的眼圖模擬	23
圖 3.22 增益級電路之頻率響應模擬	24
圖 3.23 (a)無主動式補償的眼圖模擬 (b)有主動式補償的眼圖模擬	24
圖 3.24 SS 和溫度 80°C 的頻率響應模擬	25
圖 3.25 (a)無電流追蹤技術的眼圖模擬 (b)有電流追蹤技術的眼圖模擬	25

圖 3.26	FF 和溫度 0°C 的頻率響應模擬.....	25
圖 3.27	(a)無電流追蹤技術的眼圖模擬 (b)有電流追蹤技術的眼圖模擬.....	26
圖 3.28	(a)Rf=2k 和沒有 ESD 電路的眼圖模擬(b)Rf=2k 和有 ESD 電路的眼圖模擬 ..	26
圖 3.29	(a)Rf=450 和沒有 ESD 電路的眼圖模擬(b) Rf=450 和有 ESD 電路的眼圖模擬	26
圖 3.30	佈局平面圖	27
圖 3.31	四層堆疊式電感立體圖	27
圖 3.32	(a)晶片顯微圖(b)晶片與檢光二極體整合顯微圖.....	28
圖 3.33	晶片頻率響應量測安裝環境.....	29
圖 3.34	晶片眼圖和錯誤碼率量測安裝環境.....	30
圖 3.35	頻率響應量測結果	30
圖 3.36	輸入訊號功率-16dBm、5GHz 和有靜電防護電路的眼圖.....	31
圖 3.37	輸入訊號功率-16dBm、5GHz 和無靜電防護電路的眼圖.....	31
圖 3.38	輸入訊號功率+0dBm、5GHz 和有靜電防護電路的眼圖.....	32
圖 3.39	輸入訊號功率+0dBm、5GHz 和無靜電防護電路的眼圖.....	32
圖 3.40	位元錯誤率曲線圖	33
圖 3.41	輸出雜訊功率分佈圖	34
圖 3.42	單端輸出之 Gaussian-shaped Histogram.....	34
圖 4.1	(a)單級放大器(b)雙級串聯放大器(c)三級串聯放大器	38
圖 4.2	最大電壓增益曲線圖	38
圖 4.3	雙級串聯差動式轉阻放大器	38
圖 4.4	系統架構.....	39
圖 4.5	偽差動式轉阻放大器	41
圖 4.6	極、零點分佈曲線圖	42
圖 4.7	頻率響應模擬(當 C/Cp = 0.1, 1, 100).....	43
圖 4.8	頻率響應模擬(當 C/Cp = 0.8, 1, 1.2).....	43
圖 4.9	雙級差動轉阻放大器電路	44
圖 4.10	比較器電路	44
圖 4.11	輸出緩衝器電路	45
圖 4.12	bond-wire 效應模擬.....	46
圖 4.13	轉阻放大器頻率響應模擬	46
圖 4.14	(a) L _{BW} =1nH 的眼圖 (b) L _{BW} =2nH 的眼圖 (c) L _{BW} =3nH 的眼圖	47
圖 4.15	(a) 10.0Gb/s 和 10uApp 的眼圖模擬(b) 10.0Gb/s 和 1.5mApp 的眼圖模擬	47
圖 4.16	(a) 13.3Gb/s 和 10uApp 的眼圖模擬(b) 13.3Gb/s 和 1.5mApp 的眼圖模擬	47
圖 4.17	佈局平面圖	48
圖 4.18	(a) 晶片顯微圖(b)晶片與檢光二極體整合之顯微圖.....	48
圖 4.19	頻率響應量測結果	49

圖 4.20 輸入訊號功率-15dBm 和 10.0GHz 的眼圖.....	49
圖 4.21 輸入訊號功率-14dBm 和 13.5GHz 的眼圖.....	50
圖 4.22 輸入訊號功率+0dBm 和 10.0GHz 的眼圖.....	50
圖 4.23 輸入訊號功率+0dBm 和 13.5GHz 的眼圖.....	50
圖 4.24 位元錯誤率曲線圖	51
圖 4.25 單端輸出之 Gaussian-shaped Histogram.....	51

第一章

緒論

1.1 研究動機

隨著網際網路的出現，人們不斷發現新的應用方法，例如資料傳輸、視訊會議等。這些應用都需要更快的傳輸速度，因此光纖通訊以其超快的頻寬與極低的傳輸損耗，一直是滿足這些需求的終極解決方案。光通訊的原理是利用光纖（fiber）來傳遞光訊號，如（表 1. 1）所示是光通訊和其他不同的通訊方法比較表。由表中可明顯看出，光通訊的頻寬可達百億位元（10Gbs），遠大於其餘各種通訊方法，而且其損耗也很低，每公里只有 0.2dB。事實上，由於光纖本身的頻寬可達 500 億赫茲（50GHz）以上，因此光通訊的頻寬是被電子零件的頻寬所限制住，但是隨著近年來製程進步與電晶體速度的提升，光通訊電路也變得越來越重要。現在市面上的寬頻上網大部份都是利用 ADSL（Asymmetric Digital Subscriber Line），它的好處是只要用現有的電話線路即可，但是由表 1. 1 可以明顯看出，它的損耗相當大，因此頻寬沒辦法作到很高，尤其是對於像視訊會議這種須要雙向都很快的應用是沒有辦法的。是故，未來光纖到家（fiber to the home；FTTH）會成為必然的趨勢，台灣地小人稠，正好適合這種光纖到家的終極解決方案，光通訊電路勢必會成為下一代網路通訊的骨幹。

在光纖通訊電路方面，必須要能夠處理高速的資料，因此在 90 年代中期，砷化鎵（GaAs）和磷化銦（InP）是高性能光電介面電路的唯一解決之道。但由於矽半導體製程的進步，逐漸出現矽鍺（SiGe）製程或雙載子互補式金氧半（Bi-CMOS）製程等替代方案[1]-[5]。早期互補式金氧半（CMOS）製程受限於製程技術的限制，多半應用在一般的數位邏輯電路上，但隨著製程技術快速的推進到深次微米技術，使得 CMOS 電晶體操作頻率已可超過 10GHz[6] [7]。而 CMOS 製程在成本上佔有很大的優勢，且現今相關熱門的系統晶片（system on chip, SoC）研究，其最可能實現之技術亦將採用 CMOS 製程。因此，光纖通訊不僅朝更高速的訊號傳輸量邁進，甚至可將傳送及接收端電路均整合在一顆晶片上。

1.2 論文組織

本論文共分為五章，本章即第一章，介紹論文的研究動機和組織。第二章是詳細說明並探討光纖接收器的系統概觀和轉阻放大器電路之設計考量。第三章是一個具有高輸入電

容容忍度的光接收轉阻放大器設計和實驗結果。第四章是利用 90 奈米互補式金氧半製程來設計一個高速光接收轉阻放大器設計和實驗結果。第五章，也就是最後一個章，則是針對所設計的光接收轉阻放大器做成結論。

表 1.1 各種通訊方式比較表

	Data Rate	Loss(Range)
GSM	9.6kbs	500m
WLAN	54Mbs	100m
UWB	200Mbs	10m
ADSL	12Mbs	200dB/km
Coaxial	100Mbs	500dB/km
OC192	10Gbs	0.2dB/km



第二章

光纖通訊接收端系統與設計考量

2.1 系統概觀

光通訊電路接收端系統如圖 2.1 所示，光信號經由光纖傳送，先到達光偵測器 (Photodetector; PD)，將光信號轉換為光電流。接下來再由轉阻放大器 (Transimpedance Amplifier; TIA) 將光電流轉換為電壓信號，再經限制放大器 (Limiting Amplifier; LA) 將電壓信號放大到可以當作數位信號的程度。接下來再將此信號送給數據時脈回復電路 (Clock and Data Recovery; CDR)，判斷資料為 0 或 1，並順便以資料的速度產生一固定時脈的方波信號，讓後級的數位電路可以使用這個轉換出來的信號。

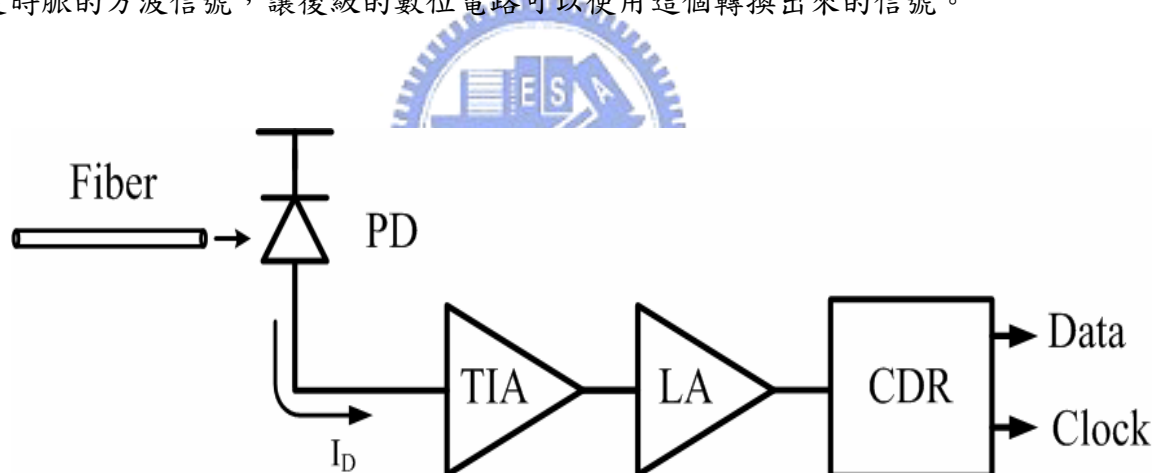


圖 2.1 光通訊接收端電路區塊圖

在這些電路區塊中，每個部份都有其特定的功能和要求，以下將一一說明。首先，在光偵測器部份是將光信號轉換為光電流，故其主要規格在於光電轉換的光反應度 (Responsivity) 和光偵測器本身的反應速度。一般說來，其光反應度必須在 0.7A/W 以上，也就是說若有 $10\mu\text{W}$ 的光輸入，要有 $7\mu\text{A}$ 的光電流輸出。如果光反應度太低，會限制了光纖傳輸的距離。另外，反應速度必須達到系統的要求，例如在 OC192 規格中，就要求百億赫茲 (10GHz) 的速度。

轉阻放大器的功能在將光電流轉換為電壓信號，故其小訊號轉阻增益和頻寬是必然的規格。另外，由於轉阻放大器位於光通訊電路接收端的最前級，類似 RF 電路的低雜

訊放大器 (LNA)，轉阻放大器也必須有低的雜訊比才能將整個系統的雜訊降低。有些應用還要求轉阻放大器要有很大的動態範圍 (dynamic range)，通常是如果輸入光電流信號太大的話，轉阻放大器必須有一機制讓過大的光電流宣洩，否則會使轉阻放大器沒辦法操作在其應有的操作點。一般的作法是會在轉阻放大器中增加自動增益控制 (Automatic Gain Control; AGC) 的功能。

另外，由於轉阻放大器尚須有低雜訊的功能，因此到這裡的輸出電壓信號還很小，限制放大器的作用在把小電壓信號再放大，以達到數位電路所需求的大信號輸出。是故限制放大器的主要規格有頻寬和靈敏度 (sensitivity)，靈敏度是指該限制放大器所能接受的最小輸入，其值一般為 5mV 左右，表示轉阻放大器的輸出電壓振幅要超過 5mV，限制放大器才能正常動作。靈敏度越小，則表示在設計上，轉阻放大器的轉阻增益可以小一些。

最後一級電路是 CDR，這個區塊已經完全是數位電路。因為傳輸過程中一定會有一些小的雜訊混入信號中，所以通常輸入信號到這裡的雜訊會比較大，CDR 電路可以將這些雜訊再縮小，並抓出資料的時脈。例如雖然是在 OC192 規格下傳送，但是資料速度不一定剛好是準確的 10GHz，有可能是 9.9GHz 或 10.2GHz 等等。如果用不對的時脈去取資料會得到錯誤的結果，因此 CDR 電路利用鎖相迴路 (Phase Lock Loop; PLL) 的技巧來鎖定資料的速度，並一起提供給後級電路使用。

在 CDR 之後就是大家所熟知的數位信號了，通常經由解調器 (demultiplexer; demux) 就可以將頻寬分配給各個使用者。

2.2 轉阻放大器基本設計考量

轉阻放大器 (transimpedance amplifier) 的功用是將電流放大成電壓訊號，除了輸入端的檢光二極體元件所造成的寄生電容限制了光接收器的頻寬以及靈敏度之外，製程尺寸與供應電壓 (supply voltage) 降低的趨勢也產生了更多的挑戰。在接下來的小節中，我們將介紹轉阻放大器電路設計的基本考量，包含增益、頻寬和雜訊等，這些基本設計考量不只有助於之後電路設計及製作，在系統的規劃上也有很大的幫助。

2.2.1 增益

轉阻放大器增益則必須使輸出的訊號夠大到能克服下一級電路 (功率放大器或限制放大器) 的等效輸入雜訊。例如，當一個限制放大器的雜訊電壓為 $5\text{nV}/\sqrt{\text{Hz}}$ 時，轉阻放大器的增益必須超過 5k 歐姆，使輸入參考雜訊電流降低至 $1\text{pV}/\sqrt{\text{Hz}}$ 以下。所以在增益、頻寬及 voltage headroom 的考量下，通常轉阻放大器與次級電路是一起做設計及最佳化。同時，若是應用在短距離的光纖接收端，常會有光電二極體接收功率過強產生電流振幅過大而導致轉阻放大器產生非線性 (nonlinearity) 的問題，而這通常造成輸出與輸入不成正比，產生失真的問題而提高了系統的位元錯誤率。所以通常會在轉阻放大器的輸出再

接一個自動增益控制電路(automatic gain control)的回授電路，其功用便是在偵測轉阻放大器的輸出振幅並與一個參考位準做比較並再調整轉阻放大器的阻抗增益(impedance gain)。使其輸出能在一個線性範圍並且是定值的。

2.2.2 頻寬

頻寬大小選擇

資料傳輸的速度及碼間干擾(intersymbol interference)的考量，決定了轉阻放大器的頻寬。頻寬越低，其碼間干擾的情形就越嚴重，使 eye closure 及 noise margin 變小，提高了位元錯誤率(bit error rate)。而頻寬越大，又會使雜訊功率升高(因雜訊屬於寬頻訊號)而降低了系統輸出訊號雜訊比(output signal to noise ratio)。所以，在這裡頻寬的選擇需要做一個系統訊號雜訊比的考量，通常頻寬選擇為 $0.7 \times (1/T_b)$ ，其中 T_b 為訊號位元週期 [8]。若考慮傳送訊號速度達 10Gb/s，那轉阻放大器頻寬需要 7GHz。

頻寬設計挑戰

對於轉阻放大器電路而言(圖 2.2)，輸入端的寄生電容大大的影響整個光接收器的頻寬。當我們將檢光二極體(PD)與光接收器整合在一起時，轉阻放大器的寄生電容包含檢光二極體的接面電容(C_D)、靜電防護負載電容(C_{ESD})、焊墊負載電容(C_{PAD})以及轉阻放大器輸入負載電容(C_{TIA})，對於設計一個高速度的光接收轉阻放大器而言，輸入端的寄生電容往往是整體系統設計上最大的瓶頸。

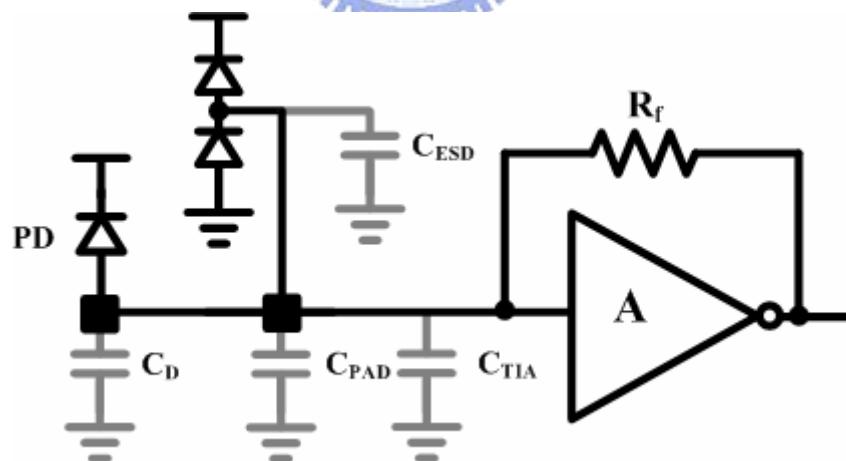


圖 2.2 轉阻放大器

傳統上，為瞭解決輸入端負載電容的問題，通常採用低輸入阻抗的設計，如圖 2.3 的共閘極轉阻放大器和圖 2.4 的多級串連轉阻放大器 [9] 都是低輸入阻抗的設計方案，前者的輸入阻抗 $R_{in} = 1/(g_{m1} + g_{mb})$ ，透過提升 g_m 的方式可以擁有較低的輸入阻抗，然而其主要缺點為雜訊性能惡化。後者可以透過三級放大器的串聯以提升電路的開迴路增益，

進而降低輸入阻抗與電路頻寬，但是較大相位的降低使得系統的穩定度嚴重不足。

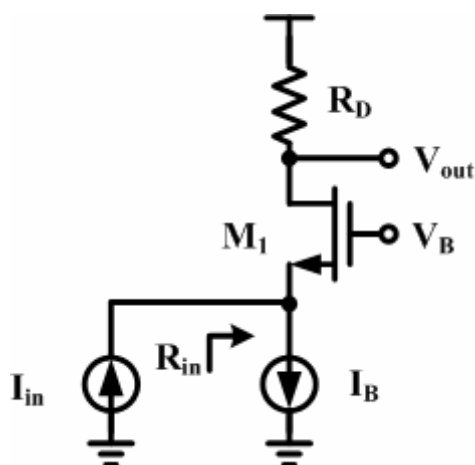


圖 2.3 共閘極轉阻放大器

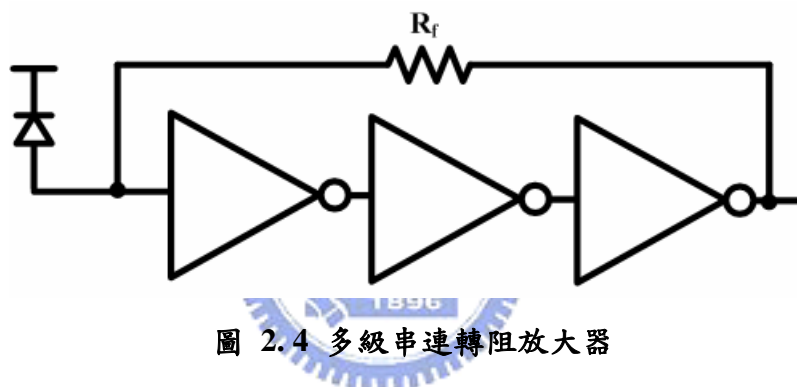


圖 2.4 多級串連轉阻放大器

2.2.3 雜訊

低雜訊的考量是因為相同的傳輸訊號強度對較低的雜訊電流強度的電路可有較遠的傳輸距離(考慮相同的衰減係數下)。

接收靈敏度(sensitivity)是系統動態範圍的一部分，系統靈敏度的定義是接收器至少需要多大輸入功率，才能在輸出端達到所指定的訊號雜波比或位元錯誤率(BER)，靈敏度取決系統雜訊的大小，越小的雜訊則是越好的靈敏度。如圖 2.5 所示，達到所指定的位元錯誤率 10^{-10} 時，靈敏度為接收器至少需要 $P_{\text{sensitivity}}$ 輸入功率。如果輸入光功率太大的話，導致轉阻放大器產生非線性的問題，而這通常造成輸出與輸入不成正比，產生失真的問題而提高了系統的位元錯誤率，錯誤率提升到系統可接受的最大錯誤率時，輸入的光功率最大值就定義為電路的超載(overload)。所以動態範圍(Dynamic Range)就取決於系統靈敏度和超載之間的範圍。

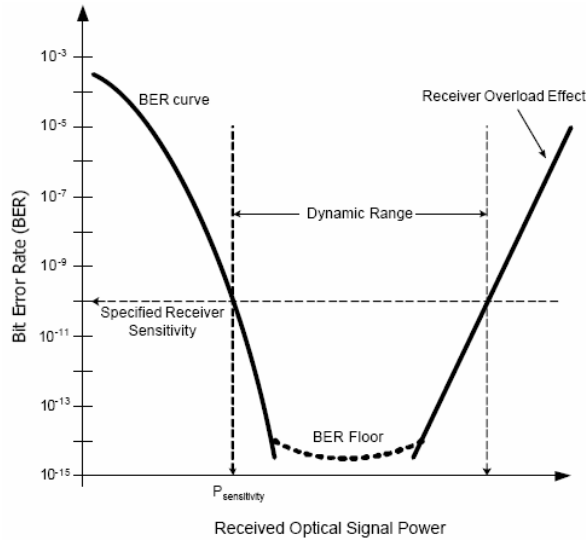


圖 2.5 不同光功率的輸入錯誤率碼曲線例子

為了提升頻寬而使用共閘極之轉阻放大器電路設計，此架構雖然擁有低輸入阻抗但是卻也是高雜訊的電路架構，雜訊的惡化對於靈敏度的影響就變成非常嚴重了。圖 2.6 是加入雜訊源的共閘極之轉阻放大器，為了簡化分析我們先忽略通道長度調變和基板效應的影響，然後再利用重疊原理(superposition)來計算出每一個雜訊源的貢獻[8]。

(1)所有的 $\overline{I_{n,M2}^2}$ 流過電阻 R_D 產生 $R_D^2 \overline{I_{n,M2}^2}$ 的輸出雜訊。

(2)因為 $r_{o2} = \infty$ 導致沒有 $\overline{I_{n,M1}^2}$ 流過電阻 R_D ，

(3)因為從電晶體 $M1$ 的汲極端看進去的阻抗無限大，所以所有的 $\overline{I_{n,RD}^2}$ 流過電阻 R_D 產生

$R_D^2 \overline{I_{n,RD}^2}$ 的輸出雜訊。

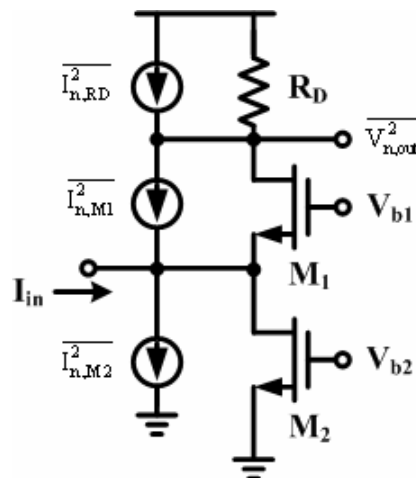


圖 2.6 加入雜訊源之轉阻放大器

下列的方程式是共閘極轉阻放大器的輸出雜訊

$$\overline{V_{n,out}^2} = (\overline{I_{n,M2}^2} + \overline{I_{n,RD}^2})R_D^2 \quad (2.1)$$

$$= 4kT(\gamma T_{m2} + \frac{1}{R_D})R_D^2 \quad (2.2)$$

方程式(2.2)除以轉阻放大器增益平方得到輸入參考雜訊電流(input-referred noise current):

$$\overline{I_{n,in}^2} = 4kT(\gamma T_{m2} + \frac{1}{R_D}) \quad (2.3)$$

$$= \overline{I_{n,M2}^2} + \overline{I_{n,RD}^2} \quad (2.4)$$

從方程式(2.4)可以知道輸入參考雜訊電流大小直接由電晶體 M2 和電阻 RD 的雜訊大小所決定，所以輸入阻抗和輸入參考雜訊電流是互相權衡(trade-off)，也就是說，擁有低輸入阻抗的轉阻放大器就會造成較大的輸入雜訊電流。

為了降改善電流源 M2 所貢獻的雜訊，我們提出使用 inductor degeneration 技術，如圖 2.7 所示，將電感 L1 串接在電晶體 M2 與地之間。設計概念如圖 2.8 所示，透過電感元件的直流短路和高頻開路特性，以及 $I_a=I_b$ 的關係式，讓 M2 的雜訊電流在高頻時流到輸出端的大小趨近於零，使得積分起來的全部雜訊功率下降，所以 inductor degeneration 技術的補償可以降低共閘極轉阻放大器的雜訊。

利用 Hspice 軟體模擬，如圖 2.9 所示，當頻寬和資料速度(R_b)相等時，利用 inductor degeneration 技術補償的效果是最好的，M2 雜訊功率大小可以降低至五分之一。

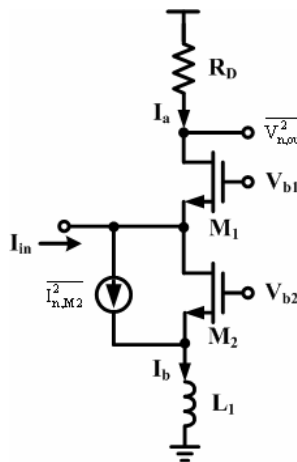


圖 2.7 使用電感衰減技術之共閘極轉阻放大器

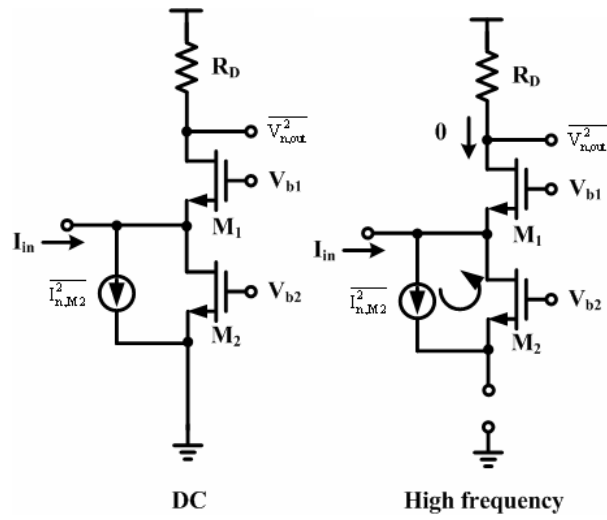


圖 2.8 電感衰減技術之設計概念

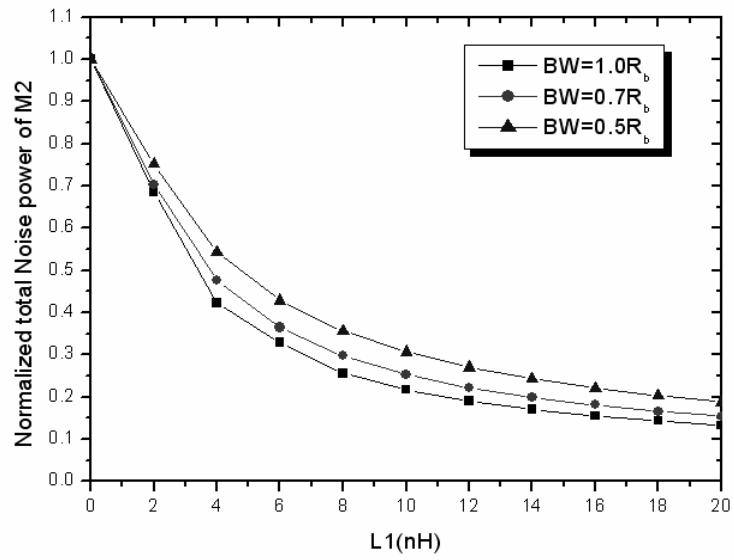


圖 2.9 電感衰減技術之模擬

第三章

具高輸入電容容忍度之 光接收轉阻放大器

3.1 簡介

對於一般的光纖網路系統而言，將檢光二極體與光接收器整合在一起時，在訊號輸入端由檢光二極體元件與靜電放電防護電路所造成的電容負載效應是光接收轉阻放大器設計上所面臨的最主要問題，其對頻寬與雜訊等重要接收性能有著關鍵性的影響。所以本章節目標是以1.8伏特供應電壓和0.18微米標準CMOS製程，以及大約0.8pF負載電容的檢光二極體與0.5pF負載電容的輸入端靜電防護電路，來完成一個操作在5Gb/s並且具有高輸入電容容忍度的光接收轉阻放大器，其預定效能為-20dBm的靈敏度、3.5GHz的頻寬和85dBΩ的增益。為達到上述的設計目標，我們利用自我補償的電路架構來降低輸入端之電容負載效應[11]；此外，再結合主動式補償之轉阻放大器[12]與電感補償技術[14]，除了可以讓設計的電路系統擁有高頻寬和高增益的特色之外，又改善製程變異和晶片操作溫度變異所造成的補償不匹配，其中電感是利用堆疊式電感[15][16]，以達到晶片面積節省。

3.2 架構

3.2.1 自我補償架構

自我補償電路架構如圖 3.1 所示，其中包括一個檢光二極體（PD）、兩個負載電容約0.5pF的靜電防護電路、一個正回授電路（ M_1 ）和一個差動轉阻放大器。將檢光二極體負載電容透過正回授的抵銷機制[10]與差動式電流偵測設計合而為一，透過此一巧妙結合，可抵銷於差動輸入端上由靜電放電防護電路所造成的電容負載效應，徹底解決了輸入端負載電容的難題；此外，運用此種設計架構還可獲得兩倍的增益和增加3dB的靈敏度。

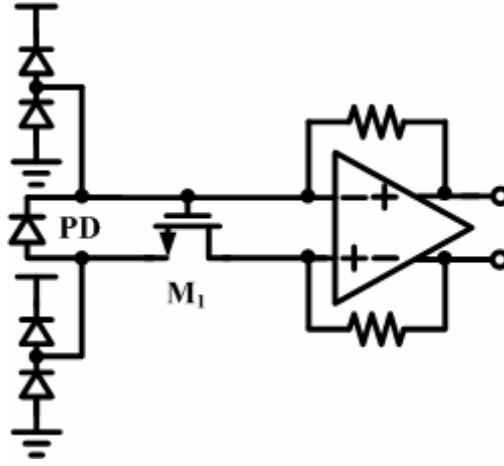


圖 3.1 自我補償電路

圖 3.2 是自我補償電路的小信號模型， R_1 和 R_2 為後級差動轉阻放大器的等效輸入阻抗， C_p 為檢光二極體的寄生電容， C_1 和 C_2 為靜電防護電路對地的負載電容。經過一連串的公式推導，此小信號模型的單端輸出轉移函數分別是方程式(3.1)與方程式(3.2)，以及方程式(3.3)的雙端輸出轉移函數。

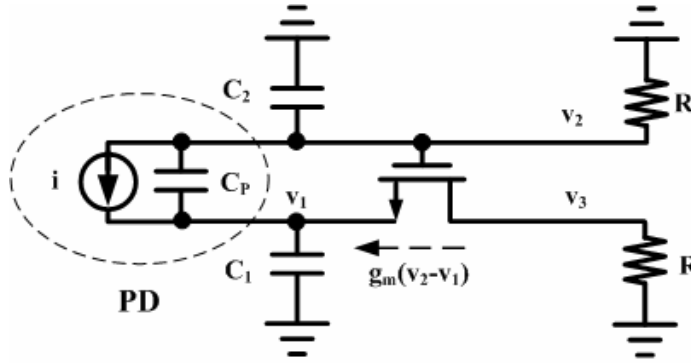


圖 3.2 自我補償電路小信號模型

$$\frac{v_2}{i} = \frac{-R_2[s(C_1/g_m) + 1]}{(C_1C_p + C_2C_p + C_1C_2)\frac{R_2}{g_m}s^2 + \left(\frac{C_1 + C_p}{g_m} + R_2C_2\right)s + 1} \quad (3.1)$$

$$\frac{v_3}{i} = \frac{R_3[sR_2(C_1 + C_2) + 1]}{(C_1C_p + C_2C_p + C_1C_2)\frac{R_2}{g_m}s^2 + \left(\frac{C_1 + C_p}{g_m} + R_2C_2\right)s + 1} \quad (3.2)$$

$$\frac{v_3 - v_2}{i} = \frac{R_3[sR_2(C_1 + C_2) + 1] + R_2[s(C_1/g_m) + 1]}{(C_1C_p + C_2C_p + C_1C_2)\frac{R_2}{g_m}s^2 + \left(\frac{C_1 + C_p}{g_m} + R_2C_2\right)s + 1} \quad (3.3)$$

為了簡化電路的分析，我們假設 $C_1=C_2=C$ 、 $R_1=R_2=R$ 和 $g_m \gg (2/R)$ 代入方程式(3.1)、方程式(3.2)和方程式(3.3)，得到方程式(3.4)、方程式(3.5)和方程式(3.6)。方程式(3.4)具有兩個極點， ω_{p1} 、 ω_{p2} ，和一個零點， ω_{z1} ，的轉移函數，其波德圖如圖 3.3(a)所示，此輸出端的頻率響應為頻寬不足；方程式(3.5)具有兩個極點， ω_{p1} 、 ω_{p2} ，和一個零點， ω_{z2} ，的轉移函數，其波德圖如圖 3.3(b)所示，此輸出端的頻率響應卻擁有過大的頻寬；

但是雙端輸出的方程式(3. 6)卻具有極零點相等， ω_{p1} 、 ω_{z3} ，的轉移函數，其波德圖如圖 3. 3(c)所示。所以透過此小信號模型的推導可以證明自我補償電路架構可以透過差動輸出互相抵消的特性，來解決輸入端的對地負載電容的影響，使轉阻放大器具有高輸入電容容忍度。

$$\frac{v_2}{i} = \frac{-R(s\frac{C}{g_m} + 1)}{(2CC_p + C^2)\frac{R}{g_m}s^2 + (\frac{C+C_p}{g_m} + RC)s + 1} = \frac{-R(s/\omega_{z1} + 1)}{(s/\omega_{p1} + 1)(s/\omega_{p2} + 1)} \quad (3. 4)$$

$$\frac{v_3}{i} = \frac{R[s2RC + 1]}{(2CC_p + C^2)\frac{R}{g_m}s^2 + (\frac{C+C_p}{g_m} + RC)s + 1} = \frac{R(s/\omega_{z2} + 1)}{(s/\omega_{p1} + 1)(s/\omega_{p2} + 1)} \quad (3. 5)$$

$$\frac{v_3 - v_2}{i} = \frac{R[s2RC + 2 + \frac{C}{g_m}]}{(2CC_p + C^2)\frac{R}{g_m}s^2 + (\frac{C+C_p}{g_m} + RC)s + 1} = \frac{R(s/\omega_{z3} + 1)}{(s/\omega_{p1} + 1)(s/\omega_{p2} + 1)} \quad (3. 6)$$

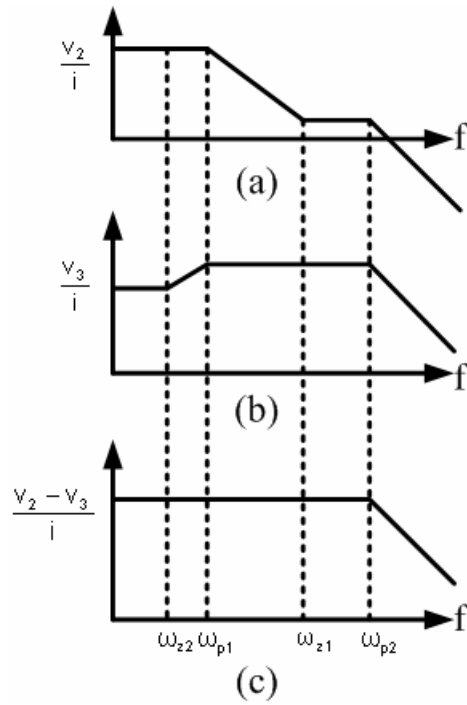


圖 3. 3 (a) v_2 端波德圖 (b) v_3 端波德圖 (c)雙端波德圖

$$\begin{cases} \omega_{p1} \approx (RC)^{-1} = \omega_{z3} \\ \omega_{p2} = \frac{g_m}{2C_p + C} + \frac{C_p + C}{RC(2C_p + C)} \\ \omega_{z1} = \frac{g_m}{C} \\ \omega_{z2} = (2RC)^{-1} \end{cases}$$

3.2.2 負阻抗與電感補償技術

如圖 3.4 所示，將差動式負阻抗與 shunt peaking 加入差動轉阻放大器的輸出端，負阻抗補償技術具有同時提升電路的增益和頻寬的優點，shunt peaking 也具有提升頻寬的好處。由方程式(3.7)推導出補償後的增益 $A_v(Z_c)$ 比未補償的增益 $A_v(Z_c^{-1}=0)$ 可以提升 γ 倍，也就是說，此補償等效提昇轉阻放大器的增益且降低輸入阻抗，因而使其整體頻寬獲得改善。

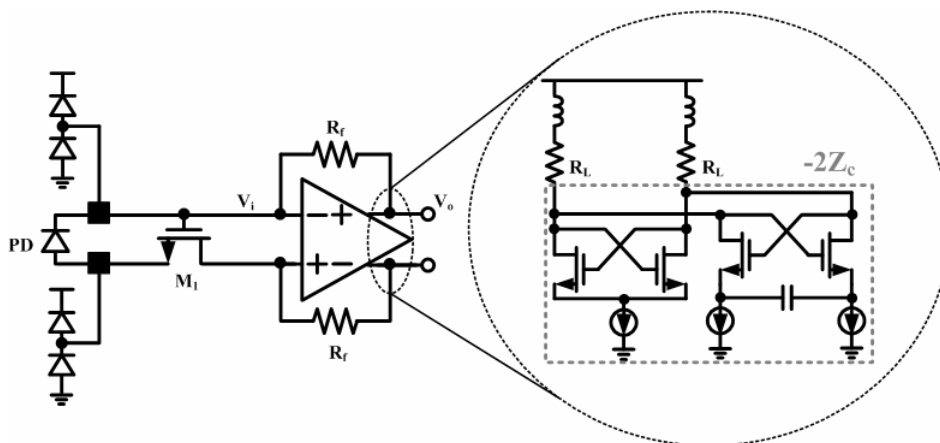


圖 3.4 負阻抗補償之轉阻放大器

$$A_v(Z_c) = \frac{V_o}{V_i} = \gamma \cdot A_v(Z_c^{-1} = 0) \quad \text{where} \quad \gamma = \frac{\frac{1}{R_L} + \frac{1}{R_f}}{\frac{1}{R_L} + \frac{1}{R_f} - \frac{1}{Z_c}} \quad (3.7)$$

3.2.3 系統架構

整個系統架構如圖 3.5 所示，其中包括了一個檢光二極體 (PD)、兩個靜電防護電路 (ESD Protection Circuit, 負載電容約 0.5pF)、一個正回授電路 (M_1) 來降低跨於檢光二極體兩側的暫態電壓、一個差動轉阻放大器、雙回授直流偏壓控制電路、以及兩級的增益緩衝器和一個輸出級 (Output stage)。

自我補償電路

如圖 3.5 所示，檢光二極體的陰極經過電感 (L) 和電容 (C) 的串聯到電晶體 M_1 的閘極端再到源極端為自我補償電路的正回授路徑。 M_1 的傳導係數 (gm) 大小決定正回授的增益與輸入端的頻寬，相對也決定雜訊貢獻的大小，所以電路頻寬與雜訊大小是相互 trade off，除此之外，電感與電容的串聯共振可以增強正回授的電壓訊號，所使用的 C 為 3pF 的 MIM 電容，L 為 5nH 的堆疊式電感。為了提供檢光二極體於高速工作所需要的 1.2V 逆

向偏壓，所設計差動轉阻放大器輸入偏壓1.5V與電晶體 M_1 的源極端偏壓為0.3V。

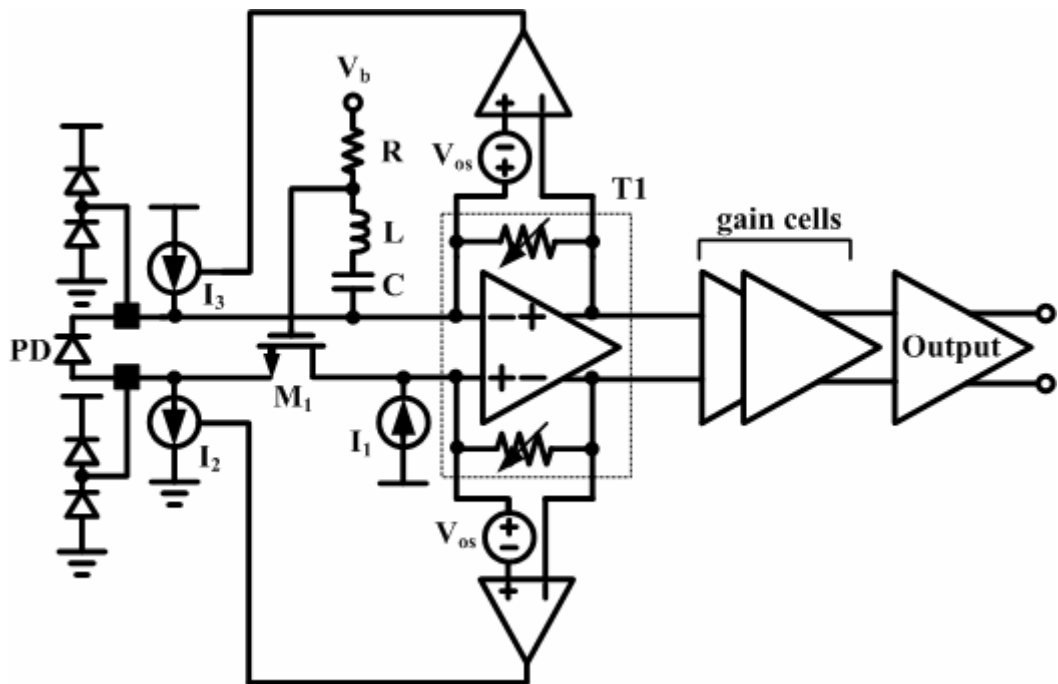


圖 3.5 系統架構

雙回授直流偏壓控制電路

為解決檢光二極體所造成的輸出端直流位準漂移問題，系統架構包含兩個比較器和兩個可控制電流源的雙回授直流偏壓控制電路，主要是透過比較器偵測流過負回授電阻的直流電流，然後控制輸入端電流源的直流電流大小，此負回授特性使檢光二極體的直流電流無法流入回授電阻，所以解決了直流位準漂移的問題，可有效改善大訊號波型失真的現象。除此之外，這兩個比較器設計具有0.3V的直流偏移(V_{os})，造成差動轉阻放大器輸出端比輸入端低0.3V的直流位準，也就是說，輸出端增加0.3V的headroom可以等效提昇差動轉阻放大器的開迴路增益與輸入端頻寬。

差動轉阻放大器核心電路

差動轉阻放大器核心電路為圖 3.5 的 T1。設計一個好的轉阻放大器必須考量雜訊、速度、和增益之間的互相影響，傳統的轉阻放大器為使轉阻放大器電路擁有比較低的雜訊，設計大的回授電阻可以擁有較低的雜訊，但是轉阻放大器的頻寬卻會受到回授電阻的限制。為了克服這個問題，我們在輸出端使用包含負電阻與負電容的主動式補償以及 shunt peaking 補償的技術；負電阻是補償輸出的負載電阻，可以等效提昇其轉阻放大器的增益，因而使其輸入阻抗下降與頻寬的增加；負電容與 shunt peaking 是補償輸出的寄生電容，shunt peaking 是不消耗 headroom 而能增加頻寬的補償技術，負電容可以隨消耗 headroom 大小而增加頻寬補償能力的技術。結合 shunt peaking 和負阻抗補償技術，除了可以增加電路頻寬與增益之外，也改善電容補償的不匹配。所以為了轉阻放大器能擁有高頻寬以及低雜訊的效能，我們對轉阻放大器的輸出端使用主動式補償和 shunt

peaking 補償。

雙級增益緩衝器

介於轉阻放大器與輸出級之間的電路必需是一個高頻寬的緩衝器，所以主動式補償之技術亦可運用在緩衝器上，讓緩衝器可以同時擁有高增益和高頻寬的效能，雙級增益緩衝器的設計使得整體系統效能可以達到80dBΩ以上的高增益。加入前面所列出的補償技術所新設計的系統，可以使新設計的系統頻寬比未補償系統頻寬和增益都獲得改善，在接下來小節的模擬將獲得驗證。

3.3 電路設計

3.3.1 電感與負電容補償設計

在設計高速電路時，電感與負電容都是十分有用的頻寬補償技術，前者的優點是不消耗 headroom 下可以提升頻寬，但是它卻需要考量晶片佈局、面積、寄生電容與電感值估計的準確性，後者的優點是具有彈性的補償與節省晶片面積的技術，但是它卻需要消耗 headroom 才能提升補償的能力。在這一小節中我們將探討使用電感與負電容補償技術的設計方式與準則。

電感補償設計準則

因為 inductive peaking 技術[14] 不需消耗電路的 headroom，所以可以應用在低電壓設計上。圖 3. 6 是一個共源極放大器，藉由輸出電阻 R 與電感 L 的串聯可以產生一個新的零點來抵消極點，然後產生一個更高頻的極點以達到頻寬提昇的目的。

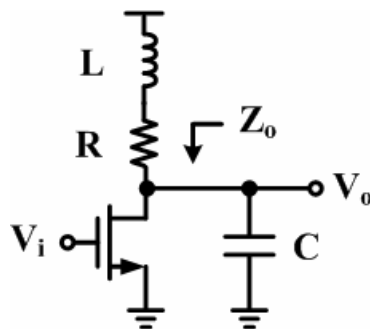


圖 3.6 電感補償之放大器

使用負電容補償之輸出的阻抗為下列方程式：

$$Z_o = \frac{R + sL}{s^2LC + sRC + 1} \quad (3.8)$$

$$= \frac{R(1+s\tau m)}{s^2\tau^2 m + s\tau + 1} \quad (3.9)$$

中 $\tau=RC$ 和 $m=L/R^2C$ 。圖 3.7 是針對不同 m 值的頻率響應，沒有使用電感補償的曲線 ($m=0$) 作為頻寬改善的參考點，所以將其增益和 3dB 頻率設為 1 ($R_L=1$ 和 $C_L=1$)，當 $m=0.4$ 時，擁有最平坦的頻率響應，此時的頻寬增加 70%。當 $m=0.7$ 時，擁有增加 85% 的最大頻寬改善，但是卻增加 1.5dB 的 peaking。所以當輸出負載電容增加時，提升電感大小才能增加頻寬的改善，但是需要考量晶片佈局困難以及面積與寄生電容的增加。

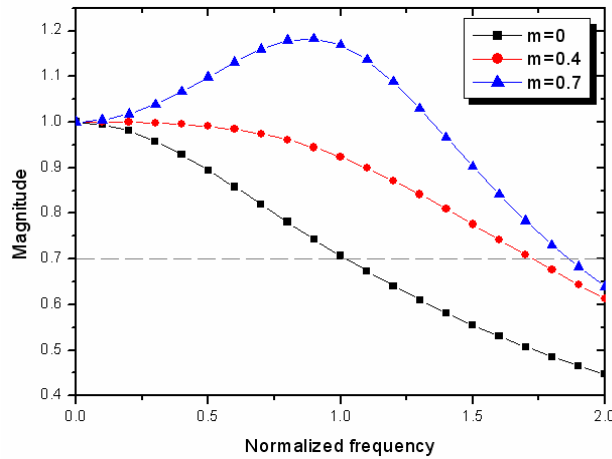


圖 3.7 電感補償之頻率響應

負電容補償設計準則

為了增加電路頻寬，我們可以將放大器的輸出端加入負電容補償，如圖 3.8 所示，一個差動放大器的輸出端加入電晶體 M_{c1} M_{c2} 與電容 kC_L 來產生負電容效應，此電路的輸出端會產生一個新的零點來抵消原本的極點，並且產生一個更高頻的極點讓輸出端的頻寬增加。使用負電容補償之輸出的阻抗如方程式(3.10)所示，其中的 g_{mc} 代表電晶體 M_{c1} 和 M_{c2} 的傳導係數(transconductance)

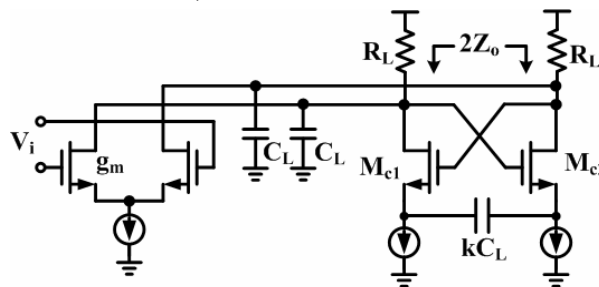


圖 3.8 負電容補償之放大器

$$Z_o = \frac{R_L \left(\frac{g_{mc}}{k} + 2C_L s \right)}{2R_L C_L^2 s^2 + (2C_L + \left(\frac{1}{k} - 2 \right) R_L C_L g_{mc}) s + \frac{g_{mc}}{k}} \quad (3.10)$$

為了分析方程式(3. 10)的阻抗特性，我們分成兩方向來討論：

(1)以固定的電容($k=0.2$)來改變電晶體 M_{c1} 和 M_{c2} 的傳導係數(g_{mc})

如圖 3. 9 所示，針對不同的傳導係數下的輸出阻抗之頻率響應，沒有使用負電容補償的曲線($g_{mc}=0$)作為頻寬改善的參考點，所以將其增益和 3dB 頻率設為 1 (將 $R_L=1$ 和 $C_L=1$ 代入 Z_o)；當 $g_{mc}=0.1$ 時，頻寬增加 10% ；當 $g_{mc}=1$ 時，頻寬增加 70%。也就是說，在不增加輸出負載電容大小的條件下，增加負電容偏壓電流可以提昇頻寬的補償能力，所以負電容對頻寬的補償是受限於輸出的 headroom。

(2)以固定的傳導係數($g_{mc}=0.1$)來改變補償電容(k)的大小

如圖 3. 10 所示，針對不同的補償電容(k)下的輸出阻抗(Z_o)之頻率響應，沒有使用負電容補償的曲線($g_{mc}=0$)作為頻寬改善的參考點，所以將其增益和 3dB 頻率設為 1 (將 $R_L=1$ 和 $C_L=1$ 代入 Z_o)；當 $k=0.1$ 時，頻寬增加 10% ；當 $k=0.25$ 時，頻寬也 10%，但是卻增加 0.4dB 的 peaking。也就是說，越大補償電容(k)並不能增加頻寬反而增加 peaking，造成系統的不穩定。

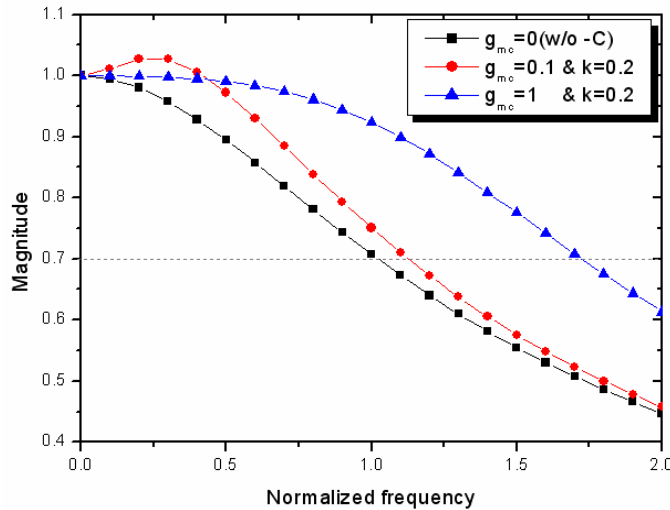


圖 3.9 不同傳導係數之頻率響應

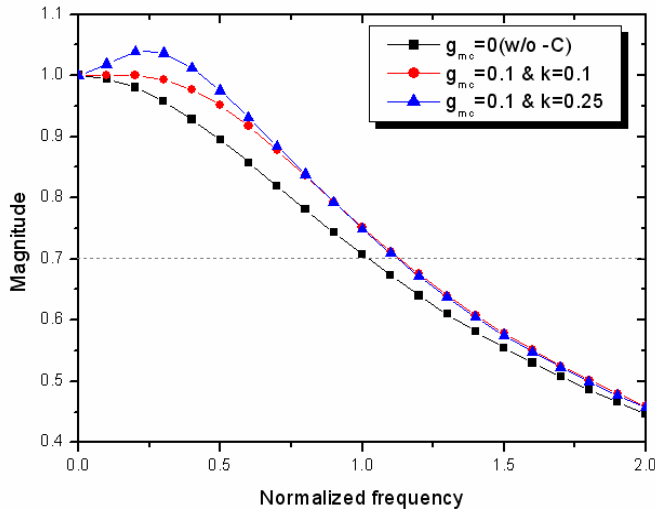


圖 3.10 不同補償電容之頻率響應

3.3.2 轉阻放大器核心電路

圖 3. 11為整體系統架構的完整轉阻放大器核心電路， T_1 ，輸出端加入包含負電阻與負電容的主動式補償電路，其中的電晶體 M_{r1} M_{r2} 產生電阻效應，負電容則利用電晶體 M_{c1} M_{c2} 與電容 C_c 來控制。對於電阻回授之單級差動對轉阻放大器而言，可以使系統具有較佳的雜訊效能與系統的穩定，但是它的低開迴路增益卻是造成寬頻設計上的困難，一般上，增加開迴路增益可以使用主動式負載來取代被動式負載，然而較差的線性特性使系統無法擁有較大的動態範圍。透過在輸出端加入的負阻抗可以調節其阻抗特性，等效提昇其轉阻放大器的增益，因而使其整體頻寬獲得改善，相較於單端式轉阻放大器而言，差動轉阻放大器更容易實現負阻抗補償。

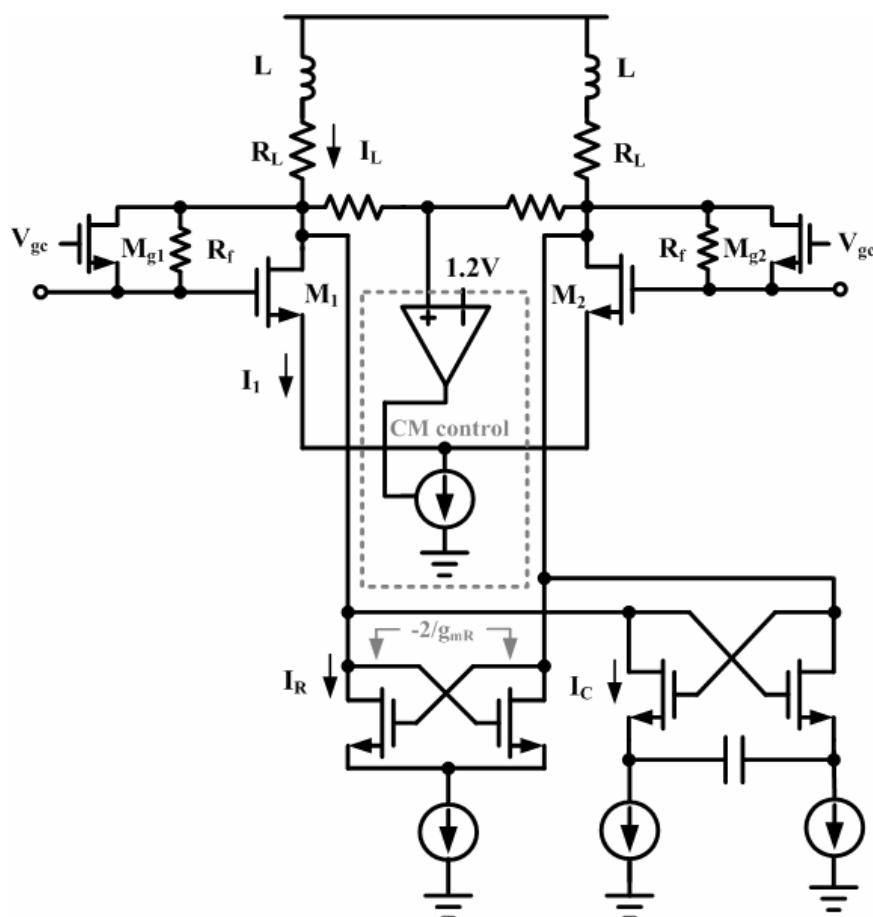


圖 3. 11 轉阻放大器核心電路

使用負電阻補償之開迴路增益為下列方程式：

$$A_o = g_{m1} \times (R_L // R_f // \frac{-1}{g_{mR}}) \approx \frac{g_{m1} R_L}{1 - g_{mR} R_L} \quad (3. 11)$$

由於方程式圖 3. 11的分母不得為負，以及需要考量負電阻補償的變異，所以設計分母的值為1/2，可以推導出方程式(3. 12)和方程式(3. 13)

$$g_{mR} = \frac{1}{2R_L} \quad (3.12)$$

$$g_{mI} = \frac{A_o}{2R_L} \quad (3.13)$$

再利用電流相等來推導出差動對電晶體與負電阻電晶體的尺寸大小關係，如方程式(3.14)，這裡先忽略負電容的部份，因為負電容主要是針對改善輸出阻抗不匹配的補償。

$$I_L = I_I + I_R + I_C \approx I_I + I_R = \left(\frac{g_{mI}^2}{2\mu_n C_{ox}}\right) \times \frac{L_I}{W_I} + \left(\frac{g_{mR}^2}{2\mu_n C_{ox}}\right) \times \frac{L_r}{W_r} \quad (3.14)$$

此外，在不消耗headroom下使用shunt peaking補償技術更能提升轉阻放大器的頻寬。在回授電阻上並聯一個手動電壓控制的可變電阻(使用電晶體 M_{g1} 和 M_{g2} 來完成)可以提升overload的大小。為了控制輸出的共模電壓準位，加入一個包含比較器和控制電流源的負回授電路。

改善輸出補償的不匹配

隨著製程上 corner 的變異或是晶片內操作溫度的變異，負電阻的變異導致輸出端補償的不匹配，所以我們設計一個隨 corner 變異和晶片操作溫度變異的負電阻和負電容，其設計概念為透過負電阻與負電容偏壓電流的調變來改善輸出補償的變異。

所設計的負電阻電路，如圖 3.12 所示， I_r 提供了負電阻所需要的偏壓電流，在電流鏡的閘極端加入了一個 w/i Silicide 的電阻 R_y ，此電阻具有正溫度係數的特性。當 corner 變為 FF 或溫度下降時，藉由方程式(3.15)的推倒，可以知道遷移率(μ_n)的上升會使得負電阻變大，造成負電阻對系統補償過頭，除此之外，透過方程式(3.16)負電阻偏壓電流， I_r ，與電阻 R_y 的關係，以及電阻 R_y 正溫度係數的特性，使得負電阻的偏壓電流下降，達到反向開迴路的補償機制。同理，當 corner 變為 SS 或溫度上升時，因為遷移率(μ_n)的下降使得負電阻變小，造成負電阻對系統補償不足，所以透過 R_y 變大的特性使得負電阻的偏壓電流上升，也達到反向開迴路的補償機制。

$$-R = \frac{-2}{gm} = \frac{-2}{2\sqrt{I_r \times \frac{1}{2} \times \mu_n C_{ox} \times \frac{W}{L}}} \quad (3.15)$$

$$I_r = \frac{W_r}{W_x} \times I_x = \frac{W_r}{W_x} \times \left(I_m - \frac{Vt}{R_y}\right) \quad (3.16)$$

當 corner 變為 SS 或溫度上升時，電感串聯的電阻變大，造成使用電感來補償頻寬的能力降低，所以在此利用負電容來彌補此時電感的不足，主要的設計概念是透過 w/i Silicide 的電阻在 SS 或溫度上升能變大的特性，使負電容的偏壓電流(I_c)也能隨著 SS 或溫度上升能變大(如圖 3.13)，由前一小節的分析可以知道負電容的頻寬補償能力隨偏壓電流的上升而變大，所以負電容補償頻寬能力的變大可以彌補電感補償的不足。同理，當 corner 變 FF 或溫度下降時，負電容的偏壓電流隨著 FF 或溫度下降而變小，使得負電容補償頻寬能力的變小可以降低對系統補償過頭。

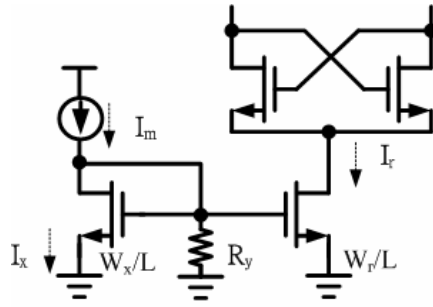


圖 3.12 負電阻之電流源電路

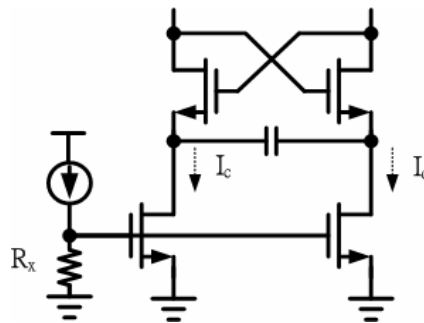


圖 3.13 負電容之電流源電路

比較器電路

圖 3.14 為雙回授直流偏壓控制電路和差動核心轉阻放大器 (T1) 控制輸出共模電壓所需的比較器電路，此比較器電路為雙端輸入和單端輸出，且頻寬必須小於 50kHz 以確保電路只控制直流偏壓，所以在輸出端加入 10pF 大小的負載電容(如圖中的 C1 和 C2)，因為此比較器的主極點發生在輸出上。由於雙回授直流偏壓控制電路需要透過比較器提供 0.3V 的直流偏移 (V_{os})，所以我們設計電晶體 M_{11} 通道寬度為電晶體 M_{12} 的 γ 倍，由方程式(3. 17)與方程式(3. 18)的電流相等推導出直流偏移電壓 (V_{os}) 方程式(3. 19)，然後再將方程式(3. 20)與方程式(3. 21)代入方程式(3. 19)，可以獲得所需要設計的 γ 值為 1.9。

$$I_{D1} = \frac{1}{2} \mu_n C_{ox} \left(\frac{\gamma W}{L} \right) (V_{i-} - V_{tn})^2 \quad (3.17)$$

$$I_{D2} = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{i+} - V_{tn})^2 = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{i-} + V_{OS} - V_{tn})^2 \quad (3.18)$$

$$V_{OS} = (\sqrt{\gamma} - 1)(V_{i-} - V_{tn}) \quad (3.19)$$

$$\text{Max}(V_{OS}) \Leftrightarrow \text{Stable } V_{OS} \quad (3.20)$$

$$\text{Requirements: } \begin{cases} \bar{V}_{i-} = V_R = 1.2V \\ V_{tn} = 0.4V \\ V_{OS} = 0.3V \end{cases} \Rightarrow \gamma = 1.9 \quad (3.21)$$

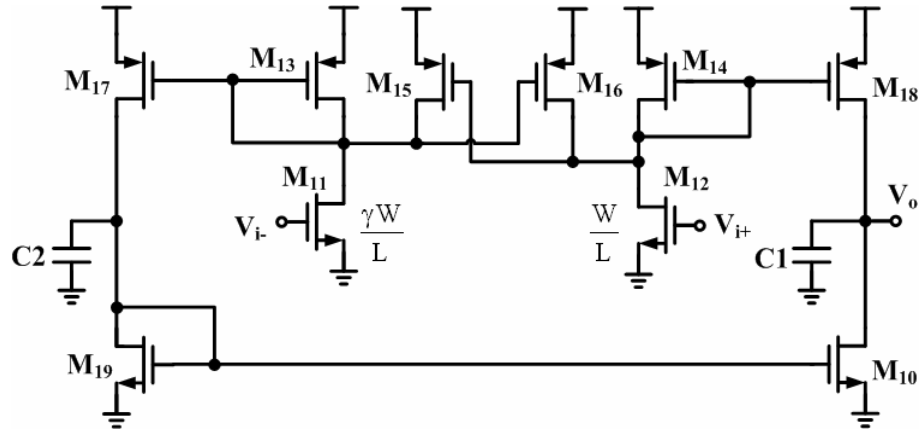


圖 3.14 比較器電路

3.3.3 負阻抗補償之增益緩衝器

圖 3.15 為所設計的單級增益緩衝器完整電路，此電路是加上負阻抗補償的 Cherry Hooper 電路架構[19]，其中的電晶體 M_{r3} M_{r4} 產生負電阻效應，負電容則利用電晶體 M_{c3} M_{c4} 與電容 C_{c2} 來控制，由於 Cherry Hooper 電路架構是轉導放大級和轉阻放大級的結合，加入負阻抗補償技術[12] 可以調節其轉阻放大級的輸出阻抗特性，以等效提昇其轉阻放大器的增益，而且擁有高寬頻的單級增益電路。圖 3.16 為輸出級的電路圖，為了驅動示波器上的 50 歐姆阻抗，所以輸出級必須有高電流驅動能力。在最近的研究上，共源極放大器常常被作為最好的輸出級選擇，因為他輸出的直流偏壓準位可以獨立於輸入閘極電壓準位，再加上輸出阻抗的匹配可以用簡單的 50 歐姆電阻或者 2 個 100 歐姆電阻並聯來完成。

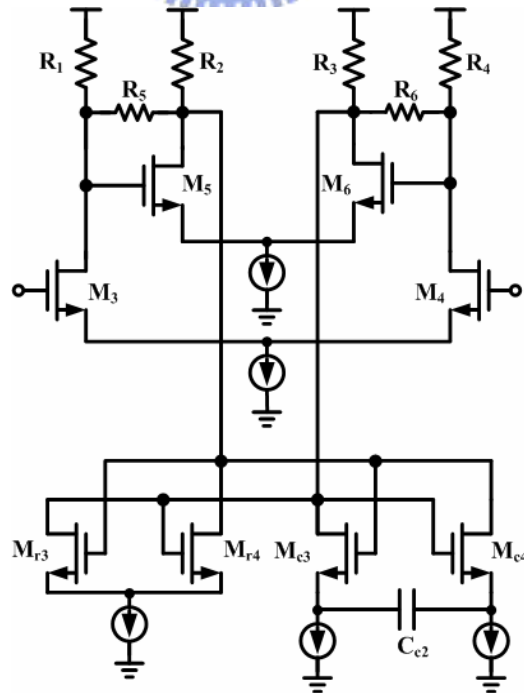


圖 3.15 增益級緩衝器電路

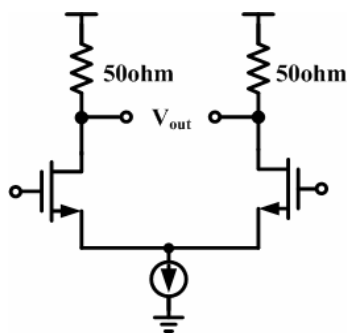


圖 3.16 輸出級電路

3.4 模擬和佈局

模擬使用主動式補償之轉阻放大器

由於轉阻放大器與檢光二極體是利用 bond-wire 方式整合在同一電路印刷板上，所以在模擬轉阻放大器頻率響應和眼圖時，必須考量 bond-wire 的電感效應，如圖 3.17 為所示， 1nH 的 L_{BW} 作為 bond-wire 的電感模擬，輸入端的檢光二極體負載電容 C_{PD} 為 0.8pF 、串聯電阻 R_s 為 $15\ \Omega$ ，以及靜電防護電路的負載電容為 0.5pF 。圖 3.18 為模擬轉阻放大器使用負阻抗補償與電感補償的頻率響應，由圖中可以得到沒有使用補償的頻寬為 320MHz ，加入負阻抗補償轉阻放大器的頻寬從 320MHz 提升到 1.9GHz ，增益也提升了 3.5dB 歐姆，再加入電感補償轉阻放大器的頻寬從 1.9GHz 提升到 3.0GHz 。圖 3.19(a) 為模擬沒有補償之轉阻放大器的眼圖，圖 3.19(b) 為模擬有負阻抗補償之轉阻放大器的眼圖，圖 3.19(c) 為模擬有負阻抗與電感補償之轉阻放大器的眼圖。所以不論從頻率域或時間域都可以證明使用主動式補償的轉阻放大器可以同時改善增益與頻寬的效能

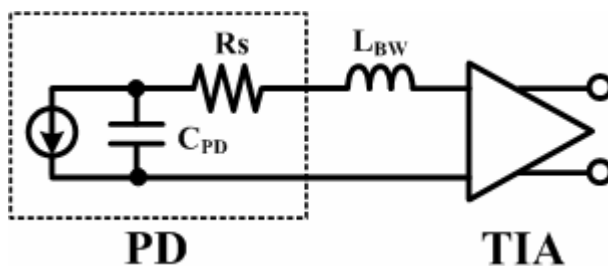


圖 3.17 bond-wire 模擬考量

模擬使用電感和電容串聯的效應

圖 3.20 為模擬轉阻放大器使用電感和電容串聯的交流耦合的頻率響應，由圖中可以得到只有使用電容的交流耦合的頻寬為 2.4GHz ，使用電感和電容串聯的交流耦合的頻寬從 2.4GHz 提升到 3.8GHz ，圖 3.21 (a) 為模擬只有使用電容的交流耦合的眼圖，圖 3.21 (b) 為模擬使用電感和電容串聯的交流耦合的眼圖由此可以證明電感和電容串聯的交流耦合可以提昇正回授的電壓訊號，以達到提昇轉阻放大器的頻寬。

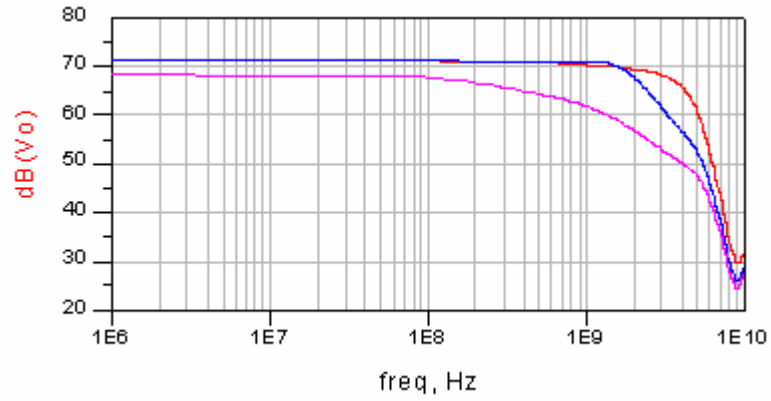


圖 3.18 轉阻放大器頻率響應模擬

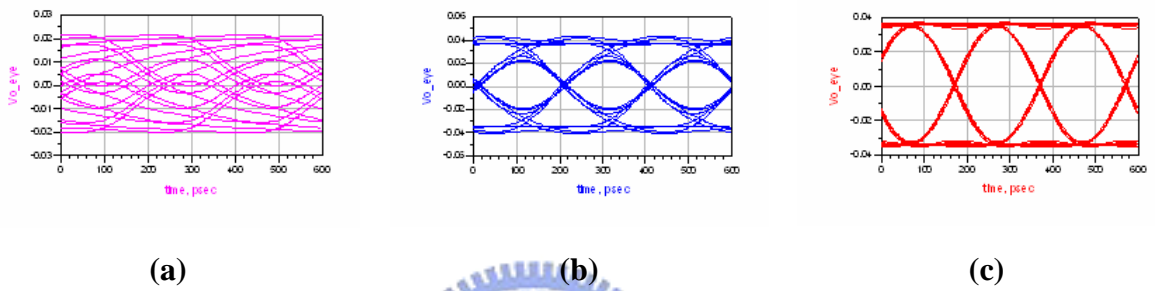


圖 3.19 (a)無補償的眼圖模擬 (b)有負阻抗的眼圖模擬 (b)有負阻抗與電感的眼圖模擬

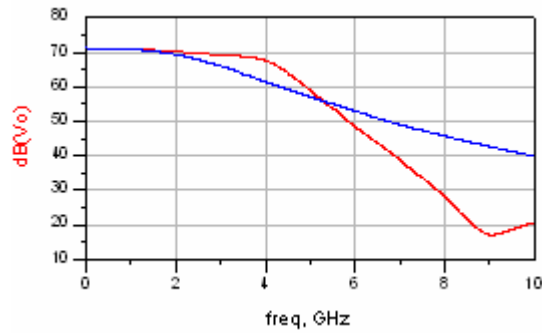


圖 3.20 轉阻放大器 LC 串聯的交流耦合之頻率響應模擬

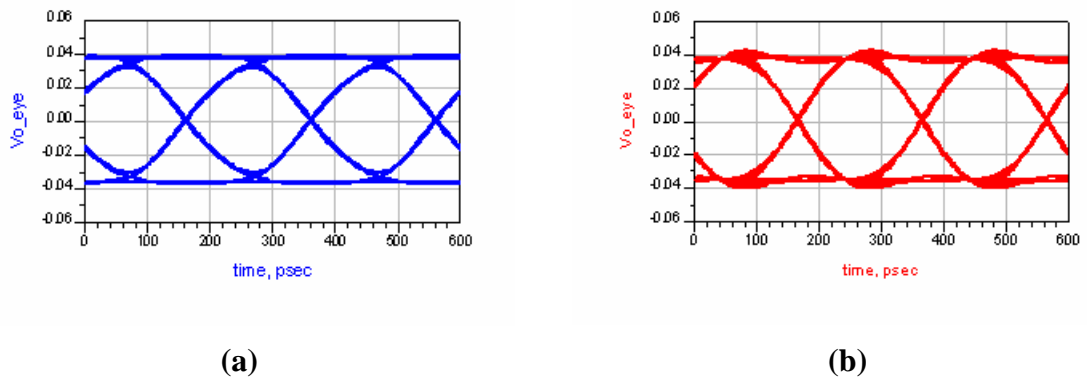


圖 3.21 (a)電容交流耦合的眼圖模擬 (b) 電感電容串聯之交流耦合的眼圖模擬

模擬使用主動式補償之增益緩衝器

圖 3. 22 為模擬增益緩衝器使用負阻抗補償的頻率響應，加入負阻抗的頻寬從 4.5GHz 提升到 6GHz，增益提升了 5.5dB 歐姆。圖 3. 23(a)為模擬沒有加負阻抗補償之增益緩衝器的眼圖，圖 3. 23(b)為模擬有負阻抗補償之增益緩衝器的眼圖。所以不論從頻率域或時間域都可以證明使用主動式補償可以同時改善增益與頻寬的效能。

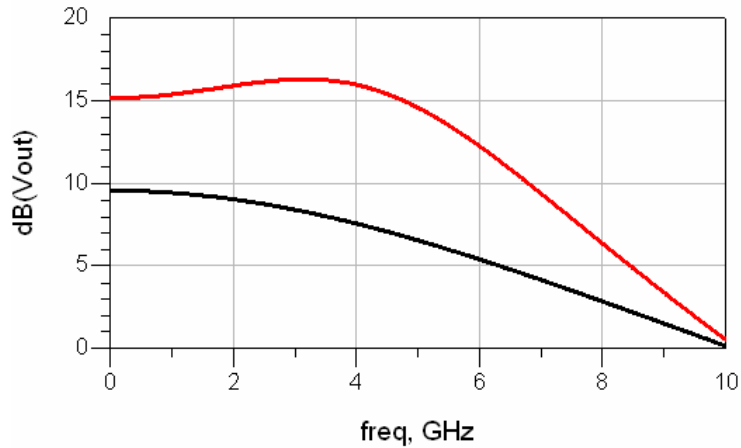


圖 3. 22 增益級電路之頻率響應模擬

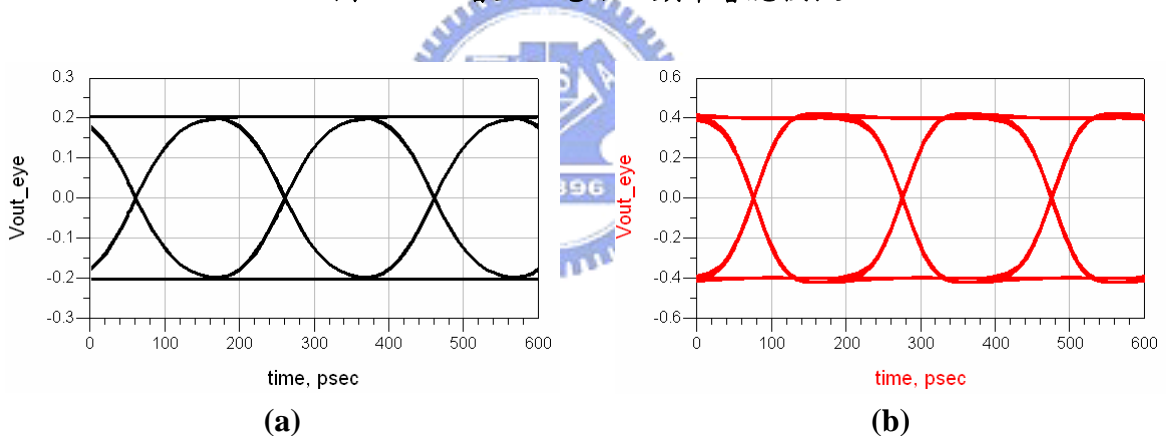


圖 3. 23 (a)無主動式補償的眼圖模擬 (b)有主動式補償的眼圖模擬

模擬改善輸出補償變異

隨著製程上 corner 的變異或是晶片內操作溫度的變異，導致轉阻放大器核心電路輸出端使用負阻抗與電感補償能力的改變，所以使用偏壓電流追蹤技術來改變負電阻與負電容的補償能力，以降低系統效能的變異。

當 corner 為 SS 和溫度為 80°C 時，圖 3. 24 為模擬轉阻放大器使用偏壓電流追蹤技術的頻率響應，使用追蹤技術的頻寬從 1.24GHz 提升到 2.48GHz；圖 3. 25(a)為模擬當溫度 80°C 和 corner 為 SS 時沒有使用偏壓電流追蹤技術的眼圖，圖 3. 25(b)為模擬當溫度+80°C 和 corner 為 SS 時有使用偏壓電流追蹤技術的眼圖。

當 corner 為 FF 和溫度為 0°C 時，圖 3. 26 為模擬轉阻放大器使用偏壓電流追蹤技

術的頻率響應，使用追蹤技術的 peaking 從 10dB 降低到 1.8dB；圖 3. 27(a)為模擬當溫度 0°C 和 corner 為 FF 時沒有使用偏壓電流追蹤技術的眼圖，圖 3. 27(b)為模擬當溫度 0°C 和 corner 為 FF 時有使用偏壓電流追蹤技術的眼圖。

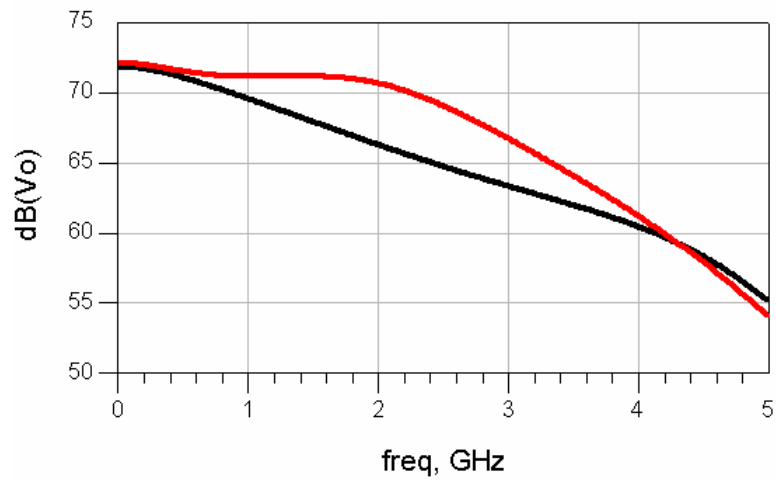


圖 3. 24 SS 和溫度 80°C 的頻率響應模擬

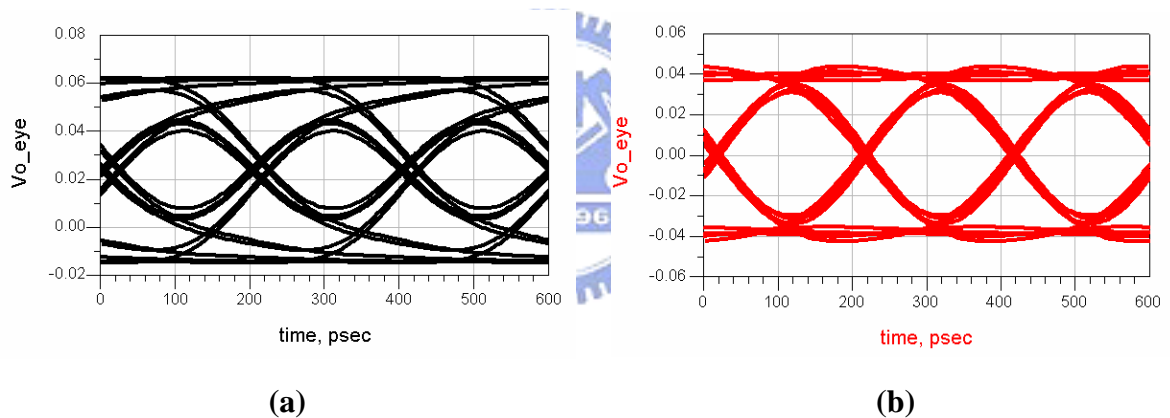


圖 3. 25 (a)無電流追蹤技術的眼圖模擬 (b)有電流追蹤技術的眼圖模擬

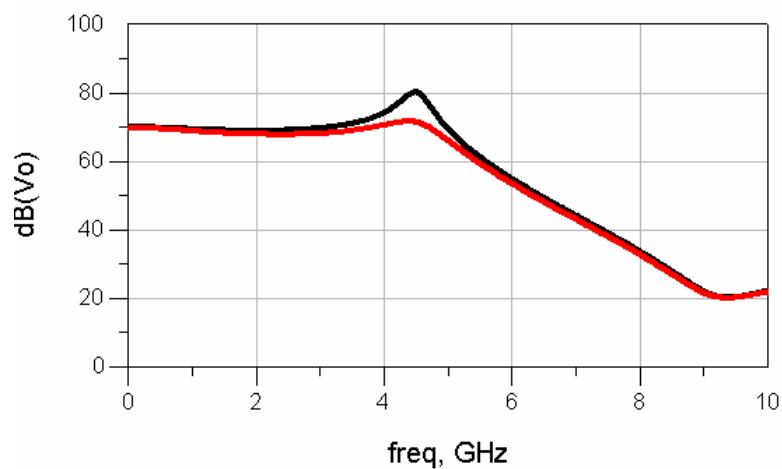
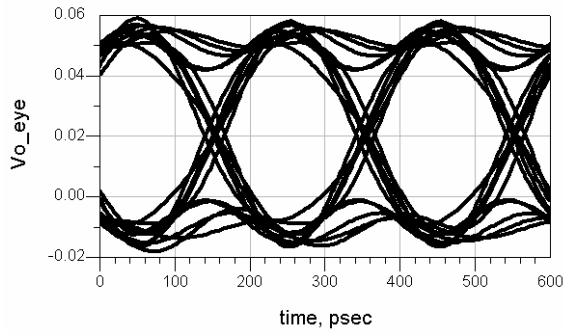
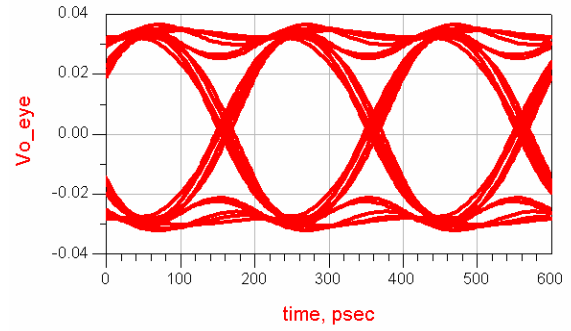


圖 3. 26 FF 和溫度 0°C 的頻率響應模擬



(a)

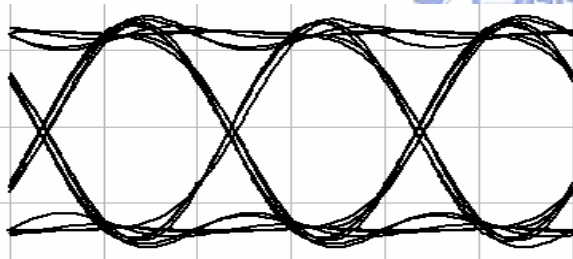


(b)

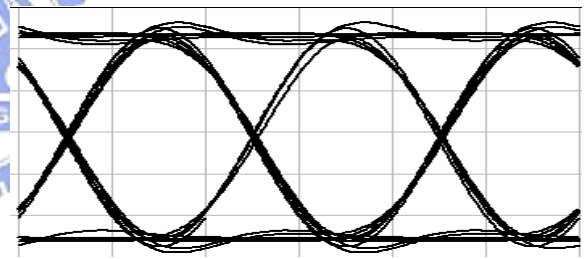
圖 3.27 (a)無電流追蹤技術的眼圖模擬 (b)有電流追蹤技術的眼圖模擬

模擬輸入端電容容忍度

圖 3.28(a)為輸入訊號 $10\mu\text{A}_{\text{pp}}$ 、5GHz 的 K28.5k 訊號和輸入端沒有靜電防護電路的模擬眼圖，圖 3.28(b)為輸入訊號 $10\mu\text{A}_{\text{pp}}$ 、5GHz 的 K28.5k 訊號和輸入端有靜電防護電路的模擬眼圖，圖 3.29(a)為輸入訊號 $800\mu\text{A}_{\text{pp}}$ 、5GHz 的 K28.5k 訊號和輸入端沒有靜電防護電路的模擬眼圖，圖 3.29(b)為輸入訊號 $800\mu\text{A}_{\text{pp}}$ 、5GHz 的 K28.5k 訊號和輸入端有靜電防護電路的模擬眼圖。

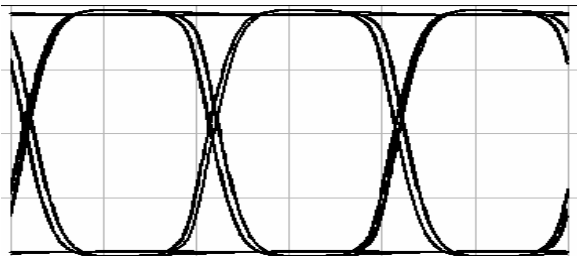


(a)

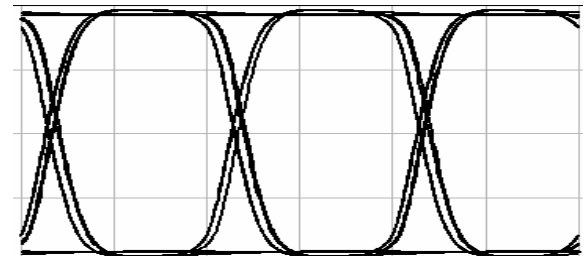


(b)

圖 3.28 (a) $R_f=2\text{k}$ 和沒有 ESD 電路的眼圖模擬(b) $R_f=2\text{k}$ 和有 ESD 電路的眼圖模擬



(a)



(b)

圖 3.29 (a) $R_f=450$ 和沒有 ESD 電路的眼圖模擬(b) $R_f=450$ 和有 ESD 電路的眼圖模擬

佈局平面圖

圖 3.30 為晶片佈局平面圖。為了節省晶片的面積，轉阻放大器的電感是使用堆疊式，立體圖如圖 3.31 所示，在我們設計的立體電感中用了四層的金屬，從最上層的金屬(metal 6)開始順時針往內繞兩圈，再連接下一層金屬(metal 5)往外繞兩圈，再連接下一層金屬(metal 4)往內繞兩圈，最後再連接下一層金屬(metal 3)往外繞兩圈即可完成我們所需要的電感。對於電感特性的模擬，主要是利用安捷倫公司所開發出來的 ADS Momentum 作電磁模擬，需注意的參數有線寬，線距，內徑等，模擬電感的感值和串聯的阻值，以便將所設計的堆疊式電感和轉阻放大器共同整合模擬。圖 3.32 (a)為晶片顯微圖，晶片下方為輸入端，晶片上方為輸出端，圖 3.32 (b)為晶片與檢光二極體(圖中下方的晶片)整合在同一電路印刷板上的顯微圖，其中檢光二極體的感光直徑為 $60\mu\text{m}$ 。

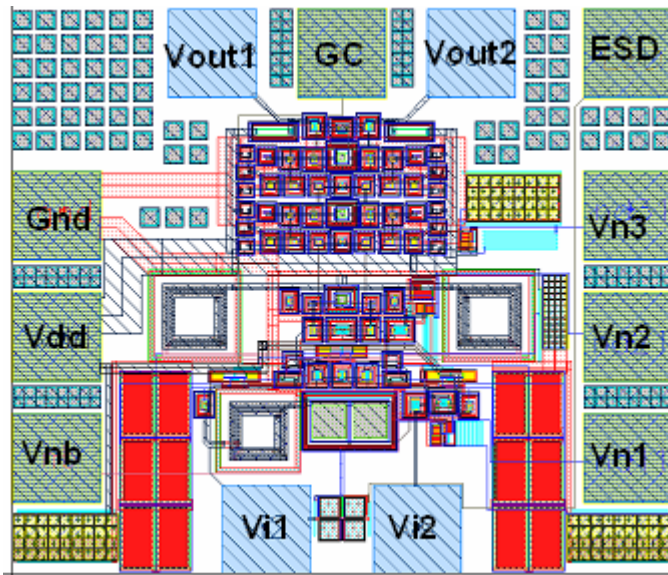


圖 3.30 佈局平面圖

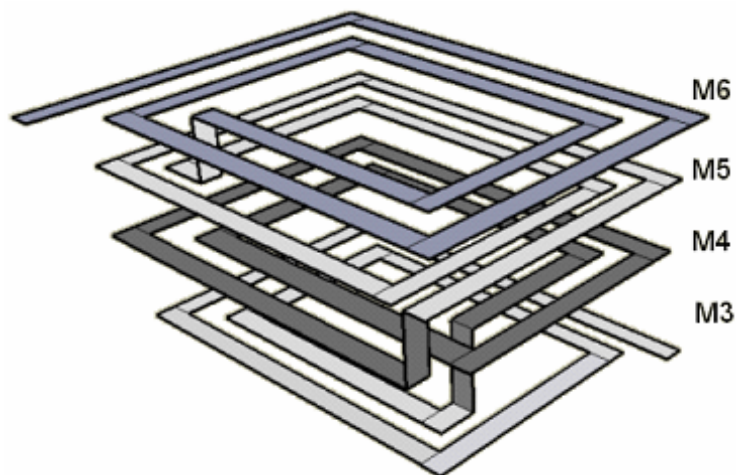
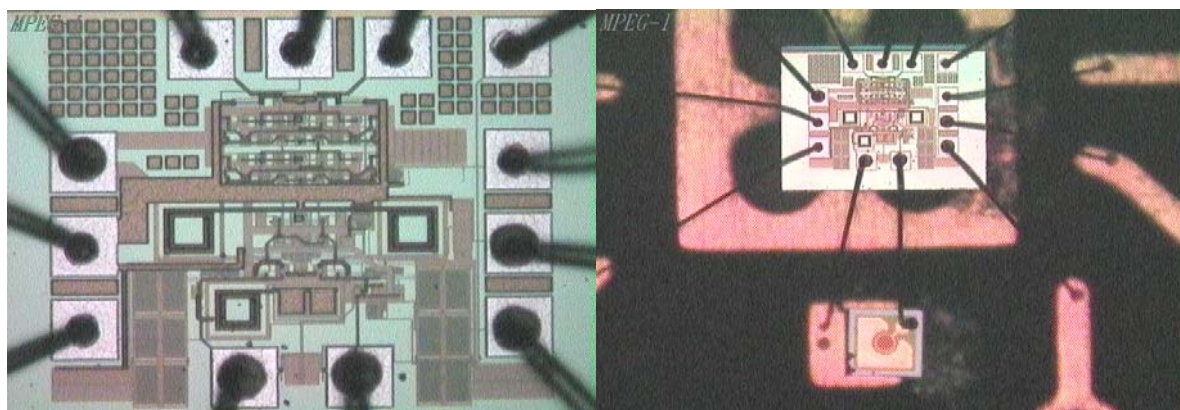


圖 3.31 四層堆疊式電感立體圖



(a) (b)
圖 3.32 (a)晶片顯微圖(b)晶片與檢光二極體整合顯微圖

模擬效能總結

表 3.1 為此轉阻放大器模擬效能結果與預定規格的比較，其中模擬的靈敏度估算是由方程式(3.22)[25] 來求得大約為-19.2dBm ($\rho=0.9W/A$, $r_e=9.5dB$)。

$$\text{sensitivity} = 10 \times \log\left[\frac{14.1 \times I_N (r_e + 1)}{2\rho(r_e - 1)} \times 1000\right] \quad (3.22)$$

表 3.1 預定規格與模擬效能比較

	預定規格	模擬結果
Technology	0.18 μ m CMOS	0.18 μ m CMOS
Supply voltage	1.8V	1.8V
PD capacitance	0.8pF	0.72pF
ESD capacitance	0.5pF	0.5pF
Data rate	5Gb/s	5Gb/s
Receiver bandwidth	3.5GHz	3.86GHz(w/o ESD) 3.10GHz(w/ ESD)
Input equivalent noise current	-	1.19uA(w/o ESD) 1.23uA(w/ ESD)
Sensitivity	-20dBm	-19.2dBm
Transimpedance gain	85dB Ω	88dB Ω (differential)
Output swing	360mV _{pp}	360mV _{pp} (differential)
Power consumption	-	62.5mW
Die size	-	600x520 μ m ²

3.5 量測結果

3.5.1 量測環境

頻率響應量測環境

圖 3.33(a)為理想光接收器的頻率響應量測環境，由網路分析儀的 Port 1 將電訊號送入光發射器把電訊號轉成光訊號，然後將產生光訊號送入寬頻光接收器，輸出電壓訊號再送回到網路分析儀的 Port 2，量測出 S21_Wideband。圖 3.33(b)為晶片頻率響應量測環境，由網路分析儀的 Port 1 將電訊號送入光發射器把電訊號轉成光訊號，然後利用光對準器(Optical probe)將光訊號和檢光二極體互相耦合，此 InGaAs PIN 的檢光二極體與轉阻放大器整合在同一電路印刷板(PCB)上，操作在 1.2 伏特逆向偏壓的檢光二極體的寄生電容為 0.72pF 與打入 1310nm 光波長的光反應度為 0.9A/W，所產生光電流訊號送入轉阻放大器，輸出電壓訊號再送回到網路分析儀的 Port 2，量測出 S21_DUT。最後把兩個 S21 相除，如下列方程式，即可以得到頻率響應量測結果。

$$S21 = \frac{S21_DUT}{S21_Wideband} \quad (3.23)$$

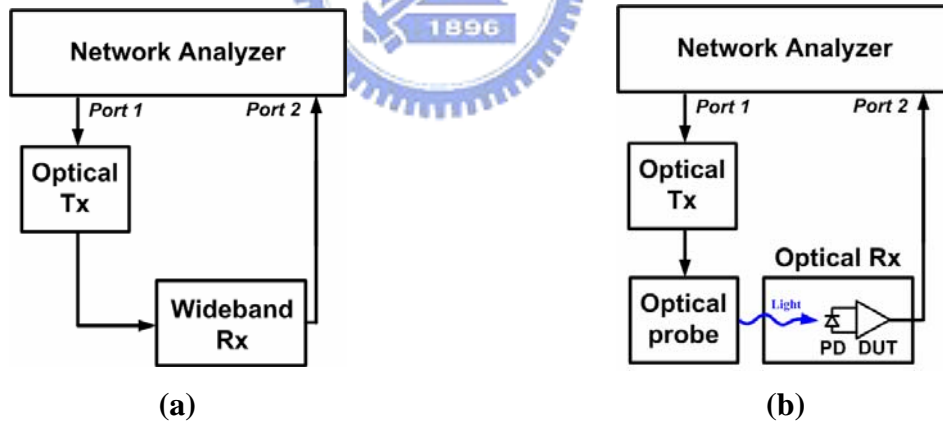


圖 3.33 晶片頻率響應量測安裝環境

眼圖與靈敏度量測環境

圖 3.34 為晶片眼圖與靈敏度量測環境，利用安捷倫 N4901B 送出 5Gb/s 的 $2^{31}-1$ 的偽隨機二進制數據流(PRBS)給 Externally Modulated DFB Source，此發射器會將電訊號轉成光訊號並且送出具有 9.5dB Extinction ratio 和 1310nm 光波長的光訊號，再利用光對準器(Optical probe)將光訊號和檢光二極體互相耦合，此 InGaAs PIN 的檢光二極體與轉阻放大器整合在同一電路印刷板(PCB)上，操作在 1.2 伏特逆偏壓的檢光二極體的寄生電容為 0.72pF 和打入 1310nm 光波長的光反應度為 0.9A/W；透過檢光二極體的接收將光轉換成電流訊號，再由所設計的轉阻放大器放大成電壓訊號到安捷倫 86100B 視波器上，

量測出不同光功率下的眼圖；以及透過一個 40dB Ω 的寬頻放大器送回 N4901B 來估算位元錯誤率，最後形成位元錯誤率曲線，即得到系統靈敏度。

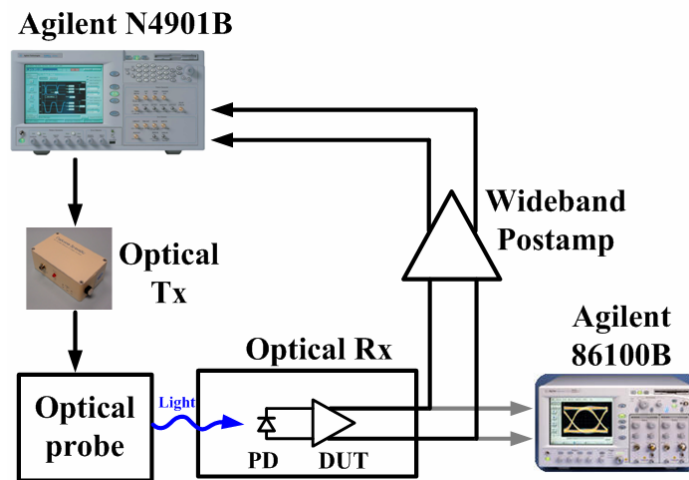


圖 3.34 晶片眼圖和錯誤碼率量測安裝環境

3.5.2 量測結果

頻率響應量測結果

量測結果如圖 3.35 所示，轉阻放大器沒有加入靜電防護電路(w/o ESD)的頻寬為 3.0GHz，加入靜電防護電路(w/ ESD)的頻寬為 2.7GHz，也就是說，靜電防護電路對於轉阻放大器輸入端所增加的負載電容只有降低 0.3GHz 的頻寬，所以此轉阻放大器對輸入端的負載電容有較大的容忍度。

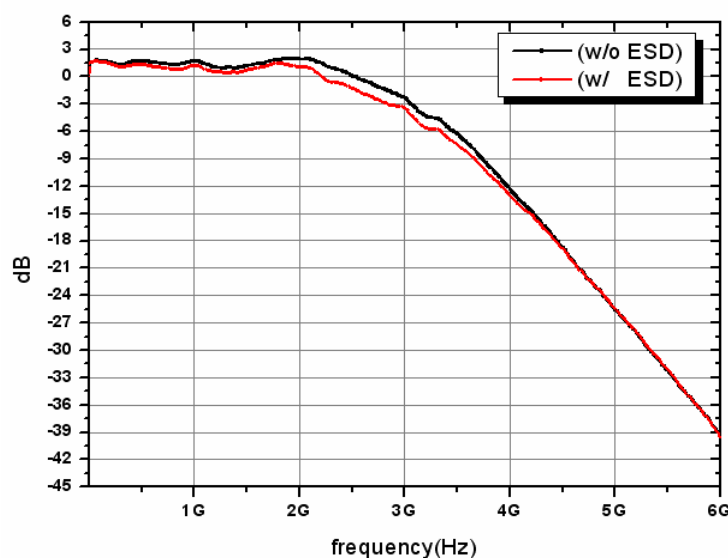


圖 3.35 頻率響應量測結果

眼圖量測結果

圖 3. 36 為輸入訊號功率-16dBm、5GHz 的 $2^{31}-1$ 的偽隨機二進制數據流(PRBS)和輸入端有靜電防護電路的量測眼圖，圖 3. 37 為輸入訊號功率-16dBm、5GHz 的 $2^{31}-1$ 的偽隨機二進制數據流(PRBS)和輸入端沒有靜電防護電路的量測眼圖。圖 3. 38 為輸入訊號功率+0dBm、5GHz 的 $2^{31}-1$ 的偽隨機二進制數據流(PRBS)和輸入端有靜電防護電路的量測眼圖，圖 3. 39 為輸入訊號功率+0dBm、5GHz 的 $2^{31}-1$ 的偽隨機二進制數據流(PRBS)和輸入端沒有靜電防護電路的量測眼圖。

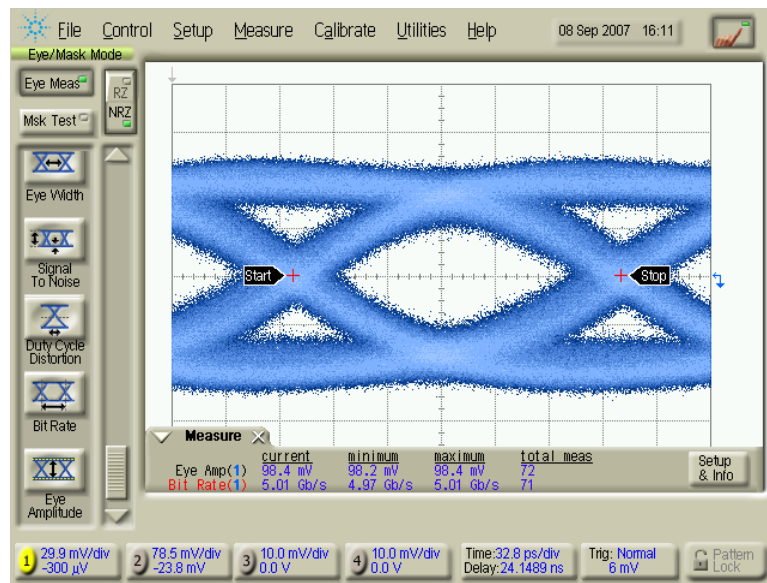


圖 3. 36 輸入訊號功率-16dBm、5GHz 和有靜電防護電路的眼圖

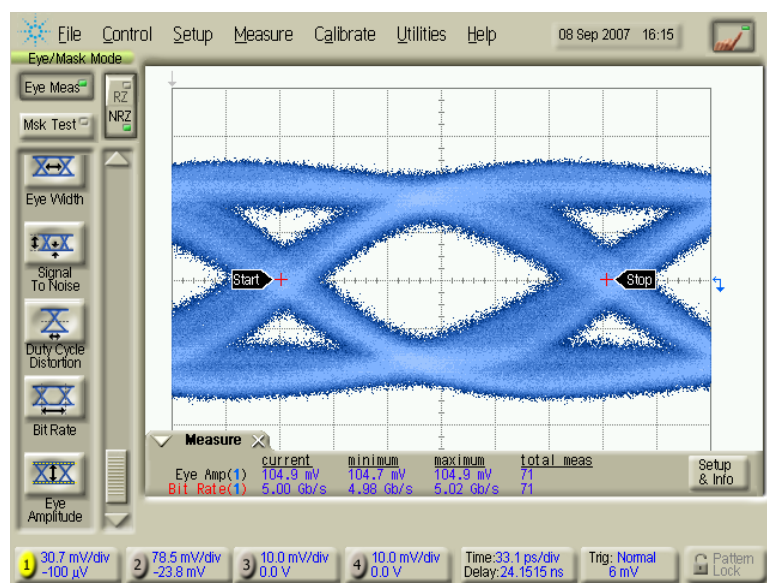


圖 3. 37 輸入訊號功率-16dBm、5GHz 和無靜電防護電路的眼圖

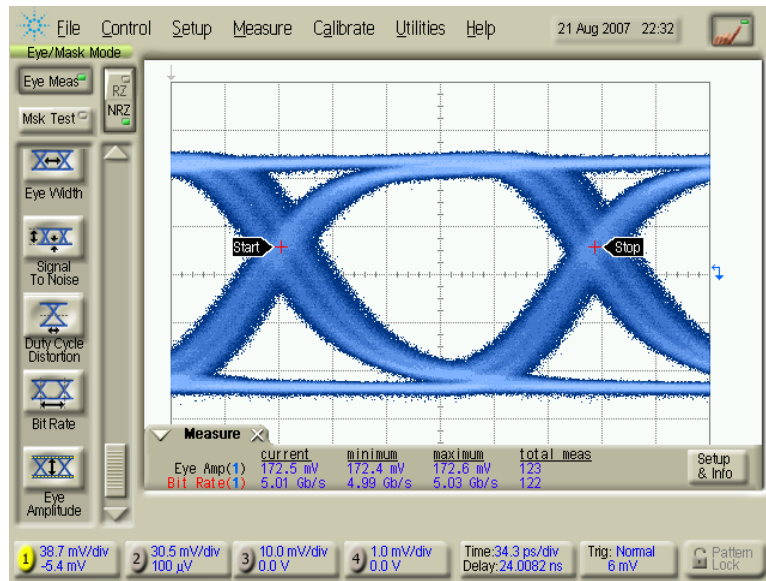


圖 3.38 輸入訊號功率+0dBm、5GHz 和有靜電防護電路的眼圖

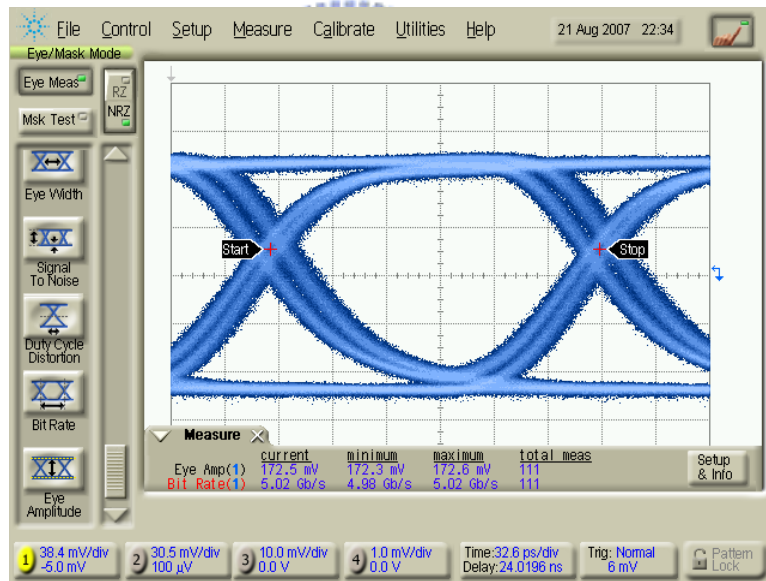


圖 3.39 輸入訊號功率+0dBm、5GHz 和無靜電防護電路的眼圖

靈敏度量測 I

圖 3.40 是使用安捷倫 N4901B Serial BERT 儀器，量測的位元錯誤率曲線圖，在符合位元錯誤率在 10^{-12} 條件下，沒有靜電防護電路之轉阻放大器的靈敏度為-17.6dBm，當加入靜電防護電路時靈敏度下降至-17.2dBm，驗證了此電路架構可達到高輸入電容的容忍度。

靈敏度量測 II

圖 3. 41 是關閉輸入訊號時，使用安捷倫 E4400A 頻譜分析儀，量測晶片單端輸出雜訊功率分佈圖[17]，將雜訊功率積分至 5GHz 的單端輸出總雜訊功率 $P_{n,out} = -33.1\text{dBm}$ ，再代入方程式(3. 24)算出輸入參考雜訊電流 I_N (方程式(3. 24)中的 47 為 dBm 與 dBmV 單位轉換因素)，最後由方程式(3. 25)[25] 來算出靈敏度(sensitivity)為 -17.5dBm (方程式(3. 25)中的 $\rho=0.9\text{W/A}$ ， ρ 為檢光二極體的光反應度(responsivity)； $r_e=9.5\text{dB}$ ， r_e 為發射器的 extinction ratio)，與安捷倫 N4901B 所量測的靈敏度只相差 0.1dB。

$$I_N = \frac{\left(10^{\frac{P_{n,out}+47}{20}}\right) \text{mV}}{\text{gain}} \quad (3. 24)$$

$$\text{sensitivity} = 10 \times \log\left[\frac{14.1 \times I_N (r_e + 1)}{2\rho(r_e - 1)} \times 1000\right] \quad (3. 25)$$

靈敏度量測 III

圖 3. 42 是關閉輸入訊號時，使用安捷倫 86100B 視波器，量測晶片單端輸出的 Gaussian-shaped Histogram[18]，輸出雜訊為 4.54mV ，除以增益 2.75k 得到輸入參考雜訊電流 I_N ，最後由方程式(3. 25)[25] 來算出靈敏度(sensitivity)為 -17.9dBm (方程式(3. 25)中的 $\rho=0.9\text{W/A}$ ， ρ 為檢光二極體的光反應度(responsivity)； $r_e=9.5\text{dB}$ ， r_e 為發射器的 extinction ratio)，與安捷倫 N4901B 所量測的靈敏度只相差 0.3dB。

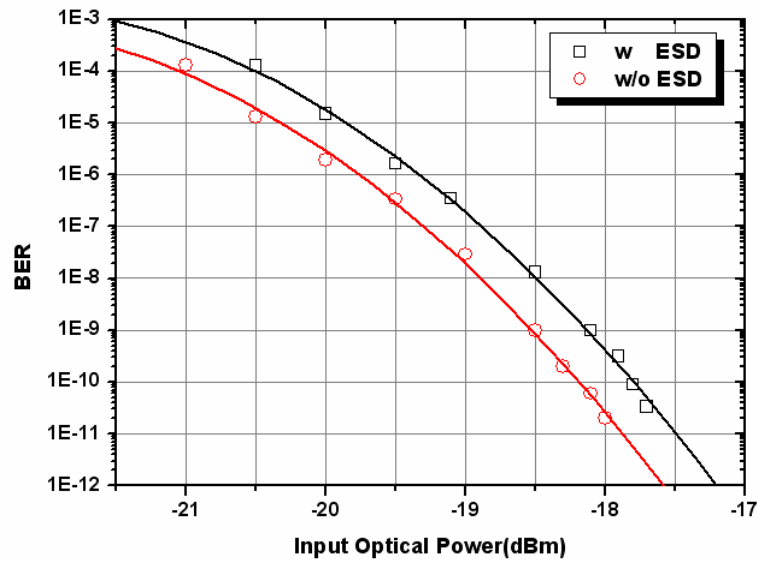


圖 3.40 位元錯誤率曲線圖

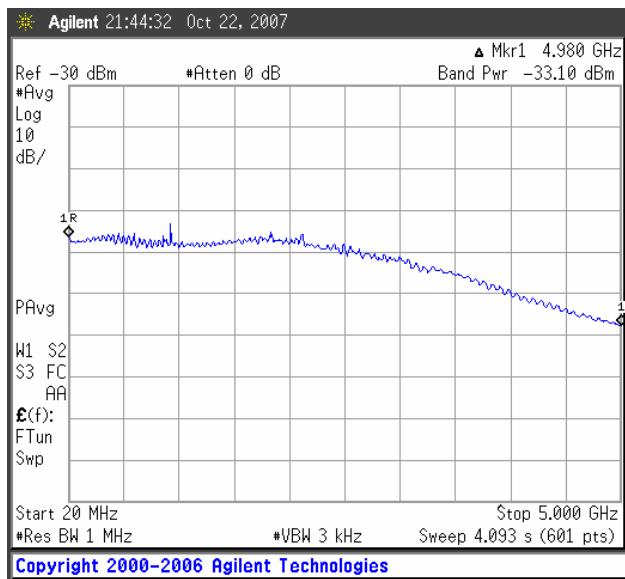


圖 3.41 輸出雜訊功率分佈圖

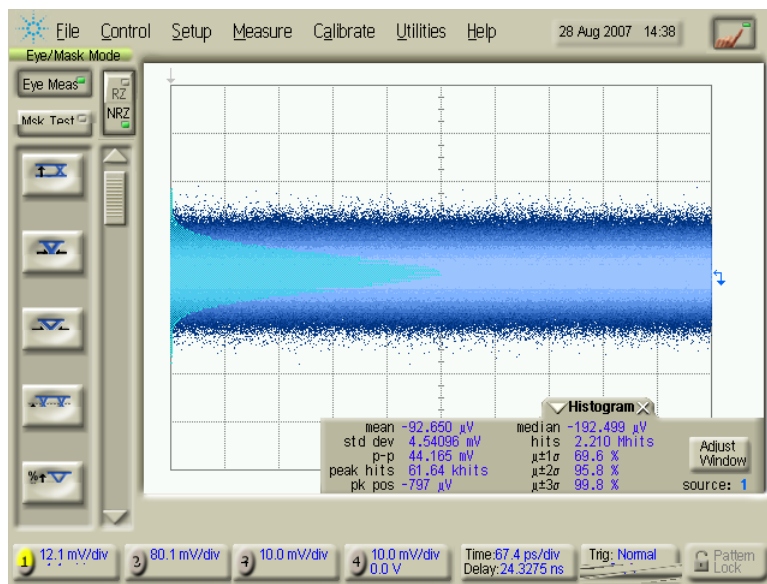


圖 3.42 單端輸出之 Gaussian-shaped Histogram

晶片效能比較

表 3.2 為量測效能總結與模擬的比較，表 3.3 為晶片效能與其他晶片的比較，在相同的製程與供應電壓下，此設計具有較高的頻寬和較大的增益。

表 3.2 量測效能總結與比較

	預定規格	模擬結果	量測結果
Technology	0.18 μ m CMOS	0.18 μ m CMOS	0.18 μ m CMOS
Supply voltage	1.8V	1.8V	1.8V
PD capacitance	0.8pF	0.8pF	0.72pF
ESD capacitance	0.5pF	0.5pF	0.5pF
Data rate	5Gb/s	5Gb/s	5Gb/s
Receiver bandwidth	3.5GHz	3.86GHz (w/o ESD) 3.10GHz (w/ ESD)	3.0GHz (w/o ESD) 2.7GHz (w/ ESD)
Input equivalent noise current	-	1.19 μ A (w/o ESD) 1.23 μ A (w/ ESD)	1.77 μ A (w/o ESD) 1.92 μ A (w/ ESD)
Sensitivity	-20dBm	-19.2dBm	-17.6dBm
gain	85dB Ω	88dB Ω (differential)	81dB Ω (differential)
Output swing	360mV _{pp}	360mV _{pp} (differential)	360mV _{pp} (differential)
Power consumption	-	62.5mW	62.5mW
Die size	-	600x520 μ m ²	600x520 μ m ²

表 3.3 晶片效能比較

	This Work	ISSCC 2007[13]
Technology	0.18 μ m CMOS	0.18 μ m CMOS
Supply voltage	1.8V	1.8V
PD capacitance	0.72pF	0.8pF
ESD capacitance	0.5pF	0.5pF
Power consumption	63mW	40mW
Data rate	5Gb/s	5Gb/s
Transimpedance gain	11k Ω (differential)	3.5k Ω (differential)
Bandwidth	3.00GHz	1.82GHz
Dynamic range(BER = 10 ⁻¹²)	-17.6dBm to +0dBm	-20.3dBm to +0dBm
Output swing	360mV _{pp} (differential)	570mV _{pp} (differential)
Die size	600x520 μ m ²	560x400 μ m ²

第四章

90 奈米 CMOS 之 10Gb/s

光接收轉阻放大器

4.1 簡介

隨著多媒體網路應用的快速發展，以及標準互補式金氧半(CMOS)製程上的演進和低功率消耗的需求，使用低成本的CMOS製程與低供應電壓來設計更快傳輸速度的光接收器是整個光纖網路的未來趨勢，像這近六年來使用CMOS設計高速光通訊前端類比電路的期刊論文[22] -[26] 或會議論文[27] [28] 都已經成為主流。由於光接收器電路必須把檢光二極體與轉阻放大器整合在一起，所以設計一個光接收轉阻放大器時，除了考慮輸入端寄生電容對接收器的效能造成瓶頸之外，提供給檢光二極體高速工作所需要的偏壓也是設計上所需要考量的。所以本章節目標是以90奈米標準CMOS製程與大約0.15pF負載電容的檢光二極體，搭配偽差動式輸入架構、雙級差動轉阻放大器與shunt peaking補償技術，來完成一個1.2伏特供應電壓和操作在10Gb/s的光接收轉阻放大器，其預定效能為-18dBm的靈敏度、7GHz的頻寬和60dBΩ的增益。

4.2 架構

4.2.1 單端式與差動式架構

圖 4.1(a)是一個單級放大器，它的增益頻寬積為下列方程式：

$$A_{1s} \times BW_{1s} = \frac{g_m}{C} \approx f_T \quad (4.1)$$

為了確保回授的穩定度，此放大器的頻寬(BW_{1s})必需比轉阻放大器頻寬(BW_{TIA})大 α 倍

$$BW_{1s} = \alpha \times BW_{TIA} \quad (4.2)$$

將方程式(4.2)代入方程式(4.1)中，推導出單級放大器的最大電壓增益方程式(4.3)

$$A_{1s} = \frac{f_T}{\alpha \times BW_{TIA}} \quad (4.3)$$

圖 4.1(b)是一個雙級串聯放大器，包含兩級相同的放大器，每一級的增益頻寬積為下列方程式：

$$A_{2s,i} \times BW_{2s,i} = \frac{g_m}{C} \approx f_T \quad (4.4)$$

當它使用在轉阻放大器時，為了達到足夠的相位邊際，每級放大器的頻寬($BW_{2s,i}$)必需比單級放大器(BW_{1s})大 β 倍，使得它們具有相同的相位邊際，由下列方程式推導出 β 值

$$\tan^{-1}\left(\frac{1}{\alpha}\right) = 2 \times \tan^{-1}\left(\frac{1}{\alpha \times \beta}\right) \quad (4.5)$$

對於雙級串聯放大器而言，每一級放大器所需的頻寬($BW_{2s,i}$)為下列方程式所示：

$$BW_{2s,i} = \alpha \times \beta \times BW_{TIA} \quad (4.6)$$

將方程式(4.6)代入方程式(4.4)中，推導出雙級串聯放大器的最大電壓增益方程式：

$$A_{2s} = A_{2s,i}^2 = \left(\frac{f_T}{\alpha \times \beta \times BW_{TIA}}\right)^2 \quad (4.7)$$

圖 4.1(c)是一個三級串聯放大器，包含三級相同的放大器，每一級的增益頻寬積為下列方程式：

$$A_{3s,i} \times BW_{3s,i} = \frac{g_m}{C} \approx f_T \quad (4.8)$$

當它使用在轉阻放大器時，為了達到足夠的相位邊際，每級放大器的頻寬($BW_{3s,i}$)必需比單級放大器(BW_{1s})大 γ 倍，使得它們具有相同的相位邊際，由下列方程式推導出 γ 值

$$\tan^{-1}\left(\frac{1}{\alpha}\right) = 3 \times \tan^{-1}\left(\frac{1}{\alpha \times \gamma}\right) \quad (4.9)$$

對於三級串聯放大器而言，每一級放大器所需的頻寬($BW_{3s,i}$)為下列方程式所示：

$$BW_{3s,i} = \alpha \times \gamma \times BW_{TIA} \quad (4.10)$$

將方程式(4.10)代入方程式(4.8)中，推導出三級串聯放大器的最大電壓增益方程式：

$$A_{3s} = A_{3s,i}^3 = \left(\frac{f_T}{\alpha \times \gamma \times BW_{TIA}}\right)^3 \quad (4.11)$$

將 $\alpha=2$ ， $\beta=2.11$ ， $\gamma=3.2$ 代入方程式(4.3)、方程式(4.7)和方程式(4.11)中，針對不同的 f_T/BW_{TIA} 作圖，如圖 4.2所示，發現轉阻放大器的頻寬越大時，雙級串聯的架構比三級串聯的架構可以提供較大的電壓增益，例如，當 $f_T/BW_{TIA}=10$ 時，雙級電壓增益約為三級電壓增益的1.5倍。所以在設計高速的轉阻放大器時，雙級的架構具有較高的電壓增益來提昇轉阻放大器頻寬的優點，然而單端式的架構卻無法實現雙級串聯的轉阻放大器，所以我們提出使用雙級串聯差動式轉阻放大器的架構，如圖 4.3所示，不僅可以達到提升開迴路電壓增益的功能之外，差動式架構具有較佳的供應電源與基板雜訊的抵抗能力，所以我們採用雙級差動式架構來設計10Gb/s之光接收轉阻放大器。

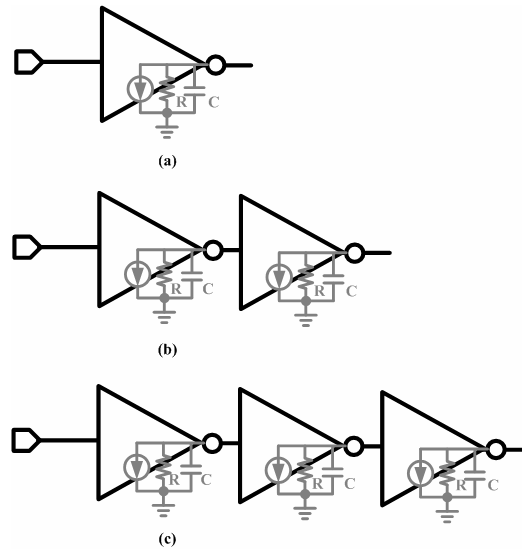


圖 4.1 (a)單級放大器(b)雙級串聯放大器(c)三級串聯放大器

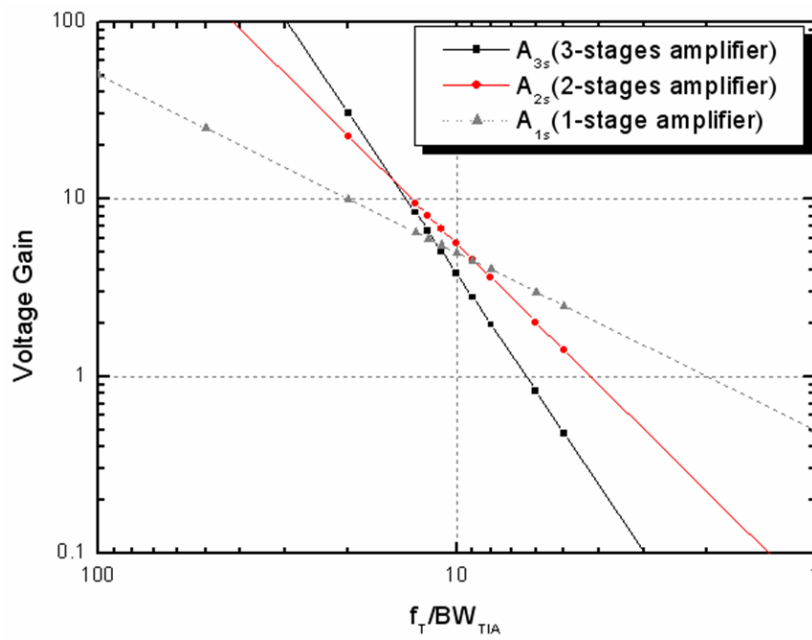


圖 4.2 最大電壓增益曲線圖

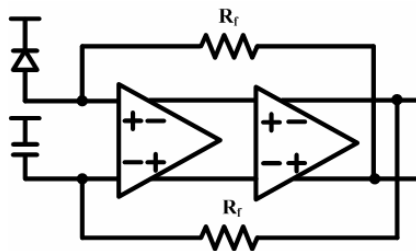


圖 4.3 雙級串聯差動式轉阻放大器

4.2.2 系統架構

10Gb/s之光接收轉阻放大器的整體系統架構如圖 4.4所示，包括了一個檢光二極體 (PD)、一個雙級的差動轉阻放大器 (T2)、雙負回授直流偏壓控制電路、和一個輸出緩衝器(BUF)。

偽差動式輸入

如圖 4.4 所示，只有單輸入端有輸入訊號的架構為偽差動式輸入。偽差動式架構可以透過無訊號輸入端的負載電容與檢光二極體(PD)寄生電容的互相匹配，使得轉阻放大器具有較高的頻寬。相較於單端式轉阻放大器，運用雙級串聯放大器來設計高速轉阻放大器時，唯有差動轉阻放大器才可以使用雙級來同時達到開迴路增益提升與隔離第一級放大器輸出負載與回授電阻負載的功能，除此之外，差動放大器還擁有較佳的 Power Supply Rejection (PSR) 特性。

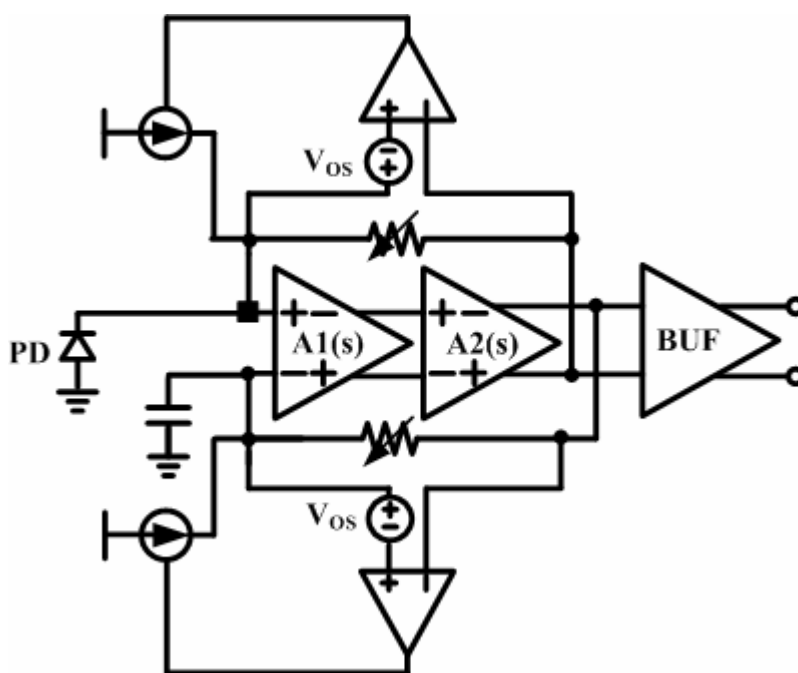


圖 4.4 系統架構

雙級差動轉阻放大器

使用先進 CMOS 製程時，低供應電壓(supply voltage)對於電路效能的影響是越來越嚴重了。光纖類比前端接收器電路必須把檢光二極體與轉阻放大器整合在一起，一般的檢光二極體在高速工作時，需要提供給它適當的偏壓，此偏壓通常是透過供應電壓和轉阻放大器電路之間所供給的，由於輸出端的偏壓會透過回授電阻連接至輸入端，導致輸出端的 headroom 遭受檢光二極體所需偏壓的壓縮，同時放大器會因為低 headroom 而有較低的開迴路增益與較高的輸入阻抗，頻寬因此無法提升。對於開迴路增益不足的問題，我

們使用雙級串連放大器的設計可以獲得解決，透過雙級電壓增益的相乘，再加上回授電阻沒有限制第一級輸出的 voltage headroom，使得雙級放大器可以在不增加輸出端負載電容而能提升系統的開迴路增益與頻寬。除此之外，使用不消耗輸出 headroom 而能增加頻寬的 shunt peaking 補償技術[14]。

方程式(4. 12)為雙級放大器串聯的轉移函數，為了提供足夠開迴路電壓增益來降低輸入阻抗，所以我們設計每級的開迴路增益大約為 3，雙級放大器相乘後的開迴路增益為 9，由方程式(4. 13)與方程式(4. 14)，推算出我們設計每一級放大器所需要的頻寬，將串聯後的頻寬 $12\text{GHz}(BW_{\text{tot}})$ 和 $n=2$ 代入方程式中，得到每一級放大器的頻寬需要設計 $18.6\text{GHz}(BW_{\text{stage}})$ 。

$$A_v(s) = A1(s) \times A2(s) = \frac{A}{\left(\frac{s}{\omega_1} + 1\right)} \times \frac{A}{\left(\frac{s}{\omega_2} + 1\right)} \quad (A^2 = 9) \quad (4. 12)$$

$$BW_{\text{tot}} = BW_{\text{stage}} \sqrt{2^{1/n} - 1} \quad n = \text{串聯級數} \quad (4. 13)$$

$$BW_{\text{tot}} = \frac{2A^2}{2\pi R_f C_{pd}} \Rightarrow BW_{\text{cell}} \quad (4. 14)$$

雙回授直流偏壓控制電路

為解決檢光二極體所造成的輸出端直流位準漂移問題，系統架構包含兩個比較器和兩個可控制電流源的雙回授直流偏壓控制電路，主要是透過比較器偵測流過負回授電阻的直流電流，然後控制輸入端電流源的直流電流大小，此負回授特性造成檢光二極體的直流電流無法流入回授電阻，所以解決了直流位準漂移的問題，可有效改善大訊號波型失真的現象以及動態範圍的提升。除此之外，這兩個比較器設計具有0.1V的直流偏移(V_{os})，造成差動轉阻放大器輸出端比輸入端低0.1V的直流位準，也就是說，輸出端增加0.1V的 headroom可以等效提昇差動轉阻放大器的開迴路增益與輸入端頻寬，對於直流偏移大小的選擇，必須考量輸入端可控制電流源對系統所增加的雜訊，因為直流偏移的大小決定輸入端可控制電流源的大小。

緩衝器

介於轉阻放大器與輸出級之間的電路必需是一個具有高頻寬的緩衝器，所以主動式負回授之技術[20] 和 shunt peaking 可運用在緩衝器上，使緩衝器可以擁有高頻寬的效能。

4.3 電路設計

4.3.1 偽差動式輸入架構

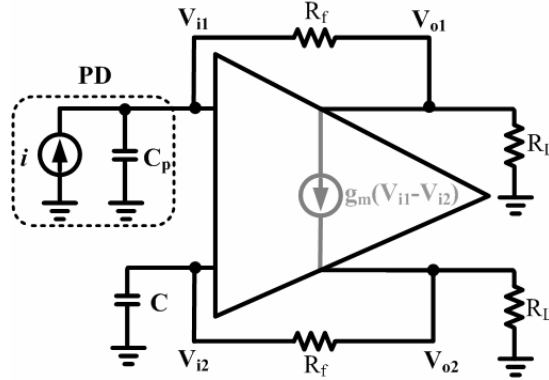


圖 4.5 偽差動式轉阻放大器

圖 4.5 是一個偽差動式轉阻放大器等效小信號模型，此電路是一個單端信號源輸入的架構，電容 C_p 為檢光二極體的負載電容，電容 C 為沒有信號輸入的負載電容，以及回授電阻 R_f 和輸出負載電阻 R_L 。對於轉阻放大器輸入端的負載電容 C_p 和 C 的比例會影響電路的頻寬和特性，為了找到設計上的最佳點，我們利用此小信號模型進行轉移函數推倒，方程式(4.15)是偽差動式轉阻放大器等效小信號模型的轉移函數，此函式為二階系統的特徵方程式。

$$\frac{V_{o1}}{i} = \frac{R_L[sC(R_f + R_L)(1 - g_m R_f) + 1 - g_m R_f + g_m R_L]}{s^2 C C_p (R_f + R_L) + s(C + C_p)[R_f + R_L + g_m R_L (R_f + R_L)] + (1 + 2g_m R_L)} \quad (4.15)$$

經由求根公式，可以解出兩個極點，分別為方程式(4.16)和方程式(4.17)，其中 $R = (R_f + R_L)$ ：

$$\omega_{p1} = \frac{\left[\left(1 + \frac{C_p}{C}\right)(1 + g_m R_L) - \left(\frac{C_p}{C}\right) \sqrt{g_m^2 R_L^2 \left(\frac{C}{C_p} + 1\right)^2 + (1 + 2g_m R_L) \left(\frac{C}{C_p} - 1\right)^2} \right]}{2RC_p} \quad (4.16)$$

$$\omega_{p2} = \frac{\left[\left(1 + \frac{C_p}{C}\right)(1 + g_m R_L) + \left(\frac{C_p}{C}\right) \sqrt{g_m^2 R_L^2 \left(\frac{C}{C_p} + 1\right)^2 + (1 + 2g_m R_L) \left(\frac{C}{C_p} - 1\right)^2} \right]}{2RC_p} \quad (4.17)$$

方程式(4.15)的分子可求出一個零點為方程式(4.18)：

$$\omega_{z1} = \left[\frac{1 - g_m R_f + g_m R_L}{1 - g_m R_f} \right] \times \frac{1}{(R_f + R_L)C} \approx \frac{1}{RC} = \left(\frac{C_p}{C} \right) \times \frac{1}{RC_p} \quad (4.18)$$

由以上推倒的方程式可以發現極點和零點的大小關係取決於 $g_m R_L$ 大小以及 C/C_p 的比例關係。為了簡化分析，假設在固定的 $g_m R_L$ 之下，以不同電容 C 和電容 C_p 的比例代入，可以得到不同極零點的關係，也就是說電容 C 設計的大小影響到電路系統的頻寬。

圖 4.6 是先將 $g_m R_L=5$ 代入方程式(4.16)、方程式(4.17)和方程式(4.18)中，再以不同 C/C_p 比例值代入所對應的極點(pole)和零點(zero)的分佈關係圖。

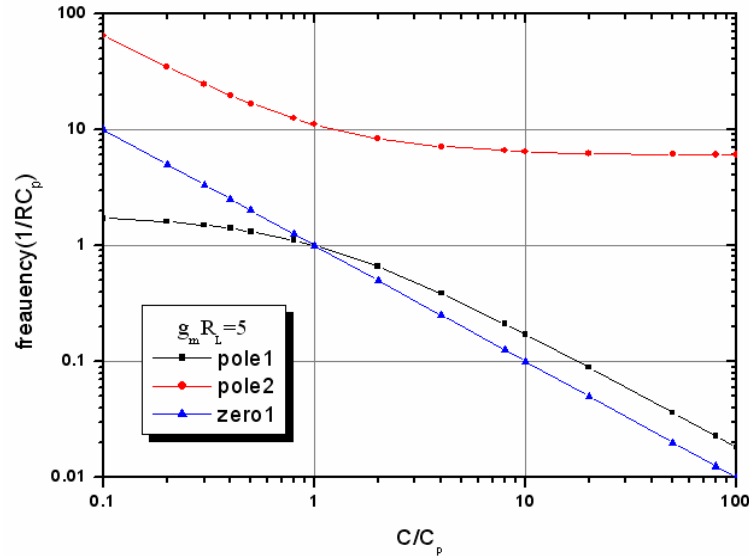


圖 4.6 極、零點分佈曲線圖

由圖 4.6 中可以歸納出三個設計方向：

- (1) 當電容 C 小於電容 C_p 時，pole 2 會越來越大，但是 zero 1 比 pole 1 大，導致極零點無法互相抵消，使得電路的 3dB 頻寬由 pole 1 決定。
- (2) 當電容 C 等於電容 C_p 時，pole 1 可以和 zero 1 互相抵消，使系統的 3dB 頻寬由 pole 2 大小決定。
- (3) 當電容 C 大於電容 C_p 時，pole 2 逐漸下降，而且 zero 1 比 pole 1 小，此時電路形成一個帶通放大器，使系統的高頻 3dB 頻寬仍由 pole 2 決定。

為了驗證公式推導的正確性，圖 4.7 是 3 種不同設計方向的頻率響應模擬。當 $C=0.1C_p$ 時，如歸納的方向(1)，雖然 $\text{pole } 2 = 13\text{GHz}$ ，但是因為 zero 1 比 pole 1 大，所以 3dB 頻寬由 pole 1 決定；當 $C=C_p$ 時，如同歸納的方向(2)，因為 pole 1 與 zero 1 的互相抵消，所以 3dB 頻寬由 pole 2 決定；當 $C=100C_p$ 時，如同歸納的方向(3)， $\text{pole } 2 = 1.2\text{GHz}$ ，而且 zero 1 比 pole 1 小，形成一個帶通的頻率響應，所以高頻 3dB 頻寬由 pole 2 所決定。

當電容 C 等於電容 C_p 時，此放大器是一個對稱差動式轉阻放大器。當電容 C 比電容 C_p 大 100 倍時，轉阻放大器的無輸入訊號端等效上接地，此負回授路徑無效，此放大器是一個非對稱差動式轉阻放大器。因為偽差動式轉阻放大器($C=C_p$)的 pole 2 比非對稱偽差動轉阻放大器($C=100C_p$)的 pole 2 大 2 倍，所以對稱偽差動式轉阻放大器比非對稱偽差動轉阻放大器具有提升 2 倍頻寬的優點。也就是說，設計一個對稱偽差動式轉阻

放大器可以擁有最大的頻寬。

由於我們無法準確估計所使用的檢光二極體負載電容的大小，所以圖 4.8 是針對雙端的負載電容有 20% 的不匹配的頻率響應模擬。當 $C=C_p$ 時，3dB 頻寬為 2.4GHz；當 $C=0.8C_p$ 時，3dB 頻寬下降至 2.2GHz；當 $C=1.2C_p$ 時，3dB 頻寬上升至 2.6GHz，以及大約 1dB 的 peaking，所以負載電容的不匹配並不會造成電路效能極大的改變。

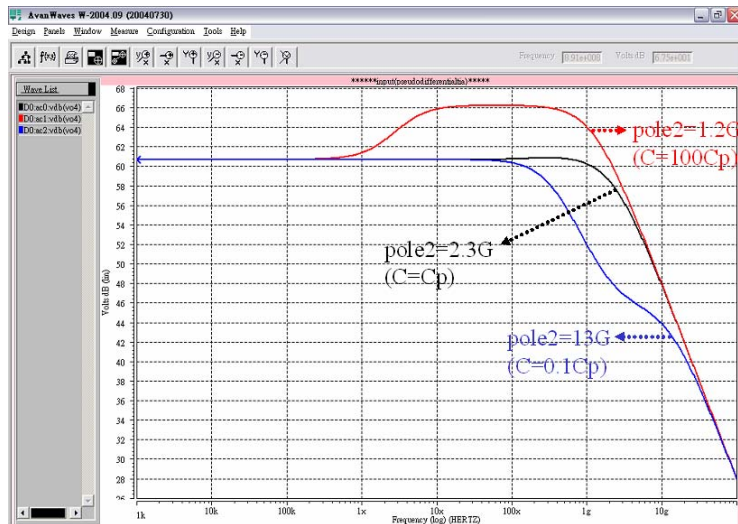


圖 4.7 頻率響應模擬(當 $C/C_p = 0.1, 1, 100$)

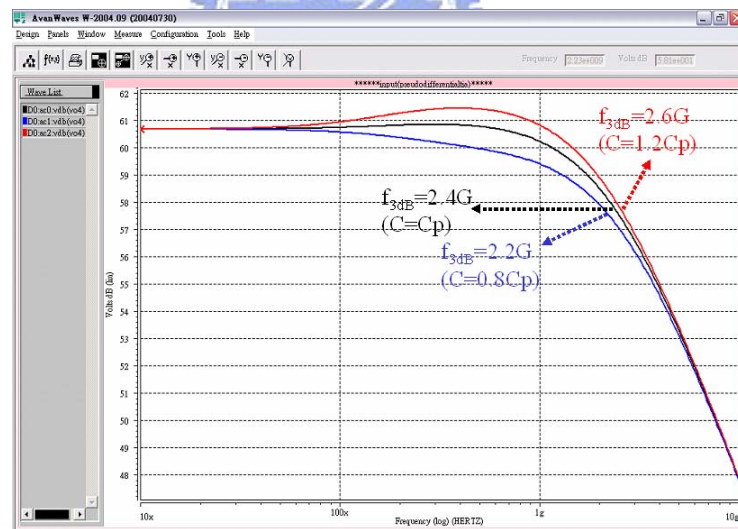


圖 4.8 頻率響應模擬(當 $C/C_p = 0.8, 1, 1.2$)

4.3.2 雙級差動轉阻放大器

完整的雙級轉阻放大器電路如圖 4.9 所示，包含兩級串聯(cascade)的放大器和兩個回授電阻 R_{f1} 和 R_{f2} ，由於電晶體 M_3 和 M_4 的米勒效應(Miller Effect)會增加電晶體 M_1 和 M_2

$$A(s) = \frac{V_o}{V_{in}} = \frac{A_o}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (4.22)$$

$$A_o = \frac{g_{mf}g_{m2}R_{L1}R_{L2}}{1 + g_{m2}g_{mf}R_{L1}R_{L2}} \quad (4.23)$$

$$\omega_n^2 = \frac{1 + g_{m2}g_{mf}R_{L1}R_{L2}}{R_{L1}R_{L2}C_1C_2} \quad (4.24)$$

$$\zeta = \frac{1}{2} \frac{R_{L1}C_1 + R_{L2}C_2}{\sqrt{R_{L1}R_{L2}C_1C_2(1 + g_{mf}g_{m2}R_{L1}R_{L2})}} = \frac{1}{\sqrt{2}} \Rightarrow \omega_n = \omega_{3dB} \quad (4.25)$$

4.4 模擬和佈局

由於轉阻放大器與檢光二極體是利用 bond-wire 的方式整合在同一電路印刷板上，所以模擬時必須考量 bond-wire 的電感，如圖 4.12 為所示， L_{BW} 作為 bond-wire 的電感模擬，輸入端的檢光二極體負載電容 C_{PD} 為 0.15pF。圖 4.13 為模擬轉阻放大器的頻率響應，當 L_{BW} 為 1nH 時，頻寬為 7.3GHz，當 L_{BW} 為 2nH 時，頻寬為 13.2GHz，當 L_{BW} 為 3nH 時，頻寬為 11.9GHz，所以 bond-wire 的電感值介於 2nH~3nH 之間可以使電路擁有較大的頻寬。圖 4.14(a)是模擬 L_{BW} 為 1nH 的 10Gb/s 的眼圖，圖 4.14(b)是模擬 L_{BW} 為 2nH 的 10Gb/s 的眼圖，圖 4.14(c)是模擬 L_{BW} 為 3nH 的 10Gb/s 的眼圖。圖 4.15(a)為模擬當輸入訊號為 10.0Gb/s 和 10uA 振幅的輸出眼圖。圖 4.15 (b)為模擬當輸入訊號為 10.0Gb/s 和 1.5mA 振幅的輸出眼圖。圖 4.16 (a)為模擬當輸入訊號為 13.3Gb/s 和 10uA 振幅的輸出眼圖。圖 4.16 (b)為模擬當輸入訊號為 13.3Gb/s 和 1.5mA 振幅的輸出眼圖。

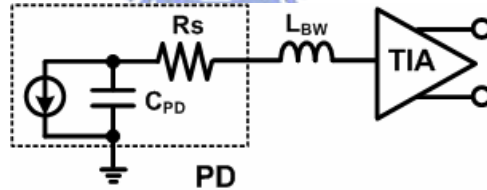


圖 4.12 bond-wire 效應模擬

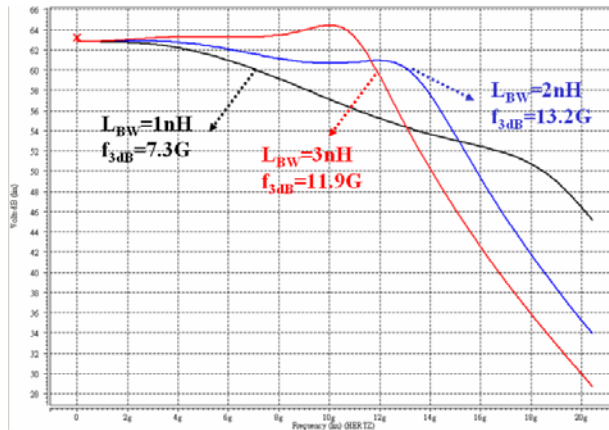


圖 4.13 轉阻放大器頻率響應模擬

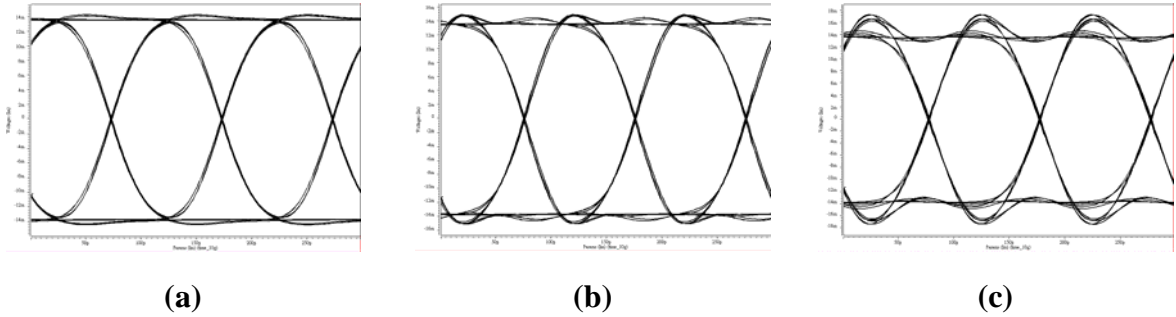


圖 4.14 (a) $L_{BW}=1nH$ 的眼圖 (b) $L_{BW}=2nH$ 的眼圖 (c) $L_{BW}=3nH$ 的眼圖

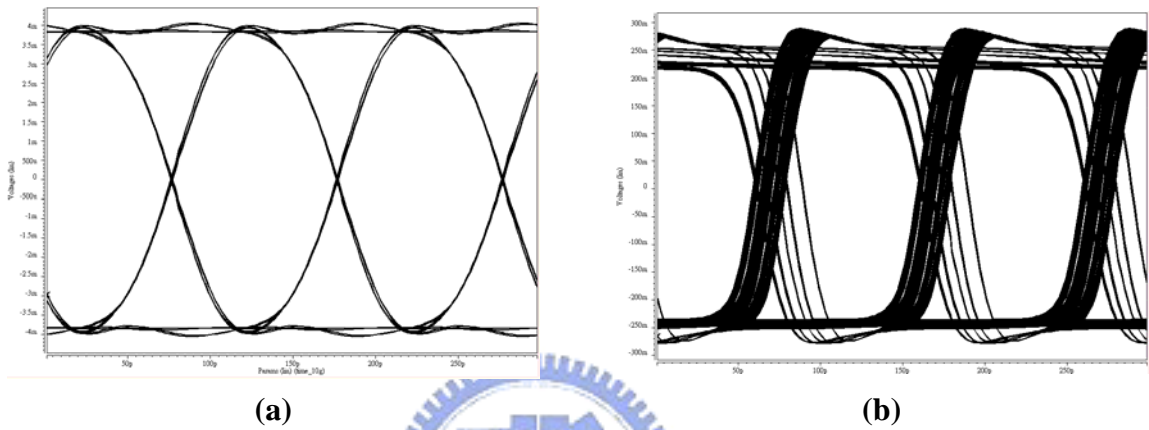


圖 4.15 (a) 10.0Gb/s 和 10uApp 的眼圖模擬 (b) 10.0Gb/s 和 1.5mApp 的眼圖模擬

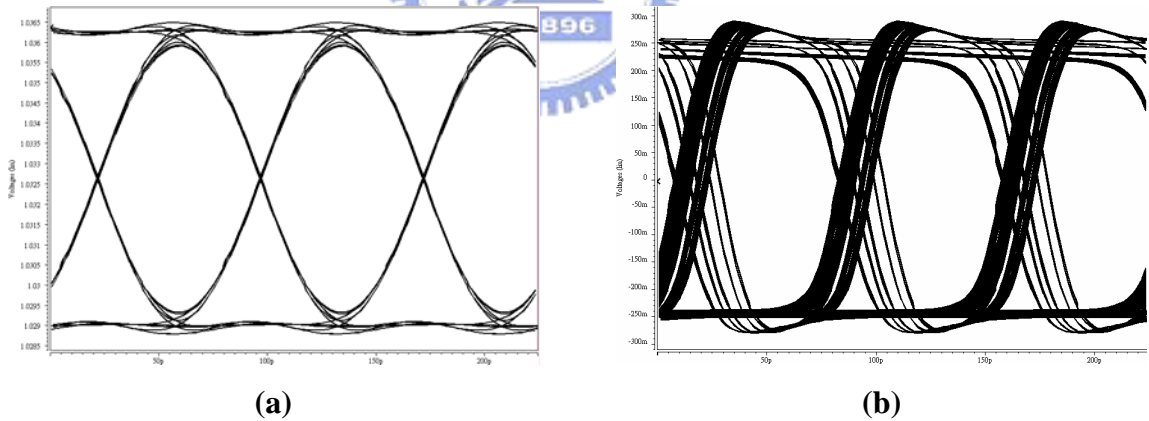


圖 4.16 (a) 13.3Gb/s 和 10uApp 的眼圖模擬 (b) 13.3Gb/s 和 1.5mApp 的眼圖模擬

模擬效能總結與佈局平面圖

表 4.1 為此轉阻放大器模擬效能的總結，圖 4.17 為晶片佈局平面圖，所使用的立體電感為最上層的兩層堆疊式(metal 9 和 metal 8)。圖 4.18(a)為晶片顯微圖，晶片下方為輸入端，晶片上方為輸出端，圖 4.18(b)為晶片與檢光二極體(圖中下方的晶片)整合在同一電路印刷板上的顯微圖，其中檢光二極體的感光直徑為 $32\mu m$ 。

表 4.1 預定規格與模擬效能比較

	預定規格	模擬結果
Technology	90nm CMOS	90nm CMOS
Supply voltage	1.2V	1.2V
PD capacitance	0.15pF	0.15pF
Data rate	10Gb/s	10Gb/s
Receiver bandwidth	7GHz	7.3GHz
Input equivalent noise current	-	1.13uA
Sensitivity	-18dBm	-19dBm
Transimpedance gain	1k Ω (differential)	1.45k Ω (differential)
Output swing	250mV _{pp} (differential)	250mV _{pp} (differential)
Die size	-	550x500 μm^2
Power consumption	-	33mW

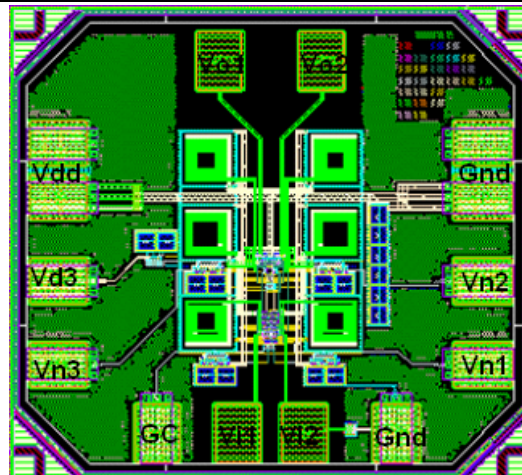
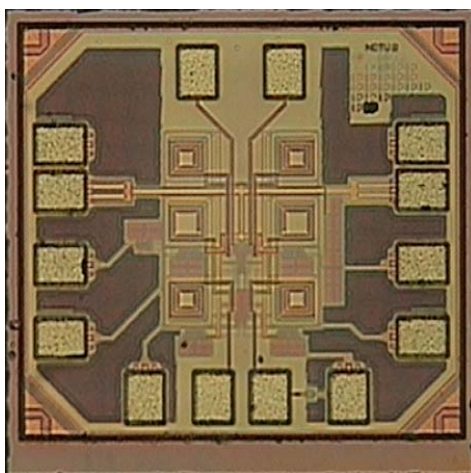
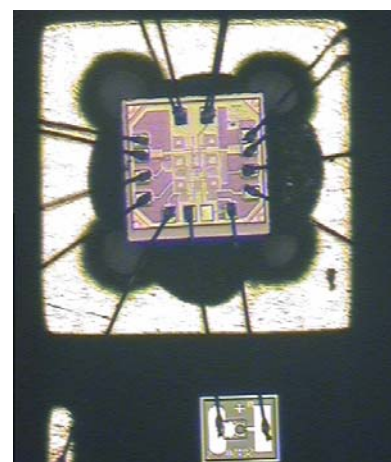


圖 4.17 佈局平面圖



(a)



(b)

圖 4.18 (a) 晶片顯微圖(b)晶片與檢光二極體整合之顯微圖

4.5 量測結果

頻率響應量測

操作在 1.0 伏特逆向偏壓的檢光二極體的寄生電容為 0.15pF 與 1310nm 的光耦合檢光二極體的光反應度為 0.85A/W，量測結果如圖 4.19 所示，轉阻放大器的 3dB 頻寬大約為 8.0GHz。

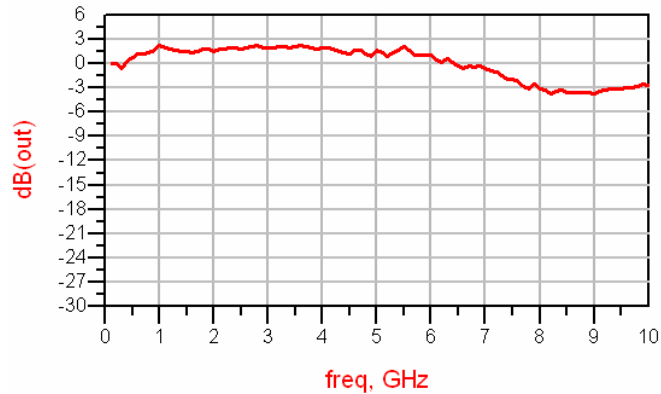


圖 4.19 頻率響應量測結果

眼圖量測

具有 8.8dB Extinction ratio 和 1310nm 光波長的光訊號，此 InGaAs PIN 的檢光二極體與轉阻放大器整合在同一電路印刷板(PCB)上，並且操作在 1 伏特逆偏壓的檢光二極體的寄生電容為 0.15pF 和光耦合檢光二極體的光反應度為 0.85A/W。圖 4.20 為輸入訊號功率-15dBm 和 10.0GHz 的眼圖，圖 4.21 為輸入訊號功率-14dBm 和 13.5GHz 的眼圖。圖 4.22 為輸入訊號功率+0dBm 和 10.0GHz 的眼圖，圖 4.23 為輸入訊號功率+0dBm 和 13.5GHz 的眼圖。

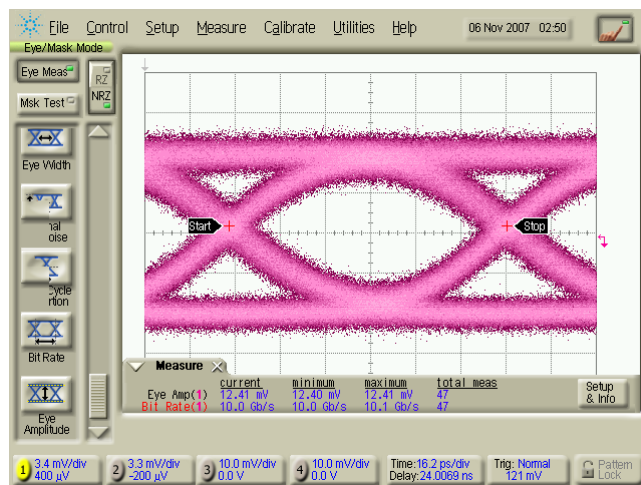


圖 4.20 輸入訊號功率-15dBm 和 10.0GHz 的眼圖

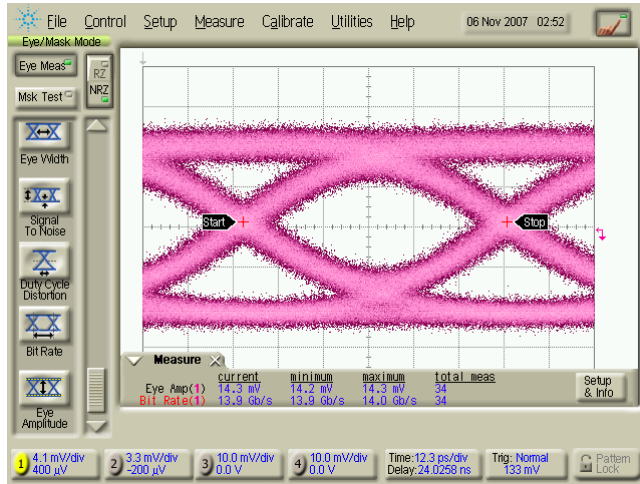


圖 4.21 輸入訊號功率-14dBm 和 13.5GHz 的眼圖

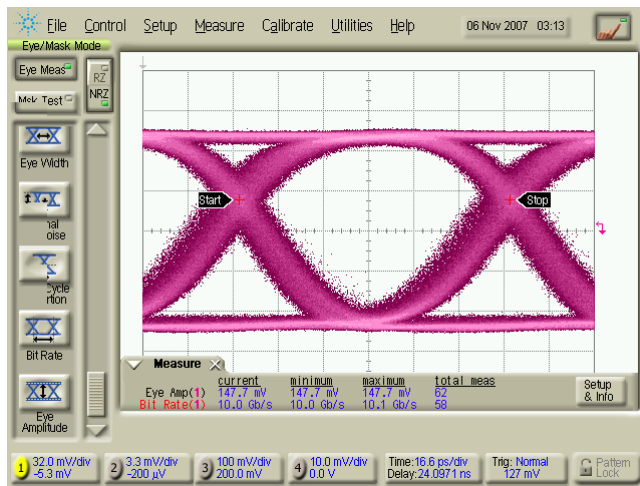


圖 4.22 輸入訊號功率+0dBm 和 10.0GHz 的眼圖

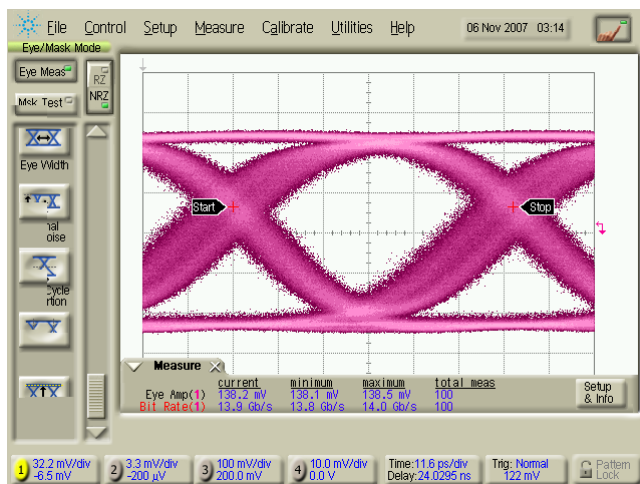


圖 4.23 輸入訊號功率+0dBm 和 13.5GHz 的眼圖

靈敏度量測 I

圖 4.24 是使用安捷倫 N4901B Serial BERT 儀器，量測的位元錯誤率曲線圖，在符合位元錯誤率在 10^{-12} 條件下，轉阻放大器的靈敏度為-16.3dBm，

靈敏度量測 II

圖 4.25 是關閉輸入訊號時，使用安捷倫 86100B 視波器，量測晶片單端輸出的 Gaussian-shaped Histogram [18]，輸出雜訊為 0.498mV，除以並聯 50 歐姆的單端增益 0.3k 得到輸入參考雜訊電流 I_N ，最後由方程式 (4.26) [25] 來算出靈敏度 (sensitivity) 為 -17.4dBm (方程式中的 $\rho=0.85\text{W/A}$ ， ρ 為檢光二極體的光反應度 (responsivity)； $r_e=8.8\text{dB}$ ， r_e 為發射器的 extinction ratio)，與安捷倫 N4901B 所量測的靈敏度只相差 1.1dB。

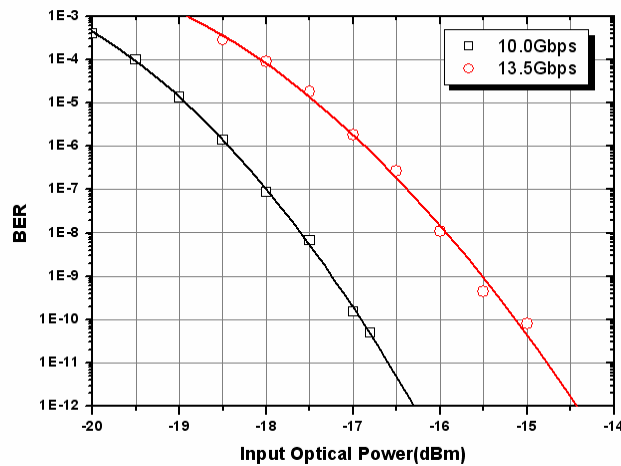


圖 4.24 位元錯誤率曲線圖

$$\text{sensitivity} = 10 \times \log \left[\frac{14.1 \times I_N (r_e + 1)}{2\rho(r_e - 1)} \times 1000 \right] \quad (4.26)$$

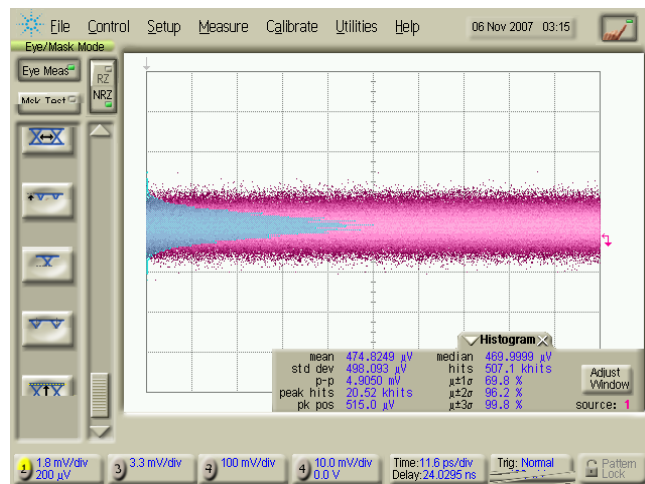


圖 4.25 單端輸出之 Gaussian-shaped Histogram

晶片效能比較

表 4. 2 為晶片效能總結與模擬和預定規格的比較，表 4. 3 為晶片與其他晶片的效能比較，在較低供應電壓下，此設計仍然具有較高的增益和較大的動態範圍。

表 4. 2 量測效能總結與比較

	預定規格	模擬結果	量測結果
Technology	90nm CMOS	90nm CMOS	90nm CMOS
Supply voltage	1.2V	1.2V	1.2V
PD capacitance	0.15pF	0.15pF	0.15pF
Data rate	10Gb/s	10Gb/s	10Gb/s
Receiver bandwidth	7GHz	7.3GHz	8GHz
Input equivalent noise current	-	1.13uA	2.55 uA
Sensitivity	-18dBm	-19dBm	-16.3Bm
Transimpedance gain	1k Ω (differential)	1.45k Ω (differential)	1.2k Ω (differential)
Output swing	-	250mV _{pp} (differential)	300mV _{pp} (differential)
Die size	-	550x500 μm^2	550x500 μm^2
Power consumption	-	33mW	36mW

表 4. 3 晶片效能比較

	This Work	JSSC 2001[29]
Technology	90nm CMOS	0.25 μm BiCMOS
Supply voltage	1.2V	5.0V
PD capacitance	0.15pF	0.15pF
Data rate	10.0Gb/s	10.0Gb/s
Transimpedance gain	1.2k Ω (differential)	560 Ω (differential)
Dynamic range(BER = 10^{-12})	-16.3dBm to +0dBm	-17dBm to -1.5dBm
Receiver bandwidth	8GHz	9GHz
Power consumption	36mW	140mW

第五章

結論與未來工作

本論文主要為探討光纖接收器類比前端電路之轉阻放大器設計，隨著製程技術快速的推進到深次微米技術，使得 CMOS 電晶體操作頻率已可超過 10GHz，利用 CMOS 製程在成本上佔有很大的優勢，來設計主要能夠處理高速資料的接收器，以符合未來訊號大量傳輸的需求。

在第 3 章中，主要實現以 TSMC 0.18 微米製程設計具有高輸入電容容忍度之轉阻放大器，整合自我補償的電路架構[11]、主動式補償[12]與電感補償技術[14]，除了可以讓此設計的電路系統擁有寬頻和高增益的特色之外，又可以改善來自製程變異和晶片操作溫度變異所造成的補償不匹配。經過實體晶片驗證後，我們可成功的使用本論文所提之轉阻放大器進行量測，並操作在 5Gb/s 的 $2^{31}-1$ 偽隨機二進制數據流(PRBS)，效能為-17.6dBm 的靈敏度、3GHz 的頻寬和 11k Ω 的高增益，並且輸入端可容忍靜電防護電路的電容負載。

在第 4 章中，主要實現以 TSMC 90 奈米製程設計可以操作在 13.5Gb/s 高速下之轉阻放大器，使用偽差動輸入架構與雙級差動轉阻放大器的設計。我們使用本論文所提之轉阻放大器進行模擬，模擬結果為 10.4GHz 的頻寬、63dB Ω 的增益和 1.32 μ A 的輸入參照雜訊電流。經過實體晶片驗證後，我們可成功的使用本論文所提之轉阻放大器進行量測，並操作在 10.0Gb/s 的 $2^{31}-1$ 偽隨機二進制數據流(PRBS)，效能為-16.3dBm 的靈敏度、8GHz 的頻寬和 1.2k Ω 的增益。

隨著高速與低電壓設計的演進，未來轉阻放大器的設計勢必面臨低供應電壓的難題，然而低電壓與高速卻是互相 trade off 的，所以多級串聯的方式可以來減緩低電壓的難題以達到高速設計的需求。

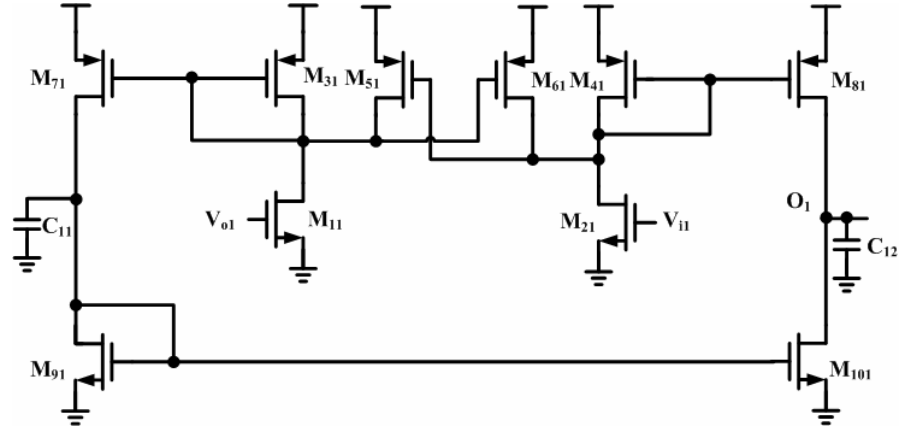
參考文獻

- [1] R. G. Meyer and R. A. Blauschild, "A Wideband Low-Noise Monolithic Transimpedance Amplifier." IEEE J. Solid-State Circuits, vol. 21, pp. 530-533, Aug. 1986.
- [2] S. S. Taylor and T. P. Thomas, "A $2\text{pA}/\sqrt{\text{Hz}}$ 622Mb/s GaAs MESFET Transimpedance Amplifier," ISSCC Dig. of Tech. Papers, pp. 254-255, Feb. 1994.
- [3] M. Neuhauser, H.-M. Rein, and H. Wernz, "Low-Noise High-Gain Si-Bipolar Preamplifiers for 10-Gb/s Optical Fiber Links — Design and Realization," IEEE J. Solid-State Circuits, vol. 31, pp. 24-29, Jan. 1996.
- [4] H. -M. Rein and M. Moller, "Design Considerations for Very High Speed Si Bipolar ICs Operating up to 50 Gb/s," IEEE J. Solid-State Circuits, vol. 31, pp. 1076-1090, Jan. 1996.
- [5] M. Reinhold et al., "A Fully Integrated 40-Gb/s Clock and Data Recovery IC with 1:4 DMUX in SiGe Technology," IEEE J. Solid-State Circuits, vol. 36, pp. 1937-1945, Dec. 2001.
- [6] J. Savoj and B. Razavi, "A 10-Gb/s CMOS Clock and Data Recovery Circuit," Symp. On VLSI Circuits Dig. of Tech. Papers, pp. 136-139, June 2000.
- [7] J. Cao et al., "OC-192 Receiver in Standard 0.18- μm CMOS," ISSCC Dig. of Tech. Papers, pp. 187-188, Feb.
- [8] R. Behzad, Design of Integrated Circuits for Optical Communications. New York: McGraw-Hill, 2003.
- [9] M. Ingels et al., "A CMOS $18\text{THz}\Omega$ 240Mb/s Transimpedance Amplifier and 155Mb/s LED-Driver for Low Cost Optical Fiber Links," IEEE J. Solid-State Circuits, vol. 29, pp. 1552-1559, Dec., 1994
- [10] C. M. Tsai, "A 20mW 1.25Gb/s 85dB Ω CMOS Transimpedance Amplifier with Photodiode Capacitance Cancellation," Symp. VLSI Circuits, pp. 408-409, June, 2004.
- [11] C. M. Tsai and L. R. Huang, "A 21mW 2.5Gb/s 15k Self-Compensated Differential Transimpedance Amplifier," IEEE ISSCC, Digest of Technical Papers, pp. 234-235, Feb. 2005.
- [12] C. M. Tsai and L. R. Huang, "A 24mW 1.25Gb/s 13k Transimpedance Amplifier Using Active Compensation," IEEE ISSCC, Digest of Technical Papers, pp. 894-903, Feb. 2006
- [13] C. M. Tsai and W. T. Chen, "A 40mW 3.5k Ω 3Gb/s CMOS Differential Transimpedance Amplifier Using Negative-Impedance Compensation," IEEE ISSCC, Digest of Technical Papers, pp. 54-55, Feb. 2007.
- [14] S. S. Mohan, M. D. M. Hershenson, S. P. Boyd, T. H. Lee, "Bandwidth Extension in CMOS with Optimized On-Chip Inductors," IEEE J. Solid-State Circuits, vol. 35, no.

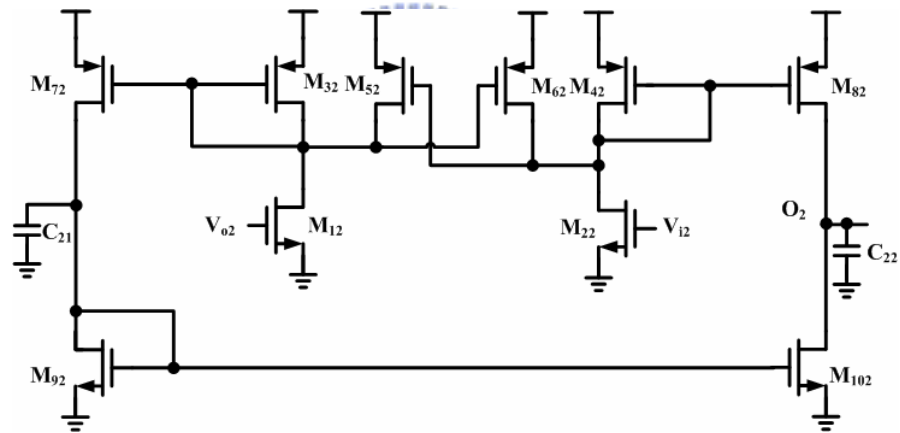
- 3, pp.346–355, Mar. 2000.
- [15] Alireza Zolfaghari, Andrew Chan, Behzad Razavi, "Stacked Inductors and Transformers in CMOS Technology," IEEE JSSC vol.36.NO.4, pp.620-628. April 2001
- [16] C.-C. Tang, C.-H. Wu, and S.-I. Liu, "Miniature 3D inductors in standard CMOS process," IEEE J. Solid-State Circuits, vol. 37, no. 4, pp.471–480, Apr. 2002.
- [17] B. Razavi, "A 622Mbit/s 4.5pA/Hz CMOS Transimpedance Amplifier," ISSCC Dig. Tech. Papers, pp. 162-163, Feb. 2000.
- [18] J. S. Weiner et al., "An InGaAs–InP HBT Differential Transimpedance Amplifier With 47-GHz Bandwidth," in IEEE Journal of Solid-State Circuits, pp.1720–1723, December, 2003
- [19] E. M. Cherry, D. E. Hooper, "The Design of Wide-Band Transistor Feedback Amplifier," Inst. Elec. Eng. Proc., vol. 110, no. 2, pp. 375-389, Feb. 1963.
- [20] Sherif Galal and Behzad Razavi, "10 Gb/s limiting amplifier and laser/modulator driver in 0.18 μm CMOS technology," in IEEE Journal of Solid-State Circuits, pp.2138–2146, December, 2003.
- [21] S. M. Park and H. -J. Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier for Gigabit Ethernet Applications," IEEE J. Solid-State Circuits, vol. 39, no. 1, pp.112–121, January 2004.
- [22] Schow, C. L., et al: "25Gb/s transimpedance preamplifier in 0.13 μm CMOS", Electron letters, VOL. 42, pp.1240-1241, Oct, 2006.
- [23] Rui Tao et al: "Wideband fully differential CMOS transimpedance preamplifier", Electron letters, VOL. 39, pp.1488-1490, Oct, 2003.
- [24] B. Analui and A. Hajimiri, "Bandwidth Enhancement for Transimpedance Amplifiers," IEEE J. Solid-State Circuits, Vol. 39, No. 8, pp. 1263-1270, Aug. 2004.
- [25] Wei-Zen Chen, Ying-Lien Cheng and, Da-Shin Lin, A 1.8 V, 10 Gbps Fully Integrated CMOS Optical Receiver Analog Front End, IEEE Journal of Solid-State Circuits, VOL. 40, NO. 6, JUNE 2005
- [26] Chia-Hsin Wu, Wei-Sheng Chen, Chih-Hun Lee, and Shen-Iuan Liu, "CMOS wide-band amplifiers using multiple inductive-series peaking technique", IEEE Journal of Solid-State Circuits, SC-40, pp. 548-552, Feb. 2005.
- [27] A. K. Peterson, K. Kiziloglu, T. Yoon, F. Williams, and M. R. Sandor Jr, "Front-end CMOS chipset for 10 Gb/s communications," in IEEE RFIC Dig. Papers, Jun. 2002, pp. 93–96.
- [28] Chih-Fan Liao and Shen-Iuan Liu, "A 40Gb/s Transimpedance-AGC Amplifier with 19dB DR in 90nm CMOS," IEEE ISSCC, Digest of Technical Papers, pp. 54-55, Feb. 2007.
- [29] H. H. Kim, S. Chandrasekhar, C. A. Burrus Jr, and J. Bauman, "A Si BiCMOS transimpedance amplifier for 10 Gb/s SONET receiver," IEEE J. Solid-State Circuits, vol. 36, no. 5, pp. 769–776, May 2001.

Rdc1	Vb				
13k	1V				

比較器 Av1

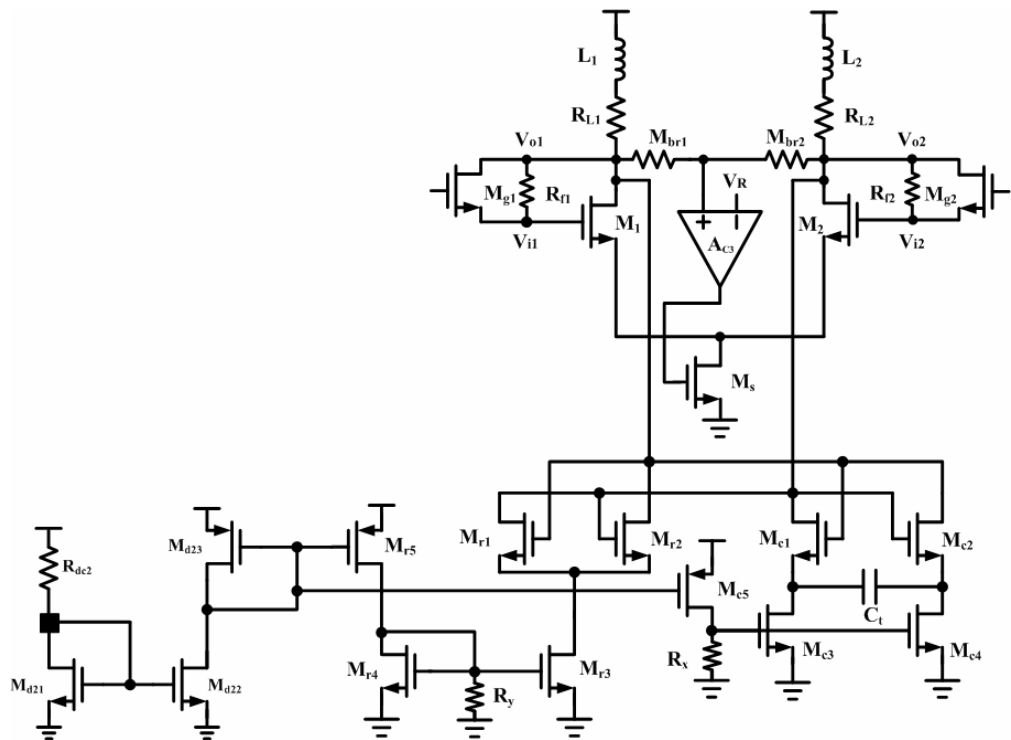


比較器 Av2

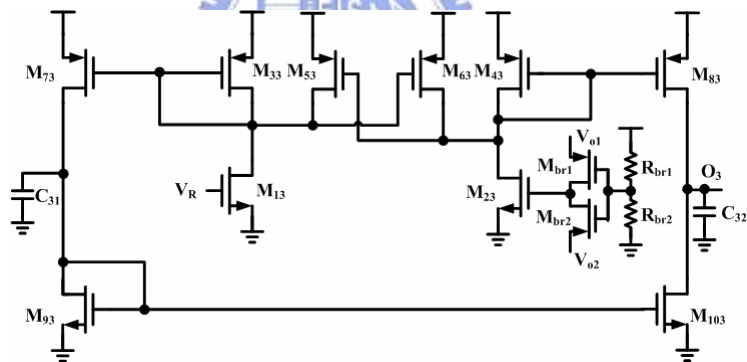


M11	M21	M31	M41	M51	M61
0.4/1	0.22/1	20/2	20/2	16/2	16/2
M71	M81	M91	M101	C11	C12
0.5/10	0.5/10	1/2	1/2	10p	10p
M12	M22	M32	M42	M52	M62
0.4/1	0.22/1	20/2	20/2	16/2	16/2
M72	M21	M92	M102	C21	C32
0.5/10	0.5/10	1/2	1/2	10p	10p

轉阻放大器核心電路



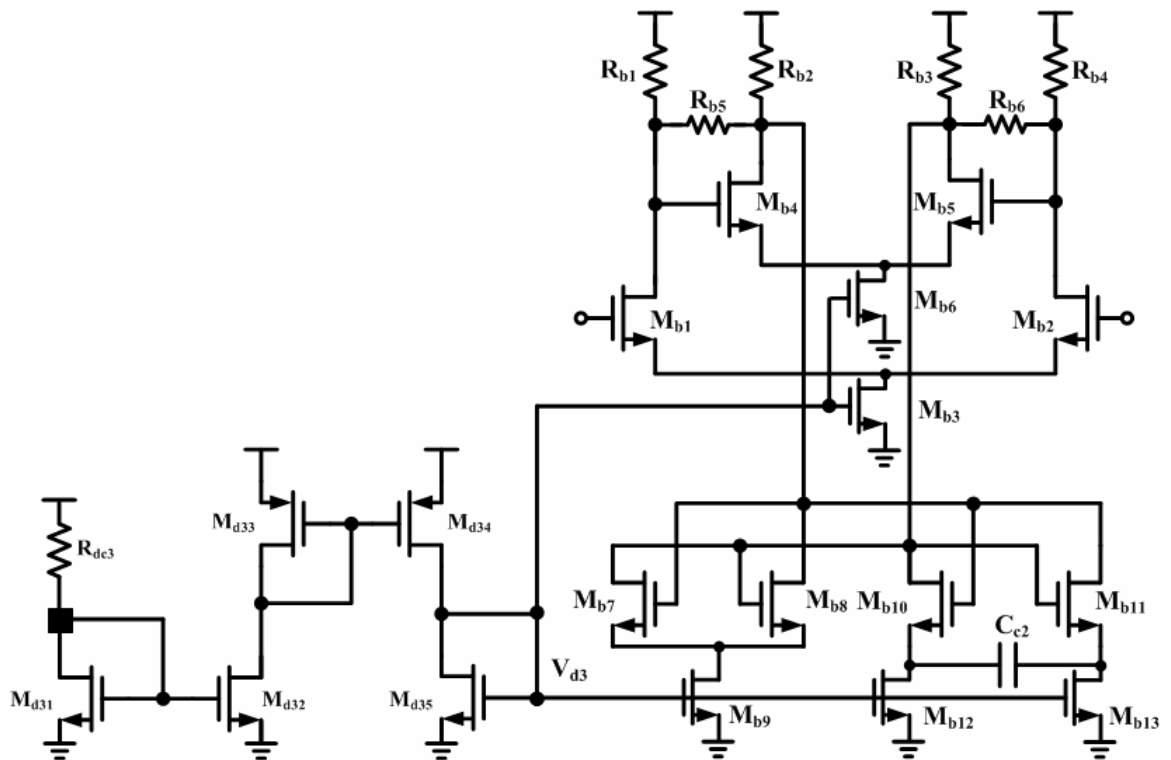
比較器 A_{v3}



M1	M2	M _s	RL1	RL2	L1
48/0.18	48/0.18	32/0.18	200	200	4n
L2	Rf1	Rf2	Mg1	Mg2	Mr1
4n	2k	2k	6/0.18	6/0.18	16/0.18
Mr2	Mr3	Mr4	Mr5	Mc1	Mc2
16/0.18	120/0.18	120/0.18	138/0.18	3/0.18	3/0.18
Mc3	Mc4	Mc5	R _x	R _y	C _t (mimcap)
8/0.18	8/0.18	42/0.18	515	515	6.9/6.9
Rdc2	Md21	Md22	Md23		
13k	40/1	40/1	6/0.18		

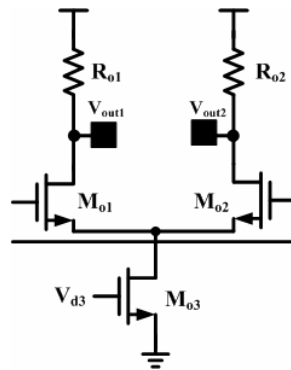
M13	M23	M33	M43	M53	M63
0.22/1	0.22/1	20/2	20/2	16/2	16/2
M73	M83	M93	M103	C31	C32
0.5/10	0.5/10	1/2	1/2	10p	10p
Mbr1	Mbr2	Rbr1	Rbr2		
0.22/1	0.22/1	10k	6.4k		

單級增益緩衝器電路



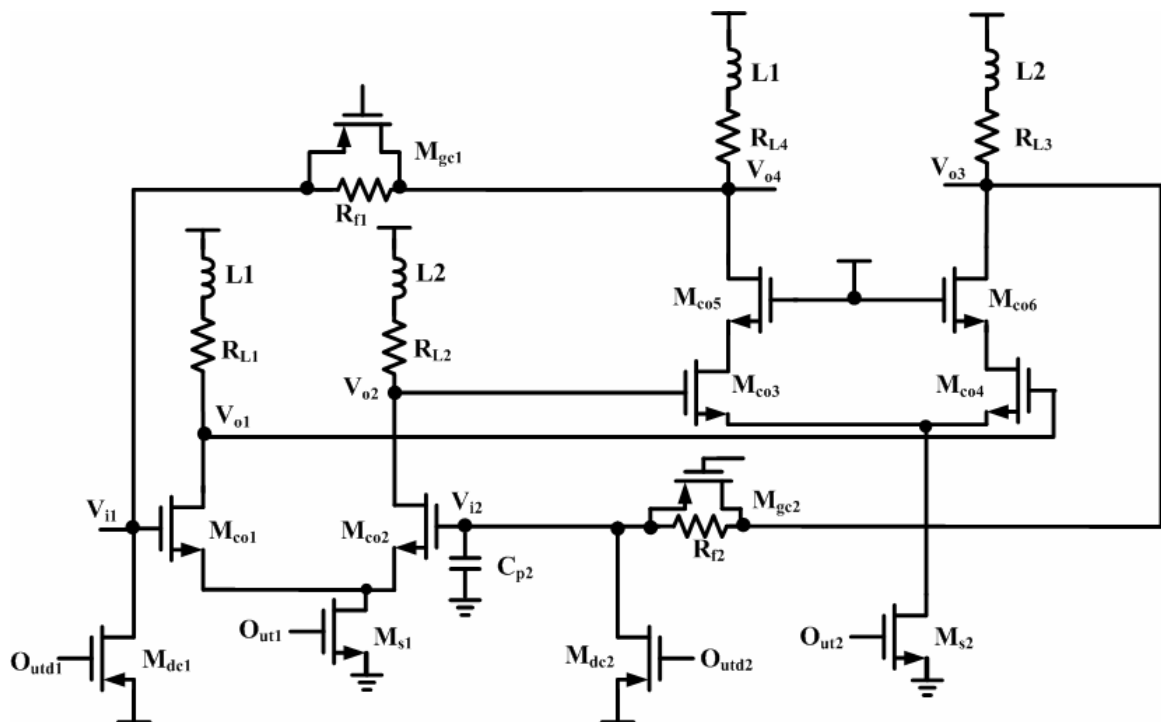
Mb1	Mb2	Mb3	Mb4	Mb5	Mb6
10/0.18	10/0.18	12/0.18	20/0.18	20/0.18	12/0.18
Mb7	Mb8	Mb9	Mb10	Mb11	Mb12
5/0.18	5/0.18	7.5/0.18	10/0.18	10/0.18	1.5/0.18
Mb13	Cc2(mimcap)	Rb1	Rb2	Rb3	Rb4
1.5/0.18	5.5/5.5	600	330	330	600
Rb5	Rb6	Rdc3	Md31	Md32	Md33
1.3k	1.3k	13k	40/0.18	40/0.18	2/0.18
Md34	Md35				
20/0.18	5/0.18				

輸出級電路



Mo1	Mo2	Mo3	Ro1	Ro2	
40/0.18	40/0.18	40/0.18	50	50	

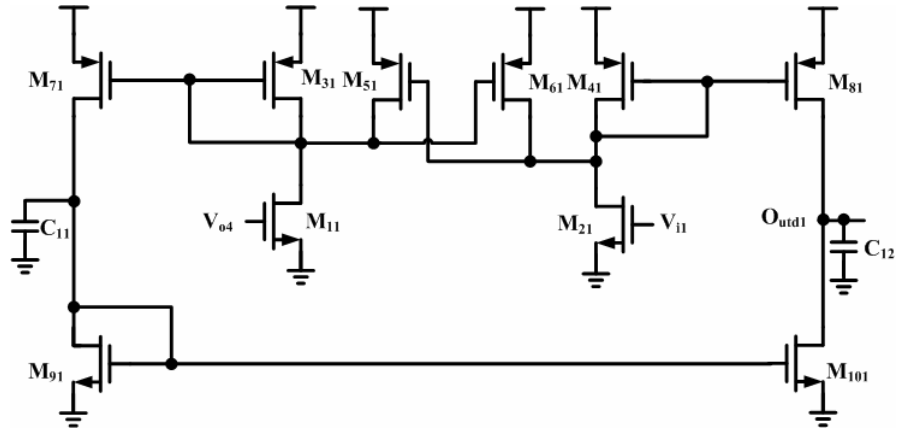
第四章 90 奈米 CMOS 之 10Gb/s 光接收轉阻放大器



Mco1	Mco2	Mco3	Mco4	Mco5	Mco6
100/0.1	100/0.1	110/0.1	110/0.1	110/0.1	110/0.1
Ms1	Ms2	RL1	RL2	RL3	RL4
200/0.1	200/0.1	100	100	120	120
Rf1	Rf2	L1	L2	L3	L4
1.2k	1.2k	1.65n	1.65n	1n	1n

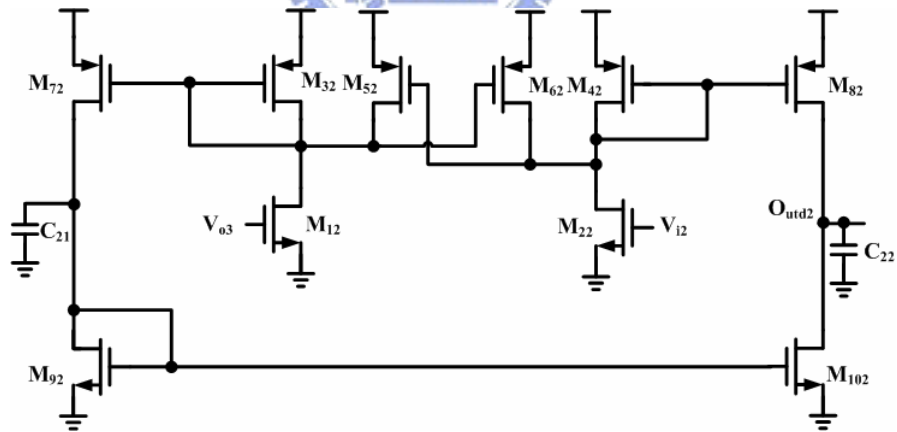
Mdc1	Mdc2	Mgc1	Mgc2	Cp2	
25/0.1	25/0.1	5/0.3	5/0.3	0.15p	

比較器 1



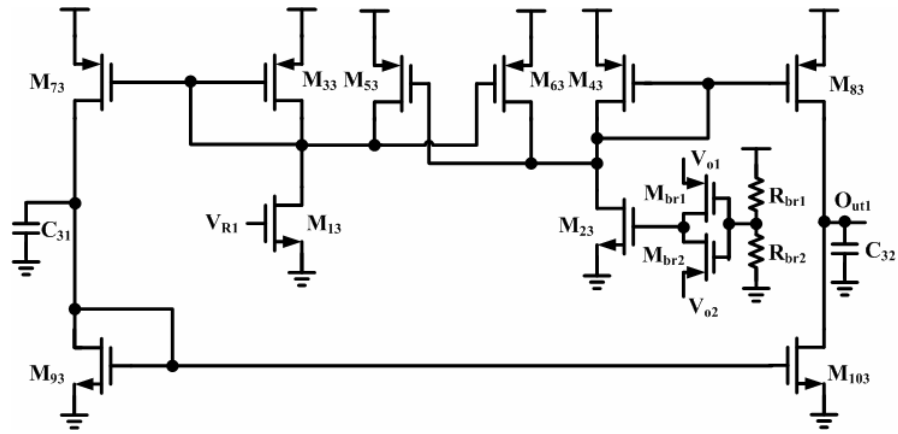
M11	M21	M31	M41	M51	M61
1.1/1	0.8/1	10/2	10/2	8/2	8/2
M71	M81	M91	M101	C11	C12
1/10	1/10	1/10	1/10	5p	5p

比較器 2



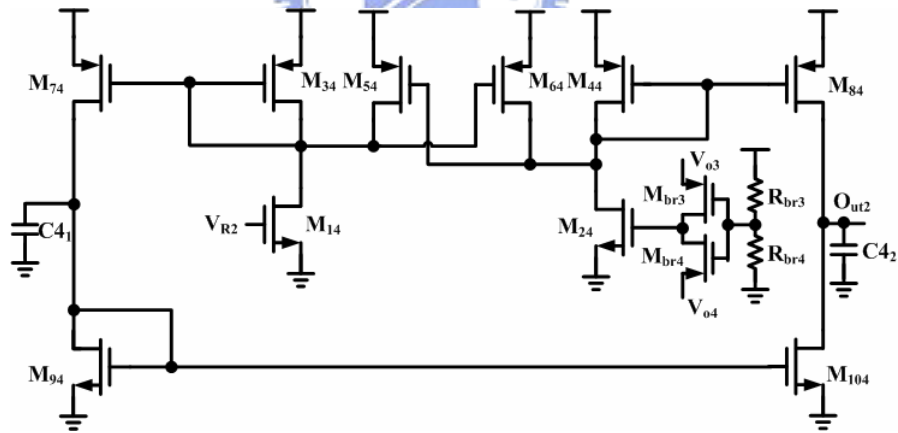
M12	M22	M32	M42	M52	M62
1.1/1	0.8/1	10/2	10/2	8/2	8/2
M72	M21	M92	M102	C21	C32
1/10	1/10	1/10	1/10	5p	5p

比較器 3



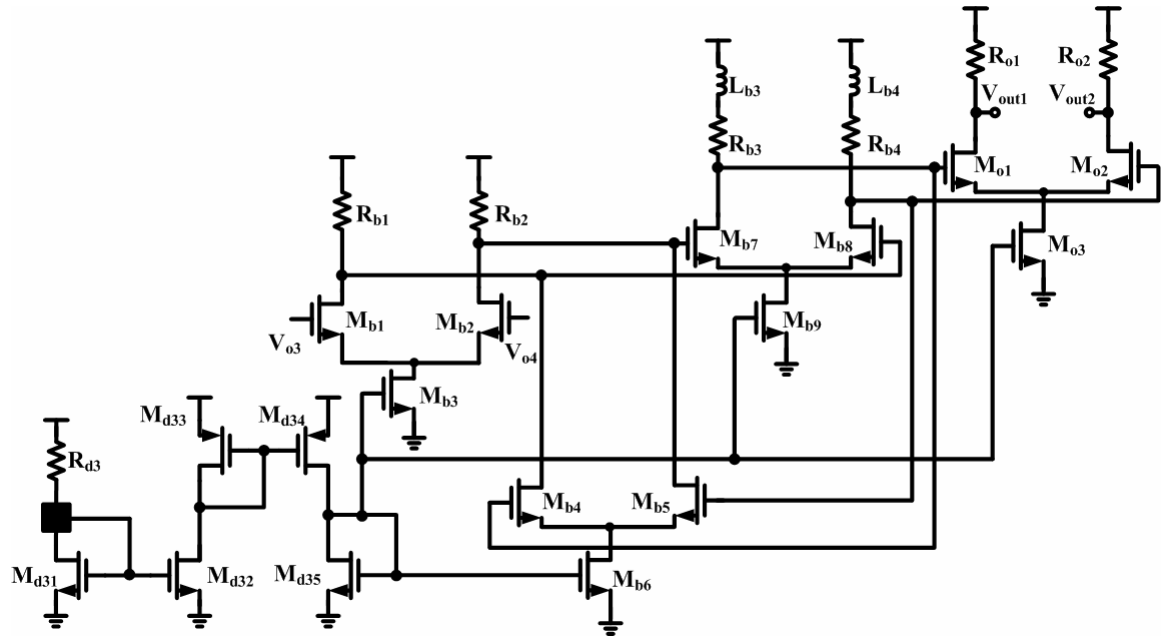
M13	M23	M33	M43	M53	M63
0.8/1	0.8/1	10/2	10/2	8/2	8/2
M73	M83	M93	M103	C31	C32
1/10	1/10	1/10	1/10	5p	5p
Mbr1	Mbr2	Rbr1	Rbr2		
0.8/1	0.8/1	5k	7k		

比較器 4



M14	M24	M34	M44	M54	M64
0.8/1	0.8/1	10/2	10/2	8/2	8/2
M74	M84	M94	M104	C41	C42
1/10	1/10	1/10	1/10	5p	5p
Mbr3	Mbr4	Rbr3	Rbr4		
0.8/1	0.8/1	7k	5k		

輸出緩衝器



Mb1	Mb2	Mb3	Mb4	Mb5	Mb6
15/0.1	15/0.1	40/0.2	5/0.1	5/0.1	20/0.2
Mb7	Mb8	Mb9	Mo1	Mo2	Mo3
15/0.1	15/0.1	80/0.2	50/0.1	50/0.1	200/0.2
Rb1	Rb2	Rb3	Rb4	Lb3	Lb4
200	200	200	200	1.65n	1.65n
Ro1	Ro2	Md31	Md32	Md33	Md34
50	50	40/1	40/1	2/0.1	20/0.1
Md35	Rd3				
30/0.2	6.5k				

簡歷

姓名:盧建君

出生地:台灣台南市

出生日期:1982年11月01日

學歷:1989.09 ~ 1995.06 台南市 日新國小

1995.09 ~ 1998.06 台南市 大成國中

1998.09 ~ 2001.06 國立台南一中

2001.09 ~ 2005.06 國立中興大學 電機工程學系 學士

2005.09 ~ 2007.12 國立交通大學 電子研究所 系統組 碩士

