

# 國立交通大學

電子工程學系 電子研究所碩士班

## 碩士論文

適用於被動光網路系統之互補式金氧半製程  
內嵌重置爆模式光接收器

Design of CMOS Burst-Mode Optical Receiver with Internal Reset  
Creation for PON Systems

研究生：林宜興

Yi-Shing Lin

指導教授：蔡嘉明 教授

Prof. Chia-Ming Tsai

中華民國九十六年十二月

適用於被動光網路系統之互補式金氧半製程內嵌重置爆模  
式光接收器

Design of CMOS Burst-Mode Optical Receiver with Internal  
Reset Creation for PON Systems

研究生：林宜興

Student：Yi-Shing Lin

指導教授：蔡嘉明 教授

Advisor：Prof. Chia-Ming Tsai



Submitted to Department of Electronics Engineering & Institute of Electronics  
College of Electrical Engineering and Computer Engineering

National Chiao Tung University

in partial Fulfillment of the Requirements

for the Degree of

Master

in

Electronics Engineering

December 2007

Hsinchu, Taiwan, Republic of China

中華民國九十六年十二月

# 適用於被動光網路系統之互補式金氧半製程內嵌重置爆模式光接收器


學生：林宜興

指導教授：蔡嘉明 教授

國立交通大學

電子工程學系 電子工程研究所 碩士班

## 摘要



爆模式光接收器的類比前端電路包含爆模式轉阻放大器及爆模式限幅放大器，在多個用戶端資料上傳時，局端所接收到資料封包間的功率有極大的差異，所以需具備自動增益控制(AGC)及自動偏移電壓補償(AOC)，另外，為了快速還原不同封包的資料，所以在不同封包轉換之間需具有重置機制，重置訊號對於爆模式傳輸非常重要，近年來被提出的方式為偵測轉阻放大器輸出端的資料遺失，然而由於轉阻放大器的增益太小，所以偵測訊號的遺失並不可靠，因限幅放大器具有較大的增益，將使訊號遺失的偵測更可靠，當重置訊號產生後，再適當的規劃自動增益控制及臨界電壓的取得，為了能更有效的將重置訊號的產生、自動增益控制及自動偏移電壓補償做整合，本篇論文設計了 2.5Gb/s 及 10Gb/s 爆模式光接收器，為了同時改善增益與頻寬的限制，第一顆晶片在限幅放大器加入了負阻抗補償，應用在 2.5Gb/s 資料傳輸上，採用台積電 0.18  $\mu\text{m}$  CMOS 製程，量測結果具有 19dB 動態範圍、93 dB $\Omega$  差動轉阻增益、-21dBm 的靈敏度、1.55GHz 的光頻寬及小於 10ns 的響應速度，在 1.8V 供應電壓下消耗 146mW 的功率，第二顆晶片轉阻放大器採用了光二極體電容消除及負電容補償，應用在 10Gb/s 資料傳輸上，採用台積電 90nm CMOS 製程，量測結果具有 72 dB $\Omega$  差動轉阻增益、-13dBm 的靈敏度及 6GHz 的光頻寬，在 1.2V 及 3V 供應電壓下消耗 124mW 的功率。

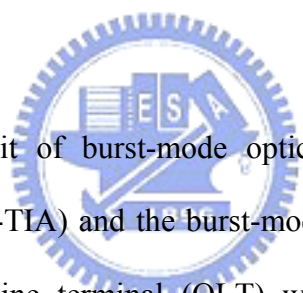
# Design of CMOS Burst-Mode Optical Receivers with Internal Reset Creation for PON Systems

Student : Yi-Shing Lin

Advisor : Prof. Chia-Ming Tsai

Department of Electronics Engineering & Institute of Electronics  
National Chiao Tung University

## Abstract



The analog front-end circuit of burst-mode optical receiver includes the burst-mode transimpedance amplifier (BM-TIA) and the burst-mode limiting amplifier (BM-LA). In the upstream traffic, the optical line terminal (OLT) which receives the data packets from multiple optical network units (ONUs) has very different power levels. Therefore, the burst-mode receiver needs automatic gain control (AGC) and automatic offset cancellation (AOC). Due to the transfer of different data packets, the receiver needs internal reset-creation mechanism. Nowadays, the most popular approach for internal reset creation is to detect the loss of signal (LOS) at the output of TIA during the guard time between data packets. However, the gain of the TIA is too small to guarantee reliable LOS detection. The internal reset signal created by the LA is more reliable due to the increased net gain. Once the reset signal is properly generated, automatic controls of both the gain and the decision threshold can be enabled in a pre-determined procedure. To enable a more efficient integration scheme for reset creation, AGC and AOC, this thesis presents two integrated single-chip burst-mode

optical receivers. To improve gain and bandwidth at the same time, negative impedance compensation is adopted in the circuit design. The first one implements a 2.5Gb/s burst-mode optical receiver in TSMC 0.18 $\mu$ m CMOS technology. Measurement results achieve 19dB dynamic range, 93dB $\Omega$  total differential transimpedance gain, -21dBm sensitivity, 1.55GHz optical bandwidth and fast response time of less than 10ns. This chip dissipates 146mW from a 1.8V supply. The other one implements a 10Gb/s burst-mode optical receiver employing a capacitance cancellation technique in TSMC 90nm CMOS technology. Measurement results achieve 72dB $\Omega$  total differential transimpedance gain, -13dBm sensitivity and 6GHz optical bandwidth. This chip dissipates 124mW from 1.2V and 3V supply.



# 誌謝

轉眼間，碩士生活將告一段落，過程中充滿著許多難忘的回憶，首先在研究領域及處事態度上要感謝指導教授蔡嘉明博士，因老師不間斷的指導與鞭策，才能完成今日的成果。此外，感謝吳介琮教授、黃弘一教授及黃立仁博士對於本論文的建議及指正，讓我獲益良多，同時感謝志龍學長教導儀器的使用，並感謝國家晶片中心及工業技術研究院提供的先進半導體製程，讓晶片得以實現完成，也謝謝倍品公司的老闆與老闆娘，在晶片打線上所給予的協助。

感謝和我一起打拼的同學，珣益、茂成、建君，大家一起修課、跑模擬、畫電路佈局及量測，和你們討論與合作的經驗將會是我最棒的回憶，同時也要感謝學弟，昭安、秉威、勛哲、承曄、致煌，提供許多研究及實驗室事務上的協助，在未來的歲月裡，大家都要繼續努力加油。

特別要感謝我的家人以及朋友給我的鼓勵與支持，感謝我的父母辛苦養育我，給我無微不至的關懷及照顧，讓我在求學過程中能無後顧之憂，迎接各種挑戰，您們對我的期望更是我進步的動力。

最後祝福大家身體健康、事事順利。



林宜興

2007.12.19

# 目錄

摘要.....	I
Abstract.....	II
誌謝.....	IV
目錄.....	V
表目錄.....	VII
圖目錄.....	VIII
第一章.....	1
簡介.....	1
1-1 研究背景.....	1
1-2 論文組織.....	1
第二章.....	2
被動光纖網路介紹.....	2
2-1 被動光纖網路簡介.....	2
2-2 爆模式光接收器簡介.....	3
2-2-2 被動光網路規格介紹.....	5
第三章.....	7
2.5Gb/s 爆模式光接收器設計.....	7
3-1 動機.....	7
3-2 電路架構.....	7
3-3 電路設計與模擬結果.....	15
3-3-1 訊號偵測器及控制邏輯電路.....	15
3-3-2 具二種增益模式之轉阻放大器(TIA with dual gain modes).....	18
3-3-3 單端對雙端轉換級(Single-to-Differential, S2D).....	23
3-3-4 爆模式限幅放大器(Burst-Mode Limiting Amplifier, BM-LA).....	24
3-3-5 頂峰值保持電路(Top Hold).....	27
3-3-6 輸出級(Output Buffer).....	28
3-3-7 模擬結果.....	29
3-4 佈局考量.....	34
3-5 量測環境.....	36

3-6 量測結果 .....	38
第四章 .....	44
10Gb/s 爆模式光接收器設計 .....	44
4-1 電路設計與模擬結果 .....	44
4-1-1 轉阻放大器(TIA) .....	44
4-1-2 模擬結果 .....	46
4-2 電路佈局圖 .....	48
4-2 量測結果 .....	49
第五章 .....	53
結論與未來工作 .....	53
參考文獻 .....	54
附錄 .....	57





# 表目錄

表格 I 轉阻放大器設計規格表.....	20
表格 II 模擬效能列表.....	42
表格 III 量測效能整理.....	43
表格 IV 模擬效能與量測結果.....	51



# 圖目錄

圖 2-1 乙太被動光纖網路系統之建構方塊	2
圖 2-2 被動光纖網路系統之資料傳輸方式	3
圖 2-3 爆模式訊號特性	5
圖 2-4 雷射二極體輸入-輸出特性	6
圖 3-1 迴授式爆模式光接收器	8
圖 3-2 前饋光接收器	9
圖 3-3 偏移電壓經增益級放大	9
圖 3-4 重置訊號對峰值電路的影響	10
圖 3-5 轉阻放大器內建重置訊號產生時序圖	11
圖 3-6 爆模式光接收器設計架構圖	13
圖 3-7 AGC 及 AOC 的控制訊號波形	13
圖 3-8 訊號遺失偵測電路時序圖	14
圖 3-9 單擊脈波產生器	16
圖 3-10 峰值保持電路方塊圖	17
圖 3-11 頂峰值訊號保持器	17
圖 3-12 磁滯比較器	18
圖 3-13 (a)爆模式轉阻放大器 (b)小訊號等效電路 (c)增益轉換說明	21
圖 3-14 改變開迴路增益下頻寬與迴授電阻大小關係	22
圖 3-15 迴路增益	22
圖 3-16 電壓放大器頻率響應	22
圖 3-17 單端對雙端轉換級 (a)架構圖 (b)單端對雙端轉換級	23
圖 3-18 在不同的增益下所選用的級數與頻寬之間的關係	24
圖 3-19 負電容及負電阻補償	25
圖 3-20 限幅放大器 (a)架構圖 (b)增益級	26
圖 3-21 限幅放大器頻率響應	27
圖 3-22 頂峰值保持電路	28
圖 3-23 輸出級	28
圖 3-24 (a)在高增益模式下的頻率響應 (b)在高增益模式下當輸入電流為 $10 \mu A_{p-p}$ 的	

輸出眼圖 (c)在高增益模式下不同 corner 輸出眼圖 .....	30
圖 3-25 (a)在低增益模式下的頻率響應 (b)在低增益模式下當輸入電流為 $200 \mu A_{p-p}$ 的輸出眼圖 (c)在低增益模式下不同 corner 輸出眼圖 .....	31
圖 3-26 (a)限幅放大器頻率響應 (b)輸入電壓為 $6mV_{p-p}$ 的輸出眼圖 (c)不同 corner 下輸出眼圖 .....	32
圖 3-27 (a)轉阻放大器輸出訊號 (b)接收器輸出訊號 (c)訊號遺失偵測器產生的重置訊號 (d)增益控制訊號 (e) $20 \mu A_{p-p}$ 輸入訊號時的輸出眼圖 (f) $600 \mu A_{p-p}$ 輸入訊號時的輸出眼圖 .....	33
圖 3-28 鏑線效應 .....	34
圖 3-29 佈局平面圖 .....	35
圖 3-30 晶片照相圖 .....	35
圖 3-31 爆模式光學量測設定圖 .....	36
圖 3-32 頻率響應量測設定圖 .....	37
圖 3-33 (a) Pattern Generator (b)示波器 (c)光發射器 (d)衰減器 .....	37
圖 3-34 當輸入光功率為(a)-21dBm (b)-12dBm (c)-2dBm 下輸出眼圖 .....	39
圖 3-35 在 2.5Gb/s 下輸入光功率的大小對映於誤碼率大小 .....	39
圖 3-36 爆模式光接收器頻率響應 .....	40
圖 3-37 經校正及正規化後頻率響應 .....	40
圖 3-38 爆模式輸出波形 (a)15dB loud/soft ratio (b)響應時間 (c)及(d)暫態響應 .....	41
圖 3-39 Histogram .....	41
圖 3-40 光接收器輸出頻譜密度 .....	42
圖 4-1 檢光二極體電容消除轉阻放大器架構 .....	45
圖 4-2 轉阻放大器 .....	45
圖 4-3 (a)轉阻放大器頻率響應 (b)當輸入電流為 $50 \mu A_{p-p}$ 的輸出眼圖 (c)及(d)不同 corner 下輸出眼圖 .....	46
圖 4-4 (a)限幅放大器頻率響應 (b)輸入電壓為 $10mV_{p-p}$ 的輸出眼圖 (c)及(d)不同 corner 下輸出眼圖 .....	47
圖 4-5 爆模式訊號 .....	47
圖 4-6 佈局平面圖 .....	48
圖 4-7 晶片照相圖 .....	48
圖 4-8 當輸入光功率為(a)-13dBm (b)0.5dBm 下輸出眼圖 .....	49

圖 4-9 在 10Gb/s 下輸入光功率的大小對映於誤碼率大小 .....	50
圖 4-10 爆模式光接收器頻率響應 .....	50
圖 4-11 Histogram .....	51
圖 4-12 光接收器輸出頻譜密度 .....	51



# 第一章

---

---

## 簡介

### 1-1 研究背景

被動光纖網路系統提供點對多點(point-to-multipoint)傳輸，具備低成本及高速傳輸效率等優點，所以在用戶端存取網路應用上漸漸的具有極大的吸引力，其資料在下行時(downstream)，用戶端(Optical Network Unit, ONU)接收局端(Optical Line Terminal, OLT)所傳來的資料採用廣播的方式，而上傳時(upstream)則採用分時多工的方法，此時局端所接收到的光訊號強度，會因光發射器的來源不同而有極大的差異，為了要處理爆模式訊號，光接收器在局端就成為一個重要性的組成元件，其包含檢光二極體、轉阻放大器及限幅放大器，需具有低雜訊、高動態範圍、快速響應及具備重置訊號等特性，本研究即朝此方向利用互補式金氧半製程設計爆模式光接收器。

### 1-2 論文組織

本篇論文主要在研究及設計爆模式光接收器，對於系統規格、架構及電路設計將分別在下面章節做討論，量測結果也將做一整理，整份論文的編排在下面做一說明。

第二章將從被動光纖網路開始介紹，主要包含乙太光纖網路所具有的傳輸特性，及所需處理的資料型態，接下來將對光接收器運作上的需求做一說明，對設計上的一些考量及挑戰做一討論，最後整理一些系統重要的規格。

第三章延續第二章所做的討論，設計一個傳輸速度為 2.5Gb/s 的爆模式光接收器，先介紹數種不同的架構，再選擇合適的架構做研究，之後對傳輸上的時序做一說明，接著使用電路去實現完成，在電路設計上，由於本設計主要是處理爆模式訊號，所以電路內部具有自動增益控制及對偏移電壓做補償的電路，此電路內部有一些狀態需做重置，在此採用數位電路加上訊號的特性來完成，主要訊號傳輸所經過的電路包含轉阻放大器、限幅放大器及峰值保持電路，再由輸出級輸出訊號，完成電路的設計。

第四章將設計一個傳輸速度為 10Gb/s 的爆模式光接收器，主要設計概念與第三章所設計的類似，此章將對不同的部份做介紹。

第五章針對前幾章的討論，做總結，並對未來所需改進的部份做更進一步的探討。

## 第二章

### 被動光纖網路介紹

#### 2-1 被動光纖網路簡介

圖 2-1 所示為乙太被動光纖網路系統實體層之建構方塊[1][2]，其包含連續模式及爆模式傳輸方式，其中用戶端(ONU)包含下行的接收器(DS-RX)及上傳的傳送器(US-TX)，而局端(OLT)包含下行的傳送器(DS-TX)及上傳的接收器(US-RX)，在用戶端上傳的傳送器及在局端上傳的接收器屬於爆模式傳輸，而用戶端下行的接收器及局端下行的傳送器屬於連續模式傳輸，本篇論文主要討論爆模式傳輸。

在用戶端上傳的傳送器主要包含爆模式雷射驅動器(BM-LD)及雷射二極體二個重要的部份，由於是操作在爆模式下，所以會有些特別的要求，此雷射驅動器在接收系統的觸發訊號後，需在短暫的時間決定開啟或關閉，爆模式雷射驅動器與雷射二極體通常為了避免因交流耦合使得響應速度變慢，通常採用直接耦合。

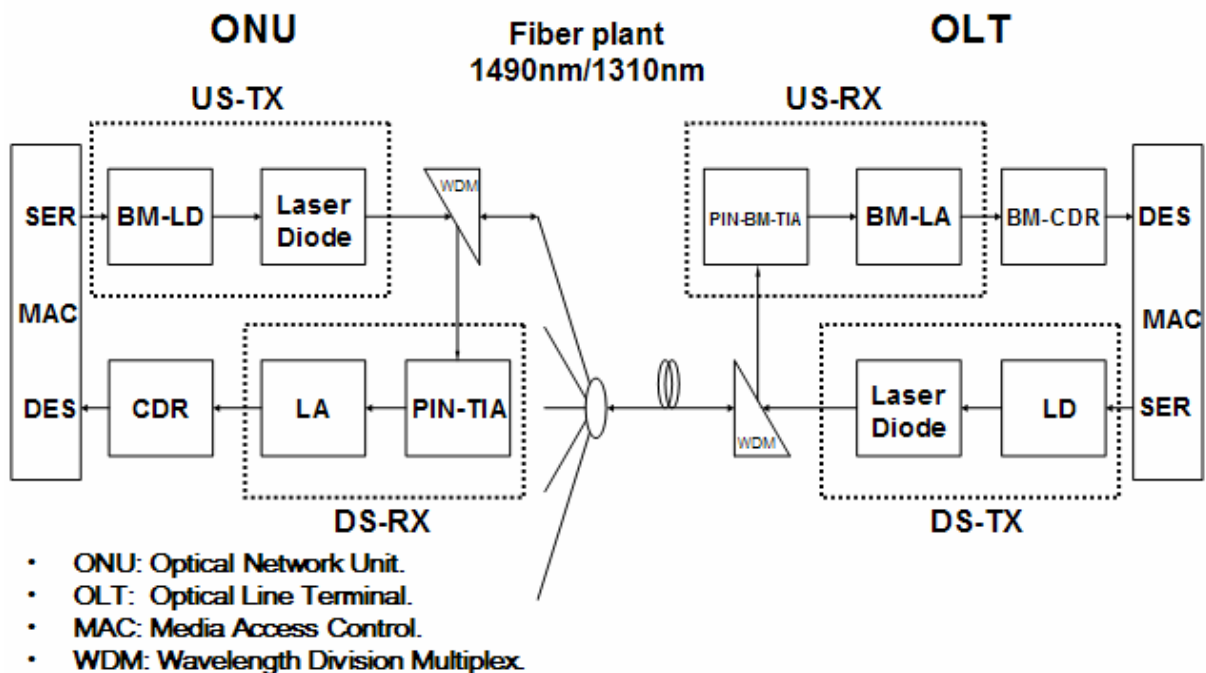


圖 2-1 乙太被動光纖網路系統之建構方塊

在局端上傳的接收器主要包含爆模式轉阻放大器及爆模式限幅放大器，由於需接收爆模式訊號，所以需要快速處理差異極大的光訊號，因此接收器需重置訊號並具備高靈敏度、高動態範圍與快速響應的特性。

## 2-2 爆模式光接收器簡介

有線光通訊傳輸分為二種，一種為點對點傳輸，而另一種則為點對多點傳輸且為被動式光纖網路(Passive Optical Network, PON)系統，其具有高速資料傳輸、成本低等優點，圖 2-2 所示即為此種系統資料傳輸方式[1][2][3]，多個用戶端經由星狀光聯結器，透過單一光纖連接到局端，上傳採用爆模式完成，而下行則採用連續模式完成，由於此種分享局端系統方式，在上傳時，其接收到的光訊號強度，將因來自於不同的用戶端而有極大的不同，因此光接收器在局端就成為一個重要性的組成元件，此種光接收器稱為爆模式光接收器，其包含檢光二極體、轉阻放大器及限幅放大器。

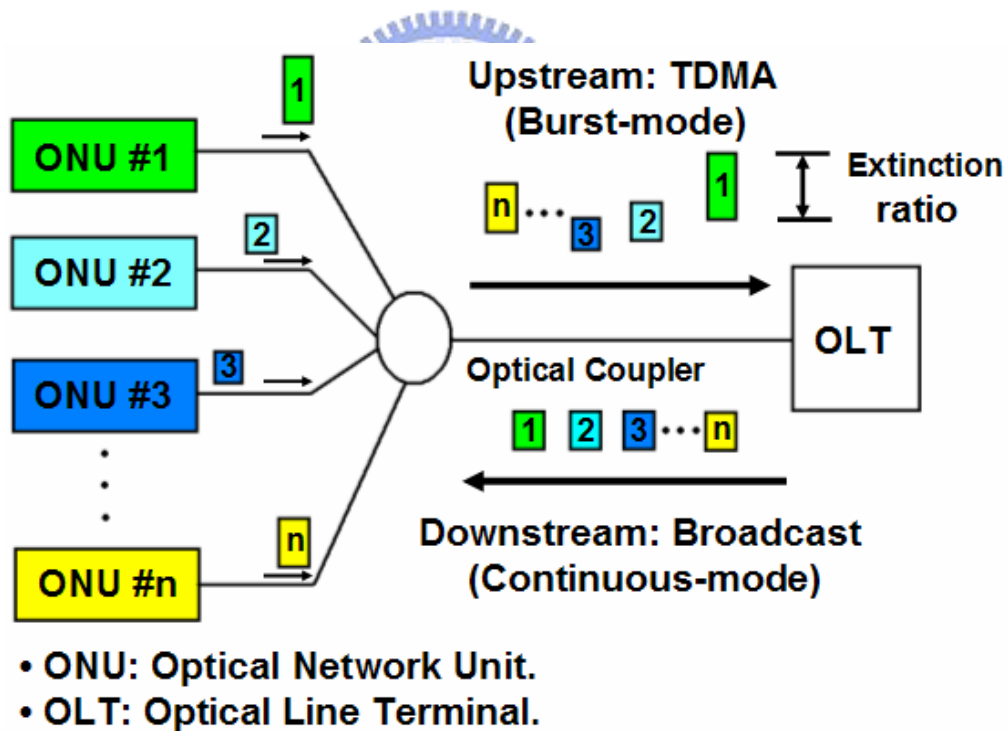


圖 2-2 被動光纖網路系統之資料傳輸方式

局端與用戶端的訊號傳輸採用分時多工方式完成，不同用戶端在不同的時間將資料傳送到局端，局端接收訊號並放大，不同用戶端之間所傳送的資料會經一段保護時間(guard time)，此段時間沒有資料傳輸，目的在避免資料傳輸時的相互干擾。



如同上述所介紹的爆模式傳輸方式可知，在局端需採用爆模式光接收器，因接收來自不同用戶端的光訊號強度可能會有極大的差異，所以電路需具備自動增益控制(AGC)及自動偏移電壓補償(AOC)功能，同時為了處理各個用戶端之間傳送資料時的轉換，需具備一重置訊號，用來重置自動增益控制及自動偏移電壓補償。

檢光二極體的目的為接收光訊號，透過轉阻放大器及限幅放大器將訊號放大。轉阻放大器的功能為將檢光二極體感應光產生輸出的電流訊號放大並轉換成電壓訊號，當其轉換的輸入電流準位很小時，輸出訊號約為數十毫伏的準位，因此需透過後面的限幅放大器將訊號做更進一步的放大以利後續的資料判別，本研究主要在設計轉阻放大器及限幅放大器，同時為了使電路能處理爆模式訊號，經由偵測訊號的資訊，使內部能自動產生重置訊號，以接收不同用戶端送來的訊號。

在轉阻放大器設計上，為了提高動態範圍，需具備自動增益控制[3]，為了提高傳輸效率，其增益控制速度及穩定度為設計上主要的問題，同時輸入端的檢光二極體元件電容往往限制了光接收器的頻寬，也是設計上的重點。

在限幅放大器設計上，為了操作在爆模式，接收器需具備能處理接收到不同振幅的電壓訊號，同時需對不同封包的直流電壓偏移做補償，並產生清楚的訊號以讓後級的數位電路做處理，在此設計上主要的問題在於提高大的電壓增益、頻寬同時快速的補償直流電壓偏移。

為了快速的補償不同封包的直流電壓偏移，電路內有一些電壓峰值保持器，以偵測訊號振幅並保存，由於不同封包間的訊號振幅大小不一樣，所以需有重置訊號來初始化電路，使其經過保護時間後，可接收另一封包的訊號。

由以上所介紹的幾個電路問題，本研究目標為開發新的整合技術，以實現寬頻、低雜訊、高動態範圍、快速響應並具備自動重置訊號產生之爆模式光接收器。首先為了降低輸入端光二極體所產生寄生電容的影響，使用降低輸入阻抗，利用多級放大器提高開迴路增益方式來完成[4][5]，為了提高增益控制的速度及增益轉換時的穩定性，採用磁滯比較器的方法完成[3]，在限幅放大器方面則採用 Cherry-Hooper 架構並加入負阻抗補償方式[6][7]完成，直流電壓偏移則採用前饋方式補償[3][8]，電壓峰值檢知器利用電流鏡方式完成[9][10]，再來結合前人發表過的內部重置訊號產生的觀念以自動產生重置訊號[11][12]，使整個接收器不需外加重置訊號，整合上面的電路，並解決其存在的問題，將可以讓此光接收器具有自動重置訊號且應用在爆模式傳輸上。



## 2-2-2 被動光網路規格介紹

此節會先介紹一些關於爆模式接收器設計上會遇到的一些常用規格及參數

[1][2][13]，在接下來的電路設計，會依照此節所提出的相關觀點做討論。

1. **靈敏度(Sensitivity)**：在光接收器上，靈敏度是非常重要的，它代表著在一可接受的誤碼率(BER)下(ex:  $10^{-12}$ )，電路可接受的最小平均光功率。
2. **過載(Overload)**：它代表著在一可接受的誤碼率下，電路可容忍接受最大的輸入光功率。
3. **保護時間(Guard time)**：如圖 2-3 所示，在爆模式傳輸上，由於採用分時多工方式，所以在資料傳送過程中，為了避免不同資料封包(packet)之間互相干擾，因此會有一段時間稱為保護時間，此段時間無輸入資料。

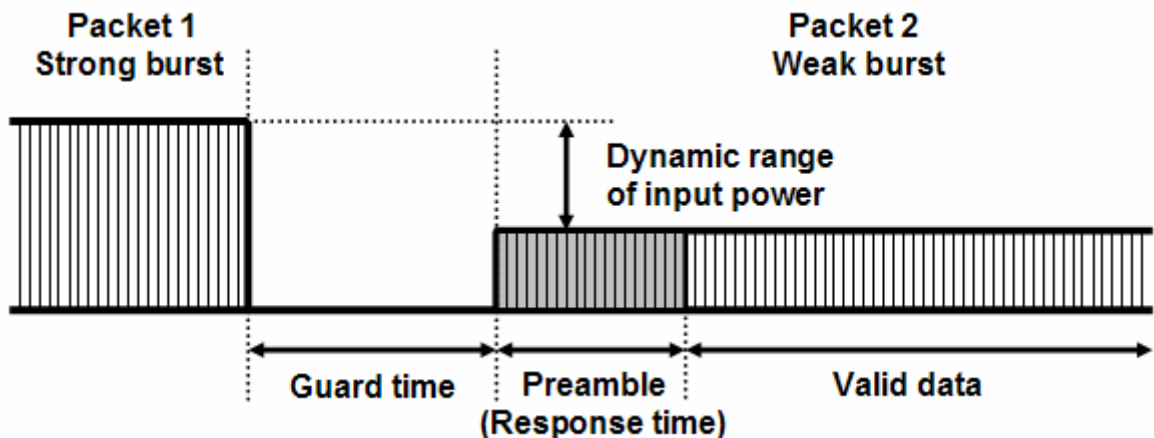


圖 2-3 爆模式訊號特性

4. **預置時間(Preamble time)**：如圖 2-3 所示，因爆模式訊號具備一些特性，當接收到訊號時，需取出訊號強度成份以做增益控制即偏移電壓補償同時讓時脈與資料回復器(Clock and Data Recovery, CDR)做時脈的同步，當振幅及時脈的資訊取得後，有效資料才可開始傳輸，用來取得振幅及時脈資訊這段時間稱為預置時間。
5. **動態範圍(Dynamic range)**：如圖 2-3 所示，它代表著電路可接收最大訊號到最小訊號之間的範圍。
6. **雷射發光的亮暗功率比(Extinction ratio)**：此參數表示在雷射發光後，代表高準位的發光功率及代表低準位的發光功率比值，如圖 2-4 所示  $ER = \frac{P_{one}}{P_{zero}}$ 。

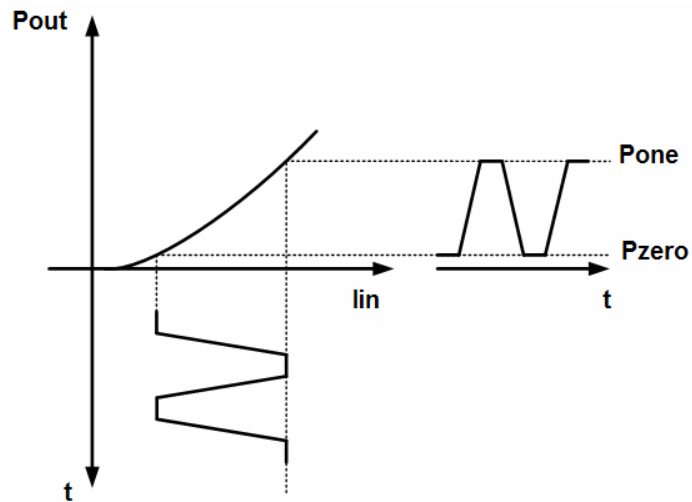


圖 2-4 雷射二極體輸入-輸出特性

7. 響應度(Responsivity)：光二極體所產生的光電流  $I_{p-p}$  正比於輸入的光功率  $P_{i(p-p)}$ ，如(公式 1)所示，響應度  $R_{ph}$  定義為每一瓦的光能夠產生多少的光電流，例如一個光二極體的響應度為 1 A/W，表示在適當的波長下發射 1mW 的光會產生 1mA 的電流。

$$I_{p-p} = R_{ph} P_{i(p-p)} \quad (\text{公式 1})$$



## 第三章

---

# 2.5Gb/s 爆模式光接收器設計

## 3-1 動機

此章將對所設計及實現的爆模式光接收器做完整的介紹，在光通訊資料傳送中，如同步光纖網路(Synchronous Optical Network, SONET)、區域網路(Local Area Network, LAN)及光纖到家(Fiber-To-The-Home, FTTH)，由於可提供大量的多媒體資料傳送，所以漸漸變得越來越重要，在這些系統中，需花費較少的成本來設計類比前端光接收器，特別是在爆模式傳輸系統中，需設計低成本並具備能處理振幅變動很大的資料封包，同時因為爆模式的特性，近年來的發展趨勢為內部能自行產生重置訊號[11][12]，本設計的重點也著重在自動重置訊號的產生，使得整個接收器在爆模式應用上能更加完整，並使系統設計更加容易，在第二章已對該系統做了簡單的介紹，接下來的段落裡，主要在研究及設計具自動重置訊號產生的爆模式光接收器，先從電路的架構開始介紹，比較各架構之間的優劣與差異，再對所採用的架構做一說明，在介紹完架構後，將對電路的整體重置過程做進一步的說明，接下來對電路做分析設計，先從自動重置產生方式著手，再介紹資料傳送路徑(Data Path)，最後在電路的佈局考量上做說明並提供模擬及量測結果。

## 3-2 電路架構

在傳統的接收器電路上，採用自動增益控制(Automatic Gain Control, AGC)及自動偏移電壓補償(Automatic Offset Cancellation, AOC)來擴大動態範圍及增加靈敏度[8]，以下依發展的順序做簡介，最後介紹所欲完成的架構圖，如圖 3-1 所示為採用迴授方式來完成的爆模式光接收器，光二極體的直流成份會使差動輸出具有偏移電壓(offset)，利用偵測差動輸出端二端的峰值差異，透過一放大器來適當的調整電流源(I<sub>DC</sub>)大小，當穩態時，可使輸出訊號變成完美的差動輸出，一般來說，迴授路徑需花較長的時間來穩定電路，因此要達到快速響應速度有其困難，且迴授路徑會受到時間常數的影響，需對迴路增益及頻寬做詳細的分析與計算，增加電路設計複雜度，在電路閉路時，提高電路的不

穩定機會，為使它更穩定，需將增益及偏壓狀態設在適當的值，大幅增加設計上的困難度與時間上的浪費[8][14][15]。

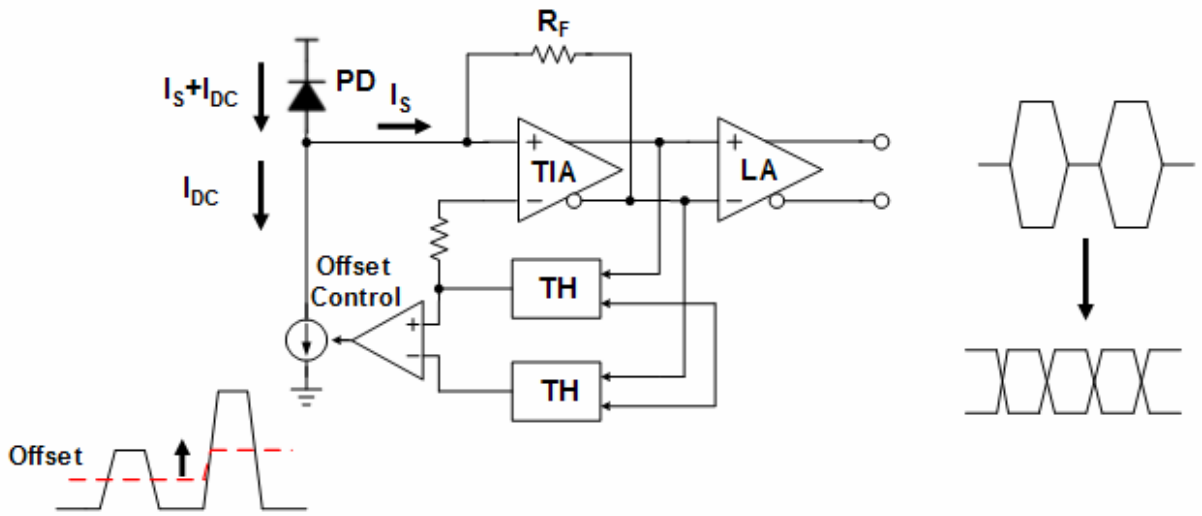


圖 3-1 迴授式爆模式光接收器

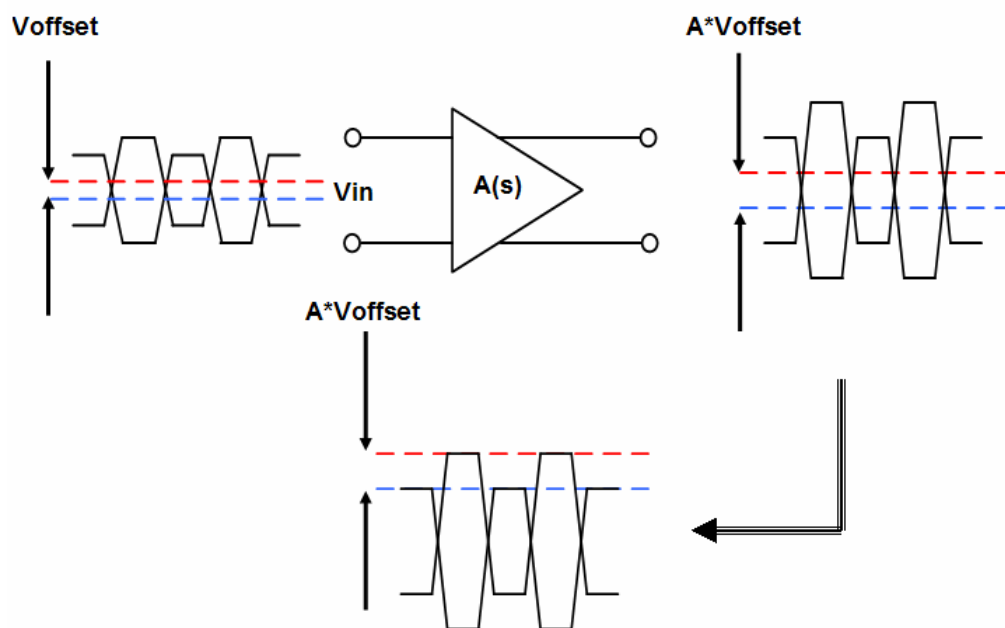
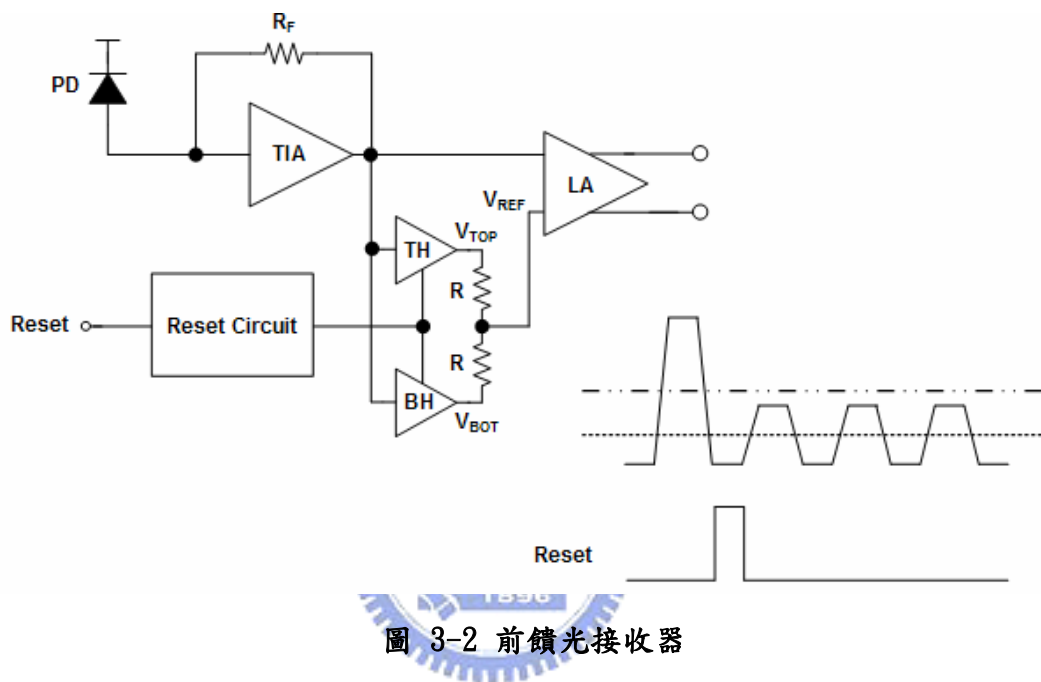
由於迴授方式在響應速度及穩定性上的缺點，為了克服這些問題，發展出一種前饋 (feed-forward) 方式的架構[8]，如圖 3-2 所示，採用限幅放大器將訊號放大，使得輸出訊號大小維持恆定，利用頂峰值及底峰值保持器，經由電阻分壓的方法產生適當的參考電壓“ $V_{REF}$ ”以讓限幅放大器放大[8][16]，來取代圖 3-1 迴授式補償偏移電壓(offset control)，用此種方式可使整個接收器具有較好的響應速度及穩定度，速度主要的限制為峰值保持器，當一封包傳送完後，需有重置訊號重置峰值保持器，以接收下一封包的資料，近年來的發展驅勢也都採用前饋的方式來完成[3][11][12]。

當採用限幅放大器來取代可變增益放大器時，偏移電壓將會造成訊號的脈波寬度產生失真(Pulsewidth Distortion)，因訊號判斷的臨界電壓產生變動，所以會使訊號判斷上的錯誤率增加，造成誤碼率的上升，為解決此問題，在設計此放大器時，需適當的對使用的級數、增益及自動偏移電壓補償方面做適當的評估[8]。

在限幅放大器所造成的偏移電壓可用圖 3-3 來解釋，當輸入訊號  $V_{in}$  有偏移電壓  $V_{offset}$ ，經增益為  $A$  的放大器放大後，在輸出端會使得偏移電壓被放大為  $A \cdot V_{offset}$ ，若此訊號繼續被放大，最後可能會使放大器飽和，進入非線性放大，甚至會使輸出訊號造成嚴重的失真，使資料無法辨識，因此需加入偏移電壓補償電路，以避免因偏移電壓的產生而對電路造成影響[17]。

在對偏移電壓做補償上，有多種做法，一種為偵測放大器的差動輸出端其共模電壓之

差異，即為放大器輸出偏移電壓，但採用此種方法在爆模式應用上，需同時採用頂峰值保持器(Top Hold, PH)及底峰值保持器(Bottom Hold, BH)[18]，增加電路設計上的複雜度。因此當放大器的差動輸出二端具有接近的增益且處理的訊號為不歸零碼(Non-Return-to-Zero, NRZ)時，取而代之的方法為偵測差動輸出二端訊號的頂峰值即可得到偏移電壓的資訊[17]，在電路設計上也只需採用頂峰值保持器或底峰值保持器，不管在電路設計及重置訊號上，都可有效的降低其複雜性。



一般爆模式接收器需接收高動態範圍的訊號，所以具有自動增益控制及自動偏移電壓補償，為了避免不同資料封包間相互干擾，所以需要重置訊號，如圖 3-4 所示當轉阻放大器的輸出電壓大於比較器的臨界電壓時，由於增益的轉換，使得輸出訊號振幅產生變化，此時若無重置訊號，將使頂峰值保持器取出錯誤的訊習，造成訊號放大上的錯誤，然而，在被动光網路系統中，沒有提供任何重置訊號，因此為了使系統應用上及設計更加便利，內部需自行產生重置訊號，對於爆模式轉阻放大器，內建重置訊號最常用的方法為在不同資料封包間的保護時間偵測訊號的遺失[12]，如圖 3-5 所示利用 RC 低通濾波器取出信號的中間值”Vmid”，再與  $V_{1/4}$  比較，當在保護時間時，Vmid 會放電，直到高於  $V_{1/4}$  時，即自動產生重置訊號。當”BH level”訊號小於”V<sub>ref\_ENBL</sub>”時，會產生 Reset Enable，即在此封包傳完時需產生重置訊號，若 BH level 未大於  $V_{ref\_ENBL}$  時，即不產生

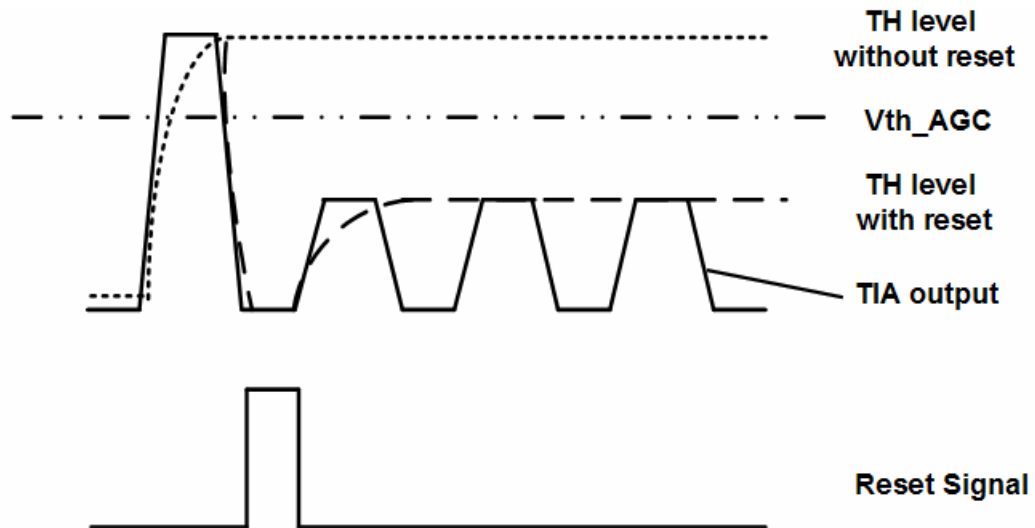


圖 3-4 重置訊號對峰值電路的影響

重置訊號，因轉阻放大器的增益太小，以致於偵測訊號的遺失較不可靠，因訊號經限幅放大器再放大後，具有較大的振幅，所以可確保訊號偵測上的準確性及可靠度。

經由上面所做的說明，接下來將介紹本設計所採用的架構，主架構採用前饋式完成，因為應用在爆模式上，所以設計重點著重在自動重置產生的方法，使系統整合性更完整，在電路設計方面的重點則為如何使電路有好的靈敏度、高動態範圍及快速響應，接下來將先對整個電路架構做說明，之後再討論細部的電路設計，從自動重置訊號的產生到各個子電路做分析設計，並提供模擬結果與量測結果，以印證設計上的想法。



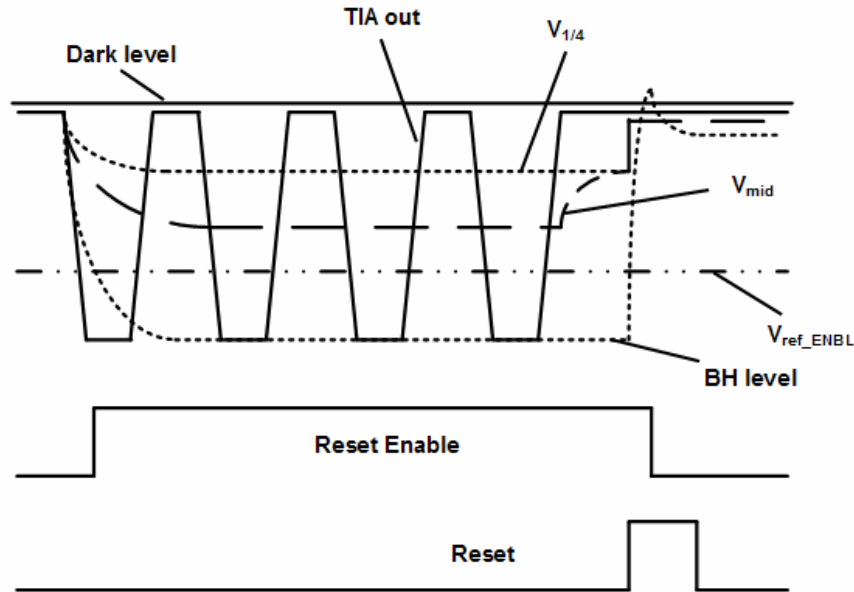


圖 3-5 轉阻放大器內建重置訊號產生時序圖

圖 3-6 為所設計的整個光接收器架構圖，以下將先從架構介紹起，接著對爆模式應用上的時序安排與考量做說明，對於各子電路的詳細分析與設計，將在下一節做討論。

在爆模式光接收器中，內部主要的電路，包含轉阻放大器、限幅放大器及峰值保持器，當接收較強光訊號後，需對內部電路做重置，以避免不同封包之間的資料干擾，然而，在被動光纖網路系統應用中，其不提供任何的重置訊號給光接收器，此時接收器就需具備自動重置產生的功能，當自動重置訊號產生後，自動增益及臨界電壓控制可以在預先規劃好的程序內完成，對於自動重置訊號的產生，最常使用的方法其觀念採用訊號遺失偵測的方法[11][12][26]，在爆模式傳送過程中，不同封包傳送時有著一段保護時間，此時訊號完全關閉，所以在這個時候，讓內部自動產生重置訊號，當下一個封包到達時，偵測到訊號的出現，此時在數個位元的時間內，將重置訊號關閉，以此方法取得重置訊號後，要處理爆模式資料將可經由內部一些控制邏輯來完成。

在圖 3-6 所示的架構圖中，整個接收器是由爆模式轉阻放大器、爆模式限幅放大器及一些控制電路組成，當光二極體接收到光訊號後，將它轉換成電流形式，透過轉阻放大器將電流轉換成單端輸出電壓，利用仿造(dummy)的轉阻放大器取出轉阻放大器的直流電壓，經由單端對雙端轉換級(Single-to-Differential, S2D)將電壓從單端輸出轉換成雙端輸出，最後由三級限幅放大器將訊號放大到邏輯準位(Logic level)，透過輸出級推動 50 歐姆的負載，為了達到快速響應及資料放大後的正確性，單端對雙端轉換級及限幅放大器具有自動偏移電壓補償電路，在保護時間時，透過訊號遺失偵測器，由限幅放大器的

最後一級偵測訊號的遺失，並產生重置訊號，此時由訊號偵測器送出一個短暫的脈波到磁滯比較器，將轉阻放大器轉換到高靈敏度的高增益模式，等待下一個封包的訊號到來，當下一個資料封包到達且轉阻放大器的輸出最高電壓大於磁滯比較器的正臨界電壓時，轉阻放大器立即切換到低增益模式，若轉阻放大器的輸出電壓小於磁滯比較器的正臨界電壓時，經過一段決定增益是否轉換的時間" $\Delta t$ "，會讓轉阻放大器維持在高增益模式，且訊號偵測器會送出一訊號"AGC Enable"，讓"S1 off"，在此封包的資料傳輸過程中將不在做增益的轉換，此動作在避免轉阻放大器的輸出訊號太接近磁滯比較器的轉態臨界電壓，造成不適當的增益轉換，因自動偏移電壓補償的動作是在增益模式轉換後，所以不適當的增益轉換將造成自動偏移電壓補償在運作上的問題，為了確保自動偏移電壓補償電路取出電壓訊號的正確性，它的啟動時間將在自動增益控制穩定之後，整個自動增益控制及自動偏移電壓補償產生的時序與資料傳輸間的關係，如圖 3-7 所示。

圖 3-8 所示為訊號遺失偵測器在爆模式接收器中的實現方式，二輸入訊號分別從限幅放大器最後一增益級取得，如此可提高偵測到最小輸入訊號的能力，當新的資料封包到達時，在數位元的時間內由最後一級限幅放大器取得的訊號，會使頂峰值保持器的二輸出端大於磁滯比較器的正臨界電壓，此時代表已接收到訊號，因此將重置訊號關閉 (off)，當在保護時間時，沒有任何輸入訊號，所以當頂峰值保持器的其中一端低於磁滯比較器的負臨界電壓時，會啟動重置訊號，採用單擊脈波產生器及磁滯比較器來避免限幅放大器輸出端的擾動影響到重置訊號的動作，限幅放大器的輸出振幅約為 750mV，因此正峰值與放大器的直流準位相差約 375mV，為了避免雜訊使重置訊號產生誤動作，因此正轉態電壓大約設在高於直流電壓 0.2V，磁滯比較器的正轉態電壓與負轉態電壓差約為 0.1V。



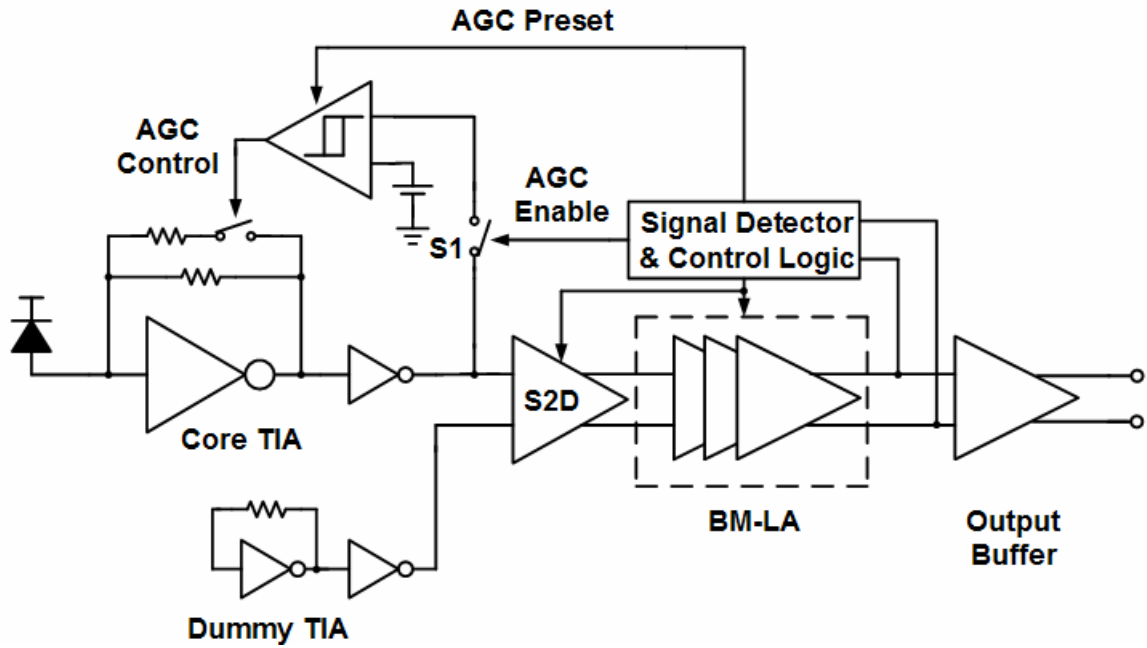


圖 3-6 爆模式光接收器設計架構圖

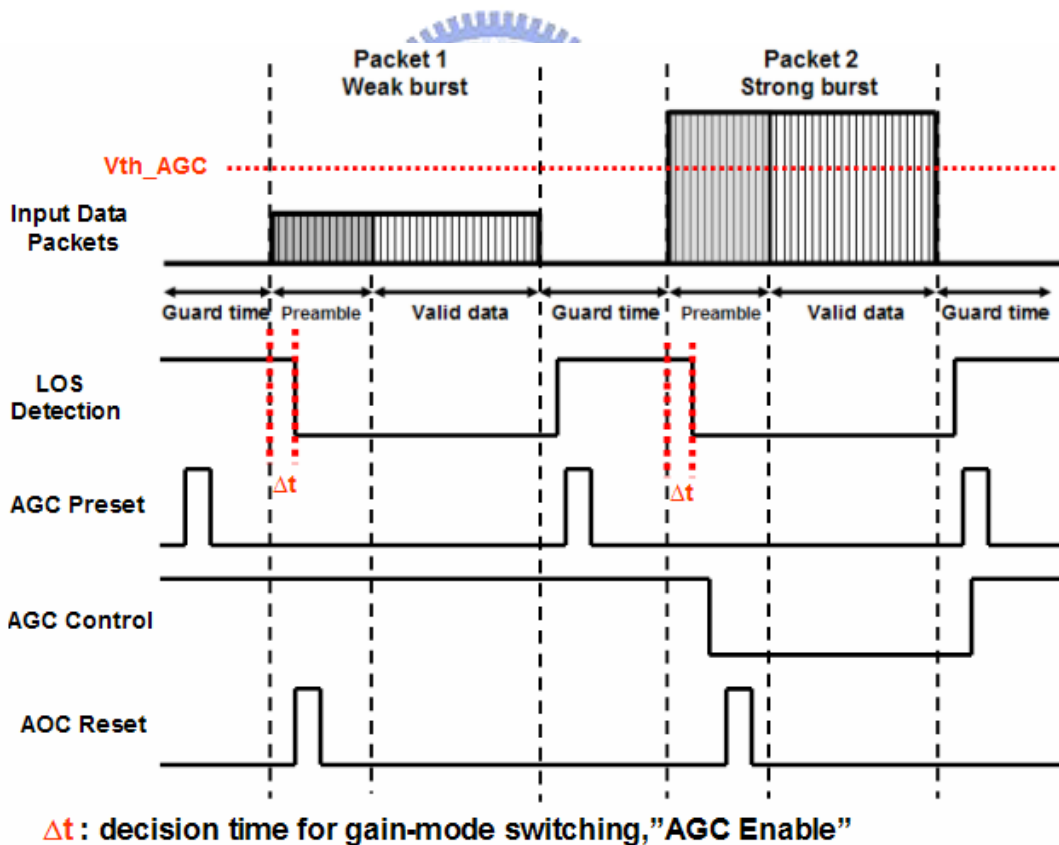


圖 3-7 AGC 及 AOC 的控制訊號波形

圖 3-8 下方所示為訊號遺失產生的時序圖，最上面的時序圖代表限幅放大器最後一級的輸出訊號，當一個封包傳送完成之後，利用頂峰值保持器的電容對電阻放電，在保護

時間時，此時沒有任何訊號輸入，當  $V_3$  或  $V_4$  有一端低於磁滯比較器負臨界電壓時，啟動重置訊號，當接收到下一個訊號封包時，在  $V_3$  及  $V_4$  皆大於磁滯比較器的正臨界轉態電壓時，重置訊號應關閉，直到傳送的訊號結束後再重新啟動，利用此觀念產生重置訊號[11][24][26]，重置訊號的產生時機(ON/OFF)與訊號之間的關係，如真值表(Truth Table)所示。

Truth Table

Out1 <sub>,comp</sub>	Out2 <sub>,comp</sub>	LOS Detection
0	0	ON
0	1	ON
1	0	ON
1	1	OFF

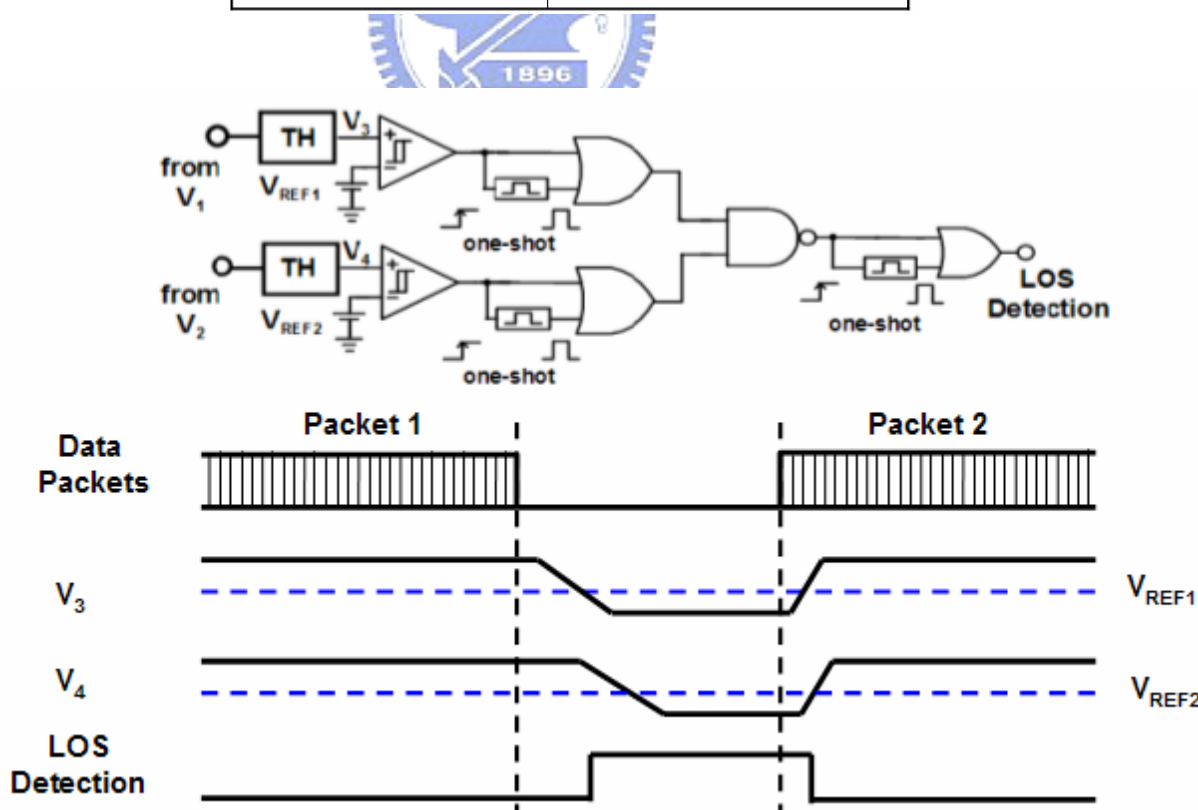


圖 3-8 訊號遺失偵測電路時序圖

### 3-3 電路設計與模擬結果

為了能更有系統的介紹整個光接收器電路的設計，在此將其細分成數個部分，先從訊號偵測及控制邏輯電路實現方式開始，再由資料會經過的路徑(Data Path)做詳細分析與說明，本設計是採用台積電  $0.18\ \mu\text{m}$  CMOS 製程設計一 2.5Gb/s 爆模式光接收器，由於供應電壓為 1.8 伏，所以會使電路設計上的一些規格受到影響，在轉阻放大器設計上，輸入端的光二極體寄生電容預估為  $0.8\text{pF}$ ，在 1.8 伏的供應電壓下，為確保電路的動態範圍及靈敏度，所以設計上的增益約為  $66\text{dB}\Omega$ ，動態範圍約 20dB，頻寬約為資料傳輸速度的 0.7 倍為 1.75GHz，在限幅放大器的設計上，為了補償單端轉雙端的增益損失，並提供足夠大的增益，所以設計上的增益約為  $40\text{dB}\Omega$ ，頻寬約等於資料傳輸速度為 2.5GHz。

#### 3-3-1 訊號偵測器及控制邏輯電路

此電路的目的為自動產生重置訊號，產生的時機已在上節做說明，為了使重置訊號的產生更可靠，所以是偵測限幅放大器的最後一級輸出訊號，因為它有著較高的增益，其所採用的電路包含頂峰值偵測器[9][10]、磁滯比較器[20][21]及一些組合式數位邏輯閘完成，經由判讀所接收到的訊號，來決定是否產生重置訊號。

圖 3-9 所示為單擊脈波產生器實現方式，主要是利用來穩定重置訊號及完成自動增益控制與自動偏移電壓補償，利用數位邏輯閘來實現，時序關係為時序圖所示，當 A 訊號上升時，利用數個反相器的延遲，在偵測到訊號的上升時，可以自動產生一個脈波來控制電路，此為偵測正緣訊號產生脈波的方式，若要偵測負緣訊號，可將及閘一輸入端反相器的個數設計為偶數，另一端則加入一反相器，在五級的反相器連接下，可達到  $\tau_d \approx 5\text{ns}$  的延遲。

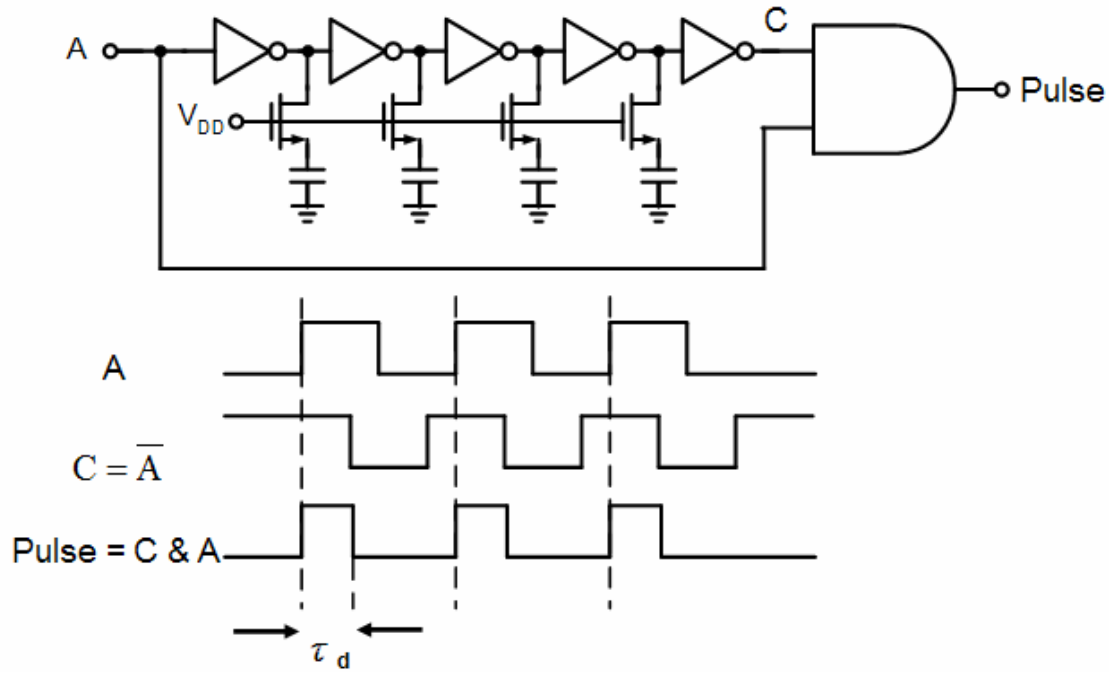


圖 3-9 單擊脈波產生器

傳統上最常使用的峰值保持電路架構為圖 3-10 所示[22][23]，其電路響應的速度為(公式 2)，主要由保持電容及二極體的寄生電阻來決定，在高速電路的應用上，此時間常數變得非常重要，若在一時間”T”內對電容充電，訊號實際峰值與保持住的電壓差為(公式 3)， $A_L$  表示放大器的開迴路增益，因此欲達到較小的保持電壓誤差” $\Delta V_\tau$ ”，需較小的保持電容  $C_{hold}$  或降低  $R_p$ ，但改變此二參數會使得電路在保持模式下因電荷注入(charge injection)而使保持電壓下降(公式 4)，此外採用二極體達成整流的效果，需多一個二極體的壓降，在低供應電壓下會降低可保持電壓的範圍。

$$\tau = R_p C_{hold} \quad (\text{公式 2})$$

$$\Delta V_\tau = \frac{A_L - A_L(1 - e^{-\frac{T}{\tau}})}{A_L} = e^{-\frac{T}{\tau}} \quad (\text{公式 3})$$

$$\Delta V = \frac{C_{discharge} * V_d}{A_L C_{hold}} \quad (\text{公式 4})$$

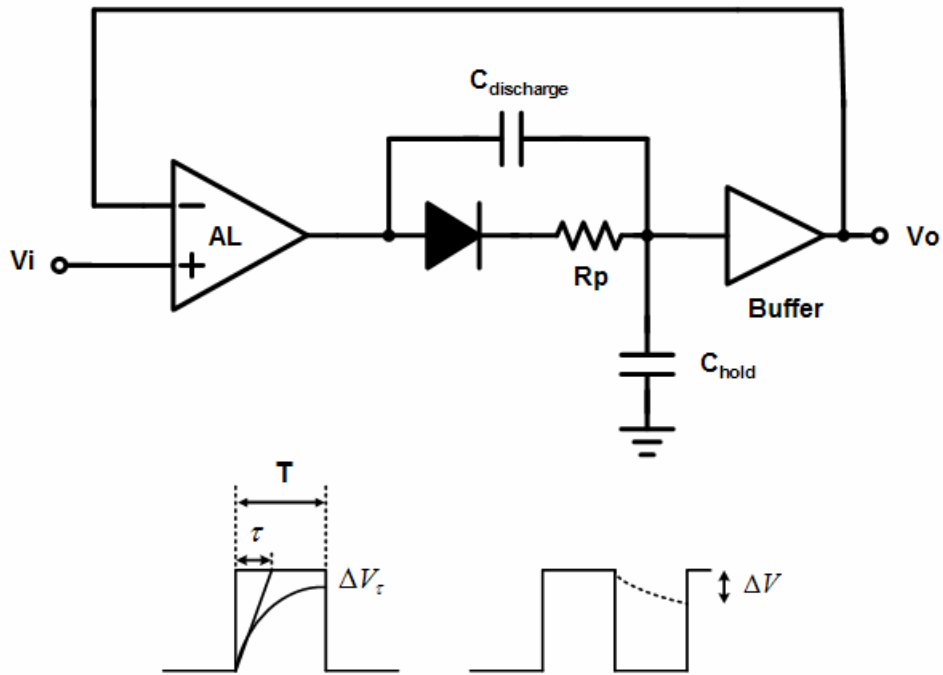


圖 3-10 峰值保持電路方塊圖

圖 3-11 為所採用的頂峰值訊號保持器，利用電流鏡達到整流的效果，電路實現方式與頂峰值保持電路(3-3-5)唯一不同的地方在於其將頂峰值保持電路的放電電晶體改為電阻，因為資料的傳輸已透過編碼方式傳送(ex:8B/10B)，所以利用 RC 充放電的原理，以判斷何時要對電路做重置的動作[11][12]，同時當訊號到達時，對電容充電到達某一準位時，即代表訊號已到達，此時將重置訊號關閉，使電路接收訊號並放大，在設計上 R1 為  $10k\Omega$  而 C1 為  $2pF$  可達到  $20ns$  的時間常數。

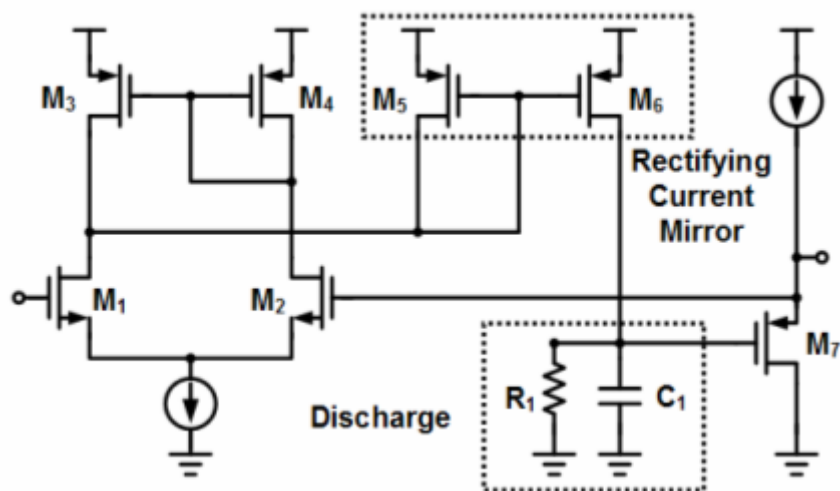
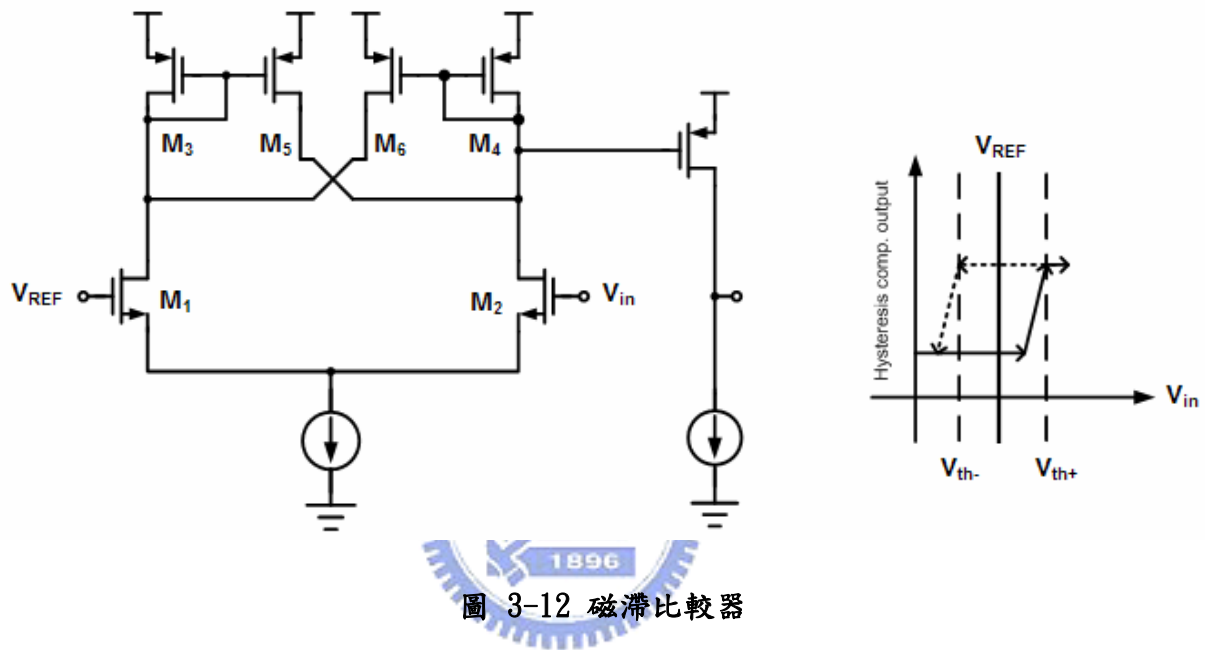


圖 3-11 頂峰值訊號保持器

圖 3-12 所示為磁滯比較器[21]，在接收器中有二個地方會使用到，第一個是為了偵測轉阻放大器輸出訊號大小，控制轉阻放大器的增益，另一個則是用於訊號遺失偵測器中，用於偵測訊號是否存在，當輸入訊號大於比較器的正臨界電壓  $v_{th}^+$  時，輸出為高態，若輸入訊號小於比較器的負臨界電壓  $v_{th}^-$  時，輸出則為低態，正臨界電壓與負臨界電壓值的選定，則是由所處理的訊號大小與元件操作狀態決定，利用正迴授的特性，當  $(W/L)_5/(W/L)_3$  大於一時，此電路具有磁滯比較的功能。



### 3-3-2 具二種增益模式之轉阻放大器(TIA with dual gain modes)

功能為放大光二極體接收光後所產生的電流訊號，在爆模式傳輸上，局端光接收器所接收到的光訊號強度，將因來自不同用戶端所傳來而有極大的差異，為了提高接收光訊號大小的範圍，傳統採用的方法，利用偵測輸出端的訊號準位來控制增益，使用此種方法通常需具備較長的時間，以準確的取出訊號的平均準位，為了使所偵測到的準位穩定，需使用較長的 RC 時間常數，使得電路的響應速度受到限制，在爆模式傳輸中，為了提高資料的傳輸效率，因此需加快電路做增益控制的速度，因考量到響應速度，在此採用高增益及低增益二種模式來完成增益控制，當接收到光訊號時，首先透過磁滯比較器判讀訊號大小[3]，決定是否要從高增益模式轉換到低增益模式，由於靈敏度的考量，因此剛開始尚未接收到訊號時，電路操作於高增益模式，若訊號低於所設定的電壓準位時，則維持在高增益模式，反之則為低增益模式，表格 I 所示為轉阻放大器設計規格表。



圖 3-13(a)所示為爆模式轉阻放大器實現電路，輸入端的檢光二極體元件電容往往限制了光接收器的頻寬，在此利用多級放大(Multi-Stage)的方式[4][5]，利用增加開迴路增益來降低輸入端等效電阻，達到較高的頻寬，開迴路增益與頻寬的關係為(公式 5)：

$$f_{-3dB} = \frac{1+A_o}{2\pi C_{in} R_{in}} \approx \frac{A_o}{2\pi C_{in} R_{in}} \quad (\text{公式 5})$$

由(公式 5)可看出加大開迴路增益  $A_o$  可降低輸入端電阻進而使頻寬上升，改變開迴路增益影響頻寬與迴授電阻  $R_F$  大小關係如圖 3-14 所示，本設計在高增益模式下所選用的開迴路增益約為 20，S2 及 S3 做為開關使用，目的是為了做增益的選擇，透過磁滯比較器的方式偵測轉阻放大器輸出振幅大小來控制開關，達到適當的增益選擇，此種方法可增加電路的響應速度，如圖 3-15 所示，穩定度是由  $\omega_t$  跟  $\omega_{p2}$  的距離來決定，當  $R_F$  降低時，可發現  $\omega_t$  上升，若  $\omega_{p2}$  不受  $R_F$  影響時因  $\omega_t$  的上升使它更靠近  $\omega_{p2}$ ，會降低相位邊限(phase margin)，在此採用改變  $R_1$  的大小，將可使穩定度的問題獲得解決，因此我們由高增益轉換(S2 關閉) 到低增益的同時，為了使電路穩定，提供足夠的相位邊限，此時也需同時降低電路的開迴路增益，經由同時將 S3 關閉，即可完成，為了適當的設計放大器，所以需對電路做分析，由圖 3-13(b)小訊號模型可導出放大器的轉移方程式(公式 6)，若忽略輸出端的極點及電路零點效應，可得(公式 7)及(公式 8)，在可變增益的轉阻放大器設計上，通常設計為在所需的頻寬上盡量提高它的增益，在較低的增益下，考慮的只有穩定度的問題，通常轉阻放大器需設計的頻寬約為  $0.7 * \text{Data Rate}$  [13]，對於給定的頻寬，我們可先選擇決定圖 3-15 的  $\omega_t$  再配合(公式 7)及(公式 8)決定其它參數，在高增益模式及低增益模式電路的電壓增益如(公式 9)及(公式 10)所示，此種架構的好處在增益變換的同時，不會改變各點直流電壓，降低電路設計上的複雜度及提高穩定度，電壓放大器的頻率響應如圖 3-16 所示。

$$\frac{V(s)_{out,TIA}}{V(s)_i} = \frac{g_{m1}g_{m3}R(C_Xs + g_{m2} - 1)}{[RC_XC_Ys^2 + (C_X + C_Y)s + g_{m2}](g_{m4} + sC_{out})} \quad (\text{公式 6})$$

$$\omega_n = \sqrt{\frac{g_{m2}}{R(C_XC_Y)}} \quad (\text{公式 7})$$

$$\zeta = \frac{1}{2} \frac{C_X + C_Y}{\sqrt{g_{m2}RC_XC_Y}} \quad (\text{公式 8})$$

$$A_{o,high} \approx g_{m1}R_1 \frac{g_{m3}}{g_{m4}} \quad (\text{公式 9})$$

$$A_{o,Low} \approx g_{m1}(R_1 // R_3) \frac{g_{m3}}{g_{m4}} \quad (\text{公式 10})$$

圖 3-13 (c)所示為增益轉換的方法，利用磁滯比較器的特性來完成增益的控制，其動作原則為，當接收到較弱的訊號時，所偵測到的訊號未超過比較器的正臨界轉態電壓，因此輸出訊號維持在低態，此時轉阻放大器工作在高增益模式，反之，當接收到較強的訊號時，所偵測到的訊號超過比較器的正臨界轉態電壓，輸出訊號則轉變為高態，此時轉阻放大器工作在低增益模式，比較器的轉態臨界電壓在選擇上，則是由前一級及後一級電晶體操作區及電路增益決定，盡量避免訊號進入非線性放大。

靈敏度在轉阻放大器設計為一項重要的規格，通常會以輸入端等效雜訊電流 (input-referred noise current) 來計算轉阻放大器的靈敏度，在電路設計時，架構的選定會直接影響到靈敏度的好壞，若轉阻放大器的靈敏度越好，代表它可接收較長距離所傳來的訊號，所以在設計時需盡量降低輸入端等效雜訊電流。

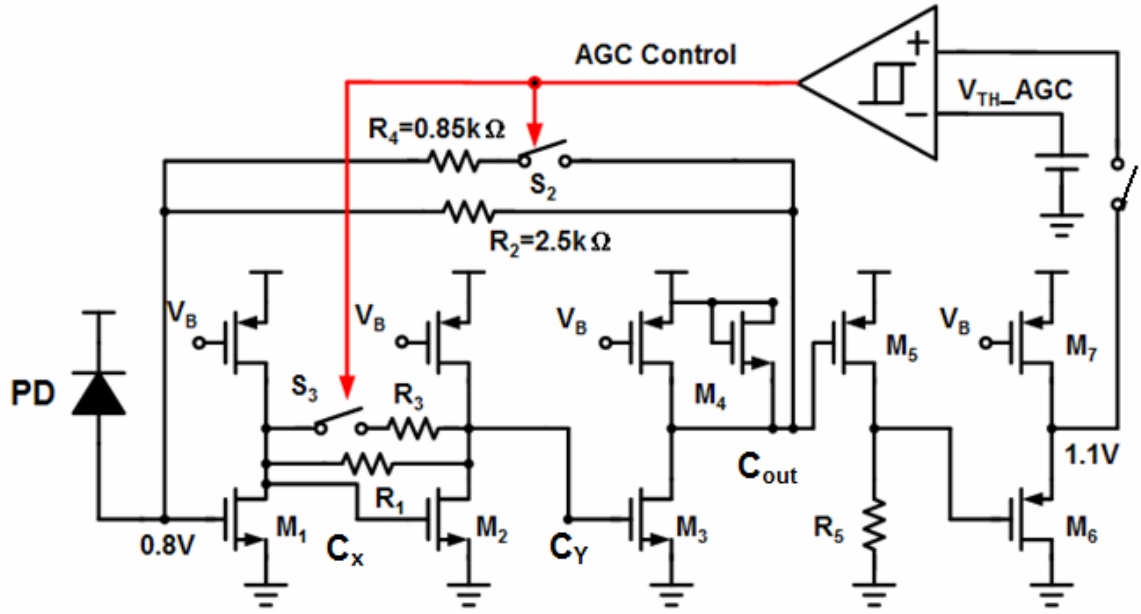
對於雜訊的分析與計算可將其輸入端等效具有一雜訊電流源[13]，因此本設計所產生的雜訊主要由轉阻放大器的迴授電阻  $R_F$ 、輸入端寄生電容  $C_T$  及放大器的第一級轉導大小決定，(公式 11)即為此放大器的輸入端等效雜訊電流，為了降低此數值以獲得好的靈敏度，需在所需的頻寬下，盡量加大迴授電阻值，以減少電阻所產生的熱雜訊，同時因放大器的第一級直接影響到輸入端，因此需將放大器第一級(圖 3-13(a))的  $M1$  尺寸加大，以提高轉導值，可有效的降低電路所產生的雜訊，使轉阻放大器具有較好的靈敏度[27]。

$$\overline{I_{n,in,TIA}^2} \approx 4kT \left[ \frac{1}{R_F} + \gamma \frac{1 + (2\pi f R_F C_T)^2}{g_{m1} R_F^2} \right] \quad (\text{公式 11})$$

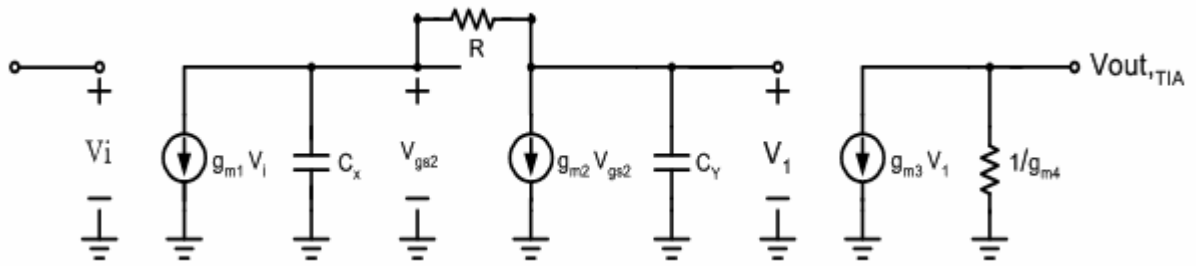
表格 I：轉阻放大器設計規格表

	Target	Requirement
$C_{PD}$	0.8pF	0.8pF
Gain	66dB $\Omega$	$R_F > 2k \Omega$
BW	1.75GHz	>1.75GHz
$A_o$	18	>18

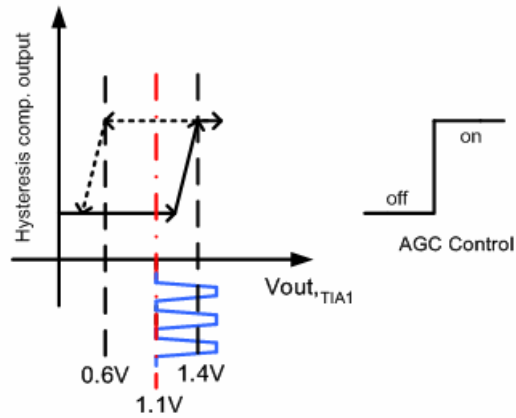




(a)



(b)



(c)

圖 3-13 (a)爆模式轉阻放大器 (b)小訊號等效電路 (c)增益轉換說明

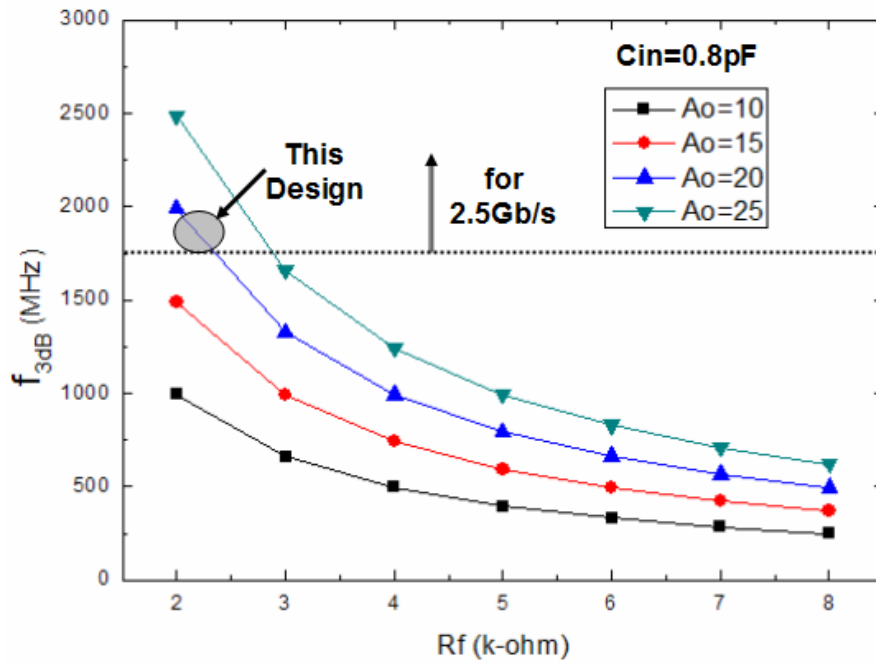


圖 3-14 改變開迴路增益下頻寬與迴授電阻大小關係

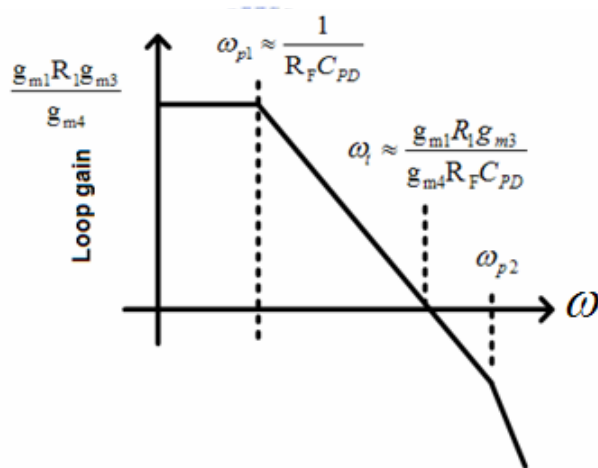


圖 3-15 迴路增益

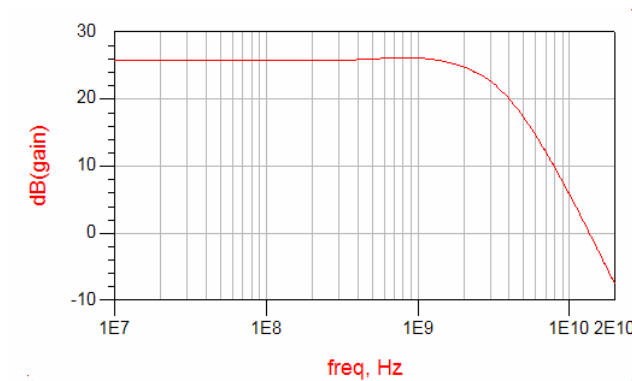


圖 3-16 電壓放大器頻率響應

### 3-3-3 單端對雙端轉換級(Single-to-Differential, S2D)

本次所設計的轉阻放大器為單端輸出型式，欲提高其對供應電壓的雜訊免役與降低基板雜訊(substrate noise)對電路產生的影響，所以透過單端對雙端轉換級將它轉換成差動型式，圖 3-17(a)為電路架構，由(I)所示為單端轉雙端後的輸出波形，可以發現當訊號未輸入時，訊號維持在相同的電壓準位，當訊號輸入時，二輸出端會往相反方向變動，如此會使得差動電壓的直流準位變得難以辨別[13]，為了解決此問題，加入了偏移電壓補償，將可使輸出電壓波形從 3-17(a)中的(I)變為(II)，由圖(I)所示可得”Offset”為輸出波形的 1/2，又訊號只從單端提供，所以偏移電壓補償的增益為放大器的 1/4，如此可得到近似於差動輸出，透過加入仿造(dummy)轉阻放大器取出轉阻放大器的直流電壓，如此可以增加電路穩定度，又加入此電路後會使輸入等效雜訊電流上升為原來的 $\sqrt{2}$ 倍，使靈敏度降低 3dB，在仿造轉阻放大器輸出端加入一電容以降低此電路所產生的雜

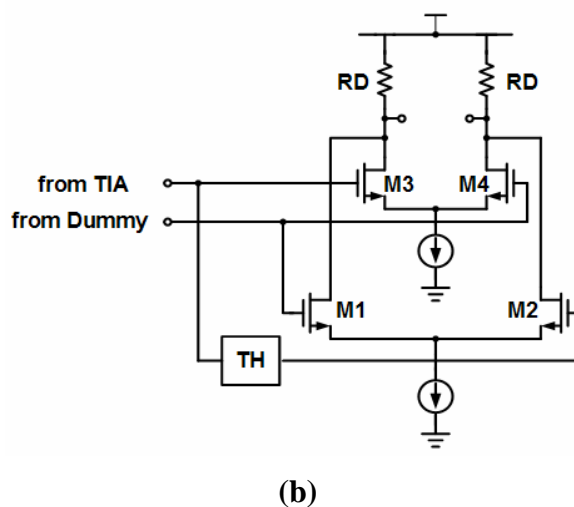
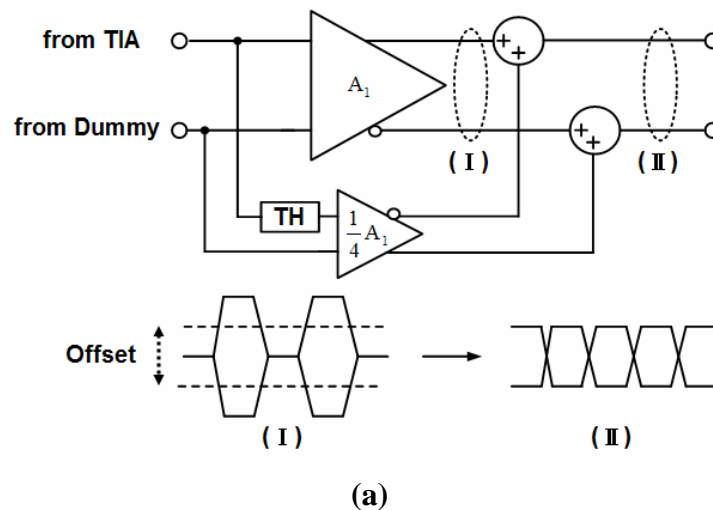


圖 3-17 單端對雙端轉換級 (a)架構圖 (b)單端對雙端轉換級

訊[13]，電路實現方式為圖 3-17(b)。

### 3-3-4 爆模式限幅放大器(Burst-Mode Limiting Amplifier, BM-LA)

限幅放大器的功能為將轉阻放大器的輸出微小電壓訊號放大，以讓後面的數位電路接收，因電壓增益及頻寬上的考量，所以將其分成數級串接而成，數個相同增益級的頻寬  $f_c$ ，與  $N$  級串接後整體所得到的頻寬  $f_{tot}$  的關係為(公式 12)，增益關係為(公式 13)[13]:

$$f_{tot} = f_c \sqrt[4]{\sqrt{2} - 1}^N \quad (\text{公式 12})$$

$$A_{tot} = A_c^N \quad (\text{公式 13})$$

一般限幅放大器在設計上頻寬需等於資料傳送的速度，以降低資料間的相互干擾，由(公式 12)與(公式 13)可看出，在所需的增益下，為了達到較大的頻寬，需採用多級串接來達成，如圖 3-18 所示為在不同增益下，採用數級串接後所能得到的最大增益-頻寬積” $f_t$ ”與串接後所得到的頻寬” $f_{tot}$ ”之間的關係，由圖可看出選用適當的級數可以使限幅放大器具有最大的頻寬，且為了提高精確度、穩定度及可補償偏移電壓的範圍，所以採用多級(multistage)前饋自動偏移電壓補償方式，使輸出訊號不會有嚴重失真。

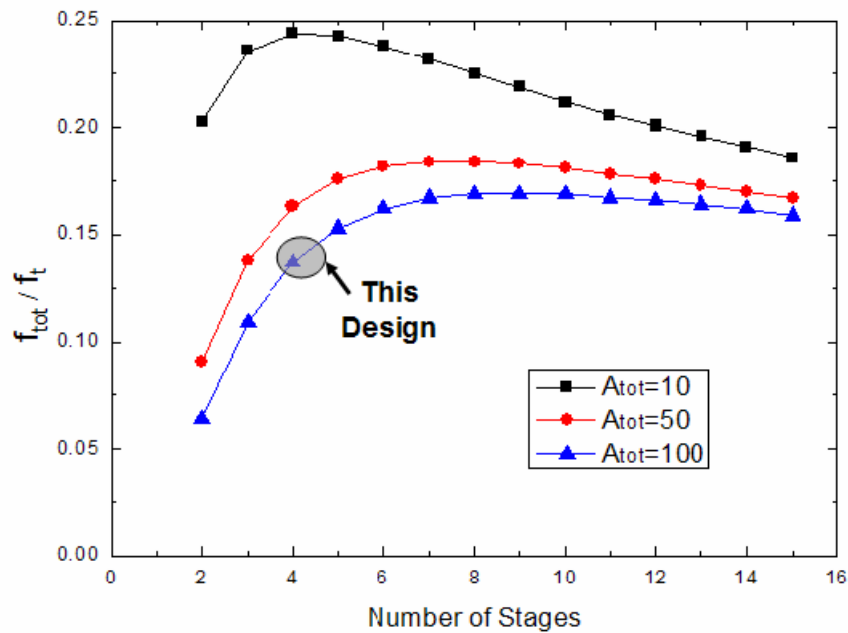


圖 3-18 在不同的增益下所選用的級數與頻寬之間的關係

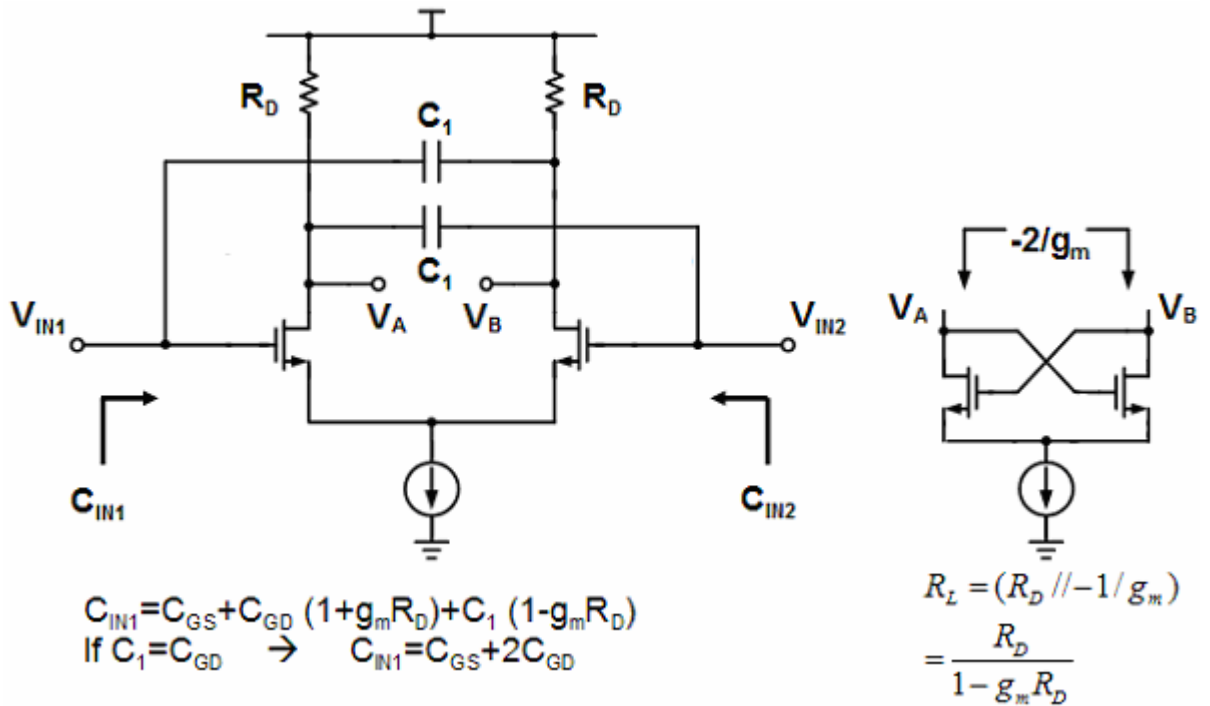


圖 3-19 負電容及負電阻補償

圖 3-19 所示為負電容及負電阻在差動電路上的實現方式，本設計結合此種補償方法，為了提供更高的增益及頻寬，所以將其結合進 Cherry-Hooper 電路中[13]，為了達到良好的補償效果，本設計需應用於足夠高的增益下，同時要盡量避免元件間的不對稱性，才能達到好的補償效果，圖 3-20(a)所示為架構圖，自動直流偏移電壓補償的實現方式為(III)(IV)所示，藉由偵測前級放大器的峰值差異(即為偏移電壓)利用前饋方式，透過差動級來補償峰值的差異，避免訊號造成嚴重失真[3][8]。

電路實現方式為圖 3-20(b)，當  $R_1$  大於第二級的輸入阻抗時( $\approx g_{m3}^{-1}$ )，放大器的增益約為(公式 14)：

$$\frac{V_o}{V_i} = g_{m1} \frac{g_{m3} R_f - 1}{g_{m3} R_3 + 1} R_3 \quad (\text{公式 14})$$

結合負阻抗(negative resistance)使 Cherry-Hooper 放大器的第二級負載電阻變為(公式 15)：

$$R_L = \frac{R_3}{1 - g_{m5} R_3} \quad (\text{公式 15})$$

可等效提昇其轉阻放大器的增益[6][7]，在所需的增益下可減少放大器的級數以降低功率的損耗，為了更進一步有效的提高電路的頻寬，加入電容C，利用其相位反相之特性，使其具負電容的效果[19]，可有效的補償第二級的負載電容，使電路擁有更高的頻寬，由圖 3-21 模擬所示，在五級相同增益級串接之下，增益及頻寬可分別提升為原來的 4 倍及 1.5 倍。

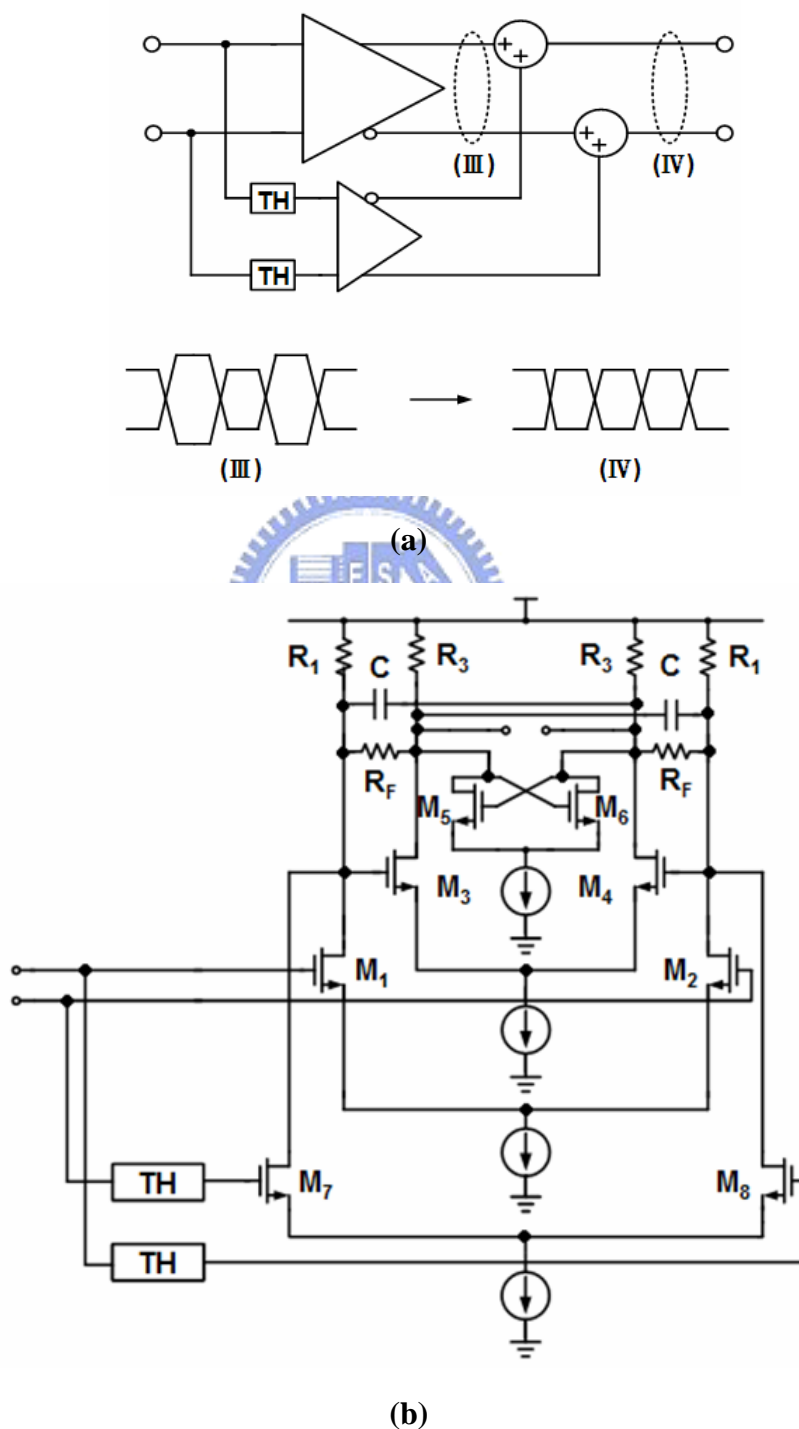
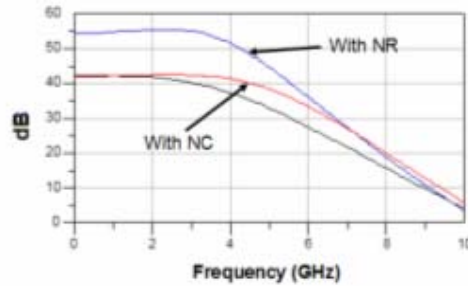


圖 3-20 限幅放大器 (a)架構圖 (b)增益級



**With NR : Gain $\rightarrow$ 4\*Gain**

**With NC : BW $\rightarrow$ 1.5\*BW**

圖 3-21 限幅放大器頻率響應

### 3-3-5 頂峰值保持電路(Top Hold)

由上面所介紹利用二極體充放電會產生的問題，因此在此採用圖 3-22 所示架構完成，利用電流鏡具整流的特性，來實現與二極體相同的功能，當輸入電壓( $V_i$ )大於輸出電壓( $V_o$ )時，利用電流鏡讓 M6 對 Ch 電容充電，直到輸出電壓與輸入電壓相同時此動作才停止，當輸入電壓低於輸出電壓時，M6 將會關閉並保持在此值，僅有少數的的電流由 Ch 電荷注入到電流鏡的寄生電容[19][20]，此種架構與利用二極體方式相比，可減少二極體的壓降。

此電路的非理想效應為：當無輸入訊號時，M6 及 M9 仍然會有極微小的靜態電流 (Quiescent Current)，若此電流從電容 Ch 流出時 $-I_q$ ，輸出電壓將慢慢的降低，會在輸出端產生偏移電壓(公式 16)，另一種情況為，當此靜態電流  $I_q$  流入 Ch 時，輸出電壓將會慢慢的增加，使得 M1 的汲極電壓上升，上升電壓與時間的關係為(公式 17)，此現象會一直持續到輸出電壓接近正的供應電壓，因此為了避免產生此問題，M9 不能完全關閉。

此電路加入 M7 與 SW 的目的為加快電路取得峰值的速度，當電路剛接收到訊號時，利用 M6 與 M7 二充電路徑同時對電容 Ch 充電，經過一段時間後，已取得訊號峰值，為了避免因輸入訊號的擾動對輸出端電壓造成大的變動，因此在保持模式下，將 SW 打開，只留下 M6 充電路徑提供靜態電流及電荷注入的補償，SW 的控制來自於電路的控制邏輯電路，當“AOC Reset”脈波結束時，自動產生一短暫的脈波啟動此充電路徑，在脈波結束後，此路徑即關閉。

$$\Delta V_{off} = \frac{I_q}{gm_1} \quad (\text{公式 16})$$

$$\Delta V = \frac{I_q * t}{C_h} \quad (\text{公式 17})$$

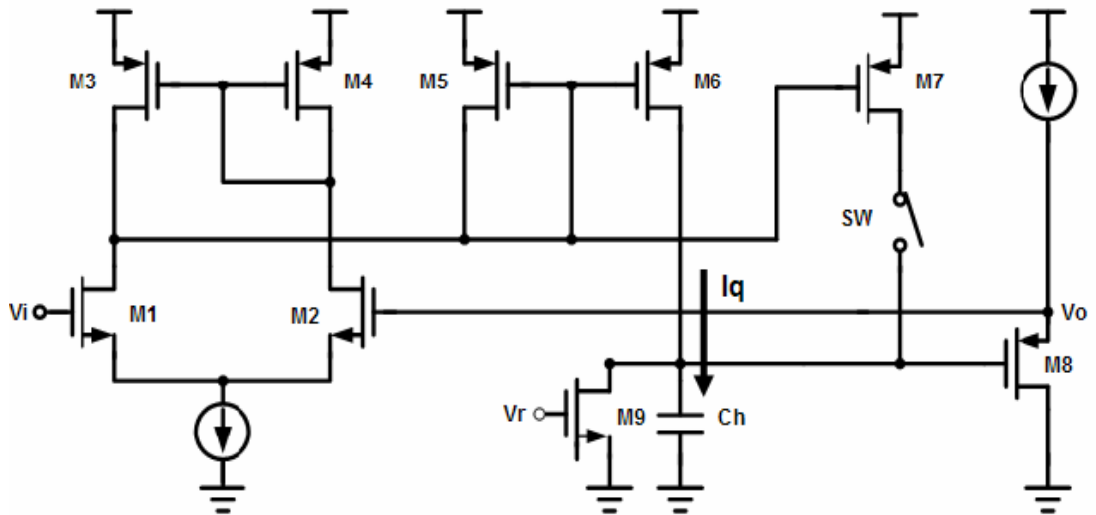


圖 3-22 頂峰值保持電路

### 3-3-6 輸出級(Output Buffer)

為了推動晶片外部的負載且提供足夠大的輸出電壓振幅，因此需提供較大的電流，圖 3-23 為電路圖，負載 50ohm 是為了輸出阻抗的匹配

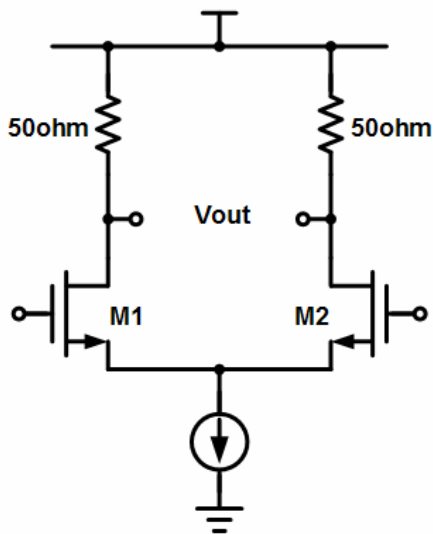


圖 3-23 輸出級

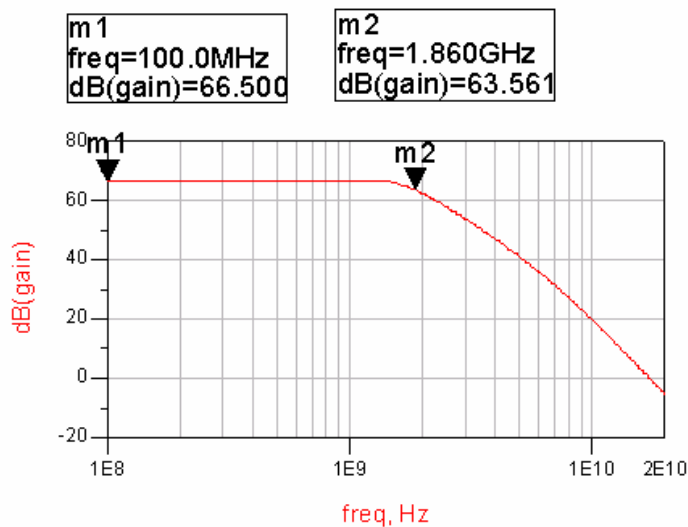


### 3-3-7 模擬結果

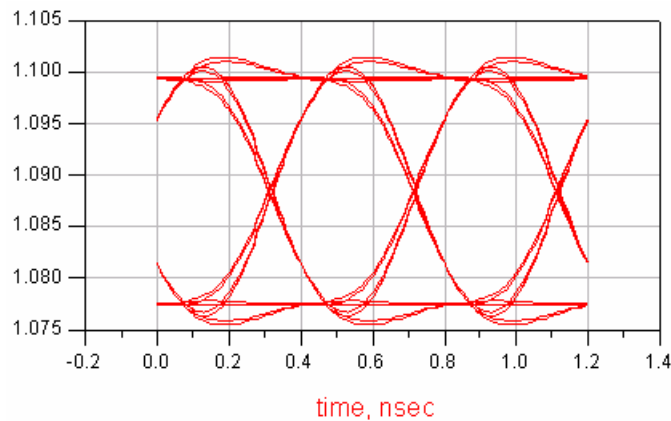
以下說明電路設計的模擬結果，由於本設計是由轉阻放大器、限幅放大器及一些控制邏輯組成，所以分成三部份介紹，再將整個接收器做模擬，主要模擬有頻率響應、時域上的眼圖及觀察爆模式的動作，最後將所預期的效能整理成表格。

#### (1) 轉阻放大器

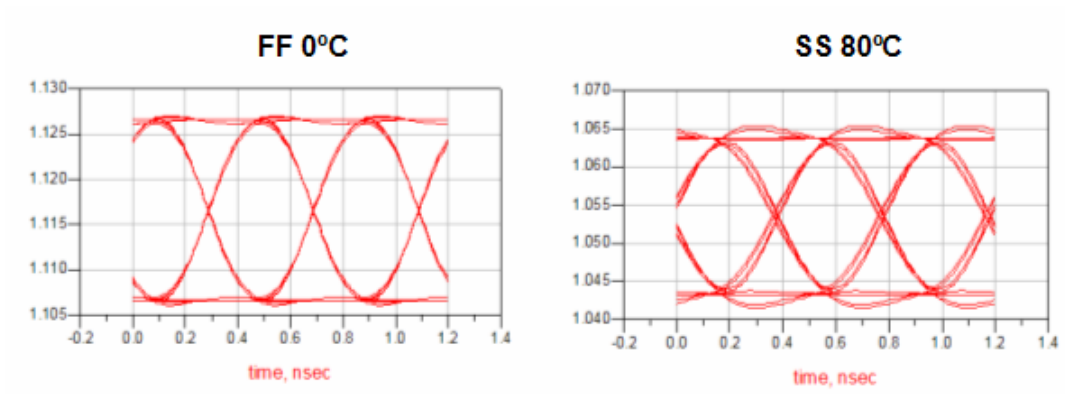
此轉阻放大器有分高增益模式及低增益模式，圖 3-24(a)為高增益模式下的頻率響應，圖 3-24(b)為高增益模式下當輸入訊號為  $10 \mu A_{p-p}$  的輸出眼圖，圖 3-24(c)為在高增益模式下不同 corner 輸出眼圖，圖 3-25(a)為低增益模式下的頻率響應，圖 3-25(b)為低增益下當輸入訊號為  $200 \mu A_{p-p}$  的輸出眼圖，圖 3-25(c)為在低增益模式下不同 corner 輸出眼圖。



(a)

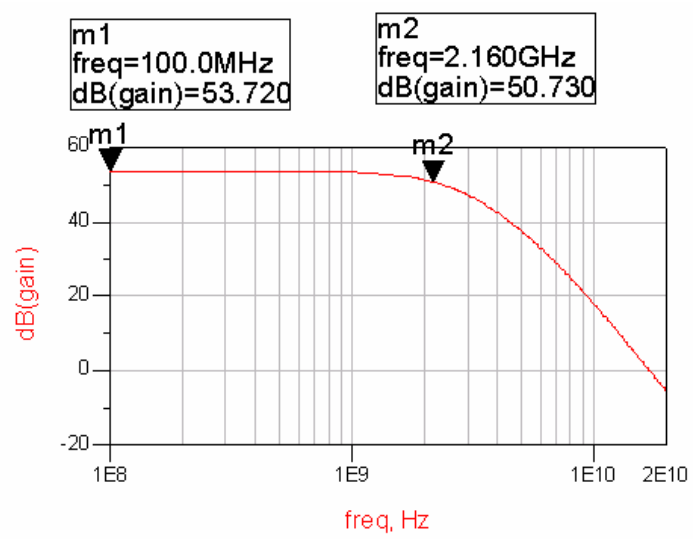


(b)

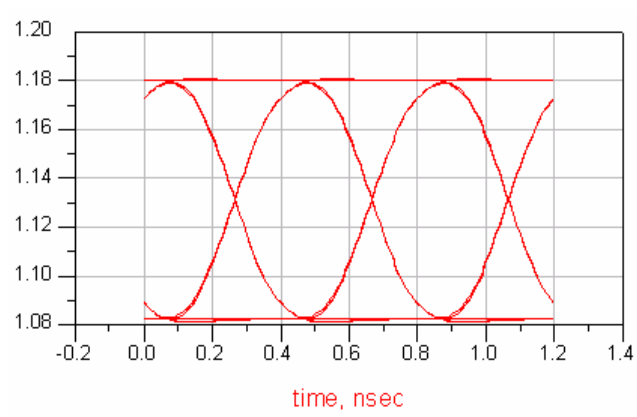


(c)

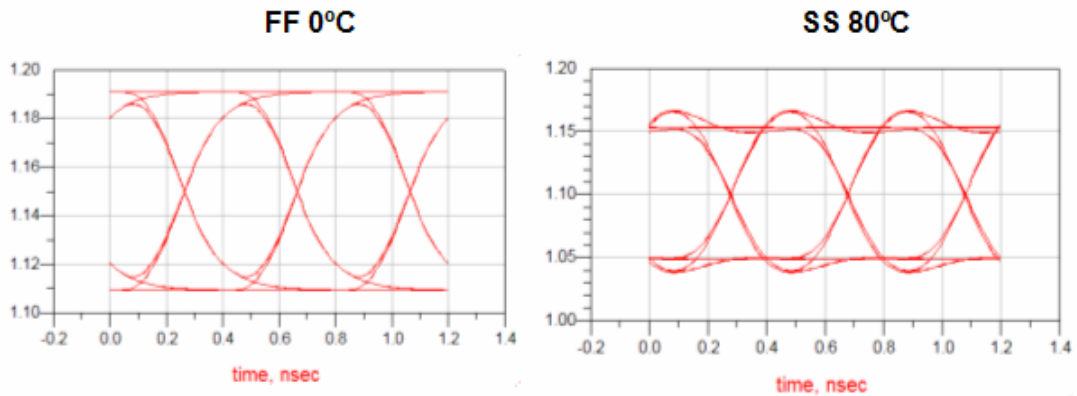
圖 3-24 (a)在高增益模式下的頻率響應 (b)在高增益模式下當輸入電流為  $10 \mu A_{p-p}$  的輸出眼圖 (c)在高增益模式下不同 corner 輸出眼圖



(a)



(b)

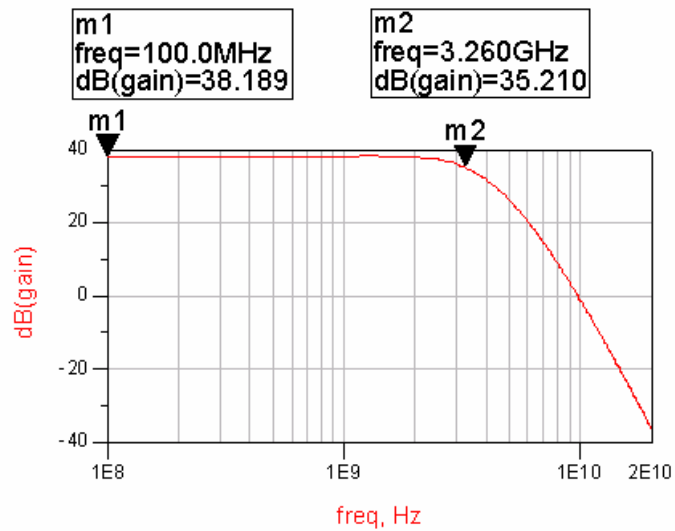


(c)

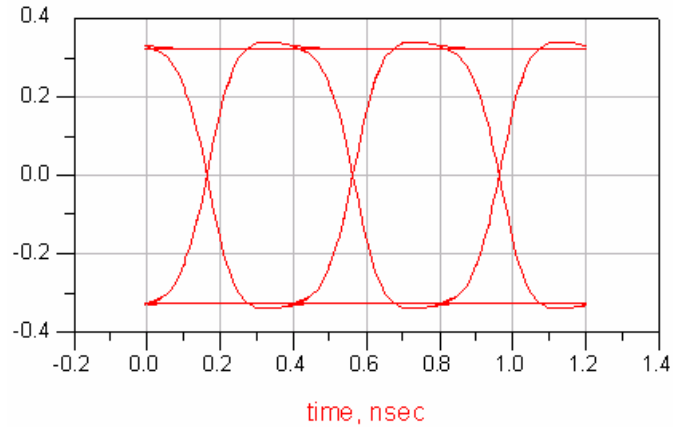
圖 3-25 (a)在低增益模式下的頻率響應 (b)在低增益模式下當輸入電流為  $200 \mu A_{p-p}$  的輸出眼圖 (c)在低增益模式下不同 corner 輸出眼圖

## (2) 限幅放大器

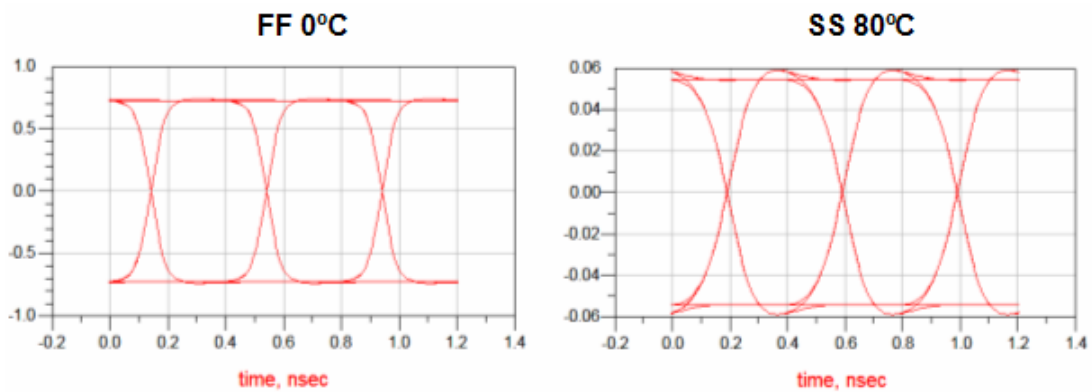
此模擬包含單端轉雙端放大器、三級 Cherry-Hooper 放大器及輸出級組成，圖 3-26(a)為差動輸出下的頻率響應，圖 3-26(b)為在差動輸入訊號  $6mV_{p-p}$  下的輸出眼圖，圖 3-26(c)為不同 corner 下的輸出眼圖。



(a)



(b)

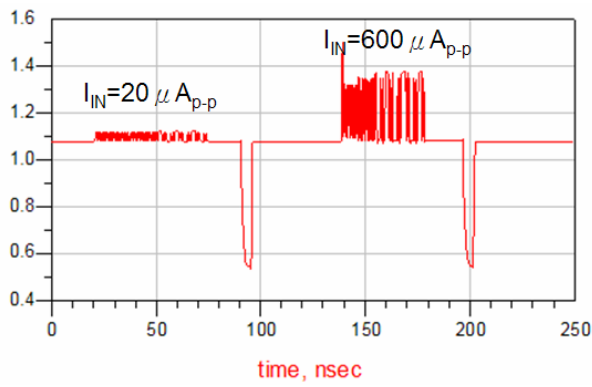


(c)

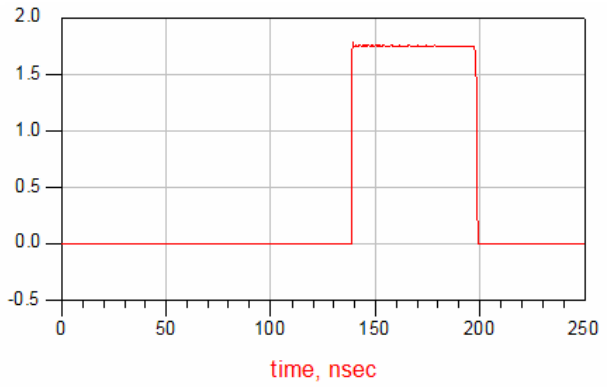
圖 3-26 (a)限幅放大器頻率響應 (b)輸入電壓為  $6\text{mV}_{p-p}$  的輸出眼圖 (c)不同 corner 下輸出眼圖

### (3) 爆模式接收器

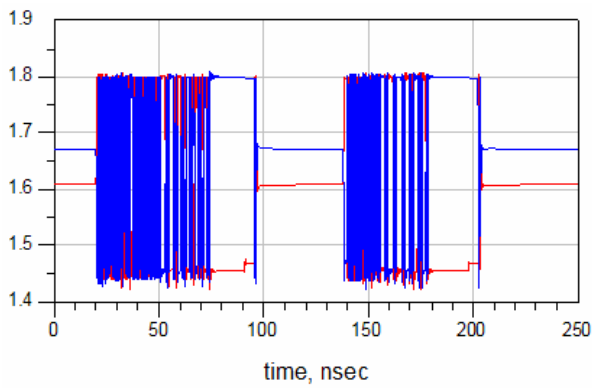
此模擬為輸入爆模式訊號，觀察輸出訊號及時序上的動作是否正確，所輸入訊號的大小為  $20\ \mu\text{A}_{p-p}$  及  $600\ \mu\text{A}_{p-p}$ ，圖 3-27(a)為轉阻放大器輸出訊號，(b)圖則為整個接收器的差動輸出訊號，(c)為訊號遺失偵測的輸出訊號，(d)為增益控制訊號，(e)為取出圖(b) $20\ \mu\text{A}_{p-p}$  輸入訊號時的輸出眼圖，(f)為取出圖(b) $600\ \mu\text{A}_{p-p}$  輸入訊號時的輸出眼圖。圖 3-28 所示為鏽線效應。



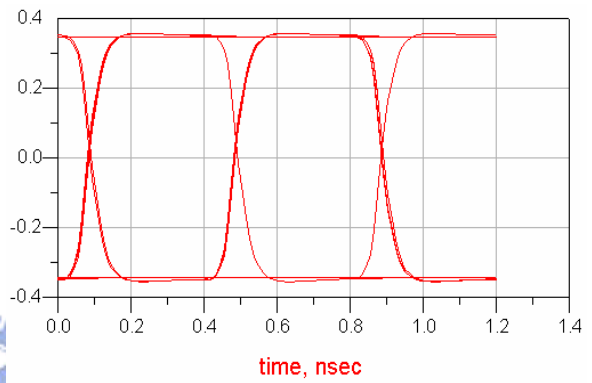
(a)



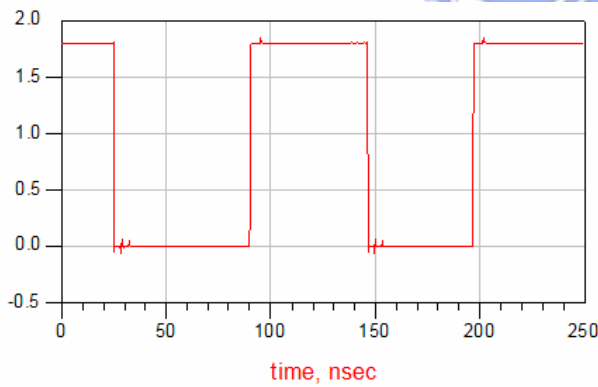
(d)



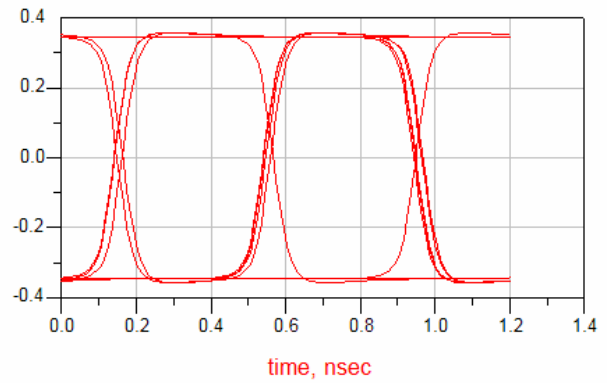
(b)



(e)



(c)



(f)

圖 3-27 (a)轉阻放大器輸出訊號 (b)接收器輸出訊號 (c)訊號遺失偵測器產生的重置訊號 (d)增益控制訊號 (e)  $20 \mu A_{p-p}$  輸入訊號時的輸出眼圖 (f)  $600 \mu A_{p-p}$  輸入訊號時的輸出眼圖

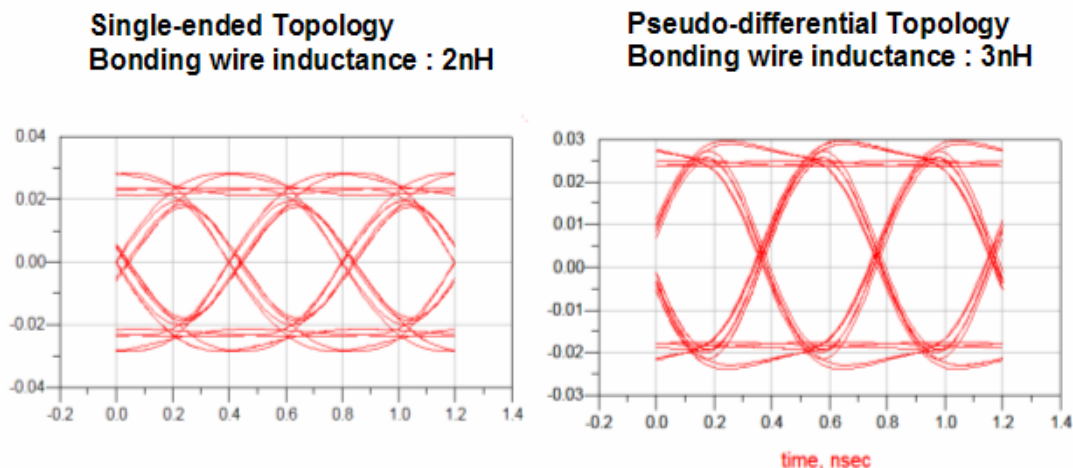


圖 3-28 銜線效應

### 3-4 佈局考量

此類晶片是以 TSMC 0.18  $\mu\text{m}$  1P6M 的製程來實現，在佈局上各個子電路的擺放，首先考慮資料路徑，放置的順序依造訊號傳送的順序放置，如此可有效的降低拉線的長度，進而減少寄生效應，並可避免輸出訊號耦合到輸入端，接下來數位控制電路及一些偏壓電路通常雜訊較大，再盡量遠離資料路徑，在電源的安排上，由於限幅放大器及一些控制電路會輸出較大振幅的訊號，為了避免大暫態雜訊干擾到轉阻放大器，因此將電路的電源分成二組，一組供應轉阻放大器，另一組則供應其它電路。

決定完電路擺放之後，採用階層式的畫法完成各子電路，開始畫電路元件時，首先考慮每一層的金屬及 via 可容許通過最大電流( current density )的規範，以防止因溫度升高，造成電路損壞，接下來在元件連接時需適當的考慮到所要使用到的金屬層，在佈局差動電路時盡量保持電路與接線間的對稱性，完成所有電路佈局後，在直流偏壓及供應電源間適當的加入 decoupling 電容，整個電路的佈局圖為圖 3-29 所示，面積為 560 $\mu\text{m}$ \*620 $\mu\text{m}$ ，圖 3-30 為實際晶片照相圖。



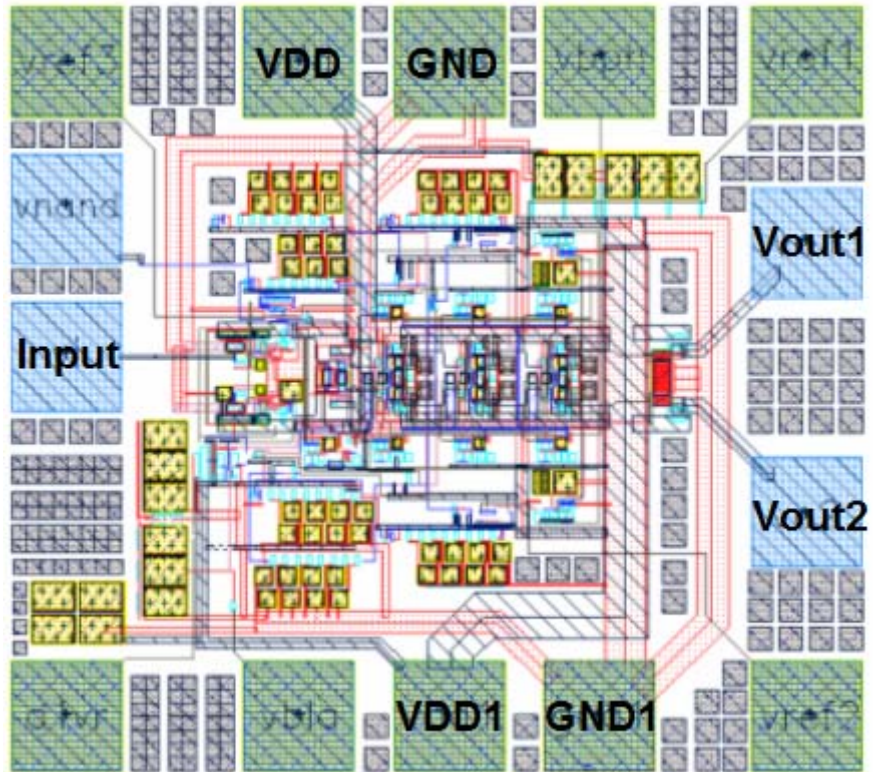


圖 3-29 佈局平面圖

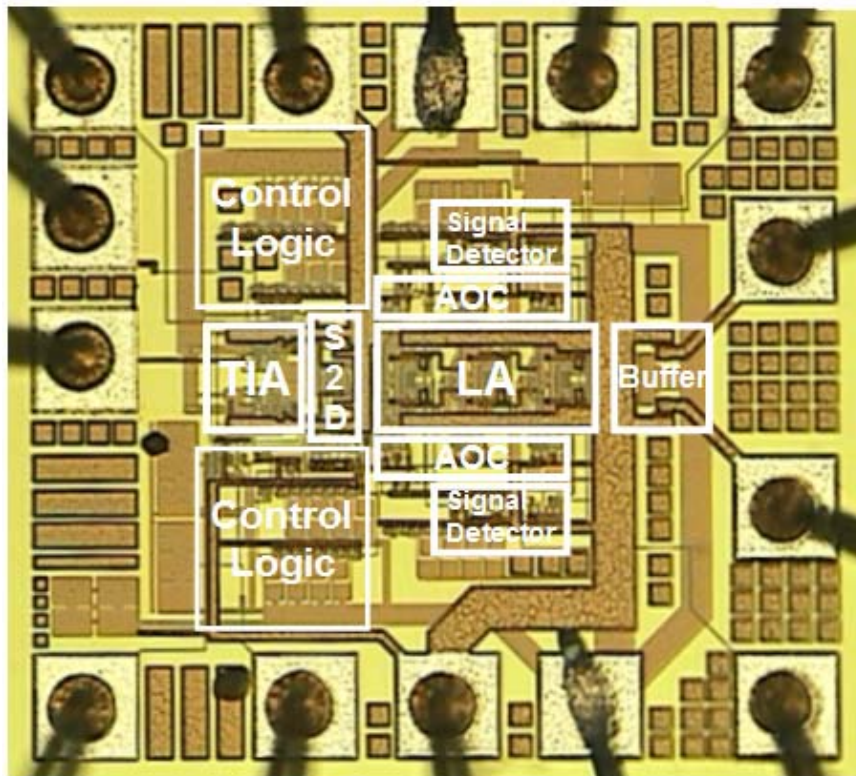


圖 3-30 晶片照相圖



### 3-5 量測環境

對於爆模式光接收器的測試主要包含暫態響應、頻率響應、誤碼率及眼圖量測，所需用到的測試儀器為圖 3-33 所示，包含了由 Agilent N4901B Serial BERT 13.5Gb/s. pattern 圖 3-33(a) 產生器產生資料，再送入 CSI D-130 EML Source 圖 3-33(c) 發射器將電訊號轉換成光訊號之後透過光纖連接光訊號，經 Optical Probe 將光訊號打入檢光二極體(PD)，轉成電流訊號之後，送到 chip 裡將訊號放大成電壓訊號輸出，由誤碼檢測器(ED)驗證錯誤率，並透過 Agilent 86100B Infiniium DCA Wide-Bandwidth Oscilloscope 圖 3-33(b)示波器觀察訊號，為了量測比較小的訊號，所以利用 NOYES Variable Optical Attenuator 圖 3-33(d)做輸入光訊號的衰減，由 NOYES Optical Power Meter 圖 3-33(e)量測輸入的光功率大小。

為了做爆模式的量測，整個環境的設定為圖 3-31 所示[23]，目的是在產生二個不同強度的訊號，可用來觀察電路處理爆模式訊號響應的速度，當光訊號被送出後，首先透過 10/90 的光分送器(optical splitter)將光分成二個路徑，將一端接到 50/50 的光耦合器(optical coupler)，另一端透過 200m 的光纖產生延遲並經過衰減器後再送入光耦合器的另一輸入端，如此即可產生二個不同光強度的爆模式訊號。

圖 3-32 為光頻率響應量測的方法，首先將商用的寬頻接收器所量到的頻率響應視為參考點，再量欲測的接收器，之後將所得到的量測資料做運算，所得到的結果如圖 3-37 所示。

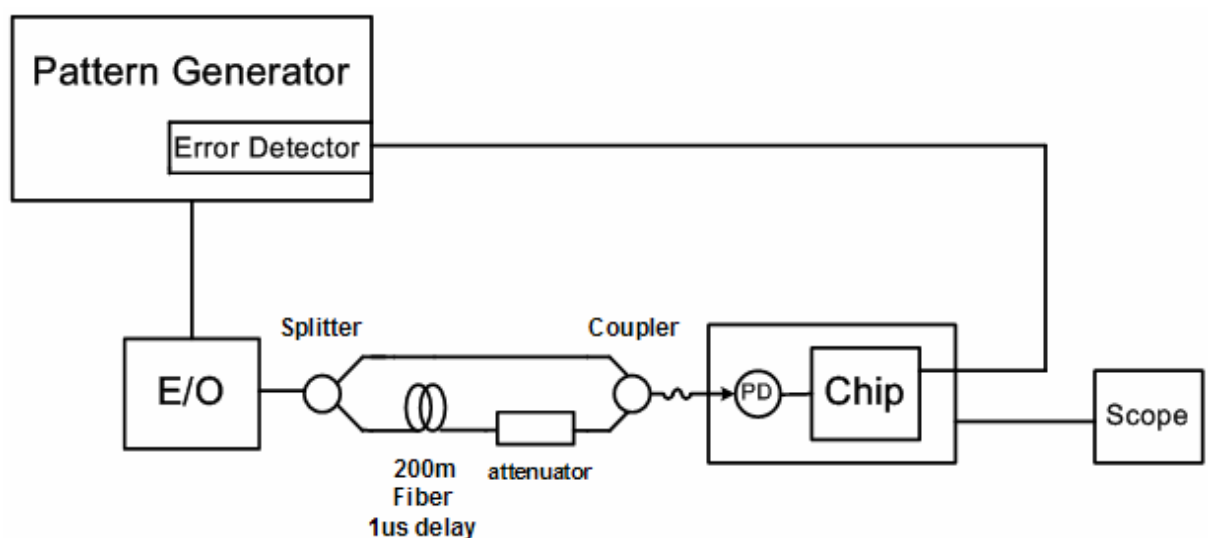


圖 3-31 爆模式光學量測設定圖

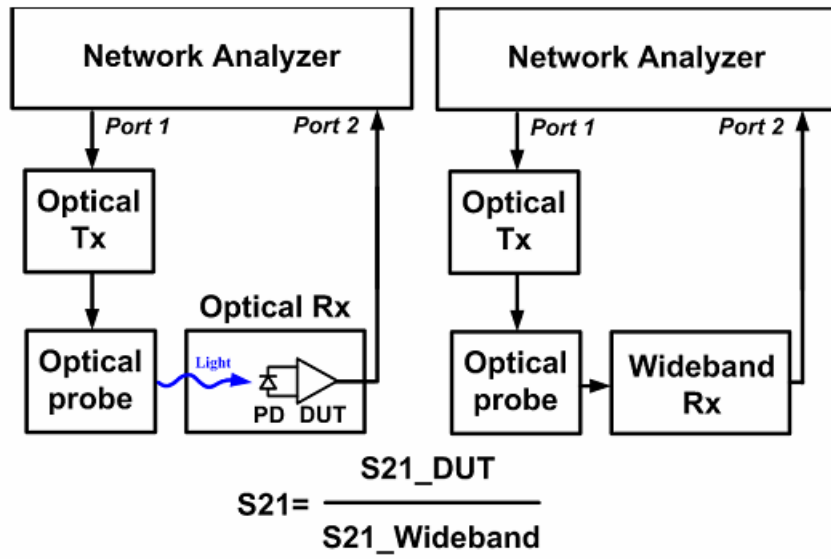


圖 3-32 頻率響應量測設定圖



(a)



(b)



(c)



(d)

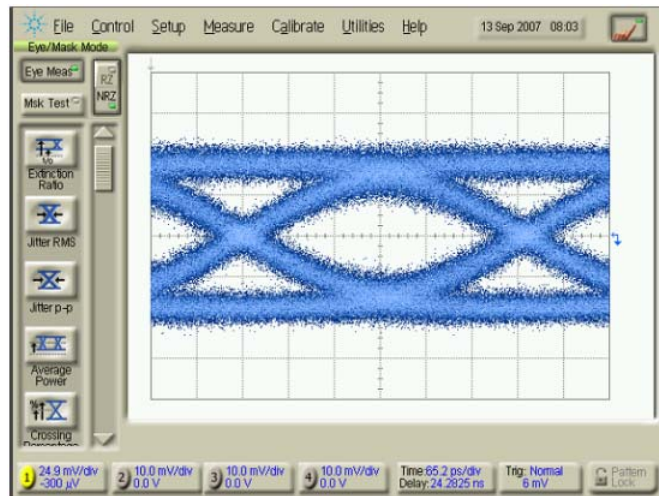


(e)

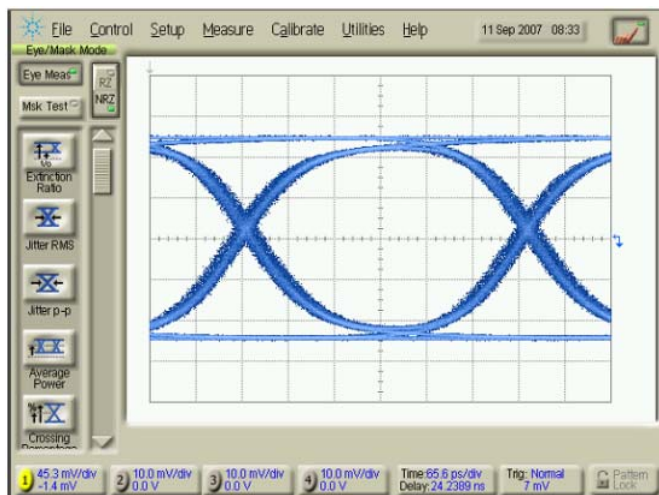
圖 3-33 (a) Pattern Generator (b)示波器 (c)光發射器 (d)衰減器  
(e)光功率量測器

### 3-6 量測結果

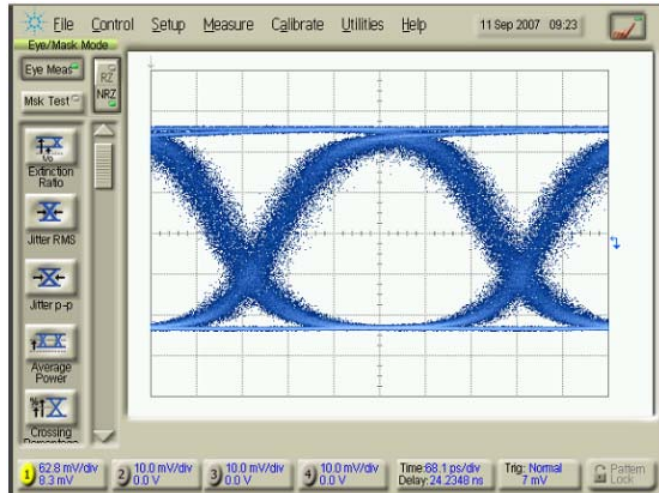
為了做光接收的測試，此爆模式晶片與光二極體整合在印刷電路板，光二極體接收光的直徑為 70 $\mu$ m，寄生電容在 1V 的反向偏壓下約為 0.8pF，在 1310nm 波長下響應度為 0.9A/W，採用  $2^7-1$  的 PRBS 來測試，傳送端的雷射發光亮暗功率比為 9.4dB，圖 3-34 為在 2.5Gb/s 連續模式下所量得的輸出眼圖，3-34(a)-(c)圖分別為在輸入光功率 -21dBm、-12dBm 及 -2dBm 下輸出端所測得的眼圖。



(a)



(b)



(c)

圖 3-34 當輸入光功率為(a)-21dBm (b)-12dBm (c)-2dBm 下輸出眼圖

圖 3-35 為誤碼率的量測，在誤碼率為  $10^{-12}$  下，此爆模式光接收器具有-21dBm 的靈敏度，可接收最大的光訊號功率大於-2dBm。

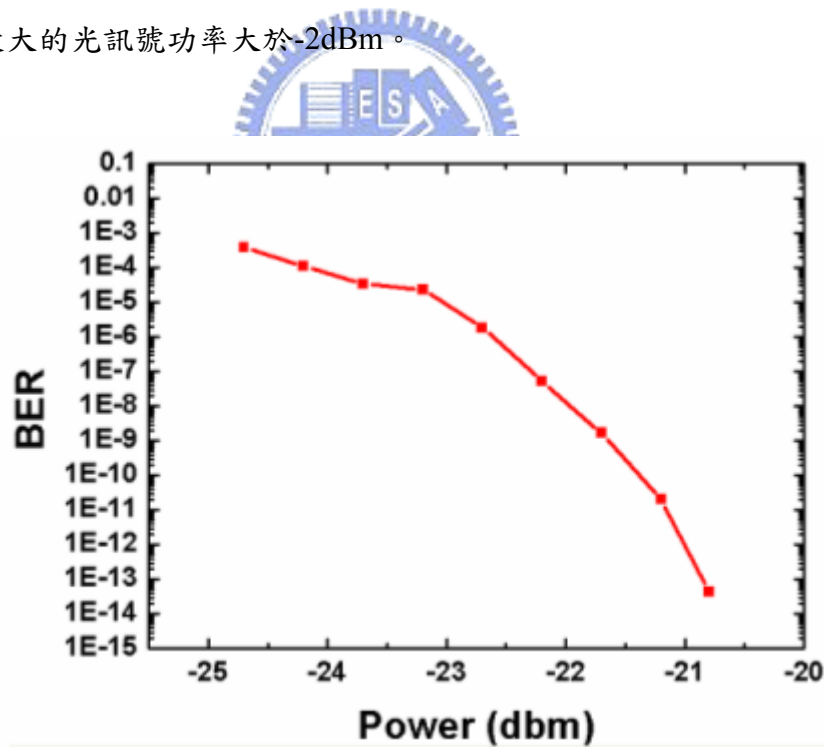


圖 3-35 在 2.5Gb/s 下輸入光功率的大小對映於誤碼率大小

圖 3-36 所示為對於頻率響應的量測，此接收器具有約 1.55GHz 的光頻寬，圖 3-37 為經校正及正規化後頻率響應。



圖 3-36 爆模式光接收器頻率響應

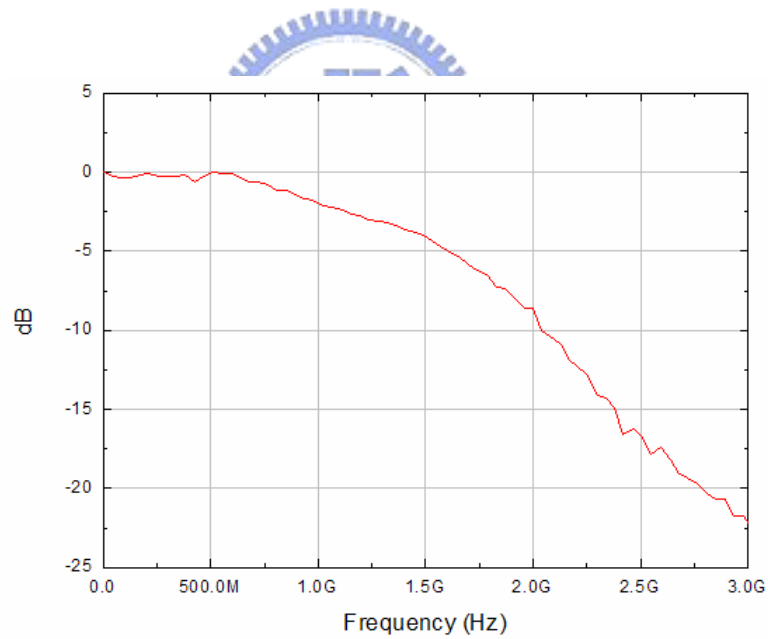


圖 3-37 經校正及正規化後頻率響應

圖 3-38(a)(b)為觀察爆模式訊號的響應，(c)、(d)為當輸入光訊號為-3.5dBm 及-20dBm 下輸出波形的暫態響應。



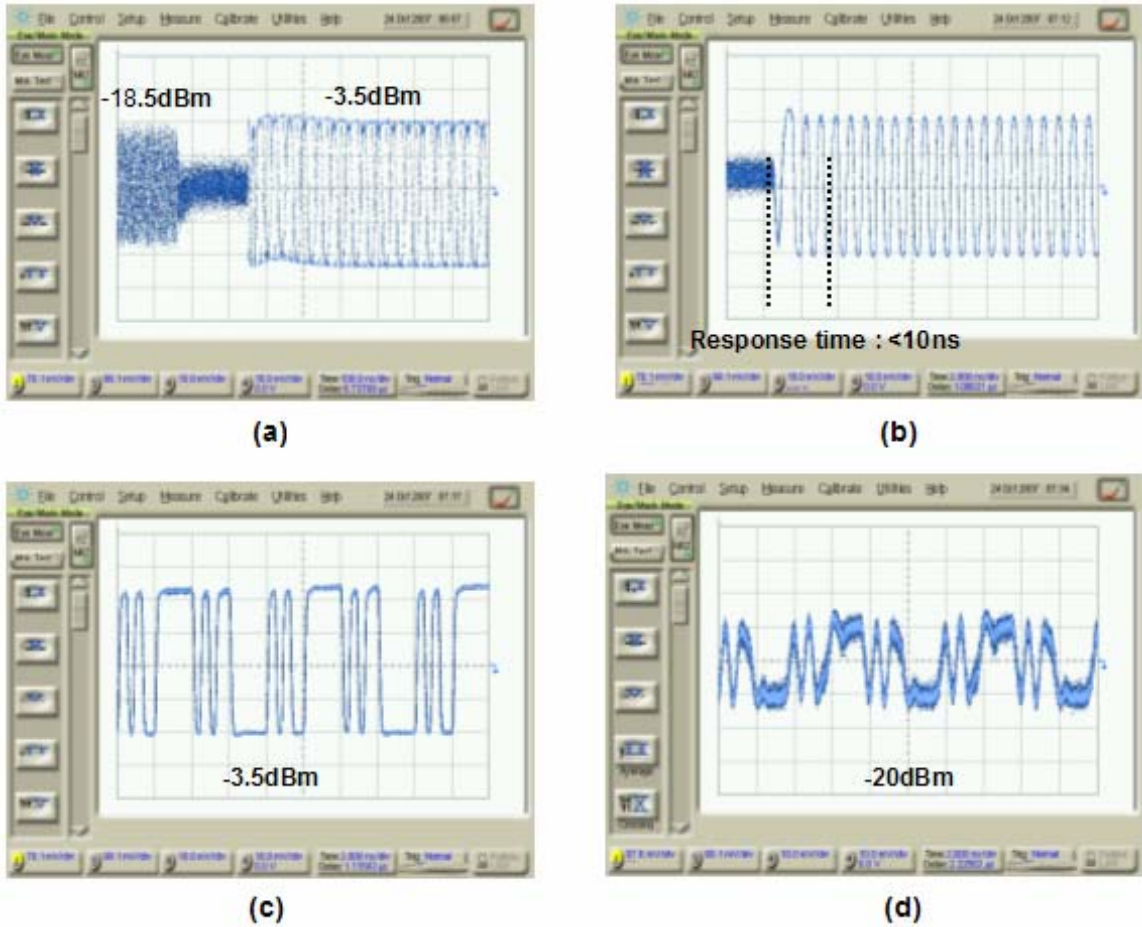
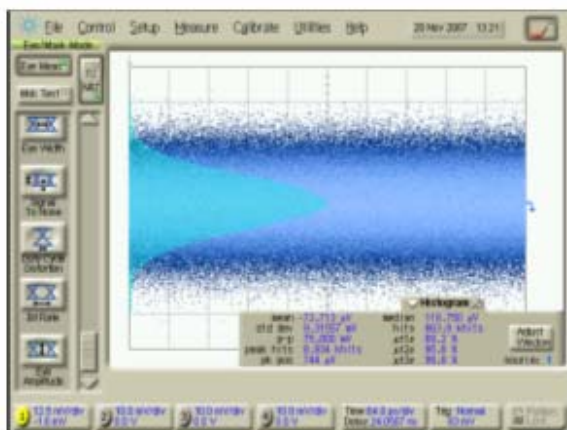


圖 3-38 爆模式輸出波形 (a)15dB loud/soft ratio (b)響應時間 (c)及(d)暫態響應

圖 3-39 為 histogram 的量測，可用一些公式估算電路的靈敏度。



$$\begin{aligned} \rho &= 0.9 \\ r_s &= 9.4\text{dB} = 8.7 \\ I_N &= \frac{9.3}{22} \times 10^{-6} = 0.422 \times 10^{-6} \\ \text{Sensitivity} &= 10 \times \log \left[ \frac{14.1 \times I_N (r_s + 1)}{2\rho(r_s - 1)} \times 1000 \right] \\ &= 10 \times \log \left[ \frac{14.1 \times 0.422 \times 10^{-6} \times (8.7 + 1)}{2 \times 0.9 \times (8.7 - 1)} \times 1000 \right] \\ &= -23.8\text{dBm} \end{aligned}$$

圖 3-39 Histogram

圖 3-40 為光接收器輸出頻譜密度的量測，可用一些公式估算電路的靈敏度。



$$I_N = \frac{10^{\left(\frac{-28.4+47}{20}\right)} (mV)}{gain} = 0.386 \times 10^{-6}$$

$$Sensitivity = 10 \times \log \left[ \frac{14.1 \times I_N (r_z + 1)}{2\rho(r_z - 1)} \times 1000 \right]$$

$$= 10 \times \log \left[ \frac{14.1 \times 0.386 \times 10^{-6} \times (8.7 + 1)}{2 \times 0.9 \times (8.7 - 1)} \times 1000 \right] = -24.2 dBm$$

圖 3-40 光接收器輸出頻譜密度

表格 I 為設計時的預估規格與模擬結果的比較，表格 II 為量測結果與已被發表論文做比較。

表格 II：模擬效能列表

規格	設計規格	模擬結果
Supply Voltage	1.8V	1.8V
TIA	Hi: gain=66dB BW=1.75GHz Lo: gain=54dB BW=2.5GHz	Hi: gain=66.5dB BW=1.86GHz Lo: gain=53.7dB BW=2.16GHz
Input-referred Noise	400nA @2.5GHz	478nA @2.5GHz
LA	Gain=40dB BW=2.5GHz	Gain=38.1dB BW=3.26GHz
Output Swing	800mVpp (differential)	750mVpp (differential)
Reset turn on delay	-	20ns
Preamble Time	-	< 15ns
Guard Time	-	30ns
Power Consumption	-	139mW



Die Area( $mm^2$ )	-	620*560
Technology	0.18um CMOS	0.18um CMOS

表格III：量测效能整理

Performance Summary	[3] JSSC 2005 GPON	[11] ISSCC 2004 EPON	[12] ISSCC 2007 EPON	This Work
Process	0.25 $\mu$ m SiGe	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS	0.18 $\mu$ m CMOS
Supply Voltage	3.3V	3.3V	3.3V	1.8V
Data Rate	1.25Gb/s	1.25Gb/s	1.25Gb/s	2.5Gb/s
Sensitivity (dBm)	-30	-22	-31	-21 (optical) 11uA <sub>p-p</sub> (electr.)
Overload (dBm)	N/A	-3.5	-4	-2
Dynamic Range(dB)	> 26	18.5	27	19
Guard Time (ns)	25.6	250	100	30
Preamble Time (ns)	16	120	100	10
Reset	External	Internal	Internal	Internal
Module	BM-TIA & BM-LA	One-Chip	BM-TIA & CW-LA	One-Chip
Power Consumption (mW)	528	300	115.5	146

## 第四章

---

# 10Gb/s 爆模式光接收器設計

隨著網際網路與多媒體資訊的蓬勃發展，人們對於網路頻寬與網路服務的需求亦日益急遽增加，為了使資料傳輸更快更有效率，本顆晶片將速度更進一步的提升至 10Gb/s，以下將針對與第三章不同的部份做介紹。

### 4-1 電路設計與模擬結果

本設計是採用台積電 CMOS 90nm 的製程設計一 10Gb/s 的爆模式光接收器，由於供應電壓為 1.2 伏，所以會使電路的動態範圍受到影響，在轉阻放大器設計上，輸入端的光二極體寄生電容預估為 0.25pF，為確保電路的靈敏度及頻寬，所以設計上的增益約為 54dB $\Omega$ ，動態範圍約 15dB，頻寬約為資料傳輸速度的 0.7 倍為 7GHz，在限幅放大器的設計上，由於低供應電壓使得訊號的輸出振幅也相對較低，因此限幅放大器只需提供適當的增益來放大訊號，在設計上增益約為 26dB，頻寬約等於資料傳輸速度為 10GHz。

#### 4-1-1 轉阻放大器(TIA)

採用的架構為消除檢光二極體的寄生電容[25]，電路的工作原理為圖 4-1 所示，在一理想單位緩衝級中，光二極體的陰極電壓會追隨迴授電阻  $R_F$  在輸入端的變化即為檢光二極體的陽極，因此光二極體等效上可被視為虛短路，如此可有效的降低光二極體寄生電容對電路輸入端的影響，經模擬驗證所設計的  $A_u$  約為 0.75V/V。

圖 4-2 所示為所設計的轉阻放大器電路，除了採用消除檢光二極體寄生電容方式外，為了更進一步的補償轉阻放大器輸出端的寄生電容，因此加入一負電容，等效頻寬增加為原來的 10%，經電容退化級後再與單端對雙端轉換級連接，目的在補償單端對雙端轉換級輸入端的寄生效應，並提供正確的相位，讓後級限幅放大器放大，此處所採用的單端對雙端轉換方式為圖 3-2 所示，在此利用一仿造轉阻放大器取出轉阻放大器的直流準位，利用頂峰值保持器取出訊號的頂峰值，透過電阻分壓，即可取得訊號的參考準位，並將訊號從單端轉換成雙端，轉阻放大器所設計達到的開迴路增益約為 3.4 其餘電路設計上，所採用的架構與第三章所討論的類似。

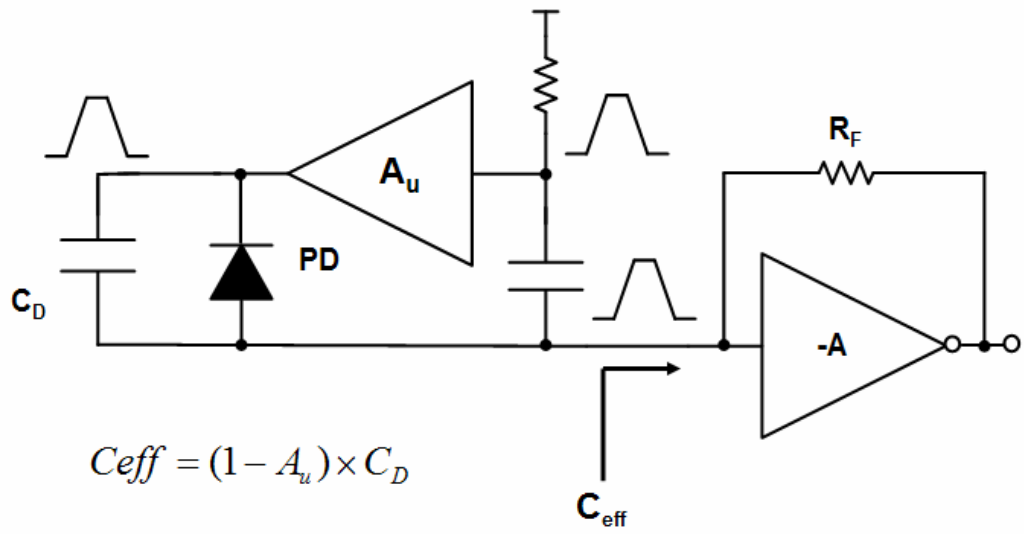


圖 4-1 檢光二極體電容消除轉阻放大器架構

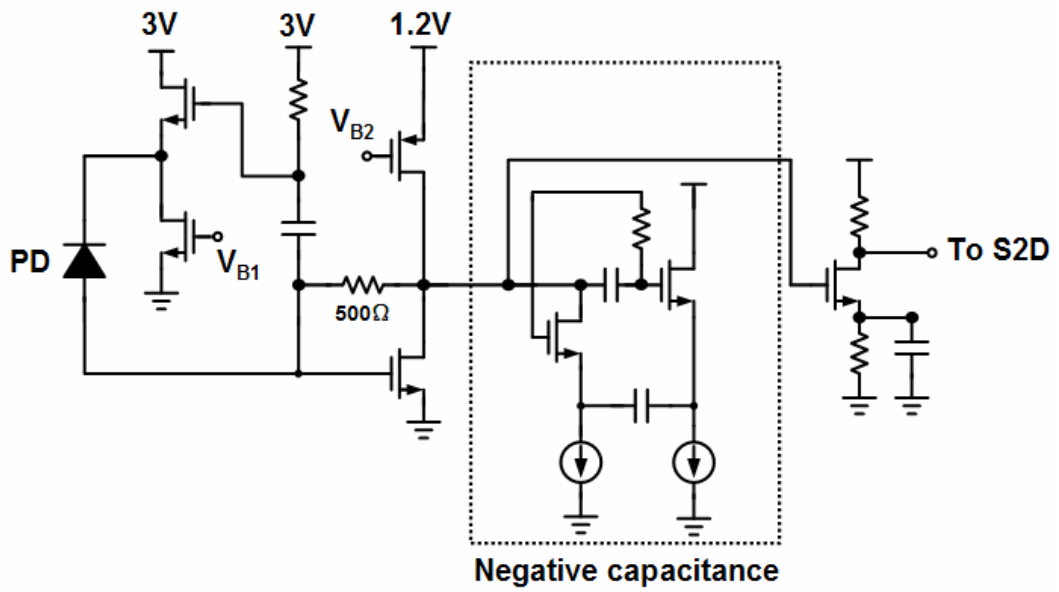


圖 4-2 轉阻放大器

## 4-1-2 模擬結果

以下說明電路設計的模擬結果，包含轉阻放大器及限幅放大器。

### (1) 轉阻放大器

在高頻電路設計上，要實現高增益的轉阻放大器有其限制，若電路的增益不高，在一可接受的動態範圍下，不需做增益的轉換，如此可提高接收器的響應速度及降低爆模式控制訊號的複雜度，在此設計上只具備單一增益模式，圖 4-3(a)為頻率響應，圖 4-3(b)為當輸入訊號為  $50 \mu A_{p-p}$  下的輸出眼圖，圖 4-3(c)及(d)為在不同 corner 下輸出眼圖。

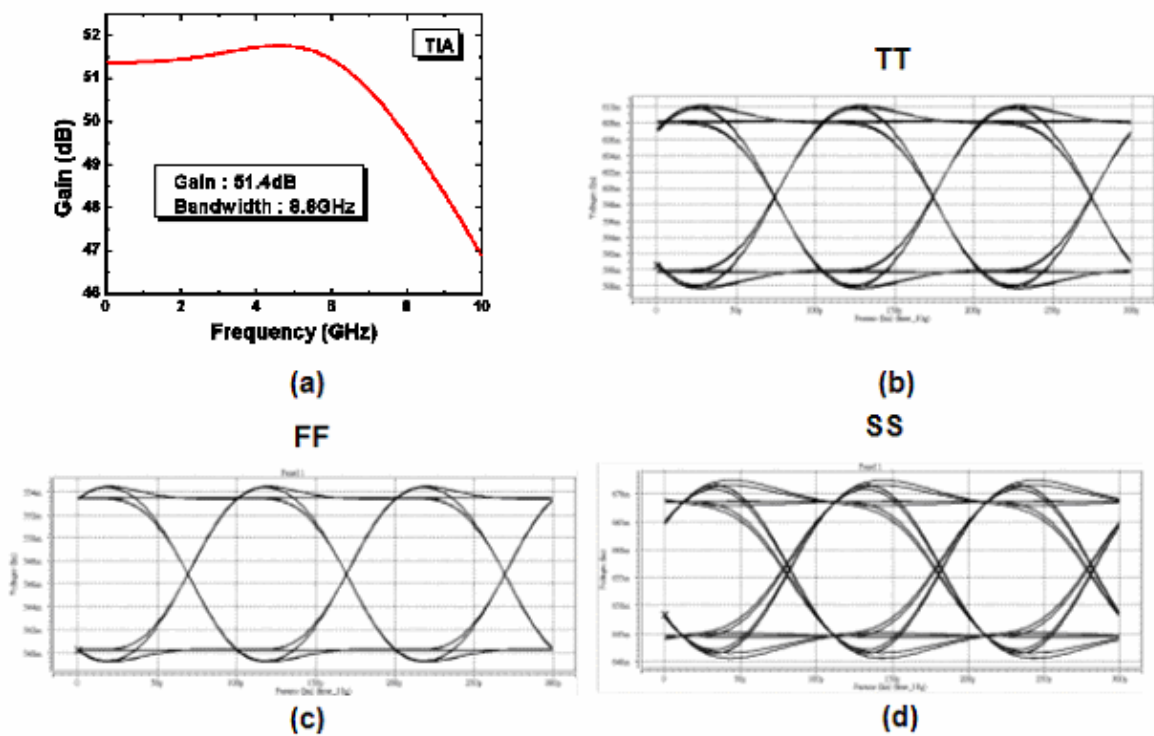


圖 4-3 (a)轉阻放大器頻率響應 (b)當輸入電流為  $50 \mu A_{p-p}$  的輸出眼圖 (c)及(d)不同 corner 下輸出眼圖

### (2) 限幅放大器

此模擬包含單端轉雙端放大器、五級 Cherry-Hooper 放大器及輸出級組成，圖 4-4(a)為差動輸出下的頻率響應，圖 4-4(b)為在差動輸入訊號  $10mV_{p-p}$  下的輸出眼圖，圖 4-4(c)及(d)為不同 corner 下輸出眼圖。

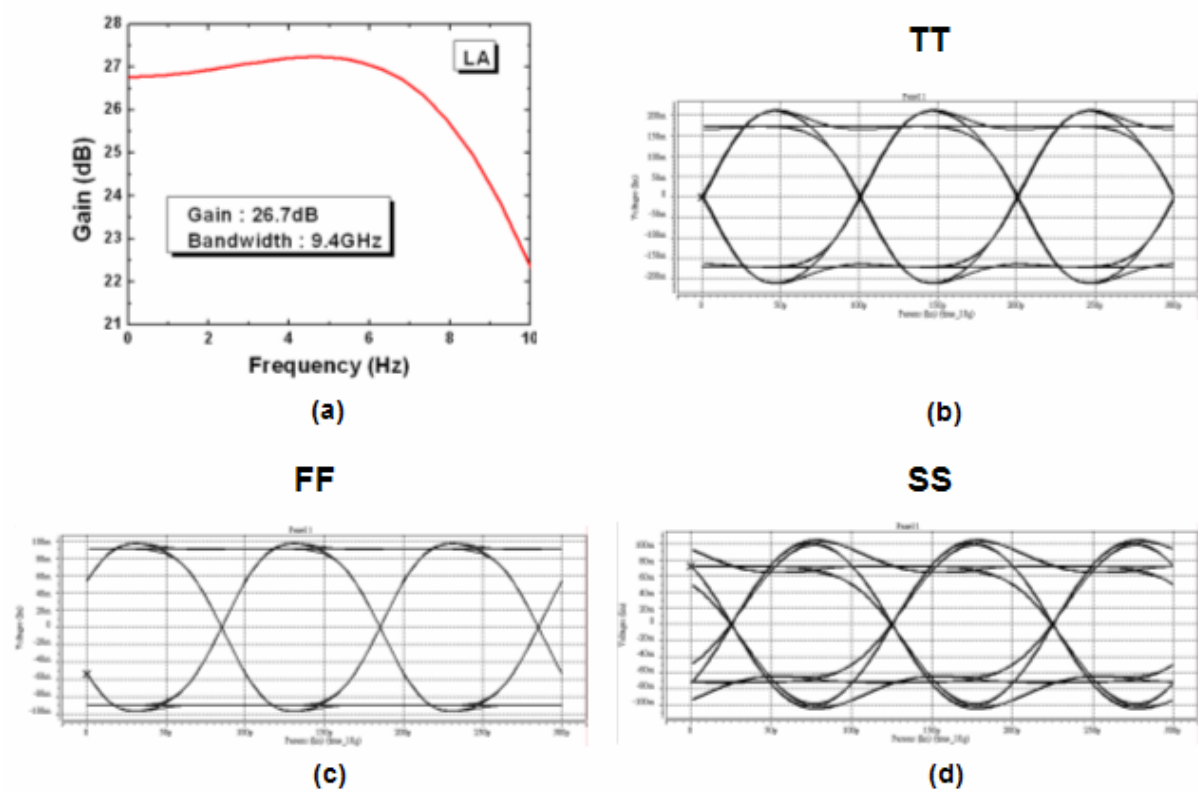


圖 4-4 (a)限幅放大器頻率響應 (b)輸入電壓為  $10\text{mV}_{\text{p-p}}$  的輸出眼圖 (c)及(d)不同 corner 下輸出眼圖

### (3) 爆模式接收器

此模擬為輸入爆模式訊號，觀察輸出訊號及時序上的動作是否正確，在圖 4-5 中分別為轉阻放大器的輸出訊號、重置信號及輸出電壓訊號。

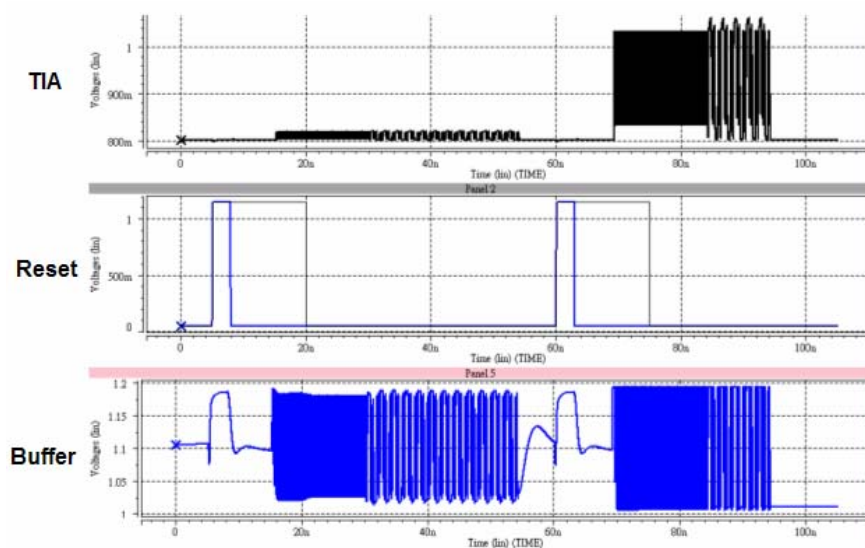


圖 4-5 爆模式訊號



## 4-2 電路佈局圖

圖 4-6 為佈局平面圖，圖 4-7 為晶片照相圖。

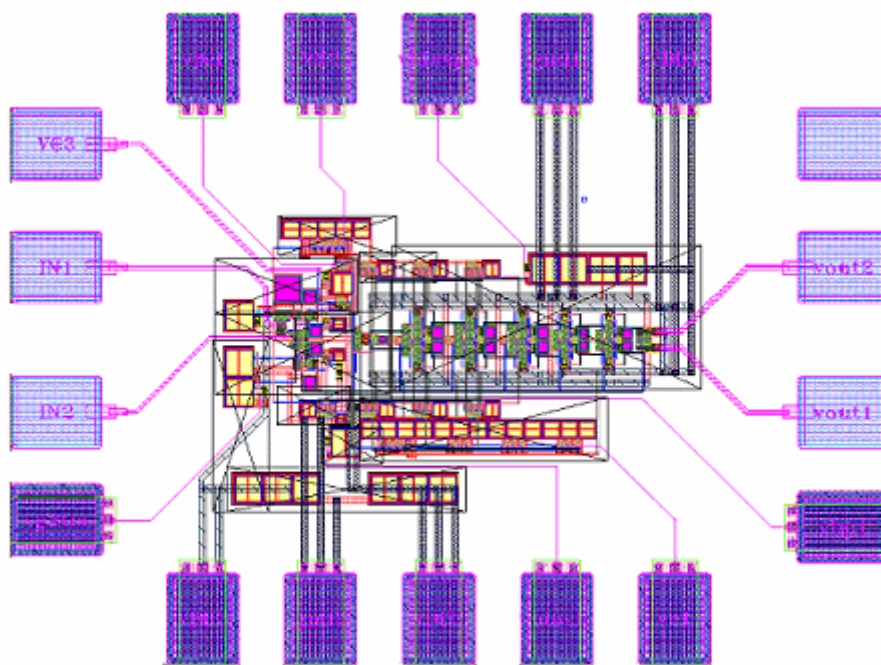


圖 4-6 佈局平面圖

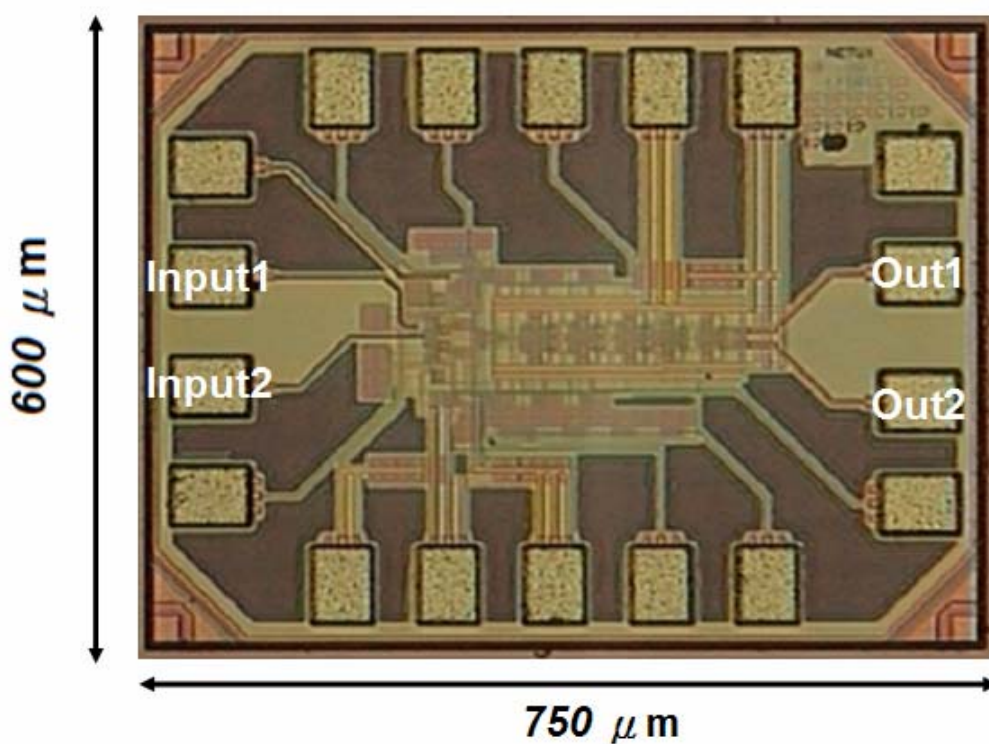
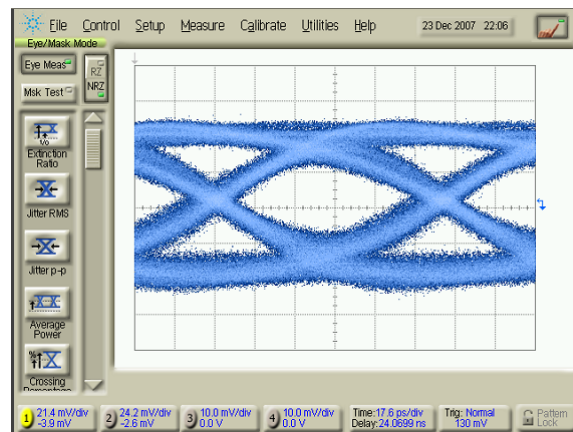


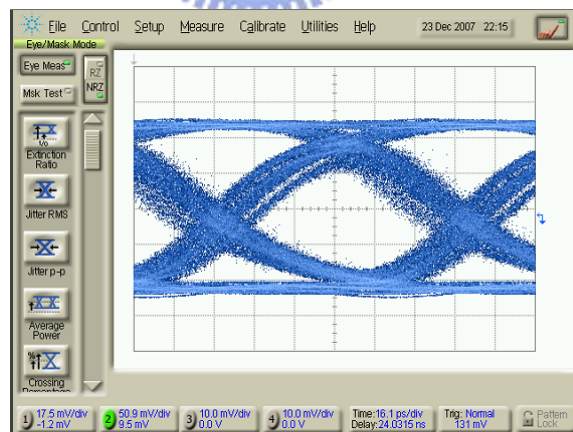
圖 4-7 晶片照相圖

## 4-2 量測結果

為了做光接收的測試，此爆模式晶片與光二極體整合在印刷電路板，光二極體接收光的直徑為 65 $\mu\text{m}$ ，寄生電容在 1V 的反向偏壓下約為 0.26pF，在 1310nm 波長下響應度為 0.9A/W，採用  $2^7-1$  的 PRBS 來測試，傳送端的雷射發光的亮暗功率比為 4dB，圖 4-8 為在 10Gb/s 連續模式下所量得的輸出眼圖，其中圖(a)及圖(b)分別為在輸入光功率 -13dBm 及 0.5dBm 下輸出端所測得的眼圖。



(a)



(b)

圖 4-8 當輸入光功率為(a)-13dBm (b)0.5dBm 下輸出眼圖

圖 4-9 為誤碼率的量測，在誤碼率為  $10^{-12}$  下，此爆模式光接收器具有 -13dBm 的靈敏度，可接收最大的光訊號功率大於 0.5dBm。



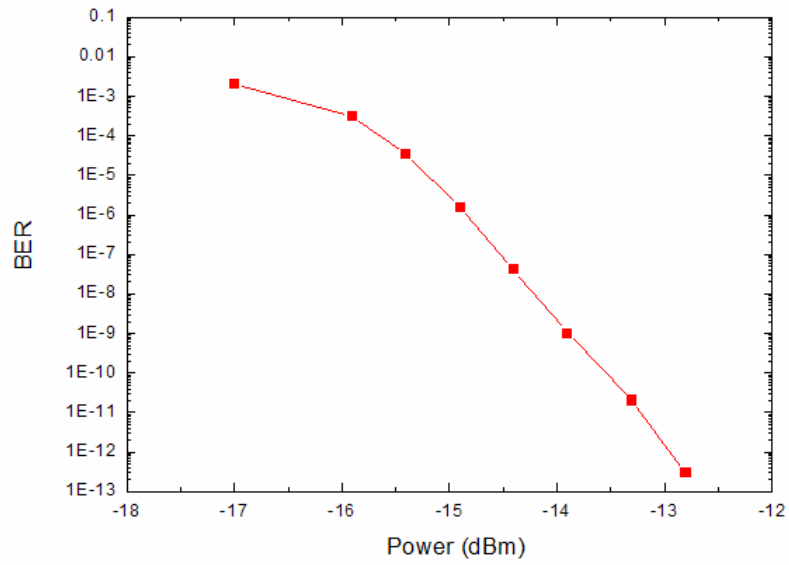


圖 4-9 在 10Gb/s 下輸入光功率的大小對映於誤碼率大小

圖 4-10 所示為對於頻率響應的量測，此接收器具有約 6GHz 的光頻寬。

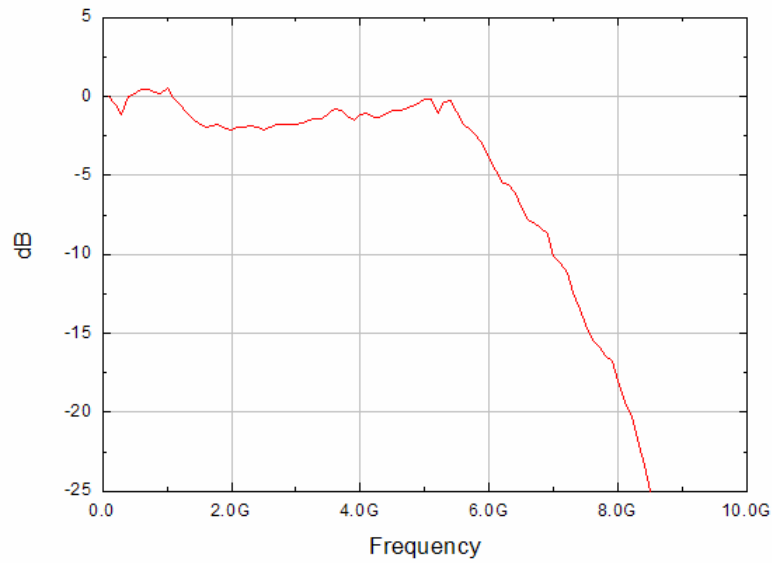
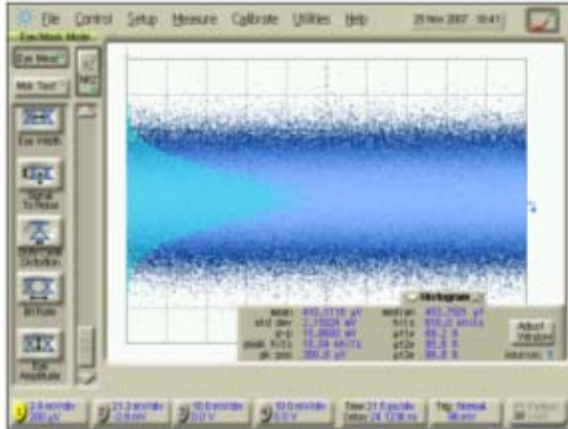


圖 4-10 爆模式光接收器頻率響應

圖 4-11 為 histogram 的量測，可用一些公式估算電路的靈敏度。



$$\rho = 0.9$$

$$r_s = 4dB = 2.5$$

$$I_N = \frac{2.15}{2} \times 10^{-6} = 1.1 \times 10^{-6}$$

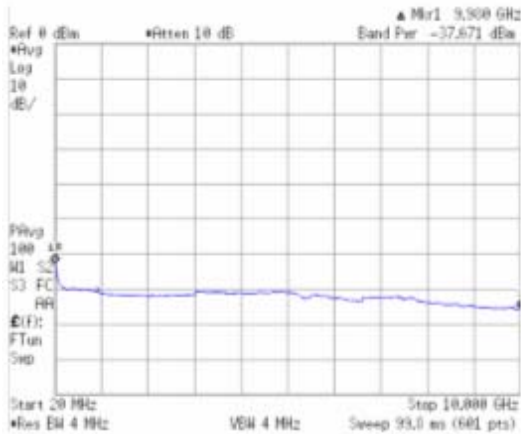
$$Sensitivity = 10 \times \log \left[ \frac{14.1 \times I_N (r_s + 1)}{2\rho(r_s - 1)} \times 1000 \right]$$

$$= 10 \times \log \left[ \frac{14.1 \times 1.1 \times 10^{-6} \times (2.5 + 1)}{2 \times 0.9 \times (2.5 - 1)} \times 1000 \right]$$

$$= -16.9dBm$$

圖 4-11 Histogram

圖 4-12 為光接收器輸出頻譜密度的量測，可用一些公式估算電路的靈敏度。



$$I_N = \frac{10^{\left(\frac{-37.6+47}{20}\right)} (mV)}{gain} = 1.47 \times 10^{-6}$$

$$Sensitivity = 10 \times \log \left[ \frac{14.1 \times I_N (r_s + 1)}{2\rho(r_s - 1)} \times 1000 \right]$$

$$= 10 \times \log \left[ \frac{14.1 \times 1.47 \times 10^{-6} \times (2.5 + 1)}{2 \times 0.9 \times (2.5 - 1)} \times 1000 \right] = -15.7dBm$$

圖 4-12 光接收器輸出頻譜密度

表格IV: 模擬效能與量測結果

Features	Simulation	Measurement	[28] JSSC 2005
Process	90nm CMOS	90nm CMOS	0.18 $\mu$ m CMOS
Supply Voltage	1.2V / 3V	1.2V / 3V	1.8V
Data Rate	10Gb/s	10Gb/s	10Gb/s
C <sub>PD</sub>	0.25pF	0.26pF	0.15pF
Sensitivity (dBm)	-16.5	-13	-12
Overload (dBm)	0	0.5	0
Dynamic Range(dB)	16.5	>13	12
Guard Time (ns)	20	N/A	N/A
Preamble Time (ns)	15	N/A	N/A
Module	One-chip	One-chip	CW-Rx
Power Consumption (mW)	118	124	210
Die Area (mm <sup>2</sup> )	0.6X0.75	0.6X0.75	1.0X1.93

## 第五章

---

### 結論與未來工作

本篇論文主要在設計具有內建重置訊號的爆模式光接收器，為了使系統設計上更加便利，所以採用訊號遺失偵測方法產生重置信號，在爆模式接收器設計上，近年來的發展趨勢為內建重置訊號的產生，在未來的工作裡，將嘗試利用數位式偵測法來產生重置信號。

第一顆設計為傳輸速度 2.5Gb/s 的光接收器，整個接收器具 93dBΩ 的轉阻增益、動態範圍從 -21dBm 到 -2dBm 及具有小於 10ns 的響應速度，在供應電壓為 1.8V 時總消耗功率為 146mW。

第二顆設計為傳輸速度 10Gb/s 的光接收器，整個接收器具 72dBΩ 的轉阻增益、動態範圍從 -13dBm 到 0dBm，供應電壓有 3V 及 1.2V，總消耗功率為 124mW。



## 參考文獻

- [1] M. Z. Qiu, P. Ossieur, J. Bauwelinck, et al., "Development of GPON Upstream Physical-Media-Dependent Prototypes," *IEEE J. Lightwave technology*, vol. 22, no. 11, pp. 2498-2508, Nov., 2004.
- [2] Y. Chang and G. Noh, "1.25Gb/s Uplink Burst-mode Transmissions: System Requirements and Optical Diagnostic Challenges of EPON Physical-layer Chipset for Enabling Broadband Optical Ethernet Access Networks," *OFC*, pp. 9-17, March, 2006.
- [3] M. Nakamura, Y. Imai, Y. Umeda, et al., "1.25-Gb/s Burst-Mode Receiver ICs with Quick Response for PON Systems," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2680-2688, Dec., 2005.
- [4] K. Schneider and H. Zimmermann, "Three-Stage Burst-Mode Transimpedance Amplifier in Deep-Sub-um CMOS Technology," *IEEE Trans. on circuits and systems*, vol. 53, pp. 1458-1467, July 2006.
- [5] M. Ingels, G. V. der Plas, J. Crols, et al., "A CMOS 18 THz- $\Omega$  240 Mb/s Transimpedance Amplifier and 155 Mb/s LED-Driver for Low Cost Optical Fiber Links," *IEEE J. Solid-State Circuits*, vol. 29, no. 12, pp. 1552-1559, Dec. 1994.
- [6] C. M. Tsai and L. R. Huang, "A 24mW 1.25Gb/s 13k $\Omega$  Transimpedance Amplifier Using Active Compensation," *ISSCC Dig. Technical Papers*, pp. 894-903, Feb., 2006.
- [7] E. M. Cherry and D. E. Hooper, "The Design of Wideband Transistor Feedback Amplifiers," *Proc. IEE*, vol. 110, pp. 375-389, Feb. 1963.
- [8] M. Nakamura, N. Ishihara, Y. Akazawa, et al., "An Instantaneous Response CMOS Optical Receiver IC with Wide Dynamic Range and Extremely High Sensitivity Using Feed-Forward Auto-Bias Adjustment," *IEEE J. Solid-State Circuits*, vol. 30, no. 9, pp. 991-997, Sep., 1995.
- [9] M. N. Ericson, M. L. Simpson, C. L. Britton, et al., "A Low-Power, CMOS Peak Detector and Hold Circuit for Nuclear," *IEEE Trans. on Nuclear Science*, vol 42, pp.724-728, 1995.
- [10] M. W. Kruiskamp and D. M. W. Leenaerts, "A CMOS Peak Detect Sample and

- Hold Circuit," *IEEE Trans. on Nuclear Science*, vol 41, pp.295-298, 1994.
- [11] Q. Le, S. G. Lee, Y. H. Oh, et al., "Burst-mode receiver for 1.25Gb/s Ethernet PON with AGC and reset signal created internally," *ISSCC Dig. Technical Papers*, pp. 474-475, Feb., 2004.
- [12] Q. Le, S. G. Lee, H. Y. Kang, et al., "A CMOS Burst-Mode TIA with Step AGC and Selective Internally Created Reset for 1.25Gb/s EPON," *ISSCC Dig. Technical Papers*, pp. 50-51, Feb., 2007.
- [13] Behzad Razavi, "Design of Integrated Circuits for Optical Communications," McGraw- Hill, 2003.
- [14] Y. Ota, R. G. Swartz, and V. D. Archer, "DC-1 Gb/s burst-mode compatible receiver for optical bus applications," *IEEE J. Lightwave technology*, vol. 10, pp. 244-249, Feb. 1992.
- [15] R. G. Swartz, Y. Ota, M. J. Tarsia, and V. D. Archer, "A burst mode, packet receiver with precision reset and automatic dark level compensation for optical bus communications," *VLSI Symp. Tech. Dig.*, pp. 67-68, 1993.
- [16] N. Ishihara, M. Nakamura, Y. Akazawa, et al., "3.3V, 50Mb/s CMOS transceiver for optical burst-mode communication," *ISSCC Dig. Technical Papers*, pp. 244-245, Feb., 1997.
- [17] E. A. Crain and M. H. Perrott, "A 3.125 Gb/s Limit Amplifier in CMOS With 42 dB Gain and 1us Offset Compensation," *IEEE J. Solid-State Circuits*, vol. 41, no. 2, pp. 443-451, Feb., 2006.
- [18] C. H. Yu and D. U. Li, "A 2.5 Gb/s CMOS Burst-Mode Limiting Amplifier for GPON System," *Proc. IEEE ISCAS*, pp.2538-2541, 2007.
- [19] S. Galal and B. Razavi, "10-Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18um CMOS," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138-2146, Dec., 2003.
- [20] N. Weste and D. Harris, "CMOS VLSI design-A circuits and system perspective," Addison-Wesley, 2005.
- [21] Phillip E. Allen and Douglas R. Holberg, "CMOS Analog Circuit Design," Oxford, 2002.
- [22] M. Nakamura, N. Ishihara, and Y. Akazawa, "A 156-Mb/s CMOS Optical Receiver for Burst-Mode Transmission," *IEEE J. Solid-State Circuits*, vol. 33, no.

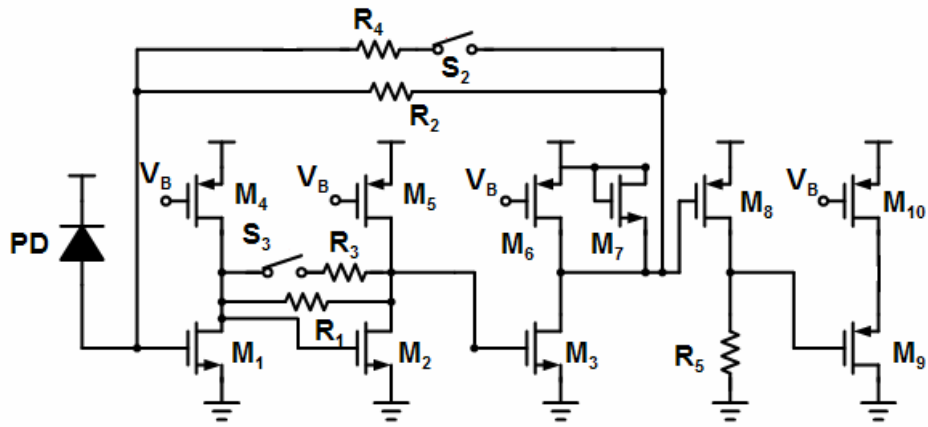
8, pp. 1179-1187, Jan., 1998.

- [23] C. C. Chen, C. M. Tsai, and L. R. Huang, "An 1.25Gbit/s -29dBm burst-mode optical receiver realized with 0.35um SiGe BiCMOS process using a PIN photodiode," *APCCAS*, pp. 313-316, Dec., 2004.
- [24] P. Gray, P. Hurst, and R. Meyer, "Design of analog integrated circuits," Wiley, 2001.
- [25] C. M. Tsai, "A 20mW 85dB $\Omega$  1.25Gb/s CMOS Transimpedance Amplifier with Photodiode Capacitance Cancellation," *VLSI Symp. Tech. Dig.*, pp. 408-409, 2004.
- [26] M. Nogawa, Y. Ohtomo, S. Kimura, et al., "A 10Gb/s Burst-Mode Adaptive Gain Select Limiting Amplifier in 0.13 $\mu$ m CMOS," *ISSCC Dig. Technical Papers*, pp. 248-249, Feb., 2006.
- [27] D. Johns and K. Martin, "Analog Integrated Circuit Design," Wiley, 1997.
- [28] W. Z. Chen, Y. L. Cheng, and D. S. Lin, "A 1.8-V 10-Gb/s Fully Integrated CMOS Optical Receiver Analog Front-End," *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1388-1396, June, 2005.

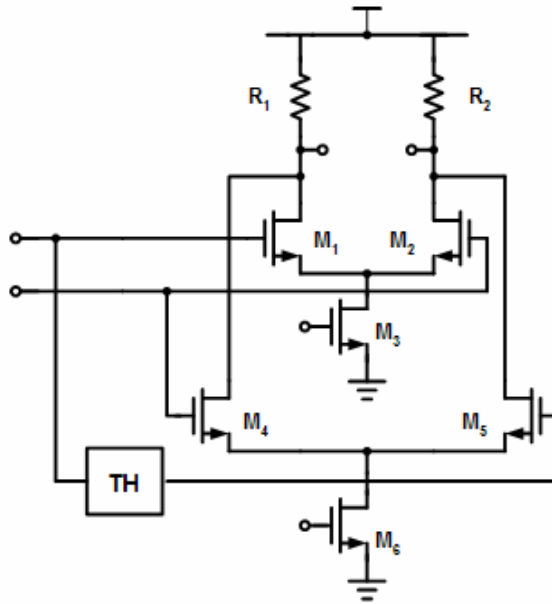




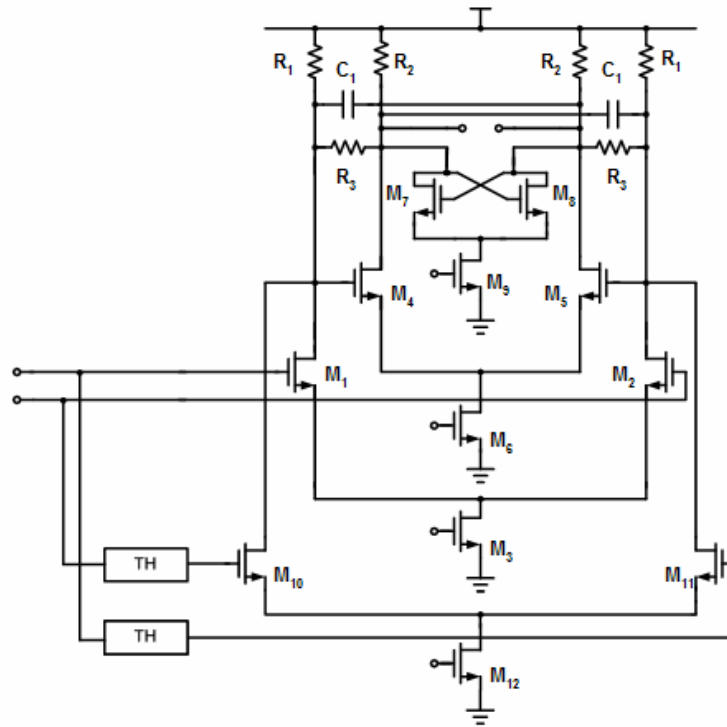
# 附錄



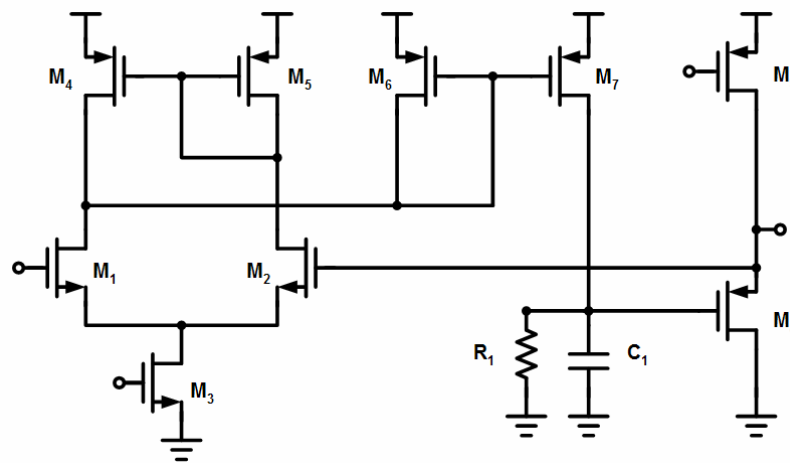
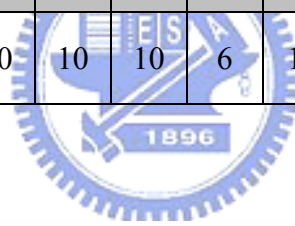
M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	M <sub>10</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	R <sub>4</sub>	R <sub>5</sub>
96	30	16	155	50	7.5	10	6	20	7.5	700	2500	230	850	850



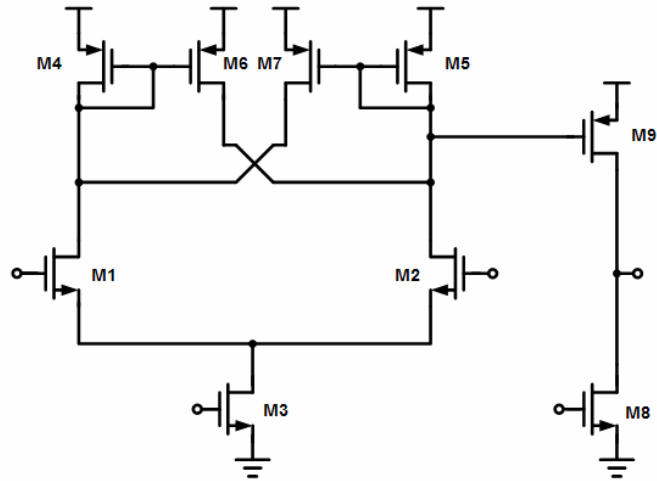
M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	R <sub>1</sub>	R <sub>2</sub>
25	25	72	9	9	84	235	235



M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	M <sub>10</sub>	M <sub>11</sub>	M <sub>12</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	C <sub>1</sub>
25	25	48	50	50	90	10	10	6	18	18	48	400	320	720	40f

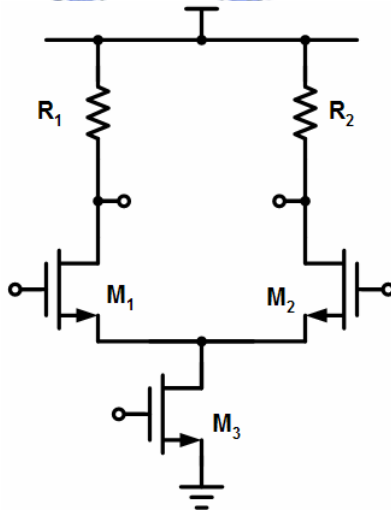
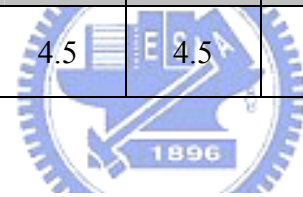


M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	R <sub>1</sub>	C <sub>1</sub>
10	10.2	18	12	12	6	6	5	15	10k	2p

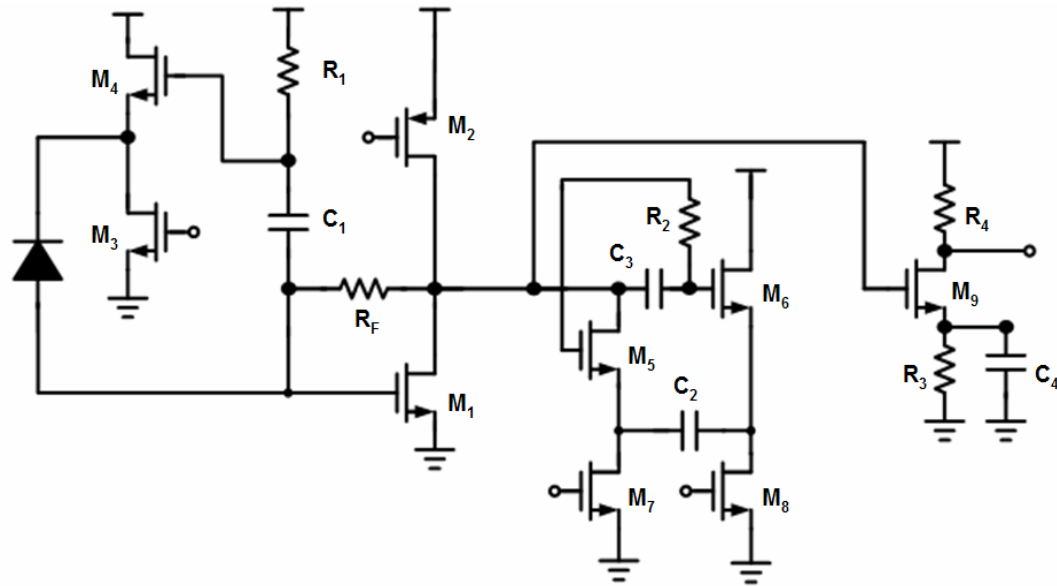


M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>
6	6	25	4.5	4.5	27	27	2.5	12

M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>
12	12	5	4.5	4.5	1.5	1.5	2.5	12

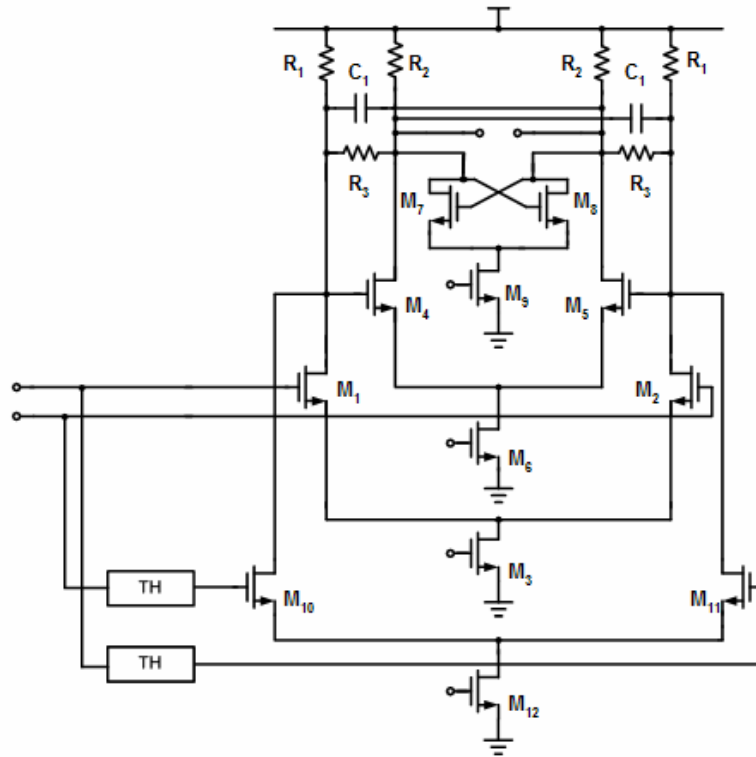


M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	R <sub>1</sub>	R <sub>2</sub>
78	78	384	50	50

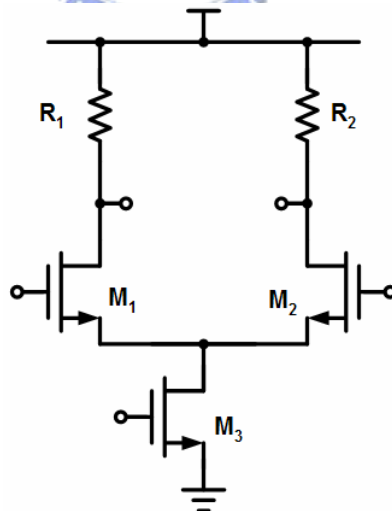


M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>
35	25	30/0.2	48	10	10	5	5	9

R <sub>F</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	R <sub>4</sub>	C <sub>1</sub>	C <sub>2</sub>	C <sub>3</sub>	C <sub>4</sub>
500	100k	100k	85	400	2p	MOM nv=nh=22 w=s=0.16u	2p	nmosCAP lr:20u wr:20u



M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	M <sub>4</sub>	M <sub>5</sub>	M <sub>6</sub>	M <sub>7</sub>	M <sub>8</sub>	M <sub>9</sub>	M <sub>10</sub>	M <sub>11</sub>	M <sub>12</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	C <sub>1</sub>
25	25	25	75	75	60	5	5	5	25	25	25	165	125	310	70f



M <sub>1</sub>	M <sub>2</sub>	M <sub>3</sub>	R <sub>1</sub>	R <sub>2</sub>
50	50	90	50	50